



## [12] 发明专利申请公开说明书

[21] 申请号 200510054897.7

[43] 公开日 2005 年 8 月 10 日

[11] 公开号 CN 1652185A

[22] 申请日 2005.3.22

[21] 申请号 200510054897.7

[71] 申请人 友达光电股份有限公司

地址 台湾省新竹市

[72] 发明人 孙文堂

[74] 专利代理机构 北京市柳沈律师事务所

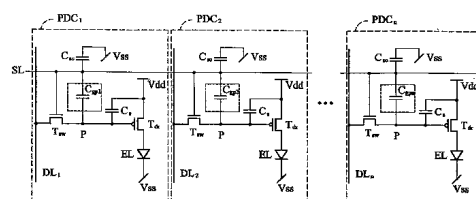
代理人 吕晓章 马莹

权利要求书 3 页 说明书 6 页 附图 14 页

[54] 发明名称 像素阵列及其画质改善方法

[57] 摘要

一种像素阵列(pixel array)包括多个电致发光组件的像素驱动电路,每一像素驱动电路包括一开关晶体管、一扫描线、一数据线、一驱动晶体管、一电致发光组件、一储存电容以及一补偿电容;扫描线连接至开关晶体管的第一端点,数据线耦接至开关晶体管的第二端点,驱动晶体管的第一端点连接至开关晶体管的第三端点,驱动晶体管的第二端点连接至一第一电位,电致发光组件的一端连接至驱动晶体管的第三端点,另一端连接至一第二电位,储存电容的一端连接至驱动晶体管的第一端点,而另一端连接至第一电位或者前一条扫描线,补偿电容连接在开关晶体管的第一端点与驱动晶体管的第一端点之间;其中,所有连接至同一扫描线的补偿电容的电容大小不完全相同。



1. 一种像素阵列, 包括:  
多个电致发光组件的像素驱动电路, 每一像素驱动电路包括:
  - 5 一第一开关晶体管, 有第一、第二与第三端点;  
一第一扫描线, 连接至该第一开关晶体管的该第一端点;  
一数据线, 耦接至该第一开关晶体管的该第二端点;  
一驱动晶体管, 有第一、第二与第三端点, 且该驱动晶体管的该第一端点连接至该第一开关晶体管的该第三端点, 该驱动晶体管的该第二端点连接  
10 至一第一电位;  
一电致发光组件, 其一端连接至该驱动晶体管的该第三端点, 另一端连接至一第二电位;  
一储存电容, 一端连接至该驱动晶体管的该第一端点, 而另一端连接至该第一电位或者前一条扫描线; 以及  
15 一补偿电容, 耦接在该第一开关晶体管的该第一端点与该驱动晶体管的该第一端点之间;  
其中, 连接至同一扫描线的补偿电容至少有两个相异电容值。
  2. 如权利要求 1 所述的像素阵列, 其中, 连接至同一扫描线的补偿电容的电容大小沿该扫描线的方向依序变化。
  - 20 3. 如权利要求 1 所述的像素阵列, 其中, 连接至同一扫描线的补偿电容的电容大小沿该扫描线的方向而呈线性变化。
  4. 如权利要求 1 所述的像素阵列, 其中, 该扫描线是由一扫描线驱动器所驱动, 而连接至同一扫描线的补偿电容的电容大小, 是依据其与该扫描线驱动器的距离变大而逐渐变大。
  - 25 5. 如权利要求 4 所述的像素阵列, 其中, 该第一电位为 Vdd 电源供应电压, 而该第二电位为 Vss 电源供应电压。
  6. 如权利要求 1 所述的像素阵列, 其中, 该电致发光组件为有机发光二极管。
  7. 如权利要求 1 所述的像素阵列, 其中, 在每一像素驱动电路中, 该数  
30 据线是通过一第二开关晶体管耦接至该第一开关晶体管的该第二端点。
  8. 如权利要求 1 所述的像素阵列, 其中, 每一像素驱动电路更包括一第

二扫描线连接至该第二开关晶体管的栅极。

9. 一种显示面板包含如权利要求 1 所述的像素阵列。

10. 一种像素阵列的画质改善方法, 该像素阵列内的像素是以电流进行驱动, 该形成方法包括:

5        在一基板上形成多个电致发光组件的基本像素驱动电路, 每一基本像素驱动电路包括:

一开关晶体管, 有第一、第二与第三端点;

一扫描线, 连接至该开关晶体管的该第一端点;

一数据线, 耦接至该开关晶体管的该第二端点;

10        一驱动晶体管, 有第一、第二与第三端点, 且该驱动晶体管的该第一端点连接至该开关晶体管的该第三端点, 该驱动晶体管的该第二端点连接至一第一电位;

一电致发光组件, 其一端连接至该驱动晶体管的该第三端点, 另一端连接至一第二电位; 以及

15        一储存电容, 一端连接至该驱动晶体管的该第一端点, 而另一端连接至该第一电位或者前一条扫描线; 以及

在每一该基本像素驱动电路中形成一补偿电容, 每一补偿电容连接在各开关晶体管的各第一端点与各驱动晶体管的各第一端点之间, 其中, 连接至同一扫描线的补偿电容至少有两个相异电容值。

20        11. 如权利要求 10 所述的像素阵列的画质改善方法, 其中, 在每一该基本像素驱动电路中形成一补偿电容的步骤更包括使连接至同一扫描线的补偿电容的电容大小沿该扫描线的方向依序变化。

25        12. 如权利要求 10 所述的像素阵列的画质改善方法, 其中, 在每一该基本像素驱动电路中形成一补偿电容的步骤更包括使连接至同一扫描线的补偿电容的电容大小沿该扫描线的方向而呈线性变化。

13. 如权利要求 10 所述的像素阵列的画质改善方法, 其中, 在每一该基本像素驱动电路中形成一补偿电容的步骤更包括使连接至同一扫描线的补偿电容的电容大小依据其与一扫描线驱动器的距离变大而逐渐变大, 其中, 该扫描线是由该扫描线驱动器所驱动。

30        14. 如权利要求 10 所述的像素阵列的画质改善方法, 其中, 该第一与第二电位皆为一直流电压。

15. 如权利要求 14 所述的像素阵列的画质改善方法, 其中, 该第一电位为 Vdd 电源供应电压, 而该第二电位为 Vss 电源供应电压。

16. 如权利要求 10 所述的像素阵列的画质改善方法, 其中, 该电致发光组件为有机发光二极管。

## 像素阵列及其画质改善方法

## 5 技术领域

本发明涉及一种电致发光组件 (electroluminescence device; EL device), 且特别涉及一种电致发光组件的像素阵列及其形成方法。

## 背景技术

- 10 由于有机发光二极管 (organic light emitting diode; OLED) 所发出的亮度正比于流过的电流, 因此电流的变动量直接影响到有机发光二极管亮度的均匀度。如图 1 所示, 由于一般电压驱动的像素中, 当影像数据电压写入 A 点后, 即会改变驱动晶体管  $T_{dr}$  的电流, 此电流通过有机发光二极管 OLED 便会激发对应该电压的光; 然而, 当扫描线 SL 的信号切换为关闭的瞬间, 由于开关晶体管  $T_{sw}$  本身有一栅极与源极间的寄生电容  $C_{gs}$ , 扫描线 SL 的切换信号会造成一耦合的信号电压, 而改变原本欲储存在 A 点的电压, 也因而改变扫描线信号 SL 切为关闭后仍持续流过有机发光二极管 OLED 的复制电流, 而改变像素的亮度。

- 同样的问题在电流驱动的像素中也会发生, 如图 2 与图 3 所示, 图中的  
20 实线为数据电流  $I_{data}$  在写入像素阶段 (write stage) 中的电流路径, 而虚线则为像素在数据电流  $I_{data}$  写入像素之后, 扫描线关闭的复制阶段 (reproducing stage) 中, 像素复制数据电流的路径, 在这些电流驱动式的像素之中, 当数据电流  $I_{data}$  在写入阶段流过驱动晶体管 T3 时, 在驱动晶体管 T3 的栅极与源极间会有一对应于  $I_{data}$  的电压储存在栅极与源极间的储存电容  $C_s$  两端, 以维持流过数据电流  $I_{data}$  所需的电压, 当扫描线 (或抹除扫描线)  
25 信号切换为关闭开关晶体管 T2 的信号时, 便会有一小信号通过开关晶体管的  $C_{gs}$  耦合到 A 点而改变储存电容  $C_s$  两端的跨压, 因而改变在像素复制数据电流阶段的电流, 而改变像素的亮度。

- 当此种因馈通 (feedthrough) 效应造成的像素电压的改变而造成同一列  
30 有机发光二极管亮度改变的情形时, 若在同一列像素的电压条件都相同的话, 则此问题并不严重, 然而由于扫描线本身的电阻与寄生电容的存在, 因而造

成扫描线信号 RC 延迟(RC delay)的问题。图 4 为像素阵列的结构图,而图 5A 为图 4 所示的像素阵列内单一扫描在线的像素驱动电路的示意图,在图 5B 中,当扫描信号从最左边开始传递,第一个像素看到的可能是理想的方波,渐渐地,扫描信号因 RC 效应而变形,在接近扫描线的末端,扫描信号变形得最严重,其上升时间(rising time)和下降时间(falling time)均增加,因此在面板最左边的像素电压  $V_{\text{pixel}}$  因扫描线信号的切换而将开关晶体管关闭,并耦合一小信号到像素上,因而使像素电压下降,然而,在面板最右边的像素,其开关晶体管并不会因为扫描线信号的切换而马上关闭,所以可以看到同一扫描在线,最右边像素电压将较最左边的像素电压来得高,此问题在面板尺寸越大的情形下将越严重。

### 发明内容

本发明的实施例提供一种像素阵列(pixel array)包括多个电致发光组件的像素驱动电路,每一像素驱动电路包括一开关晶体管、一扫描线、一数据线、一驱动晶体管、一电致发光组件以及一补偿电容;扫描线连接至开关晶体管的第一端点,数据线耦接至开关晶体管的第二端点,驱动晶体管的第一端点连接至开关晶体管的第三端点,驱动晶体管的第二端点连接至一第一电位,电致发光组件的一端连接至驱动晶体管的第三端点,另一端连接至一第二电位,储存电容的一端连接至驱动晶体管的第一端点,而另一端连接至第一电位或者前一条扫描线,补偿电容连接在开关晶体管的第一端点与驱动晶体管的第一端点之间;其中,所有连接至同一扫描线的补偿电容的电容大小不完全相同。

本发明的实施例尚提供一种像素阵列的画质改善方法,该像素阵列内的像素是以电流进行驱动,该画质改善方法包括在一玻璃基板上形成多个电致发光组件的像素驱动电路;以及在每一该像素驱动电路中形成一补偿电容。其中,每一像素驱动电路包括一开关晶体管、一扫描线、一数据线、一驱动晶体管、一储存电容以及一电致发光组件,扫描线连接至开关晶体管的第一端点,数据线耦接至开关晶体管的第二端点,驱动晶体管的第一端点连接至开关晶体管的第三端点,驱动晶体管的第二端点连接至一第一电位,电致发光组件的一端连接至驱动晶体管的第三端点,另一端连接至一第二电位,储存电容的一端连接至驱动晶体管的第一端点,而另一端连接至第一电位或者

前一条扫描线，每一补偿电容连接各开关晶体管的各第一端点与各驱动晶体管的各第一端点之间，其中，所有连接至同一扫描线的补偿电容的电容大小不完全相同。

5 为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合附图，作详细说明如下。

#### 附图说明

图 1 为传统的电致发光组件的像素驱动电路图。

图 2 与图 3 亦为传统的电致发光组件的像素驱动电路图。

10 图 4 为像素阵列的结构图，。

图 5A 为图 4 所示的像素阵列内单一扫描线的像素驱动电路的示意图。

图 5B 为扫描信号及像素电压  $V_{\text{pixel}}$  随像素位置的不同而产生变化的示意图。

图 6 为依据本发明一实施例的像素阵列的单列像素驱动电路示意图。

15 图 7A 为模拟所使用的传统像素驱动电路图。

图 7B 为模拟中依据本发明的实施例所用的像素驱动电路图。

图 8A 为以图 7A 所示的像素驱动电路所进行扫描线的扫描电压仿真图。

图 8B 为以图 7A 所示的像素驱动电路所进行像素电压仿真图。

图 9A 为以图 7B 所示的像素驱动电路所进行扫描线的扫描电压仿真图。

20 图 9B 为以图 7B 所示的像素驱动电路所进行像素电压仿真图。

图 10 为依据本发明另一实施例的像素阵列的像素驱动电路示意图。

#### 附图符号说明

$C_{\text{gp1}}$ 、 $C_{\text{gp2}} \dots C_{\text{gpm}} \dots C_{\text{gpn}}$ -补偿电容； $C_{\text{gs}}$ -栅极与源极间的寄生电容；

$C_{\text{s}}$ -储存电容； $C_{\text{sc}}$ -扫描线与  $V_{\text{SS}}$  之间的寄生电容；

25  $DL_1$ 、 $DL_2 \dots DL_n$ -数据线；EL-电致发光组件； $I_{\text{data}}$ -数据电流；

OLED-有机发光二极管； $PDC_1$ 、 $PDC_2 \dots PDC_n$ -素驱动电路；

SL-扫描线； $T_{\text{dr}}$ -驱动晶体管； $T_{\text{sw}}$ 、 $T_{\text{sw1}}$ 、 $T_{\text{sw2}}$ -开关晶体管；

T1-开关晶体管；T2-开关晶体管；T3-驱动晶体管；

$V_{\text{dd}}$ 、 $V_{\text{SS}}$ -电源供应电压； $V_{\text{pixel}}$ -像素电压；

30 ES-第一扫描线；WS-第二扫描线。

### 具体实施方式

图 6 为依据本发明一实施例的像素阵列的单列像素驱动电路示意图, 如图 6 所示, 像素阵列(pixel array)包括多个电致发光组件的像素驱动电路 PDC<sub>1</sub>、PDC<sub>2</sub>...PDC<sub>n</sub>, 每一像素驱动电路包括一开关晶体管 T<sub>sw</sub>、一扫描线(scan line)SL、一数据线(data line) (图中分别以 DL<sub>1</sub>、DL<sub>2</sub>...DL<sub>n</sub>代表)、一驱动晶体管 T<sub>dr</sub>、一电致发光组件 EL 以及一补偿电容 (图中分别以 C<sub>gp1</sub>、C<sub>gp2</sub>...C<sub>gpn</sub>代表); 扫描线 SL 连接至开关晶体管 T<sub>sw</sub>的第一端点, 数据线 (图中分别以 DL<sub>1</sub>、DL<sub>2</sub>...DL<sub>n</sub>代表)连接至开关晶体管 T<sub>sw</sub>的第二端点, 驱动晶体管 T<sub>dr</sub>的第一端点连接至开关晶体管 T<sub>sw</sub>的第三端点, 驱动晶体管 T<sub>dr</sub>的第二端点连接至一第一电位, 电致发光组件 EL 的一端连接至驱动晶体管 T<sub>dr</sub>的第三端点, 另一端连接至一第二电位, 储存电容 C<sub>s</sub>的一端连接至驱动晶体管 T<sub>dr</sub>的第一端点, 而另一端连接至第一电位或者前一条扫描线, 补偿电容 (图中分别以 C<sub>gp1</sub>、C<sub>gp2</sub>...C<sub>gpn</sub>代表)连接在开关晶体管 T<sub>sw</sub>的第一端点与驱动晶体管 T<sub>dr</sub>的第一端点之间。

较佳而言, 该开关晶体管 T<sub>sw</sub>为一 N 型薄膜晶体管, 而该驱动晶体管 T<sub>dr</sub>为一 P 型薄膜晶体管。此外, 较佳而言, 该第一与第二电位皆为一直流电压, 更明确地说, 该第一电位为 Vdd 电源供应电压, 而该第二电位为 Vss 电源供应电压。再者, 本发明的实施例中的电致发光组件 EL 可以为有机发光二极管组件。

为了验证 RC 延迟效应的影响, 特别进行了仿真, 仿真中所用的传统像素驱动电路如图 7A 所示, 各组件的参数如后: 每一像素的扫描线与 Vss 之间的寄生电容 C<sub>sc</sub>=0.06 pF, 每一像素的扫描线电阻为 R<sub>s1</sub>=20Ω, 储存电容 C<sub>s</sub>=0.5 pF, 两颗开关晶体管 T<sub>sw1</sub>与 T<sub>sw2</sub>的尺寸 W/L=6 μm/6 μm, 栅极高压 V<sub>gh</sub>=9 伏特, 栅极低压 V<sub>gl</sub>=-6 伏特, 仿真扫描在线有 640 个像素的情形, 其模拟的结果如图 8A 与 8B 图所示, 其横轴为时间, 单位为秒, 而纵轴为电压, 单位为伏特, 图 8A 为扫描线的扫描电压仿真图, 由其仿真结果可看到扫描信号严重的 RC 延迟效应, 而图 8B 为像素电压仿真图, 由其仿真结果可看到像素的电压也随位置不同而越来越高。

仿真中依据本发明所用的像素驱动电路如图 7B 所示, 其中每一级所加入的补偿电容以 C<sub>gp1</sub>=2 × 10<sup>-17</sup>F 开始作线性的增加, 第 320 像素的 C<sub>gp320</sub>=320 × 2 × 10<sup>-17</sup>F, 第 640 像素的 C<sub>gp640</sub>=640 × 2 × 10<sup>-17</sup>F, 模拟的结果如第 9A 与 9B 图所示, 其横轴为时间, 单位为秒, 而纵轴为电压, 单位为伏特, 图 9A 为扫描线

的扫描电压仿真图, 图 9B 为像素电压仿真图, 像素的电压经过修正, 使得第 320 个及第 640 个像素的电压几乎等于第 1 个的像素电压。

虽然本发明的模拟是针对补偿电容随位置不同而线性增加的状况而进行, 但本发明不限于此, 只要补偿电容有助于抑制像素电压因扫描信号的 RC 延迟效应而变化的效果即可。

图 10 为依据本发明另一实施例的像素阵列的像素驱动电路示意图, 如图 10 所示, 该像素驱动电路包括一第一开关晶体管 T1、一第二开关晶体管 T2、一第一扫描线 ES (Erase Scan)、一数据线 DL、一驱动晶体管 T3、一电致发光组件 EL 以及一补偿电容  $C_{\text{gpm}}$ ; 第一扫描线 ES 连接至第一开关晶体管 T1 的第一端点, 数据线 DL 通过第二开关晶体管 T2 耦接至第一开关晶体管 T1 的第二端点, 驱动晶体管 T3 的第一端点连接至第一开关晶体管 T1 的第三端点, 驱动晶体管 T3 的第二端点连接至一第一电位, 电致发光组件 EL 的一端连接至驱动晶体管 T3 的第三端点, 另一端连接至一第二电位, 储存电容  $C_s$  的一端连接至驱动晶体管 T3 的第一端点, 而另一端连接至第一电位或者前一条扫描线, 补偿电容  $C_{\text{gpm}}$  耦接在第一开关晶体管 T1 的第一端点与驱动晶体管 T3 的第一端点之间。且较佳而言, 该像素驱动电路更包括一第二扫描线 WS (Write Scan), 连接至第二开关晶体管 T2 的栅极。

本发明一提供一种像素阵列的画质改善方法, 该像素阵列内的像素是以电流进行驱动, 该画质改善方法包括在一玻璃基板上形成多个电致发光组件的基本像素驱动电路; 以及在每一该基本像素驱动电路中形成一补偿电容。其中, 如图 6 所示, 每一基本像素驱动电路包括一开关晶体管  $T_{\text{sw}}$ 、一扫描线 SL、一数据线 (图中分别以  $DL_1$ 、 $DL_2 \dots DL_n$  代表)、一驱动晶体管  $T_{\text{dr}}$  以及一电致发光组件 EL, 扫描线 SL 连接至开关晶体管  $T_{\text{sw}}$  的第一端点, 数据线 (图中分别以  $DL_1$ 、 $DL_2 \dots DL_n$  代表) 耦接至开关晶体管  $T_{\text{sw}}$  的第二端点, 驱动晶体管  $T_{\text{dr}}$  的第一端点连接至开关晶体管  $T_{\text{sw}}$  的第三端点, 驱动晶体管  $T_{\text{dr}}$  的第二端点连接至一第一电位, 电致发光组件 EL 的一端连接至驱动晶体管  $T_{\text{dr}}$  的第三端点, 另一端连接至一第二电位, 储存电容  $C_s$  的一端连接至驱动晶体管  $T_{\text{dr}}$  的第一端点, 而另一端连接至第一电位或者前一条扫描线, 每一补偿电容 (图中分别以  $C_{\text{gp1}}$ 、 $C_{\text{gp2}} \dots C_{\text{gpn}}$  代表) 连接各开关晶体管  $T_{\text{sw}}$  的各第一端点与各驱动晶体管  $T_{\text{dr}}$  的各第一端点之间, 其中, 所有连接至同一扫描线的补偿电容 (图中分别以  $C_{\text{gp1}}$ 、 $C_{\text{gp2}} \dots C_{\text{gpn}}$  代表) 的电容大小不完全相同。

本发明利用在同一列所有的像素内的储存电容非与定电压相连的一端，及连结此端的开关晶体管的栅极间加入大小不同的补偿电容，以抑制像素电压因扫描信号的 RC 延迟效应而变化。

- 虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视后附的申请专利范围所界定者为准。

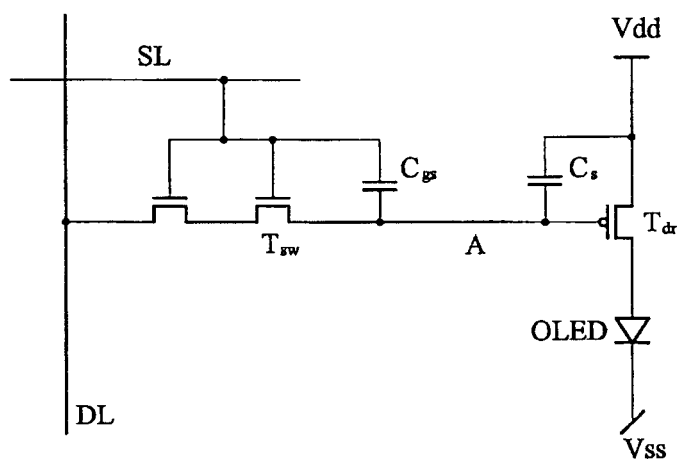


图 1

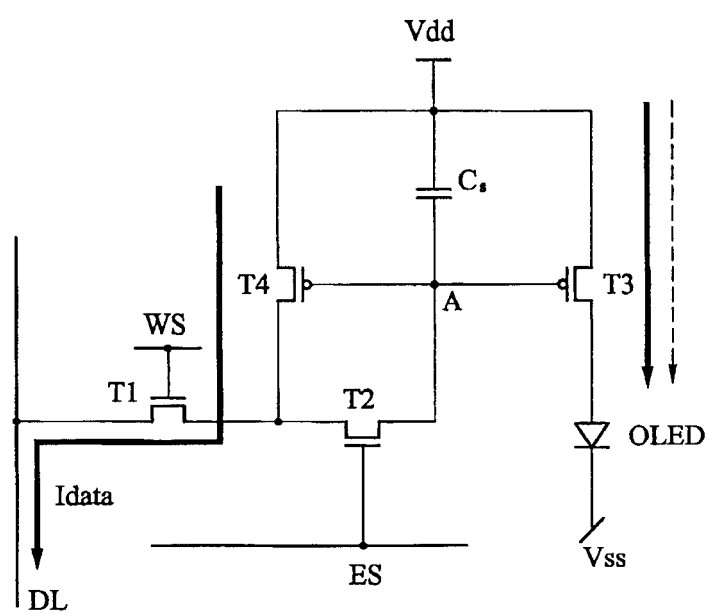


图 2

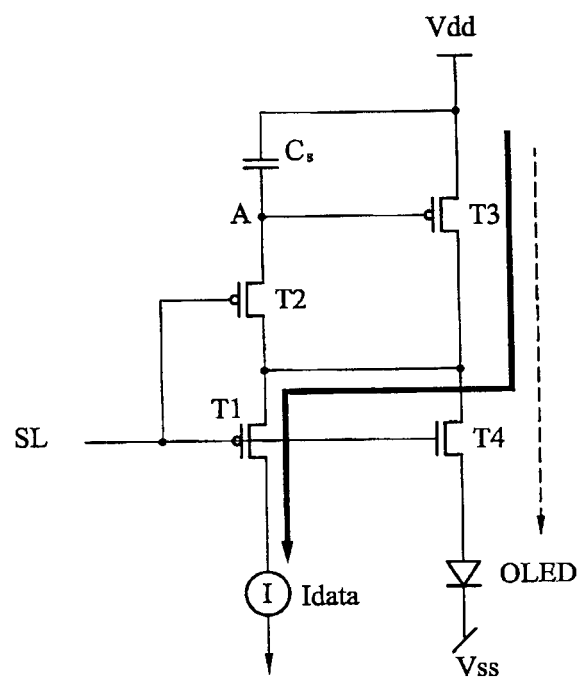


图 3

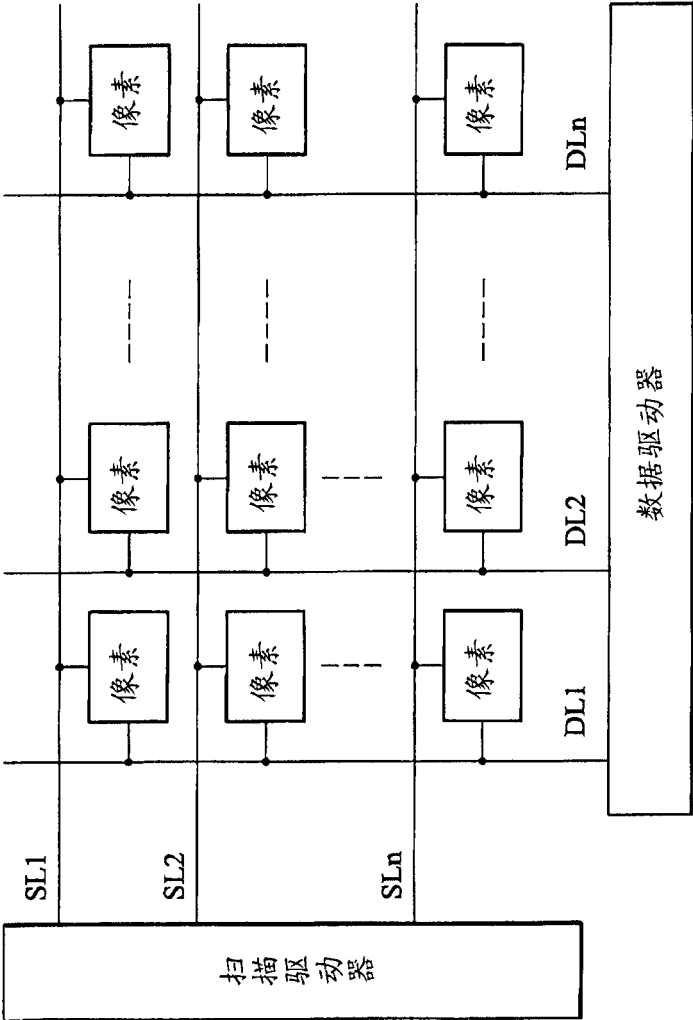


图 4

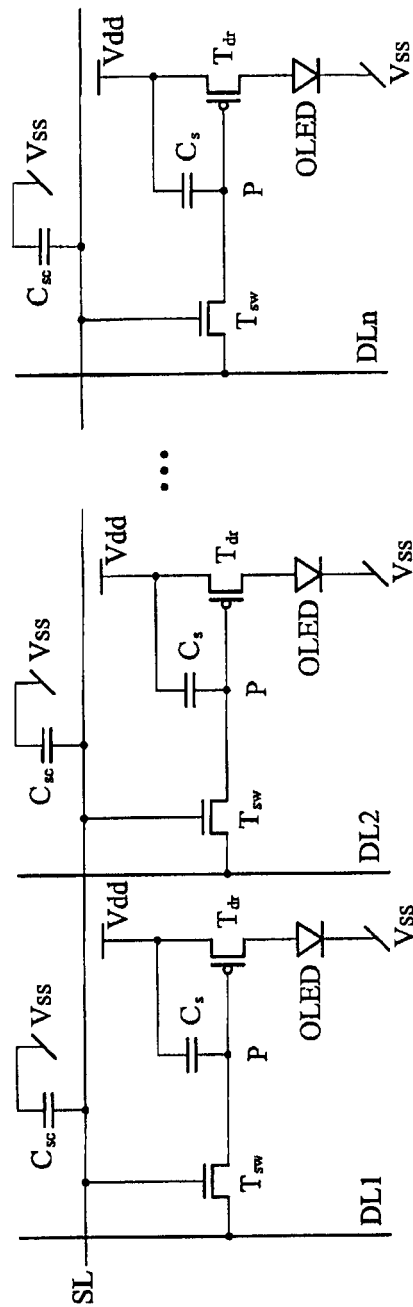


图 5A

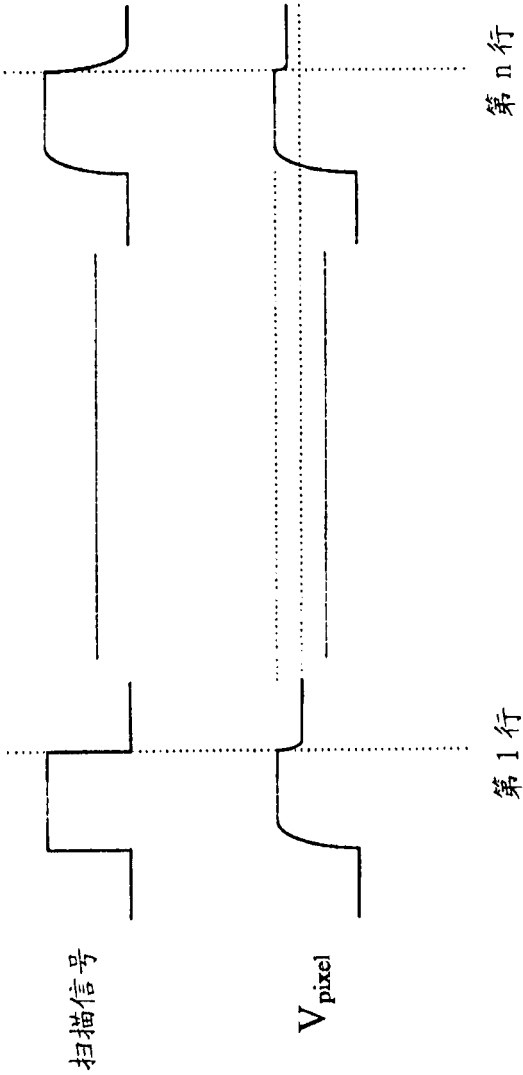


图 5B

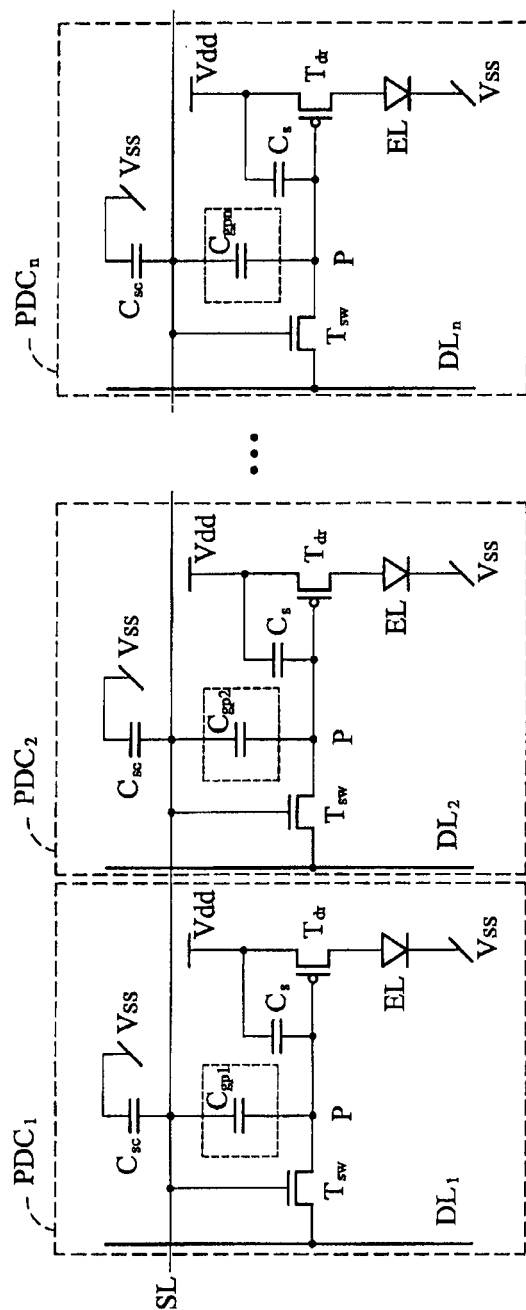


图 6

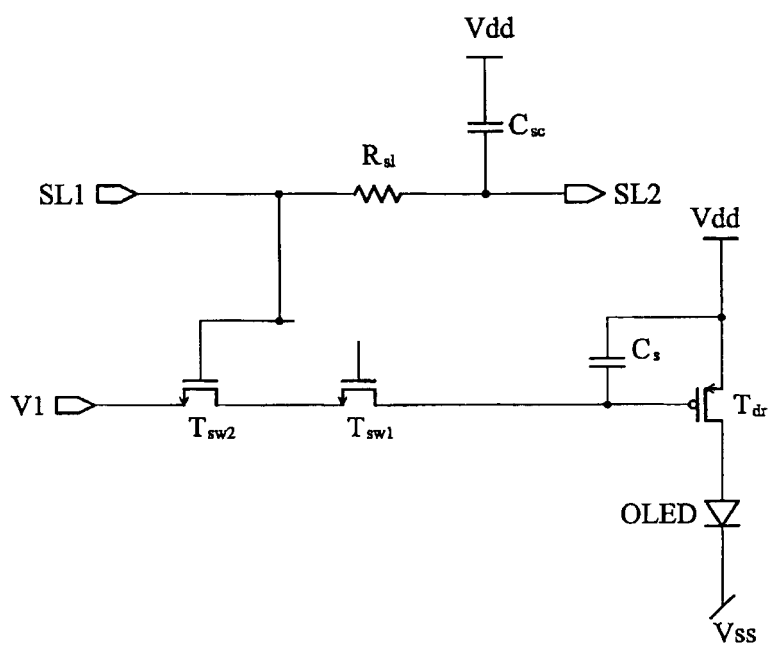


图 7A

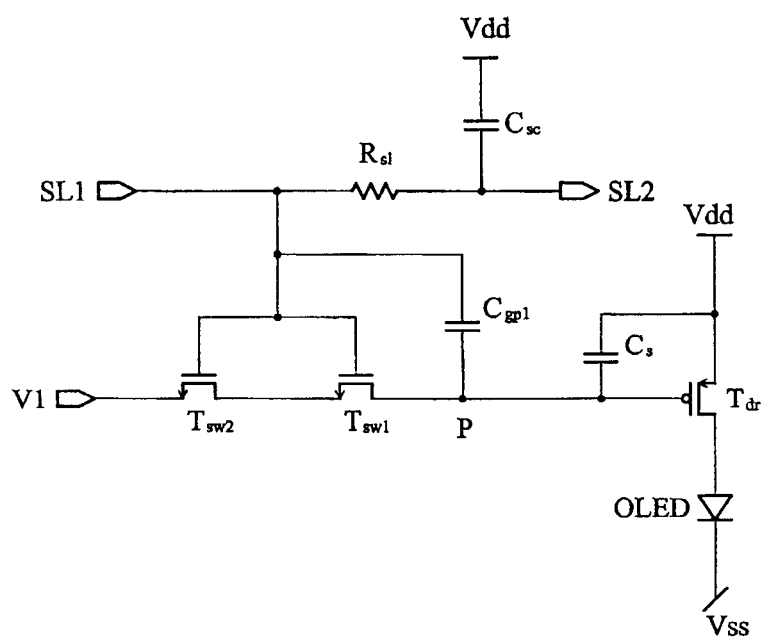


图 7B

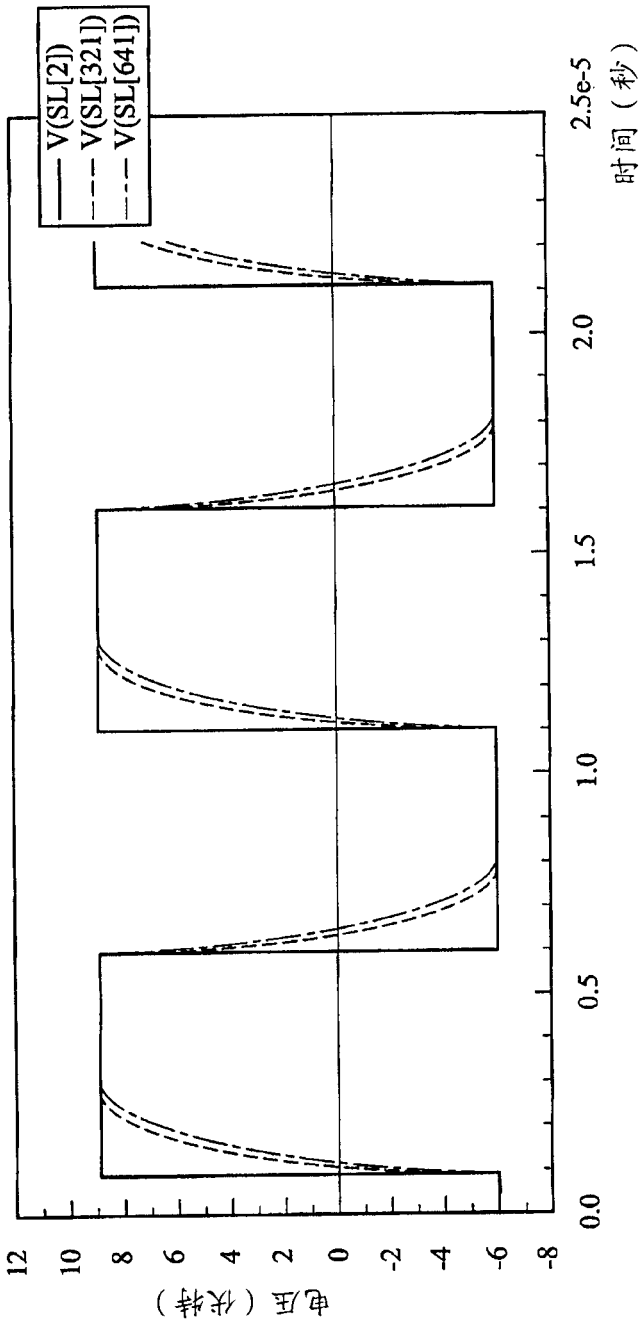


图 8A

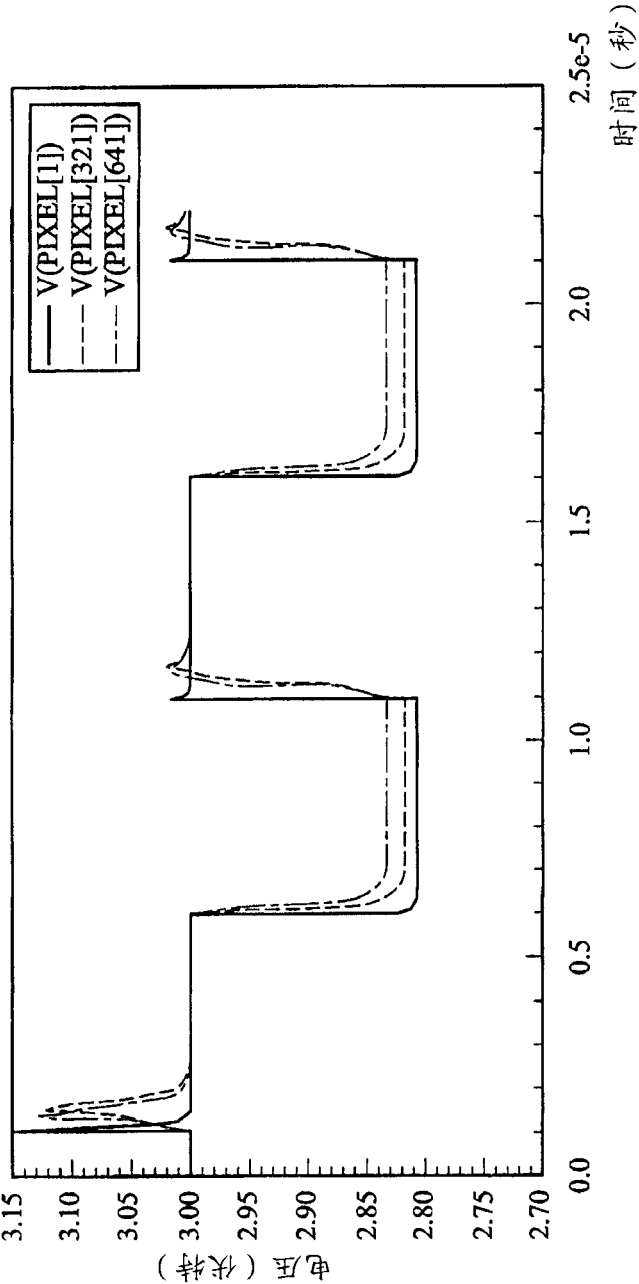


图 8B

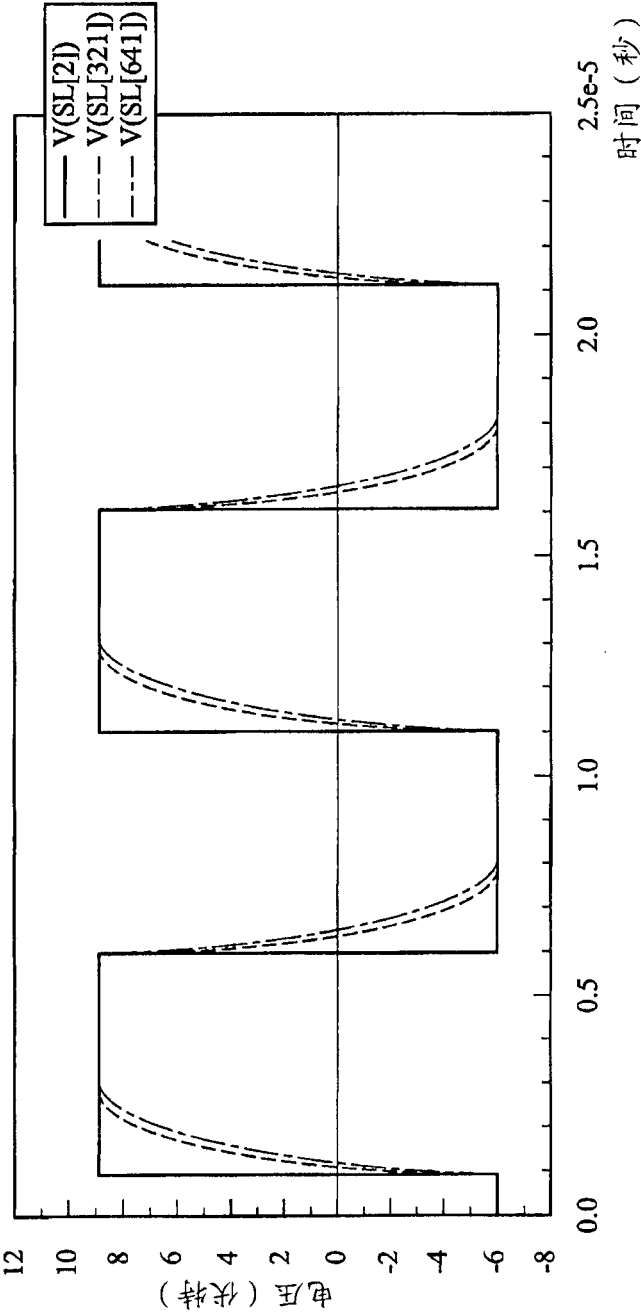


图 9A

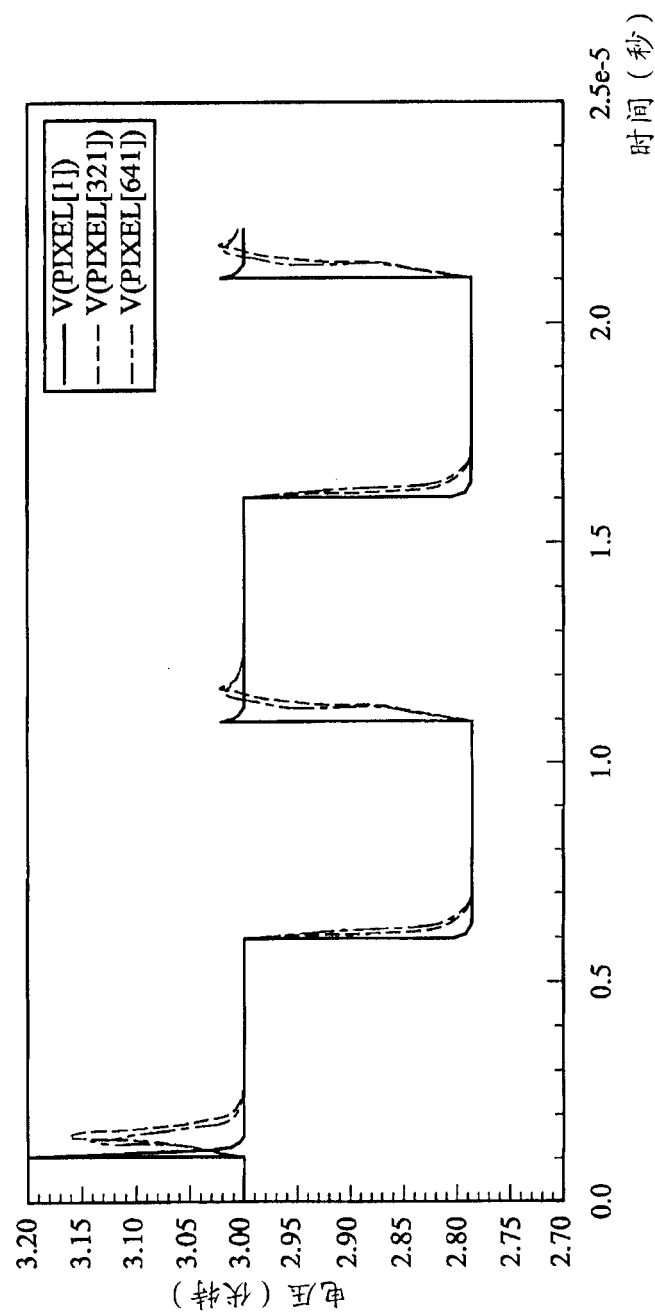


图 9B

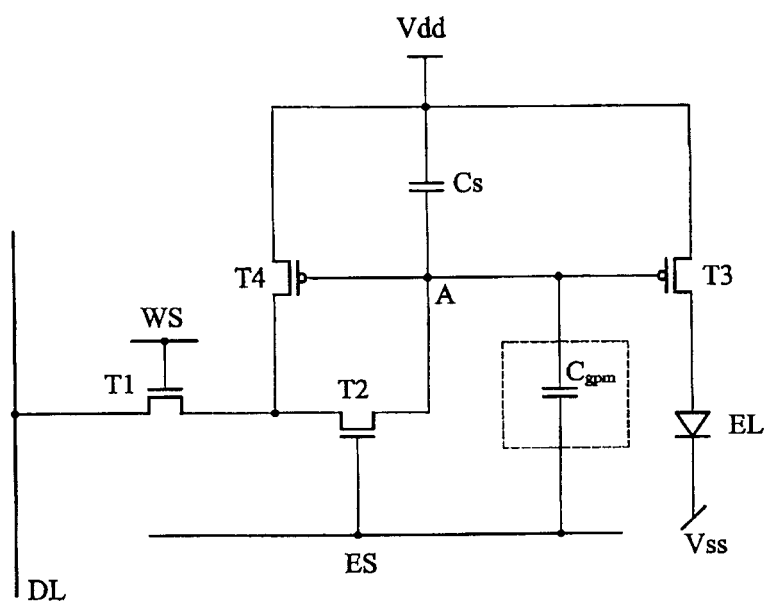


图 10

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 像素阵列及其画质改善方法                                   |         |            |
| 公开(公告)号        | <a href="#">CN1652185A</a>                     | 公开(公告)日 | 2005-08-10 |
| 申请号            | CN200510054897.7                               | 申请日     | 2005-03-22 |
| [标]申请(专利权)人(译) | 友达光电股份有限公司                                     |         |            |
| 申请(专利权)人(译)    | 友达光电股份有限公司                                     |         |            |
| 当前申请(专利权)人(译)  | 友达光电股份有限公司                                     |         |            |
| [标]发明人         | 孙文堂                                            |         |            |
| 发明人            | 孙文堂                                            |         |            |
| IPC分类号         | G09G3/30 G09G3/3208 H05B33/08 G09G3/32         |         |            |
| CPC分类号         | Y02B20/346 Y02B20/343                          |         |            |
| 代理人(译)         | 马莹                                             |         |            |
| 其他公开文献         | CN100410989C                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

一种像素阵列(pixel array)包括多个电致发光组件的像素驱动电路，每一像素驱动电路包括一开关晶体管、一扫描线、一数据线、一驱动晶体管、一电致发光组件、一储存电容以及一补偿电容；扫描线连接至开关晶体管的第一端点，数据线耦接至开关晶体管的第二端点，驱动晶体管的第一端点连接至开关晶体管的第三端点，驱动晶体管的第二端点连接至一第一电位，电致发光组件的一端连接至驱动晶体管的第三端点，另一端连接至一第二电位，储存电容的一端连接至驱动晶体管的第一端点，而另一端连接至第一电位或者前一条扫描线，补偿电容连接在开关晶体管的第一端点与驱动晶体管的第一端点之间；其中，所有连接至同一扫描线的补偿电容的电容大小不完全相同。

