

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G09G 3/30 (2006.01)  
G09G 3/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03122118.1

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100437700C

[22] 申请日 2003.4.21 [21] 申请号 03122118.1

[73] 专利权人 统宝光电股份有限公司  
地址 台湾省新竹科学工业园区

[72] 发明人 薛玮杰

[56] 参考文献

CN1608280 A 2005.4.20

CN1404600 A 2003.3.19

US2002/0190944 A1 2002.12.19

审查员 王少伟

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 王占梅

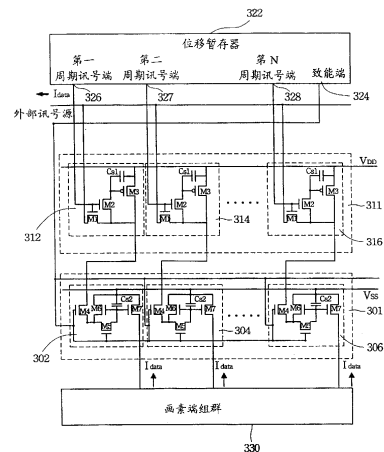
权利要求书 5 页 说明书 14 页 附图 6 页

## [54] 发明名称

电流驱动电激发光显示器的资料线传输电路的装置

## [57] 摘要

一种电流驱动电激发光显示器的资料线传输电路的装置，用来由外部讯号源接收资料电流，并驱动电激发光显示器的画素端组群。该装置包含：位移暂存器，具有至少一周期讯号端与一致能端；第一电路组群，由具有存储电流功能的至少一第一电路组组成，该第一电路组由该周期讯号端控制以接收资料电流；第二电路组群，由具有存储电流功能的至少一第二电路组组成，该第二电路组电性串联于第一电路组，且由致能端控制自第一电路组复制再发送资料电流至画素端组群；其中，所述第一电路组和第二电路组以六个或七个薄膜晶体管、两个电容与所述位移暂存器组成一个单位的电流冏电路架构。



1、一种电流驱动电激发光显示器的资料线传输电路的装置，用来由一外部讯号源接收至少一资料电流，并驱动一电激发光显示器的一画素端组群，该电流驱动电激发光显示器的资料线传输电路的装置的电路配置是电流源的电路配置，其特征是至少包含：

一位移暂存器（622），具有至少一周讯号端（626）与一致能端（624）；

一第一电路组群，由具有存储电流功能的至少一第一电路组（612）组成，该第一电路组（612）由该周期讯号端（626）控制，以接收该外部讯号源所产生的该资料电流；以及

一第二电路组群，由具有存储电流功能的至少一第二电路组（602）组成，该第二电路组（602）的电流输入端电性连接于该第一电路组（612）的电流输出端，该第二电路组（602）由该致能端（624）控制自该第一电路组（612）复制再发送该资料电流至该画素端组群（630）；

其中，所述第一电路组（612）和第二电路组（602）与所述位移暂存器（622）组成一个单位的电流源类型的电流门电路架构，

所述第一电路组（612）包括第一薄膜晶体管（M1）、第二薄膜晶体管（M2）、第三薄膜晶体管（M3）和第一电容（Cs1），且第一薄膜晶体管（M1）的栅极连接第二薄膜晶体管（M2）的栅极，并共同连接至所述位移暂存器（622）的周期讯号端（626）；第一薄膜晶体管（M1）的第一引脚连接所述外部讯号源，第二引脚与第二薄膜晶体管（M2）、第三薄膜晶体管（M3）以及第四薄膜晶体管（M4）的第一引脚连接；第二薄膜晶体管（M2）的第二引脚连接第一电容（Cs1）的第一端以及第三薄膜晶体管（M3）的栅极；第三薄膜晶体管（M3）的第二引脚连接第一电容（Cs1）的第二端，并共同连接至电源端  $V_{SS}$ ，

所述第二电路组（602）包括第四薄膜晶体管（M4）、第五薄膜晶体管（M5）、第六薄膜晶体管（M6）和第二电容（Cs2），且第四薄膜晶体管（M4）的栅极连

接第五薄膜晶体管(M5)的栅极,并共同连接至位移暂存器(622)的致能端(624);第四薄膜晶体管(M4)的第二引脚与第五薄膜晶体管(M5)、第六薄膜晶体管(M6)的第一引脚连接,并共同连接至画素端组群(630);第五薄膜晶体管(M5)的第二引脚连接第二电容(Cs2)的第一端以及第六薄膜晶体管(M6)的栅极;第六薄膜晶体管(M6)的第二引脚连接第二电容(Cs2)的第二端,并共同连接至电源端 $V_{DD}$ 。

2、根据权利要求1所述的电流驱动电激发光显示器的资料线传输电路的装置,其特征是:当该第一电路组群是由多个该第一电路组(612)组成,以及该第二电路组群是由多个该第二电路组(602)组成时,该电流驱动电激发光显示器的资料线传输电路的装置的操作顺序至少包含:

这些第一电路组(612)依序分别由多个该周期讯号端(626)控制,以分别依序接收多个该资料电流;

这些第二电路组(602)依序由该致能端(624)控制,自这些第一电路组(612)分别依序复制这些资料电流后,再分别依序发送这些资料电流至该画素端组群(630)。

3. 一种电流驱动电激发光显示器的资料线传输电路的装置,用来由一外部讯号源接收至少一资料电流,并驱动一电激发光显示器的一画素端组群,该电流驱动电激发光显示器的资料线传输电路的装置的电路配置是电流吸收器的电路配置,其特征是至少包含:

一位移暂存器(322),具有至少一周周期讯号端(326)与一致能端(324);

一第一电路组群(311),由具有存储电流功能的至少一第一电路组(312)组成,该第一电路组由该周期讯号端(326)控制,以发送该资料电流至该外部讯号源;以及

一第二电路组群(301),由具有存储电流功能的至少一第二电路组(302)组成,该第二电路组(302)的电流输出端电性连接于该第一电路组(312)的电流输入端,该第二电路组(302)由该致能端(324)控制自该第一电路组(312)

复制再自该画素端组群(330)接收该资料电流;

其中,所述第一电路组(312)和第二电路组(302)与所述位移暂存器(322)组成一个单位的电流吸收器类型的电流门电路架构,

所述第一电路组(312)包括第一薄膜晶体管(M1)、第二薄膜晶体管(M2)、第三薄膜晶体管(M3)和第一电容(Cs1),且第一薄膜晶体管(M1)的栅极连接第二薄膜晶体管(M2)的栅极,并共同连接至所述位移暂存器(322)的周期讯号端(326);第一薄膜晶体管(M1)的第一引脚连接所述外部讯号源,第二个引脚与第二薄膜晶体管(M2)、第三薄膜晶体管(M3)以及第四薄膜晶体管(M4)的第一引脚连接;第二薄膜晶体管(M2)的第二引脚连接第一电容(Cs1)的第一端以及第三薄膜晶体管(M3)的栅极;第三薄膜晶体管(M3)的第二引脚连接第一电容(Cs1)的第二端,并共同连接至电源端 $V_{DD}$ ,

所述第二电路组(302)包括第四薄膜晶体管(M4)、第五薄膜晶体管(M5)、第六薄膜晶体管(M6)、第七薄膜晶体管(M7)和第二电容(Cs2),且第四薄膜晶体管(M4)的栅极连接第五薄膜晶体管(M5)的栅极,并共同连接至所述位移暂存器(322)的致能端(324);第四薄膜晶体管(M4)的第二引脚连接第五薄膜晶体管(M5)、第六薄膜晶体管(M6)的第一引脚;第五薄膜晶体管(M5)的第二引脚与第六薄膜晶体管(M6)的栅极、第七薄膜晶体管(M7)的栅极以及第二电容(Cs2)的第一端连接;第六薄膜晶体管(M6)的第二引脚连接第二电容(Cs2)的第二端以及第七薄膜晶体管(M7)的第一引脚,并共同连接至电源端 $V_{SS}$ ;第七薄膜晶体管(M7)的第二引脚连接画素端组群(330)。

4、根据权利要求3所述的电流驱动电激发光显示器的资料线传输电路的装置,其特征是:当该第一电路组群是由多个该第一电路组(312)组成,以及该第二电路组群是由多个该第二电路组(302)组成时,该电流驱动电激发光显示器的资料线传输电路的装置的操作顺序至少包含:

该些第一电路组(312)依序分别由多个该周期讯号端(326)控制,以分别依序发送多个该资料电流;

这些第二电路组(302)依序由该致能端(324)控制,自这些第一电路组(312)分别依序复制这些资料电流后,再分别依序自该画素端组群(330)接收这些资料电流。

5. 一种电流驱动电激发光显示器的资料线传输电路的装置,用来由一外部讯号源接收至少一资料电流,并驱动一电激发光显示器的一画素端组群,该电流驱动电激发光显示器的资料线传输电路的装置的电路配置是电流吸收器的电路配置,其特征是至少包含:

一位移暂存器(522),具有至少一周期讯号端(526)与一致能端(524);

一第一电路组群,由具有存储电流功能的至少一第一电路组(512)组成,该第一电路组(512)由该周期讯号端(526)控制,以发送该资料电流至该外部讯号源;以及

一第二电路组群,由具有存储电流功能的至少一第二电路组(502)组成,该第二电路组(502)的电流输出端电性连接于该第一电路组(512)的电流输入端,该第二电路组(502)由该致能端(524)控制自该第一电路组(512)复制再自该画素端组群(530)接收该资料电流;

其中,所述第一电路组(512)和第二电路组(502)与所述位移暂存器(522)组成一个单位的电流吸收器类型的电流电路架构;

所述第一电路组(512)包括第一薄膜晶体管(M1)、第二薄膜晶体管(M2)、第三薄膜晶体管(M3)和第一电容(Cs1),且第一薄膜晶体管(M1)的栅极连接第二薄膜晶体管(M2)的栅极,并共同连接至所述位移暂存器(522)的周期讯号端(526);第一薄膜晶体管(M1)的第一引脚连接所述外部讯号源,第二引脚与第二薄膜晶体管(M2)、第三薄膜晶体管(M3)以及第四薄膜晶体管(M4)的第一引脚连接;第二薄膜晶体管(M2)的第二引脚连接第一电容(Cs1)的第一端以及第三薄膜晶体管(M3)的栅极;第三薄膜晶体管(M3)的第二引脚连接第一电容(Cs1)的第二端,并共同连接至电源端 $V_{DD}$ ,

所述第二电路组(502)包括第四薄膜晶体管(M4)、第五薄膜晶体管(M5)、

第六薄膜晶体管 (M6)、第七薄膜晶体管 (M7) 和第二电容 (Cs2), 且第四薄膜晶体管 (M4) 的栅极连接第五薄膜晶体管 (M5)、第七薄膜晶体管 (M7) 的栅极, 并共同连接至所述位移暂存器 (522) 的致能端 (524); 第四薄膜晶体管 (M4) 的第二引脚连接第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6) 以及第七薄膜晶体管 (M7) 的第一引脚; 第五薄膜晶体管 (M5) 的第二引脚与第六薄膜晶体管 (M6) 的栅极以及第二电容 (Cs2) 的第一端连接; 第六薄膜晶体管 (M6) 的第二引脚连接第二电容 (Cs2) 的第二端, 并共同连接至电源端  $V_{SS}$ ; 第七薄膜晶体管 (M7) 的第二引脚连接画素端组群 (530)。

6、根据权利要求 5 所述的电流驱动电激发光显示器的资料线传输电路的装置, 其特征是: 当该第一电路组群是由多个该第一电路组 (512) 组成, 以及该第二电路组群是由多个该第二电路组 (502) 组成时, 该电流驱动电激发光显示器的资料线传输电路的装置的操作顺序至少包含:

这些第一电路组 (512) 依序分别由多个该周期讯号端 (526) 控制, 以分别依序发送多个该资料电流;

这些第二电路组 (502) 依序由该致能端 (524) 控制, 自这些第一电路组 (512) 分别依序复制这些资料电流后, 再分别依序自该画素端组群 (530) 接收这些资料电流。

## 电流驱动电激发光显示器的资料线传输电路的装置

### 技术领域

本发明涉及一种资料线驱动电路，特别是一种电流驱动电激发光显示器的资料线传输电路的装置。

### 背景技术

电激发光 (electro luminescence, EL) 为自发光性质的显示技术，运作原理是通过电气方式，将载子注入具发光特性的半导体元件，使其激发而产生光。而电激发光可依采用的半导体元件性质简单区分为无机电激发光 (inorganic electro luminescence) 与有机电激发光 (organic electro luminescence, OEL)。电激发光显示器的驱动电路架构之一为主动矩阵的电路架构。

主动矩阵的最简单及最基本的电路配置图如图 1 所示。在图 1 中，晶体管 102 的功能为开关及定址之用，可称为一薄膜开关晶体管 (Switching thin film transistor, switching TFT)。晶体管 104 则根据储存电容 106 的信号电压值，调制驱动发光元件 108 的连续电流，所以晶体管 104 则被称为一薄膜驱动晶体管 (driving TFT)。此储存的信号电压值可每一图框时间 (frame time) 更新一次。

但是，利用电压直接驱动晶体管 104 的方法，会因为每个驱动晶体管的特性不同，使得相同的驱动电压，却会产生不同的发光强度。因此，目前普遍使用电流驱动的方法，来补偿驱动晶体管的临界电压与迁移率 (mobility)。

目前，利用电流驱动的电激发光装置有一个主要的缺点，由于资料电流必须由资料线来提供，这意味着电流源的数目必须与资料线的数目相同。也就是

说，在现在的电激发光显示器中，由于大尺寸以及高分辨率的要求，所以需要非常大量的资料线以及与其配合的电流源。因此，Sony 公司提出了电流门（current latch）的架构，可以大幅减少电流源的数目，如图 2 所示。

在图 2 中，有电路组 202、电路组 204、电路组 206、电路组 212、电路组 214、电路组 215、位移暂存器（shift register, SR）208、位移暂存器 218、致能器（enable）209、致能器 219 以及画素端组群 220。其中电路组 202 与电路组 212 负责画素端组群 220 中的红色画素，电路组 204 与电路组 214 负责画素端组群 220 中的绿色画素，电路组 206 与电路组 216 负责画素端组群 220 中的蓝色画素。画素端组群内包含多个画素端，利用扫描线（图中未表示出）的开关来控制这些画素端供资料电流写入。位移暂存器 208 与致能器 209 控制包含电路组 202、电路组 204 与电路组 206 的第一电路组群 201。位移暂存器 218 与致能器 219 则控制包含电路组 212、电路组 214 与电路组 216 的第二电路组群 211。

图 2 中 Sony 公司提出的电流门的架构，其输入资料的流程叙述如下。当资料电流  $I_{data}$  发送过来时，由位移暂存器 208 控制依序写入第一电路组群 201 中。写入的过程完成后，接下来的下一组资料电流就会被切换，由位移暂存器 218 控制依序写入第二电路组群 211 中。而在写入第二电路组群 211 的同时，致能器 209 会命令第一电路组群 201 将存储的资料电流  $I_{data}$  发送至画素端组群 220 中所对应到的画素端；当第二电路组群 211 写入完毕后，则切换成第一电路组群 201 由位移暂存器 208 控制写入资料，而致能器 219 则在此时命令第二电路组群 211 发送所存储的资料电流  $I_{data}$  至画素端组群 220 中所对应的下一组画素端。

也就是说，第一与第二电路组群两者轮流交替地写入与发送资料，当其中之一被写入资料时，另一个则负责发送资料至画素端组群，然后当此过程完成后，两者切换步骤，如此反覆地进行资料的写入与传送。这种电流门的架构可以大幅减少电流源的数目，但是由于这种架构是基于两个电路组群轮流交替，

各电路组群与其位移暂存器必须使用外部控制讯号线 (signal line) 控制, 因此使用的外部控制讯号线数目过多, 且所处理的资料电流不免受两个不同的电路组群影响, 而会有画质不佳的情形发生。

### 发明内容

因此本发明所要解决的技术问题是, 针对现有技术的上述不足, 而提供一种电流驱动电激发光显示器的资料线传输电路的装置, 该电路可减少外部控制讯号线的数目、减少电流冏中电子元件的数目并使负责发送资料电流至显示器面板中的画素端组群的电路组为同一组。

本发明的上述技术问题是如下多个技术方案来实现的。

#### 方案一

一种电流驱动电激发光显示器的资料线传输电路的装置, 用来由一外部讯号源接收至少一资料电流, 并驱动一电激发光显示器的一画素端组群, 该电流驱动电激发光显示器的资料线传输电路的装置的电路配置是电流源的电路配置, 该装置至少包含:

一位移暂存器 (622), 具有至少一周讯号端 (626) 与一赋能端 (624);

一第一电路组群, 由具有存储电流功能的至少一第一电路组 (612) 组成, 该第一电路组 (612) 由该周期讯号端 (626) 控制, 以接收该外部讯号源所产生的该资料电流; 以及

一第二电路组群, 由具有存储电流功能的至少一第二电路组 (602) 组成, 该第二电路组 (602) 的电流输入端电性连接于该第一电路组 (612) 的电流输出端, 该第二电路组 (602) 由该赋能端 (624) 控制自该第一电路组 (612) 复制再发送该资料电流至该画素端组群 (630);

其中, 所述第一电路组 (612) 和第二电路组 (602) 与所述位移暂存器 (622) 组成一个单位的电流源类型的电流冏电路架构,

所述第一电路组 (612) 包括第一薄膜晶体管 (M1)、第二薄膜晶体管 (M2)、第三薄膜晶体管 (M3) 和第一电容 (Cs1), 且第一薄膜晶体管 (M1) 的栅极连

接第二薄膜晶体管 (M2) 的栅极, 并共同连接至所述位移暂存器 (622) 的周期讯号端 (626); 第一薄膜晶体管 (M1) 的第一引脚连接所述外部讯号源, 第二引脚与第二薄膜晶体管 (M2)、第三薄膜晶体管 (M3) 以及第四薄膜晶体管 (M4) 的第一引脚连接; 第二薄膜晶体管 (M2) 的第二引脚连接第一电容 (Cs1) 的第一端以及第三薄膜晶体管 (M3) 的栅极; 第三薄膜晶体管 (M3) 的第二引脚连接第一电容 (Cs1) 的第二端, 并共同连接至电源端  $V_{SS}$ ,

所述第二电路组 (602) 包括第四薄膜晶体管 (M4)、第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6) 和第二电容 (Cs2), 且第四薄膜晶体管 (M4) 的栅极连接第五薄膜晶体管 (M5) 的栅极, 并共同连接至位移暂存器 (622) 的致能端 (624); 第四薄膜晶体管 (M4) 的第二引脚与第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6) 的第一引脚连接, 并共同连接至画素端组群 (630); 第五薄膜晶体管 (M5) 的第二引脚连接第二电容 (Cs2) 的第一端以及第六薄膜晶体管 (M6) 的栅极; 第六薄膜晶体管 (M6) 的第二引脚连接第二电容 (Cs2) 的第二端, 并共同连接至电源端  $V_{DD}$ 。

当该第一电路组群是由多个该第一电路组 (612) 组成, 以及该第二电路组群是由多个该第二电路组 (602) 组成时, 该电流驱动电激发光显示器的资料线传输电路的装置的操作顺序至少包含:

该些第一电路组 (612) 依序分别由多个该周期讯号端 (626) 控制, 以分别依序接收多个该资料电流;

该些第二电路组 (602) 依序由该致能端 (624) 控制, 自该些第一电路组 (612) 分别依序复制该些资料电流后, 再分别依序发送该些资料电流至该画素端组群 (630)。

## 方案二

一种电流驱动电激发光显示器的资料线传输电路的装置, 用来由一外部讯号源接收至少一资料电流, 并驱动一电激发光显示器的一画素端组群, 该电流驱动电激发光显示器的资料线传输电路的装置的电路配置是电流吸收器的电路

配置, 该装置至少包含:

一位移暂存器 (322), 具有至少一周讯号端 (326) 与一致能端 (324);

一第一电路组群 (311), 由具有存储电流功能的至少一第一电路组 (312) 组成, 该第一电路组由该周期讯号端 (326) 控制, 以发送该资料电流至该外部讯号源; 以及

一第二电路组群 (301), 由具有存储电流功能的至少一第二电路组 (302) 组成, 该第二电路组 (302) 的电流输出端电性连接于该第一电路组 (312) 的电流输入端, 该第二电路组 (302) 由该致能端 (324) 控制自该第一电路组 (312) 复制再自该画素端组群 (330) 接收该资料电流;

其中, 所述第一电路组 (312) 和第二电路组 (302) 与所述位移暂存器 (322) 组成一个单位的电流吸收器类型的电流电路架构,

所述第一电路组 (312) 包括第一薄膜晶体管 (M1)、第二薄膜晶体管 (M2)、第三薄膜晶体管 (M3) 和第一电容 (Cs1), 且第一薄膜晶体管 (M1) 的栅极连接第二薄膜晶体管 (M2) 的栅极, 并共同连接至所述位移暂存器 (322) 的周期讯号端 (326); 第一薄膜晶体管 (M1) 的第一引脚连接所述外部讯号源, 第二个引脚与第二薄膜晶体管 (M2)、第三薄膜晶体管 (M3) 以及第四薄膜晶体管 (M4) 的第一引脚连接; 第二薄膜晶体管 (M2) 的第二引脚连接第一电容 (Cs1) 的第一端以及第三薄膜晶体管 (M3) 的栅极; 第三薄膜晶体管 (M3) 的第二引脚连接第一电容 (Cs1) 的第二端, 并共同连接至电源端  $V_{DD}$ ,

所述第二电路组 (302) 包括第四薄膜晶体管 (M4)、第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6)、第七薄膜晶体管 (M7) 和第二电容 (Cs2), 且第四薄膜晶体管 (M4) 的栅极连接第五薄膜晶体管 (M5) 的栅极, 并共同连接至所述位移暂存器 (322) 的致能端 (324); 第四薄膜晶体管 (M4) 的第二引脚连接第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6) 的第一引脚; 第五薄膜晶体管 (M5) 的第二引脚与第六薄膜晶体管 (M6) 的栅极、第七薄膜晶体管 (M7) 的栅极以及第二电容 (Cs2) 的第一端连接; 第六薄膜晶体管 (M6) 的第二引脚连接第二

电容 (Cs2) 的第二端以及第七薄膜晶体管 (M7) 的第一引脚, 并共同连接至电源端  $V_{ss}$ ; 第七薄膜晶体管 (M7) 的第二引脚连接画素端组群 (330)。

当该第一电路组群是由多个该第一电路组 (312) 组成, 以及该第二电路组群是由多个该第二电路组 (302) 组成时, 该电流驱动电激发光显示器的资料线传输电路的装置的操作顺序至少包含:

这些第一电路组 (312) 依序分别由多个该周期讯号端 (326) 控制, 以分别依序发送多个该资料电流;

这些第二电路组 (302) 依序由该致能端 (324) 控制, 自这些第一电路组 (312) 分别依序复制这些资料电流后, 再分别依序自该画素端组群 (330) 接收这些资料电流。

### 方案三

一种电流驱动电激发光显示器的资料线传输电路的装置, 用来由一外部讯号源接收至少一资料电流, 并驱动一电激发光显示器的一画素端组群, 该电流驱动电激发光显示器的资料线传输电路的装置的电路配置是电流吸收器的电路配置, 该装置至少包含:

一位移暂存器 (522), 具有至少一周周期讯号端 (526) 与一致能端 (524);

一第一电路组群, 由具有存储电流功能的至少一第一电路组 (512) 组成, 该第一电路组 (512) 由该周期讯号端 (526) 控制, 以发送该资料电流至该外部讯号源; 以及

一第二电路组群, 由具有存储电流功能的至少一第二电路组 (502) 组成, 该第二电路组 (502) 的电流输出端电性连接于该第一电路组 (512) 的电流输入端, 该第二电路组 (502) 由该致能端 (524) 控制自该第一电路组 (512) 复制再自该画素端组群 (530) 接收该资料电流;

其中, 所述第一电路组 (512) 和第二电路组 (502) 与所述位移暂存器 (522) 组成一个单位的电流吸收器类型的电流门电路架构;

所述第一电路组 (512) 包括第一薄膜晶体管 (M1)、第二薄膜晶体管 (M2)、

第三薄膜晶体管 (M3) 和第一电容 (Cs1), 且第一薄膜晶体管 (M1) 的栅极连接第二薄膜晶体管 (M2) 的栅极, 并共同连接至所述位移暂存器 (522) 的周期讯号端 (526); 第一薄膜晶体管 (M1) 的第一引脚连接所述外部讯号源, 第二引脚与第二薄膜晶体管 (M2)、第三薄膜晶体管 (M3) 以及第四薄膜晶体管 (M4) 的第一引脚连接; 第二薄膜晶体管 (M2) 的第二引脚连接第一电容 (Cs1) 的第一端以及第三薄膜晶体管 (M3) 的栅极; 第三薄膜晶体管 (M3) 的第二引脚连接第一电容 (Cs1) 的第二端, 并共同连接至电源端  $V_{DD}$ ,

所述第二电路组 (502) 包括第四薄膜晶体管 (M4)、第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6)、第七薄膜晶体管 (M7) 和第二电容 (Cs2), 且第四薄膜晶体管 (M4) 的栅极连接第五薄膜晶体管 (M5)、第七薄膜晶体管 (M7) 的栅极, 并共同连接至所述位移暂存器 (522) 的致能端 (524); 第四薄膜晶体管 (M4) 的第二引脚连接第五薄膜晶体管 (M5)、第六薄膜晶体管 (M6) 以及第七薄膜晶体管 (M7) 的第一引脚; 第五薄膜晶体管 (M5) 的第二引脚与第六薄膜晶体管 (M6) 的栅极以及第二电容 (Cs2) 的第一端连接; 第六薄膜晶体管 (M6) 的第二引脚连接第二电容 (Cs2) 的第二端, 并共同连接至电源端  $V_{SS}$ ; 第七薄膜晶体管 (M7) 的第二引脚连接画素端组群 (530)。

当该第一电路组群是由多个该第一电路组 (512) 组成, 以及该第二电路组群是由多个该第二电路组 (502) 组成时, 该电流驱动电激发光显示器的资料线传输电路的装置的操作顺序至少包含:

这些第一电路组 (512) 依序分别由多个该周期讯号端 (526) 控制, 以分别依序发送多个该资料电流;

这些第二电路组 (502) 依序由该致能端 (524) 控制, 自这些第一电路组 (512) 分别依序复制这些资料电流后, 再分别依序自该画素端组群 (530) 接收这些资料电流。

根据本发明的上述目的, 提出一种电流驱动电激发光显示器的资料线传输电路的装置, 将习知的电流闩内部的两电路组并联交替写入与发送资料电流的

架构，改变成为两电路组串联的架构，由第一电路组群负责接收从输入端来的资料电流，又由第二电路组群负责发送要输出至画素端组群的资料电流，而不再是每个电路组群都必须自行负责接收从输入端来与发送至画素端组群的资料电流。

依照本发明一较佳实施例，资料电流先写入第一电路组群后，再由第一电路组群写入第二电路组群中，然后由第二电路组群负责发送至画素端组群中对应的画素端，且在此同时，将新的资料电流写入第一电路组群中，如此依序反覆写入与发送的步骤。因此，第一电路组群会永远负责接收资料电流并写入第二电路组群中，而此第二电路组群则会永远负责接收第一电路组群传送过来的资料电流然后将其发送至画素端组群。

由上述本发明较佳实施例可知，应用本发明具有下列优点。

本发明改变电流门中两电路组的电性连接与操作方法，以减少资料线与电路元件的数目，此电流门应用在电激发光显示器中，其资料线与电子元件的减少，即是电子元件与排线所占的空间减少。一般而言，电激发光显示器的排线与操作集成电路多被放置在其显示荧幕的边框上，若排线越多越繁杂，则其边框则需做得较大来容纳道些排线。这对于被限制体积的显示器（例如：外观尺寸大小固定为A4的笔记型电脑）而言，若其外侧边框能够做得更小，荧幕的可视面积相对可做得更大。这项改进，可使得电激发光显示器更加轻薄，更优于传统阴极射线管（cathode ray tube, CRT）显示器。此外，因为是利用固定同一电路组来发送讯号至画素端组群，此单一电路组的电子特性固定，可避免因不同电路组本身电子特性不同，使发送出去的电流值也跟着会有所差异，造成同一讯号由两者轮流交替发送时，却可能会使画素阶调的不稳定。

为了让本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合附图，作详细说明如下：

## 附图说明

图 1 是习知主动矩阵的一最简单及最基本实施例的电路配置图。

图 2 是习知并联电流门的一实施例的电路配置图。

图 3 是绘示本发明一较佳实施例的电路配置图。

图 4 是图 3 的实施例的时间图。

图 5 是绘示本发明另一较佳实施例的电路配置图。

图 6 是绘示本发明又一较佳实施例的电路配置图。

### 具体实施方式

为了改善习知电流门的讯号线太多以及阶调不稳定性问题，本发明提出一种电流驱动电激发光显示器的资料线传输电路的装置。

图 3 为本发明的一实施例。图 3 中电路组 302 与电路组 312 以七个薄膜晶体管 (thin film transistor, TFT) M1-M7, 两个电容 Cs1、Cs2 以及一个位移暂存器 322 组成一个单位的电流吸收器 (current sink) 类型的电流门电路架构。其中电容 Cs1 与电容 Cs2 可储存资料电流, 位移暂存器 322 则可兼具致能 (enable) 的功能, 此致能功能在后面会解释。本发明的实施例将习知的电流门内部的两组电路组, 从并联交替写入与发送资料电流的架构改变成为串联的架构。

在图 3 中, 位移暂存器 322 负责控制电路组群 301 与电路组群 311 的操作, 其中有第一讯号周期、第二讯号周期至第 N 讯号周期的操作周期。电路组 312 与位移暂存器 322 的第一讯号周期端 326 连接, 电路组 314 与位移暂存器 322 的第二讯号周期端 327 连接, 电路组 316 与位移暂存器 322 的第 N 讯号周期端 328 连接, 以及电路组 302、电路组 304 与电路组 306 都与位移暂存器 322 的致能端 324 连接。电路组 302、电路组 304 与电路组 306 组成一个电路组群 301, 电路组 312、电路组 314 与电路组 316 则组成另一个电路组群 311。

图 4 则为图 3 中实施例的时间图 (timing chart), 仅列举两个单位的串联电流门组合, 即图 3 中的电路组 312 与电路组 302, 以及电路组 314 与电路组

304。由图 4 与图 3 对照可以更清楚地了解串联电流门架构操作的机制。

在图 4 中，第一讯号周期端 326 有两个开启的时期，分别是时间  $t_1$  至  $t_2$  间的时期 412 与时间  $t_8$  至  $t_9$  间的时期 414，时期 412 与时期 414 相隔周期间距 416（时间  $t_1$  至  $t_8$ ）。第二讯号周期端有两个开启的时期，分别是时间  $t_3$  至  $t_4$  间的时期 422 与时间  $t_{10}$  至  $t_{12}$  间的时期 424，时期 422 与时期 424 相隔周期间距 426（时间  $t_3$  至  $t_{10}$ ）。致能端有两个开启的时期，分别是时间  $t_5$  至  $t_6$  间的时期 432 与时间  $t_{13}$  至  $t_{14}$  间的时期 434，时期 432 与时期 434 相隔周期间距 436（时间  $t_5$  至  $t_{13}$ ）。由于第一讯号周期端 326、第二讯号周期端 327 与致能端 324 皆由位移暂存器 322 控制在同样的周期操作，因此这三个周期间距 416、426 与 436 都相等。且时期 412、时期 422 与时期 432 之间都必须间隔一小段时间（即时间  $t_2$  至  $t_3$  与时间  $t_4$  至  $t_5$ ），这是避免因为第一讯号周期端 326、第二讯号周期端 327 与致能端 324 开启时间太靠近所产生资料电流处理的问题，而后的时期 414、时期 424 与时期 434 也是一样的情形。

图 4 中的资料电流  $I_{data}$  表示讯号输入端输入电流门的资料电流，包含时间  $t_1$  至  $t_3$  的资料 402、时间  $t_3$  至  $t_5$  的资料 404、时间  $t_8$  至  $t_{10}$  的资料 406 与时间  $t_{10}$  至  $t_{13}$  的资料 408。资料 402、404、406 与 408 在图 4 中所表示的高低只代表它们是不同的资料讯号，并无其他特殊的意义。画素端组群 330 中相对应画素端的扫描线 (scan line) (图 3 中未表示) 会在时间  $t_7$  至  $t_{11}$  的时候开启。以下解释图 4 与图 3 所表示此串联电流门的操作过程。

当输入的资料电流  $I_{data}$  由外部讯号源输入至电流门时，位移暂存器 322 会打开第一讯号周期端 326 的时期 412，图 3 中电路组 312 的电容  $Cs1$  就开始储存输入的资料电流  $I_{data}$  的资料 402，然后位移暂存器 322 打开第二讯号周期端 327 的时期 422，电路组 314 的电容  $Cs1$  就开始储存输入的资料电流  $I_{data}$  的资料 404。然后位移暂存器 322 控制致能端 324 打开时期 432，此时储存在电路组 312 的电容  $Cs1$  中的电压，会去驱动电路组 312 的晶体管 M3 而转换成资料电流  $I_{data}$ ，然后资料电流  $I_{data}$  流经电路组 302 的晶体管 M6，再被转换成电压储存于电路组

302 的电容  $Cs2$  中。电路组 304/314 与电路组 306/316 也依照上述电路组 302 / 312 的这种方式操作。而后画素端组群 330 中相对应画素端的扫描线（图 3 中未表示）会打开时期 442，电路组 302 与电路组 304 即可对画素端组群 330 中相对应的画素端做写入的动作。

在时期 422 开启的过程中，位移暂存器 322 又会打开第一讯号周期端 326 的时期 414，将资料电流  $I_{data}$  的资料 406 储存于电路组 312 的电容  $Cs1$  中，然后位移暂存器 322 会打开第二讯号周期端 327 的时期 424，将资料电流  $I_{data}$  的资料 408 储存于电路组 314 的电容  $Cs1$  中。最后位移暂存器 322 控制致能端 324 打开时期 434，此时电路组 312 与电路组 314 中的电容  $Cs1$  的电压，会被分别复制到电路组 302 与电路组 304 的各电容  $Cs2$  中。

在致能端 324 打开时期 434 之前，画素端组群 330 中前一组画素端的扫描线必须先关闭（即扫描线的时期 442 结束于  $t_{11}$ ，早于时期 434 的开始时间  $t_{13}$ ），否则电路组 312 与电路组 314 中储存的资料电流  $I_{data}$ ，会在致能的时期 434 开启时，直接被写入画素端组群 330，而不会先储存于电路组 302 与电路组 304 中的各个电容  $Cs2$  中。

因此，在图 3 中，电路组群 311 会永远负责接收资料电流  $I_{data}$ ，并写入电路组群 301 中，而电路组群 301 则会永远负责接收电路组群 311 传送过来的资料电流  $I_{data}$ ，并将资料电流  $I_{data}$  写入画素端组群 330。而不再是各个电路组都必须自行负责接收从外部讯号源来与发送至画素端组群 330 的讯号。图 3 中的本发明实施例，是电流吸收器类型的配置，该资料电流  $I_{data}$  的输入，实际上为自画素端组群 330 抽取资料电流  $I_{data}$ ，因此此资料电流  $I_{data}$  的传输方向会与电流源（current source）电路配置的资料电流  $I_{data}$  的传输方向相反。

在这种串联电流门电路配置的架构下，还有一个额外的好处。Sony 公司提出的并联电流门架构，其中的致能器所负责的致能开关动作，在其中一电路组群要写入画素端组群时，必须一直维持在开启的状态，而本发明的串连电流门架构，则仅仅需要一个开启的周期讯号即可，也就是说，致能的功能可以包含

在位移暂存器中，由位移暂存器周期性地操作致能开关动作的执行。

图 5 则为本发明的另一实施例。图 5 中电路组 502 与电路组 512 以七个薄膜晶体管 M1-M7，两个电容 Cs1、Cs2 以及一个位移暂存器 522 组成一个单位的电流吸收器类型的电流门电路架构。其中电容 Cs1 与 Cs2 可储存资料电流  $I_{data}$ ，位移暂存器 522 具有致能的功能。在图 5 中，电路组 512 与位移暂存器 522 的讯号周期端 526 连接，其中有一讯号周期的操作周期，电路组 502 与位移暂存器 522 的致能端 524 连接。

此实施例也是电流吸收器类型的电路配置，仅举出一个单位的电流门电路架构来作为代表，因此负责操作此单位电流门的位移暂存器 522 也只有一个讯号周期端 526。当单位电流门不只一个时，位移暂存器 522 也能够随之扩充负责操作多个单位电流门。

当输入的资料电流  $I_{data}$  由外部讯号源输入至电流门时，讯号周期端 526 由位移暂存器 522 打开，利用图 5 中电路组 512 的电容 Cs1 来储存输入的资料电流  $I_{data}$ 。等到电容 Cs1 储存完后，致能端 524 由位移暂存器 522 控制，接着讯号周期端 526 后面打开，此时储存在电路组 512 的电容 Cs1 中的电压，会去驱动电路组 512 的晶体管 M3 而转换成资料电流  $I_{data}$ ，然后资料电流  $I_{data}$  流经电路组 502 的晶体管 M6，再被转换成电压储存于电路组 502 的电容 Cs2 中。而后画素端组群 530 中相对应画素端的扫描线（图 5 中未表示）打开，电路组 502 即可对画素端组群 530 中相对应的画素端做写入的动作，在写入的同时，讯号周期端 526 又打开，将资料电流  $I_{data}$  再次储存于电路组 512 的 Cs1 中，之后重复以上所述的动作。

图 6 则为本发明的又一实施例。图 6 中电路组 602 与电路组 612 以七个薄膜晶体管 M1-M7，两个电容 Cs1、Cs2 以及一个位移暂存器 622 组成一个单位的电流源类型的电流门电路架构。其中电容 Cs1 与 Cs2 可储存资料电流，位移暂存器 622 具有致能的功能。电路组 612 与位移暂存器 622 的讯号周期端 626 连接，其中有一讯号周期的操作周期，电路组 602 与位移暂存器 622 的致能端 624

连接。

此实施例是电流源类型的电路配置，仅举出一个单位的电流门电路架构来作为代表，因此负责操作此单位电流门的位移暂存器 622 也只有一个讯号周期端 626。当单位电流门不只一个时，位移暂存器 622 也能够随之扩充负责操作多个单位电流门。

当输入的资料电流  $I_{data}$  由外部讯号源输入至电流门时，讯号周期端 626 由位移暂存器 622 打开，利用图 6 中电路组 612 的电容  $Cs1$  来储存输入的资料电流  $I_{data}$ 。等到电容  $Cs1$  储存完后，致能端 624 由位移暂存器 622 控制，接着讯号周期端 626 后面打开，此时储存在电路组 612 的电容  $Cs1$  中的电压，会去驱动电路组 612 的晶体管 M3 而转换成资料电流  $I_{data}$ ，然后资料电流  $I_{data}$  流经电路组 602 的晶体管 M6，再被转换成电压储存于电路组 602 的电容  $Cs2$  中。而后画素端组群 630 中相对应画素端的扫描线（图中未表示）打开，电路组 602 即可对画素端组群 630 中相对应的画素端做写入的动作，在写入的同时，讯号周期端 626 又打开，将资料电流  $I_{data}$  再次储存于  $Cs1$  中，之后重复以上所述的动作。

这三个实施例说明了不论是电流源或电流吸收器的配置方法，只要使与位移暂存器的时间周期相接的电路与外部讯号源相接，与位移暂存器的致能端相接的电路组则与画素端组群相接，且此两个电路组是以串联的方式相连接，就可以作为本发明中所使用的电路组。而且，各电路组中的各种电子元件配置并不受限于所列举的实施例所示。

由上述本发明较佳实施例可知，本发明的串联电流门架构的图 3 与 Sony 公司提出的并联电流门架构的图 2 比较，具有以下优点；

一、减少一组位移暂存盖。在图 2 中，需要两个位移暂存器 208 与位移暂存器 218，而在图 3 中，仅需要一个位移暂存器 322。

二、不需额外多一个开关（switch）来切换电流门（current latch）的动作。在图 2 中，需要致能器 209 与致能器 219，而在图 3 中，仅需要一个致能

端 324，且此致能功能是由位移暂存器 322 提供。

三、不需额外多两条讯号线来控制门的动作。在图 2 中的 Enable-A 与 Enable-B，须另外提供，无法像图 3 中由位移暂存器 322 直接提供。

四、减少一颗 TFT。图 2 中每一组单位电流门的电路需要八颗 TFT 来驱动，而图 3 中每一组单位电流门的电路仅需要七颗 TFT 即可驱动。

虽然本发明已以一较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明各精神和范围内，当可作各种的更动与润饰，因此本发明的保护范围当视权利要求书所界定者为准。

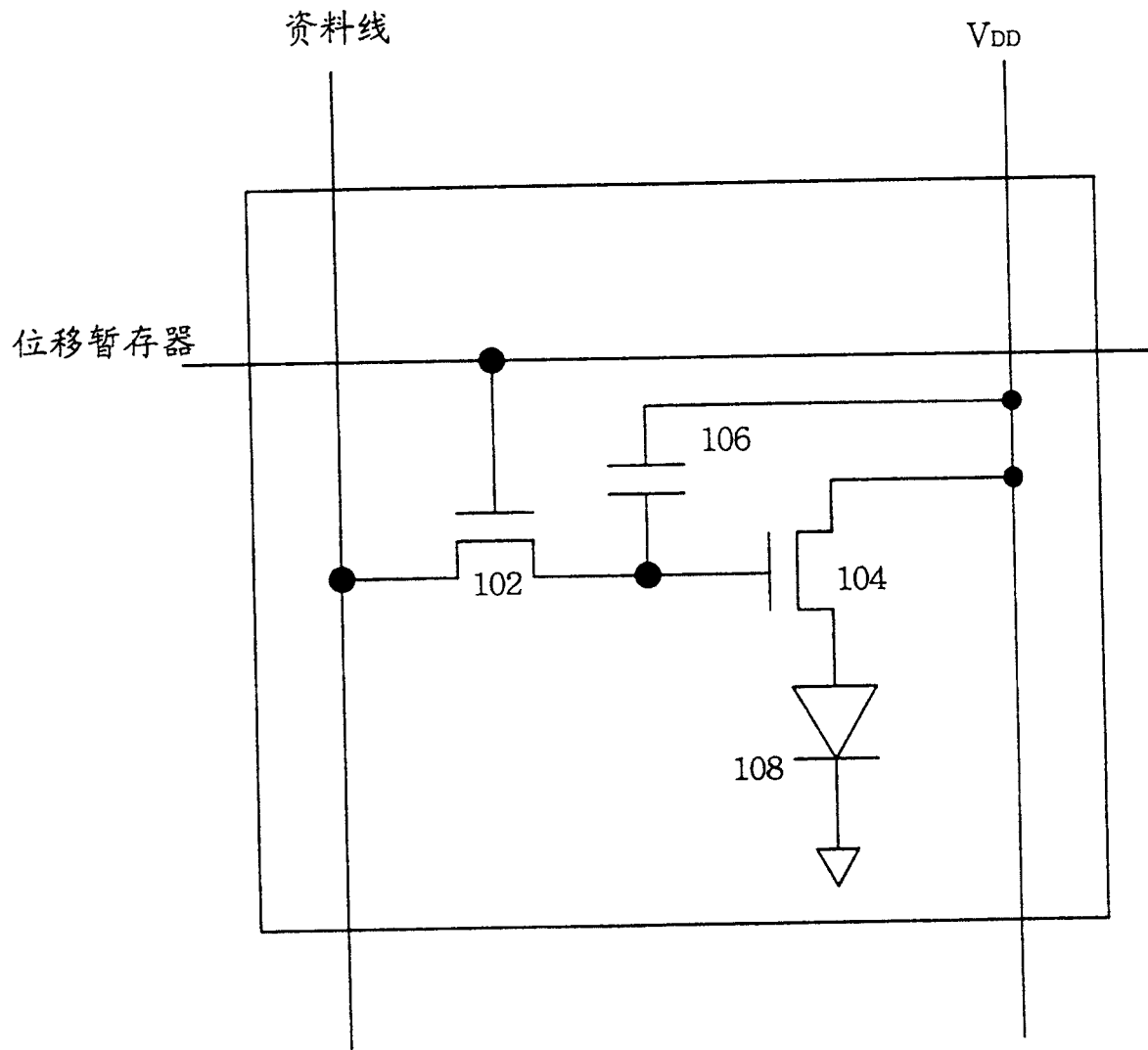


图 1

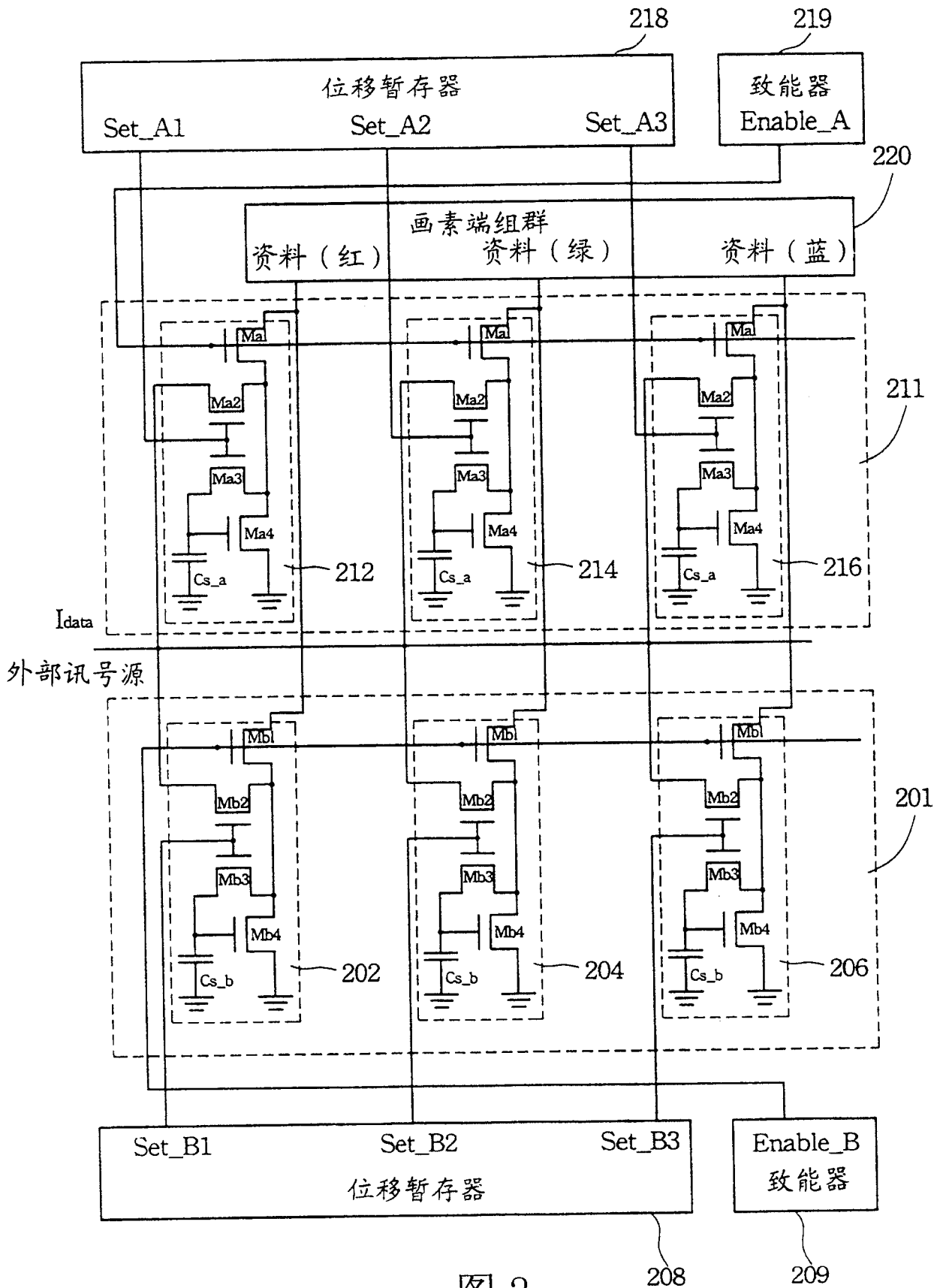


图 2

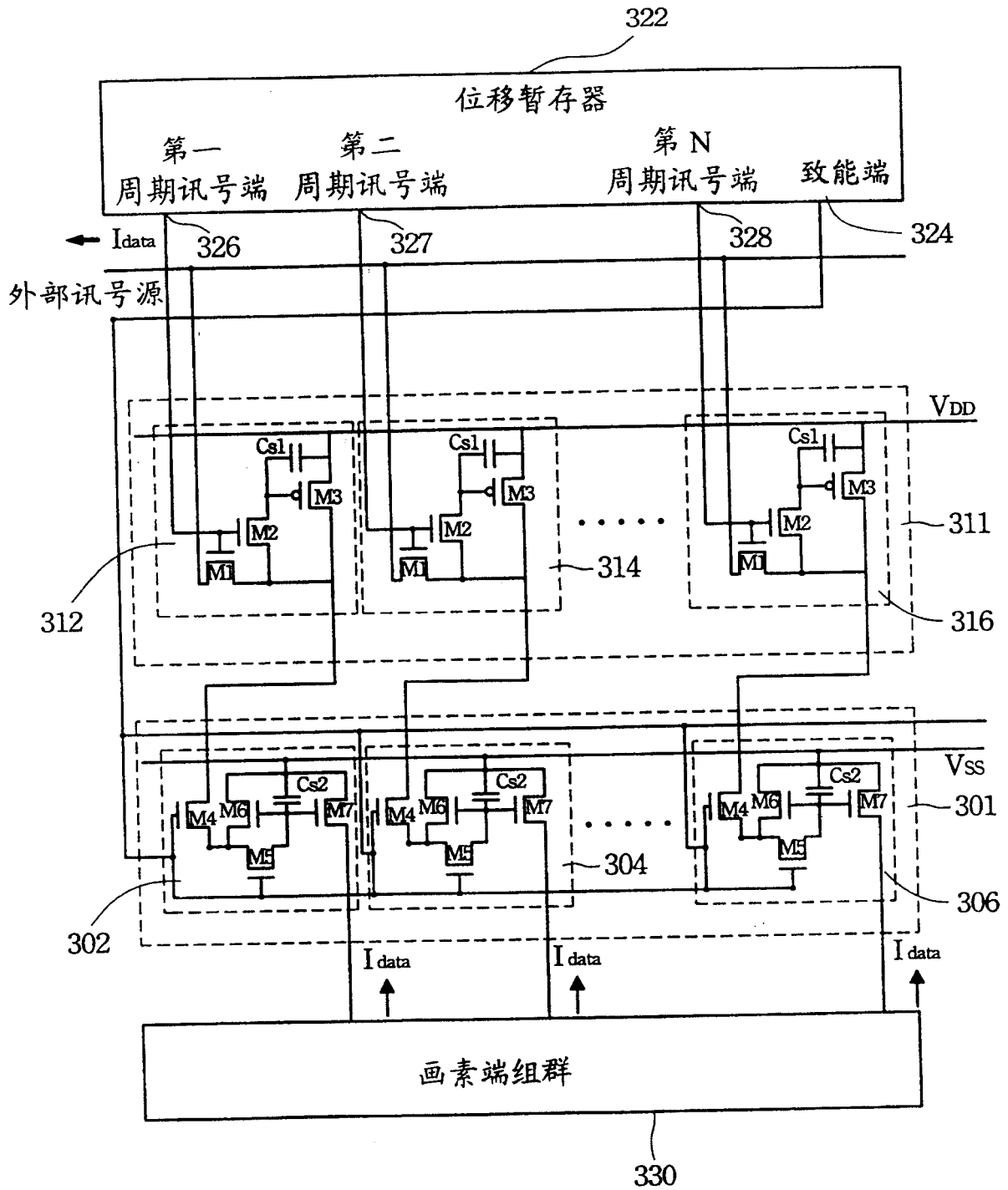


图 3

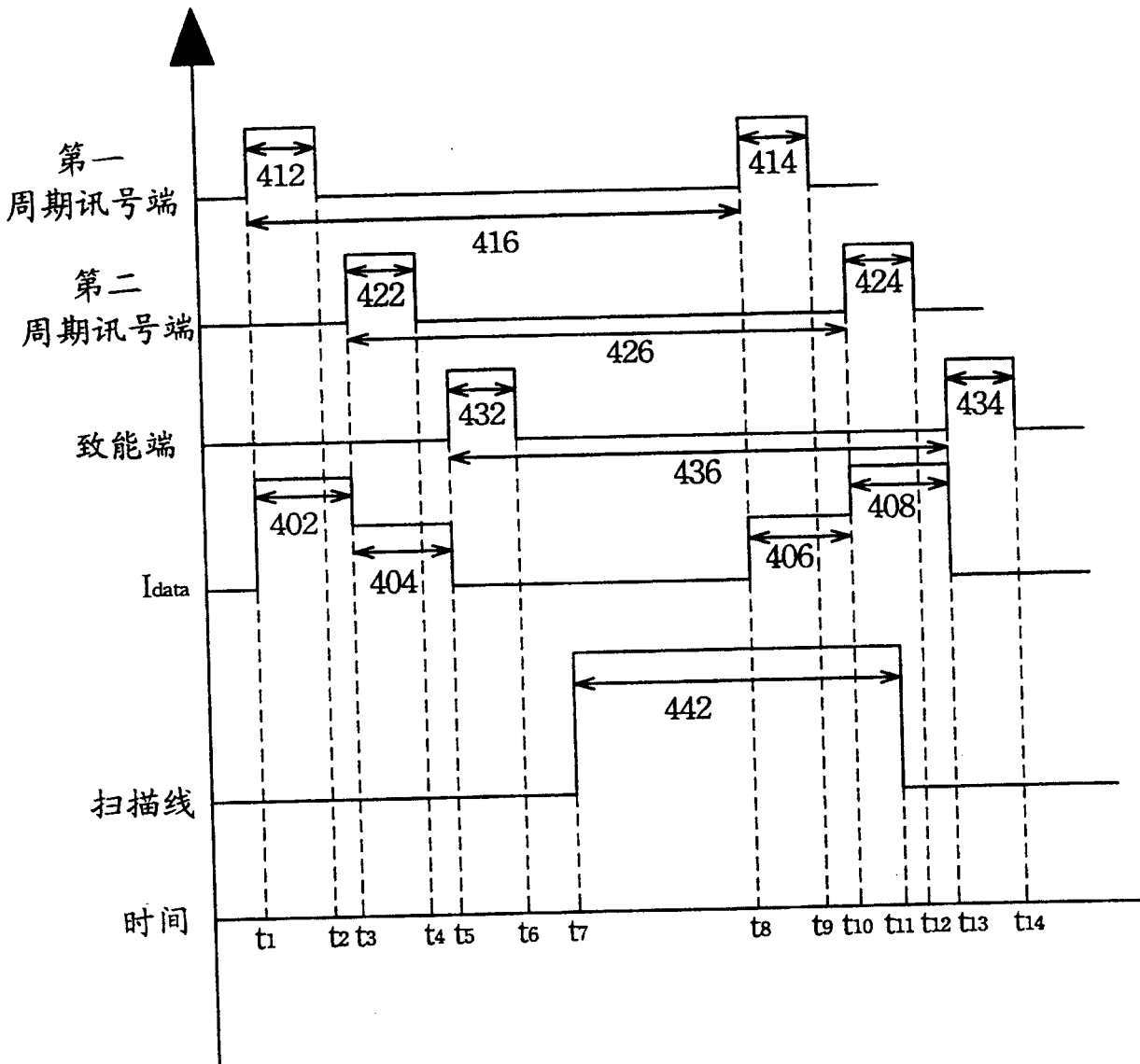


图 4

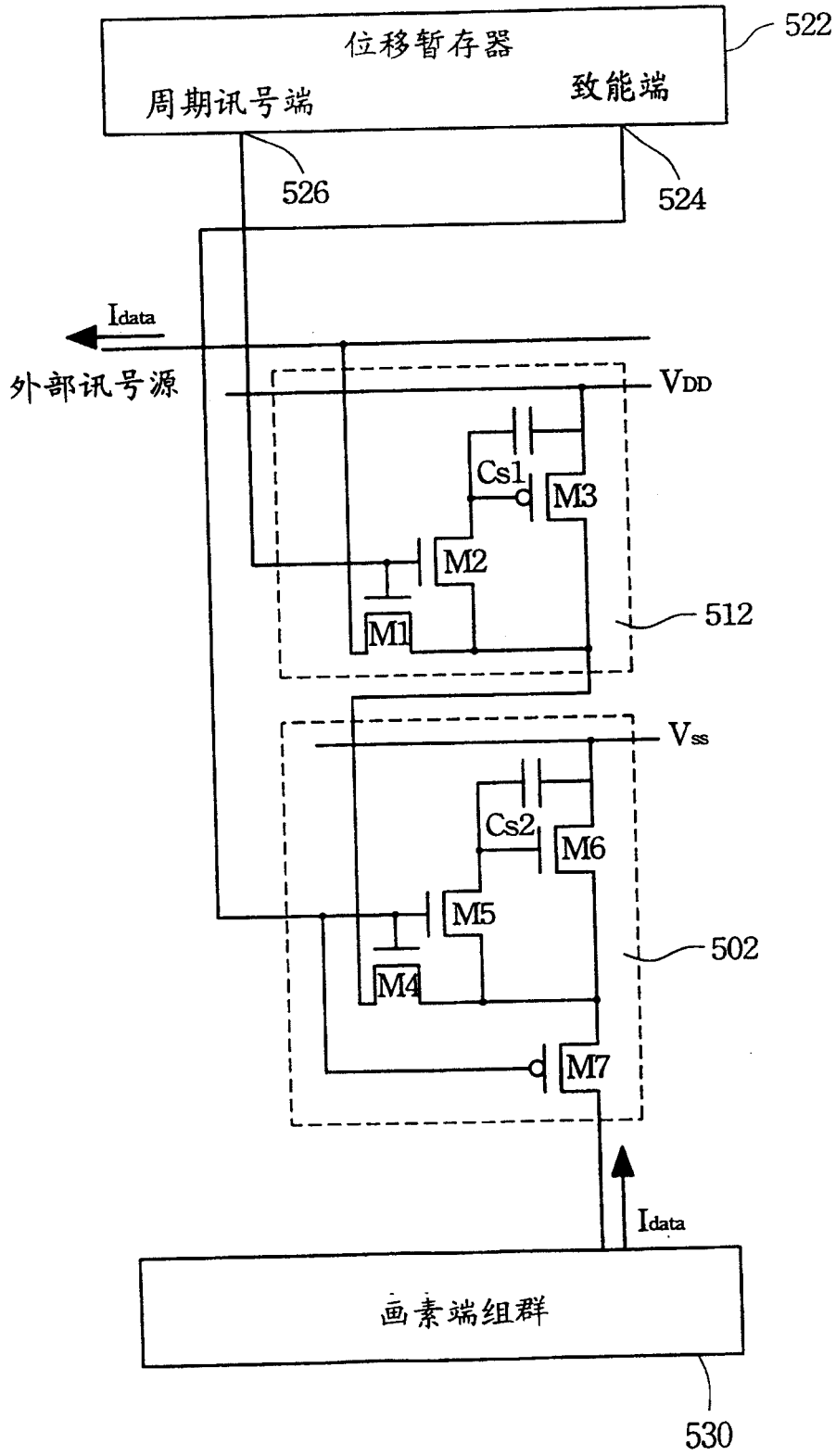


图 5

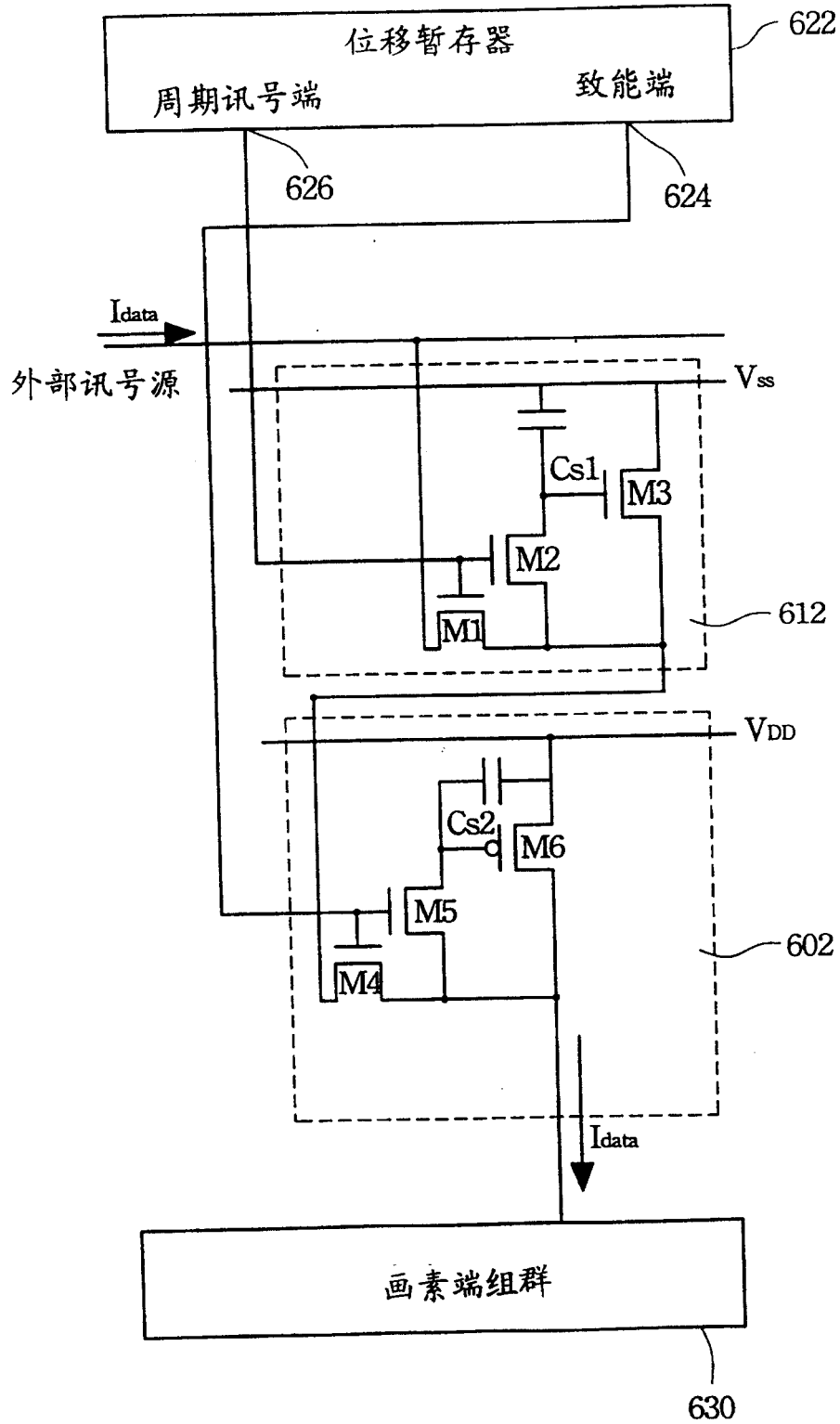


图 6

专利名称(译)	电流驱动电激发光显示器的资料线传输电路的装置		
公开(公告)号	<a href="#">CN100437700C</a>	公开(公告)日	2008-11-26
申请号	CN03122118.1	申请日	2003-04-21
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股份有限公司		
当前申请(专利权)人(译)	统宝光电股份有限公司		
[标]发明人	薛玮杰		
发明人	薛玮杰		
IPC分类号	G09G3/30 G09G3/00		
审查员(译)	王少伟		
其他公开文献	CN1540611A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种电流驱动电激发光显示器的资料线传输电路的装置，用来由外部讯号源接收资料电流，并驱动电激发光显示器的画素端组群。该装置包含：位移暂存器，具有至少一周期讯号端与一赋能端；第一电路组群，由具有存储电流功能的至少一第一电路组组成，该第一电路组由该周期讯号端控制以接收资料电流；第二电路组群，由具有存储电流功能的至少一第二电路组组成，该第二电路组电性串联于第一电路组，且由赋能端控制自第一电路组复制再发送资料电流至画素端组群；其中，所述第一电路组和第二电路组以六个或七个薄膜晶体管、两个电容与所述位移暂存器组成一个单位的电流闯电路架构。

