



(12) 发明专利

(10) 授权公告号 CN 101192372 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200610162887. X

H01L 51/50 (2006. 01)

(22) 申请日 2006. 11. 28

(56) 对比文件

(73) 专利权人 奇美电子股份有限公司

US 6731276 B1, 2004. 05. 04, 全文.

地址 中国台湾台南县台南科学工业园区奇
业路 1 号

CN 1567416 A, 2005. 01. 19, 全文.

CN 1677469 A, 2005. 10. 05, 全文.

专利权人 奇晶光电股份有限公司

CN 1479270 A, 2004. 03. 03, 全文.

US 2004150319 A1, 2004. 08. 05, 全文.

(72) 发明人 郭鸿儒 黄建翔 曾名骏

审查员 刘士奎

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 郭蔚

(51) Int. Cl.

G09G 3/32 (2006. 01)

G09G 3/30 (2006. 01)

G09G 3/20 (2006. 01)

H05B 33/08 (2006. 01)

H05B 33/14 (2006. 01)

H05B 37/02 (2006. 01)

H01L 27/32 (2006. 01)

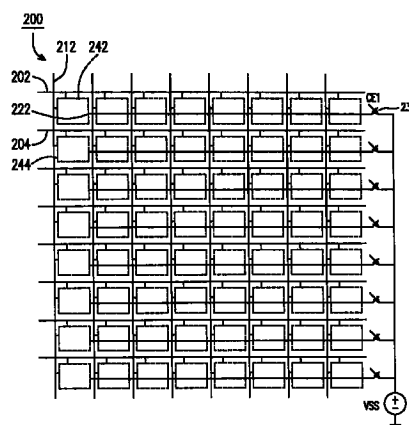
权利要求书 4 页 说明书 9 页 附图 9 页

(54) 发明名称

显示面板及其结构

(57) 摘要

本发明公开了一种显示面板及其结构,其包括了多数条扫描线,以及多数条数据线。而在每一条扫描线与数据线的交错处,则配置有一像素电路。另外,本发明所提供的显示面板还配置有多数调阴极线,平行于扫描线。其中,同一扫描线上所有的像素电路,都耦接相同的阴极线。而每一阴极线都通过一开关电路而耦接至一阴极电压,而各开关电路都依据一控制信号而决定是否将阴极电压导通至对应的阴极线。由于单一像素电路内的元件的减少,因而可减低布线的困难度,增加显示面板的开口率。并可增加有机发光二极管元件的寿命,保持显示面板的画面的品质。使像素电路内的工作电流稳定,增加了像素电路的使用寿命。



1. 一种发光二极管显示面板,其特征在于,包括:
多数个扫描线,沿一第一方向彼此平行排列;
多数个数据线,沿一第二方向彼此平行排列;
多数个阴极线,沿该第一方向彼此平行排列;
多数个像素电路,分别对应耦接该些扫描线与该些数据线其中一,且每一扫描线上耦接的所有像素电路耦接相同的阴极线;以及
多数个开关电路,分别耦接该些阴极线其中一,且每一开关电路分别依据一控制信号而决定是否将一阴极电压导通至对应的阴极线。
2. 如权利要求 1 所述的发光二极管显示面板,其特征在于,每一像素电路包括:
一第一 PMOS 晶体管;
一发光二极管,其阳极端耦接该第一 PMOS 晶体管的漏极端,而阴极端则耦接该些阴极线其中之一;以及
一补偿电路,耦接对应的数据线和扫描线,并耦接该第一 PMOS 晶体管,以稳定流过该第一 PMOS 晶体管的工作电流。
3. 如权利要求 2 所述的发光二极管显示面板,其特征在于,每一补偿电路包括:
一第二 PMOS 晶体管,其第一源/漏极端与栅极端互相耦接,并耦接至前一条扫描线,而该第二 PMOS 晶体管的第二源/漏极端耦接至该第一 PMOS 晶体管的栅极端;
一第三 PMOS 晶体管,其第一源/漏极端和第二源/漏极端分别耦接该第一 PMOS 晶体管的漏极端和栅极端,而该第二 PMOS 晶体管的栅极端则耦接对应的扫描线;
一电容,其中一端耦接该第一 PMOS 晶体管的栅极端,而该电容的另一端则耦接一阳极电压,其中该阳极电压大于该阴极电压;
一第四 PMOS 晶体管,其栅极端接收对应的控制信号,其第一源/漏极端耦接一第二电压,而该第四 PMOS 晶体管的第二源/漏极端则耦接至该第一 PMOS 晶体管的源极端,其中每一控制信号与对应的扫描线上的信号彼此反相;以及
一第五 PMOS 晶体管,其第一源/漏极端和栅极端分别耦接对应的数据线与扫描线,而其第二源/漏极端则耦接该第一 PMOS 晶体管的源极端。
4. 如权利要求 2 所述的发光二极管显示面板,其特征在于,还包括多数个控制线,朝该第一方向平行排列,且每两条扫描线之间配置有该些控制线其中之一。
5. 如权利要求 4 所述的发光二极管显示面板,其特征在于,该第一 PMOS 晶体管的源极端耦接一阳极电压,且该阳极电压大于该阴极电压,而每一补偿电路包括:
一第二 PMOS 晶体管,其第一源/漏极端耦接对应的数据线,其栅极端则耦接对应的扫描线;
一第一电容,用以将该第二 PMOS 晶体管的第二源/漏极端耦接至该第一 PMOS 晶体管的栅极端;
一第二电容,用以将该第一 PMOS 晶体管的栅极端与源极端耦接在一起;以及
一第三 PMOS 晶体管,其第一源/漏极端和第二源/漏极端分别耦接至该第一 PMOS 晶体管的漏极端和栅极端,而该第三 PMOS 晶体管的栅极端则耦接对应的控制线。
6. 如权利要求 2 所述的发光二极管显示面板,其特征在于,该第一 PMOS 晶体管的源极端耦接一阳极电压,且该阳极电压大于该阴极电压,其中每一补偿电路包括:

一第二 PMOS 晶体管,其第一源 / 漏极端和栅极端,分别耦接对应的数据线和扫描线;

一第三 PMOS 晶体管,其第一源 / 漏极端耦接该第二 PMOS 晶体管的第二源 / 漏极端,而该第三 PMOS 晶体管的栅极端和第二源 / 漏极端彼此互相耦接,并共同耦接至该第一 PMOS 晶体管的栅极端;以及

一电容,一端耦接该阳极电压,另一端则耦接该第一 PMOS 晶体管的栅极端,并依据一重置信号而决定是否耦接至一重置电压。

7. 如权利要求 6 所述的发光二极管显示面板,其特征在于,该电容通过一重置开关而耦接至该重置电压,而该重置开关依据该重置信号而决定是否将该重置电压导通至该电容的一端。

8. 如权利要求 6 所述的发光二极管显示面板,其特征在于,该电容相对于耦接该阳极电压的另一端,耦接前一条扫描线。

9. 如权利要求 1 所述的发光二极管显示面板,其特征在于,每一开关电路包括一开关晶体管,其第一源 / 漏极端耦接该阴极电压,其第二源 / 漏极端耦接该些阴极线其中之一,而其栅极端则耦接该控制信号。

10. 一种发光二极管像素电路,适用于一发光二极管显示面板,并通过一外部开关而耦接至一阴极电压,其中该外部开关依据一控制信号而决定是否将该阴极电压导通至该发光二极管像素电路,其特征在于,该发光二极管像素电路包括:

一发光二极管,其阴极端通过该外部开关而耦接至该阴极电压;

一第一晶体管,其漏极端耦接至该发光二极管的阳极端;

一第二晶体管,其栅极端耦接一扫描线,以接收一扫描信号,而该第二晶体管的源极端和漏极端则分别耦接该第一晶体管的栅极端和漏极端;

一第三晶体管,其栅极端和源极端分别耦接该扫描线和一数据线,以接收该扫描信号和一数据信号,而该第三晶体管的漏极端则耦接该第一晶体管的源极端;

一电容,其中一端耦接一阳极电压,另一端则耦接该第一晶体管的栅极端,其中该阳极电压大于该阴极电压;

一第四晶体管,其漏极端耦接该第一晶体管的源极端,而该第四晶体管的栅极端和源极端分别耦接该控制信号和该阳极电压,其中该控制信号与该控制信号反相;以及

一第五晶体管,其漏极端耦接至该第一晶体管的栅极端,而该第五晶体管的栅极端和源极端则彼此互相耦接,并耦接至该发光二极管显示面板中的另一条扫描线。

11. 如权利要求 10 所述的发光二极管像素电路,其特征在于,该第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管皆为 PMOS 晶体管。

12. 如权利要求 10 所述的发光二极管像素电路,其特征在于,该发光二极管为一有机发光二极管。

13. 一种发光二极管像素电路,适于通过一外部开关而耦接至一阴极电压,其中该外部开关依据一第一控制信号而决定是否将该阴极电压导通至该发光二极管像素电路,其特征在于,而该发光二极管像素电路包括:

一发光二极管,其阴极端通过该外部开关而耦接至该阴极电压;

一第一晶体管,其漏极端耦接至该发光二极管的阳极端,其源极端则耦接一阳极电压,其中该阳极电压大于该阴极电压;

一第一电容,用以将该第一晶体管的栅极端和源极端耦接在一起;

一第二晶体管,其源极端和栅极端分别耦接一数据线和一扫描线,用以接收一数据信号和一扫描信号;

一第二电容,用以将该第二晶体管的漏极端耦接至该第一晶体管的栅极端;以及

一第三晶体管,其源极端和漏极端分别耦接该第一晶体管的栅极端和漏极端,而该第三晶体管的栅极端则耦接一第二控制信号。

14. 如权利要求 13 所述的发光二极管像素电路,其特征在于,该第一晶体管、第二晶体管和第三晶体管皆为 PMOS 晶体管。

15. 如权利要求 13 所述的发光二极管像素电路,其特征在于,该发光二极管为一有机发光二极管。

16. 一种发光二极管像素电路,适用于一发光二极管显示面板,并通过一第一外部开关而耦接至一阴极电压,其中该第一外部开关依据一控制信号而决定是否将该阴极电压导通至该发光二极管像素电路,其特征在于,该发光二极管像素电路包括:

一发光二极管,其阴极端通过该第一外部开关而耦接至该阴极电压;

一第一晶体管,其漏极端耦接至该发光二极管的阳极端,其源极端则耦接一阳极电压,其中该阳极电压大于该阴极电压;

一第二晶体管,其栅极端和源极端分别耦接一扫描线和一数据线,用以接收一扫描信号和一数据信号;

一第三晶体管,其源极端耦接该第二晶体管的漏极端,而该第三晶体管的栅极端与漏极端彼此互相耦接,且共同耦接至该第一晶体管的栅极端;以及

一电容,其中一端接收该阳极电压,而另一端则耦接至该第一晶体管的栅极端,并依据一重置信号而决定是否接收一重置电压,其中该重置信号领先该扫描信号。

17. 如权利要求 16 所述的发光二极管像素电路,其特征在于,该电容相对于耦接该阳极电压的另一端通过一第二外部开关而耦接至该重置电压,其中该第二外部开关的导通与否决定于该重置信号。

18. 如权利要求 16 所述的发光二极管像素电路,其特征在于,该电容相对于耦接该阳极电压的另一端耦接至该发光二极管显示面板中的前一条扫描线,其中将前一条扫描线上的扫描信号作为该重置信号,而该重置电压的电位等于前一条扫描线上的扫描信号的电位。

19. 如权利要求 16 所述的发光二极管像素电路,其特征在于,该第一晶体管、第二晶体管和第三晶体管皆为 PMOS 晶体管。

20. 如权利要求 16 所述的发光二极管像素电路,其特征在于,该发光二极管为一有机发光二极管。

21. 一种发光二极管显示面板,其特征在于,包括:

一基底;

多数个像素结构,形成于该基底上,各该些像素结构包括:

一薄膜晶体管元件,配置在该基底上;

一第一绝缘层,形成在该薄膜晶体管元件上,且该第一绝缘层表面具有一孔洞;

一阳极电极,以一第二方向延伸而形成在该第一绝缘层上,并借由该孔洞连接至该薄

膜晶体管元件,且该阳极电极覆盖该第一绝缘层的部分;

一第二绝缘层,覆盖住该孔洞与该第一绝缘层的曝露部份;

至少两个间隔壁结构,分别形成在该第二绝缘层上,且该些各壁结构以该第一方向延伸配置在各像素结构的两侧;

一有机层,形成于该第二绝缘层与该阳极电极之上,且以该第一方向延伸覆盖住该两个间隔壁结构之间的区域,用以发光;

一阴极电极,形成于该有机层上,且以该第一方向延伸配置在该两个间隔壁结构之间;
以及

一开关元件,耦接该阴极电极,用以依据一控制信号而决定是否将一直流电压传送至该阴极电极。

显示面板及其结构

技术领域

[0001] 本发明是有关于一种显示面板的结构,且特别是有关于一种共用阴极线的显示面板及其结构。

背景技术

[0002] 由于多媒体社会的急速进步,半导体元件及显示装置的技术也随的具有飞跃性的进步。就显示器而言,由于有机发光显示器具有无视角限制、低制造成本、高应答速度(约为液晶的百倍以上)、省电、可使用于可携式机器的直流驱动、工作温度范围大以及重量轻且可随硬体设备小型化及薄型化等等,符合多媒体时代显示器的特性要求。因此,有机电激发光二极管显示器(OLED)具有极大的发展潜力,可望成为下一世代的新颖平面显示器。

[0003] 然而,当有机电激发光二极管显示器在长时间工作后,会造成显示器中的薄膜晶体管的临界电压(threshold voltage)随时间而上升,进而造成了流过有机激发光二极管的工作电流下降,使得需要更高的操作电压以得到相同的亮度表现,这将会缩短有机激发光二极管显示器的使用寿命。

[0004] 为了解决上述的问题,由道森(Robin Mark Adrian Dawson)等人,于美国专利公告第6229506号专利中提出一种可以补偿晶体管的临界电压的有机激发光二极管显示器。请参照图1,其绘示了此种有机激发光二极管显示器的像素结构。其中,晶体管101的源极端耦接数据线11,晶体管101的栅极端耦接扫描线13,而电容C1则耦接晶体管101的漏极端与晶体管103的栅极端之间;晶体管103的源极端耦接直流电源Vdd,电容C2耦接于晶体管103的栅极端与其源极端之间;晶体管105的栅极端耦接至控制线15,晶体管105的源极端耦接至晶体管103的栅极端,而晶体管105的漏极端则耦接至晶体管103的漏极端与晶体管107的源极端;晶体管107的栅极端耦接控制线17,而晶体管107的漏极端则耦接至有机电激发光二极管111的阳极端;此外,有机电激发光二极管111的阴极端则接地。

[0005] 虽然图1中的像素电路可以使得流过有机发光二极管111的电流不受晶体管103的临界电压影响(详情请参照美国专利公告第6229506号专利),然而此种像素电路还是存在有以下缺点:

[0006] 1. 由于一个像素内配置有四个晶体管,因此会造成布线(Layout)上的困难度增加,且其耗电量亦会因此增加。

[0007] 2. 由于一个像素内的元件太多,也会造成显示面板的开口率的低落。

发明内容

[0008] 因此,本发明的目的就是在提供一种显示面板和像素电路,可以使得像素电路内的工作电流不受晶体管的临界电压的影响。

[0009] 本发明的另一目的就是在提供一种显示面板和像素电路,可以增加像素电路的开口率。

[0010] 本发明提供一种显示面板,其包括了多数条沿一第一方向平行排列的扫描线,以

及多数条沿第二方向彼此平行排列的数据线。另外,在本发明所提供的显示面板中,还包括了平行于扫描线的多数条阴极线。在每一条扫描线与数据线的交错处,则配置有一像素电路。而每一扫描线上所耦接的像素电路,都耦接相同的阴极线。特别的是,在本发明中,每一条阴极线都通过一开关电路而耦接至一阴极电压,并且每一开关电路都依据一控制信号而决定是否将阴极电压导通至对应的阴极线。

[0011] 本发明也提供一种像素电路,其适用于一显示面板,并且可以通过一外部开关而耦接至一阴极电压。其中,外部开关会依据一控制信号而决定是否将阴极电压导通至像素电路。而在本发明中,包括了发光二极管,其阴极端通过外部开关而耦接至该阴极电压,而其阴极端则耦接了一第一晶体管的漏极端。同时,第一晶体管的栅极端通过一电容而耦接一大于阴极电压的阳极电压。另外,本发明也包括了第二晶体管、第三晶体管、第四晶体管和第五晶体管。其中,第二晶体管的栅极端耦接一扫描线,以接收一扫描信号,而第二晶体管的源极端和漏极端则分别耦接第一晶体管的栅极端和漏极端。此外,第三晶体管的栅极端和源极端分别耦接上述的扫描线 and 一数据线,以接收扫描信号和一数据信号,而第三晶体管的漏极端则耦接第一晶体管的源极端。除此的外,第四晶体管的漏极端耦接第一晶体管的源极端,而第四晶体管的栅极端和源极端则分别耦接控制信号和阳极电压,其中控制信号与扫描信号为反相。而第五晶体管的漏极端则是耦接至第一晶体管的栅极端,其栅极端和源极端则彼此互相耦接,并耦接至显示面板中的前一条扫描线。

[0012] 本发明又提供一种像素电路,其可以通过一外部开关而耦接至一阴极电压。其中,外部开关会依据一第一控制信号而决定是否将阴极电压导通至像素电路。本发明包括了一发光二极管,其阴极端通过外部开关而耦接至阴极电压,而其阳极端则耦接第一晶体管的漏极端,并且第一晶体管的漏极端与栅极端还通过一第一电容互相耦接。同时,第一晶体管的源极端则耦接了一大于阴极电压的阳极电压。另外,本发明也包括了第二晶体管和第三晶体管。其中,第二晶体管的源极端和栅极端分别耦接一数据线 and 一扫描线,以接收一数据信号 and 一扫描信号,并且第二晶体管的漏极端则是通过一第二电容而耦接至第一晶体管的栅极端。而第三晶体管的源极端和漏极端分别耦接第一晶体管的栅极端和漏极端,其栅极端则耦接一第二控制信号。

[0013] 本发明还提供一种像素电路,同样也适用于显示面板,并且可以通过一第一外部开关而耦接至一阴极电压。其中第一外部开关会依据一控制信号而决定是否将阴极电压导通至像素电路。同样地,本发明包括了一发光二极管,其阴极端通过第一外部开关而耦接至阴极电压,而其阳极端则耦接一第一晶体管的漏极端。同时,第一晶体管的源极端则耦接一大于阴极电压的阳极电压。另外,本发明也包括了一第二晶体管和第三晶体管。其中,第二晶体管的栅极端和源极端分别耦接一扫描线 and 一数据线,以接收一扫描信号 and 一数据信号,而第二晶体管的漏极端则耦接第三晶体管的源极端。此外,第三晶体管的栅极端与漏极端彼此互相耦接,并且共同耦接至第一晶体管的栅极端。除此的外,在第一晶体管的源极端和栅极端之间,还跨接了一电容。而此电容相对于耦接第一晶体管的源极端的另一端,则依据一重置信号,而决定是否耦接至一重置电压。

[0014] 本发明还提供了一种显示面板,其包括了一基底,而在基底上则配置了多数个像素结构,并且各该像素结构都包括了一薄膜晶体管元件。在薄膜晶体管元件上形成了一第一绝缘层,并且在第一绝缘层的表面具有一孔洞。还有一阳极电极,以第二方向延伸而形成

在第一绝缘层上,并且借由连接至薄膜晶体管。另外,在本发明中,还包括一第二绝缘层,覆盖住孔洞以及第一绝缘层的曝露部份。而在第二绝缘层上,则配置了至少两个间隔壁结构。这些间隔壁结构延伸向第一方向,并配置在阳极电极的延伸方向的两侧。在两个间隔壁结构之间的区域,还配置有一有机层,延伸向第一方向,并且形成在第二绝缘层与阳极电极的上,以用来发光。而在有机层的上方以及见隔壁结构之间的区域,又覆盖了一层阴极电极,同样也是延伸向第一方向。而阴极电极则耦接了一开关元件,而此开关元件则依据一控制信号而决定是否将一直流电压传送至该阴极电极。

[0015] 由上可知,在本发明所提供的显示面板内的像素电路中,由于具有补偿电路,因此能够稳定像素电路内的工作电流。而补偿电路内仅具有两个晶体管和电容,因此整个像素电路内的元件只有三个晶体管、两个电容外加一个例如是有机发光二极管的发光二极管元件。由于本发明内的像素电路的元件较少,因此本发明所提供的显示面板的开口率就可以提升,而且较少的元件亦减少功率的消耗。

附图说明

[0016] 为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

[0017] 图 1 绘示了一种现有的平面显示器的像素结构的电路图。

[0018] 图 2 绘示了依照本发明的一较佳实施例的一种显示面板的电路图。

[0019] 图 3 绘示了依照本发明第一实施例的一种像素电路的电路图。

[0020] 图 4 绘示图 3 的像素电路的信号时序图。

[0021] 图 5 绘示了依照本发明第二实施例的一种像素电路的电路图。

[0022] 图 6 绘示了图 5 的像素电路的信号时序图。

[0023] 图 7 绘示了依照本发明第三实施例的一种像素电路的电路图。

[0024] 图 8 绘示了图 7 的像素电路的信号时序图。

[0025] 图 9 绘示了依照本发明的一较佳实施例的一种显示面板的结构示意图。

[0026] 图 10 绘示了沿图 9 的 9a-9a' 的剖面图。

[0027] 图中主要元件符号说明如下:

[0028] 11、212、334、534、734 :数据线;

[0029] 13、202、204、332、532、732 :扫描线;

[0030] 15、17、538、Az0 :控制线;

[0031] 101、103、105、107、302、312、314、、316、318、352、502、512、514、542、702、712、714 :晶体管;

[0032] 111、304、504、704 :有机发光二极管;

[0033] 200、900 :显示面板;

[0034] 222、336、536、736 :阴极线;

[0035] 232、350、540、744 :开关电路;

[0036] 242、244、300、500、700 :像素电路;

[0037] 310、510、710 :补偿电路;

[0038] 322、516、518、716 :电容;

- [0039] 902 :阳极电极 ;
- [0040] 904 :阴极接触端 ;
- [0041] 912 :开关电路 ;
- [0042] 1011 :基板 ;
- [0043] 1013 :薄膜晶体管元件 ;
- [0044] 1015、1021 :绝缘层 ;
- [0045] 1019 :阳极电极 ;
- [0046] 1023 :间隔壁结构 ;
- [0047] 1027 :有机层 ;
- [0048] VDD :阳极电压 ;
- [0049] VSS :阴极电压 ;

具体实施方式

[0050] 以下将参考所附绘图,详细说明本发明的较佳实施例。其中所附绘图绘示为本发明各种较佳实施例。而以下所叙述的晶体管的类型,例如 PMOS 晶体管,均为本发明较佳的实施例。然而,熟悉此技术的人员可以依据实际的状况将其改换为其他类型的晶体管,而并不会对本发明主要的精神造成影响。

[0051] 此外,以下各段所叙述的阳极电压的电压值,都会大于以下所叙述的阴极电压,而在以下各段中将不会再特别加以解释。

[0052] 图 2 绘示了依照本发明的一较佳实施例的一种显示面板的电路图。请参照图 2,在本发明所提供的显示面板 200 中,配置了数条沿第一方向平行排列的扫描线(例如扫描线 202 和 204),并且配置了数条沿第二方向平行排列的数据线(例如数据线 212)。其中,第一方向和第二方向大致上互相垂直,并且扫描线与数据线彼此交错但互不接触而排列。另外,在显示面板 200 中还包括了数条阴极线(例如阴极线 222),而这些阴极线与扫描线是彼此平行排列。其中,每一条阴极线都通过一开关而耦接至阴极电压 VSS,并且每一开关都依据一控制信号而决定是否将阴极电压 VSS 导通至对应的阴极线。

[0053] 例如,阴极线 222 通过开关电路 232 而耦接至阴极电压 VSS,并且开关电路 232 会依据控制信号 CE1 而决定是否将阴极电压 VSS 导通至阴极线 222。

[0054] 在每一扫描线和数据线的交会处,都配置有一像素电路。例如,在扫描线 202 与数据线 212 的交会处,配置有像素电路 242。其中,同一扫描线上的像素电路会耦接同一条阴极线。例如,扫描线 202 上耦接的所有像素电路都共同耦接阴极线 222。

[0055] 图 3 绘示了依照本发明第一实施例的一种像素电路的电路图。请参照图 3,像素电路 300 耦接了扫描线 332 和数据线 334。另外,像素电路 300 还借由阴极线 336,并且通过开关电路 350 而耦接至阴极电压 VSS。其中,开关电路 350 依据控制信号 CE 而决定是否导通,并且控制信号 CE 与扫描线 332 上的扫描信号 S_n_N 彼此为反相。

[0056] 请继续参照图 3,像素电路 300 包括了 PMOS 晶体管 302、发光二极管 304 和补偿电路 310。在本发明的实施例中,发光二极管 304 可以是有机发光二极管,其阴极端耦接阴极线 336,而其阳极端则耦接 PMOS 晶体管 302 的漏极端。

[0057] 在补偿电路 310 中,包括了 PMOS 晶体管 312、314、316 和 318,以及电容 322。其中,

PMOS 晶体管 312 的源极端和漏极端分别耦接 PMOS 晶体管 302 的栅极端和漏极端,而 PMOS 晶体管 312 的栅极端则通过扫描线 332 而耦接至 PMOS 晶体管 314 的栅极端。PMOS 晶体管 314 的源极端耦接数据线 334,而其漏极端则耦接 PMOS 晶体管 316 的漏极端,并且也耦接至 PMOS 晶体管 302 的源极端。

[0058] 此外,PMOS 晶体管 316 的源极端耦接至阳极电压 VDD,并且通过电容 322 而耦接至 PMOS 晶体管 302 的栅极端和 PMOS 晶体管 312 的源极端,而 PMOS 晶体管 316 的栅极端则接收控制信号 CE。另外,PMOS 晶体管 318 的漏极端也耦接至 PMOS 晶体管 302 的栅极端和 PMOS 晶体管 312 的源极端,而 PMOS 晶体管 318 的源极端和栅极端则是彼此互相耦接,并且接收前一条扫描线上的扫描信号 Sn_N-1。例如,图 1 中的像素电路 244 除了接收扫描线 204 所传送的扫描信号的外,还会接收前一条扫描线 202 所传输的扫描信号。

[0059] 在本实施例中,开关电路 350 包括 PMOS 晶体管 352。其中,PMOS 晶体管 352 的源极端和栅极端分别耦接阴极电压 VSS 和控制信号 CE,而其漏极端则通过阴极线 336 而耦接至发光二极管 304 的阴极端。

[0060] 图 4 绘示图 3 的像素电路的信号时序图。请合并参照图 3 和图 4,在 T0 时,扫描信号 Sn_N-1 和 Sn_N 都为高电位 VH 的状态。而由于控制信号 CE 与扫描信号 Sn_N 彼此反相,因此在 T0 时,控制信号 CE 为低电位 VL 的状态。

[0061] 在 T1 时,扫描信号 Sn_N-1 下拉至低电位 VL 状态,因此 PMOS 晶体管 318 会导通 (Turn On)。同时间,PMOS 晶体管 312、314 和 316 为关闭 (Turn Off) 状态,另外,PMOS 晶体管 352 也是导通的状态。此时,节点 A1 的电压为 VL-Vth,而节点 B1 的电压则是 VDD。其中,Vth 为 PMOS 晶体管 302 的临界电压。

[0062] 在 T2 时,扫描信号 Sn_N-1 回复至高电位 VH 的状态,而轮到扫描信号 Sn_N 下拉至低电位 VL 的状态。而由于控制信号 CE 和扫描信号 Sn_N 彼此反相,因此控制信号 CE 会上升至高电位状态 VH。因此,PMOS 晶体管 316、318 和 352 会关闭,而 PMOS 晶体管 312 和 314 则是导通。此时,像素数据会从数据线 334 送入像素电路 300 内。也就是说,在数据线上会产生一个数据电压 Vdata,以致于节点 B1 的电压位准会等于数据电压 Vdata,而使得节点 A1 的电压位准会等于 Vdata-Vth,并且会对电容 322 充电。

[0063] 在 T3 时,扫描信号 Sn_N 会回到高电位 VH 的状态,以致于控制信号 CE 会回到低电位 VL 的状态。此时,PMOS 晶体管 302 和 352 会导通,并将阴极电压 VSS 导通至发光二极管 304 的阴极端,使得 PMOS 晶体管 302 会产生工作电流 I1 流经发光二极管 304。借此,发光二极管 304 就会被驱动而发光。同时间,PMOS 晶体管 314 会关闭,而由于电容 322 所储存的能量,节点 A1 的电压位准还是维持为 Vdata-Vth,但是节点 B1 的电压则会等于阳极电压 VDD。

[0064] 众所周知的,工作电流 I1 可以用以下的方程式来求出:

$$[0065] \quad I_{oled} = \beta / 2 (V_{sg} - V_{th})^2 \quad (1)$$

[0066] 其中, I_{oled} 为驱动发光二极管 304 的工作电流,在本实施例中就是 I1,而 V_{sg} 则是 PMOS 晶体管 302 源极端到栅极端之间的电压,也就是等于节点 B1 的电压位准减去节点 A1 的电压位准。由于节点 A1 的电压位准等于 Vdata-Vth,而节点 B1 的电压位准等于 VDD,因此第 (1) 式又可以写成:

$$[0067] \quad I_{oled} = \beta / 2 (VDD - Vdata + V_{th} - V_{th})^2 \quad (2)$$

[0068] 由第(2)式可知,驱动发光二极管 304 的工作电流 I_1 大小与 PMOS 晶体管 302 的临界电压无关。因此,本发明提供的像素电路的亮度不会随 PMOS 晶体管 302 的临界电压漂移而有所影响,并且进而增加发光二极管 304 的使用寿命。

[0069] 虽然图 3 所提供的像素电路能够解决临界电压的问题,但是由于在像素电路内具有 5 个晶体管,因此还是无法有效地提升开口率。图 5 绘示了依照本发明第二实施例的一种像素电路的放大电路图。请参照图 5,同样地,像素电路 500 耦接了扫描线 532、数据线 534 和阴极线 536。较特别的是,像素电路 500 还耦接了控制线 538,以用来接收控制信号 AZ。在本实施例中,控制线 538 在例如图 2 的面板上,可以以和扫描线平行排列。

[0070] 请继续参照图 5,在像素电路 500 中,包括了 PMOS 晶体管 502,其源极端耦接阳极电压 VDD,其漏极端则耦接例如是有机发光二极管的发光二极管元件 504 的阳极端,而发光二极管 504 的阳极端则借由阴极线 536 而耦接至对应的开关电路 540。另外,在像素电路 500 中还包括了补偿电路 510。

[0071] 在补偿电路 510 中,配置有 PMOS 晶体管 512 和 514。其中,PMOS 晶体管 512 的源极端和栅极端分别耦接数据线 534 和扫描线 532,以分别接收数据电压 Vdata 和扫描信号 Sn_N,而 PMOS 晶体管 512 的漏极端则通过电容 516 耦接至 PMOS 晶体管 502 的栅极端。另外,PMOS 晶体管 514 的源极端耦接至 PMOS 晶体管 502 的栅极端,并且通过电容 518 而耦接至晶体管 502 的源极端。此外,PMOS 晶体管 514 的栅极端耦接至控制线 538,以接收控制信号 AZ,而 PMOS 晶体管 514 的漏极端则耦接 PMOS 晶体管 502 的漏极端。

[0072] 与图 3 相同,开关电路 540 可以利用 PMOS 晶体管 542 来实现,其源极端耦接阴极电压 VSS,其栅极端耦接控制信号 CE,而其漏极端则耦接阴极线 536。

[0073] 图 6 绘示了图 5 的像素电路的信号时序图。请合并参照图 3 和图 4,在 T0 时,扫描信号 Sn_N、控制信号 AZ 和 CE 都为高电位,以致于 PMOS 晶体管 512、514 和 542 都是关闭的状态。

[0074] 在 T1 时,扫描信号 Sn_N 由高电位转为低电位,此时,PMOS 晶体管 512 会导通。

[0075] 随即在 T2 时,控制信号 AZ 也由高电位转为低电位,因此 PMOS 晶体管 514 就会导通,使得 PMOS 晶体管 502 的栅极端和漏极端可以看作短路。此时,PMOS 晶体管 502 可以看作是一个二极管,而其栅极电压就可以表示为 $V_{DD}-V_{th}$,在此称此栅极电压为偏移临界电压 V_{th1} ,也可以被看作 PMOS 晶体管 502 最新的临界电压。以上的步骤,是要对 PMOS 晶体管 502 的临界电压进行程式化 (Programming),以得到所需要的临界电压,也就是偏移临界电压 V_{th1} 。

[0076] 接着,在 T3 时,控制信号 AZ 又会回到高电位,使得 PMOS 晶体管 514 关闭。

[0077] 在 T4 时,像素数据会从数据线 534 送入像素电路 500 内。也就是说,在数据线 534 上会产生数据电压 Vdata。此时,节点 B2 和 A2 的电压差 (V_{sg}) 可以表示为:

$$[0078] \quad V_{sg} = V_{DD} - V_{th} + (C_1 / (C_2 + C_1)) V_{data} \quad (3)$$

[0079] 其中, C_1 为电容 516 的电容值,而 C_2 则为电容 518 的电容值。

[0080] 在 T5 时,扫描信号 Sn_N 会转为高电位,并且像素数据也传送完毕,因而使得 PMOS 晶体管 512 关闭。而在 T6 时,控制信号 CE 会变为低电位,以致于 PMOS 晶体管 542 导通,而将电压 VSS 导通至发光二极管 504 的阴极端。此时,PMOS 晶体管 502 会导通,而产生工作电流 I_2 来驱动发光二极管 504,而工作电流 I_2 也就等于第(1)式中的 I_{oled} 。而将第(1)

式中的 V_{gs} 用第 (3) 式代入, 则工作电流 I_2 就可以表示为:

$$[0081] \quad I_2 = \beta / 2 ((C_2 / (C_1 + C_2) V_{data})^2 \quad (4)$$

[0082] 由第 (4) 式可知, 驱动发光二极管 504 的工作电流 I_2 大小与 PMOS 晶体管 502 的临界电压 V_{th} 没有关。同时, 在像素电路 500 内也仅有三个晶体管, 因此本实施例所提供的像素电路 500 能够有效地提升开口率。

[0083] 图 7 绘示了依照本发明第三实施例的一种像素电路的电路图。请参照图 7, 在像素电路 700 中, 同样还是包括有 PMOS 晶体管 702、例如是有有机发光二极管的发光二极管 704 和补偿电路 710。另外, 像素电路 700 也耦接了扫描线 732、数据线 734 和阴极线 736。其中, 阴极线 736 是通过开关电路 740 而耦接至阴极电压 V_{SS} 。

[0084] 请继续参照图 7, 在像素电路 700 中, 发光二极管 704 的阴极端耦接至阴极线 736, 而阳极端则是耦接至 PMOS 晶体管 702 的漏极端。而 PMOS 晶体管 702 的源极端耦接至阳极电压 V_{DD} , 其栅极端则是耦接至补偿电路 710。

[0085] 在补偿电路 710 中, 包括了 PMOS 晶体管 712 和 714。其中, PMOS 晶体管 712 的源极端和栅极端分别耦接数据线 734 和扫描线 732, 以分别接收数据电压 V_{data} 和扫描信号 Sn_N 。此外, PMOS 晶体管 712 的漏极端则是耦接至 PMOS 晶体管 714 的源极端, 而 PMOS 晶体管 714 的栅极端和漏极端是彼此互相耦接。另外, PMOS 晶体管 714 的漏极端还耦接至 PMOS 晶体管 702 的栅极端, 并且通过电容 716 而耦接至 PMOS 晶体管 702 的源极端。

[0086] 在本实施例中, 电容 716 的一端耦接至 PMOS 晶体管 702 的源极端, 而另一端除了耦接至 PMOS 晶体管 702 的栅极端和 PMOS 晶体管 714 的漏极端的外, 还通过开关电路 744 而耦接至一重置电压 VR 。其中开关电路 744 会依据一重置信号 RST , 而决定是否将重置电压 VR 导通至 PMOS 晶体管 702 的栅极端。

[0087] 另外, 开关电路 740 同样也可以包括 PMOS 晶体管 742, 其源极端耦接阴极电压 V_{SS} , 栅极端接收控制信号 CE , 而漏极端则耦接阴极线 736。

[0088] 图 8 绘示了图 7 的像素电路的信号时序图。请合并参照图 7 和图 8, 在 T_0 时, 扫描信号 Sn_N 和重置信号 RST 都为高电位, 而控制信号 CE 则是低电位。

[0089] 在 T_1 时, 重置信号 RST 会从高电位下拉至低电位, 而控制信号 CE 则是从低电位上拉至高电位, 以致于 PMOS 晶体管 710 会导通。反的, PMOS 晶体管 712 和 742 则是关闭的状态。此时, 节点 A3 和 B3 的电压位准都是 VR 。

[0090] 在 T_2 时, 重置信号会回复为高电位, 而扫描信号 Sn_N 则是被下拉至低电位, 以致于 PMOS 晶体管 712 会导通。同时, 像素数据会从数据线 734 送至像素电路 700 内。也就是说, 在数据线 734 上会产生数据电压 V_{data} 。此时, 节点 A3 的电压位准会是 V_{data} , 而节点 B3 的电压则是 $V_{data} - V_{th}$ 。其中, V_{th} 为 PMOS 晶体管 702 的临界电压。

[0091] 在 T_3 时, 扫描信号 Sn_N 会回复至高电位, 并且像素数据也传送完毕。此时, 控制信号 CE 会下拉至低电位, 以致于 PMOS 晶体管 702 和 742 会导通, 而产生一工作电流 I_3 来驱动发光二极管 704, 其中驱动电压 I_3 就是第 (1) 式中的 I_{oled} 。此时, 由于节点 B3 的电压位准为 $V_{data} - V_{th}$, 因此 PMOS 晶体管 702 的源极端和栅极端之间的电压差 (V_{sg}) 可以表示为:

$$[0092] \quad V_{sg} = V_{DD} - V_{data} + V_{th} \quad (5)$$

[0093] 将第 (5) 式代入第 (1) 式后, 就可以将第 (1) 式改写如下:

[0094] $I_{oled} = \beta / 2 (VDD - V_{data} + V_{th} - V_{th})^2$

[0095] $= \beta / 2 (VDD - V_{data})^2 (6)$

[0096] 同样地,从第(6)式中可以很清楚的看到,用来驱动发光二极管 704 的工作电流 $I_3(I_{oled})$ 的大小,会与 PMOS 晶体管 702 的临界电压无关。另外,将像素电路 700 与像素电路 500 相比发现,像素电路 700 比像素电路 500 少了一个电容,因此其布线更为简单。是以,本实施例所提供的像素电路能够有效地提升开口率。

[0097] 在本发明的另外一些实施例中,开关电路 744 和重置电压 VR 的功能,可以借由前一条扫描线来实现。也就是说,节点 B3 改耦接至前一条扫描线。当前一条扫描线的扫描信号被下拉至低电位时,节点 B3 的电位就和前一条扫描线的电位相同。如此,图 7 的实施例又可以减少一个开关电路,而使得电路的实现更为简单。

[0098] 图 9 绘示了依照本发明的一较佳实施例的一种显示面板的结构示意图。请参照图 9,显示面板 900 可以利用图 2 的显示面板 200 的电路来实现。在显示面板 900 中,具有多数个像素结构,各个像素中包含一阳极电极 1019,而这些像素结构以阵列方式排列在显示面板 900 上,用以显示一画面。其中,每一阳极电极 1019 都是朝向 Y 方向延伸。而每一列上的像素结构,则共用一条阴极电极(图未示),并且每一列像素结构的阴极电极都通过阴极接触端 904 耦接至一开关电路,而每一列上的阴极电极则借由间隔壁结构 1023 区隔开来。例如,在 R0 列上的像素结构共用一条阴极电极,而这条阴极电极通过阴极接触端 904 耦接开关电路 912。注意的是,每一阴极电极都会朝向 X 方向延伸。此外,开关电路 912 可以利用上述的晶体管 342 或任何可作为开关用途的电子元件来实现。而每一开关电路都会依据一控制信号(图未示),而决定是否将直流电压 VSS 导通至对应的阴极电极上。

[0099] 图 10 绘示了沿图 9 的 9a-9a' 的剖面图。请参照图 10,在基板 1011 上,配置有薄膜晶体管元件 1013。而在薄膜晶体管元件 1013 上,形成有一绝缘层 1015,并且绝缘层 1015 的表面具有孔洞 1017。

[0100] 在绝缘层 1015 上,形成一层阳极电极 1019,而其材质可以包括铟锡氧化物、铟锌氧化物及铝锌氧化物三者至少其中之一。阳极电极 1019 借由孔洞 1017 连接至薄膜晶体管元件 1013。同时,阳极电极 1019 也覆盖了部分的绝缘层 1015,以在显示面板上形成像素结构。

[0101] 在阳极电极 1019 的部分上,形成绝缘层 1021,其用来覆盖孔洞 1017,以及没有被阳极电极 1019 覆盖的绝缘层 1015 的部份。其中,绝缘层 1015 和 1021 的材质可以包括二氧化硅。

[0102] 在绝缘层 1021 的上,形成间隔壁结构 1023,位于阳极电极 1019 的延伸方向的两端,并且朝向图 5 的 X 方向延伸。因此,从图 10 的剖面上来看,间隔壁结构 1023 呈现倒梯形的形状。

[0103] 在间隔壁结构 1023 之间的区域,沉积有有机层 1027。其中,有机层 1027 具有发光的特性,其材质包括了小分子的有机材料或是高分子的有机材料。而在有机层 1027 的上方则形成阴极电极 629,其材质包括了铝、钙、镁银合金三者至少其中之一。

[0104] 承上述,有机层 1027 和阴极电极 1029 都是朝向图 9 的 X 方向延伸,且阴极电极 1029 通过阴极接触端 904 耦接对应的开关电路。由于间隔壁结构 1023 可使用例如负光阻形成,因此在图 9 形成一倒梯形。借由间隔壁结构 1023,显示面板 900 上各列像素所沉积的

有机层 1027 和阴极电极 1029 将可被分隔开来,即每一列均有其相对应的有机层 1027 与阴极电极 1029,因此也可以简化制程步骤。

[0105] 综上所述,本发明至少有以下优点:

[0106] 1. 由于单一像素电路内的元件的减少,因而可以降低布线的困难度。

[0107] 2. 由于单一像素电路内的元件个数较少,因而增加了本发明的显示面板的开口率。

[0108] 3. 由于开口率的增加,因此本发明的显示面板的亮度需求可以降低,进而增加了有机发光二极管元件的寿命。

[0109] 4. 由于显示面板的亮度可以降低,因此也减少了电源的消耗。

[0110] 5. 由于本发明可以使流过发光二极管元件的工作电流维持稳定,因此可以保持显示面板的画面的品质。

[0111] 6. 由于像素电路内的工作电流稳定,因此也可以增加像素电路的寿命。

[0112] 7. 由于上述的电压 V_{ss} 可以依据实际情况来设定,因此可以增加本发明的应用性和实用性。

[0113] 8. 由于本发明在显示面板结构内使用了负光阻来形成间隔壁结构,因此可以简化制程。

[0114] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟悉此技术的人员,在不脱离本发明的精神和范围内,当可将此发明应用于不同的电路上并可作些许的更动与润饰,因此本发明的保护范围当以权利要求书所界定的为准。

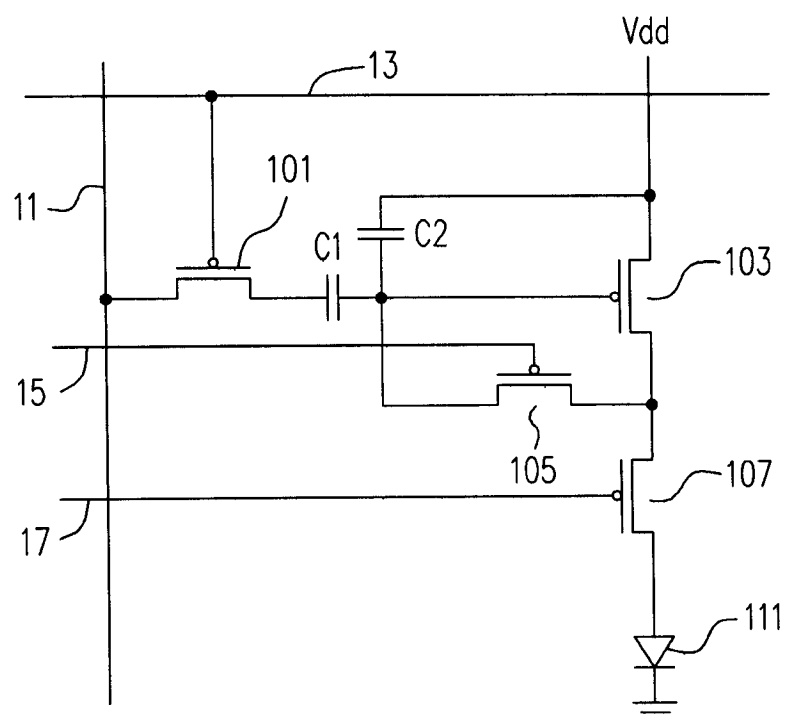


图 1

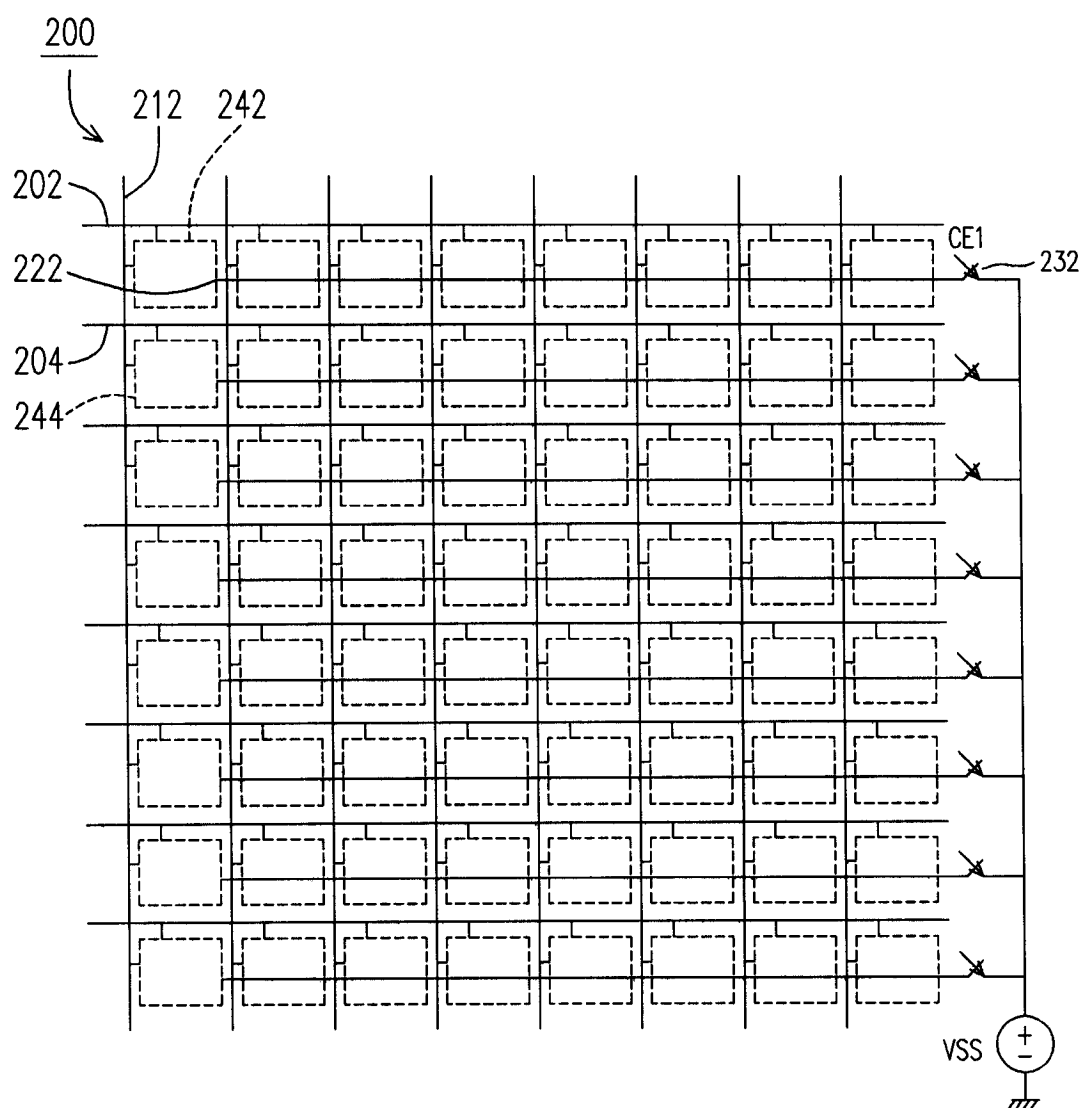


图 2

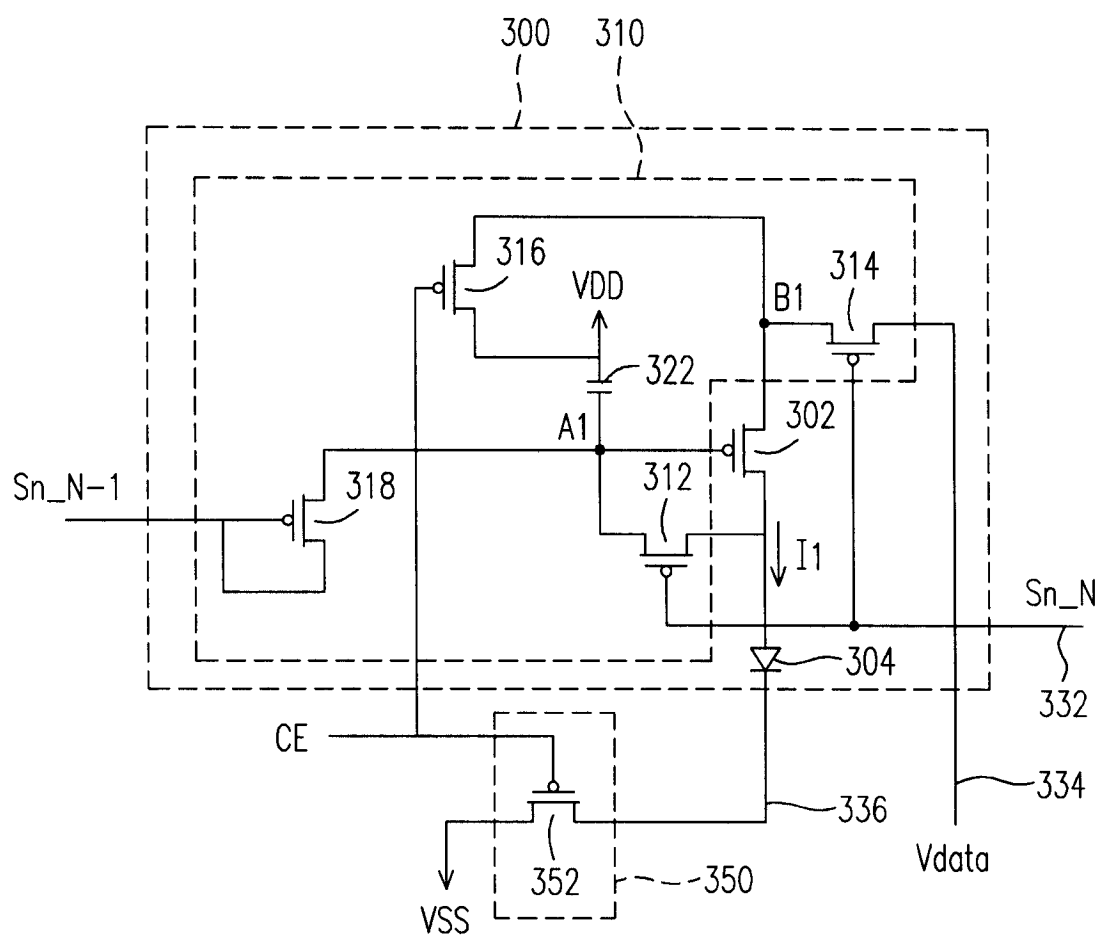


图 3

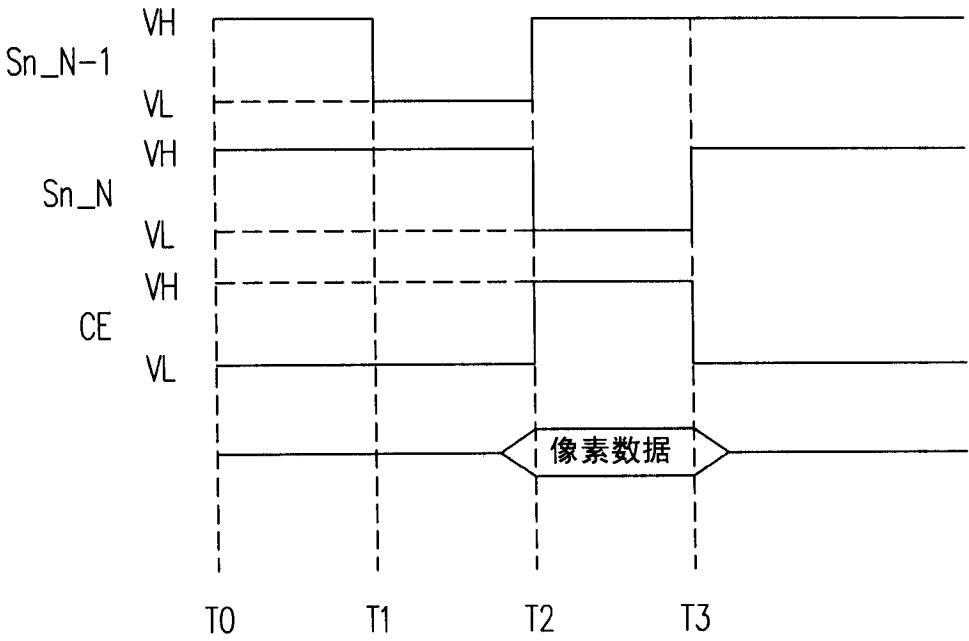


图 4

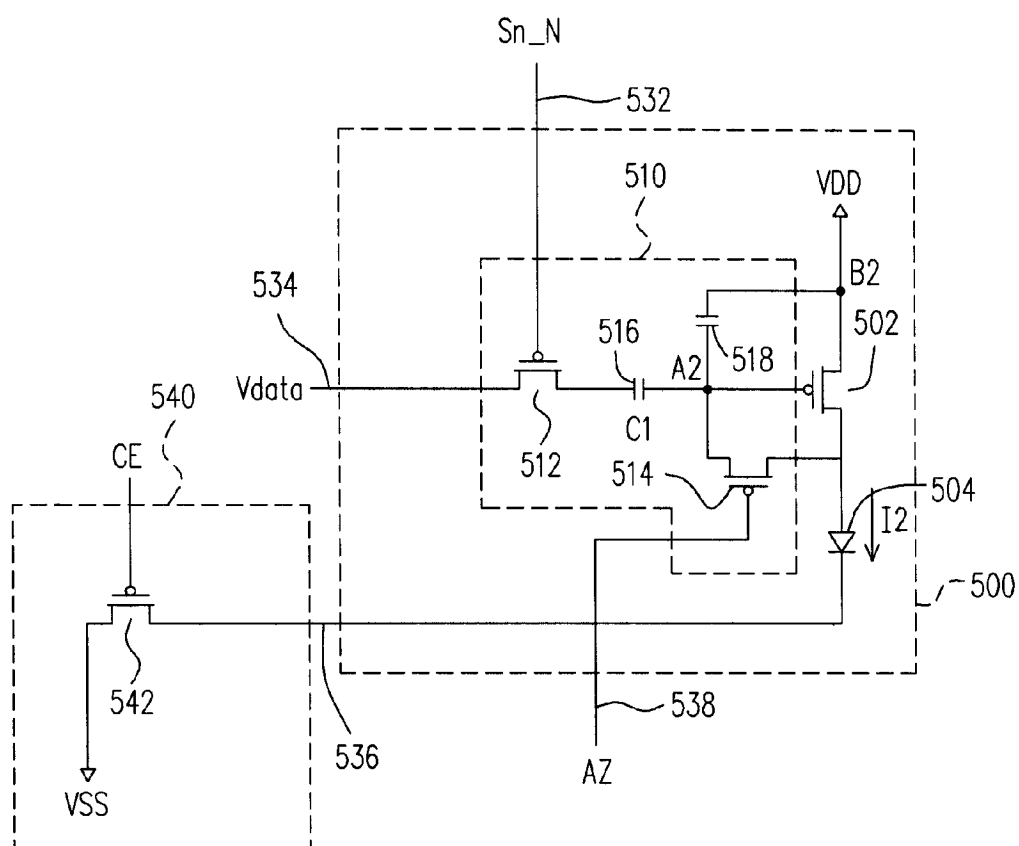


图 5

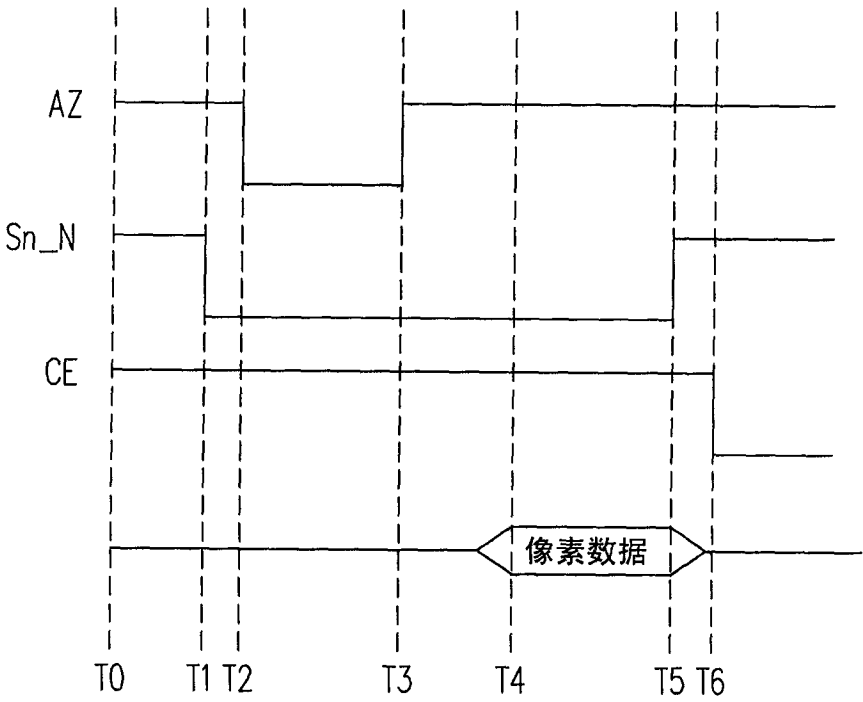


图 6

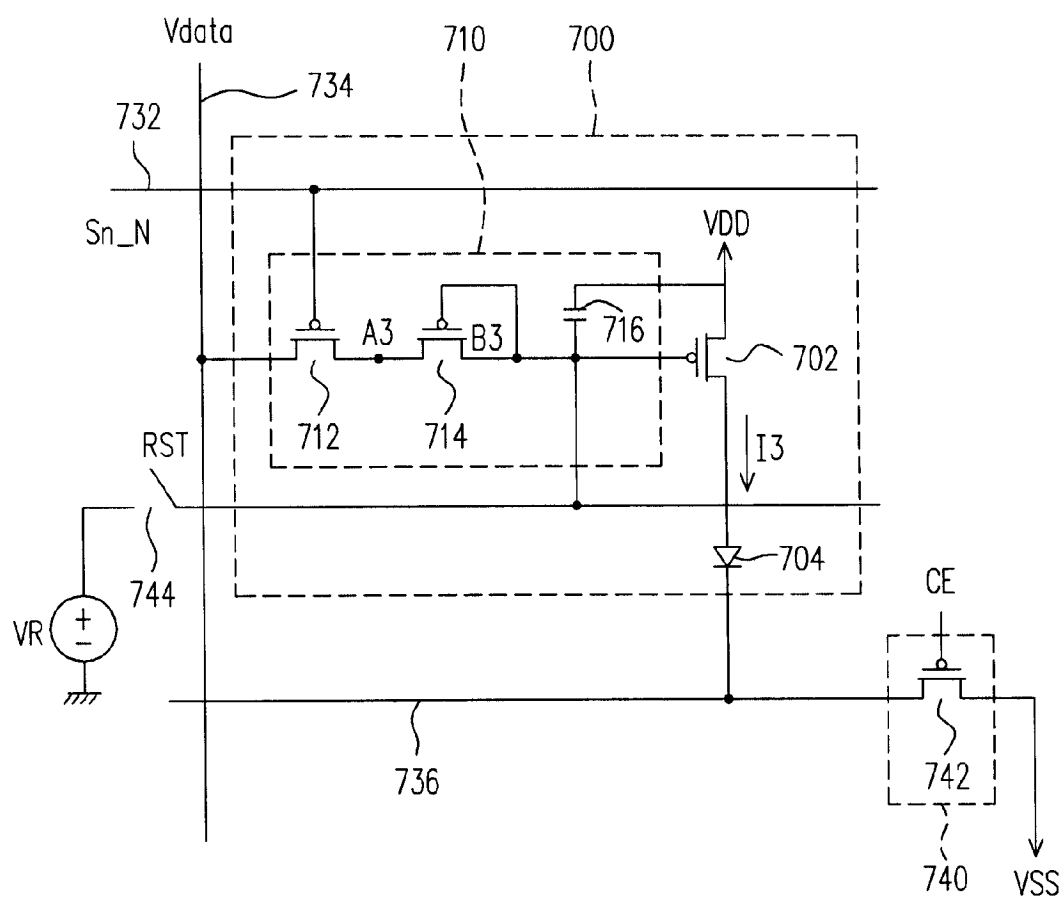


图 7

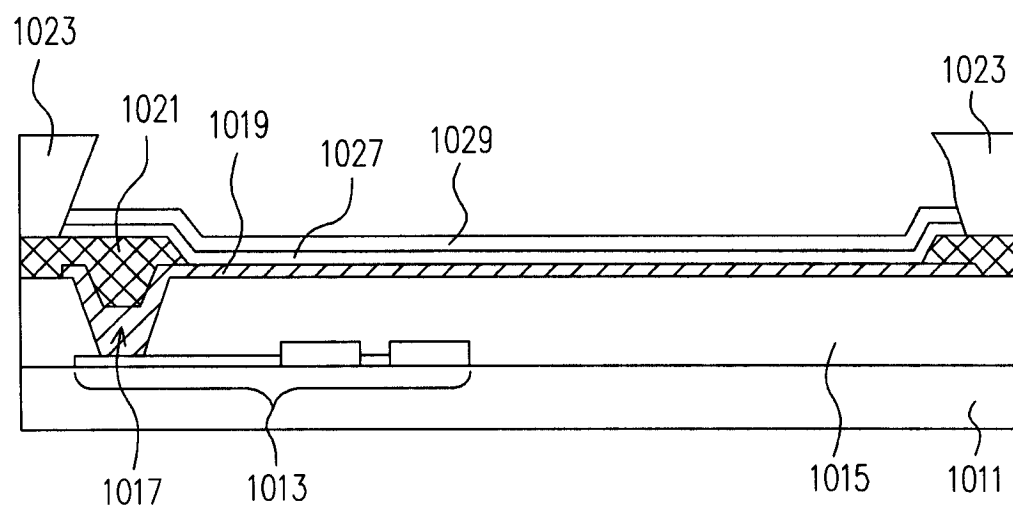


图 10

专利名称(译)	显示面板及其结构		
公开(公告)号	CN101192372B	公开(公告)日	2012-07-04
申请号	CN200610162887.X	申请日	2006-11-28
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	奇美电子股份有限公司 奇晶光电股份有限公司		
当前申请(专利权)人(译)	奇美电子股份有限公司 奇晶光电股份有限公司		
[标]发明人	郭鸿儒 黄建翔 曾名骏		
发明人	郭鸿儒 黄建翔 曾名骏		
IPC分类号	G09G3/32 G09G3/30 G09G3/20 H05B33/08 H05B33/14 H05B37/02 H01L27/32 H01L51/50 G09G3/3233 G09G3/325 G09G3/3266		
代理人(译)	郭蔚		
其他公开文献	CN101192372A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种显示面板及其结构，其包括了多数条扫描线，以及多数条数据线。而在每一条扫描线与数据线的交错处，则配置有一像素电路。另外，本发明所提供的显示面板还配置有多数调阴极线，平行于扫描线。其中，同一扫描线上所有的像素电路，都耦接相同的阴极线。而每一阴极线都通过一开关电路而耦接至一阴极电压，而各开关电路都依据一控制信号而决定是否将阴极电压导通至对应的阴极线。由于单一像素电路内的元件的减少，因而可减低布线的困难度，增加显示面板的开口率。并可增加有机发光二极管元件的寿命，保持显示面板的画面的品质。使像素电路内的工作电流稳定，增加了像素电路的使用寿命。

