



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월08일
(11) 등록번호 10-2034061
(24) 등록일자 2019년10월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0076157
(22) 출원일자 2013년06월29일
심사청구일자 2018년05월17일
(65) 공개번호 10-2015-0002390
(43) 공개일자 2015년01월07일
(56) 선행기술조사문헌
US20030160749 A1*
US20060050037 A1*
US20070126722 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박성곤
대구 북구 서변로 50, 205동 1106호 (서변동, 화성리버파크2단지)
이주홍
서울 강서구 강서로47길 158, 209동 1003호 (내발산동, 마곡수명산파크2단지)
(74) 대리인
박영복
(뒷면에 계속)

전체 청구항 수 : 총 6 항

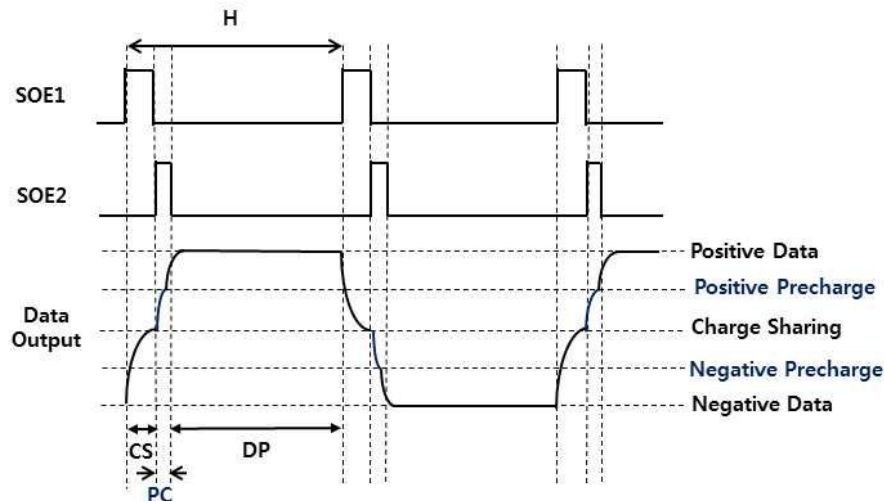
심사관 : 박정근

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 출력 버퍼부의 출력 전류를 감소시킴으로써 드라이브 IC의 온도를 낮출 수 있는 액정 표시 장치에 관한 것으로, 일 실시예에 따른 액정 표시 장치에서 데이터 드라이버의 출력 버퍼는 입력 데이터 전압에 상응하는 출력 데이터 전압을 출력 채널로 공급하는 입력 증폭기 및 출력부와; 출력부가 데이터 전압을 출력하는 데이터 공급 기간 이전의 프리차지 기간에서 출력 채널이 프리차지되도록 출력부를 스위치 모드로 구동하는 제어 스위치부와; 제어 신호에 응답하여 제어 스위치부를 제어하는 모드 제어부를 포함하고, 타이밍 컨트롤러는 데이터 드라이버의 출력 채널에 공급될 데이터를 출력 채널별로 분석하여, 출력 채널별로 데이터 전압 레벨의 변동 여부 및 특정 계조 조건의 만족 여부에 따라 출력부의 스위치 모드를 제어하는 제어 신호를 생성하여 출력한다.

대표도 - 도2



(72) 발명자

민웅기

경기 파주시 해솔로 20, 405동 1203호 (목동동, 해
솔마을4단지벽산우남연리지)

박윤산

경기 고양시 일산서구 현충로 5, 1501동 1704호 (탄현동, 탄현마을15단지아파트)

명세서

청구범위

청구항 1

디지털-아날로그 컨버터로부터 공급되는 입력 데이터 전압을 버퍼링하여 출력하는 출력 버퍼를 포함하는 데이터 드라이버와;

상기 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하고,

상기 출력 버퍼는

상기 입력 데이터 전압에 비례하는 전류를 증폭하여 출력하는 입력 증폭기와;

상기 입력 증폭기로부터의 출력 전류에 비례하는 증방전 전류를 이용하여 상기 입력 데이터 전압에 상응하는 출력 데이터 전압을 출력 채널로 공급하는 출력부와;

상기 입력 증폭기와 상기 출력부 사이에 접속되어, 상기 출력부가 상기 출력 데이터 전압을 출력하는 데이터 공급 기간 이전의 프리차지 기간에서 상기 출력 채널이 프리차징되도록 상기 출력부를 스위치 모드로 구동하는 제어 스위치부와;

제어 신호에 응답하여 상기 제어 스위치부를 제어하는 모드 제어부를 포함하며,

상기 타이밍 컨트롤러는 상기 출력 채널에 공급될 데이터를 상기 출력 채널별로 분석하여, 상기 출력 채널별로 데이터 전압 레벨의 변동 여부와 특정 계조 조건의 만족 여부에 따라 상기 출력부의 스위치 모드를 제어하는 상기 제어 신호를 생성하여 상기 데이터 드라이버로 출력하는 액정 표시 장치.

청구항 2

청구항 1에 있어서,

상기 출력부는

제1 전원과 상기 출력 채널 사이에 충전 경로를 형성하는 제1 출력 트랜지스터와,

상기 제1 전원보다 낮은 제2 전원과 상기 출력 채널 사이에 방전 경로를 형성하는 제2 출력 트랜지스터를 구비하고,

상기 제어 스위치부는

상기 입력 증폭기의 제1 및 제2 출력 라인과 상기 제1 및 제2 출력 트랜지스터의 게이트 전극 사이에 각각 접속되고, 상기 데이터 공급 기간에 상기 입력 증폭기와 상기 출력부를 접속시키는 제1 제어 스위치와,

상기 제1 전원과 상기 제1 출력 트랜지스터의 게이트 전극 사이와, 상기 제1 전원과 상기 제2 출력 트랜지스터의 게이트 전극 사이에 각각 접속되고, 상기 프리차지 기간에 상기 충전 경로를 통해 상기 출력 채널이 프리차징되도록 상기 제1 및 제2 출력 트랜지스터를 제어하는 제2 제어 스위치와,

상기 제2 전원과 상기 제1 출력 트랜지스터의 게이트 전극 사이와, 상기 제2 전원과 상기 제2 출력 트랜지스터의 게이트 전극 사이에 각각 접속되고, 상기 프리차지 기간에 상기 방전 경로를 통해 상기 출력 채널이 프리차징되도록 상기 제1 및 제2 출력 트랜지스터를 제어하는 제3 제어 스위치를 구비하는 액정 표시 장치.

청구항 3

삭제

청구항 4

청구항 2에 있어서,

상기 모드 제어부는

상기 제어 신호가 상기 데이터 전압 레벨의 변동이 없는 경우를 지시할 때, 상기 출력부의 스위치 모드를 오프 시키고, 상기 데이터 전압 레벨의 변동이 있는 경우를 지시할 때, 상기 출력부의 스위치 모드를 온시키는 액정 표시 장치.

청구항 5

청구항 4에 있어서,

상기 제어 신호가 상기 데이터 전압 레벨의 변동과 함께 상기 출력 채널에 공급될 데이터의 계조가 특정 계조 이상인 경우를 지시할 때, 상기 출력부는 상기 제1 전원을 이용한 오버슈팅 또는 상기 제2 전원을 이용한 언더슈팅으로 상기 출력 채널을 프리차징하도록 제어되는 액정 표시 장치.

청구항 6

청구항 5에 있어서,

상기 제어 신호가 상기 데이터 전압 레벨의 변동과 함께 상기 출력 채널에 공급될 데이터의 계조가 상기 특정 계조 미만인 경우를 지시할 때, 상기 출력부는 상기 입력 증폭기를 통해 공급되는 어느 한 계조 전압으로 상기 출력 채널을 프리차징하도록 제어되는 액정 표시 장치.

청구항 7

청구항 6에 있어서,

상기 타이밍 컨트롤러는 제1 및 제2 출력 이네이블 신호를 생성하여 출력하고,

상기 제1 제어 스위치는 상기 제1 출력 이네이블 신호의 디세이블 기간에 상기 입력 증폭기로부터의 계조 전압을 상기 출력부로 공급하고,

상기 제2 또는 제3 제어 스위치는 상기 제2 출력 이네이블 신호의 디세이블 기간에 상기 입력 증폭기로부터 공급된 상기 계조 전압으로 상기 출력 채널을 프리차징하는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본원 발명은 액정 표시 장치에 관한 것으로, 특히 출력 전류를 감소시킴으로써 드라이버 IC(Integrated Circuit)의 발열량을 감소시킬 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 디지털 데이터를 이용하여 영상을 표시하는 평판 표시 장치로는 액정을 이용한 액정 표시 장치(Liquid Crystal Display; LCD), 불활성 가스의 방전을 이용한 플라즈마 디스플레이 패널(Plasma Display Panel; PDP), 유기 발광 다이오드를 이용한 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 표시 장치 등이 대표적이다. 이중 액정 표시 장치는 TV, 모니터, 노트북 및 휴대 전화기 등과 같은 여러 응용 분야에서 널리 사용되고 있다.

[0003] 액정 표시 장치는 굴절율 및 유전율 등의 이방성을 갖는 액정의 전기적 및 광학적 특성을 이용한 픽셀 매트릭스를 통해 화상을 표시한다. 액정 표시 장치의 각 픽셀은 데이터 신호에 따른 액정 배열 방향의 가변으로 편광관을 투과하는 광 투과율을 조절함으로써 계조를 구현한다. 액정 표시 장치는 픽셀 매트릭스를 통해 화상을 표시하는 액정 패널과, 액정 패널을 구동하는 게이트 드라이버 및 데이터 드라이버와, 액정 패널에 광을 조사하는 백라이트 유닛과, 백라이트 유닛을 구동하는 백라이트 드라이버를 구비한다.

[0004] 액정 표시 장치는 고해상도 및 대면적화되는 방향으로 발전하고 있다. 이에 따라, 액정 패널로 데이터 전압을 공급하는 드라이버 IC의 구동 주파수 및 로드량이 증가하고, 액정 패널의 인버전 구동을 위해 정극성 데이터 전압과 부극성 데이터 전압을 스위칭해야 하므로, 드라이버 IC의 발열량이 증가하고 있다. 드라이버 IC의 온도가 상승하면 신뢰성이 저하되고, 발화와 같은 안전상의 위험이 초래될 수 있으므로 드라이버 IC의 온도를 낮출 수 있는 방안이 요구된다.

[0005] 일반적으로, 드라이버 IC에서 디지털-아날로그 변환기(이하 DAC)로부터의 데이터 신호를 버퍼링하여 데이터 라인으로 출력하는 출력 버퍼부는 전력 소모가 가장 큰 부분이므로, 출력 버퍼부는 드라이버 IC의 주요 발열 원인

으로 작용하고 있다. 따라서, 드라이브 IC의 발열량을 감소시키기 위해서는 출력 버퍼부의 출력 전류를 감소시킬 수 있는 방안이 필요하다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 해결하려는 과제는 출력 버퍼부의 출력 전류를 감소시킴으로써 드라이브 IC의 온도를 낮출 수 있는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 액정 표시 장치는 데이터 드라이버 및 타이밍 컨트롤러를 포함한다. 데이터 드라이버에서 출력 버퍼는 입력 데이터 전압에 상응하는 출력 데이터 전압을 출력 채널로 공급하는 입력 증폭기 및 출력부와; 입력 증폭기와 출력부 사이에 접속된 제어 스위치부와; 제어 신호에 응답하여 제어 스위치부를 제어하는 모드 제어부를 포함한다. 제어 스위치부는 출력부가 출력 데이터 전압을 출력하는 데이터 공급 기간 이전의 프리차지 기간에서 출력 채널이 프리차지되도록 출력부를 스위치 모드로 구동할 수 있다. 타이밍 컨트롤러는 출력 채널에 공급될 데이터를 출력 채널별로 분석하여, 출력 채널별로 데이터 전압 레벨의 변동 여부에 따라 출력부의 스위치 모드를 제어하는 제어 신호를 생성하여 출력할 수 있다. 또한, 타이밍 컨트롤러는 출력 채널별로 분석한 데이터가 특정 계조 조건을 만족하는지 여부에 따라 출력부의 스위치 모드를 더 제어할 수 있다.

[0008] 출력부는 제1 전원과 출력 채널 사이에 충전 경로를 형성하는 제1 출력 트랜지스터와, 제1 전원보다 낮은 제2 전원과 출력 채널 사이에 방전 경로를 형성하는 제2 출력 트랜지스터를 포함한다.

[0009] 제어 스위치부는 입력 증폭기의 제1 및 제2 출력 라인과 제1 및 제2 출력 트랜지스터의 게이트 전극 사이에 각각 접속되고, 데이터 공급 기간에 입력 증폭기와 출력부를 접속시키는 제1 제어 스위치와, 제1 전원과 제1 출력 트랜지스터의 게이트 전극 사이와, 제1 전원과 제2 출력 트랜지스터의 게이트 전극 사이에 각각 접속되고, 프리차지 기간에 충전 경로를 통해 출력 채널이 프리차지되도록 제1 및 제2 출력 트랜지스터를 제어하는 제2 제어 스위치와, 제2 전원과 제1 출력 트랜지스터의 게이트 전극 사이와, 제2 전원과 제2 출력 트랜지스터의 게이트 전극 사이에 각각 접속되고, 프리차지 기간에 방전 경로를 통해 출력 채널이 프리차지되도록 제1 및 제2 출력 트랜지스터를 제어하는 제3 제어 스위치를 구비한다.

[0010] 모드 제어부는 제어 신호가 데이터 전압 레벨의 변동이 없는 경우를 지시할 때, 출력부의 스위치 모드를 오프시키고, 데이터 전압 레벨의 변동이 있는 경우를 지시할 때, 출력부의 스위치 모드를 온시킨다.

[0011] 제어 신호가 데이터 전압 레벨의 변동과 함께 출력 채널에 공급될 데이터의 계조가 특정 계조 이상인 경우를 지시할 때, 출력부는 제1 전원을 이용한 오버슈팅 또는 제2 전원을 이용한 언더슈팅으로 출력 채널을 프리차지하도록 제어된다.

[0012] 제어 신호가 데이터 전압 레벨의 변동과 함께 출력 채널에 공급될 데이터의 계조가 특정 계조 미만인 경우를 지시할 때, 출력부는 입력 증폭기를 통해 공급되는 어느 한 계조 전압으로 출력 채널을 프리차지하도록 제어된다.

[0013] 타이밍 컨트롤러는 제1 및 제2 출력 이네이블 신호를 생성하여 출력하고, 제1 제어 스위치는 제1 출력 이네이블 신호의 디세이블 기간에 입력 증폭기로부터의 계조 전압을 출력부로 공급하고, 제2 또는 제3 제어 스위치는 제2 출력 이네이블 신호의 디세이블 기간에 입력 증폭기로부터 공급된 계조 전압으로 출력 채널을 프리차지한다.

발명의 효과

[0014] 상술한 바와 같이, 일 실시예에 따른 액정 표시 장치는 채널별로 데이터 레벨의 변동 여부를 지시하는 타이밍 컨트롤러로부터의 제어 신호에 응답하여, 데이터 레벨의 변동이 있는 채널만 출력 버퍼의 출력부가 스위칭 모드로 동작함으로써 출력부의 불필요한 스위칭 동작으로 인한 출력 전류를 감소시킬 수 있다.

[0015] 또한, 일 실시예에 따른 액정 표시 장치는 채널별로 데이터 레벨의 변동 여부와 함께 특정 계조 이상인지 여부를 지시하는 타이밍 컨트롤러로부터의 제어 신호에 응답하여, 특정 계조 이상의 데이터가 공급되는 채널은 출력 버퍼의 출력부가 고전위 전원(FVDD)/저전위 전원(VSS)을 이용하여 오버슈팅/언더슈팅으로 프리차지를 수행하고, 특정 계조 미만의 데이터가 공급되는 채널은 최적으로 설정된 계조 전압을 이용하여 프리차지를 수행함으로써

출력부의 데이터 충방전 시간을 최대한 단축하여 출력 전류를 감소시킬 수 있다.

[0016] 이 결과, 일 실시예에 따른 액정 표시 장치는 액정 패널이 고해상도 및 대면적화되더라도 드라이브 IC의 발열 온도를 낮출 수 있으므로 드라이브 IC의 신뢰성을 확보할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 데이터 드라이버를 나타낸 등가 회로도이다.

도 2는 도 1에 나타낸 데이터 드라이버의 구동 파형도이다.

도 3은 차지 셰어링 방식으로 구동되는 드라이브 IC에서 계조별 발열 온도 차이를 나타낸 그래프이다.

도 4는 도 1에 나타낸 한 출력 버퍼의 내부 구성을 출력부 위주로 나타낸 회로도이다.

도 5는 도 4에 도시된 출력 버퍼에서 오버슈팅 및 언더슈팅을 이용한 프리차지 기간을 포함하는 데이터 전압 파형도이다.

도 6은 도 4에 도시된 출력 버퍼에서 31계조 전압을 이용한 프리차지 기간을 포함하는 데이터 전압 파형도이다.

도 7은 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.

도 8은 도 7에 도시된 타이밍 컨트롤러로부터 데이터 드라이버로 공급하는 영상 데이터 및 제어 데이터를 나타낸 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 설명한다.

[0019] 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 데이터 드라이버의 일부를 나타낸 회로도이다.

[0020] 도 1을 참조하면, 데이터 드라이버는 DAC부(10), 출력 버퍼부(20), 멀티플렉서(이하 MUX; 30), 차지 셰어링부(40)를 구비한다. 이외에도 데이터 드라이버는 DAC부(10)의 입력단에서 쉬프트 레지스터(미도시)와, 쉬프트 레지스터의 제어에 따라 입력 디지털 데이터를 래치하여 DAC부(10)로 출력하는 래치부(미도시), 디지털 데이터의 각 계조값에 대응하는 포지티브 및 네거티브 감마 전압들을 생성하여 출력하는 감마 전압 생성부(미도시) 등을 추가로 더 구비한다.

[0021] DAC부(10)는 포지티브 감마 전압(감마 하이 전압)을 이용하여 입력 데이터를 포지티브 데이터 신호로 변환하는 포지티브-DAC(이하 PDAC)과, 네거티브 감마 전압(감마 로우 전압)을 이용하여 입력 데이터를 네거티브 데이터 신호로 변환하는 네거티브-DAC(이하 NDAC)을 구비한다. PDAC 및 NDAC이 교번하면서 배열되고, PDAC 및 NDAC은 각각 각 데이터 채널에 대응한다.

[0022] 출력 버퍼부(20)는 PDAC으로부터 공급되는 포지티브 데이터 신호를 버퍼링하여 출력하는 포지티브 출력 버퍼(PBF)와, NDAC으로부터 공급되는 네거티브 데이터 신호를 버퍼링하여 출력하는 네거티브 출력 버퍼(NBF)를 구비한다. 포지티브 출력 버퍼(PBF) 및 네거티브 출력 버퍼(NBF)는 교번하면서 배열되고, 포지티브 출력 버퍼(PBF) 및 네거티브 출력 버퍼(NBF)는 각각 각 데이터 채널에 대응한다. 포지티브 및 네거티브 출력 버퍼(PBF, NBF) 각각은 입력 증폭부(IP)와 출력부(OP)를 구비하며, 프리차지를 위해 출력부(OP)를 스위칭 모드로 제어하기 위한 제어 스위치부(미도시)와 모드 제어부(미도시)를 더 구비한다. 포지티브 출력 버퍼(PBF)에서 입력 증폭부(IP)는 제1 고전위 전원(VDD)과 접속되고, 출력부(OP)는 제1 고전위 전원(VDD) 또는 제2 고전위 전원(FVDD)과 중간 전위 전원(HVDD) 사이에 접속된 출력 트랜지스터(MP, MN)를 구비한다. 네거티브 출력 버퍼(PBF)에서 입력 증폭부(IP)는 중간 전위 전원(HVDD)과 접속되고, 출력부(OP)는 중간 전위 전원(HVDD)과 저전위 전원(VSS) 사이에 접속된 출력 트랜지스터(MP, MN)를 구비한다.

[0023] 포지티브 출력 버퍼(PBF) 및 네거티브 출력 버퍼(NBF) 각각의 출력부(OP)는 데이터 공급 기간에서는 단위 이득 증폭기 역할을 하고, 채널별 데이터 레벨의 변동 여부에 따라 프리차지 기간에서 스위칭 동작을 하여 데이터 공급 기간 이전에 출력 라인을 프리차지할 수 있다.

[0024] 해당 데이터 라인에 이전 수평 기간에 공급된 데이터와 현재 수평 기간에 공급될 데이터의 전압 레벨이 동일하거나 유사한 경우, 해당 출력부(OP)가 불필요한 프리차지를 수행하지 않도록 출력부(OP)의 스위칭 모드는 오프된다. 반면에, 이전 데이터와 현재 데이터의 전압 레벨이 다르거나 유사하지 않은 경우, 해당 출력부(OP)가 스

위칭 모드로 동작하여 프리차징을 수행한다. 이때, 프리차지 전압은 데이터 조건에 따라 가변될 수 있다.

- [0025] 도 2를 참조하면, 각 수평 기간(H)에서 출력 버퍼(PBF, NBF)의 프리차지 기간(PC)이 차지 셰어링(Charge Sharing) 기간(CS)과 데이터 공급 기간(DP) 사이에 위치한다. 제1 소스 출력 이네이블 신호(SOE1)의 디세이블 기간에 의해 차지 셰어링부(40)의 차지 셰어링 기간(CS)이 설정되고, 제2 소스 출력 이네이블 신호(SOE2)의 디세이블 기간에 의해 프리차지 기간(PC)이 설정된다.
- [0026] 도 1에서 전원 스위치(PS)는 해당 채널의 모드 제어 신호에 응답하여, 제1 고전위 전원(VDD) 또는 상기 제1 고전위 전원(VDD) 보다 높은 제2 고전위 전원(FVDD)을 선택적으로 포지티브 출력 버퍼(PBF)의 출력부(OP)와 접속시킨다. 예를 들면, 전원 스위치(PS)는 도 2에 도시된 프리차지 기간(PC)에서 오버슈팅을 통한 프리차지를 위해 제2 고전위 전원(FVDD)을 포지티브 출력 버퍼(PBF)의 출력부(OP)와 접속시키고, 나머지 기간에서는 제1 고전위 전원(VDD)을 포지티브 출력 버퍼(PBF)의 출력부(OP)와 접속시킬 수 있다.
- [0027] MUX(30)는 극성 제어 신호(POL)에 응답하여 포지티브 출력 버퍼(PBF) 및 네거티브 출력 버퍼(NBF)의 출력 경로를 선택한다. MUX(30)는 극성 제어 신호(POL)에 응답하여 인접한 2개의 출력 채널(A, B) 중 한 채널에 포지티브 출력 버퍼(PBF)의 출력 라인을 접속시키고, 다른 채널에 네거티브 출력 버퍼(NBF)의 출력 라인을 접속시킨다. 이를 위하여, MUX(30)는 출력 버퍼(PBF, NBF) 각의 출력 라인별로 인접한 2개의 출력 채널(A, B)과 각각 접속된 제1 및 제2 스위치(S1, S2)를 구비하고, 제1 및 제2 스위치(S1, S2)는 극성 제어 신호(POL)와 반전된 극성 제어 신호(/POL)에 의해 각각 제어된다.
- [0028] 차지 셰어링부(40)는 제1 출력 이네이블 신호(SOE1)에 의해 제어되는 제3 스위치(S3)를 구비하여, 제1 출력 이네이블 신호(SOE1)의 디세이블 기간인 차지 셰어링 기간(CS)에서 모든 출력 채널(OUT1~OUTn)을 쇼트시킴으로써, 이전 수평기간에서 각 데이터 라인에 충전된 전하들을 이용하여 모든 데이터 라인을 평균 전위(즉, 중간 전위)로 프리차징시킨다.
- [0029] 도 3은 차지 셰어링이 적용된 드라이브 IC에서 제조별 발열 온도 특성을 측정하여 나타낸 그래프이다.
- [0030] 도 3을 참조하면, 제조별 온도 상승 측면에서 중간 전압 지점으로 256제조 중 31제조 전압이 해당함을 알 수 있다. 오버슈트/언더슈트를 최소화하기 위하여, 31제조 전압이 온도 저감 측면에서 최적의 프리차지 전압으로 설정될 수 있으며, 프리차지 전압은 가변될 수 있다. 각 데이터 라인에서 이전 데이터와 극성이 다르고 특정 제조(예를 들면, 200 제조) 이상인 경우 오버슈팅/언더슈팅을 이용하여 데이터 라인을 충분히 프리차징할 수 있도록 제1 고전위 전원(VDD) 또는 제2 고전위 전원(FVDD)과 저전위 전원(VSS)을 이용한다.
- [0031] 도 4는 도 1에 도시된 한 출력 버퍼의 내부 구성을 출력단 위주로 나타낸 회로도이다.
- [0032] 도 4에 도시된 출력 버퍼(BF)는 도 1에 도시된 포지티브 출력 버퍼(PBF) 및 네거티브 출력 버퍼(NBF) 각각에 대응한다. 다시 말하여, 포지티브 출력 버퍼(PBF) 및 네거티브 출력 버퍼(NBF)는 도 4에 도시된 출력 버퍼(BF)와 동일한 구조를 갖으며, 입력 전원(V1, V2)만 다른 전원이 공급된다. 각 출력 버퍼(BF)는 입력 증폭부(IP), 출력부(OP), 입력 증폭부(IP)와 출력부(OP) 사이에 접속된 제어 스위치부(26)와, 입력 제어 신호에 따라 제어 스위치부(26)를 제어하는 모드 제어부(28)를 구비한다.
- [0033] 입력 증폭부(IP)는 차동 증폭기 및 캐스코드 증폭기를 포함하여 입력 데이터 전압에 대응하는 전류를 증폭하여 출력하고, 출력부(OP)는 입력 증폭부(IP)로부터의 증폭 전류를 이용하여 입력 데이터 전압에 수렴하는 데이터 전압을 출력한다.
- [0034] 출력부(OP)는 제1 및 제2 전원(V1, V2) 사이에 직렬 접속되어 출력 라인에 대한 충전 경로를 형성하는 제1 출력 트랜지스터(MP1)와 방전 경로를 형성하는 제2 출력 트랜지스터(MN1)를 구비한다. 출력 버퍼(BF)가 포지티브 출력 버퍼(PBF)인 경우, 제1 전원(V1)으로는 제1 및 제2 고전위 전원(VDD, FVDD) 중 하나가 공급되고, 제2 전원(V2)으로는 중간 전위 전원(HVDD)이 공급된다. 출력 버퍼(BF)가 네거티브 출력 버퍼(NBF)인 경우, 제1 전원(V1)으로는 중간 전위 전원(HVDD)이 공급되고, 제2 전원(V2)으로는 저전위 전원(VSS)이 공급된다.
- [0035] 제어 스위치부(26)는 제1 및 제2 출력 트랜지스터(MP1, MN1) 각각의 게이트와 입력 증폭부(IP)의 출력 단자 사이에 각각 접속된 제1 제어 스위치(SW_ENB)와, 제1 전원(V1)과 제1 출력 트랜지스터(MP1)의 게이트 전극 사이와, 제1 전원(V1)과 제2 출력 트랜지스터(MN1)의 게이트 전극 사이에 각각 접속된 제2 제어 스위치(SWP1)와, 제2 전원(V2)과 제1 출력 트랜지스터(MP1)의 게이트 전극 사이와, 제2 전원(V2)과 제2 출력 트랜지스터(MN1)의 게이트 전극 사이에 각각 접속된 제3 제어 스위치(SWN1)를 구비한다. 제1 및 제2 출력 트랜지스터(MP1, MN1)는 상반되게 동작한다.

- [0036] 제1 제어 스위치(SW_ENB)는 데이터 공급 기간에 입력 증폭부(IP)와 출력부(OP)를 접속시킨다. 또한, 제1 제어 스위치(SW_ENB)는 입력 증폭부(IP)를 통해 계조 전압을 프리차지 전압으로 공급할 때에도 입력 증폭부(IP)와 출력부(OP)를 접속시킨다. 예를 들면, 입력 증폭부(IP)로부터의 31 계조 데이터 전압을 프리차지 전압으로 공급할 때, 제1 제어 스위치(SW_ENB)는 입력 증폭부(IP)와 출력부(OP)를 접속시킨다.
- [0037] 제2 제어 스위치(SWP1)는 제1 출력 트랜지스터(MP1)를 통한 충전 전류를 이용하여 출력 라인을 프리차징할 때 제1 전원(V1)을 제1 출력 트랜지스터(MP1)의 게이트 전극에 접속시킴으로써 제1 출력 트랜지스터(MP1)가 스위칭 동작하게 한다.
- [0038] 제3 제어 스위치(SWN1)는 제2 출력 트랜지스터(MN2)를 통한 방전 전류를 이용하여 출력 라인을 프리차징할 때 제2 전원(V2)을 제2 출력 트랜지스터(MN1)의 게이트 전극에 접속시킴으로써 제2 출력 트랜지스터(MN1)가 스위칭 동작하게 한다.
- [0039] 모드 제어부(28)는 타이밍 컨트롤러로부터 데이터 채널별로 입력되는 제어 신호를 이용하여 제어 스위치부(26)의 제1 내지 제3 제어 스위치(SW_ENB, SWP1, SWN1)를 선택적으로 제어한다.
- [0040] 타이밍 컨트롤러는 채널별로 이전 데이터와 현재 데이터 사이에 계조(즉, 데이터 전압 레벨) 변화가 있는지를 판단하여, 계조 변동이 있는 경우 프리차지를 위하여 출력부(OP)의 스위칭 모드를 온시키고, 변동이 없는 경우에는 출력부(OP)의 스위칭 모드를 오프시킨다.
- [0041] 타이밍 컨트롤러로부터 채널별로 공급되는 제어 신호에 응답하여, 모드 제어부(28)는 아래의 표와 같이 각 모드별로 제어 스위치부(26)를 제어한다.

표 1

제어 스위치부(26)	SWP1	SWN1	SW_ENB
MP1 구동시	ON	OFF	OFF
MN1 구동시	OFF	ON	OFF
31G+MP1 구동시	ON	OFF	ON (SOE1, 31G data)
31G+MN1 구동시	OFF	ON	ON (SOE1, 31G data)
정상 구동시	OFF	OFF	ON

- [0042]
- [0043] 예를 들면, 타이밍 컨트롤러는 데이터를 분석하여, 이전 데이터와 극성이 다르면서 현재 데이터의 계조가 미리 설정된 기준치(예를 들면 203계조) 보다 클 때, 모드 제어 신호를 통해 해당 채널의 출력 버퍼(BF)를 오버슈팅 또는 언더슈팅을 이용한 프리차지 모드로 구동시킨다. 이에 따라, 각 수평 라인의 프리차지 기간(PC)에서, 해당 채널의 포지티브 출력 버퍼(PBF)는 턴-온된 제2 제어 스위치(SWP1)에 의해 제1 출력 트랜지스터(MP1)가 스위칭 모드로 구동되고, 해당 채널의 네거티브 출력 버퍼(NBF)는 턴-온된 제3 제어 스위치(SWN1)에 의해 제2 출력 트랜지스터(MN1)가 스위칭 모드로 구동된다. 이때, 포지티브 출력 버퍼(PBF)에는 제1 전원(V1)으로 제2 고전위 전원(FVDD)이 공급된다.
- [0044] 따라서, 포지티브 출력 버퍼(PBF)의 제1 출력 트랜지스터(MP1)는 충전 전류를 이용하여, 도 5에 도시된 바와 같이 제2 고전위 전원(VDD)까지 오버슈팅하는 전압으로 출력 채널을 프리차징하고, 네거티브 출력 버퍼(NBF)의 제2 출력 트랜지스터(MN1)는 방전 전류를 이용하여 저전위 전원(VSS)까지 언더슈팅하는 전압으로 출력 채널을 프리차징한다. 이 결과, 다음의 데이터 공급 기간(DP)에서 해당 출력 버퍼(BF)를 통해 원하는 데이터 전압까지 충전되는 기간이 단축되어 충전방전 전류가 감소하므로 출력 버퍼의 발열량을 감소시킬 수 있다.
- [0045] 또한, 타이밍 컨트롤러는 데이터를 분석하여, 이전 데이터와 극성이나 레벨이 다르면서 현재 데이터의 계조가 특정치(예를 들면 203계조) 보다 작을 때, 제어 신호를 통해 해당 채널의 출력 버퍼(BF)를 프리차지 전압(31계조)을 이용한 프리차지 모드로 구동시킨다. 이때, 31계조 전압은 제1 출력 이네이블 신호(SOE1)의 디세이블 기간(즉, 차지 웨어링 기간)에서 입력 증폭부(22)로부터 제1 제어 스위치(SW_ENB)를 통해 출력부(OP)로 공급될 수 있다. 그 다음, 프리차지 기간(PC)에서 해당 채널의 출력 버퍼(BF)는 턴-온된 제2 제어 스위치(SWP1)에 의해 제1 출력 트랜지스터(MP1)가 스위칭 모드로 구동되거나, 턴-온된 제3 제어 스위치(SWN1)에 의해 제2 출력 트랜지스터(MN1)가 스위칭 모드로 구동된다.
- [0046] 따라서, 포지티브 출력 버퍼(PBF)의 제1 출력 트랜지스터(MP1)는 충전 전류 또는 제2 출력 트랜지스터(MN1) 방전 전류를 이용하여, 도 6에 도시된 바와 같이 포지티브 31계조 전압으로 출력 채널을 프리차징하고, 네거티브

출력 버퍼(NBF)도 제1 출력 트랜지스터(MP1)는 충전 전류 또는 제2 출력 트랜지스터(NMN1) 방전 전류를 이용하여 네거티브 31계조 전압으로 출력 채널을 프리차징함으로써, 그 다음의 데이터 공급 기간(DP)에서 원하는 데이터 전압까지 충방전되는 기간이 단축되어 충방전 전류가 감소하므로 출력 버퍼의 발열량이 감소하게 된다.

[0047] 한편, 타이밍 컨트롤러는 데이터를 분석하여, 이전 데이터와 현재 데이터 사이에 변동이 없거나 유사한 경우, 모드 제어 신호를 통해 해당 출력 버퍼(BF)의 출력부(OP)의 스위칭 모드를 오프시킴으로써, 프리차지 기간없이 차지 웨어링 기간 다음에 바로 데이터 공급하는 정상 구동 모드로 구동시킨다.

[0048] 이와 같이, 본 발명에 따른 데이터 드라이버는 채널별로 데이터 레벨의 변동 여부를 지시하는 타이밍 컨트롤러로부터의 제어 신호에 응답하여, 데이터 레벨의 변동이 있는 채널만 출력 버퍼의 출력부만 스위칭 모드로 동작함으로써 출력부의 불필요한 스위칭 동작으로 인한 충방전 전류를 감소시킬 수 있다.

[0049] 또한, 본 발명에 따른 데이터 드라이버는 채널별로 데이터 레벨의 변동 여부와 함께 특정 계조 이상인지 여부를 지시하는 타이밍 컨트롤러로부터의 모드 제어 신호에 응답하여, 특정 계조 이상의 데이터가 공급되는 채널은 출력 버퍼의 출력부가 고전위 전원(FVDD)/저전위 전원(VSS)을 이용하여 오버슈팅/언더슈팅으로 프리차지를 수행하고, 특정 계조 미만의 데이터가 공급되는 채널은 최적으로 설정된 계조 전압을 이용하여 프리차지를 수행함으로써 출력부의 데이터 충방전 시간을 단축하여 충방전 전류를 감소시킬 수 있다.

[0050] 도 7은 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.

[0051] 도 7에 도시된 액정 표시 장치는 액정 패널(100) 및 백라이트 유닛(170)과, 액정 패널(100)을 구동하는 데이터 드라이버(130) 및 게이트 드라이버(120)를 포함하는 패널 드라이버(110)와, 백라이트 유닛(170)을 구동하는 백라이트 드라이버(160)와, 패널 구동부(110) 및 백라이트 드라이버(160)의 구동을 제어하는 타이밍 컨트롤러(150)를 구비한다.

[0052] 타이밍 컨트롤러(150)는 외부의 호스트 컴퓨터부터 공급된 영상 데이터와 함께 다수의 동기 신호를 입력한다. 다수의 동기 신호는 적어도 도트 클럭 및 데이터 이네이블 신호를 포함하며, 추가로 수평 동기 신호 및 수직 동기 신호가 더 포함될 수 있다. 타이밍 컨트롤러(150)는 화질 향상이나 소비 전력 감소를 위한 다양한 데이터 처리 방법을 이용하여 호스트 세트(10)로부터 입력된 데이터를 보정하여 패널 구동부(110)인 데이터 드라이버(130)로 출력한다. 예를 들면, 타이밍 컨트롤러(150)는 액정의 응답 속도를 향상시키기 위하여 인접 프레임간의 데이터 차에 따라 록업 테이블로부터 선택한 오버슈트(Overshoot) 값 또는 언더슈트(Undershoot) 값을 적용하여 입력 데이터를 오버드라이빙(Overdriving) 데이터로 보정하여 출력할 수 있다.

[0053] 타이밍 컨트롤러(150)는 콘트라스트비를 향상시키거나 소비 전력을 감소시키기 위하여 입력 데이터의 휘도를 분석하여 백라이트 유닛(170)의 휘도를 제어하는 디밍 신호를 백라이트 드라이버(160)로 출력함과 아울러 데이터를 보정하여 출력할 수 있다.

[0054] 타이밍 컨트롤러(150)는 입력 동기 신호를 이용하여 데이터 드라이버(130)의 구동 타이밍을 제어하는 데이터 제어 신호와, 게이트 드라이버(120)의 구동 타이밍을 제어하는 게이트 제어 신호를 생성한다. 호스트 세트(10)로부터의 동기 신호가 도트 클럭 및 데이터 이네이블 신호를 포함하는 경우, 타이밍 컨트롤러(150)는 도트 클럭 및 데이터 이네이블 신호를 이용한 입력 데이터의 주파수 분석을 통해 수평 동기 신호 및 수직 동기 신호(Vsync)를 생성하여 이용할 수 있다. 타이밍 컨트롤러(150)는 생성된 데이터 제어 신호 및 게이트 제어 신호를 데이터 드라이버(130) 및 게이트 드라이버(120)로 각각 공급한다. 데이터 제어 신호는 데이터 신호의 래치를 제어하는 소스 스타트 펄스 및 소스 샘플링 클럭과, 데이터 신호의 극성을 제어하는 극성 제어 신호와, 데이터 신호의 공급 기간과 차지 웨어링 기간 및 프리차지 기간을 제어하는 제1 및 제2 소스 출력 이네이블 신호(SOE1, SOE2) 등을 포함한다. 게이트 제어 신호는 게이트 신호의 스캐닝을 제어하는 게이트 스타트 펄스 및 게이트 쉬프트 클럭과, 게이트 신호의 출력 기간을 제어하는 게이트 출력 이네이블 신호 등을 포함한다. 또한, 타이밍 컨트롤러(150)는 액정 패널(100)과 백라이트 유닛(170)의 동기화를 위하여 수직 동기 신호(Vsync)를 백라이트 드라이버(160)로 공급한다.

[0055] 타이밍 컨트롤러(150)는 데이터 드라이버(130)를 통해 다수의 채널(데이터 라인)에 공급될 데이터를 채널별로 분석하여, 채널별로 데이터 레벨의 변동 여부를 지시하거나, 채널별로 데이터 레벨의 변동 여부와 함께 특정 계조 이상인지 여부를 지시하는 제어 신호를 생성하여 데이터 드라이버(130)로 출력한다. 도 8에 도시된 바와 같이, 타이밍 컨트롤러(150)는 제어 신호(C1, C2)를 R/G/B 서브픽셀 데이터에 각각 추가하여 데이터 드라이버(130)로 공급한다.

[0056] 패널 구동부(110)는 액정 패널(100)의 박막 트랜지스터 어레이에 형성된 데이터 라인(DL)을 구동하는 데이터 드

라이버(130)와, 액정 패널(100)의 박막 트랜지스터 어레이에 형성된 게이트 라인(GL)을 구동하는 게이트 드라이버(120)를 포함한다.

[0057] 데이터 드라이버(130)는 타이밍 컨트롤러(150)로부터의 데이터 제어 신호에 응답하여 타이밍 컨트롤러(150)로부터의 영상 데이터를 액정 패널(100)의 다수의 데이터 라인(DL)에 공급한다. 데이터 드라이버(130)는 타이밍 컨트롤러(150)로부터 입력되는 디지털 데이터를 감마 전압 생성부(140)로부터의 감마 전압을 이용하여 포지티브/네거티브 데이터 신호로 변환하고, 각 게이트 라인(GL)이 구동될 때마다 데이터 신호를 데이터 라인(DL)으로 공급한다.

[0058] 특히, 데이터 드라이버(130)에서는 채널별로 데이터 레벨의 변동 여부를 지시하는 모드 제어 신호에 응답하여, 데이터 레벨의 변동이 있는 채널만 출력 버퍼의 출력부만 스위칭 모드로 동작함으로써 출력부의 불필요한 스위칭 동작으로 인한 충방전 전류를 감소시킬 수 있다.

[0059] 또한, 데이터 드라이버(130)에서는 채널별로 데이터 레벨의 변동 여부와 함께 특정 계조 이상인지 여부를 지시하는 제어 신호에 응답하여, 이전 데이터와 극성이 다르면서 특정 계조 이상의 데이터가 공급되는 채널은 출력 버퍼의 출력부가 고전위 전원(FVDD)/저전위 전원(VSS)을 이용하여 오버슈팅/언더슈팅으로 프리차지를 수행하고, 특정 계조 미만의 데이터가 공급되는 채널은 최적으로 설정된 계조 전압을 이용하여 프리차지를 수행함으로써 출력부의 데이터 충방전 시간을 단축하여 충방전 전류를 감소시킬 수 있다.

[0060] 데이터 드라이버(130)는 적어도 하나의 데이터 IC로 구성되어 TCP(Tape Carrier Package), COF(Chip On Film), FPC(Flexible Print Circuit) 등과 같은 회로 필름에 실장되어 액정 패널(100)에 TAB(Tape Automatic Bonding) 방식으로 부착되거나, COG(Chip On Glass) 방식으로 액정 패널(100) 상에 실장될 수 있다.

[0061] 게이트 드라이버(120)는 타이밍 컨트롤러(150)로부터의 게이트 제어 신호에 응답하여 액정 패널(100)의 게이트 라인(GL)을 순차 구동한다. 게이트 드라이버(120)는 각 게이트 라인(GL)에 해당 스캔 기간마다 게이트 온 전압의 스캔 펄스를 공급하고, 다른 게이트 라인(GL)이 구동되는 나머지 기간에는 게이트 오프 전압을 공급한다. 게이트 드라이버(120)는 적어도 하나의 게이트 IC로 구성되고 TCP, COF, FPC 등과 같은 회로 필름에 실장되어 액정 패널(100)에 TAB 방식으로 부착되거나, COG 방식으로 액정 패널(100) 상에 실장될 수 있다. 이와 달리, 게이트 드라이버(120)는 GIP(Gate In Panel) 방식으로 액정 패널(100)의 박막 트랜지스터 어레이와 함께 동일한 공정으로 박막 트랜지스터 기판 상에 형성되어 액정 패널(100)에 내장될 수 있다.

[0062] 액정 패널(100)은 컬러 필터 어레이가 형성된 컬러 필터 기판과, 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과, 컬러 필터 기판 및 박막 트랜지스터 기판 사이의 액정층과, 컬러 필터 기판 및 박막 트랜지스터 기판의 외측면에 각각 부착된 편광판을 구비한다. 액정 패널(100)은 다수의 픽셀들이 배열된 픽셀 매트릭스를 통해 영상을 표시한다. 각 픽셀은 데이터 신호에 따른 액정 배열의 가변으로 광투과율을 조절하는 레드/그린/블루(R/G/B) 서브픽셀의 조합으로 원하는 색을 구현하고, 휘도 향상을 위한 화이트(W) 서브픽셀을 추가로 구비하기도 한다. 각 서브픽셀은 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)와 병렬 접속된 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 구비한다. 액정 커패시터(Clc)는 박막 트랜지스터(TFT)를 통해 픽셀 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압(Vcom)과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절한다. 스토리지 커패시터(Cst)는 액정 커패시터(Clc)에 충전된 전압을 안정적으로 유지시킨다. 액정층은 TN(Twisted Nematic) 모드 또는 VA(Vertical Alignment) 모드와 같이 수직 전계에 의해 구동되거나, IPS(In-Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드와 같이 수평 전계에 의해 구동된다.

[0063] 백라이트 유닛(170)은 백라이트 드라이버(160)에 의해 구동되는 CCFL(Cold Cathode Fluorescent Lamp), EEFL(External Electrode Fluorescent Lamp) 등과 같은 형광 램프나, LED(Light Emitting Diode)를 광원으로 포함하는 직하형 또는 에지형 백라이트를 이용한다. 직하형 백라이트는 액정 패널(100)의 배면과 대면하도록 표시 영역 전체에 배치된 광원 및 광원 상에 배치된 다수의 광학 시트를 포함하고, 광원으로부터 방출된 광은 다수의 광학 시트를 통해 액정 패널(100)에 조사된다. 에지형 백라이트는 액정 패널(100)의 배면과 대면하는 도광판과, 도광판의 적어도 1개의 에지와 마주하도록 배치된 광원과, 도광판 상에 배치된 다수의 광학 시트를 포함하고, 광원으로부터 방출된 광은 도광판을 통해 면광원으로 변환되어 다수의 광학 시트를 통해 액정 패널(100)에 조사된다.

[0064] 백라이트 드라이버(160)는 호스트 컴퓨터 또는 타이밍 컨트롤러(150)로부터 디밍 신호에 응답하여 백라이트 유닛(170)을 구동함과 아울러 휘도를 제어한다. 백라이트 유닛(170)이 다수의 영역으로 분할 구동되는 경우 다수

의 분할 영역을 독립적으로 구동하기 위한 다수의 백라이트 드라이버(160)를 구비할 수 있다.

[0065] 상술한 바와 같이, 본 발명에 따른 액정 표시 장치 및 그 구동 방법은 채널별로 데이터 레벨의 변동 여부를 지시하는 타이밍 컨트롤러로부터의 모드 제어 신호에 응답하여, 데이터 레벨의 변동이 있는 채널만 출력 버퍼의 출력부만 스위칭 모드로 동작함으로써 출력부의 불필요한 스위칭 동작으로 인한 출력 전류를 감소시킬 수 있다.

[0066] 또한, 본 발명에 따른 액정 표시 장치 및 그 구동 방법은 채널별로 데이터 레벨(극성)의 변동 여부와 함께 특정 계조 이상인지 여부를 지시하는 타이밍 컨트롤러로부터의 모드 제어 신호에 응답하여, 특정 계조 이상의 데이터가 공급되는 채널은 출력 버퍼의 출력부가 고전위 전원(FVDD)/저전위 전원(VSS)을 이용하여 오버슈팅/언더슈팅으로 프리차지를 수행하고, 특정 계조 미만의 데이터가 공급되는 채널은 최적으로 설정된 계조 전압을 이용하여 프리차지를 수행함으로써 출력부의 데이터 충방전 시간을 최대한 단축하여 출력 전류를 감소시킬 수 있다.

[0067] 이 결과, 본 발명에 따른 액정 표시 장치의 구동 방법 및 장치는 액정 패널이 고해상도 및 대면적화되더라도 드라이브 IC의 발열 온도를 낮출 수 있으므로 드라이브 IC의 신뢰성을 확보할 수 있다.

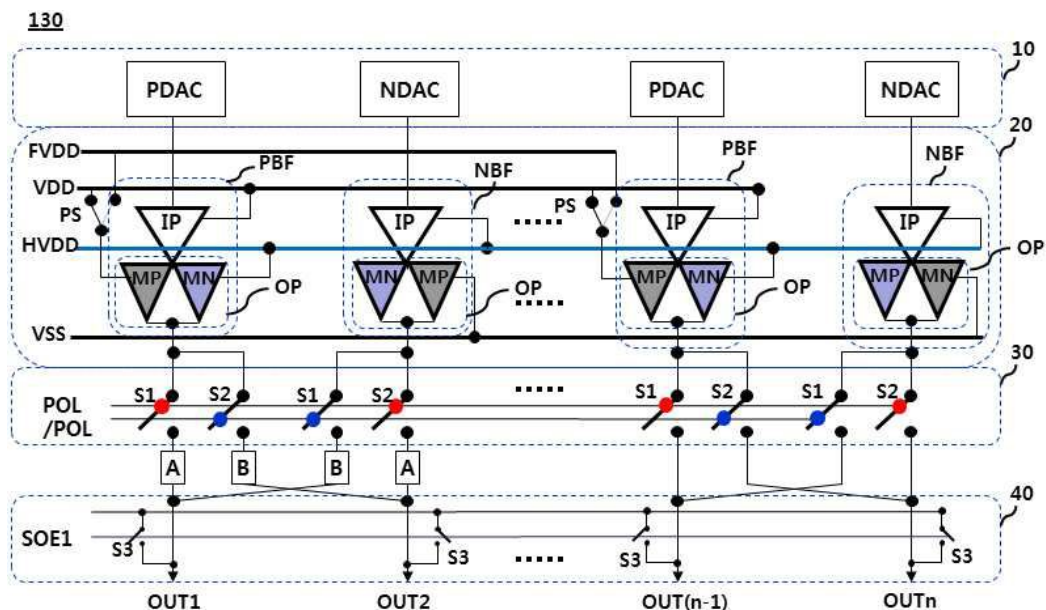
[0068] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

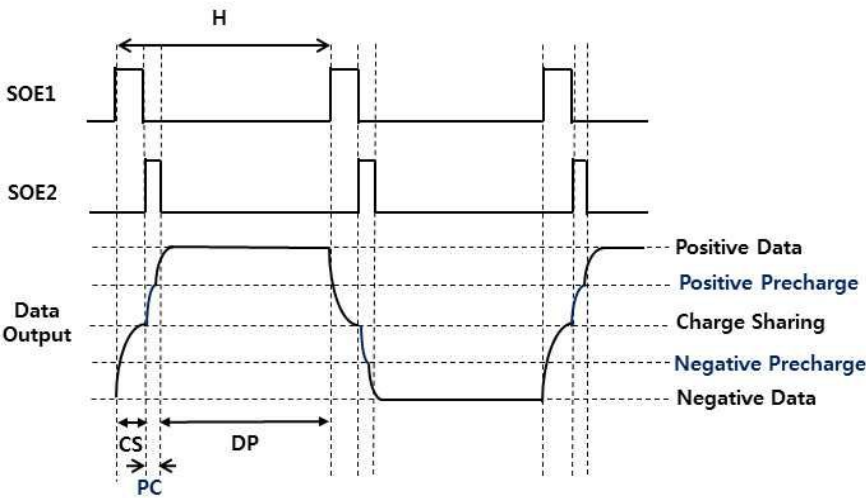
[0069] 10: DAC부	20: 출력 버퍼부
30: MUX	40: 차지 웨어링부
IP: 입력 증폭부	OP: 출력부
PDAC: 포지티브 DAC	NDAC: 네거티브 DAC
PBF: 포지티브 출력 버퍼	NBF: 네거티브 출력 버퍼
PS: 전원 스위치	26: 제어 스위치부
28: 모드 제어부	SW_ENB: 제1 제어 스위치
SWP1: 제2 제어 스위치	SWN1: 제2 제어 스위치
MP1: 제1 출력 트랜지스터	MN1: 제2 출력 트랜지스터

도면

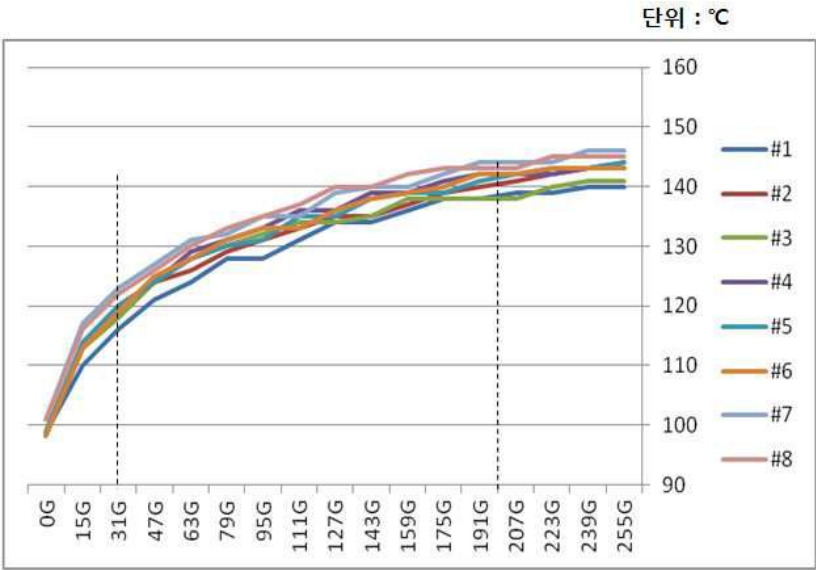
도면1



도면2

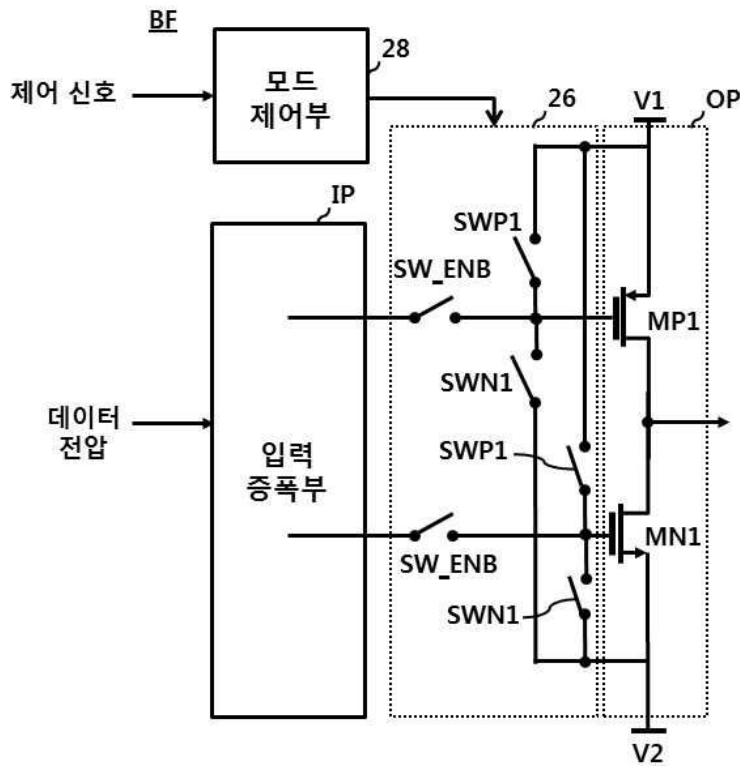


도면3

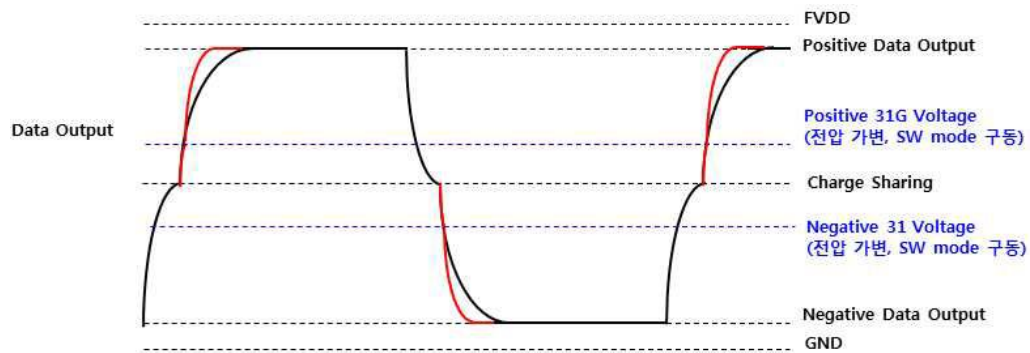


<55" 120Hz Solid Gray 별 온도차이(Charge Share 적용)>

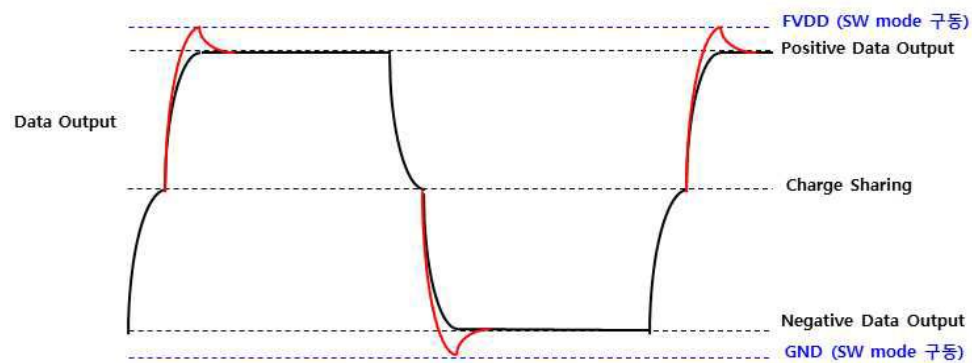
도면4



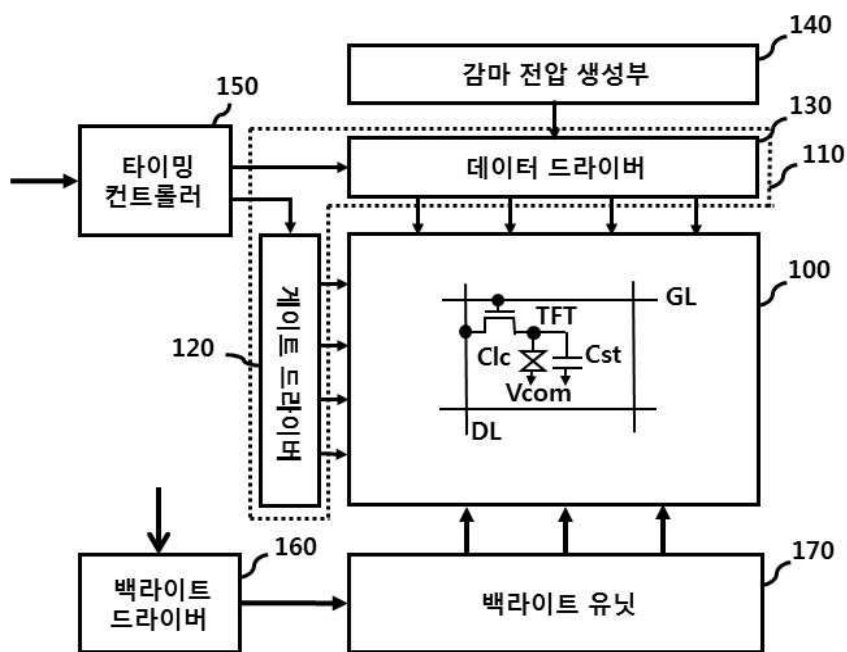
도면5



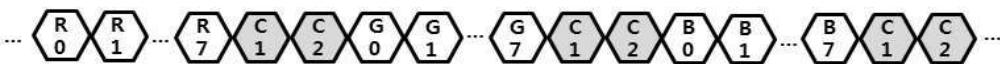
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2, 15째줄

【변경전】

~~ 상기 제1 출력 트랜지스터의 ~~

【변경후】

~~ 상기 제1 출력 트랜지스터의 ~~

专利名称(译)	液晶显示装置		
公开(公告)号	KR102034061B1	公开(公告)日	2019-11-08
申请号	KR1020130076157	申请日	2013-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박성곤 이주홍 민웅기 박윤산		
发明人	박성곤 이주홍 민웅기 박윤산		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3688 G09G2310/0248 G09G2310/0291 G09G2330/021 G09G3/3696		
代理人(译)	Bakyoungbok		
审查员(译)	朴贞根		
其他公开文献	KR1020150002390A		
外部链接	Espacenet		

摘要(译)

用于液晶显示装置的数据驱动装置包括：输出缓冲器，用于缓冲和输出从数模转换器输入的数据电压；其中，输出缓冲器包括：用于放大和输出与数据电压成比例的电流的输入放大器；输出器。用于使用与来自输入放大器的输出电流成比例的充电和放电电流将与输入数据电压相对应的数据电压提供给输出通道的控制开关单元，连接在输入放大器和输出器之间，用于以切换模式驱动输出器用于在输出器输出数据电压的数据提供时段之前的预充电时段中对输出通道进行预充电，以及模式控制器，用于响应于输入控制信号来控制控制开关单元。

