



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0138075
(43) 공개일자 2017년12월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2310/0286 (2013.01)

(21) 출원번호 10-2017-7021417

(22) 출원일자(국제) 2015년01월12일

심사청구일자 2017년07월28일

(85) 번역문제출일자 2017년07월28일

(86) 국제출원번호 PCT/CN2015/070517

(87) 국제공개번호 WO 2016/106823

국제공개일자 2016년07월07일

(30) 우선권주장

201410850940.X 2014년12월30일 중국(CN)

(71) 출원인

센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드

중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2

(72) 발명자

하오 스쿰

중국 518132 광둥 센젠 시티 광밍 뉴 디스트릭트 탕밍 로드 넘버 9-2

(74) 대리인

박소현

전체 청구항 수 : 총 10 항

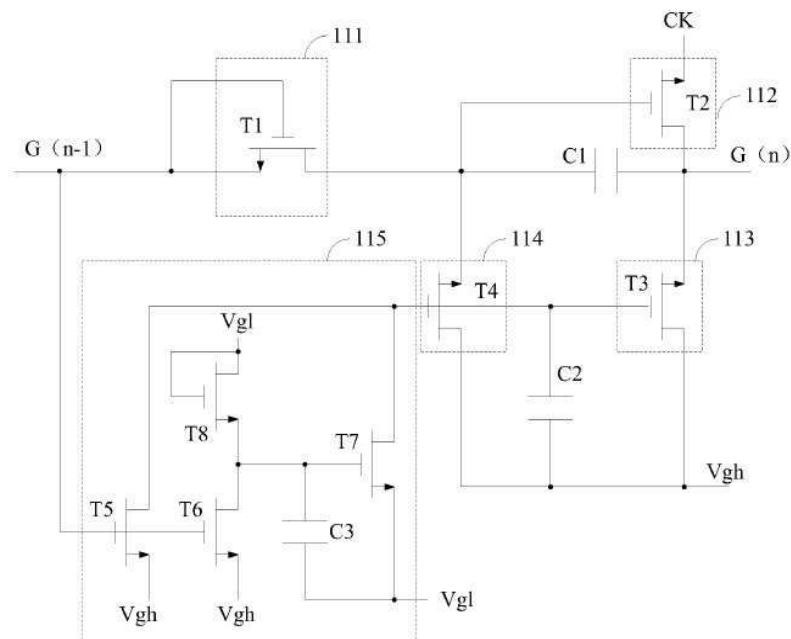
(54) 발명의 명칭 액정 디스플레이 장치 및 그 게이트 드라이버

(57) 요약

본 발명은 액정 디스플레이 장치(20) 및 그 게이트 드라이버(10)에 관한 것이다. 상기 게이트 드라이버(10)는 다수의 시프트 레지스터 회로를 포함하고(11), 다수의 시프트 레지스터 회로(11)는 직렬 연결 방식으로 캐스케이딩하며, 각 하나의 시프트 레지스터 회로(11)는 제1 풀-업 회로(111), 제2 풀-업 회로(112), 제1 풀-다운 회로

(뒷면에 계속)

대표도 - 도2



(113), 제2 풀-다운 회로(114) 및 풀-다운 제어 회로(115)를 포함하고, 제1 풀-업 회로(111)와 제2 풀-업 회로(112)는 이전의 게이트 구동 신호($G(n-1)$)와 게이트 구동 신호 출력단($G(n)$) 사이에 직렬 연결되며, 제1 풀-다운 회로(113), 제2 풀-다운 회로(114) 및 풀-다운 제어 회로(115)는 제1 풀-업 회로(111) 및 제2 풀-업 회로(112)와 병렬 연결되고, 풀-다운 제어 회로(115)는 이전의 게이트 구동 신호($G(n-1)$), 제1 풀-다운 회로(113), 제2 풀-다운 회로(114), 제1 레벨(V_{gh}) 및 제2 레벨(V_{gl})에 커플링되며, 풀-다운 제어 회로(115)는 이전의 게이트 구동 신호($G(n-1)$)에 따라 제1 풀-다운 회로(113) 및 제2 풀-다운 회로(114)를 제어한다. 상기 방식은 CMOS 프로세스에 적용할 수 있고, 또한 회로 안정성을 증가시킨다.

(52) CPC특허분류

G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

다수의 시프트 레지스터 회로를 포함하되, 상기 다수의 시프트 레지스터 회로는 직렬 연결 방식으로 캐스캐이딩 하며, 각 하나의 상기 시프트 레지스터 회로는 제1 풀-업 회로, 제2 풀-업 회로, 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로를 포함하고, 상기 제1 풀-업 회로와 상기 제2 풀-업 회로는 이전의 게이트 구동 신호와 게이트 구동 신호 출력단 사이에 직렬 연결되며, 상기 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로는 상기 제1 풀-업 회로 및 상기 제2 풀-업 회로와 병렬 연결되고, 상기 풀-다운 제어 회로는 상기 이전의 게이트 구동 신호, 상기 제1 풀-다운 회로, 상기 제2 풀-다운 회로, 제1 레벨 및 제2 레벨에 커플링되며, 상기 풀-다운 제어 회로는 상기 이전의 게이트 구동 신호에 따라 상기 제1 풀-다운 회로와 상기 제2 풀-다운 회로를 제어하는 것을 특징으로 하는 게이트 드라이버.

청구항 2

제 1항에 있어서,

상기 시프트 레지스터 회로는 제1 커패시턴스 및 제2 커패시턴스를 더 포함하고;

상기 제1 풀-업 회로는 제1 트랜지스터를 포함하며, 상기 제1 트랜지스터의 게이트 및 소스 전극은 이전의 게이트 구동 신호와 연결되고;

상기 제2 풀-업 회로는 제2 트랜지스터를 포함하고, 상기 제2 트랜지스터의 게이트는 상기 제1 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 제1 클록 신호와 연결되고, 드레인 전극은 게이트 구동 신호 출력단과 연결되며;

상기 제1 커패시턴스는 상기 제2 트랜지스터의 드레인 전극과 게이트 사이에 위치하고;

상기 제1 풀-다운 회로는 제3 트랜지스터를 포함하며, 상기 제3 트랜지스터의 소스 전극은 상기 게이트 구동 신호 출력단과 연결되고, 드레인 전극은 상기 제1 레벨과 연결되며;

상기 제2 풀-다운 회로는 제4 트랜지스터를 포함하고, 상기 제4 트랜지스터의 소스 전극은 상기 제1 트랜지스터의 드레인 전극과 연결되며, 드레인 전극은 상기 제1 레벨과 연결되며;

상기 제2 커패시턴스의 일단은 상기 제1 레벨과 연결되고, 상기 제2 커패시턴스의 타단은 상기 제3 트랜지스터의 게이트 및 상기 제4 트랜지스터의 게이트와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 3

제 2항에 있어서,

상기 풀-다운 제어 회로는 제5 트랜지스터를 포함하고, 상기 제5 트랜지스터의 게이트는 상기 이전의 게이트 구동 신호와 연결되며, 소스 전극은 상기 제1 레벨과 연결되고, 드레인 전극은 상기 제3 트랜지스터의 게이트 및 상기 제4 트랜지스터의 게이트와 연결되며;

제6 트랜지스터에 있어서, 상기 제6 트랜지스터의 게이트는 상기 이전의 게이트 구동 신호와 연결되며, 소스 전극은 상기 제1 레벨과 연결되고;

제7 트랜지스터에 있어서, 상기 제7 트랜지스터의 게이트는 상기 제6 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 상기 제2 레벨과 연결되고, 드레인 전극은 상기 제5 트랜지스터의 드레인 전극과 연결되며;

제3 커패시턴스에 있어서, 상기 제3 커패시턴스는 상기 제7 트랜지스터의 소스 전극과 게이트 사이에 연결되고;

제8 트랜지스터에 있어서, 상기 제8 트랜지스터의 게이트와 드레인 전극은 상기 제2 레벨과 연결되며, 소스 전

극은 상기 제6 트랜지스터의 드레인 전극과 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 4

제 3항에 있어서,

상기 제1 레벨은 하이 레벨이고, 상기 제2 레벨은 로우 레벨인 것을 특징으로 하는 게이트 드라이버.

청구항 5

제 4항에 있어서,

상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터는 모두 P형 MOS 트랜지스터인 것을 특징으로 하는 게이트 드라이버.

청구항 6

액정 디스플레이 패널 및 게이트 드라이버를 포함하되, 상기 게이트 드라이버는 상기 액정 디스플레이 패널과 연결되며, 상기 액정 디스플레이 패널에 스캐닝 구동 신호를 제공하기 위한 것이고, 상기 게이트 드라이버는 다수의 시프트 레지스터 회로를 포함하고, 상기 다수의 시프트 레지스터 회로는 직렬 연결 방식으로 캐스캐이딩하며, 각 하나의 상기 시프트 레지스터 회로는 제1 풀-업 회로, 제2 풀-업 회로, 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로를 포함하고, 상기 제1 풀-업 회로와 상기 제2 풀-업 회로는 이전의 게이트 구동 신호와 게이트 구동 신호 출력단 사이에 직렬 연결되며, 상기 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로는 상기 제1 풀-업 회로 및 상기 제2 풀-업 회로와 병렬 연결되고, 상기 풀-다운 제어 회로는 상기 이전의 게이트 구동 신호, 상기 제1 풀-다운 회로, 상기 제2 풀-다운 회로, 제1 레벨 및 제2 레벨에 커플링되며, 상기 풀-다운 제어 회로는 상기 이전의 게이트 구동 신호에 따라 상기 제1 풀-다운 회로와 상기 제2 풀-다운 회로를 제어하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 7

제 6항에 있어서,

상기 시프트 레지스터 회로는 제1 커패시턴스 및 제2 커패시턴스를 더 포함하고;

상기 제1 풀-업 회로는 제1 트랜지스터를 포함하며, 상기 제1 트랜지스터의 게이트 및 소스 전극은 이전의 게이트 구동 신호와 연결되고;

상기 제2 풀-업 회로는 제2 트랜지스터를 포함하고, 상기 제2 트랜지스터의 게이트는 상기 제1 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 제1 클록 신호와 연결되고, 드레인 전극은 게이트 구동 신호 출력단과 연결되며;

상기 제1 커패시턴스는 상기 제2 트랜지스터의 드레인 전극과 게이트 사이에 위치하고;

상기 제1 풀-다운 회로는 제3 트랜지스터를 포함하며, 상기 제3 트랜지스터의 소스 전극은 상기 게이트 구동 신호 출력단과 연결되고, 드레인 전극은 상기 제1 레벨과 연결되며;

상기 제2 풀-다운 회로는 제4 트랜지스터를 포함하고, 상기 제4 트랜지스터의 소스 전극은 상기 제1 트랜지스터의 드레인 전극과 연결되며, 드레인 전극은 상기 제1 레벨과 연결되며;

상기 제2 커패시턴스의 일단은 상기 제1 레벨과 연결되고, 상기 제2 커패시턴스의 타단은 상기 제3 트랜지스터의 게이트 및 상기 제4 트랜지스터의 게이트와 연결되는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 8

제 7항에 있어서,

상기 풀-다운 제어 회로는 제5 트랜지스터를 포함하고,

상기 제5 트랜지스터의 게이트는 상기 이전의 게이트 구동 신호와 연결되며, 소스 전극은 상기 제1 레벨과 연결되고, 드레인 전극은 상기 제3 트랜지스터의 게이트 및 상기 제4 트랜지스터의 게이트와 연결되며;

제6 트랜지스터에 있어서, 상기 제6 트랜지스터의 게이트는 상기 이전의 게이트 구동 신호와 연결되며, 소스 전극은 상기 제1 레벨과 연결되고;

제7 트랜지스터에 있어서, 상기 제7 트랜지스터의 게이트는 상기 제6 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 상기 제2 레벨과 연결되고, 드레인 전극은 상기 제5 트랜지스터의 드레인 전극과 연결되며;

제3 커패시턴스에 있어서, 상기 제3 커패시턴스는 상기 제7 트랜지스터의 소스 전극과 게이트 사이에 연결되고;

제8 트랜지스터에 있어서, 상기 제8 트랜지스터의 게이트와 드레인 전극은 상기 제2 레벨과 연결되며, 소스 전극은 상기 제6 트랜지스터의 드레인 전극과 연결되는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 9

제 8항에 있어서,

상기 제1 레벨은 하이 레벨이고, 상기 제2 레벨은 로우 레벨인 것을 특징으로 하는 액정 디스플레이 장치.

청구항 10

제 9항에 있어서,

상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터는 모두 P형 MOS 트랜지스터인 것을 특징으로 하는 액정 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술 분야에 관한 것으로서, 특히는 액정 디스플레이 장치 및 그 게이트 드라이버에 관한 것이다.

배경 기술

[0002] GOA(Gate Driver On Array) 회로는 기존의 액정 디스플레이를 이용하는 Array 프로세스가 게이트 스캐닝 구동 회로를 Array 기판에 제조하여, 순차 주사 방식을 실현하는 구동 방식이다. 이는 생산 원가를 감소하고 슬림한 프레임으로 설계되는 장점을 구비하며, 여러가지 디스플레이에 사용된다. GOA 회로는 두가지 기본적인 기능을 구비해야 하는 바, 첫번째는 게이트 구동 신호를 입력하고, 패널 내의 게이트 라인을 구동하며, 디스플레이 영역 내의 TFT(Thin Film Transistor, 박막 트랜지스터)를 열고, 게이트 라인으로 픽셀을 충전하며; 두번째는 시프트 레지스터이고, 제n 개 게이트 구동 신호가 출력 완성 후, 클록 제어를 통해 n+1개 게이트 구동 신호의 출력을 진행할 수 있으며, 이에 따라 전달한다.

[0003] GOA 회로는 풀-업 회로(Pull-up circuit), 풀-업 제어 회로(Pull-up control circuit), 풀-다운 회로(Pull-down circuit), 풀-다운 제어 회로(Pull-down control circuit) 및 전위의 부스팅을 책임지는 부스트 회로(Boost circuit)를 포함한다. 구체적으로, 풀-업 회로는 입력된 클록 신호(Clock)를 박막 트랜지스터의 게이트에 출력하는 것을 주요하게 책임지고, 액정 디스플레이의 구동 신호로 한다. 풀-업 회로는 풀-업 회로의 열림을 제어하는 것을 책임지고, 일반적으로 이전의 GOA 회로로써 신호를 전달하는 작용을 한다. 풀-다운 회로는 스캐

닝 신호를 출력한 후, 스캐닝 신호를 저전위로 풀-다운하는 것을 책임지고, 즉 박막 트랜지스터의 게이트의 전위는 저전위로 풀-다운된다. 풀-다운 유지 회로는 스캐닝 신호와 풀-업 회로의 신호(통상적으로 Q점이라고 함)를 단기 상태(즉 설정한 음전위)로 유지하는 것을 책임지고, 통상적으로 두 개의 풀-다운 유지 회로는 교대로 작용한다. 부스트 회로는 Q점의 2차 부스팅을 책임지고, 이로써 풀-업 회로의 G(N) 정상 출력을 확보한다.

[0004] 상이한 GOA 회로는 상이한 프로세스를 사용할 수 있다. LTPS(Low Temperature Poly-silicon, 저온 폴리실리콘) 프로세스는 고전자 이동도와 기술 원숙의 장점을 구비하며, 현재 중소 크기의 디스플레이에 광범하게 사용된다. CMOS(Complementary Metal Oxide Semiconductor, 상보형 금속산화 반도체) LTPS프로세스는 낮은 전력 소비, 높은 전자 이동도, 잡음 여유폭이 넓은 등 장점을 구비하기에, 점차적으로 패널 업체에서 사용되며, 이로써 CMOS LTPS프로세스와 대응되는 GOA 회로를 개발할 필요가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 액정 디스플레이 장치 및 그 게이트 드라이버를 제공하였고, 이는 CMOS 프로세스에 적용되며, 또한 회로 안정성을 증가시킨다.

과제의 해결 수단

[0006] 본 발명은 게이트 드라이버를 제공하는 바, 이는 다수의 시프트 레지스터 회로를 포함하고, 다수의 시프트 레지스터 회로는 직렬 연결 방식으로 캐스캐이딩하며, 각 하나의 시프트 레지스터 회로는 제1 풀-업 회로, 제2 풀-업 회로, 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로를 포함하고, 제1 풀-업 회로와 제2 풀-업 회로는 이전의 게이트 구동 신호와 게이트 구동 신호 출력단 사이에 직렬 연결되며, 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로는 제1 풀-업 회로 및 제2 풀-업 회로와 병렬 연결되고, 풀-다운 제어 회로는 이전의 게이트 구동 신호, 제1 풀-다운 회로, 제2 풀-다운 회로, 제1 레벨 및 제2 레벨에 커플링되며, 풀-다운 제어 회로는 이전의 게이트 구동 신호에 따라 제1 풀-다운 회로와 제2 풀-다운 회로를 제어한다.

[0007] 여기서, 시프트 레지스터 회로는 제1 커패시턴스 및 제2 커패시턴스를 더 포함하고; 제1 풀-업 회로는 제1 트랜지스터를 포함하며, 제1 트랜지스터의 게이트 및 소스 전극은 이전의 게이트 구동 신호와 연결되고; 제2 풀-업 회로는 제2 트랜지스터를 포함하고, 제2 트랜지스터의 게이트는 제1 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 제1 클럭 신호와 연결되고, 드레인 전극은 게이트 구동 신호 출력단과 연결되며; 제1 커패시턴스는 제2 트랜지스터의 드레인 전극과 게이트 사이에 위치하고; 제1 풀-다운 회로는 제3 트랜지스터를 포함하며, 제3 트랜지스터의 소스 전극은 게이트 구동 신호 출력단과 연결되고, 드레인 전극은 제1 레벨과 연결되며; 제2 풀-다운 회로는 제4 트랜지스터를 포함하고, 제4 트랜지스터의 소스 전극은 제1 트랜지스터의 드레인 전극과 연결되며, 드레인 전극은 제1 레벨과 연결되며; 제2 커패시턴스의 일단은 제1 레벨과 연결되고, 제2 커패시턴스의 타단은 제3 트랜지스터의 게이트 및 제4 트랜지스터의 게이트와 연결된다.

[0008] 여기서, 풀-다운 제어 회로는 제5 트랜지스터를 포함하고, 제5 트랜지스터의 게이트는 이전의 게이트 구동 신호와 연결되며, 소스 전극은 제1 레벨과 연결되고, 드레인 전극은 제3 트랜지스터의 게이트 및 제4 트랜지스터의 게이트와 연결되며; 제6 트랜지스터에 있어서, 제6 트랜지스터의 게이트는 이전의 게이트 구동 신호와 연결되며, 소스 전극은 제1 레벨과 연결되고; 제7 트랜지스터에 있어서, 제7 트랜지스터의 게이트는 제6 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 제2 레벨과 연결되고, 드레인 전극은 제5 트랜지스터의 드레인 전극과 연결되며; 제3 커패시턴스, 제3 커패시턴스는 제7 트랜지스터의 소스 전극과 게이트 사이에 연결되고; 제8 트랜지스터에 있어서, 제8 트랜지스터의 게이트와 드레인 전극은 제2 레벨과 연결되며, 소스 전극은 제6 트랜지스터의 드레인 전극과 연결된다.

[0009] 여기서, 제1 레벨은 하이 레벨이고, 제2 레벨은 로우 레벨이다.

[0010] 여기서, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터는 모두 P형 MOS 트랜지스터이다.

[0011] 본 발명은 액정 디스플레이 장치를 더 제공하는 바, 이는 액정 디스플레이 패널 및 게이트 드라이버를 포함하고, 게이트 드라이버는 액정 디스플레이 패널과 연결되며, 액정 디스플레이 패널에 스캐닝 구동 신호를 제공하기 위한 것이고, 게이트 드라이버는 다수의 시프트 레지스터 회로를 포함하고, 다수의 시프트 레지스터 회로는 직렬 연결 방식으로 캐스캐이딩하며, 각 하나의 시프트 레지스터 회로는 제1 풀-업 회로, 제2 풀-업 회

로, 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로를 포함하고, 제1 풀-업 회로와 제2 풀-업 회로는 이전의 게이트 구동 신호와 게이트 구동 신호 출력단 사이에 직렬 연결되며, 제1 풀-다운 회로, 제2 풀-다운 회로 및 풀-다운 제어 회로는 제1 풀-업 회로 및 제2 풀-업 회로와 병렬 연결되고, 풀-다운 제어 회로는 이전의 게이트 구동 신호, 제1 풀-다운 회로, 제2 풀-다운 회로, 제1 레벨 및 제2 레벨에 커플링되며, 풀-다운 제어 회로는 이전의 게이트 구동 신호에 따라 제1 풀-다운 회로와 제2 풀-다운 회로를 제어한다.

[0012] 여기서, 시프트 레지스터 회로는 제1 커패시턴스 및 제2 커패시턴스를 더 포함하고; 제1 풀-업 회로는 제1 트랜지스터를 포함하며, 제1 트랜지스터의 게이트 및 소스 전극은 이전의 게이트 구동 신호와 연결되고; 제2 풀-업 회로는 제2 트랜지스터를 포함하고, 제2 트랜지스터의 게이트는 제1 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 제1 클록 신호와 연결되고, 드레인 전극은 게이트 구동 신호 출력단과 연결되며; 제1 커패시턴스는 제2 트랜지스터의 드레인 전극과 게이트 사이에 위치하고; 제1 풀-다운 회로는 제3 트랜지스터를 포함하며, 제3 트랜지스터의 소스 전극은 게이트 구동 신호 출력단과 연결되고, 드레인 전극은 제1 레벨과 연결되며; 제2 풀-다운 회로는 제4 트랜지스터를 포함하고, 제4 트랜지스터의 소스 전극은 제1 트랜지스터의 드레인 전극과 연결되며, 드레인 전극은 제1 레벨과 연결되며; 제2 커패시턴스의 일단은 제1 레벨과 연결되고, 제2 커패시턴스의 타단은 제3 트랜지스터의 게이트 및 제4 트랜지스터의 게이트와 연결된다.

[0013] 여기서, 풀-다운 제어 회로는 제5 트랜지스터를 포함하고, 제5 트랜지스터의 게이트는 이전의 게이트 구동 신호와 연결되며, 소스 전극은 제1 레벨과 연결되고, 드레인 전극은 제3 트랜지스터의 게이트 및 제4 트랜지스터의 게이트와 연결되며; 제6 트랜지스터에 있어서, 제6 트랜지스터의 게이트는 이전의 게이트 구동 신호와 연결되며, 소스 전극은 제1 레벨과 연결되고; 제7 트랜지스터에 있어서, 제7 트랜지스터의 게이트는 제6 트랜지스터의 드레인 전극과 연결되며, 소스 전극은 제2 레벨과 연결되고, 드레인 전극은 제5 트랜지스터의 드레인 전극과 연결되며; 제3 커패시턴스에 있어서, 제3 커패시턴스는 제7 트랜지스터의 소스 전극과 게이트 사이에 연결되고; 제8 트랜지스터에 있어서, 제8 트랜지스터의 게이트는 드레인 전극 및 제2 레벨과 연결되며, 소스 전극은 제6 트랜지스터의 드레인 전극과 연결된다.

[0014] 여기서, 제1 레벨은 하이 레벨이고, 제2 레벨은 로우 레벨이다.

[0015] 여기서, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터는 모두 P형 MOS 트랜지스터이다.

발명의 효과

[0016] 상기 방안을 통해, 본 발명의 유익한 효과는 하기와 같다.

[0017] 본 발명의 풀-다운 제어 회로는 이전의 게이트 구동 신호, 제1 풀-다운 회로, 제2 풀-다운 회로, 제1 레벨 및 제2 레벨에 커플링되며, 풀-다운 제어 회로는 이전의 게이트 구동 신호에 따라 제1 풀-다운 회로 및 제2 풀-다운 회로를 제어하고, CMOS 프로세스에 적용되며, 또한 회로 안정성을 증가시킨다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예의 게이트 드라이버의 구조도이다.

도 2는 도 1에 도시된 시프트 레지스터 회로의 회로도이다.

도 3은 도 1에 도시된 게이트 드라이버의 시뮬레이션 시퀀스도이다.

도 4는 본 발명의 일 실시예의 액정 디스플레이 장치의 구조도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 도면과 실시예를 참조하여 본 발명을 상세하게 설명하도록 한다.

[0020] 도 1을 참조하면, 도 1은 본 발명의 일 실시예의 게이트 드라이버의 구조도이다. 도 1에 도시된 바와 같이, 본 실시예에 게시된 게이트 드라이버(10)는 다수의 시프트 레지스터 회로(11)를 포함하고, 다수의 시프트 레지스터 회로(11)는 직렬 연결 방식으로 캐스캐이딩한다.

[0021] 도 2에 도시된 바와 같이, 시프트 레지스터 회로(11)는 제1 풀-업 회로(111), 제2 풀-업 회로(112), 제1 풀-다운 회로(113), 제2 풀-다운 회로(114), 풀-다운 제어 회로(115), 제1 커패시턴스(C1), 제2 커패시턴스(C2) 및 제3 커패시턴스(C3)를 포함한다. 여기서, 제1 풀-업 회로(111)와 제2 풀-업 회로(112)는 이전의 게이트 구동 신

호($G(n-1)$)와 게이트 구동 신호 출력단($G(n)$) 사이에 직렬 연결되고, 제1 풀-다운 회로(113), 제2 풀-다운 회로(114) 및 풀-다운 제어 회로(115)는 제1 풀-업 회로(111) 및 제2 풀-업 회로(112)와 병렬 연결되며, 풀-다운 제어 회로(115)는 이전의 게이트 구동 신호($G(n-1)$), 제1 풀-다운 회로(113), 제2 풀-다운 회로(114), 제1 레벨(V_{gh}) 및 제2 레벨(V_{gl})에 커플링되고, 풀-다운 제어 회로(115)는 이전의 게이트 구동 신호($G(n-1)$)에 따라 제1 풀-다운 회로(113) 및 제2 풀-다운 회로(114)를 제어한다.

[0022] 여기서, 제1 풀-업 회로(111)는 제1 트랜지스터(T_1)를 포함하고, 제1 트랜지스터(T_1)의 게이트와 소스 전극은 이전의 게이트 구동 신호($G(n-1)$)와 연결되며; 제2 풀-업 회로(112)는 제2 트랜지스터(T_2)를 포함하고, 제2 트랜지스터(T_2)의 게이트는 제1 트랜지스터(T_1)의 드레인 전극과 연결되며, 제2 트랜지스터(T_2)의 소스 전극은 제1 클록 신호(CK)와 연결되고, 제2 트랜지스터(T_2)의 드레인 전극은 게이트 구동 신호 출력단($G(n)$)과 연결되며, 제1 커패시턴스(C_1)는 제2 트랜지스터(T_2)의 게이트와 드레인 전극 사이에 연결되고; 제1 풀-다운 회로(113)는 제3 트랜지스터(T_3)를 포함하며, 제3 트랜지스터(T_3)의 소스 전극은 게이트 구동 신호 출력단($G(n)$)과 연결되고, 제3 트랜지스터(T_3)의 드레인 전극은 제1 레벨(V_{gh})과 연결되며; 제2 풀-다운 회로(114)는 제4 트랜지스터(T_4)를 포함하고, 제4 트랜지스터(T_4)의 소스 전극은 제1 트랜지스터(T_1)의 드레인 전극과 연결되며, 제4 트랜지스터(T_4)의 드레인 전극은 제1 레벨(V_{gh})과 연결되고; 제2 커패시턴스(C_2)의 일단은 제1 레벨(V_{gh})과 연결되며, 제2 커패시턴스(C_2)의 타단은 제3 트랜지스터(T_3)의 게이트 및 제4 트랜지스터(T_4)의 게이트와 연결되고; 풀-다운 제어 회로(115)는 이전의 게이트 구동 신호($G(n-1)$), 제3 트랜지스터(T_3)의 게이트, 제4 트랜지스터(T_4)의 게이트, 제1 레벨(V_{gh}) 및 제2 레벨(V_{gl})에 커플링되며, 풀-다운 제어 회로(115)는 이전의 게이트 구동 신호($G(n-1)$)에 따라 제3 트랜지스터(T_3) 및 제4 트랜지스터(T_4)가 작동하도록 제어하는 바, 즉 제3 트랜지스터(T_3) 및 제4 트랜지스터(T_4)의 도통 또는 차단을 제어한다.

[0023] 여기서, 풀-다운 제어 회로(115)는 제5 트랜지스터(T_5), 제6 트랜지스터(T_6), 제7 트랜지스터(T_7) 및 제8 트랜지스터(T_8)를 포함한다. 제5 트랜지스터(T_5)의 게이트는 이전의 게이트 구동 신호($G(n-1)$)와 연결되고, 제5 트랜지스터(T_5)의 소스 전극은 제1 레벨(V_{gh})과 연결되며, 제5 트랜지스터(T_5)의 드레인 전극은 제3 트랜지스터(T_3)의 게이트 및 제4 트랜지스터(T_4)의 게이트와 연결되고; 제6 트랜지스터(T_6)의 게이트는 이전의 게이트 구동 신호($G(n-1)$)와 연결되며, 제6 트랜지스터(T_6)의 소스 전극은 제1 레벨(V_{gh})과 연결되고; 제7 트랜지스터(T_7)의 게이트는 제6 트랜지스터(T_6)의 드레인 전극과 연결되며, 제7 트랜지스터(T_7)의 소스 전극은 제2 레벨(V_{gl})과 연결되고, 제7 트랜지스터(T_7)의 드레인 전극은 제5 트랜지스터(T_5)의 드레인 전극과 연결되며, 제3 커패시턴스(C_3)는 제7 트랜지스터(T_7)의 소스 전극과 게이트 사이에 연결되고; 제8 트랜지스터(T_8)의 게이트 및 드레인 전극은 제2 레벨(V_{gl})과 연결되며, 제8 트랜지스터(T_8)의 소스 전극은 제6 트랜지스터(T_6)의 드레인 전극과 연결된다.

[0024] 본 실시예에 있어서, 제1 레벨(V_{gh})은 바람직하게 하이 레벨이고, 제2 레벨(V_{gl})은 바람직하게 로우 레벨이다. 제1 트랜지스터(T_1), 제2 트랜지스터(T_2), 제3 트랜지스터(T_3), 제4 트랜지스터(T_4), 제5 트랜지스터(T_5), 제6 트랜지스터(T_6), 제7 트랜지스터(T_7) 및 제8 트랜지스터(T_8)는 모두 P형 MOS 트랜지스터이고, 기타 실시예에 있어서, 본 기술분야의 통상의 기술자는 상기 트랜지스터를 기타 장효과 트랜지스터로 설치할 수도 있는 바, 예를 들면 N형 MOS 트랜지스터이다.

[0025] 이하, 도 3에 도시된 시퀀스도를 결부하여 게이트 드라이버(10)의 작동 원리를 상세하게 설명한다.

[0026] 제1 시각(t_1)에서, 이전의 게이트 구동 신호($G(n-1)$)는 로우 레벨이고, 제1 트랜지스터(T_1)는 도통하며, 제1 클록 신호(CK)는 하이 레벨이고, 제2 트랜지스터(T_2)의 게이트는 로우 레벨이며, 제2 트랜지스터(T_2)는 도통하고; 제5 트랜지스터(T_5)와 제6 트랜지스터(T_6)는 모두 도통하며, 제7 트랜지스터(T_7)의 게이트와 제8 트랜지스터(T_8)의 소스 전극은 모두 하이 레벨이고, 제7 트랜지스터(T_7)는 끊기며, 제8 트랜지스터(T_8)는 도통하고; 제3 트랜지스터(T_3)의 게이트와 제4 트랜지스터(T_4)의 게이트는 모두 하이 레벨이고, 제3 트랜지스터(T_3)와 제4 트랜지스터(T_4)는 모두 끊긴다. 따라서, 게이트 구동 신호 출력단($G(n)$)이 출력하는 신호는 제1 클록 신호(CK)와 동일하고, 즉 게이트 구동 신호 출력단($G(n)$)이 출력하는 신호는 하이 레벨이다.

[0027] 제2 시각(t_2)에서, 이전의 게이트 구동 신호($G(n-1)$)는 로우 레벨로부터 하이 레벨로 변하고, 제1 트랜지스터(T_1)는 끊기며, 제1 클록 신호(CK)는 하이 레벨로부터 로우 레벨로 변하고, 제2 트랜지스터(T_2)는 도통하고; 제5 트랜지스터(T_5), 제6 트랜지스터(T_6), 제7 트랜지스터(T_7) 및 제8 트랜지스터(T_8)는 모두 끊기며, 제3 트랜지스터(T_3) 및 제4 트랜지스터(T_4)는 모두 끊긴다. 따라서, 게이트 구동 신호 출력단($G(n)$)이 출력하는 신호는 제1 클록 신호(CK)와 동일하고, 즉 게이트 구동 신호 출력단($G(n)$)이 출력하는 신호는 하이 레벨로부터 로우 레벨로 변한다.

- [0028] 제3 시각(t_3)에서, 이전의 게이트 구동 신호($G(n-1)$)는 하이 레벨이고, 제1 트랜지스터(T_1)는 끊기며, 제1 클록 신호(CK)는 로우 레벨이고, 제2 트랜지스터(T_2)는 도통하며; 제5 트랜지스터(T_5), 제6 트랜지스터(T_6), 제7 트랜지스터(T_7) 및 제8 트랜지스터(T_8)는 모두 끊기며, 제3 트랜지스터(T_3) 및 제4 트랜지스터(T_4)는 모두 끊긴다. 따라서, 게이트 구동 신호 출력단($G(n)$)이 출력하는 신호는 제1 클록 신호(CK)와 동일하고, 즉 게이트 구동 신호 출력단($G(n)$)이 출력하는 신호는 로우 레벨이다.
- [0029] 제4 시각(t_4), 이전의 게이트 구동 신호($G(n-1)$)는 하이 레벨이고, 제1 트랜지스터(T_1)는 끊기며, 제1 클록 신호(CK)는 로우 레벨로부터 하이 레벨로 변하고, 제2 트랜지스터(T_2)는 도통하며; 제5 트랜지스터(T_5) 및 제6 트랜지스터(T_6)는 끊기고, 제8 트랜지스터(T_8)는 도통하며, 제7 트랜지스터(T_7)는 도통하고, 제3 트랜지스터(T_3)의 게이트 및 제4 트랜지스터(T_4)의 게이트는 모두 로우 레벨이며, 제3 트랜지스터(T_3) 및 제4 트랜지스터(T_4)는 도통하고, 게이트 구동 신호 출력단($G(n)$)이 출력하는 신호는 지속적으로 하이 레벨이다.
- [0030] 본 실시예는 풀-다운 제어 회로(115)를 통해 이전의 게이트 구동 신호($G(n-1)$), 제3 트랜지스터(T_3)의 게이트, 제4 트랜지스터(T_4)의 게이트, 제1 레벨(V_{gh}) 및 제2 레벨(V_{g1})에 커플링되고, 풀-다운 제어 회로(115)는 이전의 게이트 구동 신호($G(n-1)$)에 따라 제3 트랜지스터(T_3) 및 제4 트랜지스터(T_4)를 제어하며, CMOS 프로세스에 적용되며, 또한 회로 안정성을 증가시키고, 클록 신호 갯수를 감소시킨다.
- [0031] 본 발명은 액정 디스플레이 장치를 더 제공하는 바, 도 4에 도시된 바와 같이, 본 실시예에 게시된 액정 디스플레이 장치(20)는 액정 디스플레이 패널(21) 및 게이트 드라이버(22)를 포함하고, 게이트 드라이버(22)는 액정 디스플레이 패널(21)과 연결되며, 또한 게이트 드라이버(22)는 액정 디스플레이 패널(21)에 스캐닝 구동 신호를 제공하기 위한 것이고, 상기 게이트 드라이버(22)는 상기 실시예에 게시된 게이트 드라이버(10)이며, 여기서 더 서술하지 않는다.
- [0032] 상기 내용을 종합해보면, 본 발명의 풀-다운 제어 회로는 이전의 게이트 구동 신호, 제3 트랜지스터의 게이트, 제4 트랜지스터의 게이트, 제1 레벨 및 제2 레벨에 커플링되고, 풀-다운 제어 회로는 이전의 게이트 구동 신호에 따라 제3 트랜지스터 및 제4 트랜지스터를 제어하고, CMOS 프로세스에 적용되며, 또한 회로 안정성을 증가시킨다.
- [0033] 상기의 서술은 단지 본 발명의 실시예로서, 본 발명의 특허범위를 한정하기 위한 것이 아니며, 본 발명의 명세서 및 도면을 이용하여 진행한 모든 동등한 구조 또는 동등한 과정 변화, 또는 직접적이거나 간접적으로 기타 관련 기술분야에서의 응용은 마찬가지로 전부 본 발명의 특허보호범위 내에 속한다.

도면

도면1

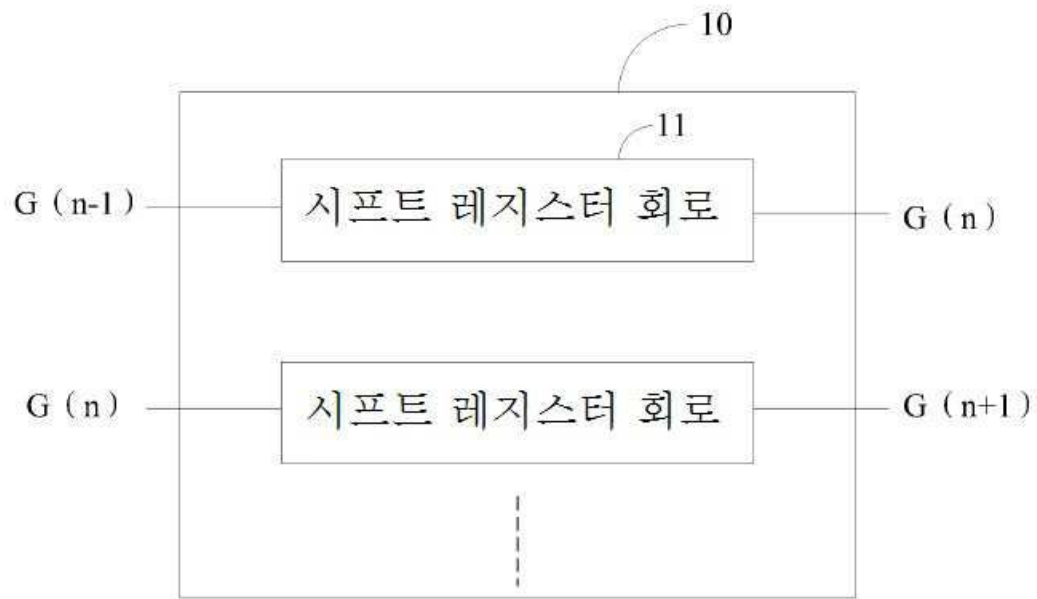
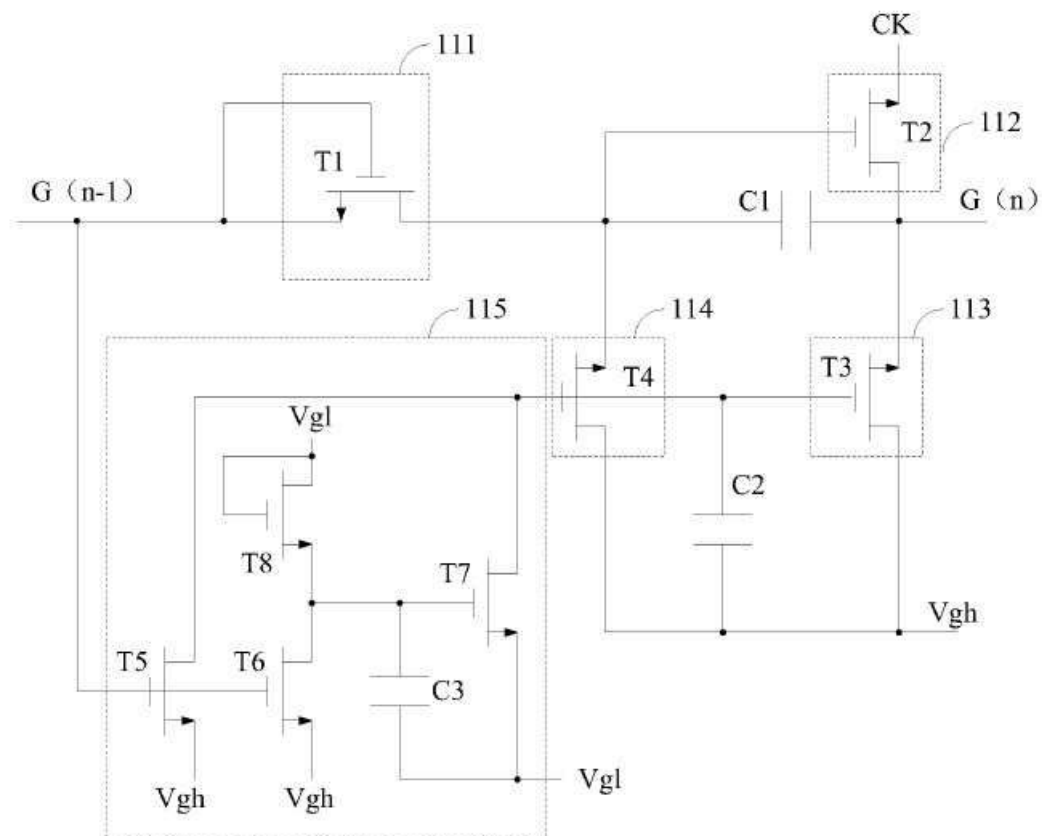
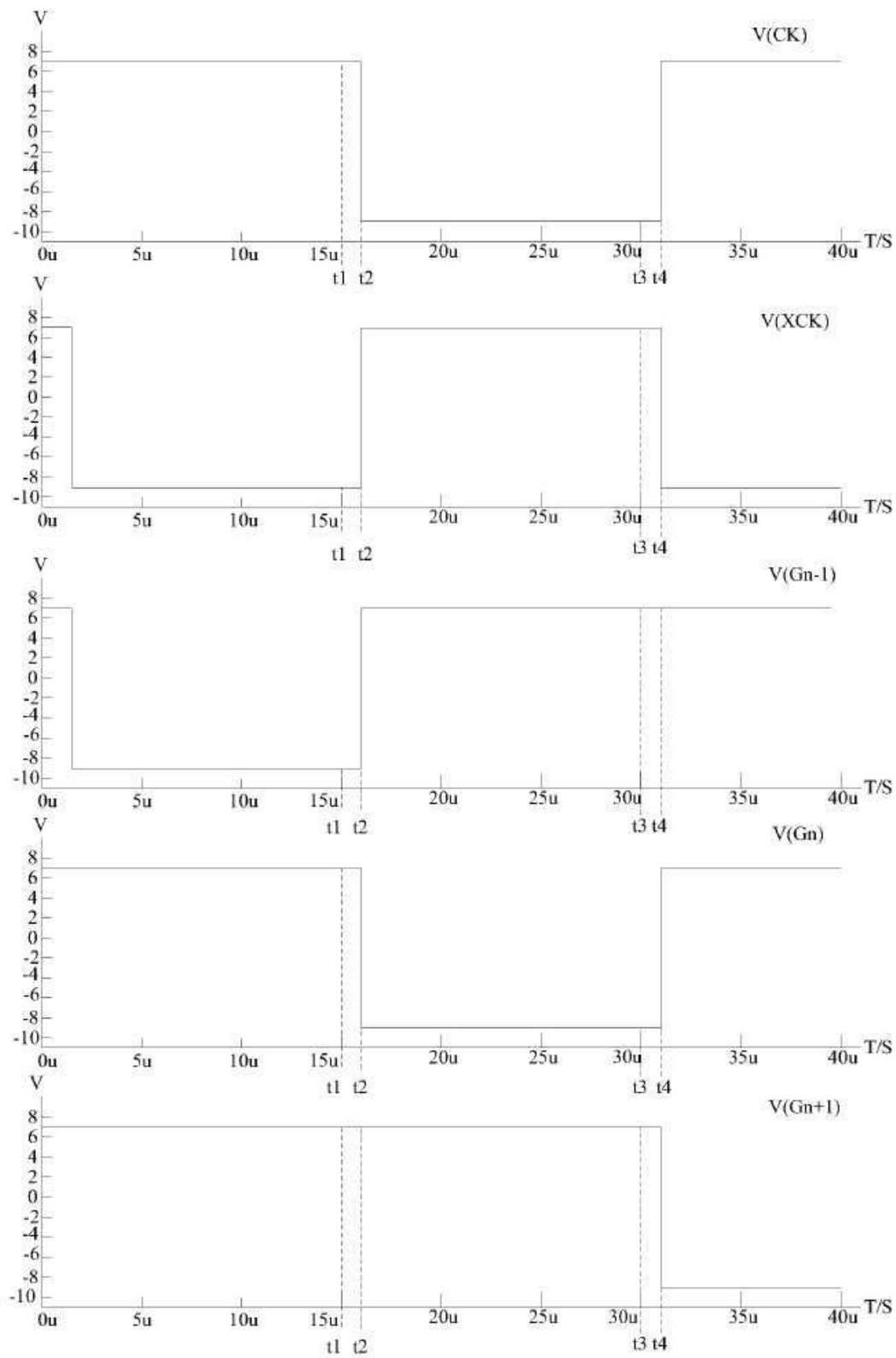


图 1

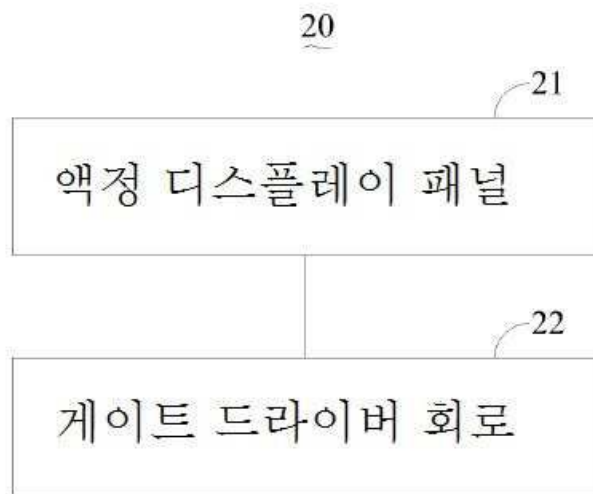
도면2



도면3



도면4



专利名称(译)	液晶显示装置及其栅极驱动器		
公开(公告)号	KR1020170138075A	公开(公告)日	2017-12-14
申请号	KR1020177021417	申请日	2015-01-12
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	HAO SIKUN 하오스쿤		
发明人	하오스쿤		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2310/0286 G09G2310/08		
代理人(译)	朴素贤		
优先权	201410850940.X 2014-12-30 CN		
其他公开文献	KR101989721B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其栅极驱动器技术领域本发明涉及液晶显示装置 (20) 及其栅极驱动器 (10)。栅极驱动器10包括多个移位寄存器电路11, 并且多个移位寄存器电路11以串联方式级联。每个移位寄存器电路11包括第一拉 - 下电路114和下拉控制电路112.第一下拉电路111, 第二上拉电路112, 第一下拉电路113, 第一上拉电路111和第二上拉电路112包括栅极驱动信号 $G(n)$ 和栅极驱动信号输出 $G(n)$ 第一下拉电路113, 第二下拉电路114和下拉控制电路115串联连接在第一上拉电路111和第二上拉电路之间。下控制电路115与电路112并联连接, 下拉控制电路115与先前的栅极驱动信号 $G(n-1)$, 即第一下拉电路113并联连接, 第一电平 (V_{gh}) 和第二电平 (V_{gl}), 以及下拉控制电路115根据前一栅极驱动信号 ($G(N-1)$), 所述第一下拉控制电路114下拉电路113和第二池。该方法适用于CMOS工艺并且还提高了电路稳定性。

