



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0104039
(43) 공개일자 2014년08월27일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)</p> <p>(21) 출원번호 10-2014-7019916(분할)</p> <p>(22) 출원일자(국제) 2010년11월26일
심사청구일자 없음</p> <p>(62) 원출원 특허 10-2012-7018791
원출원일자(국제) 2010년11월26일
심사청구일자 2013년10월04일</p> <p>(85) 번역문제출일자 2014년07월16일</p> <p>(86) 국제출원번호 PCT/JP2010/071623</p> <p>(87) 국제공개번호 WO 2011/077925
국제공개일자 2011년06월30일</p> <p>(30) 우선권주장
JP-P-2009-295608 2009년12월25일 일본(JP)</p> | <p>(71) 출원인
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자
미야케 히로유키
일본국 2430036 가나가와 아쓰기시 하세 398 가부
시킴가이샤 한도오따이 에네루기 켄큐쇼 내</p> <p>(74) 대리인
황의만</p> |
|---|--|

전체 청구항 수 : 총 7 항

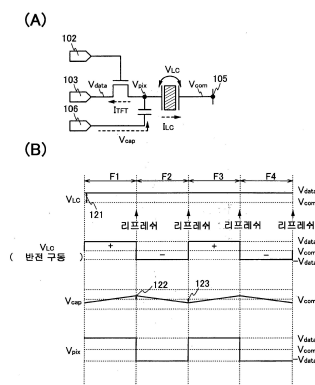
(54) 발명의 명칭 액정 표시 장치의 구동 방법

(57) 요약

본 발명은 정지화를 표시할 때에 리프레쉬 레이트를 저감하여도, 표시하는 화상의 열화를 억제하는 것을 과제의 하나로 한다.

화소 전극에 전기적으로 접속된 화소 트랜지스터와, 한쪽의 전극이 화소 전극에 전기적으로 접속되고, 다른 한쪽 전극이 용량선에 전기적으로 접속된 용량 소자를 갖고, 화소 전극에는, 화소 트랜지스터를 통전 상태로 하여 화상 신호에 기초한 전압이 공급되고, 그 후, 화소 트랜지스터를 비통전 상태로 하여 화상 신호에 기초한 전압의 유지를 행하는 유지 기간을 갖고, 화소 전극에서 화상 신호에 기초한 전압의 유지 기간에서의 변동에 따른 유지 신호를 용량선에 공급하여, 화소 전극의 전위를 일정하게 한다.

대표도 - 도2



특허청구의 범위

청구항 1

액정 표시 장치의 구동 방법에 있어서,
 화소 전극에 전기적으로 접속된 트랜지스터와,
 상기 화소 전극에 전기적으로 접속된 제 1 전극과 용량선에 전기적으로 접속된 제 2 전극을 포함하는 용량 소자를 갖고,
 상기 트랜지스터를 통전 상태로 하는 단계,
 상기 트랜지스터를 통해 상기 화소 전극에 전압을 공급하는 단계,
 트랜지스터를 비통전 상태로 하는 단계,
 상기 화소 전극의 상기 전압의 유지 기간 동안 상기 용량선의 전압이 바뀌는 단계를 포함하는, 액정 표시 장치의 구동 방법.

청구항 2

제 1 항에 있어서,
 상기 화소 전극의 전압의 유지 기간 동안 상기 화소 전극의 전압이 일정하도록 상기 용량선의 전압이 바뀌는, 액정 표시 장치의 구동 방법.

청구항 3

제 1 항에 있어서,
 상기 트랜지스터는 산화물 반도체인, 액정 표시 장치의 구동 방법.

청구항 4

제 1 항에 있어서,
 상기 화소 전극의 전압은 60초 이상 유지되는, 액정 표시 장치의 구동 방법.

청구항 5

제 1 항에 있어서,
 상기 액정 표시 장치는, 1 프레임 기간별로, 프레임 반전 구동, 커먼 반전 구동, 소스 라인 반전 구동, 게이트 라인 반전 구동, 또는 도트 반전 구동으로 구동하는, 액정 표시 장치의 구동 방법.

청구항 6

제 1 항에 있어서,
 상기 화소 전극의 전압의 유지 기간 동안 상기 용량선의 전압이 하강하는, 액정 표시 장치의 구동 방법.

청구항 7

제 1 항에 있어서,
 상기 화소 전극의 전압의 유지 기간 동안 상기 용량선의 전압이 상승하는, 액정 표시 장치의 구동 방법.

명세서

기술분야

본 발명은, 액정 표시 장치의 구동 방법에 관한 것이다. 또한, 액정 표시 장치에 관한 것이다. 또한, 액정 표

[0001]

시 장치를 구비하는 전자 기기에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는, 텔레비전 수상기 등의 대형 표시 장치에서 휴대 전화 등의 소형 표시 장치에 이르기까지 보급이 진행되고 있다. 앞으로는, 보다 부가가치가 높은 제품이 요구되어 개발이 진행되고 있다. 최근에는, 지구 환경에의 관심이 높아지고, 모바일 기기의 편리성 향상이라는 점에서, 저소비 전력형의 액정 표시 장치의 개발이 주목받고 있다.

[0003] 비특허문헌 1에서는, 액정 표시 장치의 저소비 전력화를 도모하기 위해, 동화 표시와 정지화 표시를 할 때의 리프레쉬 레이트를 다르게 하는 구성에 대해 개시하였다. 그리고 정지화 표시일 때의, 휴지 기간과 주사 기간의 신호 전환에 따라 드레인-커먼 전압의 변동을 동반하고, 플리커(flickers)가 지각되는 것을 방지하기 위해, 휴지 기간 중에도 신호선과 공통 전극에 동위상의 교류 신호를 인가하여 드레인-커먼 전압의 변동을 방지하는 구성에 대해 개시하였다.

선행기술문헌

비특허문헌

[0004] (비특허문헌 0001) Kazuhiro Tsuda et al., IDW' 02, pp295-298

발명의 내용

해결하려는 과제

[0005] 상기 비특허문헌 1과 같이, 리프레쉬 레이트를 저감함으로써 저소비 전력화를 도모할 수 있다. 그러나, 화소 트랜지스터의 오프 전류, 및/또는 액정에서의 전류의 리크에 의해 화소 전극의 전위가 변화하므로, 화소 전극과 공통 전극 사이의 전압이 일정하게 유지될 수 없는 경우가 있다. 이로 인해, 액정에 인가되는 전압이 변화함으로써, 표시하는 화상이 열화되게 되는 문제가 있다.

[0006] 구체적인 예를 도면에 도시하여 과제에 대해 상세히 서술한다. 도 14(A)에는, 액정 표시 장치의 표시 패널의 개략도에 대해 나타냈다. 도 14(A)에 나타낸 표시 패널(1400)은, 화소부(1401), 게이트선(1402)(주사선이라고도 한다), 신호선(1403)(데이터선이라고도 한다), 화소(1404), 공통 전극(1405)(공통 전극이라고도 한다), 용량선(1406), 단자부(1407)를 갖는다.

[0007] 도 14(B)에는, 도 14(A)의 화소(1404)에 대해 발췌하여 나타낸 것이다. 화소(1404)는, 화소 트랜지스터(1408), 액정 소자(1409), 용량 소자(1410)를 갖는다. 화소 트랜지스터(1408)는 게이트가 게이트선(1402)에 접속되고, 소스 또는 드레인 중 한쪽이 되는 제 1 단자가 신호선(1403)에 접속되고, 소스 또는 드레인 중 다른 한쪽이 되는 제 2 단자가, 액정 소자(1409)의 한쪽 전극 및 용량 소자(1410)의 제 1 전극에 접속된다. 한편 액정 소자(1409)의 다른 한쪽 전극은, 공통 전극(1405)에 접속되어 있다. 한편 용량 소자(1410)의 제 2 전극은, 용량선(1406)에 접속된다. 한편 화소 트랜지스터(1408)는, 박막의 반도체층을 갖는 박막 트랜지스터(TFT)로 구성된다.

[0008] 도 14(C)에는, 도 14(B)의 화소(1404)에서의 각 배선 및 소자에 대해 주목하기 위해 다시 쓴 것이다. 각 배선 및 각 소자의 부호에 대해서는, 도 14(B)와 동일하다. 한편 도 14(C)에서는, 설명을 위해, 액정 소자(1409)에 대해, 화소 트랜지스터(1408) 측의 전극을 화소 전극(1411), 공통 전극(1405) 측을 대향 전극(1412), 화소 전극(1411)과 대향 전극(1412)에 개재되는 액정(1413)에 대해 도시하였다.

[0009] 도 15(A)에는, 도 14(C)와 동일한 도면에 대해 도시하였으나, 각 배선의 전위, 전극 간 전압, 및 소자를 흐르는 전류에 대해 착안하여 도시한 것이다. 즉, 신호선(1403)에 공급되는 화상 신호는 전압(V_{data})이고, 화소 전극(1411)으로 유지하는 전압은 V_{pix} 이고, 대향 전극(1412)의 전압은 V_{com} 이다. 또한, 액정(1413)에 인가되는 전압은, V_{LC} 가 된다. 또한, 도 15(A)에서는, 화소 트랜지스터의 오프 전류(I_{TFT}), 및 액정을 흐르는 전류(I_{LC})에 대해서도 도시하였다.

[0010] 이어서 도 15(B)에서는, 도 15(A)에 나타낸 각 배선의 전위, 전극 간 전압에 대해 나타낸 타이밍 차트의 개략도

에 대해 나타낸 것이다. 도 15(B)에 나타낸 타이밍 차트에서는, 기간(F1) 내지 기간(F4)로 나누어 도시하였다. 한편 기간(F1) 내지 기간(F4)에서, 표시하는 화상은, 동일한 화상, 즉 정지화를 표시하는 것을 상정하여, 이하에 설명한다. 즉, 기간(F1) 내지 기간(F4)에서는, 액정(1413)에 인가되는 전압(V_{LC})이 일정한 전압(V_{data})(도 15(B) 중, 화살표(1501))이 되는 것이다. 또한, 액정 소자(1409)에서는 액정(1413)에 한쪽 방향의 전압이 인가됨으로써 소자의 열화가 있는 것이 알려져 있고, 통상 액정 소자(1409)에 인가하는 전압의 극성을 일정 기간별로 반전시키는 반전 구동을 이용하는 것이 알려져 있다. 예를 들어 기간(F1) 내지 기간(F4)에서 반전 구동을 행하면, 도 15(B)의 V_{LC} (반전 구동)와 같이 동일한 화상을 표시하는 경우라도 일정 기간별로 극성이 다른 전압을 액정 소자(1409)에 인가하게 된다.

[0011] 정지화를 표시할 때에, 저소비 전력화를 도모하도록 리프레쉬 레이트를 저감하는 경우, 기간(F1) 내지 기간(F4)의 각각의 기간이 길어지게 된다. 기간이 길어짐에 따라 오프 전류(I_{OFF}), 및/또는 액정을 흐르는 전류(I_{LC})에 의해, 화소 전극(1411)으로 유지하는 전압(V_{pix})은 V_{data} 에서 상승 또는 하강하여 변동한다(도 15(B) 중, 화살표(1502), 화살표1503). 한편으로, 대향 전극(1412)의 전압(V_{com})은 고정 전압이고, 실제 액정(1413)에 인가되는 전압(V_{LC})은, 기간(F1) 내지 기간(F4)의 경계(도 15(B) 중, refresh)에서 크게 변동하고, 이것이 정지화를 표시할 때의 화상의 열화의 한 요인이 된다.

[0012] 따라서, 본 발명의 일 양태는, 정지화를 표시할 때에 리프레쉬 레이트를 저감하여도, 표시하는 화상의 열화를 억제하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0013] 본 발명의 일 양태는, 화소 전극에 전기적으로 접속된 화소 트랜지스터와, 한쪽의 전극이 화소 전극에 전기적으로 접속되고, 다른 한쪽 전극이 용량선에 전기적으로 접속된 용량 소자를 갖고, 화소 전극에는, 화소 트랜지스터를 통전 상태로 하여 화상 신호에 기초한 전압이 공급되고, 그 후, 화소 트랜지스터를 비통전 상태로 하여 화상 신호에 기초한 전압의 유지를 행하는 유지 기간을 갖고, 화소 전극에서 화상 신호에 기초한 전압의 유지 기간에서의 변동에 따른 유지 신호를 용량선에 공급하여, 화소 전극의 전위를 일정하게 하는 액정 표시 장치의 구동 방법이다.

[0014] 본 발명의 일 양태는, 화소 전극에 전기적으로 접속된 화소 트랜지스터와, 한쪽의 전극이 화소 전극에 전기적으로 접속되고, 다른 한쪽 전극이 용량선에 전기적으로 접속된 용량 소자를 갖고, 화소 전극에는, 화소 트랜지스터를 통전 상태로 하여 화상 신호에 기초한 전압이 공급되고, 그 후, 화소 트랜지스터를 비통전 상태로 하여 화상 신호에 기초한 전압의 유지를 행하는 유지 기간을 갖고, 화소 전극에서 화상 신호에 기초한 전압의 유지 기간에서의 변동이 상승인 경우에, 화상 신호에 기초한 전압이 하강하도록 제어하는 유지 신호를 용량선에 공급하여, 화소 전극의 전위를 일정하게 하는 액정 표시 장치의 구동 방법이다.

[0015] 본 발명의 일 양태는, 화소 전극에 전기적으로 접속된 화소 트랜지스터와, 한쪽의 전극이 화소 전극에 전기적으로 접속되고, 다른 한쪽 전극이 용량선에 전기적으로 접속된 용량 소자를 갖고, 화소 전극에는, 화소 트랜지스터를 통전 상태로 하여 화상 신호에 기초한 전압이 공급되고, 그 후, 화소 트랜지스터를 비통전 상태로 하여 화상 신호에 기초한 전압의 유지를 행하는 유지 기간을 갖고, 화소 전극에서 화상 신호에 기초한 전압의 유지 기간에서의 변동이 하강인 경우에, 화상 신호에 기초한 전압이 상승하도록 제어하는 유지 신호를 용량선에 공급하여, 화소 전극의 전위를 일정하게 하는 액정 표시 장치의 구동 방법이다.

[0016] 본 발명의 일 양태에서, 화소 트랜지스터의 반도체층은, 산화물 반도체인 액정 표시 장치의 구동 방법이어도 좋다.

[0017] 본 발명의 일 양태에서, 유지 기간은, 60초 이상의 기간인 액정 표시 장치의 구동 방법이어도 좋다.

[0018] 본 발명의 일 양태에서, 액정 표시 장치는, 1 프레임 기간별로, 프레임 반전 구동, 커먼 반전 구동, 소스 라인 반전 구동, 게이트 라인 반전 구동, 또는 도트 반전 구동으로 구동하는 액정 표시 장치의 구동 방법이어도 좋다.

발명의 효과

[0019] 본 발명의 일 양태에 의해, 정지화를 표시할 때에 리프레쉬 레이트를 저감하여도, 표시하는 화상의 열화를 억제할 수 있다.

도면의 간단한 설명

- [0020] 도 1(A) 내지 도 1(C)는, 본 발명의 일 양태의 회로도를 설명하기 위한 도면이다.
- 도 2(A) 및 도 2(B)는, 본 발명의 일 양태의 타이밍 차트를 설명하기 위한 도면이다.
- 도 3은, 본 발명의 일 양태의 액정의 특성 예를 설명하기 위한 도면이다.
- 도 4는, 본 발명의 일 양태의 블럭도를 설명하기 위한 도면이다.
- 도 5는, 본 발명의 일 양태의 회로도를 설명하기 위한 도면이다.
- 도 6(A) 내지 도 6(D)는, 본 발명의 일 양태의 모식도를 설명하기 위한 도면이다.
- 도 7(A) 내지 도 7(C)는, 본 발명의 일 양태의 회로도를 설명하기 위한 도면이다.
- 도 8(A) 및 도 8(B)는, 본 발명의 일 양태의 타이밍 차트를 설명하기 위한 도면이다.
- 도 9(A) 내지 도 9(D)는, 본 발명의 일 양태의 트랜지스터를 설명하기 위한 도면이다.
- 도 10(A1), 도 10(A2) 및 도 10(A3)는, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
- 도 11은, 본 발명의 일 양태의 액정 표시 장치를 설명하기 위한 도면이다.
- 도 12(A) 내지 도 12(D)는, 본 발명의 일 양태의 전자 기기를 설명하기 위한 도면이다.
- 도 13(A) 내지 도 13(D)는, 본 발명의 일 양태의 전자 기기를 설명하기 위한 도면이다.
- 도 14(A) 내지 도 11(C)는, 과제를 설명하기 위한 도면이다.
- 도 15(A) 및 도 15(B)는, 과제를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명의 실시형태에 대해 도면을 참조로 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위에서 벗어나지 않는 한도 내에서 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서 본 실시형태의 기재 내용에 한정되어 해석되어서는 안 된다. 한편, 이하에 설명하는 본 발명의 구성에서, 동일한 것을 나타내는 부호는 다른 도면에서도 공통으로 한다.
- [0022] 한편, 각 실시형태의 도면 등에서 나타내는 각 구성의 크기, 층의 두께, 영역, 또는 신호 파형은, 명료화를 위해 과장되어 표기된 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.
- [0023] 한편 본 명세서에서 이용하는 제 1, 제 2, 제 3, 내지 제 N(N은 자연수)이라는 용어는, 구성 요소의 혼동을 피하기 위해 부여한 것으로, 수적으로 한정하는 것이 아님을 밝혀둔다.
- [0024] (실시형태 1)
- [0025] 본 실시형태에 대해 설명하기 위해, 우선 도 1(A)에는, 액정 표시 장치의 표시 패널의 개략도에 대해 도시하였다. 도 1(A)에 나타난 표시 패널(100)은, 화소부(101), 게이트선(102)(주사선이라고도 한다), 신호선(103)(데이터선이라고도 한다), 화소(104), 공통 전극(105)(공통 전극이라고도 한다), 용량선(106), 단자부(107), 게이트선 구동 회로(102D), 신호선 구동 회로(103D)를 갖는다.
- [0026] 한편, 도 1(A)에서는, 표시 패널(100) 위에 게이트선 구동 회로(102D), 신호선 구동 회로(103D)를 형성하는 구성에 대해 도시하였으나, 도 14(A)와 마찬가지로 반드시 표시 패널(100) 위에 형성할 필요는 없다. 표시 패널(100) 위에 게이트선 구동 회로(102D), 신호선 구동 회로(103D)를 형성함으로써, 단자부(107)의 단자 수를 삭감할 수 있고, 액정 표시 장치의 소형화를 도모할 수 있다.
- [0027] 한편, 화소(104)는, 매트릭스형으로 배치(배열)되어 있다. 여기서, 화소가 매트릭스로 배치(배열)되어 있는 것이라, 종방향 또는 횡방향에서, 화소가 직선 상에 나란히 배치되어 있는 경우나, 지그재그선 상에 배치되어 있는 경우를 포함한다. 따라서, 예를 들어 삼색의 색 요소(예를 들어 RGB)로 블루 컬러 표시를 하는 경우에, 스트라이프 배열되어 있는 경우나, 삼색의 색 요소의 도트가 델타 배열되어 있는 경우도 포함한다.

- [0028] 도 1(B)에는, 도 1(A)의 화소(104)에 대해 추출하여 나타낸 것이다. 화소(104)는, 화소 트랜지스터(108), 액정 소자(109), 용량 소자(110)를 갖는다. 화소 트랜지스터(108)는 게이트가 게이트선(102)에 접속되고, 소스 또는 드레인 중 한쪽이 되는 제 1 단자가 신호선(103)에 접속되고, 소스 또는 드레인 중 다른 한쪽이 되는 제 2 단자가, 액정 소자(109)의 한쪽의 전극 및 용량 소자(110)의 제 1 전극에 접속된다. 한편 액정 소자(109)의 다른 한쪽 전극은, 공통 전극(105)에 접속되어 있다. 한편 용량 소자(110)의 제 2 전극은, 용량선(106)에 접속된다. 한편 화소 트랜지스터(108)는, 박막의 반도체층을 갖는 박막 트랜지스터(TFT)로 구성된다.
- [0029] 한편, A와 B가 접속되어 있다, 라고 명시적으로 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다.
- [0030] 한편, 화소 트랜지스터(108)로, 비정질 실리콘, 다결정 실리콘, 미(微)결정(마이크로 크리스탈, 세미아몰퍼스라고도 한다) 실리콘, 단결정 실리콘을 갖는 박막 트랜지스터(TFT) 등을 이용할 수 있다. 또는, ZnO, a-InGaZnO, SiGe, GaAs 등의 화합물 반도체 또는 산화물 반도체를 갖는 트랜지스터나, 나아가, 이들 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 이용할 수 있다. 이에 의해, 제조 온도를 낮출 수 있어, 예를 들어, 실온에서 트랜지스터를 제조하는 것이 가능해진다.
- [0031] 한편, 일 화소는, 밝기를 제어할 수 있는 요소 하나를 나타내는 것으로 한다. 따라서, 일 예로는, 일 화소란, 하나의 색 요소를 나타내는 것으로 하고, 이 색 요소 하나로 밝기를 표현한다. 따라서, R(적)G(녹)B(청)의 색 요소로 이루어진 컬러 표시 장치의 경우에는, 화상의 최소 단위는, R인 화소와 G인 화소와 B인 화소의 3화소로 구성되는 것으로 한다. 한편, 색 요소는, RGB 이외의 색을 이용하여도 좋다. 예를 들어, 옐로, 시안, 마젠타의 3화소로 구성되는 것이어도 좋다.
- [0032] 한편, 박막 트랜지스터는, 게이트와, 드레인과, 소스를 포함하는 적어도 세 개의 단자를 갖는 소자이고, 드레인 영역과 소스 영역 사이에 채널 영역을 가지며, 드레인 영역과 채널 영역과 소스 영역을 통해 전류를 흘려 보낼 수 있다. 여기서, 소스와 드레인이란, 트랜지스터의 구조나 동작 조건 등에 의해 변하므로, 어느 쪽이 소스 또는 드레인 인지를 한정하기 곤란하다. 따라서, 본 서류(명세서, 특허청구 범위 또는 도면 등)에서는, 소스 및 드레인으로 기능하는 영역을, 소스 또는 드레인이라고 부르지 않는 경우가 있다. 이 경우, 일 예로는, 각각을 제 1 단자, 제 2 단자라 표기하는 경우가 있다. 또는, 각각을 제 1 전극, 제 2 전극이라고 표기하는 경우가 있다. 또는, 소스 영역, 드레인 영역이라고 표기하는 경우가 있다.
- [0033] 도 1(C)에는, 도 1(B)의 화소(104)에서의 각 배선 및 소자에 대해 주목하기 위해 다시 쓴 것이다. 각 배선 및 각 소자의 부호에 대해서는, 도 1(B)와 동일하다. 한편, 도 1(C)에서는, 설명을 위해, 액정 소자(109)에 대해, 화소 트랜지스터(108) 측의 전극을 화소 전극(111), 공통 전극(105) 측을 대향 전극(112), 화소 전극(111)과 대향 전극(112)에 개재되는 액정(113)에 대해 도시하였다. 한편, 도 1(C)에서, 도 14(C)와 다른 점은, 용량 소자(110)의 제 2 전극에 접속되는 용량선(106)에 공급하는 전압으로 고정 전압을 공급하는 구성이 아니라, 일정한 주기로 인가하는 전압의 다른 신호를 용량 소자(110)의 제 2 전극에 인가하는 구성으로 하는 점에 있다.
- [0034] 도 2(A)에는, 도 1(C)와 동일한 도면에 대해 도시하였으나, 도 15(A)와 마찬가지로, 각 배선의 전위, 전극 간 전압, 및 소자를 흐르는 전류에 대해 착안하여 도시한 것이다. 즉, 신호선(103)에 공급되는 화상 신호는 전압(V_{data})이고, 용량선(106)에 공급되는 신호(유지 신호)는 전압(V_{cap})이고, 화소 전극(111)으로 유지하는 전압은 V_{pix} 이고, 대향 전극(112)의 전압은 V_{com} 이다. 또한, 액정(113)에 인가되는 전압은, V_{LC} 가 된다. 또한, 도 2(A)에서는, 화소 트랜지스터의 오프 전류(I_{TFT}), 및 액정(113)을 흐르는 전류(I_{LC})에 대해서도 도시하였다.
- [0035] 한편 구체적인 동작으로는, 화상 신호를 화소에 쓰기 위해, 화소 트랜지스터를 통전 상태로 하여 화상 신호에 기초한 전압(V_{data})을 화소 전극(111)에 공급하는 기간(이하, 쓰기 기간이라 한다)을 갖고, 화소 전극(111)으로 유지하는 전압은 V_{pix} 로 하는 것이다. 전압(V_{pix})은, 화소 트랜지스터를 비통전 상태로 함으로써 V_{pix} 를 유지한다. 한편 V_{pix} 를 유지하는 기간(이하, 유지 기간이라 한다)에서는, 오프 전류(I_{TFT}), 및/또는 전류(I_{LC})에 의해 변동하고, 상승 또는 하강의 변동을 하게 되고, 정기적인 리프레쉬 동작이 필요하게 된다. 한편, 쓰기 기간과 유지 기간을 합쳐서 1프레임 기간이라고도 한다.
- [0036] 한편, 본 명세서에서 쓰기 기간은, 유지 기간과 비교하여 매우 짧다. 이로 인해, 타이밍 차트에서는 특별히 쓰기 기간에 대해 도시하지 않고, 유지 기간을 1 프레임 기간으로 설명할 수도 있다.
- [0037] 한편, 화소 트랜지스터로 반도체층에 산화물 반도체를 이용한 박막 트랜지스터에서는, 오프 전류(I_{TFT})를 극단적

으로 저장할 수 있다. 이로 인해, 전압(V_{pix})의 변동 요인을, 액정(113)을 흐르는 전류(I_{LC})만이 크게 기여하는 것으로 하는 구성으로 할 수 있다. 그 결과, 상기한 유지 기간을 60초 이상으로 큰폭으로 연장할 수 있고, 리프레쉬 레이트를 큰 폭으로 저장할 수 있다.

[0038] 한편, 전압이란, 어느 전위와, 기준 전위(예를 들어 그라운드 전위)의 전위차를 나타내는 경우가 많다. 따라서, 전압, 전위, 전위차를, 각각, 전위, 전압, 전압차라고 바꾸어 말할 수 있다.

[0039] 이어서, 도 2(B)에서는, 도 15(B)와 마찬가지로, 도 2(A)에서 나타낸 각 배선의 전위, 전극 간의 전압에 대해 나타낸 타이밍 차트의 개략도에 대해 나타낸 것이다. 도 2(B)에 나타낸 타이밍 차트에서는, 기간(F1) 내지 기간(F4)로 나누어 도시하였다. 한편, 기간(F1) 내지 기간(F4)에서, 표시하는 화상은, 동일한 화상, 즉 정지화를 표시하는 것을 상정하여 설명한 것이다. 즉, 기간(F1) 내지 기간(F4)에서는, 액정(113)에 인가되는 전압(V_{LC})이 일정한 전압(V_{data})(도 2(B) 중, 화살표(121))이 되는 것이다. 또한 액정 소자(109)에서는 액정(113)에 일 방향의 전압이 인가됨으로써 소자의 열화가 있는 것으로 알려져 있고, 통상 액정 소자에 인가하는 전압의 극성을 일정 기간별로 반전시키는 반전 구동을 이용하는 것이 알려져 있다. 예를 들어 기간(F1) 내지 기간(F4)의 각각의 기간을 1 프레임 기간으로 하고, 1 프레임 기간별로 반전 구동을 행하면 프레임 반전 구동이 되고, 도 2(B)의 V_{LC} (반전 구동)와 같이 동일한 화상을 표시하는 경우라도 일정 기간별로 극성이 다른 전압을 액정 소자에 인가하게 된다.

[0040] 정지화를 표시할 때에, 저소비 전력화를 도모하도록 리프레쉬 레이트를 저장하는 경우, 기간(F1) 내지 기간(F4)의 각각의 기간이 길어지게 된다. 기간이 길어짐에 따라 오프 전류(I_{TFT}), 및/또는 액정을 흐르는 전류(I_{LC})에 의해, 도 15(B)를 이용하여 설명한 바와 같이, 화소 전극(111)으로 유지하는 전압(V_{pix})이 상승 또는 하강하여 변동하게 된다.

[0041] 본 실시형태의 구성에서는, 유지 신호(V_{cap})에 의해, 상기한 오프 전류(I_{TFT}), 및/또는 액정을 흐르는 전류(I_{LC})에 의해, 화소 전극(111)으로 유지하는 전압(V_{pix})이 V_{data} 에서 상승 또는 하강한 만큼의 전압을 상쇄함으로써 정지화를 표시할 때의 화상의 열화를 저장하는 것이다. 구체적으로는 1 프레임 기간인 기간(F1) 내지 기간(F4)별로, 상기한 V_{pix} 의 전압의 변동분이 되도록 유지 신호(V_{cap})의 전압을 상승 또는 하강시킨다(도 2(B) 중의 화살표(122), 화살표(123)). 다시 말하면, V_{pix} 의 전압의 변동이 상승하는 변동이면 유지 신호(V_{cap})의 전압을 하강하도록 하고, V_{pix} 의 전압의 변동이 하강하는 변동이면 유지 신호(V_{cap})의 전압을 상승하도록 한다. 그리고, 고정 전압인 대향 전극(112)의 전압(V_{com})과의 사이에 인가되는 전압(V_{LC})은, 기간(F1) 내지 기간(F4)의 경계(도 2(B) 중, refresh)에서 크게 변동하는 일 없이, 정지화를 표시할 때의 화상의 열화를 저장할 수 있다. 한편 VLC(반전 구동)이 기간(F1) 내지 기간(F4)별로 반전된 전압이 되므로, 전압(V_{cap})의 변동은, 상승과 하강을 교대로 반복하는 신호가 된다. 한편, 이상의 유지 신호(V_{cap})의 전압의 제어에 의해, V_{pix} 즉 V_{LC} 의 변동을 저장하는 것을, V_{pix} 즉 V_{LC} 의 전압을 일정하게 한다고 바꾸어 말하는 경우도 있으나, 이 경우의 일정이란, 실시의 표시에 거의 영향이 없는 미소한 전압의 변동을 포함하는 것임을 밝혀둔다.

[0042] 한편 상기의 전압의 변동분에 따른 화살표(122), 화살표(123)는, 화상 신호에 따라 변동하는 것이다. 특히 화상 신호가 거의 화소 전극에 공급되지 않는 경우, 전압의 변동도 거의 없어지게 된다. 여기서, 액정(113)의 인가 전압에 대한 투과율의 관계에 대해 도 3에 나타냈다. 도 3에서 알 수 있듯이, 인가 전압에 따른 투과율은, 화상 신호가 거의 화소 전극에 공급되지 않는 경우, 즉 인가 전압이 작은 경우에는, 인가 전압이 조금 변동하여도 투과율이 거의 변동하지 않으므로 문제없다.

[0043] 이어서, 유지 신호(V_{cap})를 출력하는 회로를 포함한 액정 표시 장치의 블럭도에 대해 도 4에 나타냈다. 도 4에 나타낸 액정 표시 장치는, 표시 패널부(301) 및 주변 회로부(302)를 갖는다. 표시 패널부(301)는, 상기 도 1(A)의 표시 패널(100)의 구성과 마찬가지로, 설명을 생략한다. 주변 회로부(302)는, 동화/정지화상 전환 회로(303), 표시 제어 회로(304), 및 유지 신호 생성 회로(305)를 갖는다. 한편 표시 패널부(301)와 주변 회로부(302)는 별도의 기판에 형성되는 것이 바람직하나, 동일 기판 위에 형성되는 구성이어도 좋다.

[0044] 동화/정지화상 전환 회로(303)는, 외부에서 공급되는 화상 신호가 동화상인지 정지화인지를 판정하여 화상을 전환하는 회로이다. 동화/정지화상 전환 회로(303)는, 외부에서 공급되는 화상 신호를 프레임 기간별로 비교하여 동화상인지 정지화인지를 자동적으로 판별하는 구성이어도 좋으며, 외부로부터의 신호에 따라 동화상 또는 정지

화로 전환하는 구성으로 하여도 좋다.

- [0045] 표시 제어 회로(304)는, 동화/정지화상 전환 회로(303)에서 동화상이면 동화상을 표시하기 위한 신호, 예를 들어 화상 신호 및 클럭 신호 등을 표시 패널부(301)에 공급하기 위한 회로이다. 또한 표시 제어 회로(304)는, 동화/정지화상 전환 회로(303)에서 정지화이면 정지화를 표시하기 위한 신호, 예를 들어 리프레쉬 레이트를 저감하여, 소정의 타이밍에 의해 화상 신호 및 클럭 신호 등을 표시 패널부(301)에 공급하기 위한 회로이다.
- [0046] 유지 신호 생성 회로(305)는, 동화/정지화상 전환 회로(303)에서 정지화이면, 용량선(106)에 공급하는 유지 신호(V_{cap})를 생성하기 위한 회로이다. 한편, 동화/정지화상 전환 회로(303)에서 동화상이면, 일정한 고정 전압, 예를 들어 공통 전압(V_{com})과 동일한 신호를 표시 패널부(301)에 공급하기 위한 회로이다.
- [0047] 한편 고전원 전위(VDD)는, 기준 전위보다 높은 전위를 말하고, 저전원 전위(VSS)란 기준 전위 이하의 전위를 말한다. 한편 고전원 전위 및 저전원 전위 모두, 박막 트랜지스터가 동작할 수 있는 정도의 전위인 것이 바람직하다. 한편 고전원 전위(VDD) 및 저전원 전위(VSS)를 합쳐서, 전원 전압이라고 부르는 경우도 있다.
- [0048] 유지 신호 생성 회로(305)의 구성의 일 예에 대해 도 5를 이용하여 설명한다. 도 5에 나타난 유지 신호 생성 회로(305)의 일 예는, 제 1 전류원 회로(501), 제 1 스위치(502), 제 2 스위치(503), 제 2 전류원 회로(504), 제 3 스위치(505)를 갖는다. 도 5에 나타난 유지 신호 생성 회로(305)는, 정지화를 표시하는 기간에서, 제 1 스위치(502)와 제 2 스위치(503)가 전환 단자(507)의 제어에 의해 온 또는 오프를 교대로 전환하여 동작함으로써, 제 1 전류원 회로(501) 및 제 2 전류원 회로(504)에 의해 용량선(106)의 전압의 상승 또는 하강을 제어하기 위한 회로이다. 한편 용량선(106)의 전압을 일정한 고정 전압으로 하는 경우에는, 제 3 스위치(505)를 온으로 하고, 공통 전압(V_{com})이 공급되는 단자(506)와의 접속을 도모하면 된다.
- [0049] 한편 제 1 스위치(502), 제 2 스위치(503), 및 제 3 스위치(505)는 트랜지스터로 구성하면 되고, 제 1 스위치(502), 및 제 2 스위치(503)는 극성이 다른 트랜지스터로 구성하면 된다.
- [0050] 이상 설명한 바와 같이 본 실시형태에 나타난 구성에 의해, 정지화를 표시할 때에 리프레쉬 레이트를 저감하여도, 표시하는 화상의 열화를 억제할 수 있다.
- [0051] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0052] (실시형태 2)
- [0053] 본 실시형태에서는, 상기 실시형태에서 설명한 구성과 다른 구성에 대해 설명한다.
- [0054] 상기 실시형태 1에서 설명한 구성에서는, 도 6(A)에 나타난 프레임 반전 구동을 행하는 구성에 대해 설명하였으나, 도 6(B)에 나타난 신호선별로 다른 극성의 반전 구동을 행하는 소스 라인 반전 구동, 도 6(C)에 나타난 게이트선별로 다른 극성의 반전 구동을 행하는 게이트 라인 반전 구동, 도 6(D)에 나타난 이웃하는 화소별로 다른 극성의 반전 구동을 행하는 도트 반전 구동에 대해, 화소의 회로 구성 등을 이용하여 설명한다. 한편, 실시형태 1과 동일한 설명 부분에 대해서는 설명을 생략한다. 또한, 커먼 반전 구동에 대해서는, 프레임 반전 구동과 동일한 동작을 하므로 설명을 생략한다. 한편 도 6에서, N(N은 자연수)프레임과 (N+1)프레임으로 교대로 극성이 다른 화상 신호(도 6 중, 플러스 신호, 또는 마이너스 신호)를 공급하는 예를 나타내고 있으나 다른 구동법이어도 좋다.
- [0055] 도 6(B) 내지 도 6(D)의 반전 구동 방식에서, 상기 실시형태 1의 반전 구동 방식인 도 6(A)와의 차이는, 1 프레임 기간에서 다른 극성의 화상 신호가 공급되는 점에 있다. 이로 인해, 용량선에 공급하는 전압을 화상 신호의 극성 별로 바꾸도록 하는 구성으로 하는 것이다.
- [0056] 구체적으로 간단한 회로 구성을 바꾸어 설명한다. 도 7(A)에는, 도 6(B)에 대응시켜 소스 라인 반전 구동에서의 화소의 회로 구성에 대해 도시하였다. 도 7(A)에서는, 게이트선(102), 신호선(103), 화소(104), 공통 전극(105), 제 1 용량선(106A), 제 2 용량선(106B)에 대해 도시하였다. 제 1 용량선(106A), 제 2 용량선(106B)은, 도 6(B)에서 설명한 극성이 다른 화상 신호가 공급되는 화소별로 접속되는 구성이 된다. 또한, 도 7(B)에는, 도 6(C)에 대응시켜 게이트 라인 반전 구동에서의 화소의 회로 구성에 대해 나타냈다. 도 7(B)에서는, 게이트선(102), 신호선(103), 화소(104), 공통 전극(105), 제 1 용량선(106A), 제 2 용량선(106B)에 대해 도시하였다. 제 1 용량선(106A), 제 2 용량선(106B)은, 도 6(C)에서 설명한 극성이 다른 화상 신호가 공급되는 화소별로 접속되는 구성이 된다. 또한 도 7(C)에는, 도 6(D)에 대응시켜 도트 반전 구동에서의 화소의 회로 구

성에 대해 도시하였다. 도 7(C)에서는, 게이트선(102), 신호선(103), 화소(104), 공통 전극(105), 제 1 용량선(106A), 제 2 용량선(106B)에 대해 도시하였다. 제 1 용량선(106A), 제 2 용량선(106B)은, 도 6(D)에서 설명한 극성이 다른 화상 신호가 공급되는 화소별로 접속되는 구성이 된다. 이상 설명한 도 7(A) 내지 (C)의 제 1 용량선(106A), 제 2 용량선(106B)에는, 다른 유지 신호가 되는 제 1 유지 신호(V_{cap1}), 제 2 유지 신호(V_{cap2})가 공급되게 된다.

[0057] 도 8(A)에는, 도 2(A)와 동일한 도면에 대해 도시하였으며, 각 배선의 전위, 전극간 전압, 및 소자를 흐르는 전류에 대해 착안하여 도시한 것이다. 한편, 도 2(A)와 다른 점으로, 도 7(A) 내지 (C)에서 설명한 제 1 유지 신호(V_{cap1}), 제 2 유지 신호(V_{cap2})에 대해 나타낸 점에 있다.

[0058] 이어서, 도 8(B)에서는, 도 2(B)와 마찬가지로, 도 8(A)에서 나타낸 각 배선의 전위, 전극 간 전압에 대해 나타낸 타이밍 차트의 개략도에 대해 나타낸 것이다. 액정 소자(109)에서는 극성이 다른 화상 신호가 공급되고, 각각 액정(113)에 프레임 기간별로 반전하는 제 1 전압(V_{LC}), 제 2 전압(V_{LC})이 인가되게 된다. 그리고, 오프 전류(I_{OFF}), 및/또는 액정을 흐르는 전류(I_{LC})에 의해 화소 전극(111)으로 유지하는 전압(V_{pix})이 V_{data} 에서 상승 또는 하강한 분을 상쇄하는 제 1 유지 신호(V_{cap1}), 제 2 유지 신호(V_{cap2})를 공급한다. 그리고 1 프레임 기간인 기간(F1) 내지 기간(F4) 별로, 극성이 다른 화상 신호가 공급되는 화소에서의 제 1 V_{pix} 및 제 2 V_{pix} 는, 기간(F1) 내지 기간(F4)의 경계(도 8(B) 중, refresh)에서 크게 변동하지 않고, 정지화를 표시할 때의 화상의 열화를 저감할 수 있다.

[0059] 이상 설명한 바와 같이 본 실시형태에 나타낸 구성에 의해, 정지화를 표시할 때에 리프레쉬 레이트를 저감하여도, 표시하는 화상의 열화를 억제할 수 있다.

[0060] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0061] (실시형태 3)

[0062] 본 실시형태에서는, 본 명세서에 개시하는 액정 표시 장치에 적용할 수 있는 트랜지스터의 예를 설명한다.

[0063] 도 9(A) 내지 도 9(D)에 트랜지스터의 단면 구조의 일 예를 도시하였다.

[0064] 도 9(A)에 나타낸 트랜지스터(410)는, 보텀 게이트 구조의 박막 트랜지스터의 하나로, 역스태거형 박막 트랜지스터라고도 한다.

[0065] 트랜지스터(410)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(410)를 덮고, 산화물 반도체층(403)에 적층하는 절연층(407)이 형성되어 있다. 절연층(407) 위에는 추가로 보호 절연층(409)이 형성되어 있다.

[0066] 도 9(B)에 나타낸 트랜지스터(420)는, 채널 보호형(채널 스톱형이라고도 한다)이라 불리는 보텀 게이트 구조의 하나로 역스태거형 박막 트랜지스터라고도 한다.

[0067] 트랜지스터(420)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 산화물 반도체층(403)의 채널 형성 영역 위에 형성된 채널 보호층으로 기능하는 절연층(427), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(420)를 덮고, 보호 절연층(409)이 형성되어 있다.

[0068] 도 9(C)에 나타낸 트랜지스터(430)는 보텀 게이트형의 박막 트랜지스터로, 절연 표면을 갖는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 소스 전극층(405a), 드레인 전극층(405b), 및 산화물 반도체층(403)을 포함한다. 또한, 트랜지스터(430)를 덮고, 산화물 반도체층(403)에 접하는 절연층(407)이 형성되어 있다. 절연층(407) 위에는 추가로 보호 절연층(409)이 형성되어 있다.

[0069] 트랜지스터(430)에서는, 게이트 절연층(402)는 기판(400) 및 게이트 전극층(401) 위에 접하여 형성되고, 게이트 절연층(402) 위에 소스 전극층(405a), 드레인 전극층(405b)이 접하여 형성되어 있다. 그리고, 게이트 절연층(402), 및 소스 전극층(405a), 드레인 전극층(405b) 위에 산화물 반도체층(403)이 형성되어 있다.

[0070] 도 9(D)에 나타낸 트랜지스터(440)는, 탑 게이트 구조의 박막 트랜지스터의 하나이다. 트랜지스터(440)는, 절

연 표면을 갖는 기판(400) 위에, 절연층(447), 산화물 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b), 게이트 절연층(402), 게이트 전극층(401)을 포함하고, 소스 전극층(405a), 드레인 전극층(405b)에 각각 배선층(446a), 배선층(446b)이 접하여 형성되고 전기적으로 접속되어 있다.

- [0071] 본 실시형태에서는, 반도체층으로 산화물 반도체층(403)을 이용한다.
- [0072] 산화물 반도체층(403)으로는, 사원계 금속 산화물인 In-Sn-Ga-Zn-O막이나, 삼원계 금속 산화물인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, Sn-Al-Zn-O막이나, 이원계 금속 산화물인 In-Zn-O막, Sn-Zn-O막, Al-Zn-O막, Zn-Mg-O막, Sn-Mg-O막, In-Mg-O막이나, In-O막, Sn-O막, Zn-O막 등의 산화물 반도체층을 이용할 수 있다. 또한, 상기 산화물 반도체층에 SiO₂를 포함하여도 좋다.
- [0073] 또한, 산화물 반도체층(403)은, InMO₃(ZnO)_m(m>0)로 표기되는 박막을 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다. InMO₃(ZnO)_m(m>0)로 표기되는 구조의 산화물 반도체막 중, M으로 Ga를 포함하는 구조의 산화물 반도체를, 상기한 In-Ga-Zn(O산화물 반도체라 하며, 그 박막을 In-Ga-Zn-O막이라고도 부르기로 한다.
- [0074] 한편 본 실시형태의 구성에서 산화물 반도체는, n형 불순물인 수소를 산화물 반도체에서 제거하고, 산화물 반도체의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화함으로써 진성(i형)으로 하고, 또는 실질적으로 진성형으로 한 것이다. 즉, 불순물을 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물을 최대한 제거함으로써, 고순도화된 i형(진성 반도체) 또는 이에 가깝게 한 것을 특징으로 한다. 따라서, 박막 트랜지스터가 갖는 산화물 반도체층은, 고순도화 및 전기적으로 i형(진성)화된 산화물 반도체층이다.
- [0075] 또한, 고순도화된 산화물 반도체 중에는 캐리어가 매우 적고(0에 가까움), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다.
- [0076] 산화물 반도체 중에 캐리어가 매우 적으므로, 트랜지스터의 오프 전류를 적게 할 수 있다. 구체적으로는, 상기 산화물 반도체층을 구비하는 박막 트랜지스터는, 채널 폭 1 μm 당 오프 전류를 10aA/ μm ($1 \times 10^{-17} \text{A} / \mu\text{m}$) 이하로 하는 것, 나아가 1aA/ μm ($1 \times 10^{-18} \text{A} / \mu\text{m}$) 이하, 더 나아가서 10zA/ μm ($1 \times 10^{-20} \text{A} / \mu\text{m}$)로 하는 것이 가능하다. 즉 트랜지스터의 비통전 상태에서, 산화물 반도체는 절연체로 간주하여 회로 설계할 수 있다. 한편으로, 산화물 반도체층은, 박막 트랜지스터의 통전 상태에서는, 비정질 실리콘으로 형성되는 반도체층 보다 높은 전류 공급 능력을 예상할 수 있다.
- [0077] 산화물 반도체층(403)을 이용한 트랜지스터(410, 420, 430, 440)는, 오프 상태에서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 이미지 데이터 등의 전기 신호의 유지 시간을 길게 할 수 있고, 쓰기 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 빈도를 낮게 할 수 있으므로, 보다 소비 전력을 억제하는 효과를 높일 수 있다.
- [0078] 또한, 산화물 반도체층(403)을 이용한 트랜지스터(410, 420, 430, 440)는, 비정질 반도체를 이용한 것으로는 비교적 높은 전계 효과 이동도를 얻을 수 있으므로, 고속 구동이 가능하다. 따라서, 표시 장치의 고기능화 및 고속 응답화를 실현할 수 있다.
- [0079] 절연 표면을 갖는 기판(400)으로 사용할 수 있는 기판에 큰 제한은 없으나, 적어도, 후의 가열 처리에 견딜 수 있는 정도의 내열성을 가질 필요가 있다. 바람 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기판을 이용할 수 있다.
- [0080] 또한, 유리 기판으로는, 후의 가열 처리 온도가 높은 경우에는, 변형점이 730°C 이상인 것을 이용하면 된다. 또한, 유리 기판으로는, 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바람 붕규산 유리 등의 유리 재료가 이용된다. 한편, 실용적인 내열 유리인, 산화 붕소(B₂O₃)보다 산화 바륨(BaO)을 많이 포함하는 유리 기판을 이용하여도 좋다.
- [0081] 한편, 상기 유리 기판 대신, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어진 기판을 이용하여도 좋다. 그 외에도, 결정화 유리 등을 이용할 수 있다. 또한, 플라스틱 기판 등도 적절히 이용할 수 있다.
- [0082] 보통 게이트 구조의 트랜지스터(410, 420, 430)에서, 하지막이 되는 절연막을 기판과 게이트 전극층 사이에 형성하여도 좋다. 하지막은, 기판으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화

실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막에서 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.

- [0083] 게이트 전극층(401)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이를 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다.
- [0084] 예를 들어, 게이트 전극층(401)의 2층의 적층 구조로는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티탄층 또는 질화 탄탈을 적층한 2층 구조, 질화 티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티탄의 합금층과, 질화 티탄층 또는 티탄층을 적층한 적층으로 하는 것이 바람직하다. 한편, 투광성을 갖는 도전막을 이용하여 게이트 전극층을 형성할 수도 있다. 투광성을 갖는 도전막으로는, 투광성 도전성 산화물 등을 그 예로 들 수 있다.
- [0085] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 단층 또는 적층하여 형성할 수 있다.
- [0086] 게이트 절연층(402)은, 게이트 전극층 측에서 질화 실리콘층과 산화 실리콘층을 적층한 구조로 할 수도 있다. 예를 들어, 제 1 게이트 절연층으로 스퍼터링법에 의해 막후 50nm 이상 200nm 이하의 질화 실리콘층(SiN_y ($y > 0$))을 형성하고, 제 1 게이트 절연층 위에 제 2 게이트 절연층으로 막후 5nm 이상 300nm 이하의 산화 실리콘층(SiO_x ($x > 0$))을 적층하여, 막후 100nm의 게이트 절연층으로 한다. 게이트 절연층(402)의 막후는, 박막 트랜지스터에 요구되는 특성에 따라 적절히 설정하면 되며 350nm 내지 400nm 정도이어도 좋다.
- [0087] 소스 전극층(405a), 드레인 전극층(405b)에 이용하는 도전막으로는, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소, 또는 상기한 원소를 성분으로 하는 합금이나, 상기한 원소를 조합한 합금막 등을 이용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 또는 상측 중 한쪽 또는 양쪽에 Cr, Ta, Ti, Mo, W 등의 고용점 금속층을 적층시킨 구성으로 하여도 좋다. 또한, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, Y 등 Al막에 생기는 힐록(hillocks)이나 위스커(whiskers)의 발생을 방지하는 원소가 첨가되어 있는 Al 재료를 이용함으로써 내열성을 향상시킬 수 있게 된다.
- [0088] 소스 전극층(405a), 드레인 전극층(405b)에 접속하는 배선층(446a), 배선층(446b)과 같은 도전막도, 소스 전극층(405a), 드레인 전극층(405b)과 동일한 재료를 이용할 수 있다.
- [0089] 또한, 소스 전극층(405a), 드레인 전극층(405b)은, 단층 구조이어도, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, Ti막과, 그 Ti막 위에 겹쳐 알루미늄막을 적층하고, 또한 그 위에 Ti막을 성막하는 3층 구조 등을 들 수 있다.
- [0090] 또한, 소스 전극층(405a), 드레인 전극층(405b)(이와 동일한 층으로 형성되는 배선층을 포함)이 되는 도전막으로는 도전성의 금속 산화물로 형성하여도 좋다. 도전성의 금속 산화물로는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화인듐 산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO로 약기), 산화인듐 산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는 상기 금속 산화물 재료에 실리콘 또는 산화 실리콘을 포함시킨 것을 이용할 수 있다.
- [0091] 절연층(407, 427, 447), 보호 절연층(409)으로는, 산화 절연층, 또는 질화 절연층 등의 무기 절연막을 적절히 이용할 수 있다.
- [0092] 절연층(407, 427, 447)은, 대표적으로는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등의 무기 절연막을 이용할 수 있다.
- [0093] 보호 절연층(409)은, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 질화산화 알루미늄막 등의 무기 절연막을 이용할 수 있다.
- [0094] 또한, 보호 절연층(409) 위에 트랜지스터 기인의 표면 요철을 저감하기 위해 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드, 에폭시 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 이용할 수 있다. 한편, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성하여도 좋다.

- [0095] 이와 같이, 본 실시형태에서, 산화물 반도체층을 포함하는 트랜지스터를 이용함으로써, 더욱 저소비 전력화가 달성된 고기능의 액정 표시 장치를 제공할 수 있다.
- [0096] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0097] (실시형태 4)
- [0098] 박막 트랜지스터를 제작하고, 이 박막 트랜지스터를 화소부, 나아가 구동 회로에 이용하여 표시 기능을 갖는 액정 표시 장치를 제작할 수 있다. 또한, 박막 트랜지스터를 이용하여 구동 회로의 일부 또는 전체를, 화소부와 동일한 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.
- [0099] 한편 액정 표시 장치란, 커넥터, 예를 들어 FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테일 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테일이나 TCP 앞에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 전부 표시 장치에 포함하는 것으로 한다.
- [0100] 액정 표시 장치의 외관 및 단면에 대해, 도 10(A1), 도 10(A2), 도 10(A3)를 이용하여 설명한다. 도 10(A1), 도 10(A2)는, 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를, 제 1 기판(4001)과 제 2 기판(4006) 사이에 절재(4005)에 의해 봉지한, 패널의 평면도이고, 도 10(B)는, 도 10(A1), 도 10(A2)의 M-N에서의 단면도에 상당한다.
- [0101] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 게이트선 구동 회로(4004)를 둘러싸도록 하여, 절재(4005)가 형성되어 있다. 또한 화소부(4002)와, 게이트선 구동 회로(4004) 위에 제 2 기판(4006)이 형성되어 있다. 따라서 화소부(4002)와 게이트선 구동 회로(4004)는, 제 1 기판(4001)과 절재(4005)와 제 2 기판(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 또한 제 1 기판(4001) 위의 절재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다.
- [0102] 한편, 별도로 형성된 구동 회로의 접속 방법은, 특별히 한정되지 않으며, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 이용할 수 있다. 도 10(A1)은, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 10(A2)는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0103] 또한 제 1 기판(4001) 위에 형성된 화소부(4002)와, 게이트선 구동 회로(4004)는, 박막 트랜지스터를 복수 가지며, 도 10(B)에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 게이트선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하였다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4041a, 4041b, 4042a, 4042b, 4020, 4021)이 형성되어 있다.
- [0104] 박막 트랜지스터(4010, 4011)는, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 본 실시형태에서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0105] 절연층(4021) 위에서, 구동 회로용 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 도전층(4040)이 형성되어 있다. 도전층(4040)을 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 형성함으로써, BT(Bias Temperature) 시험 전후에서의 박막 트랜지스터(4011)의 역치 전압의 변화량을 저감할 수 있다. 또한, 도전층(4040)은, 전위가 박막 트랜지스터(4011)의 게이트 전극층과 동일하여도 좋으며, 서로 달라도 좋고, 제 2 게이트 전극층으로 기능시킬 수도 있다. 또한, 도전층(4040)의 전위가 GND, 0V, 또는 플로팅 상태이어도 좋다.
- [0106] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006) 위에 형성되어 있다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 겹쳐 있는 부분이, 액정 소자(4013)에 상당한다. 한편, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 통해 액정층(4008)을 개재하고 있다.
- [0107] 한편, 제 1 기판(4001), 제 2 기판(4006)으로는, 투광성 기판을 이용할 수 있고, 유리, 세라믹, 플라스틱을 이용할 수 있다. 플라스틱으로는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 이용할 수 있다.

- [0108] 또한 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기동형 스페이서로, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀갭)를 제어하기 위해 형성되어 있다. 한편 구형의 스페이서를 이용하여도 좋다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일 기판상에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 통해 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 한편, 도전성 입자는 셀재(4005)에 함유시킬 수 있다.
- [0109] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용하여도 좋다. 블루상은 액정상의 하나로, 콜레스테르 액정을 승온하여 가면, 콜레스테르상에서 등방상으로 전이되기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현되므로, 온도 범위를 개선하기 위해 5중량% 이상의 카이랄제를 혼합시킨 액정 조성물을 이용하여 액정층(4008)에 이용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이므로 배향 처리가 불필요하고, 시야각 의존성이 낮다.
- [0110] 한편 투과형 액정 표시 장치 외에, 반투과형 액정 표시 장치에서도 적용할 수 있다.
- [0111] 또한, 액정 표시 장치에서는, 기판의 외측(시인(視認)측)에 편광판을 구비하고, 내측에 착색층, 표시 소자에 이용하는 전극층 순으로 구비하는 예를 나타냈으나, 편광판은 기판 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조 또한 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 의해 적절히 설정하면 된다. 또한, 표시부 이외에 블랙 매트릭스로 기능하는 차광막을 형성하여도 좋다.
- [0112] 박막 트랜지스터(4011)는, 채널 보호층으로 기능하는 절연층(4041a)과, 산화물 반도체층의 적층의 주연부(측면을 포함)를 덮는 절연층(4041b)이 형성되어 있다. 마찬가지로 박막 트랜지스터(4010)는, 채널 보호층으로 기능하는 절연층(4042a)과, 산화물 반도체층의 적층의 주연부(측면을 포함)를 덮는 절연층(4042b)이 형성되어 있다.
- [0113] 산화물 반도체층의 적층의 주연부(측면을 포함)를 덮는 산화물 절연층인 절연층(4041b, 4042b)은, 게이트 전극층과, 그 상방 또는 주변에 형성되는 배선층(소스 배선층이나 용량 배선층 등)과의 거리를 크게 하고, 기생 용량의 저감을 도모할 수 있다. 또한, 박막 트랜지스터의 표면 요철을 저감하기 위해 평탄화 절연막으로 기능하는 절연층(4021)으로 덮는 구성으로 되어 있다. 여기서는, 절연층(4041a, 4041b, 4042a, 4042b)으로, 일 예로 스퍼터링법에 의해 산화 규소막을 형성한다.
- [0114] 또한, 절연층(4041a, 4041b, 4042a, 4042b) 위에 절연층(4020)이 형성되어 있다. 절연층(4020)은, 일 예로 RF 스퍼터링법에 의해 질화 규소막을 형성한다.
- [0115] 또한, 평탄화 절연막으로 절연층(4021)을 형성한다. 절연층(4021)으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 이용할 수 있다. 한편, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.
- [0116] 본 실시형태에서는, 화소부의 복수의 박막 트랜지스터를 종합하여 질화막 절연막으로 둘러싼 구성으로 하여도 좋다. 절연층(4020)과 게이트 절연층에 질화물 절연막을 이용하여, 적어도 액티브 매트릭스 기판의 화소부 주변을 둘러싸도록 절연층(4020)과 게이트 절연층이 접하는 영역을 형성하는 구성으로 하면 된다. 이 제조 프로세스에서는, 외부로부터의 수분의 침입을 막을 수 있다. 또한, 액정 표시 장치로 디바이스가 완성된 후에도 장기적으로, 외부로부터의 수분의 침입을 막을 수 있는 디바이스의 장기 신뢰성을 향상시킬 수 있다.
- [0117] 한편 실록산계 수지판, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로는 유기기(예를 들어 알킬기나 아릴기)나 플루오로기를 이용하여도 좋다. 또한, 유기기는 플루오로기를 갖고 있어도 좋다.
- [0118] 절연층(4021)의 형성법은, 특별히 한정되지 않으나, 그 재료에 따라, 스퍼터링법, SOG법, 스핀코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤코터, 커텐코터, 나이프 코터 등을 이용할 수 있다. 절연층(4021)의 소성 공정과 반도체층의 어닐을 겸함으로써 높은 효율성으로 액정 표시 장치를 제작할 수 있게 된다.
- [0119] 화소 전극층(4030), 대향 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐산화물, 산화 티탄을 포함하는 인듐주석 산화물, 인듐주석 산화물(이하, ITO로 표기함), 인듐아연 산화물, 산화 규소를 첨가한 인듐주석 산화물 등의 투광성의 도전성 재료를 이용할 수 있다.
- [0120] 또한, 화소 전극층(4030), 대향 전극층(4031)으로, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전

성 조성물을 이용하여 형성할 수 있다. 도전성 조성물을 이용하여 형성한 화소 전극은, 시트 저항이 10000Ω/□ 이하, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1Ω·cm 이하인 것이 바람직하다.

- [0121] 도전성 고분자로는, 이른바 π 전자 공역계 도전성 고분자를 이용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들 2종 이상의 공중합체 등을 들 수 있다.
- [0122] 또한 별도로 형성된 신호선 구동 회로(4003)와, 게이트선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC(4018)에서 공급된다.
- [0123] 접속 단자 전극(4015)이, 액정 소자(4013)가 갖는 화소 전극층(4030)과 동일한 도전막에서 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로 형성되어 있다.
- [0124] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.
- [0125] 또한 도 10에서는, 신호선 구동 회로(4003)를 별도로 형성하고, 제 1 기관(4001)에 실장되어 있는 예를 도시하고 있으나 이 구성에 한정되지 않는다. 게이트선 구동 회로를 별도로 형성하여 실장하여도 좋으며, 신호선 구동 회로의 일부 또는 게이트선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.
- [0126] 도 11은, 액정 표시 장치를 구성하는 일 예를 도시하였다.
- [0127] 도 11은 액정 표시 장치의 일 예이고, TFT 기관(2600)과 대향 기관(2601)이 절재(2602)에 의해 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 하는 경우에 필요하고, RGB 방식의 경우는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 형성되어 있다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의해 구성되고, 회로 기관(2612)은, 플렉서블 배선 기관(2609)에 의해 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 내장되어 있다. 또한 편광판과 액정층 사이에 위상차판을 갖는 상태로 적층하여도 좋다.
- [0128] 액정 표시 장치의 구동 방식에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 등을 이용할 수 있다.
- [0129] 이상의 공정에 의해, 정지화를 표시할 때, 표시하는 화상의 열화를 저감할 수 있는 액정 표시 장치를 제작할 수 있다.
- [0130] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0131] (실시형태 5)
- [0132] 본 실시형태에서는, 상기 실시형태에서 설명한 액정 표시 장치를 구비하는 전자 기기의 예에 대해 설명한다.
- [0133] 도 12(A)는 휴대형 유기기, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 기록 매체 읽기부(9672), 등을 가질 수 있다. 도 12(A)에 나타난 휴대형 유기기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 읽어 표시부에 표시하는 기능, 다른 휴대형 유기기와 무선 통신하여 정보를 공유하는 기능, 등을 가질 수 있다. 한편, 도 12(A)에 나타난 휴대형 유기기가 갖는 기능은 이에 한정되지 않으며, 다양한 기능을 가질 수 있다.
- [0134] 도 12(B)는 디지털 카메라로, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677), 등을 가질 수 있다. 도 12(B)에 나타난 디지털 카메라는, 정지화를 촬영하는 기능, 동화를 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안테나로부터 다양한 정보를 취득하는 기능, 촬영한 화상, 또는 안테나에서 취득한 정보를 저장하는 기능, 촬영한 화상, 또는 안테나에서 취득한 정보를 표시부에 표시하는 기능, 등을 가질 수 있다. 한편, 도 12(B)에 나타난 디지털 카메라가 갖는 기능은 이에 한정되지 않으며, 다양한 기능을 가질 수 있다.

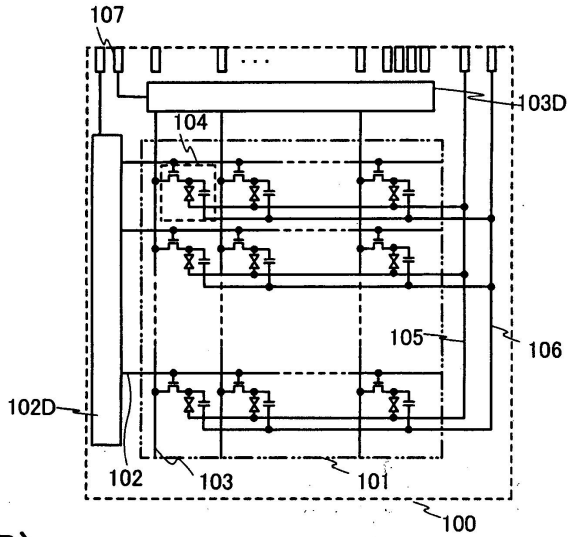
- 112; 대향 전극
- 121; 화살표
- 123; 화살표
- 302; 주변 회로부
- 304; 표시 제어 회로
- 400; 기관
- 402; 게이트 절연층
- 405a; 소스 전극층
- 407; 절연층
- 410; 트랜지스터
- 427; 절연층
- 440; 트랜지스터
- 446b; 배선층
- 501; 제 1 전류원 회로
- 503; 제 2 스위치
- 505; 제 3 스위치
- 507; 전환단자
- 1401; 화소부
- 1403; 신호선
- 1405; 공통전극
- 1407; 단자부
- 1409; 액정 소자
- 1411; 화소 전극
- 1413; 액정
- 1502; 화살표
- 2600; TFT기관
- 2602; 절재
- 2604; 표시 소자
- 2606; 편광판
- 2608; 배선 회로부
- 2610; 냉음극관
- 2612; 회로기관
- 4001; 제 1 기관
- 4003; 신호선 구동 회로
- 4005; 절재
- 4008; 액정 층
- 113; 액정
- 122; 화살표
- 301; 표시 패널부
- 303; 동화/정지화상 전환 회로
- 305; 유지 신호 생성 회로
- 401; 게이트 전극층
- 403; 산화물 반도체층
- 405b; 드레인 전극층
- 409; 보호 절연층
- 420; 트랜지스터
- 430; 트랜지스터
- 446a; 배선층
- 447; 절연층
- 502; 제 1 스위치
- 504; 제 2 전류원 회로
- 506; 단자
- 1400; 표시 패널
- 1402; 게이트선
- 1404; 화소
- 1406; 용량선
- 1408; 화소 트랜지스터
- 1410; 용량 소자
- 1412; 대향 전극
- 1501; 화살표
- 1503; 화살표
- 2601; 대향 기관
- 2603; 화소부
- 2605; 착색층
- 2607; 편광판
- 2609; 플렉서블 배선기관
- 2611; 반사판
- 2613; 확산판
- 4002; 화소부
- 4004; 게이트선 구동 회로
- 4006; 제 2 기관
- 4010; 박막 트랜지스터

4011; 박막 트랜지스터	4013; 액정 소자
4015; 접속 단자전극	4016; 단자전극
4018; FPC	4019; 이방성 도전막
4020; 절연층	4021; 절연층
4030; 화소 전극층	4031; 대향 전극층
4032; 절연층	4033; 절연층
4035; 스페이서	4040; 도전층
4041a; 절연층	4041b; 절연층
4042a; 절연층	4042b; 절연층
9630; 하우징	9631; 표시부
9632; 조작키	9633; 스피커
9635; 조작키	9636; 접속 단자
9638; 마이크로폰	9651; 태양 전지
9652; 배터리	9653; 윈도우형 표시부
9672; 기록 매체 읽기부	9676; 셔터 버튼
9677; 수상부	9680; 외부 접속 포트
9681; 포인팅 디바이스	

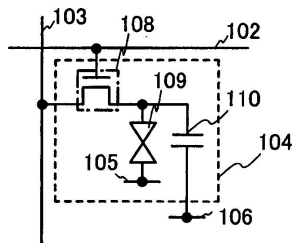
도면

도면1

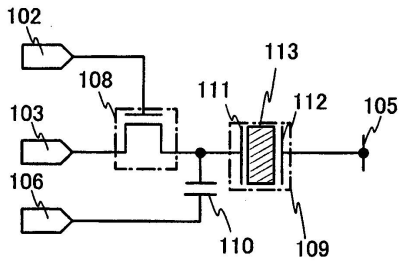
(A)



(B)

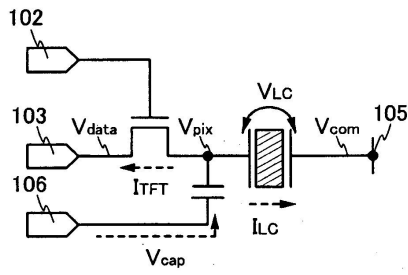


(C)

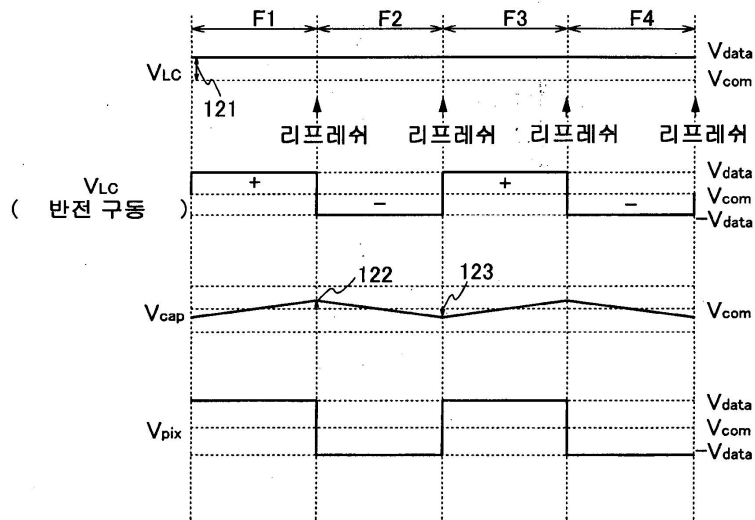


도면2

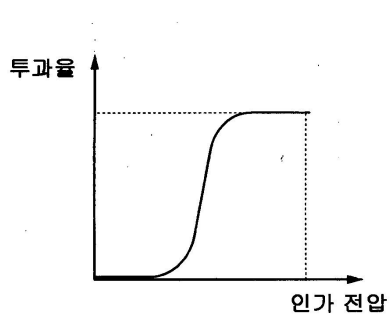
(A)



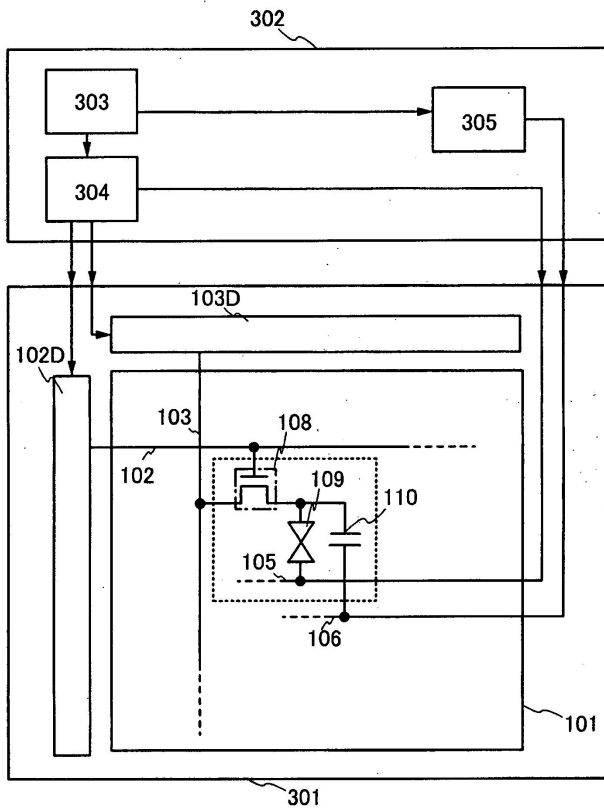
(B)



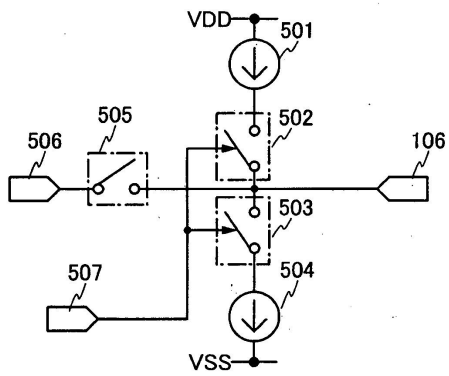
도면3



도면4

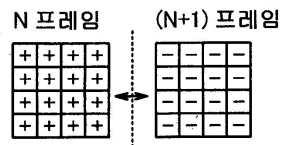


도면5

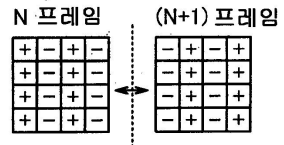


도면6

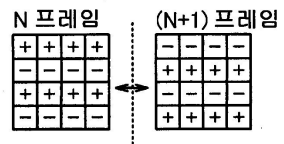
(A)



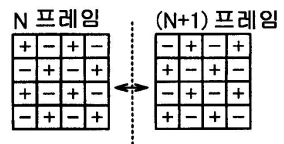
(B)



(C)

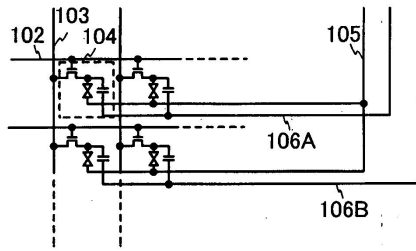


(D)

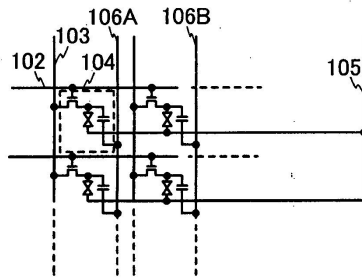


도면7

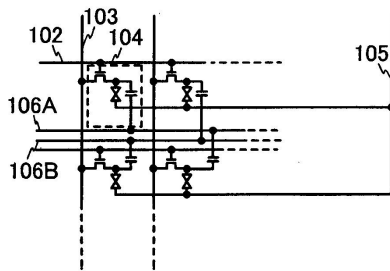
(A)



(B)

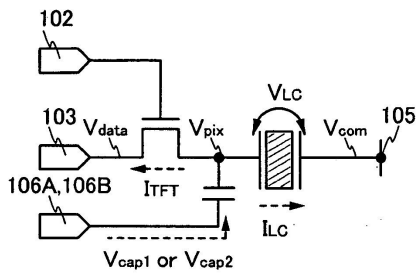


(C)

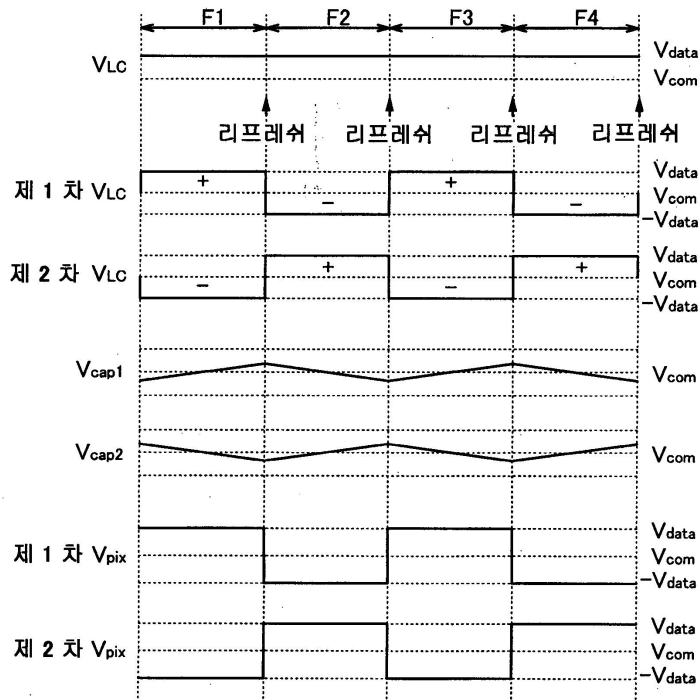


도면8

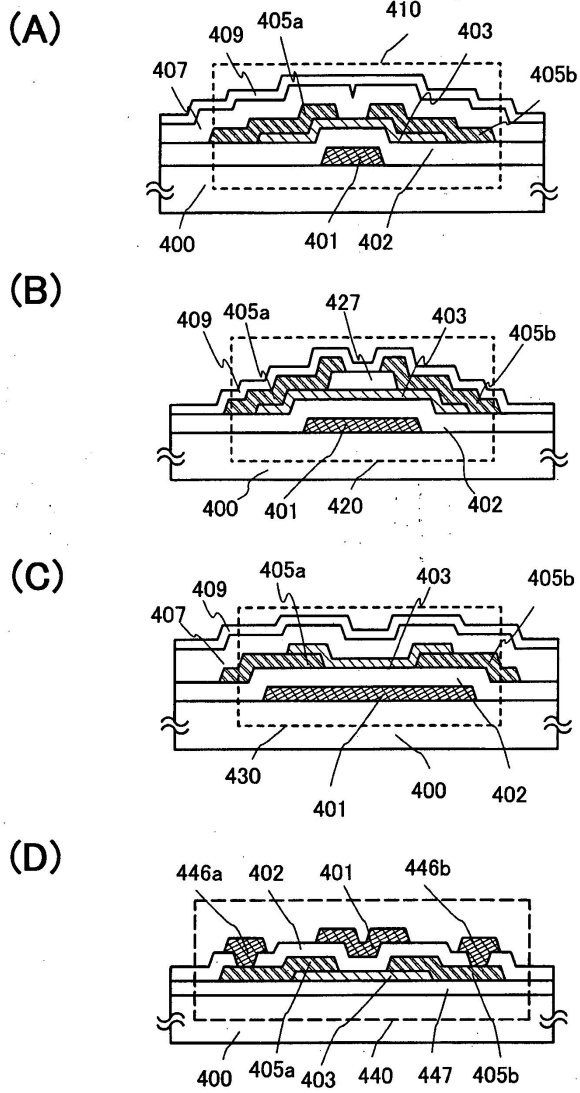
(A)



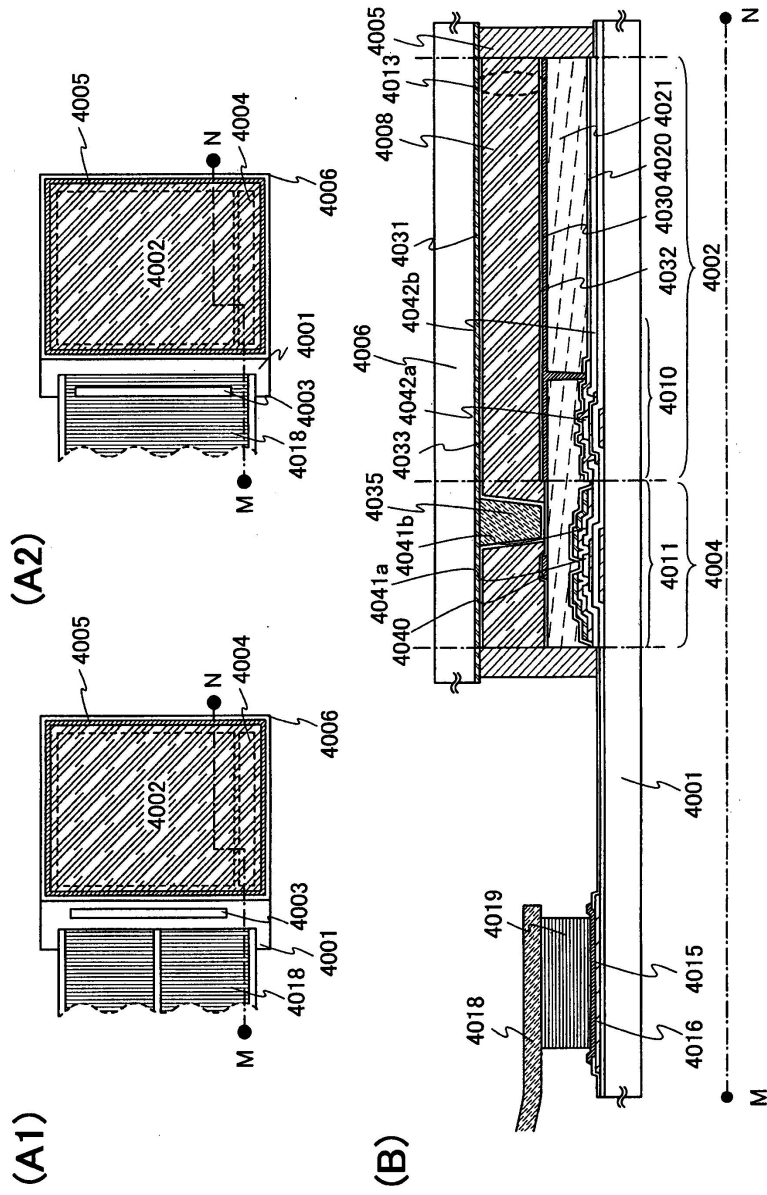
(B)



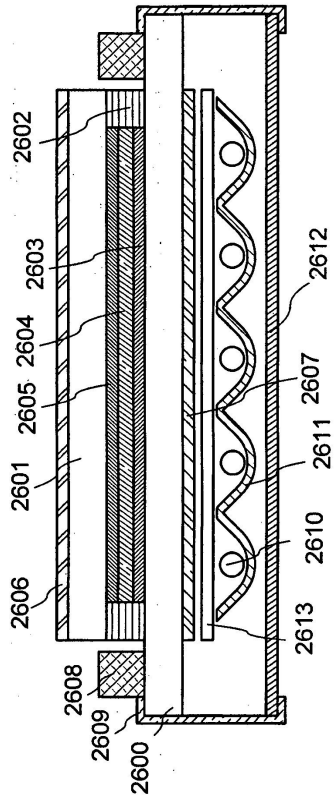
도면9



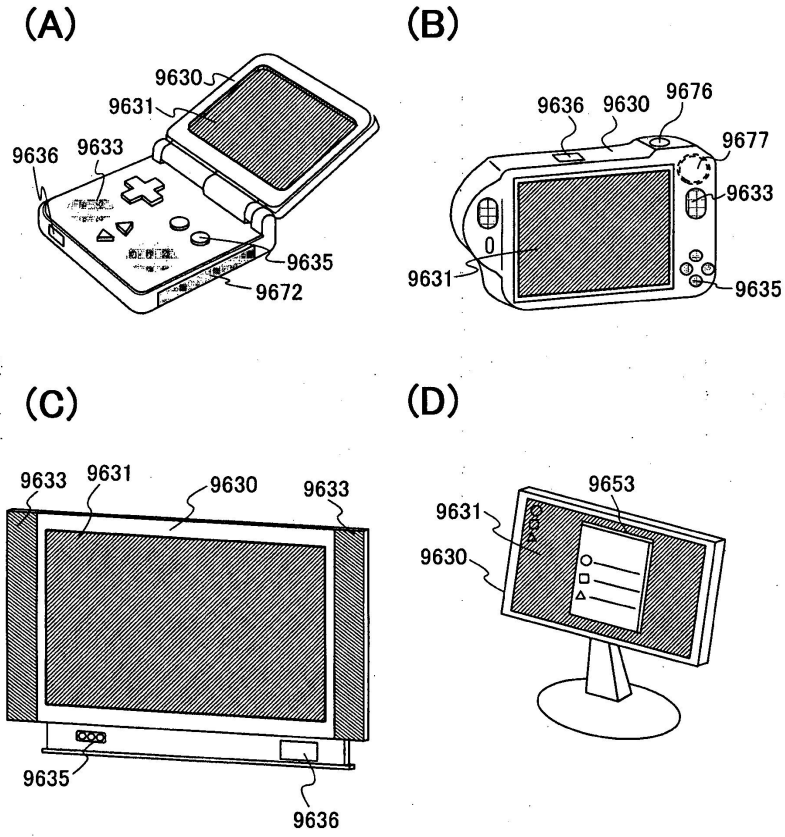
도면10



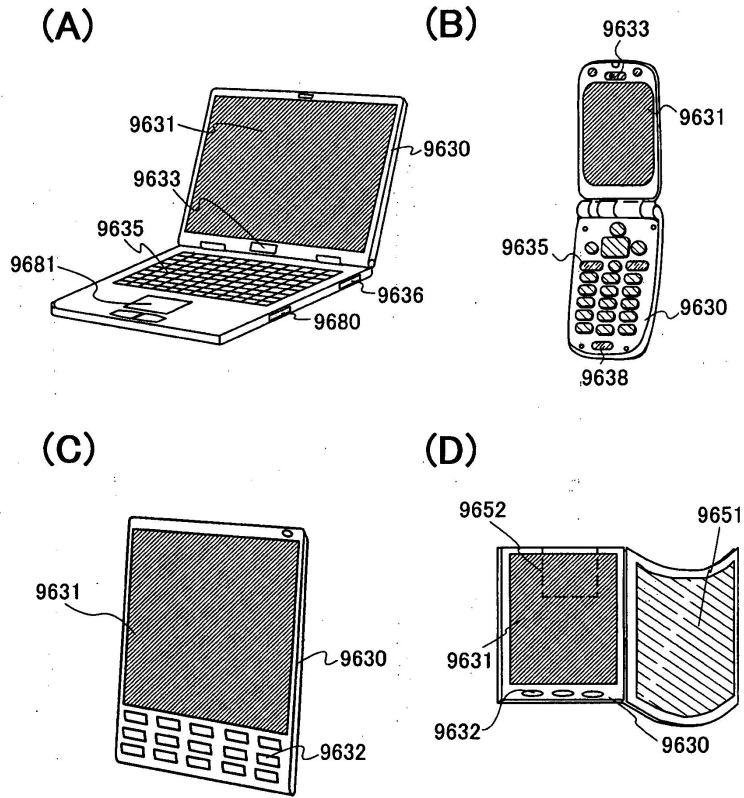
도면11



도면12

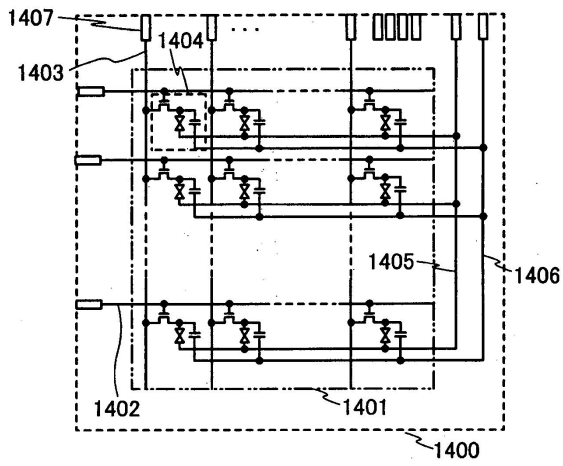


도면13

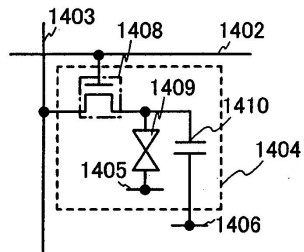


도면14

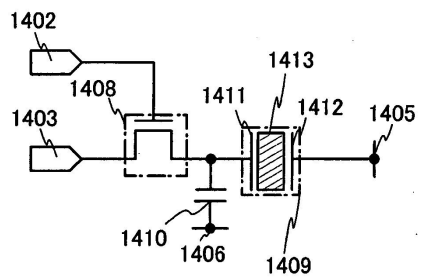
(A)



(B)

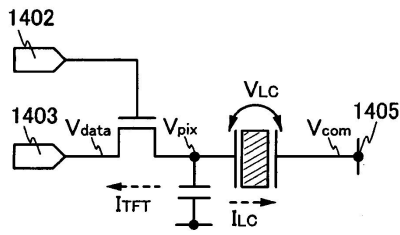


(C)

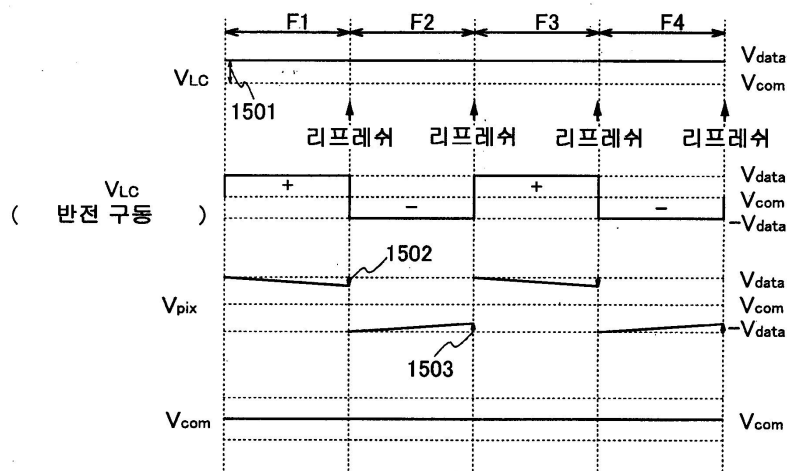


도면15

(A)



(B)

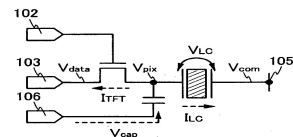


专利名称(译)	一种液晶显示装置的驱动方法		
公开(公告)号	KR1020140104039A	公开(公告)日	2014-08-27
申请号	KR1020147019916	申请日	2010-11-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所CO.LTD.		
当前申请(专利权)人(译)	半导体能源研究所CO.LTD.		
[标]发明人	MIYAKE HIROYUKI 미야케히로유키		
发明人	미야케히로유키		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3611 G09G3/3614 G09G3/3655 G09G2300/0408 G09G2300/0426 G09G2300/0876 G09G2320/10 G02F1/13306 G02F1/136213 G02F1/1368 G09G5/18 G09G2300/0404		
代理人(译)	黄的.		
优先权	2009295608 2009-12-25 JP		
其他公开文献	KR101613701B1		
外部链接	Espacenet		

摘要(译)

当本发明指示静态化时，刷新率降低。仍然是由一个主题压制所指示的图像的恶化来完成的。与像素电极电连接的像素晶体管和一个电极电连接到像素电极，并且具有电容元件，其中不同的一侧电极电连接到电容器线，并且像素晶体管处于导通状态，并且基于图像信号的电压在像素电极中提供，并且其具有其后像素晶体管处于非导通状态的停留时段，并且基于图像信号执行电压的维持，并且像素电极供应电容器。根据基于图像信号的电压停留期间的变化，使保持信号成为一条线，并使像素电极的电位恒定。

(A)



(B)

