



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0122116
(43) 공개일자 2013년11월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2012-0045186

(22) 출원일자 2012년04월30일

심사청구일자 2012년04월30일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

홍진철

경기도 파주시 교하읍 책향기마을 신동아APT
1107/902

강필성

경기도 파주시 교하읍 와동리 교하신도시 A7블럭
해솔마을 1단지 두산위브 103-1802

(뒷면에 계속)

(74) 대리인

특허법인천문

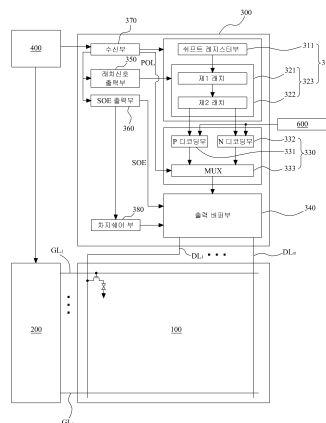
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 액정표시장치 및 그 구동 방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 특히, 패널로 영상 데이터가 출력되도록 하는 소스 출력 인에이블 신호(SOE)와는 별개로 구동되는 래치신호를 이용하여, 제1래치로부터 제2래치로 데이터가 전송되도록 하는, 액정표시장치 및 그 구동 방법을 제공하는 것을 기술적 과제로 한다. 이를 위해 본 발명에 따른 액정표시장치는, 패널; 상기 패널의 게이트라인들을 순차적으로 구동하기 위한 하나 이상의 게이트 드라이브 IC; 상기 게이트 드라이브 IC를 제어하기 위한 타이밍 컨트롤러; 및 상기 타이밍 컨트롤러로부터 전송되어온 신호들을 이용하여 생성된 래치신호에 따라 제1래치에서 제2래치로 영상 데이터를 동시에 출력하고, 상기 제2래치로부터 전송되어온 영상 데이터를 데이터 전압으로 변경하며, 소스 출력 인에이블 신호(SOE)의 폴링 시점에 상기 데이터 전압을 상기 패널로 출력하기 위한 소스 드라이브 IC를 포함한다.

대표도 - 도4



(72) 발명자

박만규

경기도 파주시 금촌2동 쉼재마을 506동 803호

오승철

경기도 고양시 덕양구 화정2동 별빛마을8단지아파트 803-1305

특허청구의 범위

청구항 1

패널;

상기 패널의 게이트라인들을 순차적으로 구동하기 위한 하나 이상의 게이트 드라이브 IC;

상기 게이트 드라이브 IC를 제어하기 위한 타이밍 컨트롤러; 및

상기 타이밍 컨트롤러로부터 전송되어온 신호들을 이용하여 생성된 래치신호에 따라 제1래치에서 제2래치로 영상 데이터를 동시에 출력하고, 상기 제2래치로부터 전송되어온 영상 데이터를 데이터 전압으로 변경하며, 소스 출력 인에이블 신호(SOE)의 폴링 시점에 상기 데이터 전압을 상기 패널로 출력하기 위한 소스 드라이브 IC를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 래치신호는, 수평동기신호의 블랭크 기간 중에 출력되어 상기 제1래치로부터 상기 제2래치로 영상 데이터가 동시에 전송되도록 하고,

상기 소스 출력 인에이블 신호(SOE)는, 상기 수평동기신호의 블랭크 기간 중에 폴링되어 상기 데이터 전압이 상기 패널로 출력되도록 하며,

상기 소스 출력 인에이블 신호는 상기 래치신호가 출력된 이후에 출력되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 소스 출력 인에이블 신호(SOE)의 라이징 시점은, 상기 수평동기신호 중 상기 블랭크 기간의 바로 전 디스플레이 기간에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 소스 출력 인에이블 신호(SOE)의 라이징 시점에, 상기 패널에 대한 차지웨어 기능을 수행하기 위한 차지웨어부를 더 포함하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 소스 드라이브 IC는,

상기 타이밍 컨트롤러와 통신을 수행하여 상기 영상 데이터를 수신하기 위한 수신부;

상기 수신부를 통해 수신된 상기 영상 데이터를 상기 제1래치와 상기 제2래치를 이용하여 병렬 데이터로 변환하기 위한 샘플링부;

상기 샘플링부로부터 전송되어온 영상 데이터를 데이터 전압으로 변환하기 위한 DAC;

상기 DAC로부터 전송되어온 데이터 전압을 상기 패널로 출력하는 출력부;

상기 수신부를 통해 수신된 정보들을 이용하여 상기 소스 출력 인에이블 신호(SOE)를 출력하기 위한 SOE 출력부; 및

상기 수신부를 통해 수신된 정보들을 이용하여 상기 래치신호를 출력하기 위한 래치신호 출력부를 포함하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 래치신호 출력부는,

상기 타이밍 컨트롤러로부터 상기 래치신호를 전달받아 출력하거나, 또는, 상기 타이밍 컨트롤러로부터 수신된 신호들을 이용하여 상기 래치신호를 생성하여 출력하거나, 또는, 상기 샘플링부로부터 출력된 신호를 이용하여 상기 래치신호를 생성하여 출력하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 수신부는,

EPI 방식을 통해 상기 타이밍 컨트롤러와 통신을 수행하여, 상기 타이밍 컨트롤러로부터 소스 컨트롤 데이터 패킷과 영상 데이터 패킷을 수신하는 수신기;

상기 수신기로부터 전송되는 패킷들 중에서, 상기 영상 데이터 패킷(DP)과 상기 소스 컨트롤 데이터 패킷(CON)을 분리하며, 상기 영상 데이터 패킷으로부터 영상 데이터(RGB)를 추출하여 상기 샘플링부로 전송하기 위한 패킷 분리기;

상기 수신기로부터 전송되는 패킷들 중에서, 클럭 비트를 분리하기 위한 클럭 분리기; 및

상기 클럭 비트를 이용하여 내부클럭을 생성하기 위한 내부클럭 생성기를 포함하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 SOE 출력부는,

상기 패킷 분리기로부터 전송되어온 상기 소스 컨트롤 데이터 패킷을, 상기 내부클럭에 따라 샘플링하여, 상기 소스 출력 인에이블 신호(SOE)를 생성하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 7 항에 있어서,

상기 래치신호 출력부는,

상기 샘플링부를 구성하는 쉬프트 레지스터부의 마지막 쉬프트 레지스터로부터 출력된 신호를, 레지스터를 통해 지연시켜 상기 래치신호를 생성하는 것을 특징으로 하는 액정표시장치.

청구항 10

수평동기신호의 블랭크 기간 중에 래치신호를 출력하여, 제1래치로부터 제2래치로 영상 데이터가 동시에 전송되도록 하는 단계;

상기 제2래치로부터 전송된 상기 영상 데이터를 데이터 전압으로 변경시키는 단계; 및

상기 블랭크 기간 중 상기 래치신호 출력 후에, 소스 출력 인에이블 신호(SOE)를 폴링시키며, 상기 폴링 시점에서 상기 데이터 전압을 패넬로 출력하는 단계를 포함하는 액정표시장치 구동 방법.

청구항 11

제 10 항에 있어서,

상기 블랭크 기간의 바로 전 디스플레이 기간에서, 상기 소스 출력 인에이블 신호(SOE)를 라이징 시키며, 상기 라이징 시점에서 상기 패넬에 대한 차지웨어 기능을 수행하는 단계를 더 포함하는 액정표시장치 구동 방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 특히, 소스 드라이브 IC가 패널 로드(Load)를 충/방전하는 시점에서, 고전위전압(VDD)과 저전위전압(VSS)간의 파워 리플(Power Ripple)에 의해 발생하는 수직 라인 노이즈(Vertical Line Noise)를 방지할 수 있는 액정표시장치 및 그 구동 방법에 관한 것이다.

배경기술

[0002] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소들이 매트릭스 형태로 배열되어진 패널과, 이 패널을 구동하기 위한 구동회로를 구비한다.

[0003] 패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고, 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 화소들이 위치한다.

[0004] 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이브 IC, 데이터라인들을 구동하기 위한 소스 드라이브 IC 및 게이트 드라이브 IC와 소스 드라이브 IC를 제어하기 위한 타이밍 컨트롤러를 구비한다. 게이트 드라이브 IC는 스캐닝 신호를 게이트라인들에 순차적으로 공급하여 패널 상의 화소들을 1라인분씩 순차적으로 구동한다. 소스 드라이브 IC는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 액정표시장치는 적어도 하나 이상의 소스 드라이브 IC(Source Drive Integrated Circuit)(이하, 간단히 '소스 드라이브 IC'라 함) 및 적어도 하나 이상의 게이트 드라이브 IC(Gate Drive Integrated Circuit)(이하, 간단히 '게이트 드라이브 IC'라 함)로 구성될 수 있다.

[0005] 도 1은 종래의 소스 드라이브 IC의 구성과 동작을 설명하기 위한 예시도로서, (a)는 소스 드라이브 IC의 내부 구성요소들의 연결 상태를 나타낸 것이며, (b)는 (a)에 도시된 구성요소들의 스위칭 동작을 설명하기 위한 표이다. (b)에서 C/S모드는 차지쉐어전압을 이용하는 모드로서, 제3스위치(SW3)가 온되면, 패널에 차지쉐어전압(C/S)이 충전된다. (b)에서 Hi-Z는 차지쉐어전압을 이용하지 않는 모드로서, 제3스위치는 (b)에 도시된 바와 같이 항상 오프상태로 유지된다. 이하에서는, C/S 모드를 일예로하여 종래 기술이 설명된다. 도 2는 종래의 소스 드라이브 IC에서의 다양한 신호들의 파형을 나타낸 예시도이다. 도 3은 EPI 방식을 이용한 종래의 소스 드라이브 IC에서의 내부클럭 및 데이터의 출력상태를 나타낸 예시도이다.

[0006] 종래의 소스 드라이브 IC에서는, 도 1 및 도 2에 도시된 바와 같이, 소스 출력 인에이블 신호(SOE)의 라이징(Rising) 시점에서, 제1래치(1st Latch)가 제2래치(2nd Latch)로 데이터(Data)를 전송하고, 소스 출력 인에이블 신호(SOE)의 폴링(falling) 시점에서, 소스 드라이브 IC의 출력(OUTPUT)이 패널 로드(Panel Load)를 충/방전하도록 구성되어 있다.

[0007] 즉, SOE가 라이징될 때, 제1스위치(SW1)가 온되어 제1래치(1st Latch)가 제2래치(2nd Latch)로 영상 데이터를 전송하며, 이때, 제3스위치(SW3)가 온되어 패널에 차지전압(C/S)이 충전된다. SOE가 폴링될 때, 제1스위치(SW1) 및 제3스위치는 오프되며, 제2스위치(SW2)가 온되어, 영상 데이터가 출력버퍼(Amp)로부터 패널로 출력된다.

[0008] 종래의 액정표시장치는, 상기한 바와 같이, SOE의 라이징(Rising) 시점에서 제1스위치(SW1)가 온되고, SOE의 폴링(Falling) 시점에서 제2스위치(SW2)가 온 되도록 구성되어 있다. 따라서, 도 2에 도시된 바와 같이, 제1스위치(SW1)는 반드시 마지막 영상 데이터>Last Data) 이후 시점에 온되고, 그 이후부터 제2스위치(SW2)가 온되는 시점까지는, 차지쉐어(Charge Share)가 이루어진다. SOE의 폴링 시점에서 제2스위치가 온되면, 소스 드라이브 IC로부터 데이터 전압(OUTPUT)이 패널로 출력된다.

[0009] 그러나, SOE 폴링 시점은, 도 2에 도시된 바와 같이, 제2스위치(SW2)가 온되어 소스 드라이브 IC가 패널 로드(Panel Load)를 구동하는 시점이므로, 고전위전압과 저전위전압(VDD-VSS) 간에 파워 리플(Power Ripple)이 발생할 수 있다.

[0010] 특히, 타이밍 컨트롤러와 점 대 점 방식(EPI)의 인터페이스(I/F)를 이용하는 소스 드라이브 IC는 파워 리플에 의한 영향을 크게 받는다. 즉, EPI를 이용하고 있는 소스 드라이브 IC에 있어서, 내부클럭을 발생하기 위해 소스 드라이브 IC에 구비되어 있는 지연락루프(DLL)는 저전압(Low Voltage)을 이용하고 있다. 따라서, 상기한 바와 같은 고전위전압과 저전위전압 간의 파워 리플은, 도 3에 도시된 바와 같이, DLL 회로의 그라운드(GND)(VSS)에 크게 영향을 미친다. 상기한 바와 같은 DLL 회로에서의 그라운드(VSS)의 리플(Ripple)은, 도 3에 도시된 바와 같이, 내부클럭의 페이스(Phase)를 쉬프트(Shift) 시킨다. 이 경우, 소스 드라이브 IC에서 출력되는 데이

터와 클럭 간의, 셋업/홀드 타임(Setup/Hold time) 부족으로 인해, 패널의 수직 라인 방향으로 노이즈(수직 라인 노이즈(Vertical Line Noise))가 발생된다.

[0011] 타이밍 컨트롤러와 소스 드라이브 IC 간의 인터페이스로 점 대 점 방식(EPI)이 아닌 다른 인터페이스(예를 들어, mini-LVDS 등)를 이용하는 소스 드라이브 IC의 경우에도, 소스 드라이브 IC 내부에 구비되어 저전압을 이용하는 회로들이 상기한 바와 같은 파워 리플의 영향을 받을 수 있으며, 이러한 경우에도, 패널의 수직 라인 방향으로 노이즈가 발생할 수 있다.

[0012] 또한, 저전압을 이용하는 회로가 아니더라도, 소스 드라이브 IC 내부의 구성요소들이 상기한 바와 같은 파워 리플에 영향을 받을 수 있으며, 이러한 경우에도, 패널의 수직 라인 방향으로 노이즈가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 상술한 문제점을 해결하기 위해 제안된 것으로서, 패널로 영상 데이터가 출력되도록 하는 소스 출력 인에이블 신호(SOE)와는 별개로 구동되는 래치신호를 이용하여, 제1래치로부터 제2래치로 데이터가 전송되도록 하는, 액정표시장치 및 그 구동 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0014] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정표시장치는, 패널; 상기 패널의 게이트라인들을 순차적으로 구동하기 위한 하나 이상의 게이트 드라이브 IC; 상기 게이트 드라이브 IC를 제어하기 위한 타이밍 컨트롤러; 및 상기 타이밍 컨트롤러로부터 전송되어온 신호들을 이용하여 생성된 래치신호에 따라 제1래치에서 제2래치로 영상 데이터를 동시에 출력하고, 상기 제2래치로부터 전송되어온 영상 데이터를 데이터 전압으로 변경하며, 소스 출력 인에이블 신호(SOE)의 폴링 시점에 상기 데이터 전압을 상기 패널로 출력하기 위한 소스 드라이브 IC를 포함한다.

[0015] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정표시장치 구동 방법은, 수평동기신호의 블랭크 기간 중에 래치신호를 출력하여, 제1래치로부터 제2래치로 영상 데이터가 동시에 전송되도록 하는 단계; 상기 제2래치로부터 전송된 상기 영상 데이터를 데이터 전압으로 변경시키는 단계; 및 상기 블랭크 기간 중 상기 래치신호 출력 후에, 소스 출력 인에이블 신호(SOE)를 폴링시키며, 상기 폴링 시점에서 상기 데이터 전압을 패널로 출력하는 단계를 포함한다.

발명의 효과

[0016] 본 발명은 패널로 데이터가 출력되도록 하는 소스 출력 인에이블 신호(SOE)와는 별개로 구동되는 래치신호를 이용하여, 제1래치로부터 제2래치로 데이터가 전송되도록 함으로써, 고전위전압과 저전위전압(VDD-VSS) 간의 파워 리플에 의해 발생하는 수직 라인 노이즈를 방지할 수 있다.

[0017] 즉, 본 발명은, SOE 폴링 시점에서 소스 드라이브 IC가 패널 로드를 구동함에 의해 발생되었던 VDD-VSS간 파워 리플(Power Ripple)에 의한 수직 라인 노이즈(Vertical Line Noise)를 근본적으로 방지할 수 있다.

도면의 간단한 설명

[0018] 도 1은 종래의 소스 드라이브 IC의 구성과 동작을 설명하기 위한 예시도.

도 2는 종래의 소스 드라이브 IC에서의 다양한 신호들의 파형을 나타낸 예시도.

도 3은 EPI 방식을 이용한 종래의 소스 드라이브 IC에서의 내부클럭 및 데이터의 출력상태를 나타낸 예시도.

도 4는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도.

도 5는 본 발명에 따른 액정표시장치의 소스 드라이브 IC에서 생성되는 각종 파형을 나타낸 예시도.

도 6은 본 발명에 따른 소스 드라이브 IC의 구성과 동작을 설명하기 위한 예시도.

도 7은 본 발명에 따른 액정표시장치에서 래치신호를 생성하는 방법을 설명하기 위한 예시도.

도 8은 EPI를 이용하고 있는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도.

도 9는 도 8에 도시된 액정표시장치에서 타이밍 컨트롤러(400)와 소스 드라이브 IC(300)의 인터페이스 방식인 EPI를 설명하기 위한 예시도.

도 10은 도 8에 도시된 소스 드라이브 IC(300)의 구성을 나타낸 예시도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.
- [0020] 도 4는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도이다.
- [0021] 본 발명에 따른 액정표시장치는, 데이터라인(DL)과 게이트라인들(GL)이 교차되며 그 교차부에 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 형성된 패널(100), 패널(100)의 데이터라인들(DL)에 데이터 전압(OUTPUT)을 공급하기 위한 하나 이상의 소스 드라이브 IC(300), 패널(100)의 게이트라인들(GL)을 순차적으로 구동하기 위한 하나 이상의 게이트 드라이브 IC(200), 소스 드라이브 IC(300)와 게이트 드라이브 IC(200)를 제어하기 위한 타이밍 컨트롤러(400) 및 소스 드라이브 IC(300)에 감마전압을 공급하기 위한 감마기준전압 생성부(600)를 구비한다.
- [0022] 우선, 패널(100)은 두 장의 유리기관으로 구성되며, 두 장의 유리기관 사이에는 액정이 주입된다. 패널(100)의 데이터라인들(DL)과 게이트라인들(GL)의 교차부에는 화소(픽셀)가 형성되며, 각 화소에 구비된 TFT는, 게이트 드라이브 IC(200)로부터 인가되는 스캐닝 펄스에 응답하여, 소스 드라이브 IC(300)로부터 인가되는 데이터 전압을 각 화소에 구비된 화소전극에 공급한다.
- [0023] 다음, 타이밍 컨트롤러(400)는 퍼스널 컴퓨터 또는 텔레비전과 같은 외부시스템으로부터 구동전압을 공급받는다. 타이밍 컨트롤러(400)는 외부시스템으로부터 전송되어온 적색(R), 녹색(G) 및 청색(B)의 입력 영상 데이터를 패널에 맞게 정렬시킨 후, 정렬된 영상 데이터를 소스 드라이브 IC(300)에 공급한다. 타이밍 컨트롤러(400)는 외부시스템으로부터 입력되는 수평/수직 동기신호(타이밍신호)를 이용하여 도트클럭(Dclk) 및 각종 제어신호들(SSP, SSC, SOE, REV, POL, GSC, GOE, GSP 등)을 생성하여 소스 드라이브 IC(300)와 게이트 드라이브 IC(200)를 제어한다. 제어신호들 중 소스 드라이브 IC(300)를 제어하는 제어신호들은 데이터 제어신호(DCS)라 하며, 게이트 드라이브 IC(200)를 제어하는 제어신호들은 게이트 제어신호(GCS)라 한다. 도트클럭(Dclk) 및 데이터 제어신호들(SSP, SSC, SOE, REV, POL 등)은 소스 드라이브 IC(300)에 공급되며, 게이트 제어신호들(GSP, GSC, SOE 등)은 게이트 드라이브 IC(200)에 공급된다. 타이밍 컨트롤러(400)는 LVDS(Low Voltage Differential Signal) 인터페이스 또는 TTL 인터페이스 등을 통해 외부시스템과 통신을 수행하여, 타이밍신호 및 입력 영상 데이터를 입력받는다.
- [0024] 다음, 게이트 드라이브 IC(200)는 타이밍 컨트롤러(400)로부터 입력되는 게이트 스타트 펄스(GSP)에 응답하여 순차적으로 스캔펄스를 발생하는 쉬프트 레지스터와, 스캔펄스의 전압을 액정셀의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터 등으로 구성된다. 그러나, 게이트 드라이브 IC(200)가 패널에 실장되어 있는 게이트인 패널(GIP) 타입인 경우, 게이트 드라이브 IC(200)는 타이밍 컨트롤러(400)에서 발생하는 게이트 스타트신호(VST) 및 게이트 클럭(GCLK) 등과 같은 게이트 제어신호들에 의해 구동될 수 있다. 게이트 드라이브 IC(200)는 패널의 크기 및 특성에 따라 하나 이상 구비될 수 있다.
- [0025] 다음, 감마기준전압 생성부(600)는 감마기준전압을 생성하여 소스 드라이브 IC(300)로 공급한다. 소스 드라이브 IC(300)는 감마기준전압을 이용해 영상 데이터를 아날로그 데이터 전압으로 변경시켜 패널(100)로 출력한다.
- [0026] 마지막으로, 소스 드라이브 IC(300)는, 래치신호(350)를 이용해, 수평동기신호(Hsync)의 수평블랭크 기간 동안 영상 데이터를 제1래치(321)로부터 제2래치(322)로 전송한다. 소스 드라이브 IC(300)는 소스 출력 인에이블 신호(SOE : Source Output Enable Signal, SOE)(이하, 간단히 'SOE'라 함)의 폴링(Falling) 시점을 수평동기신호(Hsync)의 수평블랭크 기간 중에 위치시켜, 수평블랭크 기간 중에 데이터 전압을 패널로 인가하는 동작이 시작되도록 한다. 이를 위해 소스 드라이브 IC는, 라이징 시점이 수평동기신호의 디스플레이 기간 중에 발생되고, 폴링 시점이 수평동기신호의 수평블랭크 기간 중에 발생하는 SOE를 출력하기 위한 SOE 출력부(360) 및 제1래치로부터 제2래치로 데이터가 전송되도록 하는 래치신호를 출력하기 위한 래치신호 출력부(350)를 포함하고 있다. 상기한 바와 같은 기능을 수행하는 소스 드라이브 IC(300)에 대하여는, 도 4 내지 도 6을 참조하여 상세히 설명된다.

- [0027] 도 5는 본 발명에 따른 액정표시장치의 소스 드라이브 IC에서 생성되는 각종 파형을 나타낸 예시도이다. 도 6은 본 발명에 따른 소스 드라이브 IC의 구성과 동작을 설명하기 위한 예시도로서, (a)는 소스 드라이브 IC의 내부 구성요소들의 연결 상태를 나타낸 예시도이며, (b)는 (a)에 도시된 구성요소들의 스위칭 동작을 설명하기 위한 표이다. 도 7은 본 발명에 따른 액정표시장치에서 래치신호를 생성하는 방법을 설명하기 위한 예시도이다.
- [0028] 소스 드라이브 IC(300)는 상기한 바와 같이 타이밍 컨트롤러(400)로부터 전송되어온 디지털 영상 데이터를 아날로그 데이터 전압으로 변경하여 패널(100)로 출력한다.
- [0029] 소스 드라이브 IC의 구성을 구체적으로 설명하기에 앞서, 도 6에 대하여 설명하면 다음과 같다. 도 6의 (b)에서 C/S모드는 차지쉐어전압을 이용하는 모드로서, SOE의 라이징 시점에 맞춰 제3스위치(SW3)가 온되면, SOE의 폴링 시점까지 패널에 차지쉐어전압(C/S)이 충전되며, SOE의 폴링 시점 이후에는, 데이터 전압이 출력된다. 차지쉐어전압(C/S)은 데이터 전압(OUTPUT)의 1/2에 해당되는 값을 가질 수 있다.
- [0030] 그러나, 여기서 차지쉐어전압(C/S)이란 실질적으로 패널에 주입되는 전압은 아니며, 패널 내의 (+)전하(charge)와 (-)전하(charge)의 쉐어(share)에 의해 발생하는 전압이다. 즉, 이하에서 설명될 차지쉐어부(380)에서 수행되는 차지쉐어(Charge Share) 기능은, 패널로 특별한 전압을 인가시키는 것은 아니며, 패널 내의 (+)전하와 (-)전하를 쉐어(Share)해 주는 제3스위치(SW3)를 On시켜 줌으로써, 패널 내에 차지쉐어전압(C/S)이 발생되도록 하는 기능이다(이하, 동일함).
- [0031] 즉, 데이터 전압이 패널로 출력되기에 앞서, 패널의 전압을 차지쉐어전압(C/S) 만큼 상승시켜 놓음으로써, 데이터 전압이 신속하게 해당 레벨로 상승될 수 있다. 이를 통해, 영상이 출력될 때까지의 지연시간이 감소될 수 있다. 도 6의 (b)에서 Hi-Z는 차지쉐어전압을 이용하지 않는 모드로서, 이 경우, 제3스위치는 (b)에 도시된 바와 같이 항상 오프상태로 유지된다. 따라서, 데이터 전압(OUTPUT)은 SOE의 폴링 시점에서, 기준전압으로부터 출력된다.
- [0032] 본 발명은 상기한 바와 같은 차지쉐어전압(C/S)을 이용할 수도 있고, 이용하지 않을 수도 있다. 이하에서는, 차지쉐어전압(C/S)을 이용하는 경우를 일례로 하여 본 발명이 설명된다.
- [0033] 소스 드라이브 IC(300)는, 도 4에 도시된 바와 같이, 타이밍 컨트롤러와 통신을 수행하여 영상 데이터와 제어신호들을 수신하기 위한 수신부(370), 수신부를 통해 수신된 영상 데이터를 제1래치(321)와 제2래치(322)를 이용하여 병렬 데이터로 변환하기 위한 샘플링부(310), 샘플링부(310)로부터의 적색(R), 녹색(G) 및 청색(B)의 영상 데이터를 아날로그의 데이터 전압으로 변환하는 디지털-아날로그 변환부(이하, 간단히 'DAC'라 함)(330), DAC(330)로부터의 적색(R), 녹색(G) 및 청색(B)의 데이터 전압을 완충하여 출력하는 출력버퍼부(340), 수신부(370)를 통해 수신된 정보들을 이용하여 라이징 시점이 수평동기신호(Hsync)의 디스플레이 기간 중에 발생되고 폴링 시점이 수평동기신호의 수평블랭크 기간 중에 발생하는 SOE를 출력하기 위한 SOE 출력부(360), 수신부를 통해 수신된 정보들을 이용하여 샘플링부(310)의 제1래치(321)로부터 제2래치(322)로 영상 데이터가 전송되도록 하는 래치신호를 출력하기 위한 래치신호 출력부(350) 및 SOE의 라이징 시점에 맞춰 차지쉐어전압이 패널(100) 내에 발생되도록 하기 위한 차지쉐어부(380)를 포함한다. 액정표시장치는 도 4에 도시된 바와 같은 구성을 포함하는 k개의 소스 드라이브 IC로 구성될 수 있다. 이러한 k개의 소스 드라이브 IC들 각각은, m/k 개씩의 데이터 라인들(DL)을 구동한다. 즉, 전체 데이터라인(DL)의 숫자가 m개 이고, 소스 드라이브 IC(300)들의 숫자가 k개인 경우, 각각의 소스 드라이브 IC(300)들은 m/k 개씩의 데이터라인들에 데이터 전압을 공급한다. 액정표시장치에는 상기한 바와 같이, 적어도 하나 이상의 소스 드라이브 IC(300)가 구비되나, 도 5 및 이하에서는, 설명의 편의상, 하나의 소스 드라이브 IC(300)가 구비된 경우를 일례로 하여 본 발명이 설명된다.
- [0034] 우선, 수신부(370)는 타이밍 컨트롤러(400)와 통신을 수행하여, 타이밍 컨트롤러(400)로부터 영상 데이터 및 각종 제어신호들을 수신하는 기능을 수행한다. 타이밍 컨트롤러와 소스 드라이브 IC가 mini-LVDS와 같은 인터페이스를 이용하는 경우, 수신부는, 각종 데이터 제어신호(DCS) 및 영상 데이터(RGB)를 타이밍 컨트롤러로부터 수신한다. 또한, 타이밍 컨트롤러와 소스 드라이브 IC가 임베디드 클럭(Embedded clock) 방식의 인터페이스인 이피아이(EPI : Embedded Clock Point-Point Interface)(이하, 간단히 'EPI'라 함)를 이용하는 경우, 수신부는, 프리앰블 신호(Preamble signal), 소스 컨트롤 데이터 패킷, 클럭신호, 영상 데이터(RGB) 패킷 등을 수신할 수 있다.
- [0035] 다음, 샘플링부(310)는 수신부를 통해 수신된 영상 데이터를 제1래치와 제2래치를 이용하여 병렬 데이터로 변환하기 위한 것으로서, 수신부(370)를 통해 수신된 신호들을 이용하여 샘플링 신호를 발생하기 위한 쉬프트 레지스터부(311) 및 영상 데이터를 래치하고 있다가 DAC(330)로 동시에 출력하기 위해 제1래치(321)와 제2래치(322)

2)로 구성된 래치부(323)를 포함한다.

- [0036] 쉬프트 레지스터부(311)에 포함된 쉬프트 레지스터들은 수신부(370)를 통해 전송되어온 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력할 수 있다.
- [0037] 래치부(323)는 쉬프트 레지스터부(311)로부터 전송되어온 샘플링신호에 응답하여 수신부(370)를 통해 수신된 영상 데이터를 일정단위씩 순차적으로 샘플링하여 래치한다.
- [0038] 특히, 래치부(323)는 쉬프트 레지스터부(311)로부터 순차적으로 입력되는 샘플링신호에 응답하여 영상 데이터를 순차적으로 래치한 다음, 래치된 데이터를 동시에 출력하기 위한 제1래치(321) 및 제1래치(321)로부터 입력되는 영상 데이터들을 래치한 다음, 래치하고 있던 영상 데이터들을, 소스 출력 인에이블 신호(SOE)의 폴링 시점 이후의 로우 논리 기간 동안, 동시에 DAC(330)로 출력하기 위한 제2래치(322)를 포함한다.
- [0039] 여기서, 제1래치(321)는 래치되어 있는 영상 데이터들을, 래치신호 출력부(350)에서 전송되어온 래치신호에 따라, 동시에 제2래치(322)로 출력한다.
- [0040] 또한, 제2래치(322)는 상기한 바와 같이, SOE의 폴링 시점에 맞춰, 래치하고 있던 영상 데이터들을 동시에 DAC(330)로 출력한다. 이때, 액정표시장치가 k개의 소스 드라이브 IC로 구성되어 있다면, 각 소스 드라이브 IC들에 구비된 제2래치(322)들은, 래치하고 있던 영상 데이터들을, SOE의 폴링 시점 이후의 로우 논리 기간 동안, 다른 소스 드라이브 IC들의 제2래치(322)들과 동시에 DAC(330)로 출력한다.
- [0041] 다음, DAC(330)는 샘플링부(310)의 래치부(323)로부터 전송되어온 영상 데이터들을 동시에 정극성 또는 부극성의 데이터 전압으로 변환하여 출력한다. 이를 위해, DAC(330)는, 래치부(323)에 공통 접속된 P(Positive) 디코딩부(331)와 N(Negative) 디코딩부(332) 및 수신부(370)를 통해 전송되어온 극성제어신호(POL)에 따라 P 디코딩부(331) 또는 N 디코딩부(332)의 출력신호 중 어느 하나를 선택하기 위한 멀티플렉서(Multiplexer : MUX)(333)를 구비한다. 여기서, P 디코딩부(331) 및 N 디코딩부(332)는 래치부(323)로부터 동시에 입력되는 영상 데이터들을 감마기준전압 생성부부(600)로부터 전송되어온 정극성 또는 부극성의 감마기준전압들을 이용하여 정극성 또는 부극성의 데이터 전압으로 변환시킨다.
- [0042] 다음, 출력버퍼부(340)는 SOE 출력부(360)로부터 전송되어온 SOE의 폴링 시점에 응답하여, DAC(330)로부터 전송되어온 정극성 또는 부극성의 데이터 전압을 패널(100)의 데이터라인들로 출력한다. 또한, 소스 드라이브 IC(300)에 차지체어부(380)가 구비된 경우, 출력버퍼부(340)는 SOE의 라이징 시점에 응답하여 패널에 차지체어 전압이 발생되도록 할 수 있다.
- [0043] 다음, 래치신호 출력부(350)는 상기한 설명 및 도 5와 도 6에 도시된 바와 같이, 래치신호를 출력하는 기능을 수행한다. 즉, 제1래치(321)에 구비되어 있는 제1스위치(SW1)가 래치신호에 동기되어 턴온되면, 제1래치(321)는 래치되어 있던 영상 데이터들을, 동시에 제2래치(322)로 출력한다.
- [0044] 래치신호는 다양한 방법을 통해 생성된 후, 래치신호 출력부(350)를 통해 출력될 수 있다.
- [0045] 첫 번째 방법으로서, 래치신호는 도 5에 도시된 바와 같은 타이밍 및 펄스폭을 갖도록 타이밍 컨트롤러(400)로부터 생성되어, 소스 드라이브 IC(300)의 수신부(370)로 수신된 후, 래치신호 출력부(350)를 통해 출력될 수 있다. 즉, 타이밍 컨트롤러(400)는 소스 드라이브 IC(300)를 제어하기 위한 데이터 제어신호(DCS)를 생성하기 위한 제어신호 생성부 및 외부시스템으로부터 입력된 입력 영상 데이터를 정렬하여 소스 드라이브 IC(300)로 전송하기 위한 데이터 정렬부를 포함하고 있으며, 래치신호는 다른 데이터 제어신호들과 함께 제어신호 생성부에서 생성되어 소스 드라이브 IC(300)로 전송될 수 있다. 여기서, 래치신호는 도 5에 도시된 바와 같이, 수평동기신호(Hsync)의 블랭크 기간 중에서, SOE의 폴링 시점 보다 앞선 시간에 출력되도록 생성되어야 한다.
- [0046] 두 번째 방법으로서, 래치신호는 수신부를 통해 수신된 제어신호 또는 클럭을 이용하여 래치신호 출력부(350)에서 생성된 후 출력될 수 있다. 즉, 래치신호 출력부(350)는 수신부를 통해 수신된 데이터 제어신호들 중 어느 하나를 이용하거나, 수신부를 통해 수신된 클럭을 이용하여, 도 5에 도시된 바와 같은 파형을 갖는 래치신호를 생성하여 출력할 수 있다. 예를 들어, 래치신호 출력부(350)는 지연기 또는 레지스터로 구성되어, 수신부(370)를 통해 수신된 소스 스타트 펄스(SSP)를 지연시킴으로써, 도 5에 도시된 바와 같은 파형을 갖는 래치신호를 생성할 수 있다. 또한, 래치신호 출력부(350)는 수신부를 통해 수신된 클럭을 도 5에 도시된 바와 같은 파형을 갖도록 지연시킴으로써, 래치신호를 생성할 수도 있다.
- [0047] 세 번째 방법으로서, 도 7에 도시된 바와 같이 복수 개의 레지스터(Register)로 구성된 래치신호 출력부(350)는, 쉬프트 레지스터부(311)의 마지막 쉬프트 레지스터로부터 출력된 신호를 레지스터를 통해 지연

시켜 래치신호를 생성할 수 있다. 예를 들어, 데이터라인의 수(채널수)가 960개인 패널의 경우, 쉬프트 레지스터부(311)는 320개의 쉬프트 레지스터로 구성될 수 있으며, 소스 스타트 펄스(SSP) 및 클럭(Clock)에 의해 순차적으로 구동되는 각각의 쉬프트 레지스터를 통해 출력되는 샘플링 신호에 따라, 영상 데이터가 순차적으로 제1래치(321)에 래치된다. 따라서, 마지막 쉬프트 레지스터(#320)에서 샘플링 신호가 수신되면, 제1래치(321)에는 모든 영상 데이터가 래치된다. 마지막 쉬프트 레지스터(#320)로부터 샘플링 신호를 인가받은 래치신호 출력부(350)는 도 5에 도시된 바와 같이, 수평동기신호의 블랭크 기간 중에 제1스위치(SW1)가 턴온될 수 있도록, 샘플링 신호를 지연시켜 제1래치(321)로 출력한다. 여기서, 래치신호의 출력 타이밍은 래치신호 출력부(350)에 구비된 레지스터들의 갯수를 통해 제어될 수 있다. 래치신호 출력부(350)에서 출력된 래치신호는 제1스위치(SW1)를 턴온시켜, 상기한 바와 같이, 제1래치(321)에 래치되어 있던 영상 데이터들이 동시에 제2래치(322)로 출력되도록 한다. 이 경우, 소스 드라이브 IC(300)가 k개인 경우, 쉬프트 레지스터부(311) 역시 k개가 존재하며, 각각의 쉬프트 레지스터부(311)는 320/k개의 쉬프트 레지스터를 구비한다. 또한, 래치신호 출력부(350)로 출력되는 샘플링 신호는, k번째 소스 드라이브 IC(300)의 쉬프트 레지스터부(311)에 구비된 마지막 쉬프트 레지스터에서 출력된 것이다.

[0048] 상기한 바와 같은 세 가지 방법 이외에도, 래치신호는 다양한 방법을 통해 생성되어, 도 5에 도시된 바와 같은 타이밍에, 제1스위치(SW1)를 턴온시킬 수 있다.

[0049] 마지막으로, SOE 출력부(360)는 출력버퍼부(330)를 제어하기 위한 SOE를 출력한다. SOE는 상기한 바와 같이, DAC(330)를 통해 변환된 데이터 전압을 출력버퍼부(340)를 통해 패널(100)로 출력시키기 위한 제어신호로서, 도 5에 도시된 바와 같이, SOE의 폴링 신호에 따라 출력버퍼부(330)의 제2스위치(SW2)가 턴온되어, 데이터 전압이 출력버퍼부(330)를 통해 패널로 출력된다.

[0050] SOE의 폴링 시점은 수평동기신호(Hsync)의 블랭크 기간 중 래치신호에 의해 제1스위치(SW1)가 턴온되는 시점 이후에 발생하는 것이 바람직하다.

[0051] SOE의 라이징 시점은 SOE의 폴링 시점이 위치하는 블랭크 기간의 바로 전 디스플레이 기간에 위치될 수 있다. 여기서, SOE의 라이징 시점은 바로 전 디스플레이 기간 중 특히, 데이터 전압이 출력되지 않는 기간에 위치되도록 구성되어야 한다.

[0052] SOE의 라이징 시점은 수평동기신호(Hsync)의 블랭크 기간 중 제1스위치(SW1)가 턴온되는 시점 이전에 발생할 수도 있다. 그러나, 소스 드라이브 IC(300)에 차지웨어부(380)가 구비되어 있는 경우에는, 차지웨어전압(C/S)이 패널(100)에 충전되는 시간을 고려하여, SOE의 라이징 시점은 상기한 바와 같이, SOE의 폴링 시점이 위치하는 블랭크 기간의 바로 전 디스플레이 기간의 후단부에 위치되는 것이 바람직하다.

[0053] SOE는 다양한 방법을 통해 생성된 후, SOE 출력부(350)를 통해 출력될 수 있다.

[0054] 첫 번째 방법으로서, SOE는 도 5에 도시된 바와 같은 타이밍 및 펄스폭을 갖도록 타이밍 컨트롤러(400)로부터 생성되어, 소스 드라이브 IC(300)의 수신부(370)로 수신된 후, SOE 출력부(350)를 통해 출력될 수 있다. 즉, 타이밍 컨트롤러(400)의 제어신호 생성부는 각종 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)들과 함께, 도 5에 도시된 바와 같은 타이밍 및 펄스폭을 갖는 SOE를 생성한 후, SOE를 소스 드라이브 IC(300)로 전송하며, SOE 출력부(360)는 수신부를 통해 SOE를 수신하여 출력할 수 있다.

[0055] 두 번째 방법으로서, SOE 출력부(360)는 도 2에 도시된 바와 같은 종래의 타이밍 및 펄스폭을 갖는 입력SOE를 수신부(370)를 통해 수신받은 후, 수신된 입력SOE를 쉬프트시켜 도 5에 도시된 바와 같은 타이밍 및 펄스폭을 갖는 SOE를 생성할 수도 있다. 즉, 타이밍 컨트롤러(400)는 도 2에 도시된 바와 같이, 수평동기신호의 블랭크 기간 중에 라이징 시점이 위치하고, 수평동기신호의 디스플레이 기간 중에 폴링 시점이 위치하는 종래의 입력SOE를 생성하여 소스 드라이브 IC(300)로 전송하며, 소스 드라이브 IC(300)에 구비된 SOE 출력부(360)가, 수신부(370)를 통해 수신된 입력SOE를 쉬프트시켜 도 5에 도시된 바와 같은 SOE를 생성할 수도 있다.

[0056] 즉, SOE 출력부(360)는 도 5에 도시된 바와 같은 타이밍 및 펄스폭을 갖도록 타이밍 컨트롤러(400)에서 생성되어 전송되어온 SOE를 수신하여 그대로 출력할 수도 있으며, 타이밍 컨트롤러(400)에서 생성되어 전송되어온 종래의 입력SOE를 도 5에 도시된 바와 같은 타이밍 및 펄스폭을 갖는 SOE로 변환시켜 출력할 수도 있다.

[0057] 상기한 바와 같은 두 가지 방법 이외에도, SOE는 다양한 방법을 통해 생성된 후, 도 5 및 도 6에 도시된 바와 같이 라이징 또는 폴링되어, 제3스위치(SW3) 또는 제2스위치(SW2)를 턴온시켜, 차지웨어전압(C/S)이 패널에 발생되도록 하거나 또는 데이터 전압을 패널(100)에 인가할 수 있다.

- [0058] 상기한 바와 같은 본 발명은, 타이밍 컨트롤러(400)와 소스 드라이브 IC(300) 간의 인터페이스의 종류에 상관없이 모든 액정표시장치에 적용될 수 있다. 즉, 본 발명은 SOE의 라이징 시점에 제3스위치(SW3)가 동기되어 턴온되고, SOE의 폴링 시점에 제2스위치(SW2)가 동기되어 턴온되고, SOE의 폴링 시점이 수평동기신호(Hsync)의 디스플레이 기간에 포함되도록 구성되며, 수평동기신호의 블랭크 기간에 출력되는 래치신호에 의해 제1스위치(SW1)가 턴온되어 제1래치(321)로부터 제2래치(322)로 영상 데이터가 전송되도록 구성된 액정표시장치에 적용될 수 있다.
- [0059] 그러나, 종래 기술에서 언급된 바와 같이, 파워 리플(Power Ripple)에 의한 영향은, 특히, 저전압으로 구동되는 EPI를 이용하는 소스 드라이브 IC(300)에서 크게 발생될 수 있다. 따라서, 이하에서는 인터페이스로 EPI를 이용하는 소스 드라이브 IC(300)를 일례로 하여, 본 발명에 따른 액정표시장치가 상세히 설명된다. 한편, 이하에서도 8 내지 10을 참조하여 설명되는 본 발명에 따른 액정표시장치는, 도 4 내지 7을 참조하여 설명된 본 발명의 특수한 경우로서, 타이밍 컨트롤러(400)와 소스 드라이브(300) 간의 인터페이스로 EPI가 이용되고 있는 액정표시장치이다. 따라서, 이하의 설명 중, 도 4 내지 7을 통해 설명된 내용과 동일하거나 유사한 내용은 간단히 설명되거나 생략될 수 있다.
- [0060] 도 8은 EPI를 이용하고 있는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도이다.
- [0061] EPI(Embedded Clock Point-Point Interface)를 이용하고 있는 본 발명에 따른 액정표시장치는 패널(100), 타이밍 컨트롤러(400), 8개의 소스 드라이브 IC들(SDIC#1~SDIC#8)(300) 및 4개의 게이트 드라이브 IC들(GDIC#1~GDIC#4)(200)을 포함한다. 즉, 도 8에 도시된 액정표시장치는, 8개의 소스 드라이브 IC들(SDIC#1~SDIC#8)(300)로 구성되어 있으며, 각각의 소스 드라이브 IC들은 도 4에 도시된 바와 같은 소스 드라이브 IC(300)의 구성들을 포함하고 있다.
- [0062] 우선, 패널(100) 및 게이트 드라이브 IC(200)의 구성 및 기능은 도 4를 참조하여 설명된 패널(100) 및 게이트 드라이브 IC(200)의 구성 및 기능과 동일함으로, 그에 대한 상세한 설명은 생략된다.
- [0063] 다음, 타이밍 컨트롤러(400)는 LVDS 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 수직/수평 동기신호(Vsync, Hsync), 외부 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 외부 타이밍신호를 입력받아, 소스 드라이브 IC들(SDIC#1~SDIC#8)(300)과 게이트 드라이브 IC들(GDIC#1~GDIC#4)(200)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다.
- [0064] 특히, 타이밍 컨트롤러(400)는 EPI 방식으로 소스 드라이브 IC들(SDIC#1~SDIC#8)에 접속된다. 타이밍 컨트롤러(400)는 소스 드라이브 IC들(SDIC#1~SDIC#8)을 초기화하기 위한 프리앰블 신호(Preamble signal)와 데이터 제어신호를 포함한 소스 컨트롤 데이터 패킷, 클럭, 영상 데이터 패킷 등을 하나의 데이터 배선쌍을 통해 소스 드라이브 IC들(SDIC#1~SDIC#8)(300)에 전송한다.
- [0065] 타이밍 컨트롤러(400)의 제어신호 생성부에서 생성되는 게이트 제어신호(GCS)는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다.
- [0066] 타이밍 컨트롤러(400)의 제어신호 생성부에서 생성되는 데이터 제어신호(DCS)는, 프리앰블 신호를 전송하는 시간과 영상 데이터 패킷을 전송하는 시간 사이의 시간 동안 데이터 배선쌍을 통해, 소스 드라이브 IC들(SDIC#1~SDIC#8)에 전송된다. 데이터 제어신호(DCS)는 극성제어 관련 컨트롤 데이터와, 소스 출력 관련 컨트롤 데이터 등을 포함한다.
- [0067] 극성제어 관련 컨트롤 데이터는 소스 드라이브 IC들(SDIC#1~SDIC#8) 내에서 생성되는 펄스 형태의 극성제어신호(Polarity control signal : POL)를 제어하기 위한 제어정보를 포함한다. 소스 출력 관련 컨트롤 데이터는 소스 드라이브 IC들 내에서 생성되는 펄스 형태의 소스 출력 인에이블신호(Source Output Enable Signal, SOE)를 생성, 복원 또는 제어하기 위한 제어정보를 포함한다.
- [0068] 마지막으로, 소스 드라이브 IC들(SDIC#1~SDIC#8)(300)은 데이터 배선쌍을 통해 타이밍 컨트롤러(400)로부터 공급되는 프리앰블 신호에 따라, 출력 주파수와 위상을 고정(Locking)한다. 출력 주파수와 위상이 고정된 후, 소스 드라이브 IC들(SDIC#1~SDIC#8)은 데이터 배선쌍을 통해 디지털 비트 스트림으로 입력되는 영상 데이터 패킷으로부터 직렬 클럭을 복원한다. 소스 드라이브 IC들(SDIC#1~SDIC#8)(300)은 소스 컨트롤 데이터 패킷을 이용하여 극성제어신호(POL)와 소스 출력 인에이블신호(SOE)를 출력한다. 소스 드라이브 IC들(SDIC#1~SDIC#8)은 데이

터 배선쌍을 통해 입력되는 영상 데이터 패킷으로부터 클럭을 복원하여 데이터 샘플링을 위한 직렬 클럭을 발생하고 그 직렬 클럭에 따라 직렬로 입력되는 영상 데이터를 샘플링한다. 소스 드라이브 IC들(SDIC#1~SDIC#8)은 순차적으로 샘플링한 영상 데이터들을 병렬 체제로 변환한 후에, 극성제어신호(POL)에 응답하여, 영상 데이터들을 정극성/부극성의 데이터 전압으로 변환하고, 변환된 데이터 전압을 소스 출력 인에이블신호(SOE)에 응답하여 데이터라인들(DL)에 공급한다.

[0069] 상기한 바와 같은 소스 드라이브 IC들(300) 각각에서 출력되는 SOE는, 도 5에 도시된 바와 같은 타이밍 및 펄스 폭을 가진 것으로서, 도 4 내지 도 7을 참조하여 설명된 바와 같이, 수평동기신호(Hsync)의 블랭크 기간에서 출력된다. 이때, 데이터 전압(OUTPUT)은 SOE의 폴링 시점에 맞춰 패널(100)로 출력된다.

[0070] 또한, 소스 드라이브 IC들(300) 각각은 도 4 내지 도 7을 참조하여 설명된 바와 같이, 래치신호 출력부(350)에서 출력된 래치신호에 따라, 제1래치(321)로부터 제2래치(322)로 영상 데이터들을 동시에 출력한다.

[0071] 도 9는 도 8에 도시된 액정표시장치에서 타이밍 컨트롤러(400)와 소스 드라이브 IC(300)의 인터페이스 방식인 EPI를 설명하기 위한 예시도로서, 타이밍 컨트롤러(400)와 소스 드라이브 IC들(SDIC#1~SDIC#8)(300) 사이의 인터페이스 방식인 EPI를 도 9를 참조하여 상세히 설명하면 다음과 같다.

[0072] 타이밍 컨트롤러(400)와 소스 드라이브 IC들(SDIC#1~SDIC#8)(300) 사이에는 도 9에 도시된 바와 같이 데이터 배선쌍(DATA&CLK), 제어 배선쌍(SCL/SDA), 락체크 배선(LCS) 등의 배선들이 형성된다.

[0073] 타이밍 컨트롤러(400)는 데이터 배선쌍(DATA&CLK)을 통해 프리앰블신호, 소스 컨트롤 데이터 패킷, 영상 데이터 패킷을 순차적으로 소스 드라이브 IC들(SDIC#1~SDIC#8)에 전송한다. 소스 컨트롤 데이터 패킷은 클럭 비트, 극성제어 관련 컨트롤 데이터 비트, 소스 출력 관련 컨트롤 데이터 비트 등을 포함한 비트 스트림이다. 영상 데이터 패킷은 클럭 비트, 내부 데이터 인에이블 비트, 영상 데이터 비트 등을 포함한 비트 스트림이다. 데이터 배선쌍(DATA&CLK)은 1:1 즉, 점 대 점(Point to Point) 방식으로 타이밍 컨트롤러(400)를 소스 드라이브 IC들(SDIC#1~SDIC#8)(300) 각각에 직렬 연결한다. 소스 드라이브 IC들 각각은 데이터 배선쌍(DATA&CLK)을 통해 입력되는 클럭들을 복원한다. 따라서, 이웃한 소스 드라이브 IC들(300) 사이에는 클럭 캐리와 영상 데이터를 전달하는 배선이 필요없다.

[0074] 타이밍 컨트롤러(400)는 소스 드라이브 IC들(SDIC#1~SDIC#8)의 칩 식별코드(CID)와 소스 드라이브 IC들(300)의 각 기능을 제어하기 위한 칩 개별 제어 데이터들을 제어 배선쌍(SCL/SDA)을 통해 소스 드라이브 IC들(300)에 전송한다. 제어 배선쌍(SCL/SDA)은 타이밍 컨트롤러(400)와 소스 드라이브 IC들 사이에 공통으로 접속된다. 소스 드라이브 IC들이 2 개의 그룹으로 분리되어 두 개의 소스 PCB에 각각 접속된다면, 제1 제어 배선쌍(SCL/SDA1)은 타이밍 컨트롤러(400)와 제1 내지 제4 소스 드라이브 IC들(SDIC#1~SDIC#4) 사이에 병렬 접속되고, 제2 제어 배선쌍(SCL/SDA2)은 타이밍 컨트롤러(400)와 제5 내지 제8 소스 드라이브 IC들(SDIC#5~SDIC#8) 사이에 병렬 접속된다.

[0075] 타이밍 컨트롤러(400)는 소스 드라이브 IC들(SDIC#1~SDIC#8)의 출력이 안전하게 고정되었는지의 여부를 확인하기 위한 락신호(LOCK)를 락체크 배선(LCS1)을 통해 제1 소스 드라이브 IC(SDIC#1)에 공급한다. 소스 드라이브 IC들 사이에는 락신호(LOCK)를 전달하기 위한 배선을 통해 캐스케이드(cascade)로 접속된다. 제1 소스 드라이브 IC(SDIC#1)는 데이터 샘플링을 위한 클럭 출력의 주파수 및 위상이 고정되면 하이 논리의 락신호(Lock)를 제2 소스 드라이브 IC(SDIC#2)에 전달하고, 제2 소스 드라이브 IC(SDIC#2)는 출력 클럭의 주파수 및 위상을 고정된 후에 하이 논리의 락신호(Lock)를 제3 소스 드라이브 IC(SDIC#3)에 전달한다. 이와 같이 소스 드라이브 IC들(SDIC#1~SDIC#8)의 클럭 출력 주파수와 위상이 고정된 후에 마지막 소스 드라이브 IC(SDIC#8)의 클럭 출력 주파수와 위상이 고정되면 마지막 소스 드라이브 IC(SDIC#8)는 하이 논리의 락신호(Lock)를 피드백 락체크 배선(LCS2)을 통해 타이밍 컨트롤러(400)에 피드백 입력한다. 타이밍 컨트롤러(400)는 락신호(Lock)의 피드백 입력을 수신한 후에, 소스 컨트롤 데이터 패킷과 영상 데이터 패킷을 소스 드라이브 IC들(SDIC#1~SDIC#8)에 전송한다.

[0076] 상기에서 도 8 및 도 9를 참조하여 설명된 바와 같은 구성을 포함하는, 본 발명에 따른 액정표시장치의 구동 방법은 다음과 같다.

[0077] 우선, 액정표시장치에 전원이 인가되면 타이밍 컨트롤러(400)는 데이터 배선쌍(DATA&CLK)을 통해 기준신호들을

소스 드라이브 IC들(SDIC#1~SDIC#8)에 공급한다. 기준신호들은 낮은 주파수의 프리앰블신호와, 제1 소스 드라이브 IC(SDIC#1)에 공급되는 락신호(Lock)를 포함한다. 제1 소스 드라이브 IC(SDIC#1)는 프리앰블신호를 PLL 기준 클럭으로 복원하고, 그 PLL 기준 클럭출력과 PLL 출력의 위상이 고정되면, 하이논리의 락신호(Lock)를 제2 소스 드라이브 IC(SDIC#2)에 전달한다. 이어서, 제2 내지 제8 소스 드라이브 IC들(SDIC#2~SDIC#8)의 출력이 순차적으로 안정되게 고정되면 제8 소스 드라이브 IC(SDIC#8)는 하이논리의 락신호를 타이밍 컨트롤러(400)에 피드백 입력한다. 즉, 소스 드라이브 IC(300)는, 타이밍 컨트롤러(400)로부터 데이터 배선쌍(DATA&CLK)을 통해 낮은 주파수로 입력되는 프리앰블 신호에 따라, 출력의 위상과 주파수를 고정하여, 영상 데이터를 출력할 준비를 한다.

[0078] 다음, 소스 드라이브 IC(300)는, 타이밍 컨트롤러(400)로부터 데이터 배선쌍(DATA&CLK)을 통해 비트 스트림으로 입력되는 소스 컨트롤 데이터 패킷으로부터 기준 클럭을 복원하고, 극성제어 관련 컨트롤 데이터를 분리하며, 극성제어 관련 컨트롤 데이터에 기초하여 극성제어신호(POL)를 복원한다. 또한, 소스 드라이브 IC는 소스 컨트롤 데이터 패킷으로부터 소스 출력 관련 컨트롤 데이터를 분리하며, 소스 출력 관련 데이터에 기초하여 소스 출력 인에이블신호(SOE)를 복원한다.

[0079] 다음, 소스 드라이브 IC(300)는 데이터 배선쌍(DATA&CLK)을 통해 입력되는 영상 데이터 패킷으로부터 클럭을 분리하여 기준 클럭을 복원하고, 복원된 기준 클럭에 따라 영상 데이터 비트들 각각을 샘플링하기 위한 직렬 클럭 신호들을 발생한다. 이를 위해, 소스 드라이브 IC는 안정된 위상과 주파수로 클럭을 출력할 수 있는 위상 고정 루프(Phase locked loop)(이하, 간단히 'PLL'이라 함), 지연 락 루프(Delay Locked loop)(이하, 간단히 'DLL'이라 함) 등을 포함한다.

[0080] 다음, 소스 드라이브 IC(300)는 직렬 클럭에 따라 데이터 배선쌍(DATA&CLK)을 통해 직렬로 입력되는 영상 데이터 비트들 각각을 샘플링하여 제1래치(321)에 래치한 다음, 래치된 영상 데이터들을, 래치신호 출력부(350)로부터 출력된 래치신호에 따라 동시에 제2래치(322)로 출력하여, 직렬 전송 데이터 체계를 병렬 전송 데이터 체계로 변환한다. 래치신호는 도 4 내지 도 7을 참조하여 설명된 바와 같이, 다양한 방법을 통해 생성되어, 래치신호 출력부(350)를 통해 출력된다.

[0081] 다음, 소스 드라이브 IC(300)는 제2래치(322)에 래치된 영상 데이터들을 정극성 또는 부극성의 데이터 전압으로 동시에 변환하여 출력한다.

[0082] 마지막으로, 소스 드라이브 IC(300)는 SOE 출력부(360)로부터 전송되어온 SOE의 폴링 시점에 응답하여, 정극성 또는 부극성의 데이터 전압을 패널(100)의 데이터라인들로 출력한다. 또한, 소스 드라이브 IC(300)에 차지웨어부(380)가 구비된 경우, 소스 드라이브 IC(300)는 SOE의 라이징 시점에 응답하여 차지웨어전압이 패널에 발생되도록 할 수 있다. 여기서, 상기한 바와 같은 데이터 전압의 출력은 출력버퍼부(340)에서 이루어진다.

[0083] 한편, 상기과 같은 과정들 중 영상 데이터들을 정극성 또는 부극성의 데이터 전압으로 동시에 변환하여 출력하는 과정은 DAC(330)에서 이루어지는 것이고, 패널(100)로 데이터 전압을 출력하는 과정은 출력버퍼부(340)에서 이루어지는 것이며, 그 이외의 과정들은, 수신부(270), 래치신호 출력부(350), SOE 출력부(360) 및 샘플링부(310)에서 이루어지는 것으로서, 상기한 바와 같이, 수신부(270), 래치신호 출력부(350), SOE 출력부(360) 및 샘플링부(310)의 구성 및 기능은 다양하게 변경될 수 있다.

[0084] 이하에서는, 도 10을 참조하여, 수신부(370), 래치신호 출력부(350), SOE 출력부(360), 샘플링부(310), DAC(330) 및 출력버퍼부(340)를 구비하고 있는, 도 8 및 도 9에 도시된 소스 드라이브 IC(300)의 일예가 설명된다.

[0085] 도 10은 도 8에 도시된 소스 드라이브 IC(300)의 구성을 나타낸 예시도이다.

[0086] 본 발명에 적용되는 소스 드라이브 IC(300)는 상기한 바와 같이, 수신부(370), 샘플링부(310), DAC(330), 출력버퍼부(340), SOE 출력부(360), 래치신호 출력부(350) 및 차지웨어부(380)(미도시)를 포함하고 있다.

[0087] 우선, 수신부(370)는 타이밍 컨트롤러(400)와 통신을 수행하여 각종 정보들을 수신하기 위한 것으로서, 타이밍 컨트롤러(400)로부터 소스 컨트롤 데이터 패킷(CON)과 영상 데이터 패킷(DP)을 수신하는 수신기(371), 수신기로부터 전송되는 패킷들 중 영상 데이터 패킷(DP)과 소스 컨트롤 데이터 패킷(CON)을 분리하며 영상 데이터 패킷(DP)으로부터 영상 데이터(RGB)를 추출하여 샘플링부(310)로 전송하기 위한 패킷 분리기(372), 수신기로부터 전송되는 패킷들 중에서 클럭 비트를 분리하기 위한 클럭 분리기(373), 클럭 분리기로부터 전송되어온 클럭 비트를 이용하여 내부클럭을 생성하기 위한 내부클럭 생성기(374) 및 내부클럭 생성기로부터 출력되는 내부클럭의

위상과 주파수를 분석하여 락신호를 출력하기 위한 락 체크기(375)를 포함하고 있다.

- [0088] 수신기(371)는 타이밍 컨트롤러(400)와 연결된 데이터 배선쌍을 통해서, 직렬 형태로 전송되는 영상 데이터 패킷(DP) 및 소스 컨트롤 데이터 패킷(CON)을 수신한다.
- [0089] 패킷 분리기(372)는 수신기로부터 전송되어온 패킷들 중에서 영상 데이터 패킷(DP)과 소스 컨트롤 데이터 패킷(CON)을 분리하는 한편, 내부클럭 생성기(374)로부터 전송되어온 내부클럭에 따라 영상 데이터 패킷(DP)을 샘플링하여, 영상 데이터 패킷으로부터 영상 데이터(RGB)를 분리한 후, 분리된 영상 데이터(RGB)들을 샘플링부(310)로 전송하며, 분리된 소스 컨트롤 데이터 패킷(CON)은 SOE 출력부(360)로 전송한다.
- [0090] 클럭 분리기(373)는 수신기를 통해 수신되는 패킷들 중에서 클럭 비트를 샘플링하여, 샘플링된 클럭 비트를 내부클럭 발생기(374)로 전송한다.
- [0091] 내부클럭 생성기(374)는 클럭 분리기(373)로부터 클럭 비트를 입력받아, PLL이나 DLL을 이용하여, 클럭 비트 주파수의 N배로 체배된 내부클럭을 발생한다. 내부클럭 발생기(374)로부터 발생된 내부클럭은 패킷 분리기(372) 및 SOE 출력부(360)로 전송된다.
- [0092] 락 체크기(375)는 내부클럭 생성기(374)로부터 출력되는 내부클럭의 위상과 주파수를 분석하여 그 위상과 주파수가 안정되게 고정될 때 하이 논리의 락신호를 이웃하는 다른 소스 드라이브 IC(300)로 출력한다. 즉, 락 체크기(375)는 타이밍 컨트롤러(400) 또는 앞단의 소스 드라이브 IC로부터 전송되어온 입력락신호(Lock In)와, 락 체크기(375) 내부에서 위상과 주파수를 분석하여 생성된 내부락신호의 출력을 논리곱 연산하여, 두 신호가 모두 하이논리일 때 하이논리의 락신호(Lock Out)를 출력한다. 하이논리의 락신호는 다음 단의 소스 드라이브 IC들(SDIC#2~SDIC#8)에 순차적으로 전달되고, 마지막 소스 드라이브 IC(SDIC#8)는 락신호(Lock Out)를 타이밍 컨트롤러(400)에 피드백 입력한다.
- [0093] 다음, 샘플링부(310)는 수신부를 통해 수신된 영상 데이터를 제1래치(321)와 제2래치(322)를 이용하여 병렬 데이터로 변환하기 위한 것으로서, 수신부(370) 또는 SOE 출력부(360)를 통해 수신된 신호들(SSP, SCP 등)을 이용하여 샘플링 신호를 발생하기 위한 쉬프트 레지스터부(311) 및 영상 데이터를 래치하고 있다가 동시에 출력하기 위해 제1래치(321)와 제2래치(322)로 구성된 래치부(323)를 포함한다. 도 10에 도시된 샘플링부(310)의 구성 및 기능은, 도 4 내지 도 7을 참조하여 설명된 샘플링부(310)와 유사하므로, 그에 대한 상세한 설명은 생략된다.
- [0094] 다음, SOE 출력부(360)는 패킷 분리기(372)로부터 입력된 소스 컨트롤 데이터 패킷을, 내부클럭 생성기(374)로부터 입력되는 내부클럭에 따라 샘플링하여, 소스 출력 인에이블 신호(SOE)를 생성하는 기능을 수행한다. SOE는 도 4 내지 도 7을 참조하여 설명된 바와 같은 타이밍 및 펄스폭을 갖는다. SOE 출력부(360)는 도 4 내지 도 7을 참조하여 설명된 바와 같이, 도 5에 도시된 타이밍 및 펄스폭을 갖는 SOE를 타이밍 컨트롤러(400)로부터 수신하여 단순히 복원시킬 수도 있으며, 또는 종래의 타이밍 및 펄스폭을 갖는 입력SOE를 타이밍 컨트롤러로부터 수신하여 이를 지연 및 변경시켜, 도 5에 도시된 바와 같은 타이밍 및 펄스폭을 갖는 SOE를 생성할 수도 있다. 또한, SOE 출력부(360)는 패킷 분리기(372)로부터 입력된 소스 컨트롤 데이터 패킷을, 내부클럭 생성기(374)로부터 입력되는 내부클럭에 따라 샘플링하여, 극성제어신호(POL)를 복원할 수도 있다. 그러나, 극성제어신호(POL)은 수신부(370)에 구비된 별도의 구성요소에서 상기와 같은 방법을 통해 복원될 수도 있다.
- [0095] 다음, 래치신호 출력부(350)는 도 4 내지 도 7을 참조하여 설명된 바와 같이, 래치신호를 출력하는 기능을 수행한다. 래치신호는 샘플링부(310)의 제1스위치(SW1)를 턴온시켜, 샘플링부(310)의 제1래치(321)로부터 제2래치(322)로, 영상 데이터들이 동시에 전송될 수 있도록 한다. 래치신호 출력부(350)는 상기한 바와 같이, 다양한 방법을 통해 래치신호를 출력할 수 있다. 특히, 도 10에는 상기에서 설명된 세 번째 방법을 이용하고 있는 래치신호 출력부(350)가 도시되어 있다. 즉, 도 10에 도시된 래치신호 출력부(350)는, 복수 개의 레지스터(Register)로 구성될 수 있으며, 샘플링부(310)를 구성하는 쉬프트 레지스터부(311)의 마지막 쉬프트 레지스터로부터 출력된 신호를 레지스터를 통해 지연시켜 래치신호를 생성할 수 있다.
- [0096] 마지막으로, DAC(330), 출력버퍼부(340) 및 차지웨어부(380)(미도시)의 구성 및 기능은, 도 4 내지 도 7을 참조하여 설명된, DAC(330), 출력버퍼부(340) 및 차지웨어부(380)의 구성 및 기능과 동일하므로, 이에 대한 상세한 설명은 생략된다.
- [0097] 상기한 바와 같은 본 발명은, 제1래치(321)로부터 제2래치(322)로 영상 데이터가 전송되는 타이밍 및 영상 데이터가 패널(100)로 출력되는 타이밍 변경을 통해, 파워 노이즈(Power Noise)에 의한 수직 라인 노이즈(Vertical

Line Noise)를 방지하는 것을 특징으로 한다. 즉, 본 발명은, 소스 드라이브 IC(Source D-IC)(300)가 패널 로드(Panel Load)를 충/방전시키는 시점에서, 고전위전압과 저전위전압(VDD-VSS) 간의 파워 리플(Power Ripple)에 의해 발생하는 수직 라인 노이즈(Vertical Line Noise)를 방지하는 것을 특징으로 한다.

[0098] 이를 위해 본 발명은, 소스 드라이브 IC(300)의 제1래치(321)에서 제2래치(322)로의 영상 데이터 이동 시점을, SOE가 아닌 새로운 제어신호, 즉, 래치신호에 동기시키고 있다. 또한, 본 발명은 SOE의 폴링(falling) 시점을 수평동기신호의 디스플레이 기간(Display Period)이 아닌 블랭크 기간(Blank Time) 안에 위치시키고 있으며, SOE의 라이징(Rising) 시점을 수평동기신호(Hsync)의 디스플레이 기간의 끝단에 위치시킴으로써, 차지웨어 구간을 확보하고 있다.

[0099] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

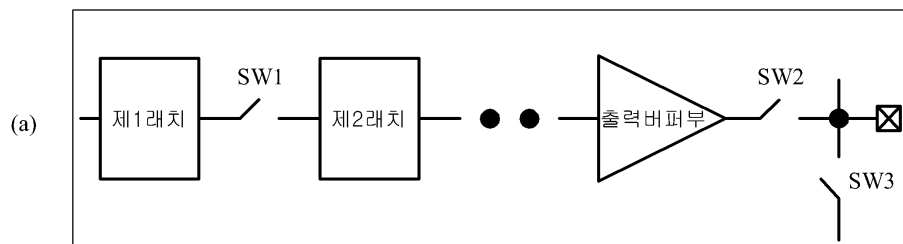
부호의 설명

[0100]

100 : 패널	200 : 게이트 드라이브 IC
300 : 소스 드라이브 IC	400 : 타이밍 컨트롤러
310 : 샘플링부	311 : 쉬프트 레지스터부
321 : 제1래치	322 : 제2래치
323 : 래치부	330 : DAC
340 : 출력버퍼부	350 : 래치신호 출력부
360 : SOE 출력부	370 : 수신부
380 : 차지웨어부	

도면

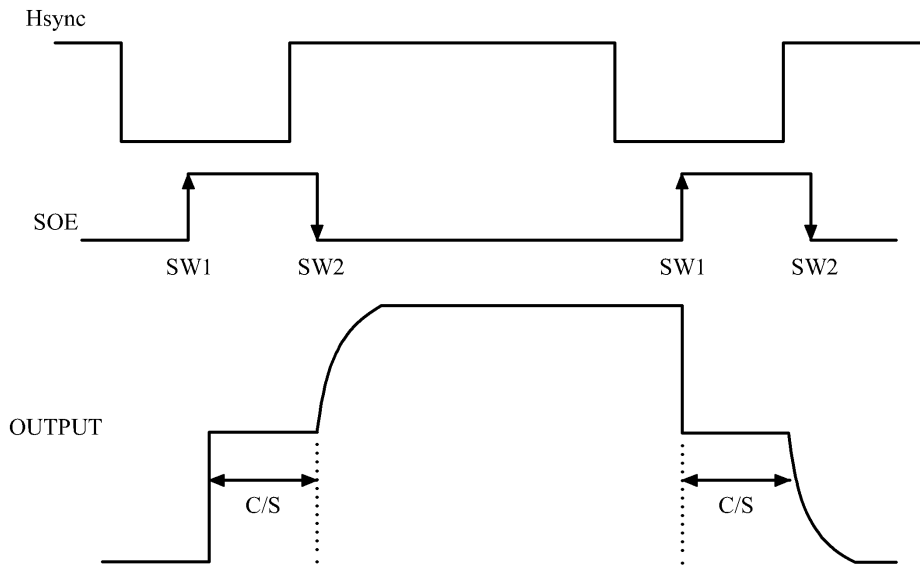
도면1



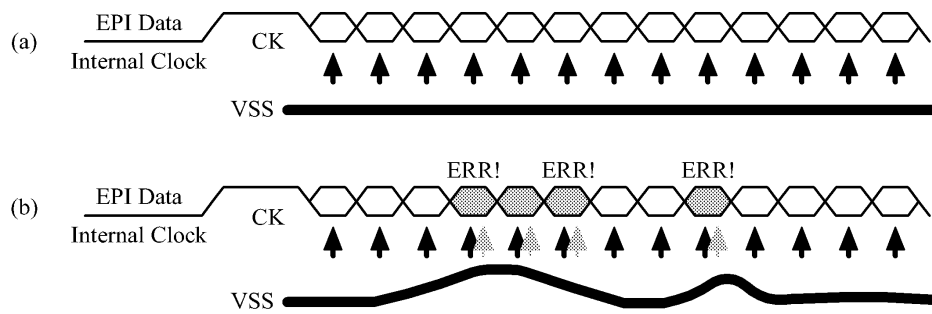
(b)

MODE	SOE	SW1	SW2	SW3
Hi-Z	↑	ON	OFF	OFF
	↓	OFF	ON	OFF
C/S	↑	ON	OFF	ON
	↓	OFF	ON	OFF

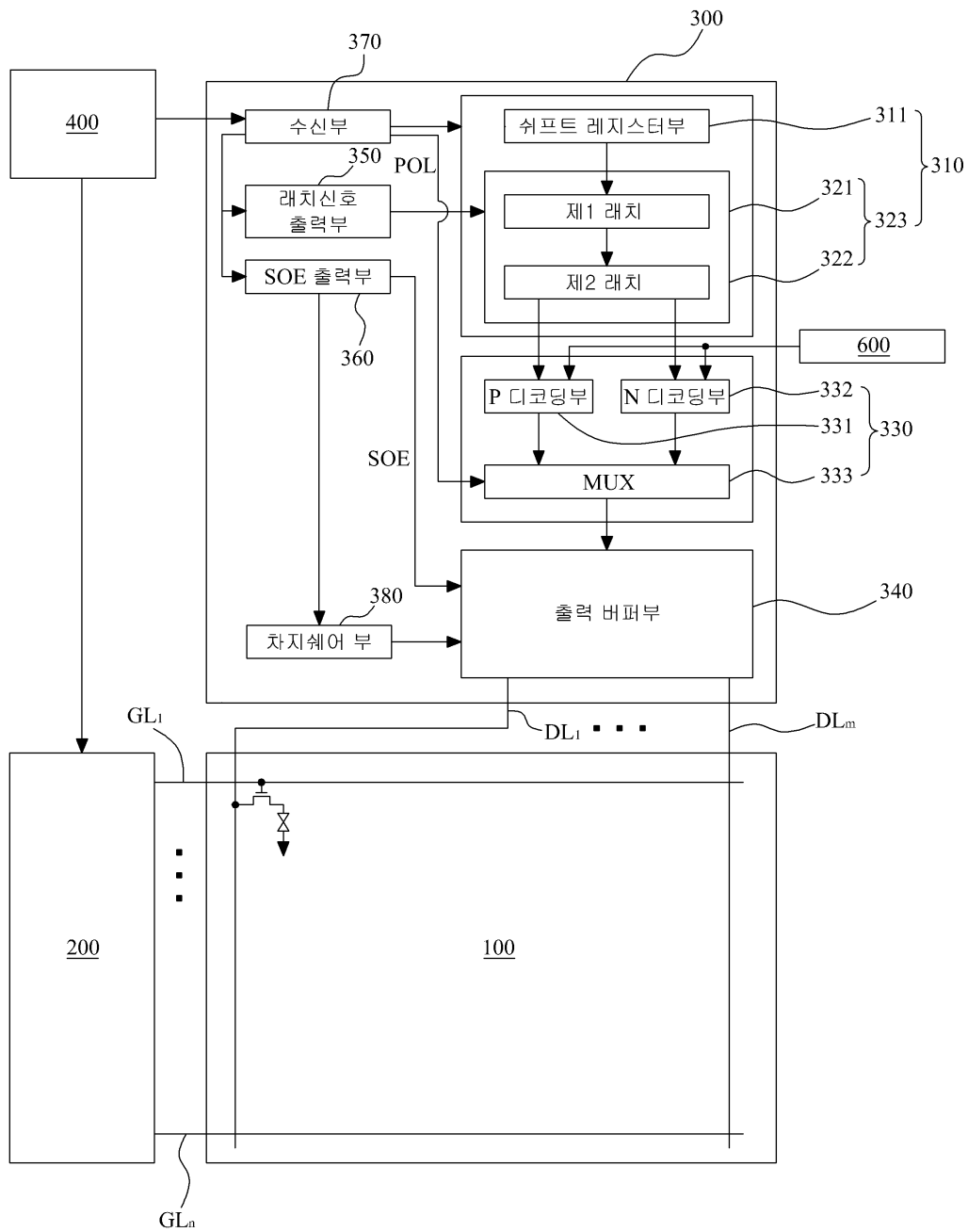
도면2



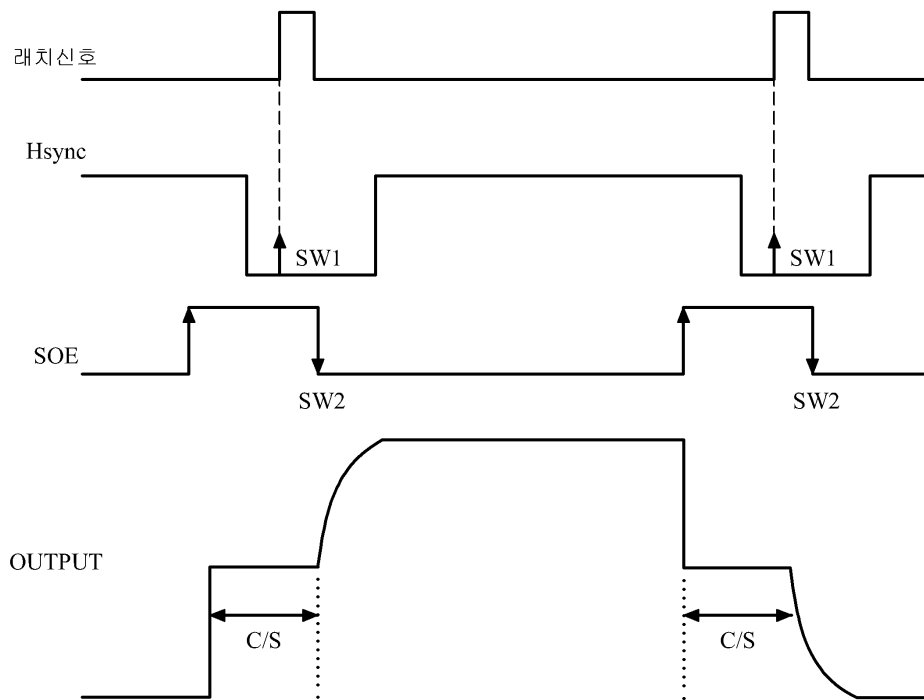
도면3



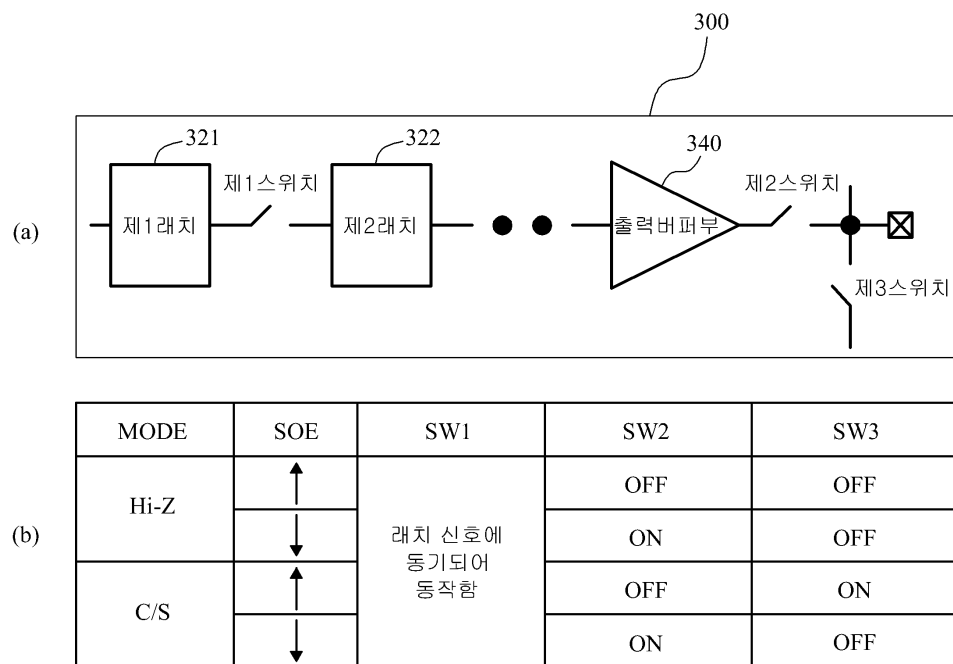
도면4



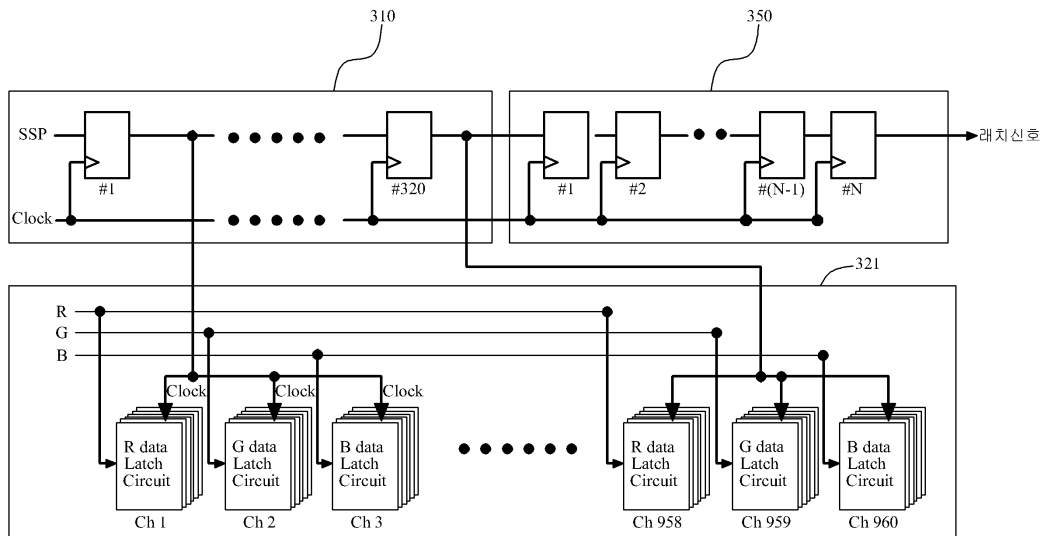
도면5



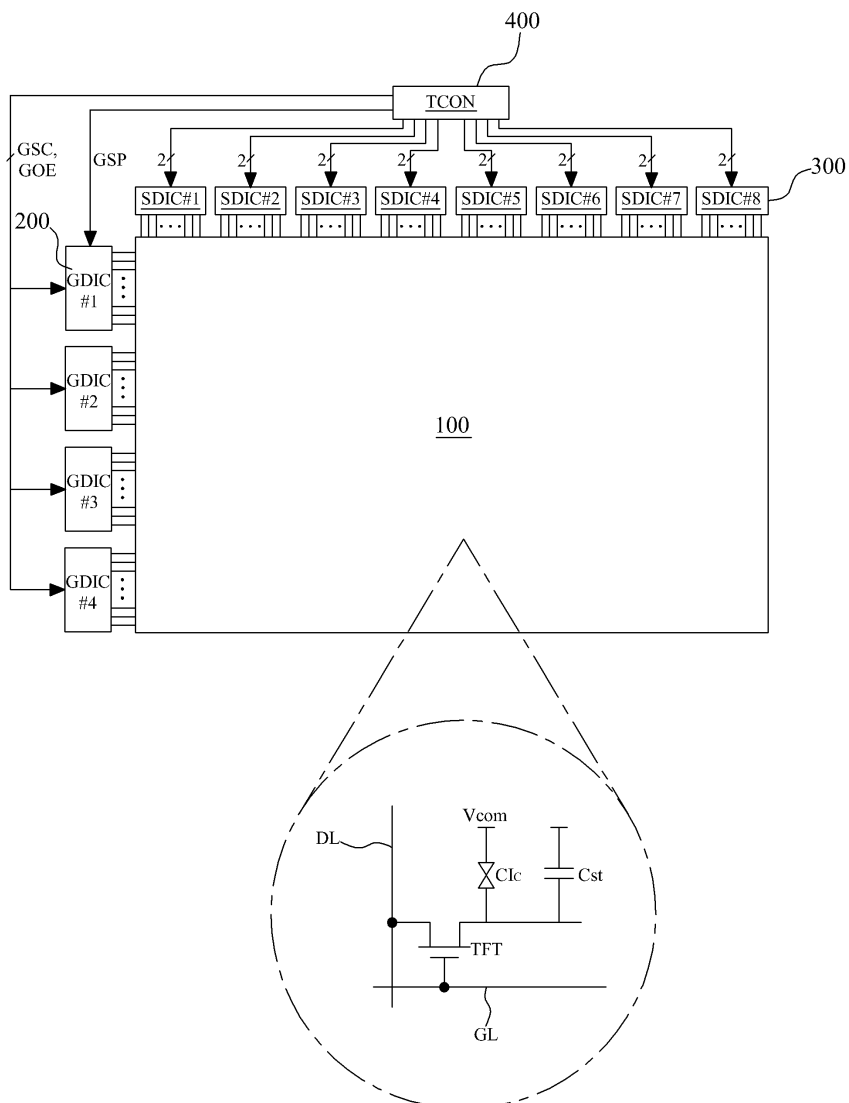
도면6



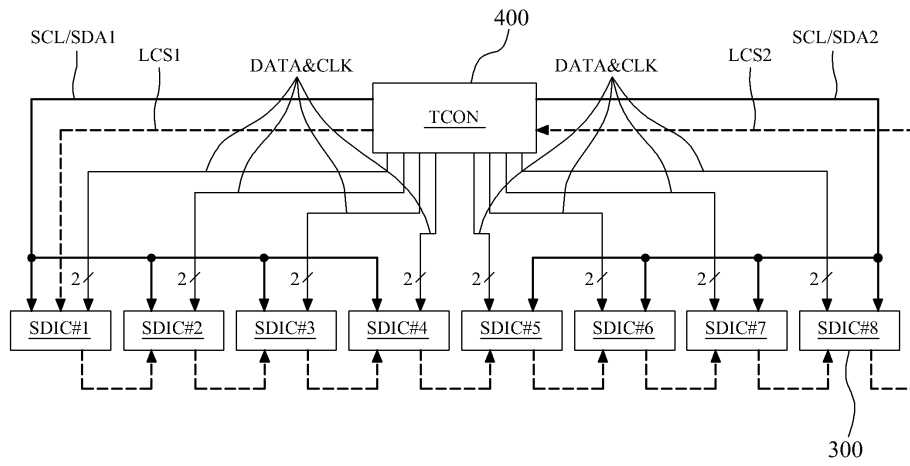
도면7



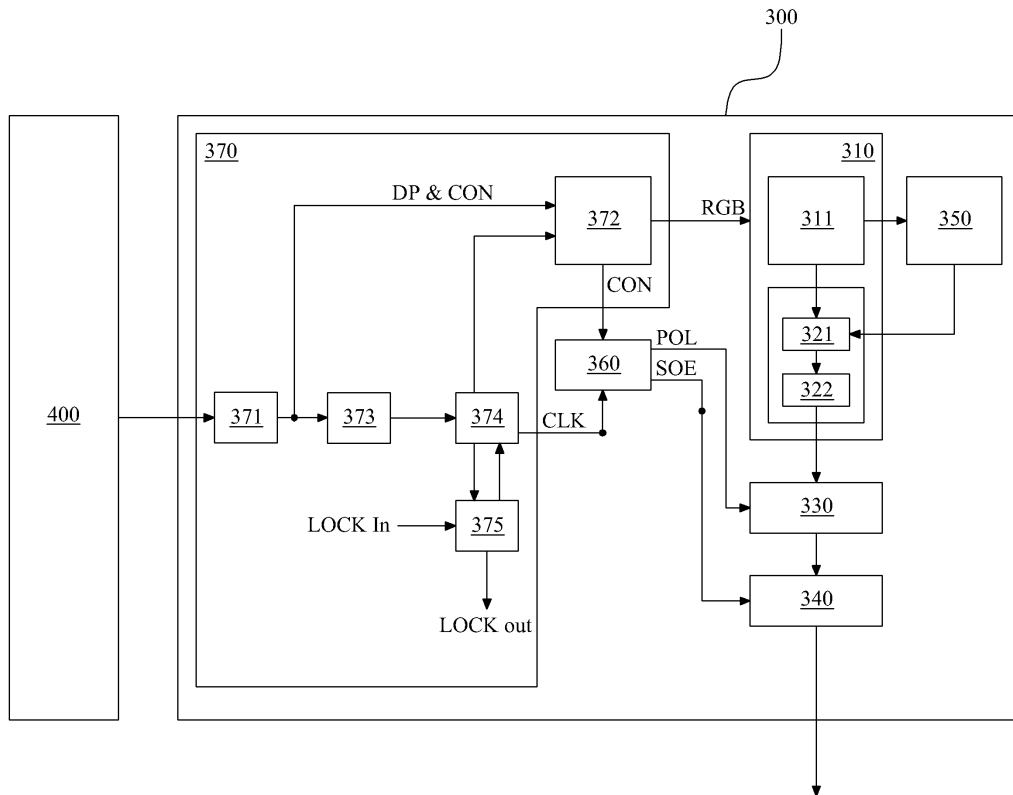
도면8



도면9



도면10



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020130122116A	公开(公告)日	2013-11-07
申请号	KR1020120045186	申请日	2012-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JINCHEOL HONG 홍진철 KANG PIL SUNG 강필성 MANGYU PARK 박만규 SEUNGCHAEOL OH 오승철		
发明人	홍진철 강필성 박만규 오승철		
IPC分类号	G09G3/36		
CPC分类号	G02F1/29 G09G3/3685 G06F3/14 G09G5/00 G09G3/3688 G09G2310/08 G06F3/038 G09G3/36		
其他公开文献	KR101333519B1		
外部链接	Espacenet		

摘要(译)

更具体地，本发明涉及一种液晶显示装置，其中使用与源输出使能信号（SOE）分开驱动的信号将数据从第一锁存器发送到第二锁存器，以将视频数据输出到面板。并且提供一种液晶显示装置及其驱动方法。根据本发明的另一方面，提供了一种液晶显示器，包括：面板；至少一个栅极驱动IC，用于顺序驱动面板的栅极线；用于控制栅极驱动IC的定时控制器；和定时控制器，用于根据使用从定时控制器发送的信号产生的锁存信号，将视频数据从第一锁存器同时输出到第二锁存器，将从第二锁存器发送的视频数据改变为数据电压，以及用于在使能信号SOE的轮询时间向面板输出数据电压的源驱动IC。

