



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0111396
(43) 공개일자 2012년10월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2011-0029841

(22) 출원일자 2011년03월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김용호

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정
다운마을 101동 1312호

손미영

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정
다운마을 105동 218호

(74) 대리인

박장원

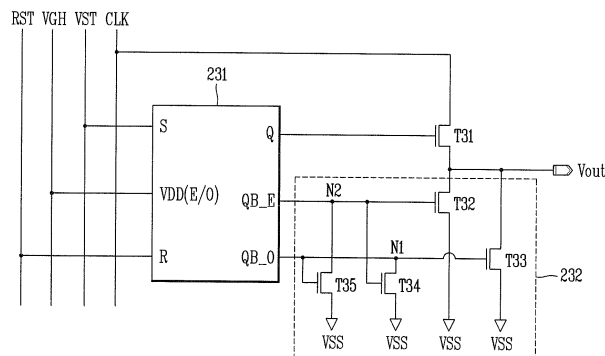
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 게이트 구동부 및 이를 포함하는 액정표시장치

(57) 요약

게이트 구동부의 동작 및 신뢰성이 향상된 게이트 구동부가 제공된다. 게이트 구동부는, 외부로부터 리셋 신호, 개시 신호, 클럭 신호 및 구동 전압을 제공 받으며, 상기 개시 신호에 의해 출력 단자로 게이트 온 신호를 출력하는 N개의 쉬프트 레지스터를 포함하는 게이트 구동부에 있어서, 상기 게이트 구동부는 상기 쉬프트 레지스터와 연결되어 있으며, 게이트 라인으로 상기 게이트 온 신호 출력 후, 상기 출력 단자로 소정 시간 동안 교대로 출력 특성이 향상된 게이트 오프 신호를 출력하는 전압 안정부를 포함한다.

대표도 - 도8



특허청구의 범위

청구항 1

외부로부터 리셋 신호, 개시 신호, 클럭 신호 및 구동 전압을 제공 받으며, 상기 개시 신호에 의해 출력 단자로 게이트 온 신호를 출력하는 N개의 쉬프트 레지스터를 포함하는 게이트 구동부에 있어서,

상기 게이트 구동부는 상기 쉬프트 레지스터와 연결되어 있으며, 게이트 라인으로 상기 게이트 온 신호 출력 후, 상기 출력 단자로 소정 시간 동안 교대로 출력 특성이 향상된 게이트 오프 신호를 출력하는 전압 안정부를 포함하는 것을 특징으로 하는 게이트 구동부.

청구항 2

제1항에 있어서,

상기 쉬프트 레지스터는 제1 내지 제3 출력 단자를 포함하는 것을 특징으로 하는 게이트 구동부.

청구항 3

제2항에 있어서,

상기 제1 출력 단자에는 제1 트랜지스터가 연결된 것을 특징으로 하는 게이트 구동부.

청구항 4

제3항에 있어서,

상기 제1 트랜지스터의 게이트는 상기 제1 출력 단자에 연결되고, 드레인온 상기 클럭 신호에 연결되며, 소스는 상기 게이트 라인에 연결된 것을 특징으로 하는 게이트 구동부.

청구항 5

제3항에 있어서,

상기 제1 트랜지스터는 상기 개시 신호에 의해 상기 게이트 라인으로 게이트 온 신호를 출력하는 것을 특징으로 하는 게이트 구동부.

청구항 6

제2항에 있어서,

상기 제2 및 제3 출력 단자에는 교대로 소정 시간 동안 상기 구동 전압이 인가되는 것을 특징으로 하는 게이트 구동부.

청구항 7

제2항에 있어서,

상기 전압 안정부는

상기 제2 출력 단자와 연결되는 제2 트랜지스터; 및

상기 제3 출력 단자와 연결되는 제3 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동부.

청구항 8

제7항에 있어서,

상기 제2 트랜지스터의 게이트는 상기 제2 출력 단자에 연결되고, 드레인온 상기 게이트 라인에 연결되며, 소스는 접지 전압에 연결된 것을 특징으로 하는 게이트 구동부.

청구항 9

제7항에 있어서,

상기 제3 트랜지스터의 게이트는 상기 제3 출력 단자에 연결되고, 드레인은 상기 게이트 라인에 연결되며, 소스는 접지 전압에 연결된 것을 특징으로 하는 게이트 구동부.

청구항 10

제7항에 있어서,

상기 제2 및 제3 트랜지스터는 소정 시간 동안 상기 게이트 라인에 상기 게이트 오프 신호를 교대로 출력하는 것을 특징으로 하는 게이트 구동부.

청구항 11

제7항에 있어서,

상기 제2 트랜지스터의 게이트에 상기 구동 전압이 인가되는 경우, 상기 제3 트랜지스터의 게이트는 플로팅(floating) 상태인 것을 특징으로 하는 게이트 구동부.

청구항 12

제7항에 있어서,

상기 제3 트랜지스터의 게이트에 상기 구동 전압이 인가되는 경우, 상기 제2 트랜지스터의 게이트는 플로팅(floating) 상태인 것을 특징으로 하는 게이트 구동부.

청구항 13

제2항에 있어서,

상기 전압 안정부는

상기 제2 출력 단자와 연결되는 제2 트랜지스터;

상기 제3 출력 단자와 연결되는 제3 트랜지스터;

상기 제2 출력 단자와 연결되는 제1 노드;

상기 제1 노드와 연결되는 제4 트랜지스터;

상기 제3 출력 단자와 연결되는 제2 노드; 및

상기 제2 노드와 연결되는 제5 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동부.

청구항 14

제13항에 있어서,

상기 제4 트랜지스터의 게이트는 상기 제1 노드에 연결되고, 드레인은 상기 제2 노드에 연결되며, 소스는 접지 전압에 연결된 것을 특징으로 하는 게이트 구동부.

청구항 15

제13항에 있어서,

상기 제5 트랜지스터의 게이트는 상기 제2 노드에 연결되고, 드레인은 상기 제1 노드에 연결되며, 소스는 접지 전압에 연결된 것을 특징으로 하는 게이트 구동부.

청구항 16

제13항에 있어서,

상기 제2 출력 단자에서 상기 구동 전압이 출력되는 경우, 상기 제2 트랜지스터가 턴 온 되어 소정 시간 동안 상기 게이트 라인에 상기 게이트 오프 신호를 출력하고, 동시에 상기 제4 트랜지스터가 턴 온 되어 게이트와 소스 사이의 전압 차 만큼을 상기 제2 노드로 출력하는 것을 특징으로 하는 게이트 구동부.

청구항 17

제13항에 있어서,

상기 제3 출력 단자에서 상기 구동 전압이 출력되는 경우, 상기 제3 트랜지스터가 턴 온 되어 소정 시간 동안 상기 게이트 라인에 상기 게이트 오프 신호를 출력하고, 동시에 상기 제5 트랜지스터가 턴 온 되어 게이트와 소스 사이의 전압 차 만큼을 상기 제1 노드로 출력하는 것을 특징으로 하는 게이트 구동부.

청구항 18

제13항에 있어서,

상기 제2 트랜지스터 및 상기 제4 트랜지스터가 턴 온 되면, 상기 제3 트랜지스터 및 상기 제5 트랜지스터는 턴 오프되는 것을 특징으로 하는 게이트 구동부.

청구항 19

제13항에 있어서,

상기 제3 트랜지스터 및 상기 제5 트랜지스터가 턴 온 되면, 상기 제2 트랜지스터 및 상기 제4 트랜지스터는 턴 오프되는 것을 특징으로 하는 게이트 구동부.

청구항 20

외부에서 입력되는 영상 신호를 표시하는 액정패널;

게이트 구동부와 데이터 구동부를 구동하기 위한 게이트 및 데이터 제어 신호를 생성하는 타이밍 제어부;

상기 타이밍 제어부로부터 상기 데이터 제어 신호를 제공받아 해당 데이터 라인에 영상 신호에 대응되는 데이터 전압을 인가하는 데이터 구동부; 및

상기 타이밍 제어부로부터 리셋 신호, 개시 신호 및 클럭 신호를 제공 받고, 외부로부터 구동 전압을 제공 받아 상기 개시 신호에 의해 출력 단자로 게이트 온 신호를 출력하는 N개의 쉬프트 레지스터를 포함하며, 상기 쉬프트 레지스터와 연결되어 있으며, 게이트 라인으로 상기 게이트 온 신호 출력 후, 상기 출력 단자로 소정 시간 동안 교대로 출력 특성이 향상된 게이트 오프 신호를 출력하는 전압 안정부를 포함하는 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 게이트 구동부에 관한 것으로, 보다 상세하게는 게이트 구동부의 동작 및 신뢰성이 향상된 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치(Liquid Crystal Display; LCD)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다.

[0003] 이러한 액정표시장치는 외부에서 입력되는 화상 데이터를 표시하는 액정패널과 액정패널을 구동하기 위한 구동 회로를 포함한다.

[0004] 최근에는 구동회로를 액정패널 내에 실장하여 제조 원가를 절감하고 전력 소모를 최소화하는 게이트 인 패널(Gate In Panel 이하, GIP) 방식을 사용하는 액정표시장치가 제안되었다.

[0005] 도 1은 종래 GIP 방식을 사용하는 액정표시장치를 나타내는 도면이다.

[0006] 도 1에 도시된 바와 같이, 액정패널(10) 내에는 다수의 게이트 라인(GL)과 데이터 라인(DL)이 수직 교차하여 배열되고, 게이트 라인(GL)과 데이터 라인(DL)의 교차영역에는 화소가 배치된다. 이러한 화소에는 박막트랜지스터(Thin Film Transistor 이하, TFT)와 TFT에 연결된 화소 전극이 형성된다. 이때, TFT는 게이트 라인(GL)으로부터 신호를 입력받아 동작하며, 데이터 라인(DL)과 화소 전극을 전기적으로 연결한다.

- [0007] 게이트 구동부(20)는 타이밍 제어부(40)로부터 제어신호(CONT1)를 제공받아 게이트 신호를 생성하고, 생성된 게이트 신호를 게이트 라인(GL)에 순차적으로 공급하여 게이트 라인(GL)에 연결되어 있는 TFT를 턴온시킨다.
- [0008] 데이터 구동부(30)는 타이밍 제어부(40)로부터 제어신호(CONT2)와 영상 신호(DAT)를 제공받아 데이터 라인(DL)에 영상 신호(DAT)에 해당하는 데이터 전압을 인가한다. 이에 따라 화소별로 공급되는 데이터 전압에 따라 화소 전극과 공통전극 사이에 형성되는 전계에 의해 액정층의 투과율을 조절함으로써 화상을 표시하게 된다.
- [0009] 타이밍 제어부(40)는 게이트 구동부(20)와 데이터 구동부(30)를 제어하며, 게이트 구동부(20)에는 제어 신호(CONT1)를 공급하고, 데이터 구동부(30)에는 제어 신호(CONT2) 및 영상 신호(DAT) 등을 공급한다.
- [0010] 여기서, 게이트 구동부(20)는 액정패널(10) 상에 TFT 공정시 함께 형성될 수 있으며, 데이터 구동부(30)는 액정패널(10) 상에 형성될 수 있으며, 그렇지 않을 수도 있다.
- [0011] 도 2는 도 1의 게이트 구동부를 나타내는 도면이다.
- [0012] 도 2에 도시된 바와 같이, 게이트 구동부(20)는 리셋 신호(RST), 구동 전압(VGH), 개시 신호(VST) 및 클럭 신호(CLK)를 제공받아 구동하는 N개의 스테이지 회로부로 구성되는 쉬프트 레지스터(21)를 포함한다.
- [0013] N개의 스테이지 회로부 중 제1 스테이지 회로부는 구동 전압(VGH), 개시 신호(VST) 및 클럭 신호(CLK)를 제공받아 첫 번째 게이트 라인에 게이트 신호(Vout1)를 출력하며, 이하 N번째 스테이지 회로부는 역시 구동 전압(VGH), 개시 신호(VST) 및 클럭 신호(CLK)를 제공받아 N번째 게이트 라인에 N번째 게이트 신호(VoutN)를 출력한다.
- [0014] 여기서, N개의 스테이지 회로부들은 게이트 신호 즉, 하이 레벨의 게이트 신호를 출력한 후에 해당 게이트 라인에 로우 레벨의 게이트 신호를 출력하게 된다.
- [0015] 도 3은 도 2의 내부 블록도를 나타낸 것으로, 쉬프트 레지스터(21)의 셋 단자(S)에는 개시 신호(VST), 입력 단자(VDD)에는 구동 전압(VGH), 리셋 단자(R)에는 리셋 신호(RST)가 제공되며, 제1 출력 단자(Q)에는 제1 트랜지스터(T11)가 연결되어 있으며, 제2 출력 단자(QB)에는 제2 트랜지스터(T12)가 연결되어 있다.
- [0016] 이때, 제1 트랜지스터(T11)의 게이트는 제1 출력 단자(Q)에 연결되고, 드레인은 클럭 신호(CLK)와 연결되며, 소스는 출력 신호(Vout)와 연결된다. 또한, 제2 트랜지스터(T12)의 게이트는 제2 출력 단자(QB)에 연결되고, 드레인은 출력 신호(Vout)와 연결되며, 소스는 접지 전압(VSS)와 연결되어 있다.
- [0017] 먼저, 셋 단자(S)에 하이 레벨의 개시 신호(VST)와 입력 단자(VDD)에 구동 전압(VGH)이 인가되면, 제1 출력 단자(Q)에는 하이 레벨의 출력 신호가 출력된다. 이때, 출력 신호는 제1 출력 단자(Q)에 연결되어 있는 제1 트랜지스터(T11)의 게이트에 인가되어 제1 트랜지스터(T11)를 턴 온(turn on)시켜 하이 레벨의 클럭 신호(CLK)를 제1 트랜지스터(T11)의 소스로 출력하게 되고, 이때에 출력 신호(Vout)는 게이트 라인(GL)에 인가된다. 이때, 제2 출력 단자(QB)에는 제1 출력 단자(Q)에서 출력되는 하이 레벨의 신호가 반전된 신호 즉, 로우 레벨의 출력 신호가 출력되어 제2 트랜지스터(T12)는 턴 오프(turn off) 된다.
- [0018] 그리고, 게이트 라인(GL)에 하이 레벨의 출력 신호(Vout)가 인가된 후, 게이트 라인(GL)에 소정 시간 동안 로우 레벨의 신호를 유지시키기 위해 제2 출력 단자(QB)에서는 하이 레벨의 신호가 출력되고, 이 하이 레벨의 신호는 제2 트랜지스터(T12)의 게이트에 인가되어 제2 트랜지스터(T12)를 턴 온 시켜 게이트 라인(GL)에 로우 레벨의 신호를 인가한다.
- [0019] 여기서, 접지 전압(VSS)이 -5V라고 가정한다면, 제2 트랜지스터(T12)의 게이트와 소스 사이에 전압 차가 발생하여 제2 트랜지스터(T12)의 게이트에 지속적으로 정극성(positive)의 전압이 인가되는 비.티.에스(Bias Temperature Stress: 이하, BTS라 함)가 가해짐에 따라 장시간 제2 트랜지스터(T12)를 구동시 제2 트랜지스터(T12)의 성능이 저하되어 게이트 신호의 출력 특성이 저하될 수 있다.

발명의 내용

해결하려는 과제

- [0020] 본 발명은 상기한 문제를 해결하기 위한 것으로, 게이트 구동부의 동작 및 신뢰성이 향상된 게이트 구동부 및 이를 포함하는 액정표시장치를 제공함에 있다.
- [0021] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

- [0022] 상기한 목적들을 달성하기 위하여, 본 발명의 일 실시예에 따른 게이트 구동부는, 외부로부터 리셋 신호, 개시 신호, 클럭 신호 및 구동 전압을 제공 받으며, 상기 개시 신호에 의해 출력 단자로 게이트 온 신호를 출력하는 N개의 쉬프트 레지스터를 포함하는 게이트 구동부에 있어서, 상기 게이트 구동부는 상기 쉬프트 레지스터와 연결되어 있으며, 게이트 라인으로 상기 게이트 온 신호 출력 후, 상기 출력 단자로 소정 시간 동안 교대로 출력 특성이 향상된 게이트 오프 신호를 출력하는 전압 안정부를 포함한다.
- [0023] 상기 쉬프트 레지스터는 제1 내지 제3 출력 단자를 포함한다.
- [0024] 상기 제1 출력 단자에는 제1 트랜지스터가 연결된다.
- [0025] 상기 제1 트랜지스터의 게이트는 상기 제1 출력 단자에 연결되고, 드레인은 상기 클럭 신호에 연결되며, 소스는 상기 게이트 라인에 연결된다.
- [0026] 상기 제1 트랜지스터는 상기 개시 신호에 의해 상기 게이트 라인으로 게이트 온 신호를 출력한다.
- [0027] 상기 제2 및 제3 출력 단자에는 교대로 소정 시간 동안 상기 구동 전압이 인가된다.
- [0028] 상기 전압 안정부는 상기 제2 출력 단자와 연결되는 제2 트랜지스터 및 상기 제3 출력 단자와 연결되는 제3 트랜지스터를 포함한다.
- [0029] 상기 제2 트랜지스터의 게이트는 상기 제2 출력 단자에 연결되고, 드레인은 상기 게이트 라인에 연결되며, 소스는 접지 전압에 연결된다.
- [0030] 상기 제3 트랜지스터의 게이트는 상기 제3 출력 단자에 연결되고, 드레인은 상기 게이트 라인에 연결되며, 소스는 접지 전압에 연결된다.
- [0031] 상기 제2 및 제3 트랜지스터는 소정 시간 동안 상기 게이트 라인에 상기 게이트 오프 신호를 교대로 출력한다.
- [0032] 상기 제2 트랜지스터의 게이트에 상기 구동 전압이 인가되는 경우, 상기 제3 트랜지스터의 게이트는 플로팅(floating) 상태이다.
- [0033] 상기 제3 트랜지스터의 게이트에 상기 구동 전압이 인가되는 경우, 상기 제2 트랜지스터의 게이트는 플로팅(floating) 상태이다.
- [0034] 상기 제2 및 제3 출력 단자에는 교대로 소정 시간 동안 상기 구동 전압이 인가된다.
- [0035] 상기 전압 안정부는 상기 제2 출력 단자와 연결되는 제2 트랜지스터, 상기 제3 출력 단자와 연결되는 제3 트랜지스터, 상기 제2 출력 단자와 연결되는 제1 노드, 상기 제1 노드와 연결되는 제4 트랜지스터, 상기 제3 출력 단자와 연결되는 제2 노드 및 상기 제2 노드와 연결되는 제5 트랜지스터를 포함한다.
- [0036] 상기 제4 트랜지스터의 게이트는 상기 제1 노드에 연결되고, 드레인은 상기 제2 노드에 연결되며, 소스는 접지 전압에 연결된다.
- [0037] 상기 제5 트랜지스터의 게이트는 상기 제2 노드에 연결되고, 드레인은 상기 제1 노드에 연결되며, 소스는 접지 전압에 연결된다.
- [0038] 상기 제2 출력 단자에서 상기 구동 전압이 출력되는 경우, 상기 제2 트랜지스터가 턴 온 되어 소정 시간 동안 상기 게이트 라인에 상기 게이트 오프 신호를 출력하고, 동시에 상기 제4 트랜지스터가 턴 온 되어 게이트와 소스 사이의 전압 차 만큼을 상기 제2 노드로 출력한다.
- [0039] 상기 제3 출력 단자에서 상기 구동 전압이 출력되는 경우, 상기 제3 트랜지스터가 턴 온 되어 소정 시간 동안 상기 게이트 라인에 상기 게이트 오프 신호를 출력하고, 동시에 상기 제5 트랜지스터가 턴 온 되어 게이트와 소스 사이의 전압 차 만큼을 상기 제1 노드로 출력한다.
- [0040] 상기 제2 트랜지스터 및 상기 제4 트랜지스터가 턴 온 되면, 상기 제3 트랜지스터 및 상기 제5 트랜지스터는 턴 오프 된다.
- [0041] 상기 제3 트랜지스터 및 상기 제5 트랜지스터가 턴 온 되면, 상기 제2 트랜지스터 및 상기 제4 트랜지스터는 턴 오프 된다.

[0042] 또한, 본 발명의 일 실시예에 따른 액정표시장치는 외부에서 입력되는 영상 신호를 표시하는 액정패널, 게이트 구동부와 데이터 구동부를 구동하기 위한 게이트 및 데이터 제어 신호를 생성하는 타이밍 제어부, 상기 타이밍 제어부로부터 상기 데이터 제어 신호를 제공받아 해당 데이터 라인에 영상 신호에 대응되는 데이터 전압을 인가하는 데이터 구동부 및 상기 타이밍 제어부로부터 리셋 신호, 개시 신호 및 클럭 신호를 제공 받고, 외부로부터 구동 전압을 제공 받아 상기 개시 신호에 의해 출력 단자로 게이트 온 신호를 출력하는 N개의 쉬프트 레지스터를 포함하며, 상기 쉬프트 레지스터와 연결되어 있으며, 게이트 라인으로 상기 게이트 온 신호 출력 후, 상기 출력 단자로 소정 시간 동안 교대로 출력 특성이 향상된 게이트 오프 신호를 출력하는 전압 안정부를 포함한다.

발명의 효과

[0043] 상술한 바와 같이, 본 발명에 따른 게이트 구동부 및 이를 포함하는 액정표시장치는 게이트 구동부의 동작 및 신뢰성을 향상시킬 수 있는 효과를 제공한다.

도면의 간단한 설명

[0044] 도 1은 종래 GIP 방식을 사용하는 액정표시장치를 나타내는 도면.

도 2는 도 1의 게이트 구동부를 나타내는 도면.

도 3은 도 2의 내부 블록도를 나타내는 도면.

도 4는 본 발명의 일 실시예에 따른 GIP 방식을 사용하는 액정표시장치를 나타내는 도면.

도 5는 본 발명의 일 실시예에 따른 게이트 구동부의 내부 블록도를 나타내는 도면.

도 6은 본 발명의 일 실시예에 따른 게이트 구동부의 동작을 나타내는 타이밍도.

도 7은 본 발명의 일 실시예에 따른 게이트 구동부의 시뮬레이션 결과를 나타내는 도면.

도 8은 본 발명의 다른 실시예에 따른 게이트 구동부의 내부 블록도를 나타내는 도면.

도 9는 본 발명의 다른 실시예에 따른 게이트 구동부의 동작을 나타내는 타이밍도.

도 10은 본 발명의 다른 실시예에 따른 게이트 구동부의 시뮬레이션 결과를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0045] 이하, 첨부한 도면을 참조하여 본 발명에 따른 GIP 방식을 사용하는 액정표시장치의 바람직한 실시예를 상세히 설명한다.

[0046] 도 4는 본 발명의 일 실시예에 따른 GIP 방식을 사용하는 액정표시장치를 나타내는 도면이다.

[0047] 도 4에 도시된 바와 같이, 액정패널(110) 내에는 다수의 게이트 라인(GL)과 데이터 라인(DL)이 수직 교차하여 배열되고, 게이트 라인(GL)과 데이터 라인(DL)의 교차영역에는 화소가 배치된다. 이러한 화소에는 박막트랜지스터(Thin Film Transistor 이하, TFT)와 TFT에 연결된 화소 전극이 형성된다. 이때, TFT는 게이트 라인(GL)으로부터 신호를 입력받아 동작하며, 데이터 라인(DL)과 화소 전극을 전기적으로 연결한다.

[0048] 게이트 구동부(120)는 타이밍 제어부(140)로부터 제어신호(CONT1)를 제공받아 게이트 신호를 생성하고, 생성된 게이트 신호를 게이트 라인(GL)에 순차적으로 공급하여 게이트 라인(GL)에 연결되어 있는 TFT를 턴온시킨다.

[0049] 데이터 구동부(130)는 타이밍 제어부(140)로부터 제어신호(CONT2)와 영상 신호(DAT)를 제공받아 데이터 라인(DL)에 영상 신호(DAT)에 해당하는 데이터 전압을 인가한다. 이에 따라 화소별로 공급되는 데이터 전압에 따라 화소전극과 공통전극 사이에 형성되는 전계에 의해 액정층의 투과율을 조절함으로써 화상을 표시하게 된다.

[0050] 타이밍 제어부(140)는 게이트 구동부(120)와 데이터 구동부(130)를 제어하며, 게이트 구동부(120)에는 제어 신호(CONT1)를 공급하고, 데이터 구동부(130)에는 제어 신호(CONT2) 및 영상 신호(DAT) 등을 공급한다.

[0051] 여기서, 게이트 구동부(120)는 액정패널(110) 상에 TFT 공정시 함께 형성될 수 있으며, 데이터 구동부(130)는 액정패널(110) 상에 형성될 수 있으며, 그렇지 않을 수도 있다.

[0052] 본 발명의 일 실시예에 따른 게이트 구동부(120)는 내부에 전압 안정부(122)를 포함한다. 여기서, 전압 안정부(122)는 게이트 라인(GL)에 하이 레벨의 게이트 신호가 출력된 후, 소정 시간 동안 로우 레벨을 유지하는 게

트 신호의 출력 특성을 향상시키는 역할을 한다. 이에 대한 자세한 설명은 도 5 및 도 6을 참조하여 설명하기로 한다.

- [0053] 도 5는 본 발명의 일 실시예에 따른 게이트 구동부의 내부 블럭도를 나타내는 도면이고, 도 6은 본 발명의 일 실시예에 따른 게이트 구동부의 동작을 나타내는 타이밍도이고, 도 7은 본 발명의 일 실시예에 따른 게이트 구동부의 시뮬레이션 결과를 나타내는 도면이다.
- [0054] 도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 게이트 구동부(120)는 내부에 쉬프트 레지스터(121)와 전압 안정부(122)를 포함한다.
- [0055] 쉬프트 레지스터(121)는 다수의 입력 단자 및 출력 단자를 포함한다. 이때, 입력 단자는 셋 단자(S), 구동전압 단자(VDD) 및 리셋 단자(R)를 포함하며, 출력 단자는 제1 출력 단자(Q), 제2 출력 단자(QB_E) 및 제3 출력 단자(QB_O)를 포함한다.
- [0056] 이때, 제1 출력 단자(Q)에는 제1 트랜지스터(T21)가 연결되어 있으며, 제1 트랜지스터(T21)의 게이트는 제1 출력 단자(Q)와 연결되고, 드레인은 클럭 신호(CLK)와 연결되며, 소스는 출력 신호(Vout)와 연결되어 있다.
- [0057] 전압 안정부(122)는 제2 출력 단자(QB_E)에는 연결되어 있는 제2 트랜지스터(T22)와 제3 출력 단자(QB_O)에 연결되어 있는 제3 트랜지스터(T23)를 포함한다.
- [0058] 여기서, 제2 트랜지스터(T22)의 게이트는 제2 출력 단자(QB_E)와 연결되고, 드레인은 출력 신호(Vout)와 연결되며, 소스는 접지 전압(VSS)에 연결되어 있다. 이때, 접지 전압(VSS)은 예를 들면, -5V 전압일 수 있다. 또한, 제3 트랜지스터(T23)의 게이트는 제3 출력 단자(QB_O)와 연결되고, 드레인은 출력 신호(Vout)와 연결되며, 소스는 접지 전압(VSS)에 연결되어 있다.
- [0059] 이하, 도 5 및 도 6을 참조하여 본 발명의 일 실시예에 따른 쉬프트 레지스터(121)와 전압 안정부(122)의 동작에 대해 설명하기로 한다.
- [0060] 도 5 및 도 6에 도시된 바와 같이, 쉬프트 레지스터(121)의 셋 단자(S)에 하이 레벨의 개시 신호(VST)가 인가되고, 입력 단자(VDD)에는 구동 전압(VGH)이 인가된다. 이때, 구동 전압(VGH)은 예를 들면, 28V일 수 있다.
- [0061] 그러면, 쉬프트 레지스터(121)의 제1 출력 단자(Q)에서는 하이 레벨의 출력 신호가 출력된다. 이 출력 신호는 제1 트랜지스터(T21)의 게이트에 인가되어 제1 트랜지스터(T21)를 턴 온 시켜 하이 레벨의 클럭 신호(CLK)를 제1 트랜지스터(T21)의 소스로 출력하게 되고, 이때에 출력 신호(Vout)는 게이트 라인(GL)에 인가된다. 이때, 제2 출력 단자(QB_E)와 제3 출력 단자(QB_O)에는 제1 출력 단자(Q)에서 출력되는 하이 레벨의 신호가 반전된 신호 즉, 로우 레벨의 출력 신호가 출력되어 제2 트랜지스터(T22) 및 제3 트랜지스터(T23)은 턴 오프 된다.
- [0062] 종래에는 도 3에서와 같이, 게이트 라인(GL)에 하이 레벨의 출력 신호(Vout)가 인가된 후, 하나의 트랜지스터(T12)를 사용하여 소정 시간 동안 게이트 라인(GL)에 로우 레벨의 신호를 유지시켰으나, 본 발명의 일 실시예에서는 게이트 라인(GL)에 하이 레벨의 출력 신호(Vout)가 인가된 후, 전압 안정부(122)를 통해 게이트 라인(GL)에 소정 시간 동안 로우 레벨의 신호를 유지시킨다.
- [0063] 이를 위해 제2 출력 단자(QB_E)와 제3 출력 단자(QB_O)에는 소정 시간 동안 구동 전압(VGH)이 교대로 출력된다. 여기서, 제2 출력 단자(QB_E)에서 구동 전압(VGH)이 출력되는 경우, 제3 출력 단자(QB_O)에서는 실제 전압이 출력되지 않는 플로팅(floating) 상태일 수 있다. 또한, 제3 출력 단자(QB_O)에서 구동 전압(VGH)이 출력되는 경우, 제2 출력 단자(QB_E)도 플로팅(floating) 상태일 수 있다.
- [0064] 제2 출력 단자(QB_E)에서 소정 시간, 예를 들면, 2초 동안 구동 전압(VGH)이 출력되면, 제2 트랜지스터(T22)가 턴 온 되어 로우 레벨 신호를 게이트 라인(GL)에 인가한다. 이때, 제3 트랜지스터(T23)의 게이트는 플로팅 상태로 제3 트랜지스터(T23)는 턴 오프 된다.
- [0065] 또한, 제3 출력 단자(QB_O)에서 예를 들면, 2초 동안 구동 전압(VGH)이 출력되면, 제3 트랜지스터(T23)가 턴 온 되어 로우 레벨 신호를 게이트 라인(GL)에 인가한다. 이때, 제2 트랜지스터(T22)의 게이트는 플로팅 상태로 제2 트랜지스터(T22)는 턴 오프 된다.
- [0066] 따라서, 본 발명에서는 게이트 라인(GL)에 하이 레벨의 출력 신호(Vout)가 인가된 후, 전압 안정부(122)의 제2 트랜지스터(T22)와 제3 트랜지스터(T23)를 사용하여 교대로 게이트 라인(GL)에 로우 레벨 신호를 인가함으로써 제2 트랜지스터(T22)와 제3 트랜지스터(T23)의 게이트에 BTS가 가해지는 것을 1/2로 줄일 수 있다. 이에 따라 제2 트랜지스터(T22)와 제3 트랜지스터(T23)가 구동되는 시간이 1/2로 감소하게 되므로, 트랜지스터의 성능이

저하되는 것을 방지할 수 있다. 이로 인해, 게이트 라인(GL)에 인가되는 게이트 신호의 출력 특성을 향상시킬 수 있다.

[0067] 그러나, 본 발명의 일 실시예에서 전압 안정부(122)의 제2 트랜지스터(T22)와 제3 트랜지스터(T23)의 게이트에는 실제로 전압이 인가되는 아니라 플로팅 상태이므로, 도 7의 A와 같이, 불안정한 전압이 제2 트랜지스터(T22)와 제3 트랜지스터(T23)의 게이트에 유입되어 게이트 라인에 인가되는 게이트 신호의 출력 특성에 문제가 발생할 수 있다.

[0068] 또한, 제2 트랜지스터(T22)의 게이트에는 구동 전압(VGH)이 인가되고, 제3 트랜지스터(T23)의 게이트는 플로팅 상태이고, 제2 트랜지스터(T22)와 제3 트랜지스터(T23)의 소스에 연결되어 있는 접지 전압(VSS)이 예를 들어 -5V라고 가정한다면, 제3 트랜지스터(T23)는 턴 오프 되어야 하나, 제3 트랜지스터(T23)의 게이트와 소스 사이에 5V의 전압 차가 발생하여 제3 트랜지스터(T23)의 게이트에 5V 전압이 인가됨에 따라 게이트에 BTS가 가해지는 문제점이 있다.

[0069] 따라서, 상기와 같은 문제점을 해결하기 위해 본 발명의 다른 실시예에서는 전압 안정부의 제2 및 제3 트랜지스터의 게이트는 플로팅 상태가 아니라 소정 레벨을 갖는 전압이 인가되도록 하여 제2 및 제3 트랜지스터의 게이트와 소스 사이에 전압 차가 발생하지 않도록 한다.

[0070] 도 8은 본 발명의 다른 실시예에 따른 게이트 구동부의 내부 블럭도를 나타내는 도면이고, 도 9는 본 발명의 다른 실시예에 따른 게이트 구동부의 동작을 나타내는 타이밍도이고, 도 10은 본 발명의 다른 실시예에 따른 게이트 구동부의 시뮬레이션 결과를 나타내는 도면이다.

[0071] 도 8에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 게이트 구동부는 내부에 쉬프트 레지스터(231)와 전압 안정부(232)를 포함한다.

[0072] 쉬프트 레지스터(231)는 다수의 입력 단자 및 출력 단자를 포함한다. 이때, 입력 단자는 셋 단자(S), 구동전압 단자(VDD) 및 리셋 단자(R)를 포함하며, 출력 단자는 제1 출력 단자(Q), 제2 출력 단자(QB_E) 및 제3 출력 단자(QB_O)를 포함한다.

[0073] 이때, 제1 출력 단자(Q)에는 제1 트랜지스터(T31)가 연결되어 있으며, 제1 트랜지스터(T31)의 게이트는 제1 출력 단자(Q)와 연결되고, 드레인은 클럭 신호(CLK)와 연결되며, 소스는 출력 신호(Vout)와 연결되어 있다.

[0074] 전압 안정부(232)는 제2 출력 단자(QB_E)에는 연결되어 있는 제2 트랜지스터(T32) 및 제4 트랜지스터(T34)와, 제3 출력 단자(QB_O)에 연결되어 있는 제3 트랜지스터(T33) 및 제5 트랜지스터(T35)를 포함한다.

[0075] 여기서, 제2 트랜지스터(T32)의 게이트는 제2 출력 단자(QB_E)와 연결되고, 드레인은 출력 신호(Vout)와 연결되며, 소스는 접지 전압(VSS)에 연결되어 있다. 이때, 접지 전압(VSS)은 예를 들면, -5V 전압일 수 있다. 그리고, 제3 트랜지스터(T33)의 게이트는 제3 출력 단자(QB_O)와 연결되고, 드레인은 출력 신호(Vout)와 연결되며, 소스는 접지 전압(VSS)에 연결되어 있다. 또한, 제4 트랜지스터(T34)의 게이트는 제2 출력 단자(QB_E)와 연결되고, 드레인은 제3 출력 단자(QB_O)와 연결되며, 소스는 접지 전압(VSS)에 연결되어 있다. 아울러, 제5 트랜지스터(T35)의 게이트는 제3 출력 단자(QB_O)와 연결되고, 드레인은 제2 출력 단자(QB_E)와 연결되며, 소스는 접지 전압(VSS)에 연결되어 있다.

[0076] 이하, 도 8 및 도 9를 참조하여 본 발명의 다른 실시예에 따른 쉬프트 레지스터(231)와 전압 안정부(232)의 동작에 대해 설명하기로 한다.

[0077] 도 8 및 도 9에 도시된 바와 같이, 쉬프트 레지스터(231)의 셋 단자(S)에 하이 레벨의 개시 신호(VST)가 인가되고, 입력 단자(VDD)에는 구동 전압(VGH)이 인가된다.

[0078] 그러면, 쉬프트 레지스터(231)의 제1 출력 단자(Q)에서는 하이 레벨의 신호가 출력된다. 이 출력 신호는 제1 트랜지스터(T31)의 게이트에 인가되어 제1 트랜지스터(T31)를 턴 온 시켜 하이 레벨의 클럭 신호(CLK)를 제1 트랜지스터(T31)의 소스로 출력하게 되고, 이때에 출력 신호(Vout)는 게이트 라인(GL)에 인가된다. 이때, 제2 출력 단자(QB_E) 및 제3 출력 단자(QB_O)에는 제1 출력 단자(Q)에서 출력되는 하이 레벨의 신호가 반전된 신호 즉, 로우 레벨의 출력 신호가 출력되어 제2 트랜지스터(T32) 내지 제5 트랜지스터(T35)는 턴 온 되지 않는다.

[0079] 본 발명의 일 실시예에서는 게이트 라인(GL)에 하이 레벨의 출력 신호(Vout)가 인가된 후, 두 개의 트랜지스터(T22, T23)를 사용하여 소정 시간 동안 게이트 라인(GL)에 로우 레벨의 신호를 유지시켰으나, 본 발명의 다른 실시예에서는 게이트 라인(GL)에 하이 레벨의 출력 신호(Vout)가 인가된 후, 네 개의 트랜지스터(T32 내지 T35)

[0081]

[0082]

[0083]

부호의 설명

[0084]

120: 게이트 구동부

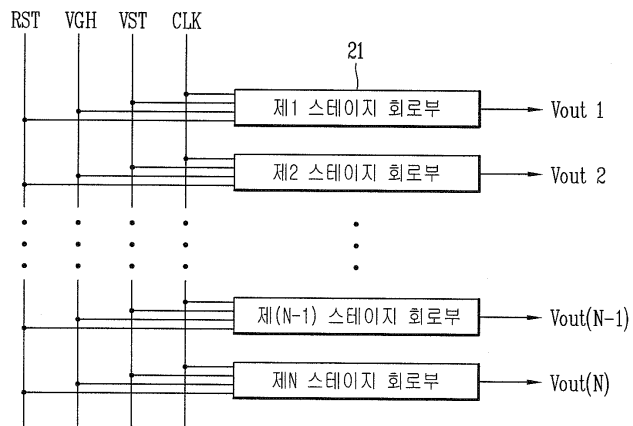
122, 232: 전압 안정부

140: 타이밍 제어부

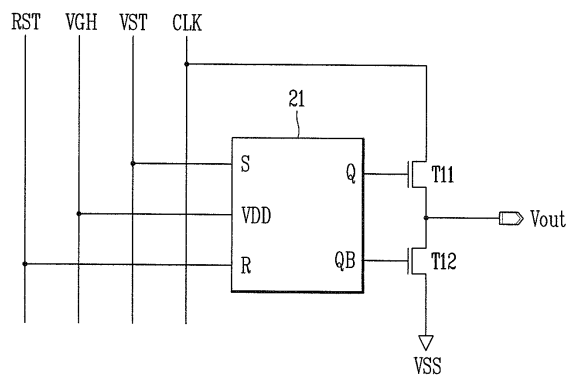
도면

- 10 -

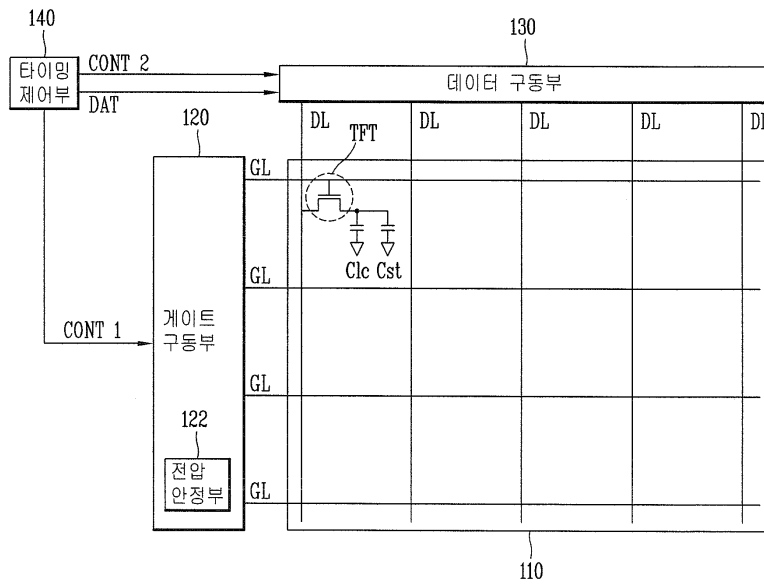
도면2



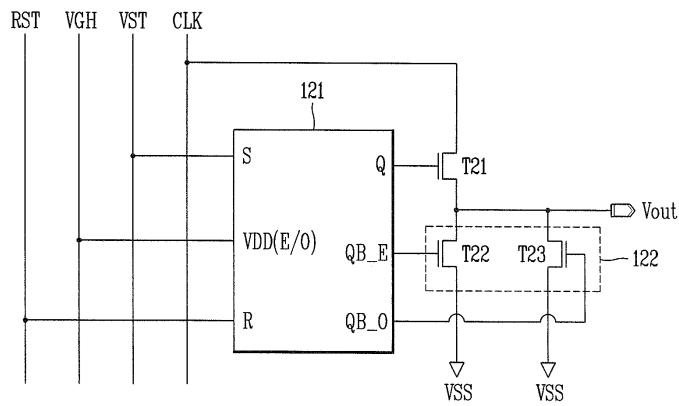
도면3



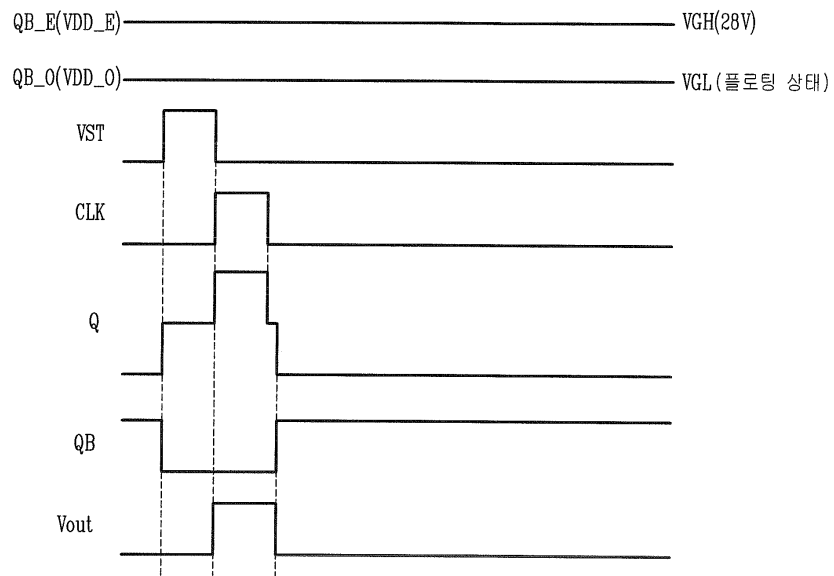
도면4



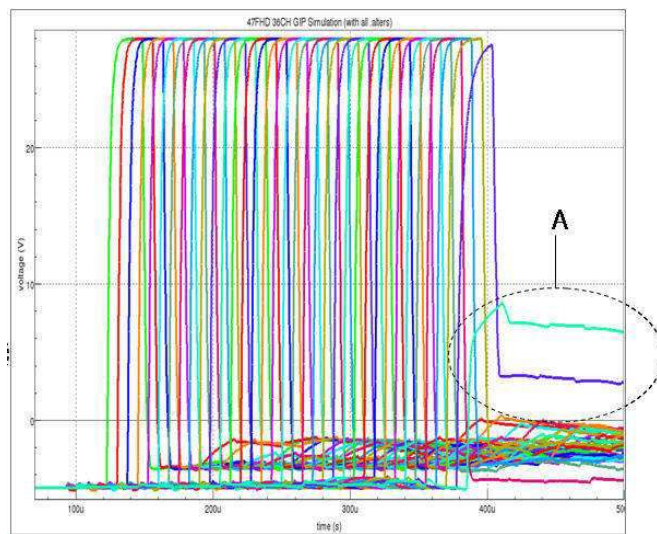
도면5



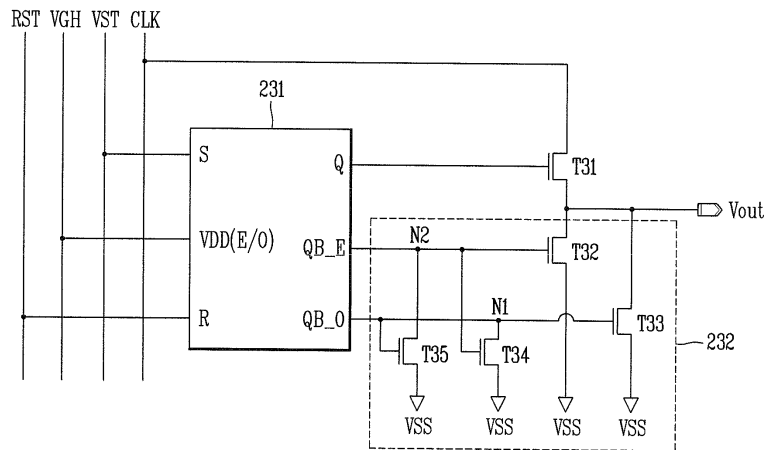
도면6



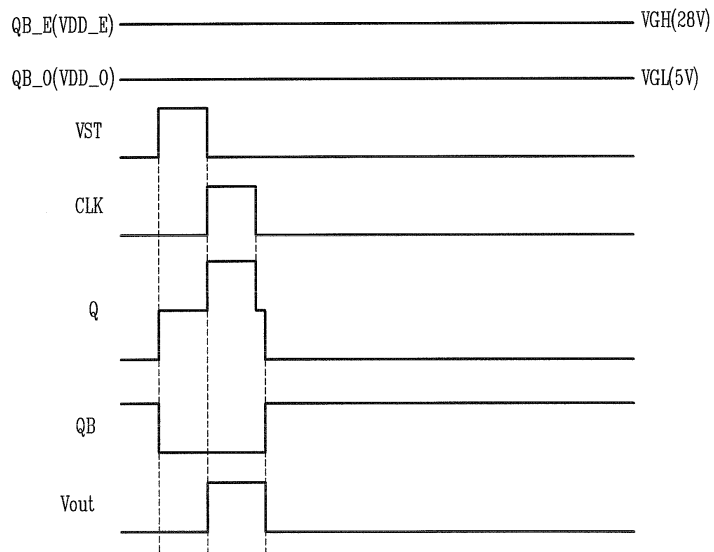
도면7



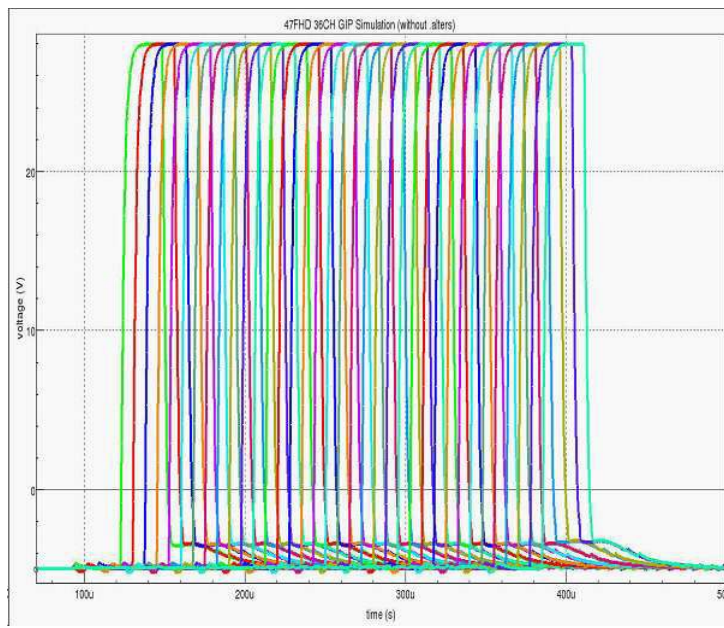
도면8



도면9



도면10



专利名称(译)	标题：栅极驱动器和包括其的液晶显示器件		
公开(公告)号	KR1020120111396A	公开(公告)日	2012-10-10
申请号	KR1020110029841	申请日	2011-03-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YONG HO 김용호 SON MI YOUNG 손미영		
发明人	김용호 손미영		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G02F1/13454 G09G2310/0286		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

提供了一种栅极驱动单元，其具有改进的栅极驱动单元的操作和可靠性。栅极驱动单元是来自外部的复位信号，起始信号，以及时钟信号和驱动电压。并且关于栅极驱动单元的栅极驱动单元，包括N的移位寄存器，将具有启动信号的栅极导通信号输出到输出端子，包括移位寄存器和稳压器，输出栅极截止信号，具有改善的输出特性。连接的。

