



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0115671
(43) 공개일자 2010년10월28일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0034376

(22) 출원일자 2009년04월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

조혁력

인천광역시 남동구 구월동 구월힐스테이트 1404동 202호

(74) 대리인

허용록

전체 청구항 수 : 총 7 항

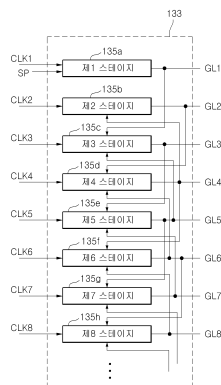
(54) 액정표시장치

(57) 요약

액정표시장치가 개시된다.

본 발명에 따른 액정표시장치는 블랙(Black) 데이터용 구동회로를 제거하여 회로의 유효면적을 증가시키게 함과 아울러 외부 사용자의 선택에 의해 블랙 데이터 삽입(Black Data Insertion, BDI) 구동을 적용할 수 있으며 상기 블랙 데이터 삽입 구동을 적용하지 않는 경우에 120Hz로 고속구동을 가능하게 할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

비표시영역과 표시영역으로 구분되며 다수의 게이트라인과 다수의 데이터라인이 배열된 액정패널;

상기 액정패널의 비표시영역 상에 형성되며 상기 다수의 게이트라인 각각과 일대일로 대응되도록 연결되며 상기 다수의 게이트라인으로 스캔 신호를 공급하는 다수의 스테이지로 이루어진 게이트 드라이버; 및

외부에서 사용자의 블랙 데이터 삽입(BDI) 구동 적용 여부에 따라 제1 내지 제8 클럭신호를 이용하여 상기 적용 여부에 대응되는 제어신호를 생성하여 상기 게이트 드라이버로 상기 제어신호를 공급하는 타이밍 컨트롤러;를 포함하고,

상기 게이트 드라이버의 다수의 스테이지 중 제 n 스테이지는 제 $n-2$ 스테이지의 출력단자 및 제 $n+2$ 스테이지의 출력단자와 종속적으로 연결되며 상기 제 $n-2$ 및 제 $n+2$ 스테이지의 출력단자로부터 출력된 출력신호 및 상기 제1 내지 제8 클럭신호 중 대응되는 클럭신호를 이용하여 상기 다수의 게이트라인 중 제 n 번째 게이트라인으로 스캔 신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

사용자에 의해 블랙 데이터 삽입(BDI) 구동이 적용되는 경우, 상기 타이밍 컨트롤러는 한 프레임 동안 두 번의 하이(High) 구간을 갖는 제1 및 제2 스타트 펄스를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2 항에 있어서,

사용자에 의해 블랙 데이터 삽입(BDI) 구동이 적용되는 경우, 상기 타이밍 컨트롤러에서 생성된 제1 내지 제8 클럭신호 중 제 n 클럭신호의 하이(High) 펄스는 제 $n-2$ 클럭신호의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되며 제 $n-1$ 클럭신호의 하이(High) 펄스와 일정부분 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1 항에 있어서,

상기 제 n 스테이지는 상기 제 $n-2$ 스테이지의 출력신호에 의해 셋(set)되고 제 $n+2$ 스테이지의 출력신호에 의해 리셋(reset) 되는 것을 특징으로 하는 액정표시장치.

청구항 5

제4 항에 있어서,

상기 제 n 스테이지는 상기 제 $n-2$ 스테이지에 대응되는 클럭신호가 상기 제 $n-2$ 스테이지로 인가되어 상기 제 $n-2$ 스테이지에서 출력된 출력신호에 의해 Q노드가 셋(SET) 되고, 상기 제 $n+2$ 스테이지에 대응되는 클럭신호가 상기 제 $n+2$ 스테이지로 인가되는 상기 제 $n+2$ 스테이지에서 출력된 출력신호에 의해 상기 Q 노드가 리셋(reset) 되는 것을 특징으로 하는 액정표시장치.

청구항 6

제5 항에 있어서,

상기 제 $n-2$ 스테이지에 대응되는 클럭신호와 상기 제 $n+2$ 스테이지에 대응되는 클럭신호는 서로 상이한 것을 특징으로 하는 액정표시장치.

청구항 7

비표시영역과 표시영역으로 구분되며 다수의 게이트라인과 다수의 데이터라인이 배열된 액정패널;

상기 액정패널의 비표시영역에 내장되고 상기 다수의 게이트라인과 일대일로 연결되어 상기 다수의 게이트라인으로 스캔 신호를 공급하며, 상기 액정패널을 블랙 데이터 삽입(BDI) 방식으로 구동하기 위한 블랙 데이터용 스

테이지와 상기 블랙 데이터 삽입(BDI) 방식을 적용하지 않고 상기 액정패널을 구동하기 위한 데이터용 스테이지를 하나로 통합한 다수의 스테이지를 포함하는 게이트 드라이버;

외부에서 사용자의 블랙 데이터 삽입(BDI) 구동 적용 여부에 따라 위상이 다른 n개의 클럭신호를 발생하여 상기 블랙 데이터 삽입(BDI) 구동 적용 여부에 따라 대응되는 제어신호를 생성하여 상기 다수의 스테이지로 제어신호를 공급하는 타이밍 컨트롤러; 및

상기 액정패널의 비표시영역 상에 형성되어 상기 n개의 클럭신호를 상기 다수의 스테이지로 공급하기 위한 n개의 클럭신호라인;를 포함하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 블랙 데이터 삽입(BDI) 구동 기능을 내장형 게이트 드라이버의 먼 적중가 없이 가능하게 하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 통상의 액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정 셀(C1c)들이 매트릭스 형태로 배열된 액정패널과 상기 액정패널을 구동하기 위한 구동회로로 이루어져 있다.

[0003] 상기 액정패널에는 다수의 게이트라인과 데이터라인이 배열되고 상기 게이트라인과 데이터라인의 교차부에는 액정 셀(C1c)을 구동하기 위한 박막트랜지스터(TFT)가 형성되어 있다. 상기 박막트랜지스터(TFT)는 게이트라인을 통해 공급되는 스캔신호에 응답하여 데이터라인을 통해 공급되는 데이터 전압을 액정 셀(C1c)의 화소전극에 공급한다. 액정 셀(C1c)은 화소전극에 공급되는 데이터 전압과 공통전극에 공급되는 공통전압의 전위차로 충전되며, 이 전위차로 형성되는 전계에 의해 액정 셀(C1c)의 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하게 된다.

[0004] 상기 구동회로는 상기 게이트라인을 구동하기 위한 게이트 드라이버와, 상기 데이터라인을 구동하기 위한 데이터 드라이버와, 상기 게이트 및 데이터 드라이버를 제어하기 위한 제어신호 및 데이터 등을 공급하는 타이밍 컨트롤러를 포함한다.

[0005] 이러한 액정표시장치로 동화상 표시를 행한 경우, 그 홀드 특성 때문에 모션 블러링(동화상 윤곽 열화가 발생하고 화상 품질이 저하된다. 이러한 모션 블러링(동화상 윤곽 열화)을 방지하기 위한 하나의 방법으로 1 프레임을 제1 및 제2 서브 프레임으로 나누고 상기 제1 서브 프레임에 로우 레벨의 감마전압을 적용하고, 제2 서브 프레임에 하이 레벨의 감마전압을 적용함으로써, 임펄시브 구동의 효과를 나타내는 그레이 필드 삽입(Gray Field Insertion:이하 'GFI'라 함) 방식이 제안되었다.

[0006] 이때, 상기 제1 서브 프레임에 로우 레벨의 감마전압을 적용(어두운 계조)함에 따라 프레임 중간에 블랙 데이터를 삽입하는 블랙 데이터 삽입(Black Data Insertion:BDI)과 같은 임펄시브 구동을 함으로써 동영상 화질을 개선할 수 있다.

[0007] 한편, 상기 액정표시장치의 게이트 드라이버는 각각의 게이트라인에 순차적으로 스캔 신호를 출력하기 위한 쉬프트 레지스터를 구비한다. 상기 쉬프트 레지스터는 서로 종속적으로 연결된 다수의 스테이지들로 구성된다. 상기 다수의 스테이지들은 상기 스캔 신호를 순차적으로 출력하여 액정패널의 게이트라인들을 순차적으로 구동한다.

[0008] 상기 게이트 드라이버는 쉬프트 레지스터가 내장되는 별도의 게이트 드라이버 집적회로(IC)를 만들어 상기 액정패널 상에 형성된 게이트 패드와 연결되도록 상기 액정패널 상에 내장되도록 제조된다.

[0009] 상기 게이트 드라이버 집적회로(IC)는 데이터 충전을 위한 데이터용 게이트 스테이지와 블랙 데이터를 충전하기 위한 블랙 데이터용 게이트 스테이지를 포함하도록 구성될 수 있다.

- [0010] 따라서, 화소 전극에 데이터를 충전하는 경우에, 상기 데이터용 게이트 스테이지가 구동되어 해당하는 게이트라인으로 스캔 신호를 공급하고, 블랙 데이터를 화소전극에 충전하는 경우(블랙 데이터 삽입(BDI) 기술 적용시)에, 상기 블랙 데이터용 게이트 스테이지가 구동되어 해당하는 게이트라인으로 스캔 신호를 공급한다.
- [0011] 이때, 상기 데이터용 게이트 스테이지와 블랙 데이터용 게이트 스테이지는 각각 상이한 클럭 신호에 의해 동기되어 구동된다. 상기 데이터용 및 블랙 데이터용 게이트 스테이지를 제어하기 위한 클럭신호를 발생하는 타이밍 컨트롤러는 상기 데이터용 게이트 스테이지를 위한 클럭신호와 상기 블랙 데이터용 게이트 스테이지를 위한 클럭신호를 별도로 발생한다.
- [0012] 결국, 상기 액정패널에 블랙 데이터 삽입(BDI) 기술을 적용할 경우에, 상기 게이트 드라이버 집적회로에 데이터용 게이트 스테이지와 블랙 데이터용 게이트 스테이지를 별도로 구비해야 하므로 상기 게이트 드라이버 집적회로의 회로면적이 줄어들게 된다. 이로 인해, 상기 게이트 드라이버 집적회로 내의 유효면적의 사이즈가 감소하게 되어 120Hz와 같은 고속 구동을 수행하기 어렵다.

발명의 내용

해결 하고자하는 과제

- [0013] 본 발명은 게이트 드라이버 집적회로 내에 블랙 데이터용 게이트 드라이버를 제거하여 유효 면적을 증가시킬 수 있는 액정표시장치를 제공함에 그 목적이 있다.
- [0014] 또한, 본 발명은 외부의 사용자의 선택에 의해 블랙 데이터 삽입(BDI) 구동을 적용하거나 상기 블랙 데이터 삽입(BDI) 구동을 적용하지 않을 경우에 120Hz로 고속 구동이 가능한 액정표시장치를 제공함에 그 목적이 있다.
- [0015] 이와 더불어, 본 발명은 블랙 데이터 삽입(BDI) 구동 및 120Hz의 고속 구동의 기능을 동일한 패널 설계로 구현하여 원가절감이 가능한 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

- [0016] 본 발명의 실시예에 따른 액정표시장치는 비표시영역과 표시영역으로 구분되며 다수의 게이트라인과 다수의 데이터라인이 배열된 액정패널과, 상기 액정패널의 비표시영역 상에 형성되며 상기 다수의 게이트라인 각각과 일대일로 대응되도록 연결되며 상기 다수의 게이트라인으로 스캔 신호를 공급하는 다수의 스테이지로 이루어진 게이트 드라이버 및 외부에서 사용자의 블랙 데이터 삽입(BDI) 구동 적용 여부에 따라 제1 내지 제8 클럭신호를 이용하여 상기 적용 여부에 대응되는 제어신호를 생성하여 상기 게이트 드라이버로 상기 제어신호를 공급하는 타이밍 컨트롤러;를 포함하고, 상기 게이트 드라이버의 다수의 스테이지 중 제 n 스테이지는 제 $n-2$ 스테이지의 출력단자 및 제 $n+2$ 스테이지의 출력단자와 종속적으로 연결되며 상기 제 $n-2$ 및 제 $n+2$ 스테이지의 출력단자로부터 출력된 출력신호 및 상기 제1 내지 제8 클럭신호 중 대응되는 클럭신호를 이용하여 상기 다수의 게이트라인 중 제 n 번째 게이트라인으로 스캔 신호를 출력한다.
- [0017] 본 발명의 다른 실시예에 따른 액정표시장치는 비표시영역과 표시영역으로 구분되며 다수의 게이트라인과 다수의 데이터라인이 배열된 액정패널과, 상기 액정패널의 비표시영역에 내장되고 상기 다수의 게이트라인과 일대일로 연결되어 상기 다수의 게이트라인으로 스캔 신호를 공급하며, 상기 액정패널을 블랙 데이터 삽입(BDI) 방식으로 구동하기 위한 블랙 데이터용 스테이지와 상기 블랙 데이터 삽입(BDI) 방식을 적용하지 않고 상기 액정패널을 구동하기 위한 데이터용 스테이지를 하나로 통합한 다수의 스테이지를 포함하는 게이트 드라이버와, 외부에서 사용자의 블랙 데이터 삽입(BDI) 구동 적용 여부에 따라 위상이 다른 n 개의 클럭신호를 발생하여 상기 블랙 데이터 삽입(BDI) 구동 적용 여부에 따라 대응되는 제어신호를 생성하여 상기 다수의 스테이지로 제어신호를 공급하는 타이밍 컨트롤러 및 상기 액정패널의 비표시영역 상에 형성되어 상기 n 개의 클럭신호를 상기 다수의 스테이지로 공급하기 위한 n 개의 클럭신호라인을 포함한다.

효 과

- [0018] 본 발명은 액정패널 상에 내장된 게이트 드라이버 집적회로 내에 블랙 데이터 삽입을 위한 블랙 데이터용 게이트 드라이버를 제거하여 게이트 드라이버 집적회로 내의 유효면적을 확보함과 아울러 블랙 데이터 삽입(BDI) 구동 및 120Hz의 고속 구동의 기능을 동일 패널 상에서 구현하여 원가 절감할 수 있습니다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명하기로 한다.
- [0020] 도 1은 본 발명의 실시예에 따른 액정표시장치의 액정패널을 개략적으로 나타낸 도면이다.
- [0021] 도 1에 도시된 바와 같이, 본 발명에 따른 액정패널(102)은 일정 공간을 갖고 시일재(sealant)(140)에 의해 합착된 하부 기판(131)과 상부기판(132)으로 이루어져 있다.
- [0022] 상기 하부 기판(131)은 상기 상부 기판(132)보다 더 크게 형성되어 회로 등이 실장되는 비표시영역을 갖고, 상기 시일재(140) 안쪽에서 위치하는 상/하부 기판(132, 131)은 표시영역을 갖는다. 이때, 상기 하부기판(131)의 비표시영역에는 TCP(137)가 실장되어 있다.
- [0023] 상기 하부기판(131) 상에는 다수의 게이트라인 및 다수의 데이터라인이 배열되고, 그 교차부에는 스위칭 소자인 박막트랜지스터(TFT)가 형성된다.
- [0024] 상기 박막트랜지스터(TFT)는 게이트라인으로부터의 스캔 신호에 턴-온(turn-on) 되어 데이터라인으로부터의 데이터를 액정 셀(Clc)에 공급한다. 상기 박막트랜지스터(TFT)는 게이트라인으로부터의 게이트 로우 전압(VGL)이 공급되는 경우 턴-오프(turn-off) 되어 액정셀(Clc)에 충전된 데이터가 유지되게 한다.
- [0025] 상기 액정 셀(Clc)은 등가적으로 캐패시터로 표현되며, 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터(TFT)에 접속된 화소 전극으로 구성된다. 상기 액정 셀(Clc)은 충전된 데이터가 다음 데이터가 충전될 때까지 안정적으로 유지되게 하기 위해 스토리지 캐패시터(Cst)를 추가로 구비한다. 상기 스토리지 캐패시터(Cst)는 이 전단 게이트라인과 화소 전극 사이에 형성된다. 이러한 액정 셀(Clc)은 박막트랜지스터(TFT)를 통해 충전되는 데이터에 따라 유전 이방성을 가지는 액정의 배열 상태가 가변하여 광 투과율을 조절함으로써 계조를 구현하게 된다.
- [0026] 상기 상/하부 기판(132, 131) 사이에는 액정층이 형성된다.
- [0027] 상기 게이트 드라이버(133)는 도 2에 도시된 바와 같이, 상기 게이트라인과 각각 연결되는 다수의 스테이지(135)들을 포함한다. 상기 다수의 스테이지(135) 중 제1 스테이지(135a)에는 도시하지 않은 타이밍 컨트롤러로부터 제1 클럭신호(CLK1)와 스타트 펄스(SP)가 공급되며, 제2 스테이지(135b)에는 제2 클럭신호(CLK2)가 공급된다.
- [0028] 상기 다수의 스테이지(135) 중 제3 스테이지(135c)에는 제3 클럭신호(CLK3)가 공급되고, 제4 스테이지(135d)에는 제4 클럭신호(CLK4)가 공급되며, 제5 스테이지(135e)에는 제5 클럭신호(CLK5)가 공급된다. 상기 다수의 스테이지(135) 중 제6 스테이지(135f)에는 제6 클럭신호(CLK6)가 공급되고, 제7 스테이지(135g)에는 제7 클럭신호(CLK7)가 공급되며, 제8 스테이지(135h)에는 제8 클럭신호(CLK8)가 공급된다.
- [0029] 위에서 서술한 바와 같이, 상기 제1 내지 제8 스테이지(135a ~ 135h)에는 각각 제1 내지 제8 클럭신호(CLK1 ~ CLK8)가 공급된다. 이때, 상기 제1 클럭신호(CLK1)는 제1 스테이지(135a)에만 공급되는 것이 아니라, 상기 제1 스테이지(135a)와 함께 종속적으로 연결된 임의의 스테이지(도시하지 않음)로 공급될 수 있다. 상기 제8 클럭신호(CLK8) 또한 제8 스테이지(135h)에만 공급되는 것이 아니라, 상기 제8 스테이지(135h)와 함께 종속적으로 연결된 임의의 스테이지(도시하지 않음)로 공급될 수 있다.
- [0030] 상기 제1 스테이지(135a)는 상기 제1 클럭신호(CLK1) 및 스타트 펄스(SP)를 이용하여 상기 제1 스테이지(135a)와 전기적으로 접속된 제1 게이트라인(GL1)으로 스캔 신호를 공급한다. 상기 제2 스테이지(135b)는 상기 제2 클럭신호(CLK2)와 도시하지 않은 터미 스테이지의 출력신호 및 상기 제4 스테이지(135d)의 출력 신호를 이용하여 상기 제2 스테이지(135b)와 전기적으로 접속된 제2 게이트라인(GL2)으로 스캔신호를 공급한다.
- [0031] 상기 제3 스테이지(135c)는 상기 제3 클럭신호(CLK3)와 상기 제1 스테이지(135a)의 출력신호 및 제5 스테이지(135e)의 출력신호를 이용하여 상기 제3 스테이지(135c)와 전기적으로 접속된 제3 게이트라인(GL3)으로 스캔 신호를 공급한다. 상기 제4 스테이지(135d)는 상기 제4 클럭신호(CLK4)와 상기 제2 스테이지(135b)의 출력신호 및 제6 스테이지(135f)의 출력신호를 이용하여 상기 제4 스테이지(135d)와 전기적으로 접속된 제4 게이트라인(GL4)으로 스캔 신호를 공급한다.
- [0032] 상기 제5 스테이지(135e)는 상기 제5 클럭신호(CLK5)와 상기 제3 스테이지(135c)의 출력신호 및 제7 스테이지(135g)의 출력신호를 이용하여 상기 제5 스테이지(135e)와 전기적으로 접속된 제5 게이트라인(GL5)으로 스캔 신호를 공급한다. 상기 제6 스테이지(135f)는 상기 제6 클럭신호(CLK6)와 상기 제4 스테이지(135d)의 출력신호 및 제8 스테이지(135h)의 출력신호를 이용하여 상기 제6 스테이지(135f)와 전기적으로 접속된 제6 게이트라인(GL

6)으로 스캔 신호를 공급한다.

- [0033] 상기 제7 스테이지(135g)는 상기 제7 클럭신호(CLK7)와 상기 제5 스테이지(135e)의 출력신호 및 도시하지 않은 제9 스테이지의 출력신호를 이용하여 상기 제7 스테이지(135g)와 전기적으로 접속된 제7 게이트라인(GL7)으로 스캔신호를 공급한다. 상기 제8 스테이지(135h)는 상기 제8 클럭신호(CLK8)와 상기 제6 스테이지(135f)의 출력신호 및 도시하지 않은 제10 스테이지의 출력신호를 이용하여 상기 제8 스테이지(135h)와 전기적으로 접속된 제8 게이트라인(GL8)으로 스캔신호를 공급한다.
- [0034] 즉, 제n 스테이지는 상기 제n 스테이지로 공급되는 클럭신호와 제n-2 스테이지의 출력신호 및 제n+2 스테이지의 출력신호를 이용하여 상기 제n 스테이지와 전기적으로 연결된 제n 게이트라인으로 스캔신호를 공급한다.
- [0035] 상기 각각의 게이트라인(GL1 ~ GL8)은 각각 하나의 스테이지(135a ~ 135h)와 전기적으로 연결되어 있다.
- [0036] 도 3은 사용자가 BDI 구동을 선택한 경우, 도 2의 게이트 드라이버로 공급되는 클럭신호들을 나타내는 파형도이다.
- [0037] 도 2 및 도 3에 도시된 바와 같이, 외부 사용자에게 의해 블랙 데이터 삽입(BDI) 구동이 선택되면, 도시하지 않은 타이밍 컨트롤러는 데이터 충전을 위한 제1 스타트 펄스(SP1)와 블랙 데이터 충전을 위한 제2 스타트 펄스(SP2)를 발생한다. 또한, 상기 타이밍 컨트롤러는 블랙 데이터 삽입(BDI) 구동에 대응되는 제1 내지 제8 클럭신호(CLK1 ~ CLK8)를 발생한다.
- [0038] 상기 제1 스타트 펄스(SP1)는 한 프레임의 시작되는 시점에 발생되고, 상기 제2 스타트 펄스(SP2)는 일반적으로 한 프레임의 3/4 시점에서 발생된다. 이때, 상기 제2 스타트 펄스(SP2)의 발생시점은 액정표시장치의 모델, 적용 환경 등에 따라 엔지니어에 의해 상이하게 조정이 가능하다.
- [0039] 상기 제1 클럭신호(CLK1)는 상기 제1 스타트 펄스(SP1)의 하이(High) 구간에 일부분 중첩되는 제1 하이(High) 펄스와, 상기 제1 및 제2 스타트 펄스(SP1, SP2) 사이에서 상기 제1 하이(High) 펄스 다음에 나타나는 제2 하이(High) 펄스와, 상기 제2 스타트 펄스(SP2)의 하이(High) 구간의 일부분에 중첩되는 제3 하이(High) 펄스 및 상기 제3 하이(High) 펄스와 일정간격을 갖고 나타나는 다수의 하이(High) 펄스들을 포함한다.
- [0040] 상기 제2 클럭신호(CLK2)는 상기 제1 스타트 펄스(SP1)의 폴링 에지(falling edge) 이후에 발생되어 발생하는 하이(High) 펄스와 상기 제1 클럭신호(CLK1)의 제1 하이(High) 펄스와 일부분 중첩되는 제1 하이(High) 펄스와 상기 제1 클럭신호(CLK2)의 제2 하이(High) 펄스와 일부분 중첩되는 제2 하이(High) 펄스를 포함한다. 또한, 상기 제2 클럭신호(CLK2)는, 상기 제2 스타트 펄스(SP2)의 폴링 에지(falling edge) 이후에 발생되어 상기 제1 클럭신호(CLK1)의 제3 하이(High) 펄스와 일부분 중첩되는 제3발생되는 하이(High) 펄스 및 상기 제3 하이(High) 펄스와 일정간격을 갖고 나타나는 다수의 하이(High) 펄스들을 포함한다.
- [0041] 상기 제3 클럭신호(CLK3)는 상기 제1 클럭신호(CLK1)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제2 클럭신호(CLK2)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다. 상기 제4 클럭신호(CLK4)는 상기 제2 클럭신호(CLK2)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제3 클럭신호(CLK3)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다.
- [0042] 상기 제5 클럭신호(CLK5)는 상기 제3 클럭신호(CLK3)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제4 클럭신호(CLK4)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다. 상기 제6 클럭신호(CLK6)는 상기 제4 클럭신호(CLK4)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제5 클럭신호(CLK5)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다.
- [0043] 상기 제7 클럭신호(CLK7)는 상기 제5 클럭신호(CLK5)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제6 클럭신호(CLK6)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다. 상기 제8 클럭신호(CLK8)는 상기 제6 클럭신호(CLK6)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제7 클럭신호(CLK7)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다.
- [0044] 상기 제4 클럭신호(CLK4)가 상기 제4 스테이지(135d)에 공급되는 경우를 예를 들어 설명하기로 한다.
- [0045] 상기 제4 클럭신호(CLK4)가 상기 제4 스테이지(135d)로 공급될 때에, 상기 제2 스테이지(135b)의 출력신호가 상기 제4 스테이지(135d)로 공급되고 상기 제6 스테이지(135f)의 출력신호가 상기 제4 스테이지(135d)로 공급된다. 상기 제4 스테이지(135d) 내부에 상기 제4 게이트라인(GL4)으로 공급되는 스캔 신호에 영향을 주는 Q 노드는 상기 제2 스테이지(135b)의 출력신호에 의해 셋(SET) 되고 상기 제6 스테이지(135f)의 출력신호에 의해

리셋(RESET) 된다.

- [0046] 구체적으로, 상기 제2 스타트 펄스(SP2) 전에 발생되어 상기 제2 스타트 펄스(SP2)와 일부분 중첩되는 상기 제4 클럭신호(CLK4)의 하이(High) 펄스가 상기 제4 스테이지(135d)로 공급되면, 상기 제4 스테이지(135d)와 접속된 제4 게이트라인(GL4)으로 스캔 신호가 공급된다. 이어, 상기 제4 클럭신호(CLK4)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생하는 제6 클럭신호(CLK6)의 하이(High) 펄스가 입력되는입력될 때의 제6 스테이지(135f)의 출력신호가출력신호는 상기 제4 스테이지(135d)의 Q 노드로 입력되어로 공급됩니다.
- [0047] 이로 인해, 상기 제4 스테이지(135d)의 Q 노드는 리셋(RESET) 됩니다.
- [0048] 이로 인해, 상기 제4 스테이지(135d)는 상기 제4 클럭신호(CLK4)의 다음 하이(High) 펄스가 입력되기 전에 충분히 리셋(RESET) 됩니다.
- [0049] 상기 제4 스테이지(135d)로 공급되는 제4 클럭신호(CLK4)는 상기 제4 스테이지(135d) 뿐만 아니라, 임의의 스테이지로 공급될 수 있다. 예를 들어, 제100 스테이지로 상기 제4 클럭신호(CLK4)가 공급되면, 상기 제4 클럭신호(CLK4)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생하는 제6 클럭신호(CLK6)의 하이(High) 펄스가 입력되는 제102 스테이지의 출력신호에 의해 Q 노드가 리셋(RESET) 된다.
- [0050] 이와 같이, 제n 스테이지로 대응되는 클럭신호와 제n-2 스테이지의 출력신호와, 제n+2 스테이지의 출력신호와, 제1 및 제2 스타트 펄스(SP1, SP2)를 이용하여제n 스테이지의 Q 노드에 충/방전(SET/RESET)을 충분히 이루어지도록 하여 사용자의 선택에 의해 블랙 데이터 삽입(BDI) 구동을 수행할 수 있다.
- [0051] 도 4는 사용자가 BDI 구동을 선택하지 않은 경우, 도 2의 게이트 드라이버로 공급되는 클럭신호들을 나타낸 파형도이다.
- [0052] 도 2 및 도 4에 도시된 바와 같이, 외부 사용자에게 의해 블랙 데이터 삽입(BDI) 구동이 선택되지 않은 경우, 도시하지 않은 타이밍 컨트롤러는 데이터 충전을 위한 스타트 펄스(SP)를 발생한다. 또한, 상기 타이밍 컨트롤러는 제1 내지 제8 클럭신호(CLK1 ~ CLK8)을 발생한다. 이때, 상기 타이밍 컨트롤러에서 발생된 제1 내지 제8 클럭신호(CLK1 ~ CLK8)는 블랙 데이터 삽입(BDI) 구동시의 클럭신호와 상이하다.
- [0053] 상기 제1 클럭신호(CLK1)는 스타트 펄스(SP)의 하이(High) 구간에 일부분 중첩되는 제1 하이(High) 펄스와, 상기 제1 하이(High) 펄스와 일정간격을 갖고 나타나는 다수의 하이(High)펄스를 포함한다. 제2 클럭신호(CLK2)는 상기 스타트 펄스(SP)의 하이(High) 구간의 폴링 에지(falling edge) 이후에 발생하여 상기 제1 클럭신호(CLK1)의 제1 하이(High) 펄스와 일부분 중첩되는 제1 하이(High) 펄스와 상기 제1 하이(High) 펄스와 일정간격을 갖고 나타나며 상기 제1 클럭신호(CLK1)의 다수의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다.
- [0054] 제3 클럭신호(CLK3)는 상기 제1 클럭신호(CLK1)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제2 클럭신호(CLK2)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다. 상기 제4 클럭신호(CLK4)는 상기 제2 클럭신호(CLK2)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제3 클럭신호(CLK3)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다.
- [0055] 상기 제5 클럭신호(CLK5)는 상기 제3 클럭신호(CLK3)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제4 클럭신호(CLK4)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다. 상기 제6 클럭신호(CLK6)는 상기 제4 클럭신호(CLK4)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제5 클럭신호(CLK5)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다.
- [0056] 상기 제7 클럭신호(CLK7)는 상기 제5 클럭신호(CLK5)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제6 클럭신호(CLK6)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다. 상기 제8 클럭신호(CLK8)는 상기 제6 클럭신호(CLK6)의 하이(High) 펄스의 폴링 에지(falling edge) 이후에 발생되어 상기 제7 클럭신호(CLK7)의 하이(High) 펄스와 일부분 중첩되는 다수의 하이(High) 펄스를 포함한다.
- [0057] 상기 제1 내지 제8 클럭신호(CLK1 ~ CLK8)의 하이(High) 펄스는 블랙 데이터 삽입(BDI) 구동시의 제1 내지 제8 클럭신호(도 3의 CLK1 ~ CLK8)의 하이(High) 펄스에 적게 발생된다.
- [0058] 블랙 데이터 삽입(BDI) 구동이 적용되지 않는 경우에도 제n 스테이지는 대응되는 클럭신호와 제n-2 스테이지의 출력신호 및 제n+2 스테이지의 출력신호를 이용하여 전기적으로 연결된 제n 번째 게이트라인으로 스캔 신호를 공급한다.

[0059] 이상에서와 같이, 본 발명에 따른 액정표시장치는 블랙 데이터용 게이트 드라이버를 제거하여 게이트라인이 하나의 구동 스테이지와 접속되게 함으로써, 블랙 데이터 삽입(BDI) 구동을 위해 블랙 데이터용 게이트 드라이버와 데이터용 게이트 드라이버 모두 포함하는 종래의 액정표시장치에 비해 게이트 드라이버 내의 유효면적을 확보할 수 있다.

[0060] 또한, 게이트 드라이버 내의 유효면적을 확보할 수 있으므로 120Hz와 같이 고속 구동을 위한 회로를 게이트 드라이버 내에 구비할 수 있어 동일한 액정패널에 고속 구동 및 블랙 데이터 삽입(BDI) 구동이 가능해질 수 있다.

[0061] 이상에서 설명한 것은 본 발명에 따른 액정표시장치의 예시적인 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 특징이 있다고 할 것이다.

도면의 간단한 설명

[0062] 도 1은 본 발명의 실시예에 따른 액정표시장치의 액정패널을 개략적으로 나타낸 도면.

[0063] 도 2는 도 1의 게이트 드라이버를 상세히 나타낸 도면.

[0064] 도 3은 사용자가 BDI 구동을 선택한 경우, 도 2의 게이트 드라이버로 공급되는 클럭신호들을 나타내는 파형도.

[0065] 도 4는 사용자가 BDI 구동을 선택하지 않은 경우, 도 2의 게이트 드라이버로 공급되는 클럭신호들을 나타낸 파형도.

[0066] <도면의 주요부분에 대한 간단한 설명>

[0067] 102: 액정패널 131: 하부 기판

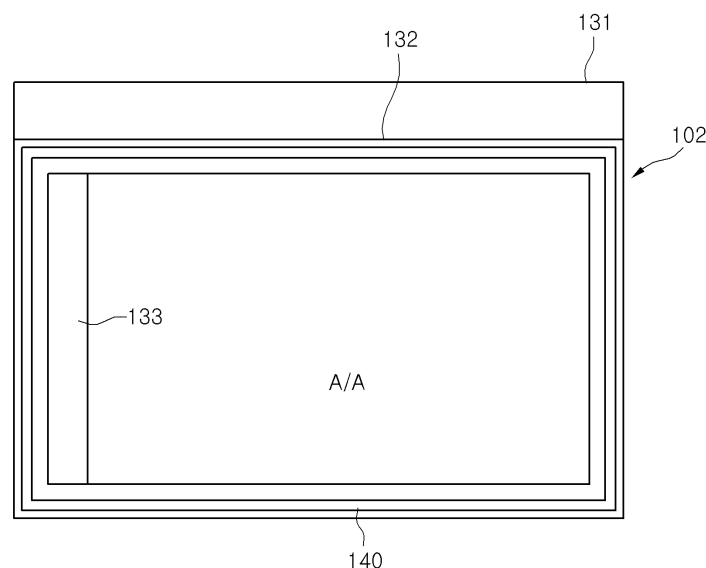
[0068] 132: 상부 기판 133: 게이트 드라이버

[0069] 135: 스테이지 135a ~ 135h: 제1 내지 제8 스테이지

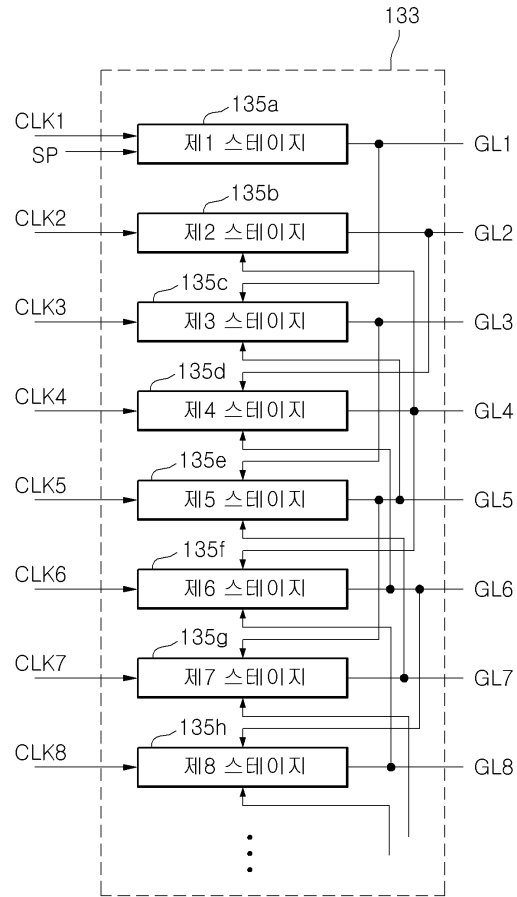
[0070] 137: TCP 140: 시일제

도면

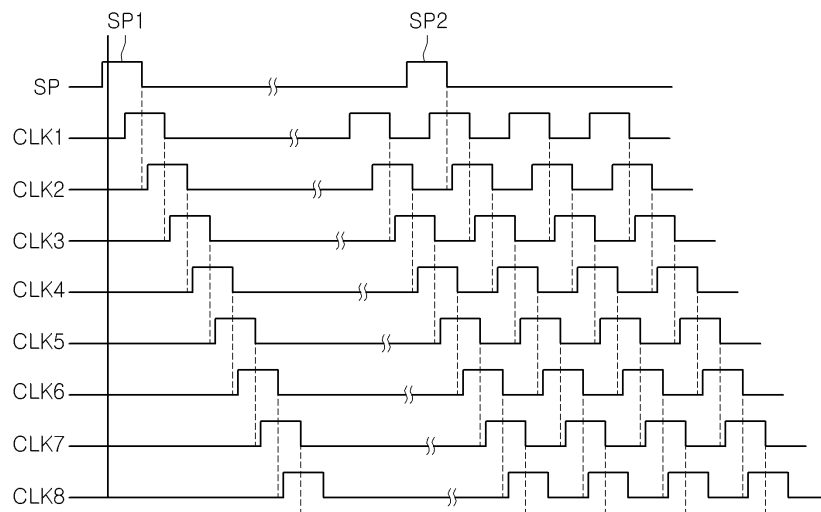
도면1



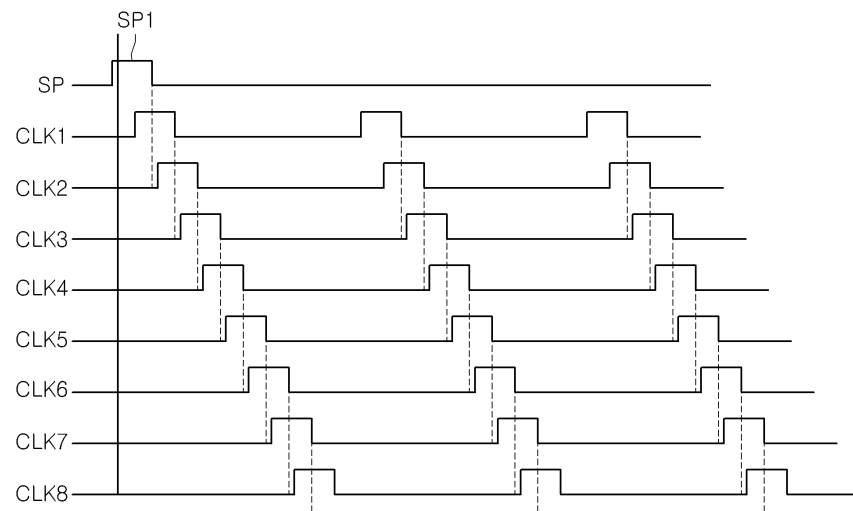
도면2



도면3



도면4



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100115671A	公开(公告)日	2010-10-28
申请号	KR1020090034376	申请日	2009-04-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO HYUNG NYUCK		
发明人	CHO, HYUNG NYUCK		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G02F1/13454 G09G3/3648 G09G3/3674 G09G2320/0238 G09G2320/0252		
其他公开文献	KR101560403B1		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示装置。根据本发明的液晶显示器可以通过消除黑色数据的驱动电路来增加电路的有效面积，并且可以应用黑色数据插入(BDI)并且当不应用黑色数据插入驱动时，可以以120Hz执行高速驱动。

