



(11) 공개번호 10-2010-0070627
(43) 공개일자 2010년06월28일

(51) Int. Cl.

G09G 3/36 (2006.01) *G09G 3/20* (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0129267

(22) 출원일자 2008년12월18일

심사청구일자 2008년12월18일

(71) 출원인

하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

유세종

경기도 이천시 송정동 수림2차아파트 203동 1002호

(74) 대리인

정태훈, 오용수

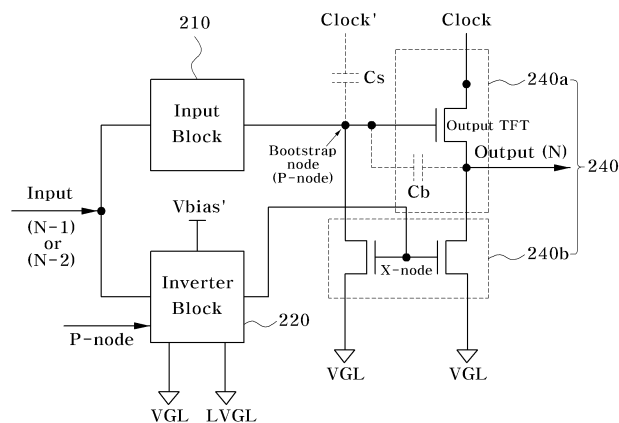
전체 청구항 수 : 총 5 항

(54) 액정표시장치의 구동회로

(57) 요약

본 발명은 입력 신호를 쉬프트 하여 출력하는 게이트 드라이버를 내장한 액정표시장치의 구동회로에 있어서, 하이 레벨 신호와 로우 레벨 신호로 이루어진 펄스 입력 신호를 입력받아 부스팅 노드에 전달하는 입력부와, 펄스 입력 신호를 인버팅하여 인버팅 신호를 출력하는 인터버부와 부스팅 노드로부터 부스팅 전압을 전달 받아 풀업 출력신호를 출력하는 풀업부와 상기 인버팅 신호를 전달받아 플다운 출력신호를 출력하는 풀업 플다운 회로부를 구비하되, 인터버부는 상기 풀업 출력 신호가 출력되는 구간에서 상기 로우 레벨 신호 보다 낮은 레벨을 일정 기간 갖는 신호를 출력하는 액정표시장치의 구동회로를 제공한다.

대표도 - 도5



특허청구의 범위

청구항 1

입력 신호를 쉬프트 하여 출력하는 게이트 드라이버를 내장한 액정표시장치의 구동회로에 있어서,
 하이 레벨 신호와 로우 레벨 신호로 이루어진 펄스 입력 신호를 입력받아 부스팅 노드에 전달하는 입력부;
 상기 입력부와 접속되며, 상기 펄스 입력 신호를 인버팅하여 인버팅 신호를 출력하는 인버터부;
 상기 입력부와 상기 인버터부에 각각 접속되며, 상기 부스팅 노드로부터 부스팅 전압을 전달 받아 풀업 출력신호를 출력하는 풀업부와 상기 인버팅 신호를 전달받아 풀다운 출력신호를 출력하는 풀업 풀다운 회로부를 구비하되,
 상기 인버터부는 상기 풀업 출력 신호가 출력되는 구간에서 상기 로우 레벨 신호 보다 낮은 레벨을 일정 기간 갖는 신호를 출력하는 액정표시장치의 구동회로.

청구항 2

제1 항에 있어서,
 상기 인버터부는 상기 풀다운 출력 신호가 출력되는 구간에서 일정 기간 오버 슈트를 출력하는 액정표시장치의 구동회로.

청구항 3

n-1 또는 n-2번째 게이트 라인의 출력단에 드레인 단자와 게이트 단자가 공통으로 연결되는 제1 트랜지스터와;
 드레인 단자가 상기 제 1 트랜지스터의 소스 단자와 연결되어 제 1 노드(P)를 이루고, 소스 단자가 VGL 단에 연결된 제2 트랜지스터와;
 제1 전극에 클럭신호가 인가되고, 제2 전극이 상기 제 1 노드(P)에 연결되는 제 1 커패시터와;
 게이트 단자가 상기 제 1 노드(P)에 연결되고, 드레인 단자에 상기 클럭신호의 반전신호가 인가되며, 소스 단자는 n번째 게이트 라인에 연결되는 제 3 트랜지스터와;
 게이트가 상기 제 2 트랜지스터의 게이트와 연결되어 제 2 노드(X)를 이루고, 드레인 단자는 상기 n번째 게이트 라인에 연결되며, 소스 단자가 상기 VGL단에 연결되는 제 4 트랜지스터와;
 Vbias' 단자에 게이트 단자와 드레인 단자가 공통으로 연결되고, 소스 단자가 상기 제 2 노드(X)에 연결되는 제 5 트랜지스터와;
 상기 제 2 노드와 상기 VGL단 사이에 연결되고, 게이트 단자는 상기 제 1 트랜지스터의 드레인 단자에 연결되는 제 6 트랜지스터와;
 상기 제 2 노드(X)와 상기 제 6 트랜지스터의 게이트 사이에 형성된 제 2 커패시터; 및
 게이트 단자가 상기 제 1 노드(P)에 연결되고, 드레인 단자가 제 2 노드(X)에 연결되며, 소스 단자가 상기 VGL 전압 보다 낮은 LVGL 단에 연결된 제 9 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 4

제3 항에 있어서,
 게이트 단자가 n+1번째 게이트 라인에 연결되며, 상기 제 1 노드(P)와 상기 VGL단 사이에 상기 제 2 트랜지스터와 병렬을 이루도록 연결되는 제 7 트랜지스터와;

게이트 단자가 상기 n+1번째 게이트 라인에 연결되고, 상기 Vbias' 단자와 상기 제 2 노드(X) 사이에 연결되는 제 8 트랜지스터를 더 구비하는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 5

제3 항에 있어서,

상기 LVGL 단의 전압은 상기 VGL 전압 보다 0.5 내지 5 V 낮은 것을 특징으로 하는 액정표시장치의 구동회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치 구동회로에 관한 것으로서, 특히 게이트 드라이버 회로가 패널내에 집적된 비정질 실리콘 TFT 액정표시장치의 구동회로에 관한 것이다.

배경 기술

[0002] 비정질 실리콘 (a-Si) TFT를 사용하는 액정표시장치 패널의 경우 저온 폴리 실리콘 TFT와는 달리 낮은 이동도의 특성으로 인하여 액정표시장치의 패널 내부에 화소 구동을 위한 회로들을 다양하게 집적하는 것이 힘든 문제점이 있었다.

[0003] 이러한 문제점을 극복하고자 최근에는 낮은 주파수로 동작할 수 있는 영역들을 패널 내부에 집적하는 시도가 활발히 이루어지고 있는데, 그 중 게이트 드라이버 회로를 패널 내부에 집적하는 것이 가장 효율적으로 인식되고 있으며 제품으로도 출시되고 있다. 종래 기술에 의한 게이트 드라이버 회로가 집적된 액정표시장치의 구동회로는 동 출원인의 한국등록특허 705628호 등 다수가 개시되어 있다.

[0004] 액정표시장치 패널에 집적되는 게이트 드라이버 회로는 낮은 이동도를 극복하기 위해 TFT의 폭(Width)을 증가시키고 부트스트랩(Bootstrap)이라는 효과를 이용하는 쉬프트 레지스터 회로를 형성하게 된다.

[0005] 도 1은 일반적인 부트스트랩 효과를 이용하는 쉬프트 레지스터 회로의 블럭도이다. 부트스트랩 효과를 이용하는 쉬프트 레지스터 회로는 2-페이즈(2-phase) 또는 4-페이즈(4-phase) 방식을 사용할 수 있다. 2-페이즈는 쉬프트 레지스터 동작의 동기 및 전류공급 신호용으로 사용하는 클럭 신호(Clock signal)가 게이트 펄스의 하이 레벨 구간 크기인 1-수평시간(Horizontal time)에 동기되어 180도 위상차를 갖는 2개의 클럭(Clock) 신호를 사용하는 방식이며, 4-페이즈는 쉬프트 레지스터 동작의 동기 및 전류공급 신호용으로 사용하는 클럭 신호가 1-수평시간에 동기되는 것은 2-페이즈 방식과 동일하나 90도씩의 위상차를 갖는 4가지 종류의 클럭 신호를 사용하는 방식으로 4-수평시간 마다 하이 레벨 구간이 반복되는 클럭 신호를 사용한다.

[0006] 도 2a는 2-페이즈(2-phase), 도 2b는 4-페이즈(4-phase) 방식을 이용하는 경우의 쉬프트 레지스터의 파형들을 도시한 그래프들이다.

[0007] 도 1, 도 2a, 및 도 2b를 참조하면, 입력블럭(11)을 통해서 전단 출력(N-1 or N-2 번째 출력이 일반적임)을 입력받은 후 입력블럭(11)의 TFT를 오프 상태로 전환하여 부트스트랩 노드 (P-node)가 플로팅 노드가 되도록 만들어 준다. 다음 수평시간에 클럭 신호를 로우레벨에서 하이레벨 전압으로 상승시키면 플로팅 상태였던 부트스트랩 노드 (P-node)는 클럭 신호와의 커플링 효과로 인하여 이상적으로는 대략 VGH의 2배 정도의 전압 레벨까지 상승한다(일반적으로는 $2V_{GH} - a$).

[0008] 이 때, 부트스트랩 효과에 의해 상승된 전압이 출력 TFT(T11)의 게이트 노드에 인가되므로 출력 TFT(T11)는 많은 전류를 흘려줄 수 있게 되어 클럭 신호가 상승/하강 지연 시간(Rise/Fall Delay time)의 큰 손실 없이 출력 노드(Output node)로 출력되는데, 입력신호와 출력 신호 사이에는 1-수평시간 만큼 신호 지연이 발생하게 되므로 쉬프트 레지스터 회로로 동작이 가능하게 된다.

- [0009] 다음으로, 종래 기술에 의한 게이트 드라이버 회로가 내장된 구동회로를 동출원인의 한국등록특허 705628호를 예로 들어 설명한다. 도 3은 한국등록특허 제705628호의 액정표시장치의 구동회로이다.
- [0010] 도 3을 참조하면, 본 구동회로는 8개의 박막트랜지스터 (T1,T2,T3,T4,T5,T6,T7,T8)와 2개의 커패시터(C1,C2)로 구성된다. 도 1의 구동회로는 게이트 하이 레벨 전압을 생성하는 풀업(Pull-up)부(T3)와 게이트 로우 전압을 생성하는 풀다운(Pull-down)부(T2,T4)를 구비하는 풀업 풀다운 회로부(T2,T3,T4;130)를 가지는데, 풀다운(Pull-down)기능을 구현하기 위해서는 NTFT 인버터 회로(T5,T6)의 출력을 컨트롤 신호로 이용하도록 되어 있다.
- [0011] 그런데, 인버터 회로(T5,T6)의 출력 신호(X)는 풀다운부(T2, T4)의 TFT 게이트 노드에 인가되는데, 이 때 게이트 전압이 높을수록 회로 성능은 향상되나 게이트 노드 바이어스 전압에 의한 스트레스로 TFT의 열화가 진행되어 신뢰성 저하가 발생하는 단점을 가지게 된다. 통상 풀다운부(T2, T4)의 TFT가 오프되는 때 TFT의 V_{gs} 는 0V 이상이 되는 경우가 많고 이 경우 누설전류가 존재한다.
- [0012] 도 4는 TFT의 I-V 특성이 이동도가 증가하거나, 문턱전압이 감소되는 경우 누설 전류가 증가하는 현상을 설명하기 위한 모식도이다. 도 4에서 보여주는 바와 같이 TFT의 I-V 특성은 이동도가 증가하거나 문턱전압(V_{th})이 감소하게 되면 V_{gs} 가 0V 이상인 경우 누설전류가 증가하여 회로 성능을 저하시킨다.
- [0013] 또한, 풀다운부(T2, T4)의 회로 내부에 존재하는 회로 누설 전류 성분으로 집적된 게이트 드라이버의 출력이 하이 레벨인 구간에서 문턱전압(V_{th})이 작고 고온 등의 이동도 증가요인이 발생하게 되면, 게이트 드라이버 출력이 감쇄되어 출력되는 현상이 발생하게 된다.

발명의 내용

해결 하고자하는 과제

- [0014] 상술한 문제점을 해결하기 위하여, 본 발명은 우수한 출력 특성을 나타내도록 회로 성능을 향상시키면서 신뢰성이 우수한 구동 회로를 제공하는 것이다.

과제 해결수단

- [0015] 본 발명의 주된 특징적 구성은 구동 회로의 풀다운부에 인가되는 신호파형을 쉬프트 레지스터의 출력이 하이 레벨이 되는 구간에서는 인버터의 출력 파형을 조절하여 누설 전류를 제거하는 방식을 사용하는 한편, 쉬프트 레지스터의 출력이 로우레벨이 되는 구간에서는 인버터의 출력 파형을 오버슈트 형태의 파형으로 만들어 쉬프트 레지스터 출력의 하이레벨에서 로우레벨로의 전이 지연시간을 줄여주면서 풀다운부의 스트레스를 줄임으로서 신뢰성을 향상시킬 수 있게 된다.
- [0016] 본 발명의 일측면은 입력 신호를 쉬프트 하여 출력하는 게이트 드라이버를 내장한 액정표시장치의 구동회로에 있어서, 하이 레벨 신호와 로우 레벨 신호로 이루어진 펄스 입력 신호를 입력받아 부스팅 노드에 전달하는 입력부; 상기 입력부와 접속되며, 상기 펄스 입력 신호를 인버팅하여 인버팅 신호를 출력하는 인버터부; 상기 입력부와 상기 인버터부에 각각 접속되며, 상기 부스팅 노드로부터 부스팅 전압을 전달 받아 풀업 출력신호를 출력하는 풀업부와 상기 인버팅 신호를 전달받아 풀다운 출력신호를 출력하는 풀업 풀다운 회로부를 구비하되, 상기 인버터부는 상기 풀업 출력 신호가 출력되는 구간에서 상기 로우 레벨 신호 보다 낮은 레벨을 일정 기간 갖는 신호를 출력하는 액정표시장치의 구동회로를 제공한다.
- [0017] 바람직하게는, 상기 인버터부는 상기 풀다운 출력 신호가 출력되는 구간에서 일정 기간 오버 슈트 파형을 출력한다.
- [0018] 본 발명의 다른 측면은 n-1 또는 n-2번째 게이트 라인의 출력단에 드레인 단자와 게이트 단자가 공통으로 연결되는 제1 트랜지스터와; 드레인 단자가 상기 제 1 트랜지스터의 소스 단자와 연결되어 제 1 노드(P)를 이루고, 소스 단자가 VGL 단에 연결된 제2 트랜지스터와; 제1 전극에 클럭신호가 인가되고, 제2 전극이 상기 제 1 노드(P)에 연결되는 제 1 커패시터와; 게이트 단자가 상기 제 1 노드(P)에 연결되고, 드레인 단자에 상기 클럭신호의 반전신호가 인가되며, 소스 단자는 n번째 게이트 라인에 연결되는 제 3 트랜지스터와; 게이트가 상기 제 2

트랜지스터의 게이트와 연결되어 제 2 노드(X)를 이루고, 드레인 단자는 상기 n번째 게이트 라인에 연결되며, 소스 단자가 상기 VGL단에 연결되는 제 4 트랜지스터와; Vbias 단자에 게이트 단자와 드레인 단자가 공통으로 연결되고, 소스 단자가 상기 제 2 노드(X)에 연결되는 제 5 트랜지스터와; 상기 제 2 노드와 상기 VGL단 사이에 연결되고, 게이트 단자는 상기 제 1 트랜지스터의 드레인 단자에 연결되는 제 6 트랜지스터와; 상기 제 2 노드(X)와 상기 제 6 트랜지스터의 게이트 사이에 형성된 제 2 커패시터; 및 게이트 단자가 상기 제 1 노드(P)에 연결되고, 드레인 단자가 제 2 노드(X)에 연결되며, 소스 단자가 상기 VGL 전압 보다 낮은 LVGL 단에 연결된 제9 트랜지스터를 포함하여 구성되는 액정표시장치의 구동회로를 제공한다.

[0019] 바람직하게는, 게이트 단자가 n+1번째 게이트 라인에 연결되며, 상기 제 1 노드(P)와 상기 VGL단 사이에 상기 제 2 트랜지스터와 병렬을 이루도록 연결되는 제 7 트랜지스터와; 게이트 단자가 상기 n+1번째 게이트 라인에 연결되고, 상기 Vbias단자와 상기 제 2 노드(X) 사이에 연결되는 제 8 트랜지스터를 더 구비한다.

[0020] 또한, LVGL 단의 전압은 상기 VGL 전압 보다 0.5 내지 5 V 낮은 것을 특징으로 한다.

효 과

[0021] 본 발명에 의하면, 쉬프트 레지스터의 풀다운 기능 블록 내 TFT의 게이트 노드에 인가되는 인버터 블록의 출력 파형을 오버슈트 형태의 파형으로 형성하여 게이트 노드의 바이어스 스트레스 전압을 낮추어 수명을 증가시킬 수 있으며, 회로 내부의 누설 전류 성분을 제거하여 고온이나 문턱전압이 낮은 경우 등의 TFT 누설전류 증가 요인 발생 시에도, 게이트 출력 파형의 감쇄 현상 없이 우수한 특성을 가지게 된다.

발명의 실시를 위한 구체적인 내용

[0022] 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제 공되어지는 것이다.

[0023] 도 5는 본 발명의 바람직한 실시예에 따른 액정표시장치의 구동회로의 블록도이다.

[0024] 도 5를 참조하면, 구동회로는 입력부(210), 인버터부(220), 풀업 풀다운부(240)를 포함하여 구성된다.

[0025] 입력부(210)는 하이 레벨(VGH)과 로우레벨(VGL)을 구비하는 펄스 입력 신호를 입력받아 부스팅 노드(P-node)에 전달하고, 인버터부(220)는 입력부(210)와 접속되어 펄스 입력 신호를 인버팅하여 인버팅 신호를 X 노드(X-node)로 출력한다. 풀업 풀다운 회로부(240)는 입력부(210)와 인버터부(220)에 각각 접속되며, 부스팅 노드(P-node)로부터 부스팅 전압을 전달받아 풀업 출력신호를 출력하는 풀업부(240a)와 인버팅 신호를 전달받아 풀다운 출력신호를 출력하는 풀다운부(240b)를 구비한다.

[0026] 여기서, 인버터부(220)는 풀업 출력 신호가 출력되는 구간에서 입력부(210)에 입력된 펄스 입력신호의 로우 레벨(VGL) 보다 낮은 레벨(LVGL)을 일정 기간 갖는 신호를 출력한다.

[0027] 한편, 인버터부(220)는 풀다운 출력 신호가 출력되는 구간에서 오버슈트 파형을 갖는 신호를 출력할 수 있다. 여기서, 인버터부(220)에 인가되는 전원 전압(Vbias')은 출력 신호가 오버슈트를 방생할 수 있도록 출력하는데 예를 들어 3 내지 5 V 정도의 전압을 설정할 수 있다.

[0028] LVGL 전압은 VGL 대비 대략 0.5 내지 5 V 아래의 전위, 바람직하게는 1-3 V 전압을 갖는 것이 효과적이며 쉬프트 레지스터의 안정된 동작을 위하여 드라이버 IC에서는 전압 변화량이 적고 노이즈에 강한 VCI 전원을 이용하여 VGL과 LVGL 전위차를 생성하는 방법이 바람직하다.

[0029] 입력부(210)는 포화모드(saturation mode) TFT를 사용하여 다이오드 형태의 입력 스위치를 가지는 경우가 효과적이며 입력 신호가 하이 레벨인 경우에는 신호가 인가되고 입력 신호가 로우 레벨인 경우에는 신호 입력이 차단되어 신호가 입력된 후에는 플로팅 상태를 유지하는 기능을 수행한다.

[0030] 풀업부(240a)는 게이트 출력 파형의 하이 레벨 전압을 생성하기 위한 전원 소스로 클럭 신호를 사용하게 되는데

클럭 신호의 전압 레벨은 게이트 구동 전압의 하이/로우(High/Low), 즉 VGH/VGL의 2 레벨 펄스 형태를 갖게 된다. 클럭 파형의 듀티비는 대략 20~50%를 갖게 되는데, 앞에서 설명한 대로 구동 방식에 따라 2-페이즈 또는 4-페이즈 신호가 사용될 수 있다.

[0031] 도 6은 도 5의 인버터부(220)의 상세 구성도이고, 도 7은 도 6의 인버터에서 출력되는 출력 파형이 종래 기술과 대비하여 변화되는 상황을 설명하기 위한 도면이다. 도 7의 왼쪽은 종래기술에 의한 출력파형, 도 7의 오른쪽은 본 발명에 의한 출력 파형을 도시하고 있다.

[0032] 도 6을 참조하면, 인버터부(220)는 TFT들(T21,T22,T23)을 구비하고 Vbias'와 입력 신호(Input)와 도 5의 부트스트랩 노드(P-node)를 입력으로 하고 X-node 로 출력신호를 전달한다. 여기서 종래 기술과 큰 차이점은 TFT (T23)이 추가되고 이 TFT(T23)의 게이트 단자는 부트스트랩 노드(P-node)에 연결되고 소스 단자는 TFT(T22)의 소스 단자의 전압(VGL) 보다 낮은 전압 레벨(LVGL)에 연결된다. 또한, TFT (T21)의 드레인이 연결되는 전압 레벨(Vbias)는 전술한 바와 같이 X-노드(X-Node) 출력 신호가 오버슈트를 가지도록 설정한다.

[0033] 인버터부(220)는 종래 기술의 경우 입력 전압만을 컨트롤 신호로 사용하여 VGL 레벨을 출력하던 인버터 회로를 부트스트랩 (P-node)을 컨트롤 신호로 사용하며 LVGL (Lower VGL : VGL보다 수 Voltage 아래 전위의 전원 신호) 신호를 사용하여 인버터 회로 출력을 VGL보다 낮은 전위로 만들고 풀다운 기능 블록 내의 TFT 들의 Vgs를 음수로 만들어 누설전류를 줄여주는 방식으로 고온 및 Vth 감소에 의한 회로 불안정요인을 제거하고 있다.

[0034] 도 8은 본 발명에 따른 액정표시장치의 구동회로의 일 구현예를 도시한 것이다. 도 8은 기본적인 TFT 및 커패시터스 만을 표시한 것으로 미도시 회로 블록이 존재할 수 있지만 발명의 핵심적인 사상의 언급에 필요하지 않은 부분을 생략하여 도시하였다. 또한, 도 8의 액정표시장치의 구동회로는 9개의 박막트랜지스터와 2개의 커패시터로 구성된 경우를 예로 들어 설명하고 있고, 각 박막트랜지스터의 크기는 서로 상이하게 할 수 있으며 추가적인 구성이 포함될 수도 있다.

[0035] 도 8의 액정표시장치의 구동회로는 박막트랜지스터 (T31,T32,T33,T34,T35,T36,T37,T38,T39)와 2개의 커패시터 (C31,C32)로 구성된다.

[0036] 제1 트랜지스터(T31)는 n-1 또는 n-2번째 게이트 라인의 출력단에 드레인 단자와 게이트 단자가 공통으로 연결되고, 제2 트랜지스터(T32)는 드레인 단자가 제 1 트랜지스터(T31)의 소스 단자와 연결되어 제 1 노드(P)를 이루고, 소스 단자가 VGL 단에 연결되고, 제 1 커패시터(C31)는 제1 전극에 클럭신호(Clk)가 인가되고, 제2 전극이 제 1 노드(P)에 연결되고, 제 3 트랜지스터(T33)는 게이트 단자가 상기 제 1 노드(P)에 연결되고, 드레인 단자에 클럭신호(Clk)의 반전신호(Clkb)가 인가되며, 소스 단자는 n번째 게이트 라인에 연결되고, 제 4 트랜지스터(T34)는 게이트가 상기 제 2 트랜지스터(T32)의 게이트와 연결되어 제 2 노드(X)를 이루고, 드레인 단자는 상기 n번째 게이트 라인에 연결되며, 소스 단자가 상기 VGL단에 연결되고, 제 5 트랜지스터는 Vbias 단자에 게이트 단자와 드레인 단자가 공통으로 연결되고, 소스 단자가 상기 제 2 노드(X)에 연결되고, 제 6 트랜지스터(T36)는 제 2 노드와 VGL단 사이에 연결되고, 게이트 단자는 상기 제 1 트랜지스터(T31)의 드레인 단자에 연결되며, 제 2 커패시터는 제 2 노드(X)와 상기 제 6 트랜지스터(T36)의 게이트 사이에 형성된다.

[0037] 또한, 설명의 편의를 위해 도 3의 종래기술에 의한 구동회로와의 차이점을 위주로 설명하면, 인버터부(240)의 구성에 제 9 트랜지스터(T39)가 포함된 구성이 핵심적인 차이점이다. 제 9 트랜지스터(T39)는 게이트 단자가 제 1 노드(P)에 연결되고, 드레인 단자가 제 2 노드(X)에 연결되며, 소스 단자가 VGL 전압 보다 낮은 LVGL 단에 연결된다.

[0038] 또한, 제 7 트랜지스터(T37)와 제 8 트랜지스터(T38)는 리셋 기능을 위해 추가될 수 있다. 제 7 트랜지스터(T37)는 게이트 단자가 n+1번째 게이트 라인에 연결되며, 제 1 노드(P)와 VGL단 사이에 제 2 트랜지스터(T32)와 병렬을 이루도록 연결되고, 제 8 트랜지스터(T38)는 게이트 단자가 상기 n+1번째 게이트 라인에 연결되고, Vbias단자와 상기 제 2 노드(X) 사이에 연결된다.

[0039] 이와 같이 구성된 본 발명의 액정표시장치의 구동회로의 동작을 설명하면 다음과 같다.

[0040] 도 8을 참조하여 회로 동작을 순서대로 살펴보면, 먼저, n-1번째 회로(미도시)의 출력신호가 제 1 트랜지스터(T31)의 드레인 단자를 통해 입력된다.

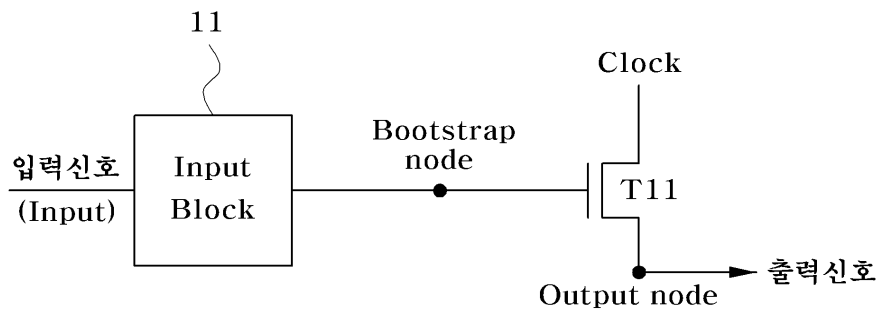
[0041] 제 1 트랜지스터(T31)를 통해 n-1번째 회로의 출력신호(본 구동회로인 n번째 회로를 기준으로 볼 때는 입력신호

가 됨)가 입력되면, 클럭신호(Clk)도 상기 입력신호에 동기되어 입력된다.

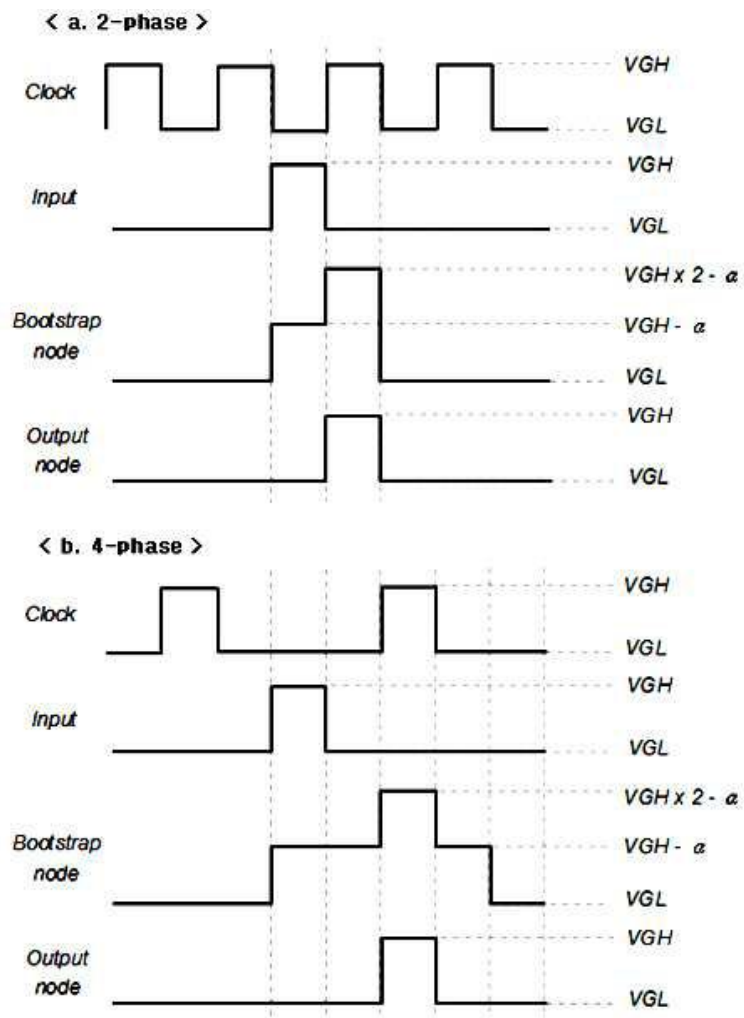
- [0042] 입력 신호가 하이 레벨(VGH)의 신호이면 제 1 트랜지스터(T31)와 제 6 트랜지스터(T36)는 턴-온 상태가 되며, 제1 노드(P)는 포지티브 레벨이 되며 전압은 VGH 전압에서 제 1 트랜지스터(T31)의 문턱전압을 뺀 만큼의 전위(VGH-a)가 된다. 한편, 출력신호는 제2 노드(X)가 하이 레벨이고 제3 트랜지스터(T33)가 턴 오프를 유지하므로 로우 레벨을 유지한다. 제1 커패시터(C1)와 제2 커패시터(C2)는 충전된다.
- [0043] 이때, 입력 신호가 로우 레벨(VGL)의 신호가 되고, 제 1 트랜지스터(T31)와 제 6 트랜지스터(T36)는 턴-오프 상태가 되며, 제3 트랜지스터(T33)은 제1 노드(P)의 하이 레벨 전압에 의해 턴온되고 ClkB 신호가 하이 레벨이기 때문에 출력은 하이 레벨을 가지게 된다.
- [0044] 한편, 제 9 트랜지스터 (T39)의 게이트 단자는 제1 노드(P)에 연결되고 소스 단자는 전압(VGL) 보다 낮은 전압 레벨(LVGL)에 연결된다. 이러한 구성에 의해 제2 노드(X)는 도 9b에서와 같은 프로파일을 가질 수 있게 된다.
- [0045] 한편, n+1번째 회로의 출력신호가 리셋신호로 상기 제 7 트랜지스터(T37)와 제 8 트랜지스터(T38)에 인가되면 제1 노드(P)는 로우레벨이 되고 제 5 트랜지스터(T5)의 턴-온 전압이 기존 대비 낮기 때문에 제 2 트랜지스터(T32)는 그 기능을 강화하기 위한 수단으로 작용하게 된다.
- [0046] 이때, 상기 제 2 커패시터(C2)의 커패시터(Cap)의 역할은 노드 X점에서의 전위 레벨을 유지하고 안정화시키기 위한 목적으로 형성이 되며, 제 1 커패시터(C1)의 커패시터는 부스팅을 위한 목적과 출력신호(Output)의 오프 레벨 특성을 안정화시키기 위한 기능으로 형성된다.
- [0047] 도 9a 및 도 9b는 종래 기술과 본 발명의 실시예에 따른 P-노드, N-노드, 및 출력 파형을 Spice 시뮬레이션 한 결과를 도시한 그래프이다.
- [0048] 도 9a를 참조하면, 트랜지스터의 누설 전류가 크거나 V_{th} 가 작은 경우 부트스트랩 노드 (P-node)의 플로팅 전위가 무너지면서 출력 파형이 제대로 출력되지 않으나, 본 발명의 실시예에 도 9b의 경우는 부트스트랩 노드 (P-node)의 전위가 그대로 유지가 되므로 게이트 출력 파형이 안정적으로 나오는 것을 확인할 수 있다.
- [0049] 이상에서 본 발명의 바람직한 실시 예를 설명하였으나, 본 발명은 다양한 변화와 변경 및 균등물을 사용할 수가 있고, 상기 실시예들을 적절히 변형하여 동일하게 응용할 수가 있음이 명확하다. 따라서 상기 기재 내용은 하기의 특허청구범위의 한계에 의해 정해지는 본 발명의 범위를 한정하는 것이 아니다.
- 도면의 간단한 설명**
- [0050] 도 1은 일반적인 부트스트랩 효과를 이용하는 쉬프트 레지스터 회로의 블록도이다.
- [0051] 도 2a는 2-페이즈(2-phase), 도 2b는 4-페이즈(4-phase) 방식을 이용하는 경우의 쉬프트 레지스터의 파형들을 도시한 그래프들이다.
- [0052] 도 3은 한국등록특허 제705628호의 액정표시장치의 구동회로이다.
- [0053] 도 4는 TFT의 I-V 특성이 이동도가 증가하거나, 문턱전압이 감소되는 경우 누설 전류가 증가하는 현상을 설명하기 위한 모식도이다.
- [0054] 도 5는 본 발명의 바람직한 실시예에 따른 액정표시장치의 구동회로의 블록도이다.
- [0055] 도 6은 도 5의 인버터부(220)의 상세 구성도이고, 도 7은 도 6의 인버터에서 출력되는 출력 파형이 종래 기술과 대비하여 변화되는 상황을 설명하기 위한 도면이다.
- [0056] 도 8은 본 발명에 따른 액정표시장치의 구동회로의 일 구현예를 도시한 것이다.
- [0057] 도 9a 및 도 9b는 종래 기술과 본 발명의 실시예에 따른 P-노드, N-노드, 및 출력 파형을 Spice 시뮬레이션 한 결과를 도시한 그래프이다.

도면

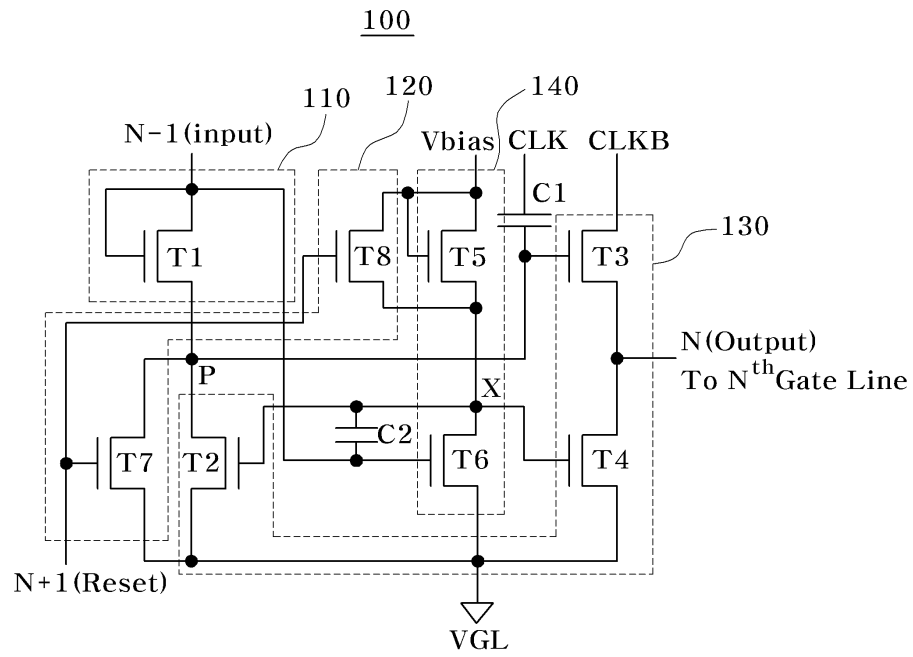
도면1



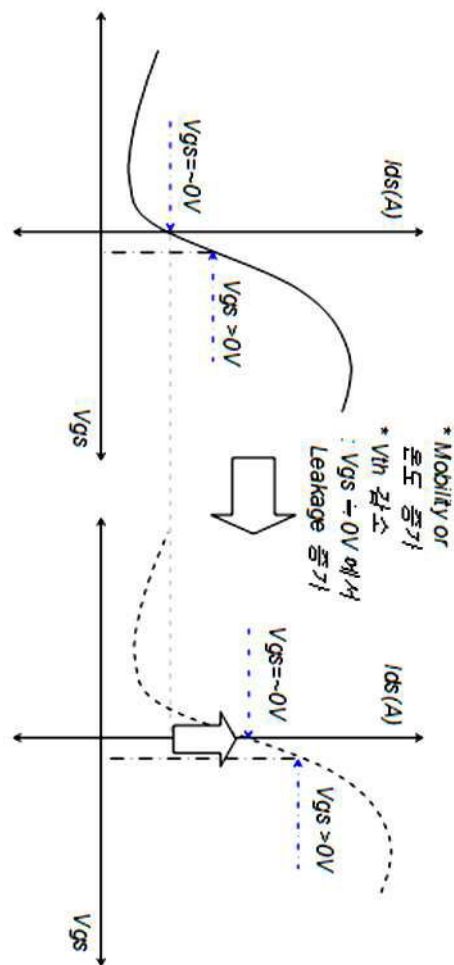
도면2



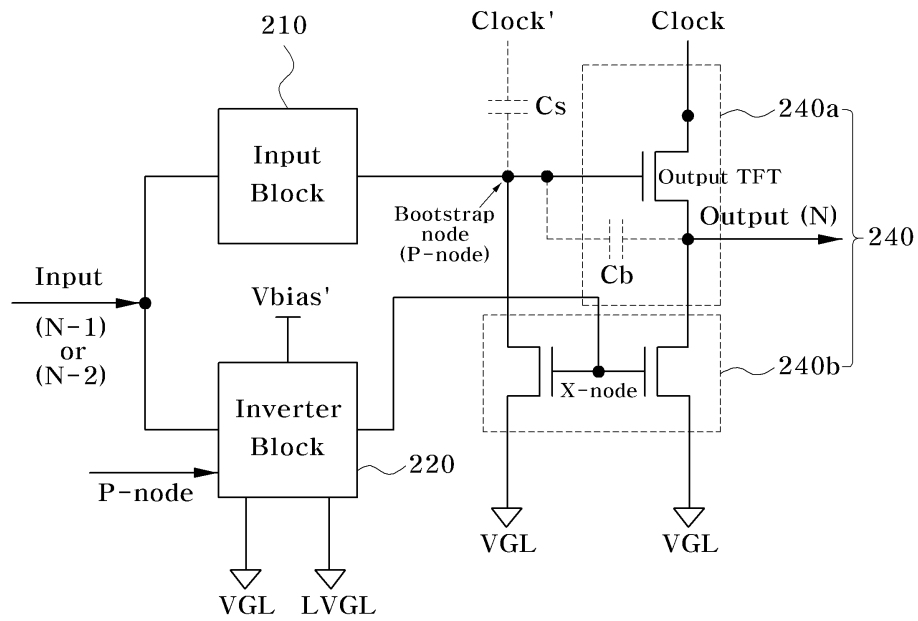
도면3



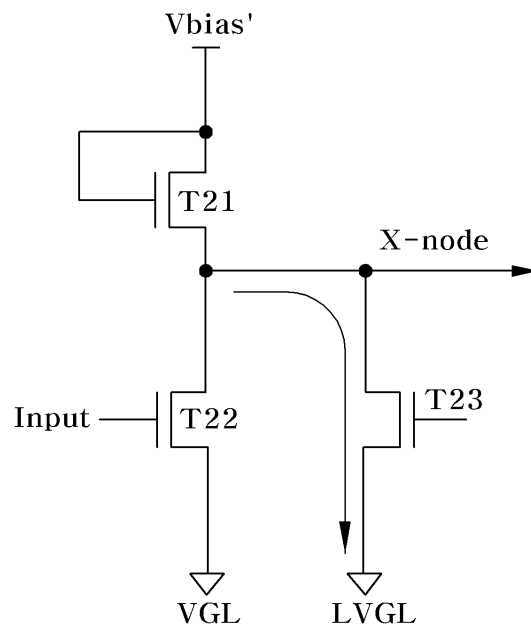
도면4



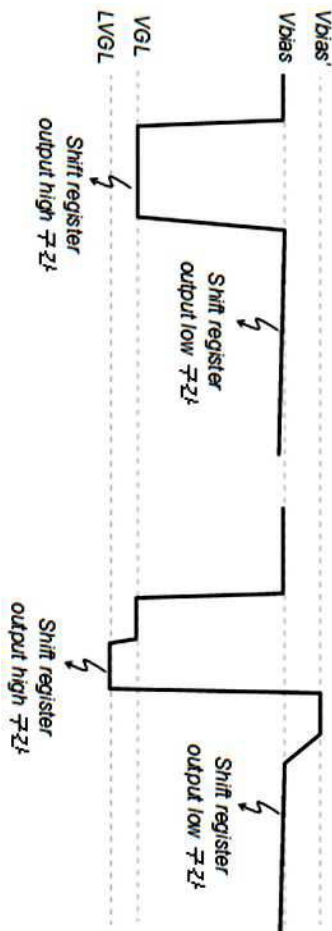
도면5



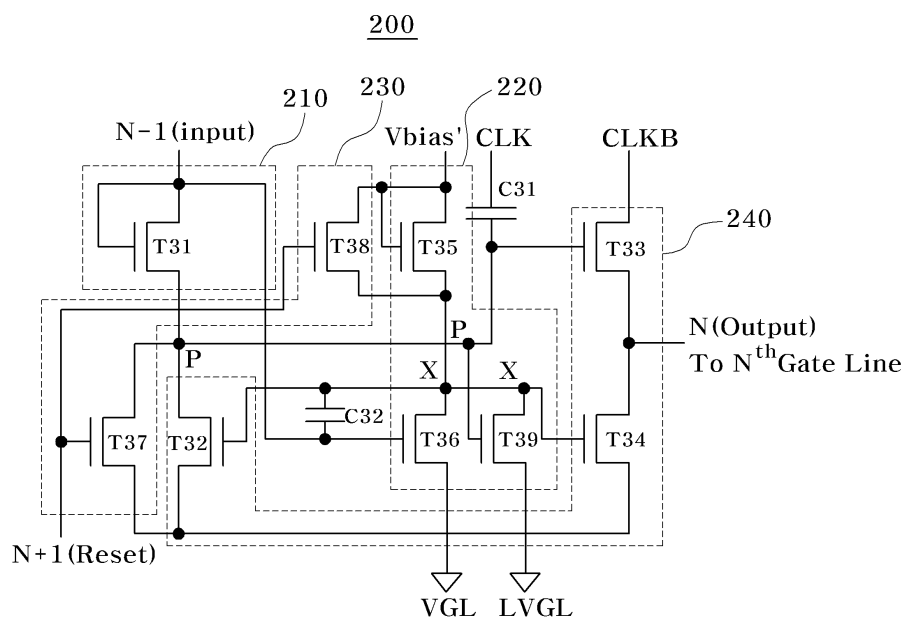
도면6



도면7

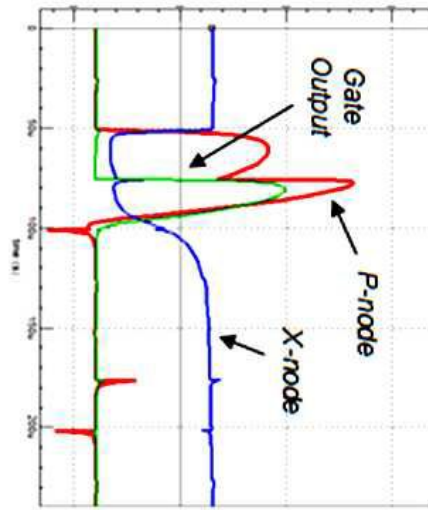


도면8

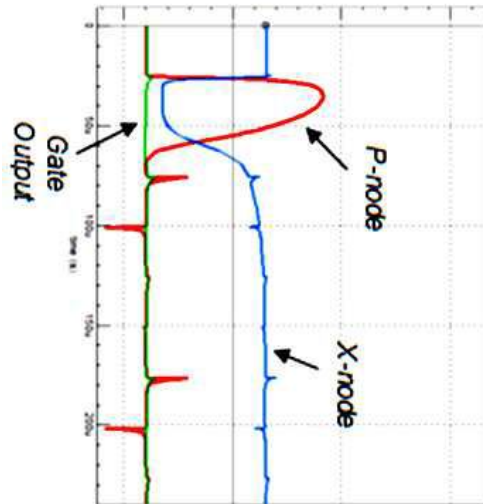


도면9a

< a. (N-1) Input signal 사용 시 >

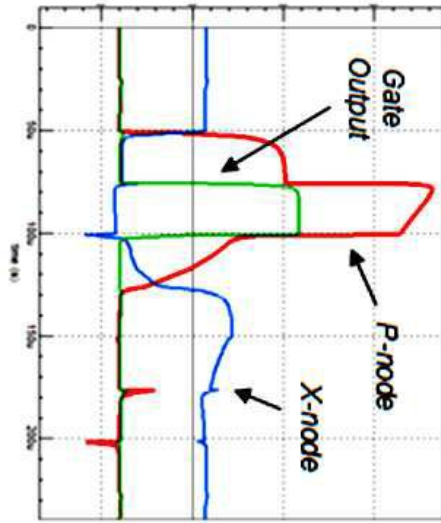


< b. (N-2) Input signal 사용 시 >

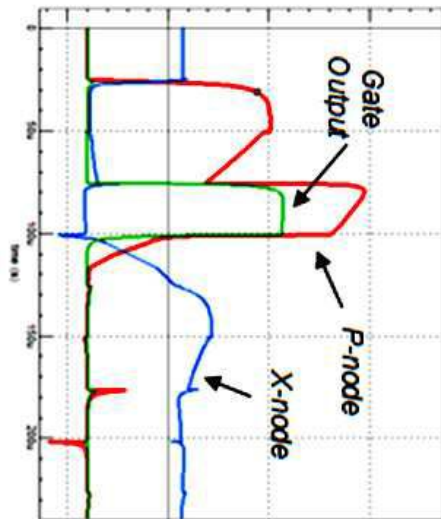


도면9b

< a. (N-1) Input signal 사용 시 >



< b. (N-2) Input signal 사용 시 >



专利名称(译) 一种液晶显示器的驱动电路

公开(公告)号	KR1020100070627A	公开(公告)日	2010-06-28
申请号	KR1020080129267	申请日	2008-12-18
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	YOO SE JONG		
发明人	YOO, SE JONG		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
代理人(译)	郑某, TAE HOON OH YONG SOO		
其他公开文献	KR101020627B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种输入单元，其中脉冲输入信号包括关于液晶显示装置的驱动电路的高电平信号，具有移位输入信号并输出内置的栅极驱动器和低电平信号。输入并输出到升压节点，反相器部分反相脉冲输入信号并输出反相信号，以及液晶显示装置的驱动电路，包括上拉部分，其中升压电压从升压节点输出。输出上拉输出信号和上拉下拉电路，该电路被通知反相信号并输出满下降输出信号，并在该部分输出具有低于低电平信号电平的信号其中，在逆变器单元中，输出上拉输出信号。门驱动器，上拉，完全下降，增压。

