



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0030295
(43) 공개일자 2010년03월18일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G09G 5/39 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0089182

(22) 출원일자 2008년09월10일
심사청구일자 2008년09월10일

(71) 출원인

충북대학교 산학협력단

충청북도 청주시 흥덕구 개신동 12

(72) 발명자

차상록

충북 청주시 흥덕구 운천동 1141번지

김학윤

충북 청주시 상당구 율량동 863 럭키아파트 5동 105호

(뒷면에 계속)

(74) 대리인

김용인, 심창섭

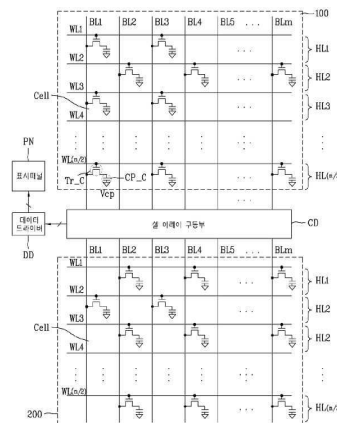
전체 청구항 수 : 총 14 항

(54) 표시장치

(57) 요약

본 발명은 표시장치에 관한 것으로, 프레임(frame) 메모리로서 종래의 에스램(SRAM)이 아닌, 디램(DRAM)을 사용함에 따라 효율적인 메모리 구조에 관한 것이다. 즉, 디램을 표시장치내의 프레임 메모리로서 사용함에 따른 변형된 비트라인 구조와 비트 라인에 존재하는 기생 커패시턴스의 크기를 줄여 센스 앰프의 감도를 향상시킬 수 있는 표시장치에 대한 것이다.

대표도 - 도1



(72) 발명자

서상조

충북 청주시 흥덕구 개신동 635 개신2단지 프란체
아파트 206동 308호

방정배

충남 천안시 원성동 526-9번지

정용철

충북 청주시 흥덕구 개신동 대우푸르지오아파트
409동 2006호

신봉조

충북 청주시 상당구 사천동 신동아아파트 10동 71
0호

최호용

충북 청주시 흥덕구 수곡2동 775 한마음2차아파트
202동 1303호

박근형

충북 청주시 상당구 용암동 건영아파트 111동 150
3호

특허청구의 범위

청구항 1

서로 교차하는 다수의 워드 라인들과 다수의 비트 라인들에 의해 정의된 다수의 셀 영역들을 포함하는 제 1 및 제 2 셀 어레이;

상기 제 1 셀 어레이내의 비트 라인들을 선 충전하는 제 1 비트라인프리차지부 ;

상기 제 1 셀 어레이내의 서로 인접한 두 개의 비트 라인들을 각각 출력 비트 라인과 기준 비트 라인으로 구분하고, 출력 비트 라인에 상기 제 1 셀 어레이내의 셀 영역에 저장된 데이터 전압이 공급되어 상기 출력 비트 라인과 상기 기준 비트 라인간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 출력 비트 라인의 전압과 상기 기준 비트 라인의 전압을 서로 반대의 극성으로 증폭시키는 제 1 센스 앰프;

상기 제 2 셀 어레이내의 비트 라인들을 선 충전하는 제 2 비트라인프리차지부;

상기 제 2 셀 어레이내의 서로 인접한 두 개의 비트 라인들을 각각 출력 비트 라인과 기준 비트 라인으로 구분하고, 출력 비트 라인에 상기 제 2 셀 어레이내의 셀 영역에 저장된 데이터 전압이 공급되어 상기 출력 비트 라인과 상기 기준 비트 라인간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 출력 비트 라인의 전압과 상기 기준 비트 라인의 전압을 서로 반대의 극성으로 증폭시키는 제 2 센스 앰프;

외부로부터의 선택신호에 따라 상기 제 1 셀 어레이의 출력 비트 라인 및 제 2 셀 어레이의 출력 비트 라인들 중 어느 하나로부터의 전압을 선택하는 선택부; 및,

상기 선택부로부터의 전압을 공급받아 저장하며, 한 수평라인분의 데이터에 해당하는 전압들이 저장될 때 이들을 화상 데이터로서 표시장치의 데이터 라인들에 공급하는 데이터 드라이버를 포함함을 특징으로 하는 표시장치.

청구항 2

제 1 항에 있어서,

제 1 및 제 2 셀 어레이의 셀 영역들 중 일부 셀 영역들은,

상기 데이터 전압이 저장된 셀 커패시터; 및,

워드 라인으로부터의 워드신호에 따라 상기 셀 커패시터에 저장된 데이터 전압을 출력 비트 라인에 공급하는 셀 스위칭소자를 포함함을 특징으로 하는 표시장치.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 비트라인프리차지부는,

외부로부터의 프리차지인에이블신호에 따라 제어되며, 출력 비트 라인과 기준 비트 라인간에 접속된 제 1 프리 스위칭소자;

상기 프리차지인에이블신호에 따라 제어되며, 프리차지전압을 전송하는 프리차지전송라인과 상기 출력 비트 라인간에 접속된 제 2 프리 스위칭소자; 및,

상기 프리차지인에이블신호에 따라 제어되며, 상기 프리차지전송라인과 상기 기준 비트 라인간에 접속된 제 3 프리 스위칭소자를 포함함을 특징으로 하는 표시장치.

청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 센스 앰프는,

상기 기준 비트 라인으로부터의 전압에 따라 제어되며, 고전위전압을 전송하는 고전위전송라인과 상기 출력 비트 라인간에 접속된 제 1 센스 스위칭소자;

상기 출력 비트 라인으로부터의 전압에 따라 제어되며, 상기 고전위전송라인과 상기 기준 비트 라인간에 접속된 제 2 센스 스위칭소자;

상기 기준 비트 라인으로부터의 전압에 따라 제어되며, 저전위전압을 전송하는 저전위전송라인과 상기 출력 비트 라인간에 접속된 제 3 센스 스위칭소자; 및,

상기 출력 비트 라인으로부터의 전압에 따라 제어되며, 상기 저전위전송라인과 상기 기준 비트 라인간에 접속된 제 4 센스 스위칭소자를 포함하며;

상기 제 1 및 제 2 센스 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이고, 제 3 및 제 4 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이며, 제 1 및 제 3 스위칭소자는 서로 다른 타입의 스위칭소자인 것을 특징으로 하는 표시장치.

청구항 5

제 4 항에 있어서,

상기 제 1 및 제 2 센스 앰프의 동작시 상기 고전위전압은 구동전원에 해당하는 레벨로 상승하고, 상기 저전위전압은 그라운드 레벨로 하강함을 특징으로 하는 표시장치.

청구항 6

제 1 항에 있어서,

상기 선택신호는,

상기 제 1 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 래치기간동안 하이상태를 유지하는 제 1 선택신호; 및,

상기 제 2 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 래치기간동안 하이상태를 유지하는 제 2 선택신호를 포함함을 특징으로 하는 표시장치.

청구항 7

제 6 항에 있어서,

상기 선택부는,

상기 제 1 선택신호에 따라 제어되며, 제 1 셀 어레이의 출력 비트 라인과 상기 데이터 드라이버간에 접속된 제 1 선택 스위칭소자; 및,

상기 제 2 선택신호에 따라 제어되며, 제 2 셀 어레이의 출력 비트 라인과 상기 데이터 드라이버간에 접속된 제 2 선택 스위칭소자를 포함함을 특징으로 하는 표시장치.

청구항 8

서로 교차하는 다수의 워드 라인들과 다수의 비트 라인들에 의해 정의된 다수의 셀 영역들을 포함하는 제 1 및 제 2 셀 어레이;

상기 제 1 셀 어레이내의 비트 라인들을 선 충전하는 제 1 비트라인프리차지부;

상기 제 2 셀 어레이내의 비트 라인들을 선 충전하는 제 2 비트라인프리차지부;

상기 제 1 및 제 2 셀 어레이내의 서로 인접한 두 개의 비트 라인들을 각각 출력 비트 라인과 기준 비트 라인으로 구분하고, 출력 비트 라인에 상기 제 1 또는 제 2 셀 어레이내의 셀 영역에 저장된 데이터 전압이 공급되어 상기 출력 비트 라인과 상기 기준 비트 라인간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 출력 비트 라인의 전압과 상기 기준 비트 라인의 전압을 서로 반대의 극성으로 증폭시키는 센스 앰프;

외부로부터의 선택신호의 논리에 따라, 상기 제 1 셀 어레이의 비트 라인들과 상기 센스 앰프간을 접속시키거나 또는 상기 제 2 셀 어레이의 비트 라인들과 상기 센스 앰프간을 접속시키는 선택부; 및,

상기 센스 앰프로부터의 전압을 공급받아 저장하며, 한 수평라인분의 데이터에 해당하는 전압들이 저장될 때 이

들을 화상 데이터로서 표시장치의 데이터 라인들에 공급하는 데이터 드라이버를 포함함을 특징으로 하는 표시장치.

청구항 9

제 8 항에 있어서,

상기 센스 앰프는,

제 1 선택 라인으로부터의 전압에 따라 제어되며, 고전위전압을 전송하는 고전위전송라인과 제 2 선택 라인간에 접속된 제 1 센스 스위칭소자;

상기 제 2 선택 라인으로부터의 전압에 따라 제어되며, 고전위전송라인과 상기 제 1 선택 라인간에 접속된 제 2 센스 스위칭소자;

상기 제 1 선택 라인으로부터의 전압에 따라 제어되며, 저전위전압을 전송하는 저전위전송라인과 상기 제 2 선택 라인간에 접속된 제 3 센스 스위칭소자; 및,

상기 제 2 선택 라인으로부터의 전압에 따라 제어되며, 상기 저전위전송라인과 상기 제 1 선택 라인간에 접속된 제 4 센스 스위칭소자를 포함하며;

상기 제 1 및 제 2 센스 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이고, 제 3 및 제 4 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이며, 제 1 및 제 3 스위칭소자는 서로 다른 타입의 스위칭소자이며;

상기 제 1 선택 라인은 상기 선택부에 의해 제 1 셀 어레이의 기준 비트 라인 및 제 2 셀 어레이의 기준 비트 라인 중 어느 하나에 접속되며, 제 2 선택 라인은 상기 선택부에 의해 제 1 셀 어레이의 출력 비트 라인 및 제 2 셀 어레이의 출력 비트 라인 중 어느 하나에 접속됨을 특징으로 하는 표시장치.

청구항 10

제 9 항에 있어서,

상기 선택부는,

상기 제 1 셀 어레이의 출력 비트 라인 및 기준 비트 라인과 센스 앰프간을 접속시키기 위한 제 1 선택부; 및,

상기 제 2 셀 어레이의 출력 비트 라인 및 기준 비트 라인과 센스 앰프간을 접속시키기 위한 제 2 선택부를 포함함을 특징으로 하는 표시장치.

청구항 11

제 10 항에 있어서,

제 1 선택부는,

상기 제 1 선택신호에 따라 제어되며, 상기 제 2 선택 라인과 상기 제 1 셀 어레이의 출력 비트 라인간에 접속된 제 1 선택 스위칭소자; 및,

상기 선택신호에 따라 제어되며, 상기 제 1 선택 라인과 상기 제 1 셀 어레이의 기준 비트 라인간에 접속된 제 2 선택 스위칭소자를 포함함을 특징으로 하는 표시장치.

청구항 12

제 10 항에 있어서,

제 2 선택부는,

상기 제 2 선택신호에 따라 제어되며, 상기 제 2 선택 라인과 상기 제 2 셀 어레이의 출력 비트 라인간에 접속된 제 1 선택 스위칭소자; 및,

상기 제 2 선택신호에 따라 제어되며, 상기 제 1 선택 라인과 상기 제 2 셀 어레이의 기준 비트 라인간에 접속된 제 2 선택 스위칭소자를 포함함을 특징으로 하는 표시장치.

청구항 13

제 10 항에 있어서,

로드신호에 의해 제어되며, 출력 비트 라인의 전압을 데이터 드라이버에 공급하기 위한 로드 스위칭소자를 더 포함함을 특징으로 하는 표시장치.

청구항 14

제 13 항에 있어서,

상기 로드신호는 제 1 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 공급하는 래치기간동안 하이상태를 유지하며, 또한, 제 2 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 공급하는 제 5 기간, 즉 래치기간동안 하이상태를 유지하며, 반면, 이 두 기간을 제외한 나머지 기간동안은 로우상태를 유지됨을 특징으로 하는 표시장치.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 특히 DRAM을 표시장치용에 적합하게 비트 라인을 변형하고 해당 비트라인에 존재하는 기생 커패시턴스의 크기를 줄여 센스 앰프의 감도를 향상시킬 수 있는 표시장치에 대한 것이다.

배 경 기 술

[0002] 표시장치의 크기가 대형화됨에 따라, 데이터 드라이버가 그래픽 램(Graphic RAM)으로부터 Line read 동작(데이터를 읽어오는 동작)시에 구동력이 문제화되고 있다. 즉, 표시장치의 대형화됨에 따라 그래픽 램의 사이즈도 증가하게 되는데, 이에 따라 상기 램의 비트 라인의 길이도 길어질 수밖에 없다. 디램에서 비트 라인의 길이가 증가하게 되면, 비트 라인에 존재하는 기생 커패시턴스의 크기도 증가하며, 기생 커패시턴스의 증가는 비트 라인에서의 전압 변동폭을 감소시키는 주 원인인 된다. 변동폭의 감소는 결국 센스 앰프의 감도 저하를 의미한다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 종래의 하나의 셀 어레이를 두 개의 셀 어레이로 나누고, 이 나누어진 셀 어레이를 공통의 셀 어레이 구동부를 통해 구동함으로써, 각 셀 어레이의 비트 라인의 길이를 감소시켜 기생 커패시턴스를 줄일 수 있는 표시장치를 제공하는 데 그 목적이 있다.

과제 해결수단

[0004] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시장치는, 서로 교차하는 다수의 워드 라인들과 다수의 비트 라인들에 의해 정의된 다수의 셀 영역들을 포함하는 제 1 및 제 2 셀 어레이; 상기 제 1 셀 어레이내의 비트 라인들을 선 충전하는 제 1 비트라인프리차지부; 상기 제 1 셀 어레이내의 서로 인접한 두 개의 비트 라인들을 각각 출력 비트 라인과 기준 비트 라인으로 구분하고, 출력 비트 라인에 상기 제 1 셀 어레이내의 셀 영역에 저장된 데이터 전압이 공급되어 상기 출력 비트 라인과 상기 기준 비트 라인간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 출력 비트 라인의 전압과 상기 기준 비트 라인의 전압을 서로 반대의 극성으로 증폭시키는 제 1 센스 앰프; 상기 제 2 셀 어레이내의 비트 라인들을 선 충전하는 제 2 비트라인프리차지부; 상기 제 2 셀 어레이내의 서로 인접한 두 개의 비트 라인들을 각각 출력 비트 라인과 기준 비트 라인으로 구분하고, 출력 비트 라인에 상기 제 2 셀 어레이내의 셀 영역에 저장된 데이터 전압이 공급되어 상기 출력 비트 라인과 상기 기준 비트 라인간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 출력 비트 라인의 전압과 상기 기준 비트 라인의 전압을 서로 반대의 극성으로 증폭시키는 제 2 센스 앰프; 외부로부터의 선택신호에 따라 상기 제 1 셀 어레이의 출력 비트 라인 및 제 2 셀 어레이의 출력 비트 라인들 중 어느 하나로부터의 전압을 선택하는 선택부; 및, 상기 선택부로부터의 전압을 공급받아 저장하며, 한 수평라인분의 데이터에 해당하는 전압들이 저장될 때 이들을 화상 데이터로서 표시장치의 데이터 라인들에 공급하는 데이터

드라이버를 포함함을 그 특징으로 한다.

- [0005] 여기서, 제 1 및 제 2 셀 어레이의 셀 영역들 중 일부 셀 영역들은, 상기 데이터 전압이 저장된 셀 커패시터; 및, 워드 라인으로부터의 워드신호에 따라 상기 셀 커패시터에 저장된 데이터 전압을 출력 비트 라인에 공급하는 셀 스위칭소자를 포함함을 특징으로 한다.
- [0006] 상기 제 1 및 제 2 비트라인프리차징부는, 외부로부터의 프리차지인에이블신호에 따라 제어되며, 출력 비트 라인과 기준 비트 라인간에 접속된 제 1 프리 스위칭소자; 상기 프리차지인에이블신호에 따라 제어되며, 프리차지 전압을 전송하는 프리차지전송라인과 상기 출력 비트 라인간에 접속된 제 2 프리 스위칭소자; 및, 상기 프리차지인에이블신호에 따라 제어되며, 상기 프리차지전송라인과 상기 기준 비트 라인간에 접속된 제 3 프리 스위칭소자를 포함함을 특징으로 한다.
- [0007] 상기 제 1 및 제 2 센스 앰프는, 상기 기준 비트 라인으로부터의 전압에 따라 제어되며, 고전위전압을 전송하는 고전위전송라인과 상기 출력 비트 라인간에 접속된 제 1 센스 스위칭소자; 상기 출력 비트 라인으로부터의 전압에 따라 제어되며, 상기 고전위전송라인과 상기 기준 비트 라인간에 접속된 제 2 센스 스위칭소자; 상기 기준 비트 라인으로부터의 전압에 따라 제어되며, 저전위전압을 전송하는 저전위전송라인과 상기 출력 비트 라인간에 접속된 제 3 센스 스위칭소자; 및, 상기 출력 비트 라인으로부터의 전압에 따라 제어되며, 상기 저전위전송라인과 상기 기준 비트 라인간에 접속된 제 4 센스 스위칭소자를 포함하며; 상기 제 1 및 제 2 센스 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이고, 제 3 및 제 4 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이며, 제 1 및 제 3 스위칭소자는 서로 다른 타입의 스위칭소자인 것을 특징으로 한다.
- [0008] 상기 제 1 및 제 2 센스 앰프의 동작시 상기 고전위전압은 구동전원에 해당하는 레벨로 상승하고, 상기 저전위전압은 그라운드 레벨로 하강함을 특징으로 한다.
- [0009] 상기 선택신호는, 상기 제 1 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 래치기간동안 하이상태를 유지하는 제 1 선택신호; 및, 상기 제 2 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 래치기간동안 하이상태를 유지하는 제 2 선택신호를 포함함을 특징으로 한다.
- [0010] 상기 선택부는, 상기 제 1 선택신호에 따라 제어되며, 제 1 셀 어레이의 출력 비트 라인과 상기 데이터 드라이버간에 접속된 제 1 선택 스위칭소자; 및, 상기 제 2 선택신호에 따라 제어되며, 제 2 셀 어레이의 출력 비트 라인과 상기 데이터 드라이버간에 접속된 제 2 선택 스위칭소자를 포함함을 특징으로 한다.
- [0011] 서로 교차하는 다수의 워드 라인들과 다수의 비트 라인들에 의해 정의된 다수의 셀 영역들을 포함하는 제 1 및 제 2 셀 어레이;
- [0012] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시장치는, 상기 제 1 셀 어레이내의 비트 라인들을 선 충전하는 제 1 비트라인프리차지부; 상기 제 2 셀 어레이내의 비트 라인들을 선 충전하는 제 2 비트라인프리차지부; 상기 제 1 및 제 2 셀 어레이내의 서로 인접한 두 개의 비트 라인들을 각각 출력 비트 라인과 기준 비트 라인으로 구분하고, 출력 비트 라인에 상기 제 1 또는 제 2 셀 어레이내의 셀 영역에 저장된 데이터 전압이 공급되어 상기 출력 비트 라인과 상기 기준 비트 라인간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 출력 비트 라인의 전압과 상기 기준 비트 라인의 전압을 서로 반대의 극성으로 증폭시키는 센스 앰프; 외부로부터의 선택신호의 논리에 따라, 상기 제 1 셀 어레이의 비트 라인들과 상기 센스 앰프간을 접속시키거나 또는 상기 제 2 셀 어레이의 비트 라인들과 상기 센스 앰프간을 접속시키는 선택부; 및, 상기 센스 앰프로부터의 전압을 공급받아 저장하며, 한 수평라인분의 데이터에 해당하는 전압들이 저장될 때 이들을 화상 데이터로서 표시장치의 데이터 라인들에 공급하는 데이터 드라이버를 포함함을 특징으로 한다.
- [0013] 여기서, 상기 센스 앰프는, 제 1 선택 라인으로부터의 전압에 따라 제어되며, 고전위전압을 전송하는 고전위전송라인과 제 2 선택 라인간에 접속된 제 1 센스 스위칭소자; 상기 제 2 선택 라인으로부터의 전압에 따라 제어되며, 고전위전송라인과 상기 제 1 선택 라인간에 접속된 제 2 센스 스위칭소자; 상기 제 1 선택 라인으로부터의 전압에 따라 제어되며, 저전위전압을 전송하는 저전위전송라인과 상기 제 2 선택 라인간에 접속된 제 3 센스 스위칭소자; 및, 상기 제 2 선택 라인으로부터의 전압에 따라 제어되며, 상기 저전위전송라인과 상기 제 1 선택 라인간에 접속된 제 4 센스 스위칭소자를 포함하며; 상기 제 1 및 제 2 센스 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이고, 제 3 및 제 4 스위칭소자는 서로 동일한 채널 타입의 스위칭소자이며, 제 1 및 제 3 스위칭소자는 서로 다른 타입의 스위칭소자이며; 상기 제 1 선택 라인은 상기 선택부에 의해 제 1 셀 어레이의 기준

비트 라인 및 제 2 셀 어레이의 기준 비트 라인 중 어느 하나에 접속되며, 제 2 선택 라인은 상기 선택부에 의해 제 1 셀 어레이의 출력 비트 라인 및 제 2 셀 어레이의 출력 비트 라인 중 어느 하나에 접속됨을 특징으로 한다.

- [0014] 상기 선택부는, 상기 제 1 셀 어레이의 출력 비트 라인 및 기준 비트 라인과 센스 앰프간을 접속시키기 위한 제 1 선택부; 및, 상기 제 2 셀 어레이의 출력 비트 라인 및 기준 비트 라인과 센스 앰프간을 접속시키기 위한 제 2 선택부를 포함함을 특징으로 한다.
- [0015] 제 1 선택부는, 상기 제 1 선택신호에 따라 제어되며, 상기 제 2 선택 라인과 상기 제 1 셀 어레이의 출력 비트 라인간에 접속된 제 1 선택 스위칭소자; 및, 상기 선택신호에 따라 제어되며, 상기 제 1 선택 라인과 상기 제 1 셀 어레이의 기준 비트 라인간에 접속된 제 2 선택 스위칭소자를 포함함을 특징으로 한다.
- [0016] 제 2 선택부는, 상기 제 2 선택신호에 따라 제어되며, 상기 제 2 선택 라인과 상기 제 2 셀 어레이의 출력 비트 라인간에 접속된 제 1 선택 스위칭소자; 및, 상기 제 2 선택신호에 따라 제어되며, 상기 제 1 선택 라인과 상기 제 2 셀 어레이의 기준 비트 라인간에 접속된 제 2 선택 스위칭소자를 포함함을 특징으로 한다.
- [0017] 로드신호에 의해 제어되며, 출력 비트 라인의 전압을 데이터 드라이버에 공급하기 위한 로드 스위칭소자를 더 포함함을 특징으로 한다.
- [0018] 상기 로드신호는 제 1 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 공급하는 래치기간동안 하이상태를 유지하며, 또한, 제 2 셀 어레이에 연결된 출력 비트 라인 및 기준 비트 라인의 전압이 센스 앰프의 동작에 의해서 변화된 이후, 이 출력 비트 라인의 전압을 데이터 드라이버에 공급하는 제 5 기간, 즉 래치기간동안 하이상태를 유지하며, 반면, 이 두 기간을 제외한 나머지 기간동안은 로우상태를 유지됨을 특징으로 한다.

효 과

- [0019] 본 발명에서는 종래에 비하여 상대적으로 비트 라인의 길이를 줄임으로써 각 비트 라인에 존재하는 기생 커패시턴스의 크기를 줄일 수 있다. 이를 위해, 본 발명에서는 한 프레임의 화상을 표시하기 위한 데이터 전압이 저장된 하나의 셀 어레이를 두 개의 셀 어레이로 나누어 각 셀 어레이가 기존 하나의 셀 어레이에 비하여 1/2의 크기를 갖도록 함으로써 각 셀 어레이내에서의 비트 라인들의 길이를 기존 대비 1/2로 줄일 수 있다. 결국, 이 비트 라인의 길이가 줄어들에 따라 이 비트 라인의 기생 커패시턴스의 크기도 줄어든다. 결국, 본 발명에서는 센스 앰프의 감도를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 도 1은 본 발명의 실시예에 따른 표시장치를 나타낸 도면이다.
- [0021] 본 발명에 따른 표시장치는, 도 1에 도시된 바와 같이, 제 1 셀 어레이(100), 제 2 셀 어레이(200), 셀 어레이 구동부(CD), 데이터 드라이버(DD), 및 표시패널(PN)을 포함한다.
- [0022] 상술된 각 구성요소에 대하여 상세히 설명하면 다음과 같다.
- [0023] 제 1 셀 어레이(100)는 일방향으로 배열된 제 1 내지 제 $n/2$ 워드 라인들(WL1 내지 WL($n/2$))과, 이들 워드 라인들(WL1 내지 WL($n/2$))에 교차하도록 배열된 제 1 내지 제 m 비트 라인들(BL1 내지 BL m)을 포함한다. 이 제 1 셀 어레이(100)는 상기 워드 라인들(WL1 내지 WL($n/2$))과 비트 라인들(BL1 내지 BL m)에 의해 정의된 다수의 셀 영역(Cell)들을 포함한다.
- [0024] 이들 셀 영역(Cell)들 중 일부 셀 영역(Cell)에는 데이터 전압이 저장된 셀 커패시터(CP_C)와, 상기 워드 라인으로부터의 워드신호(WS)에 따라 상기 셀 커패시터(CP_C)에 저장된 데이터 전압을 비트 라인에 공급하는 셀 스위칭소자(Tr_C)를 포함한다.
- [0025] 즉, 상기 제 1 셀 어레이(100)에서 기수번째 수평라인(HL1, HL3, ...)을 따라 배열된 셀들 중 기수번째 열에 위치한 셀 영역(Cell)에만 상기 셀 커패시터(CP_C) 및 셀 스위칭소자(Tr_C)가 형성된다. 그리고, 상기 제 1 셀 어레이(100)에서 우수번째 수평라인(HL2, HL4, ...)을 따라 배열된 셀 영역(Cell)들 중 우수번째 열에 위치한 셀 영역(Cell)에만 상기 셀 커패시터(CP_C) 및 셀 스위칭소자(Tr_C)가 형성된다.
- [0026] 상기 셀 스위칭소자(Tr_C)의 게이트전극은 워드 라인에 접속되며, 드레인전극(또는 소스전극)은 비트 라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 셀 커패시터(CP_C)의 하부전극에 접속된다. 여기서, 상기 셀 커패

시터(CP_C)의 상부전극에는 캡 플레이트 전압(cap plate voltage; Vcp)이 공급된다.

- [0027] 제 2 셀 어레이(200) 역시 일방향으로 배열된 제 1 내지 제 $n/2$ 워드 라인들(WL1 내지 WL($n/2$))과, 이들 워드 라인들(WL1 내지 WL($n/2$))에 교차하도록 배열된 제 1 내지 제 m 비트 라인들(BL1 내지 BL m)을 포함한다.
- [0028] 이 제 2 셀 어레이(200)는 상기 워드 라인들(WL1 내지 WL($n/2$))과 비트 라인들(BL1 내지 BL m)에 의해 정의된 다수의 셀 영역(Ce11)들을 포함한다. 이들 셀 영역(Ce11)들 중 일부 셀 영역(Ce11)에는 데이터 전압이 저장된 셀 커패시터(CP_C)와, 상기 워드 라인으로부터의 워드신호(WS)에 따라 상기 셀 커패시터(CP_C)에 저장된 데이터 전압을 비트 라인에 공급하는 셀 스위칭소자(Tr_C)를 포함한다.
- [0029] 즉, 상기 제 2 셀 어레이(200)에서 기수번째 수평라인(HL1, HL3, ...)을 따라 배열된 셀들 중 우수번째 열에 위치한 셀 영역(Ce11)에만 상기 셀 커패시터(CP_C) 및 셀 스위칭소자(Tr_C)가 형성된다. 그리고, 상기 제 2 셀 어레이(200)에서 우수번째 수평라인(HL2, HL4, ...)을 따라 배열된 셀 영역(Ce11)들 중 기수번째 열에 위치한 셀 영역(Ce11)에만 상기 셀 커패시터(CP_C) 및 셀 스위칭소자(Tr_C)가 형성된다.
- [0030] 상기 제 2 셀 어레이(200)에 포함된 셀 커패시터(CP_C) 및 셀 스위칭소자(Tr_C) 역시 상술된 제 1 셀 어레이(100)에서의 그것들과 동일하므로 이에 대한 설명은 생략한다.
- [0031] 제 1 및 제 2 셀 어레이(100, 200)는 표시패널(PN)에 표시될 한 프레임의 화상에 대한 데이터 전압을 저장하는 DRAM(Dynamic Random Access Memory)이다.
- [0032] 각 셀 어레이(100, 200)내의 각 셀 커패시터(CP_C)에는 상기 한 프레임의 화상을 이루는 단위 화상들에 대한 데이터 전압들이 나뉘어 저장된다.
- [0033] 본 발명에서는 종래에 비하여 상대적으로 비트 라인의 길이를 줄임으로써 각 비트 라인에 존재하는 기생 커패시턴스의 크기를 줄일 수 있다. 이를 위해, 본 발명에서는 한 프레임의 화상을 표시하기 위한 데이터 전압이 저장된 하나의 셀 어레이를 두 개의 셀 어레이(100, 200)로 나누어 각 셀 어레이(100, 200)가 기존 하나의 셀 어레이에 비하여 1/2의 크기를 갖도록 함으로써 각 셀 어레이(100, 200)내에서의 비트 라인들의 길이를 기존 대비 1/2로 줄일 수 있다. 결국, 이 비트 라인의 길이가 줄어들에 따라 이 비트 라인의 기생 커패시턴스의 크기도 줄어든다.
- [0034] 셀 어레이 구동부(CD)는 다수의 셀 어레이 유닛들(도시되지 않음)을 포함하는 바, 이들 각 셀 어레이 유닛은 각 셀 어레이(100, 200)에서의 인접한 두 개의 비트 라인들에 접속된다. 즉, 제 1 셀 어레이(100) 유닛은 각 셀 어레이(100, 200)의 제 1 비트 라인(BL1)과 제 2 비트 라인(BL2)에 접속되며, 제 2 셀 어레이(200) 유닛은 각 셀 어레이(100, 200)의 제 2 비트 라인(BL2)과 제 3 비트 라인(BL3)에 접속되며, 제 3 셀 어레이 유닛은 각 셀 어레이(100, 200)의 제 3 비트 라인(BL3)과 제 4 비트 라인(BL4)에 접속되며, ... 제 $m-1$ 셀 어레이 유닛은 제 $m-2$ 비트 라인과 제 $m-1$ 비트 라인에 접속된다.
- [0035] 이러한 셀 어레이 유닛은 인접한 두 개의 비트 라인들을 각각 비교 비트 라인과 기준 비트 라인으로 구분한다. 즉, 인접한 두 개의 비트 라인들 중 좌측에 위치한 비트 라인을 비교 비트 라인으로 정의하고, 우측에 위치한 비트 라인을 기준 비트 라인으로 정의한다. 그리고, 이 셀 어레이 유닛은 이 비교 비트 라인과 기준 비트 라인을 동일한 프리차지전압으로 차징한 후, 셀 커패시터(CP_C)로부터의 데이터 전압이 상기 비교 비트 라인에 공급됨에 따라 발생하는 상기 비교 비트 라인과 상기 기준 비트 라인간의 전압차를 감지하고, 이 전압차를 증폭시킨다. 그리고 이 비교 비트 라인에 걸린 전압을 이후 설명할 선택부를 통해 데이터 드라이버(DD)에 공급한다.
- [0036] 데이터 드라이버(DD)는 상기 선택부를 통해 한 프레임의 한 수평라인분의 데이터에 해당하는 전압들을 제공받아 저장한 후, 이들을 화상 데이터로서 표시장치의 데이터 라인들에 동시에 공급한다.
- [0037] 표시패널(PN)은 일방향으로 배열된 다수의 게이트 라인들과, 이들 게이트 라인들에 교차하도록 배열된 다수의 데이터 라인들을 포함한다. 이들 게이트 라인과 데이터 라인에 의해 정의된 화소영역에는 단위 화상을 표시하기 위한 화소셀들이 형성된다. 이들 화소셀들은 적색을 표시하기 위한 적색 화소셀, 녹색을 표시하기 위한 녹색 화소셀, 및 청색을 표시하기 위한 청색 화소셀들을 포함한다.
- [0038] 이 표시패널(PN)은 액정을 이용한 액정패널이 사용될 수 있다.
- [0039] 본 발명에 따른 셀 어레이 구동부(CD)는 다음의 두 가지 실시예에 따른 구성을 갖는다.
- [0040] **제 1 실시예**

- [0041] 도 2는 본 발명의 제 1 실시예에 따른 셀 어레이 구동부(CD)에서의 하나의 셀 어레이 유닛을 나타낸 도면이고, 도 3은 도 2의 셀 어레이 유닛에 공급되는 각종 신호간의 타이밍을 나타낸 도면이다.
- [0042] 이하, 서로 인접한 두 개의 비트 라인들 중 좌측에 위치한 비교 비트 라인(BL)의 도번을 BL로 표시하고, 우측에 위치한 기준 비트 라인(BLB)의 도번을 BLB로 표시하기로 한다.
- [0043] 본 발명의 제 1 실시예에 따른 셀 어레이 유닛은, 도 2에 도시된 바와 같이, 제 1 비트라인프리차지부(BLPRE1), 제 2 비트라인프리차지부(BLPRE2), 제 1 센스 앰프(SA1), 제 2 센스 앰프(SA2), 및 선택부(SEL)를 포함한다.
- [0044] 상술된 각 구성요소에 대하여 상세히 설명하면 다음과 같다.
- [0045] 제 1 비트라인프리차지부(BLPRE1)는 상기 제 1 셀 어레이(100)내의 비트 라인들, 즉 비교 비트 라인(BL) 및 기준 비트 라인(BLB)을 프리차지전압(VBLP)으로 선 충전(pre-charge)한다.
- [0046] 이러한 제 1 비트라인프리차지부(BLPRE1)는 제 1 내지 제 3 프리 스위칭소자(Tr1_P 내지 Tr3_P)들을 포함한다.
- [0047] 제 1 프리 스위칭소자(Tr1_P)는 외부로부터의 프리차지인에이블신호(BLPRE_EN)에 따라 제어되며, 제 1 셀 어레이(100)의 비교 비트 라인(BL)과 기준 비트 라인(BLB)간에 접속된다. 이를 위해, 상기 제 1 프리 스위칭소자(Tr1_P)의 게이트전극은 상기 프리차지인에이블신호(BLPRE_EN)를 전송하는 프리차지인에이블전송라인에 접속되며, 드레인전극(또는 소스전극)은 제 1 셀 어레이(100)의 비교 비트 라인(BL)에 접속되며, 그리고 소스전극(또는 드레인전극)은 제 1 셀 어레이(100)의 기준 비트 라인(BLB)에 접속된다.
- [0048] 제 2 프리 스위칭소자(Tr2_P)는 상기 프리차지인에이블신호(BLPRE_EN)에 따라 제어되며, 프리차지전압(VBLP)을 전송하는 프리차지전압전송라인과 상기 제 1 셀 어레이(100)의 비교 비트 라인(BL)간에 접속된다. 이를 위해, 상기 제 2 프리 스위칭소자(Tr2_P)의 게이트전극은 상기 프리차지인에이블전송라인에 접속되며, 드레인전극(또는 소스전극)은 제 1 셀 어레이(100)의 비교 비트 라인(BL)에 접속되며, 그리고 소스전극(또는 드레인전극)은 프리차지전압전송라인에 접속된다.
- [0049] 제 3 프리 스위칭소자(Tr3_P)는 상기 프리차지인에이블신호(BLPRE_EN)에 따라 제어되며, 상기 프리차지전압전송라인과 상기 제 1 셀 어레이(100)의 기준 비트 라인(BLB)간에 접속된다. 이를 위해, 상기 제 3 프리 스위칭소자(Tr3_P)의 게이트전극은 상기 프리차지인에이블전송라인에 접속되며, 드레인전극(또는 소스전극)은 제 1 셀 어레이(100)의 기준 비트 라인(BLB)에 접속되며, 그리고 소스전극(또는 드레인전극)은 프리차지전압전송라인에 접속된다.
- [0050] 제 2 비트라인프리차지부(BLPRE2)는 상기 제 2 셀 어레이(200)내의 비트 라인들, 즉 비교 비트 라인(BL) 및 기준 비트 라인(BLB)을 프리차지전압(VBLP)으로 선 충전한다.
- [0051] 이러한 제 2 비트라인프리차지부(BLPRE2) 역시 상술된 제 1 비트라인프리차지부(BLPRE1)와 동일한 구성을 갖는다. 다만, 제 2 비트라인프리차지부(BLPRE2)에 구성된 프리 스위칭소자들(Tr1_P 내지 Tr3_P)은 제 2 셀 어레이(200)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)에 접속된다.
- [0052] 상기 제 1 내지 제 3 프리 스위칭소자(Tr1_P 내지 Tr3_P)들은 모두 N채널 타입의 MOS(Metal Oxide Silicon) 트랜지스터(transistor)이다.
- [0053] 제 1 센스 앰프(SA1)는 상기 제 1 셀 어레이(100)내의 서로 인접한 두 개의 비트 라인들을 각각 비교 비트 라인(BL)과 기준 비트 라인(BLB)으로 구분하고, 비교 비트 라인(BL)에 상기 제 1 셀 어레이(100)내의 셀 영역(Cell)에 저장된 데이터 전압이 공급되어 상기 비교 비트 라인(BL)과 상기 기준 비트 라인(BLB)간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 비교 비트 라인(BL)의 전압과 상기 기준 비트 라인(BLB)의 전압을 서로 반대의 극성으로 증폭시킨다.
- [0054] 이러한 제 1 센스 앰프(SA1)는 제 1 내지 제 4 센스 스위칭소자(Tr1_A 내지 Tr4_A)들을 포함한다.
- [0055] 제 1 센스 스위칭소자(Tr1_A)는 상기 기준 비트 라인(BLB)으로부터의 전압에 따라 제어되며, 고전위전압(CSP)을 전송하는 고전위전송라인과 상기 제 1 셀 어레이(100)의 비교 비트 라인(BL)간에 접속된다. 이를 위해, 상기 제 1 센스 스위칭소자(Tr1_A)의 게이트전극은 상기 기준 비트 라인(BLB)에 접속되며, 드레인전극(또는 소스전극)은 상기 고전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 비교 비트 라인(BL)에 접속된다.
- [0056] 제 2 센스 스위칭소자(Tr2_A)는 상기 비교 비트 라인(BL)으로부터의 전압에 따라 제어되며, 상기 고전위전송라인과 상기 기준 비트 라인(BLB)간에 접속된다. 이를 위해, 상기 제 2 센스 스위칭소자(Tr2_A)의 게이트전극은

상기 비교 비트 라인(BL)에 접속되며, 드레인전극(또는 소스전극)은 상기 고전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 기준 비트 라인(BLB)에 접속된다.

[0057] 제 3 센스 스위칭소자(Tr3_A)는 상기 기준 비트 라인(BLB)으로부터의 전압에 따라 제어되며, 저전위전압(CSN)을 전송하는 저전위전송라인과 상기 비교 비트 라인(BL)간에 접속된다. 이를 위해, 상기 제 3 센스 스위칭소자(Tr3_A)의 게이트전극은 상기 기준 비트 라인(BLB)에 접속되며, 드레인전극(또는 소스전극)은 상기 저전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 비교 비트 라인(BL)에 접속된다.

[0058] 제 4 센스 스위칭소자(Tr4_A)는 상기 비교 비트 라인(BL)으로부터의 전압에 따라 제어되며, 상기 저전위전송라인과 상기 기준 비트 라인(BLB)간에 접속된다. 이를 위해, 상기 제 4 센스 스위칭소자(Tr4_A)의 게이트전극은 상기 비교 비트 라인(BL)에 접속되며, 드레인전극(또는 소스전극)은 상기 저전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 기준 비트 라인(BLB)에 접속된다.

[0059] 여기서, 상기 제 1 및 제 2 센스 스위칭소자(Tr1_A, Tr2_A)는 서로 동일한 채널 타입의 스위칭소자이고, 제 3 및 제 4 센스 스위칭소자(Tr3_A, Tr4_A)는 서로 동일한 채널 타입의 스위칭소자이며, 제 1 및 제 3 센스 스위칭소자(Tr1_A, Tr3_A)는 서로 다른 타입의 스위칭소자이다. 예를 들어, 상기 제 1 및 제 2 센스 스위칭소자(Tr1_A, Tr2_A)는 P채널 타입의 MOS 트랜지스터이고, 제 3 및 제 4 센스 스위칭소자(Tr3_A, Tr4_A)는 N채널 타입의 MOS 트랜지스터일 수 있다.

[0060] 제 2 센스 앰프(SA2)는 상기 제 2 셀 어레이(200)내의 서로 인접한 두 개의 비트 라인들을 각각 비교 비트 라인(BL)과 기준 비트 라인(BLB)으로 구분하고, 비교 비트 라인(BL)에 상기 제 2 셀 어레이(200)내의 셀 영역(Cell)에 저장된 데이터 전압이 공급되어 상기 비교 비트 라인(BL)과 상기 기준 비트 라인(BLB)간에 전압차가 발생할 때 이를 감지하고, 상기 전압차가 증폭되도록 상기 비교 비트 라인(BL)의 전압과 상기 기준 비트 라인(BLB)의 전압을 서로 반대의 극성으로 증폭시킨다.

[0061] 이러한 제 2 센스 앰프(SA2) 역시 상술된 제 1 센스 앰프(SA1)와 동일한 구성을 갖는다. 다만, 제 2 센스 앰프(SA2)에 구성된 센스 스위칭소자들은 제 2 셀 어레이(200)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)에 접속된다.

[0062] 선택부(SEL)는 외부로부터의 제 1 및 제 2 선택신호(SS1, SS2)에 따라 상기 제 1 셀 어레이(100)의 비교 비트 라인(BL) 및 제 2 셀 어레이(200)의 비교 비트 라인(BL)들 중 어느 하나로부터의 전압을 선택한다.

[0063] 이러한 선택부(SEL)는 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)를 포함한다.

[0064] 제 1 선택 스위칭소자(Tr1_S)는 제 1 선택신호(SS1)에 따라 제어되며, 제 1 셀 어레이(100)의 비교 비트 라인(BL)과 상기 데이터 드라이버(DD)간에 접속된다. 이를 위해, 상기 제 1 선택 스위칭소자(Tr1_S)의 게이트전극은 상기 제 1 선택신호(SS1)를 전송하는 제 1 선택신호전송라인(도시되지 않음)에 접속되며, 드레인전극(또는 소스전극)은 상기 제 1 셀 어레이(100)의 비교 비트 라인(BL)에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 데이터 드라이버(DD)에 접속된다.

[0065] 제 2 선택 스위칭소자(Tr2_S)는 상기 제 2 선택신호(SS2)에 따라 제어되며, 제 2 셀 어레이(200)의 비교 비트 라인(BL)과 상기 데이터 드라이버(DD)간에 접속된다. 이를 위해, 상기 제 2 선택 스위칭소자(Tr2_S)의 게이트전극은 제 2 선택신호(SS2)를 전송하는 제 2 선택신호전송라인에 접속되며, 드레인전극(또는 소스전극)은 상기 제 2 셀 어레이(200)의 비교 비트 라인(BL)에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 데이터 드라이버(DD)에 접속된다. 이때, 상기 제 1 선택 스위칭소자(Tr1_S)의 출력단자(도 2에서의 제 1 선택 스위칭소자(Tr1_S)의 소스전극)와 제 2 선택 스위칭소자(Tr2_S)의 출력단자(도 2에서의 제 2 선택 스위칭소자(Tr2_S)의 소스전극)는 서로 연결된 상태로 데이터 드라이버(DD)에 접속된다.

[0066] 여기서, 상기 제 1 선택 스위칭소자(Tr1_S)와 제 2 센스 스위칭소자(Tr2_A)는 동일한 채널 타입의 스위칭소자이다. 예를 들어, 상기 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)는 N채널 타입의 MOS 트랜지스터일 수 있다.

[0067] 한편, 데이터 드라이버(DD)는, 도 2에 도시된 바와 같이, 상기 선택부(SEL)로부터의 전압을 저장하기 위한 래치(LT)를 포함한다.

[0068] 상기 래치(LT)는 제 1 및 제 2 인버터(INV1, INV2)를 포함한다.

[0069] 제 1 인버터(INV1)의 입력단자는 제 2 인버터(INV2)의 출력단자에 접속되며, 상기 제 1 인버터(INV1)의 출력단자는 상기 제 2 인버터(INV2)의 입력단자에 접속된다. 또한, 상기 제 1 인버터(INV1)의 입력단자와 제 2 인버터

(INV2)의 출력단자는 서로 연결된 상태로 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)의 출력단자에 접속되며, 상기 제 1 인버터(INV1)의 출력단자와 제 2 인버터(INV2)의 입력단자는 서로 연결된 상태로 데이터 라인에 접속된다.

- [0070] 이와 같이 구성된 제 1 실시예에 따른 셀 어레이 구동부(CD)의 동작을, 도 2 및 도 3을 참조하여 상세히 설명하면 다음과 같다.
- [0071] 제 1 기간(T1)의 동작은 다음과 같다.
- [0072] 도 3에 도시된 바와 같이, 제 1 기간(T1) 동안에는 프리차지인에이블신호(BLPRE_EN)는 하이상태로 유지된다. 또한, 이 제 1 기간(T1)동안에는 고전위전압(CSP) 및 저전위전압(CSN)이 모두 제 4 기간(T4)에서의 고전위전압(CSP)의 1/2 크기로 유지된다. 즉, 상기 고전위전압(CSP) 및 저전위전압(CSN)은 구동전원(Vcc)에 대하여 1/2 크기를 갖는다.
- [0073] 하이상태의 프리차지인에이블신호(BLPRE_EN)가 제 1 내지 제 3 프리 스위칭소자(Tr1_P 내지 Tr3_P)의 게이트전극에 공급됨에 따라 상기 제 1 내지 제 3 프리 스위칭소자(Tr1_P 내지 Tr3_P)가 모두 턴-온된다. 그러면, 이 턴-온된 제 1 내지 제 3 프리 스위칭소자(Tr1_P 내지 Tr3_P)를 통해 프리차지전압(VBLP)이 비교 비트 라인(BL) 및 기준 비트 라인(BLB)에 모두 공급된다. 이에 따라 상기 비교 비트 라인(BL)과 기준 비트 라인(BLB)이 같은 전위로 유지된다. 여기서, 상기 프리차지전압(VBLP)은 구동전원(Vcc)에 대하여 1/2 크기를 갖는다.
- [0074] 한편, 이 제 1 기간(T1)에 제 1 및 제 2 선택신호(SS1, SS2)가 로우상태로 유지됨에 따라, 이 로우상태의 제 1 및 제 2 선택신호(SS1, SS2)를 공급받는 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)가 턴-오프 상태이다.
- [0075] 제 2 기간(T2)의 동작은 다음과 같다.
- [0076] 도 3에 도시된 바와 같이, 제 2 기간(T2)동안에는 프리차지인에이블신호(BLPRE_EN)가 하이상태에서 로우상태로 천이되고, 이 로우상태가 유지된다. 따라서, 제 1 내지 제 3 프리 스위칭소자(Tr1_P 내지 Tr3_P)들이 모두 턴-오프되며, 이에 따라 비교 비트 라인(BL) 및 기준 비트 라인(BLB)이 플로팅 상태로 되고, 이 비교 비트 라인(BL)과 기준 비트 라인(BLB)에는 이전에 인가되었던 프리차지전압(VBLP)이 그대로 유지된다.
- [0077] 제 3 기간(T3)의 동작은 다음과 같다.
- [0078] 도 3에 도시된 바와 같이, 제 3 기간(T3)동안에는 워드신호(WS)가 로우상태에서 하이상태로 천이되며, 이 하이상태가 유지된다. 이에 따라, 이 하이상태의 워드신호(WS)가 공급되는 워드 라인에 접속된 셀 스위칭소자(Tr_C)가 턴-온되고, 이 턴-온된 셀 스위칭소자(Tr_C)를 통해 셀 커패시터(CP_C)에 저장된 데이터 전압이 비교 비트 라인(BL)에 공급된다. 이에 따라 상기 비교 비트 라인(BL)의 전압이 변화된다. 이 셀 커패시터(CP_C)에 저장된 데이터 전압의 크기에 따라 상기 비교 비트 라인(BL)의 전압이 제 1 기간(T1)에서의 프리차지전압(VBLP)보다 더 상승될 수 도 있으며, 또는 더 하강될 수도 있다. 본 실시예에서는 하나의 예로서 상기 비교 비트 라인(BL)의 전압이 상기 데이터 전압에 의해서 상승될 경우를 설명하기로 한다.
- [0079] 즉, 도 3에 도시된 바와 같이, 비교 비트 라인(BL)의 전압이 ΔV 에 해당하는 변동폭만큼 상승되면, 비교 비트 라인(BL)과 기준 비트 라인(BLB)간에 전압차가 발생된다. 물론, 이 전압차는 상기 변동폭(ΔV)을 의미한다. 그러면, 상기 제 1 센스 앰프(SA1)는 이 전압차를 감지한다.
- [0080] 이 변동폭(ΔV)이 작을 경우 센스 앰프의 감지력이 떨어질 수 있으므로 이 변동폭(ΔV)을 크게 되도록 하는 것이 중요한데, 이 변동폭의 크기는 비트 라인에 형성된 기생 커패시턴스의 크기에 반비례한다. 따라서, 상기 기생 커패시턴스의 크기를 줄여 상기 변동폭(ΔV)의 크기를 크게 할 수 있으며, 이에 따라 센스 앰프의 감지력을 향상시킬 수 있다. 본 발명에서는 상술된 바와 같이 셀 어레이를 두 개로 나누어 상기 기생 커패시턴스의 크기를 줄이고 있다.
- [0081] 제 4 기간(T4)의 동작은 다음과 같다.
- [0082] 도 3에 도시된 바와 같이, 제 4 기간(T4)동안에는 고전위전압(CSP)이 상승하여 구동전원(Vcc)과 동일한 레벨로 유지되고, 저전위전압(CSN)은 하강하여 그라운드(GND) 레벨이된다.
- [0083] 상기 제 1 센스 앰프(SA1)는 상기 제 4 기간(T4)에서의 고전위전압(CSP) 및 저전위전압(CSN)을 이용하여 상기 전압차를 더욱 크게 한다. 이를 위해, 상기 제 1 센스 앰프(SA1)는 비교 비트 라인(BL)의 전압을 고전위전압(CSP)의 레벨만큼 상승시키고, 상기 기준 비트 라인(BLB)의 전압을 저전위전압(CSN)의 레벨만큼 하강시킨다. 이는 제 1 내지 제 4 센스 스위칭소자(Tr1_A 내지 Tr4_A)의 동작에 의해 이루어는 바, 이를 상세히 설명하면 다

과 같다.

[0084] 먼저, 풀다운용 디바이스로 구동되는 제 3 및 제 4 센스 스위칭소자($Tr4_A$)의 동작을 설명하면 다음과 같다.

[0085] 즉, 제 4 기간($T4$)에는 상기 제 4 센스 스위칭소자($Tr4_A$)의 게이트전극과 소스전극간의 전압(이하, " V_{gs} "로 표기)이 제 3 센스 스위칭소자($Tr3_A$)의 V_g 보다 상기 변동폭(ΔV)만큼 크다. 따라서, 상기 제 4 센스 스위칭소자($Tr4_A$)가 상기 제 3 센스 스위칭소자($Tr3_A$)보다 먼저 턴-온되어 기준 비트 라인(BLB)을 저전위전압(CSN) 레벨로 방전시킨다. 이에 따라, 상기 제 3 센스 스위칭소자($Tr3_A$)의 V_{gs} 값이 감소되어 비교 비트 라인(BL)의 방전 경로가 차단된다.

[0086] 다음으로, 풀업용 디바이스로 구동되는 제 1 및 제 2 센스 스위칭소자($Tr1_A$, $Tr2_A$)의 동작을 설명하면 다음과 같다.

[0087] 우선, V_{gs} 의 크기를 살펴보면, 비교 비트 라인(BL)에 게이트전극이 연결된 제 1 센스 스위칭소자($Tr1_A$)의 V_{gs} 가 기준 비트 라인(BLB)에 게이트전극이 연결된 제 2 센스 스위칭소자($Tr2_A$)의 V_{gs} 보다 크기 때문에, 상기 제 1 센스 스위칭소자($Tr1_A$)가 제 2 센스 스위칭소자($Tr2_A$)보다 먼저 턴-온된다. 결과적으로, 비교 비트 라인(BL)이 풀업됨과 아울러, 기준 비트 라인(BLB)의 전하 흐름 경로가 차단된다. 이에 따라, 풀업과 풀다운용 디바이스들을 상호 작용을 통해 상기 비교 비트 라인(BL)의 전압을 고전위전압(CSP)의 레벨로 충전시키고, 기준 비트 라인(BLB)의 전압을 저전위전압(CSN)의 레벨로 방전시킨다. 다시 말하여, 상기 제 1 센스 앰프($SA1$)는 레벨 쉬프터와 같은 동작을 한다.

[0088] 제 5 기간($T5$)의 동작은 다음과 같다.

[0089] 도 3에 도시된 바와 같이, 제 5 기간($T5$)동안에는 제 1 선택신호($SS1$)가 로우상태에서 하이상태로 천이하며, 이 하이상태가 유지된다. 이에 따라, 이 하이상태의 제 1 선택신호($SS1$)를 공급받는 제 1 선택 스위칭소자($Tr1_S$)가 턴-온되고, 이 턴-온된 제 1 선택 스위칭소자($Tr1_S$)를 통해 데이터 드라이버(DD)와 제 1 셀 어레이(100)의 비교 비트 라인(BL)간이 접속된다. 그러면, 상기 비교 비트 라인(BL)의 전압이 데이터 드라이버(DD)의 래치(LT)에 저장된다. 각 래치(LT)에는 한 수평라인에 위치한 셀 영역($Cell$)의 데이터 전압에 따른 전압이 저장된다.

[0090] 데이터 드라이버(DD)는 상기 선택부(SEL)로부터의 전압을 공급받아 저장하며, 한 수평라인분의 데이터에 해당하는 전압들이 저장될 때 이들을 화상 데이터로서 표시장치의 데이터 라인들에 공급한다.

[0091] 이 제 1 셀 어레이(100)의 모든 워드 라인들($WL1$ 내지 $WL(n/2)$)이 순차적으로 구동된 후, 다음에는 제 2 셀 어레이(200)의 모든 워드 라인들($WL1$ 내지 $WL(n/2)$)이 순차적으로 구동된다. 이 제 2 셀 어레이(200)가 구동될 때는 제 1 선택신호($SS1$)가 도 3의 제 2 선택신호($SS2$)처럼 계속 로우상태로 유지되며, 제 2 선택신호($SS2$)가 도 3의 제 1 선택신호($SS1$)처럼 일정기간, 즉 비교 비트 라인(BL)의 전압이 증폭된 이후의 래치기간동안 하이상태로 유지된다. 따라서, 이 제 2 셀 어레이(200)의 구동기간에서의 래치기간에는 제 1 선택 스위칭소자($Tr1_S$) 대신 제 2 선택 스위칭소자($Tr2_S$)가 턴-온되어, 상기 제 2 셀 어레이(200)의 비교 비트 라인(BL)의 전압을 데이터 드라이버(DD)에 공급한다.

[0092] 물론, 이 제 2 셀 어레이(200)가 구동되는 기간에는 제 2 셀 어레이(200)에 위치한 워드 라인들($WL1$ 내지 $WL(n/2)$)이 구동되므로, 제 2 셀 어레이(200)에 위치한 비교 비트 라인(BL) 및 기준 비트 라인(BLB)이 구동된다. 이에 따라, 이 제 2 셀 어레이(200)가 구동되는 기간에는 제 1 비트라인프리차지부($BLPRE1$) 및 제 1 센스 앰프($SA1$) 대신에 제 2 비트라인프리차지부($BLPRE2$) 및 제 2 센스 앰프($SA2$)가 동작한다. 이 제 2 비트라인프리차지부($BLPRE2$) 및 제 2 센스 앰프($SA2$)의 동작은 상술된 제 1 비트라인프리차지부($BLPRE1$) 및 제 1 센스 앰프($SA1$)와 동일하므로 이에 대한 설명은 생략한다.

[0093] 한편, 제 1 및 제 2 스위칭소자($Tr1$, $Tr2$)는 제 1 선택신호($SS1$)와 동일한 파형의 신호(YS_T)를 공급받는다. 이 제 1 스위칭소자($Tr1$)는 래치기간에 상기 비교 비트 라인(BL)으로부터의 전압을 출력하여 표시장치의 또 다른 회로부에 공급하고, 상기 제 2 스위칭소자($Tr2$)는 상기 래치기간에 상기 기준 비트 라인(BLB)으로부터의 전압을 출력하여 표시장치의 또 다른 회로부에 공급한다.

[0094] 제 2 실시예

[0095] 도 4는 본 발명의 제 2 실시예에 따른 셀 어레이 구동부(CD)에서의 하나의 셀 어레이 유닛을 나타낸 도면이고, 도 5는 도 4의 셀 어레이 유닛에 공급되는 각종 신호간의 타이밍을 나타낸 도면이다.

[0096] 이하, 서로 인접한 두 개의 비트 라인들 중 좌측에 위치한 비교 비트 라인(BL)의 도변을 BL 로 표시하고, 우측에

위치한 기준 비트 라인(BLB)의 도번을 BLB로 표시하기로 한다.

- [0097] 본 발명의 제 2 실시예에 따른 셀 어레이 유닛은, 도 4에 도시된 바와 같이, 제 1 비트라인프리차지부(BLPRE1), 제 2 비트라인프리차지부(BLPRE2), 센스 앰프(SA), 제 1 선택부(SEL1), 및 제 2 선택부(SEL2)를 포함한다.
- [0098] 제 1 비트라인프리차지부(BLPRE1)는 상기 제 1 셀 어레이(100)내의 비트 라인들(BL1 내지 BLm), 즉 비교 비트 라인(BL) 및 기준 비트 라인(BLB)을 프리차지전압(VBLP)으로 선 충전한다.
- [0099] 이 제 1 비트라인프리차지부(BLPRE1)는 제 1 실시예에서 상술된 그것과 동일하므로 이에 대한 설명은 생략한다.
- [0100] 제 2 비트라인프리차지부(BLPRE2)는 상기 제 2 셀 어레이(200)내의 비트 라인들, 즉 비교 비트 라인(BL) 및 기준 비트 라인(BLB)을 프리차지전압(VBLP)으로 선 충전한다.
- [0101] 이 제 2 비트라인프리차지부(BLPRE2)는 제 1 실시예에서 상술된 그것과 동일하므로 이에 대한 설명은 생략한다.
- [0102] 센스 앰프(SA)는 상기 제 1 및 제 2 셀 어레이(100, 200)내의 서로 인접한 두 개의 비트 라인들을 각각 비교 비트 라인(BL)과 기준 비트 라인(BLB)으로 구분하고, 비교 비트 라인(BL)에 상기 제 1 또는 제 2 셀 어레이(200)내의 셀 영역(Cell)에 저장된 데이터 전압이 공급되어 상기 비교 비트 라인(BL)과 상기 기준 비트 라인(BLB)간에 전압차가 발생할 때 이를 감지한다. 그리고, 상기 전압차가 증폭되도록 상기 비교 비트 라인(BL)의 전압과 상기 기준 비트 라인(BLB)의 전압을 서로 반대의 극성으로 증폭시킨다.
- [0103] 이러한 센스 앰프(SA)는 제 1 및 제 2 선택 라인(SL1, SL2)에 접속되는 바, 이 제 1 및 제 2 선택 라인(SL1, SL2)은 이후 설명할 제 1 및 제 2 선택부(SEL1, SEL2)의 제어에 따라 제 1 셀 어레이(100)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)에 접속되거나, 또는 제 2 셀 어레이(200)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)에 접속된다.
- [0104] 센스 앰프(SA)는 제 1 내지 제 4 센스 스위칭소자(Tr1_A 내지 Tr4_A)를 포함한다.
- [0105] 제 1 센스 스위칭소자(Tr1_A)는 제 1 선택 라인(SL1)으로부터의 전압에 따라 제어되며, 고전위전압(CSP)을 전송하는 고전위전송라인과 제 2 선택 라인(SL2)간에 접속된다. 이를 위해, 상기 제 1 센스 스위칭소자(Tr1_A)의 게이트전극은 상기 제 1 선택 라인(SL1)에 접속되며, 드레인전극(또는 소스전극)은 상기 고전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 제 2 선택 라인(SL2)에 접속된다.
- [0106] 제 2 센스 스위칭소자(Tr2_A)는 상기 제 2 선택 라인(SL2)으로부터의 전압에 따라 제어되며, 고전위전송라인과 상기 제 1 선택 라인(SL1)간에 접속된다. 이를 위해, 상기 제 2 센스 스위칭소자(Tr2_A)의 게이트전극은 상기 제 2 선택 라인(SL2)에 접속되며, 드레인전극(또는 소스전극)은 상기 고전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 제 1 선택 라인(SL1)에 접속된다.
- [0107] 제 3 센스 스위칭소자(Tr3_A)는 상기 제 1 선택 라인(SL1)으로부터의 전압에 따라 제어되며, 저전위전압(CSN)을 전송하는 저전위전송라인과 상기 제 2 선택 라인(SL2)간에 접속된다. 이를 위해, 상기 제 3 센스 스위칭소자(Tr3_A)의 게이트전극은 상기 제 1 선택 라인(SL1)에 접속되며, 드레인전극(또는 소스전극)은 상기 저전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 제 2 선택 라인(SL2)에 접속된다.
- [0108] 제 4 센스 스위칭소자(Tr4_A)는 상기 제 2 선택 라인(SL2)으로부터의 전압에 따라 제어되며, 상기 저전위전송라인과 상기 제 1 선택 라인(SL1)간에 접속된다. 이를 위해, 상기 제 4 센스 스위칭소자(Tr4_A)의 게이트전극은 상기 제 2 선택 라인(SL2)에 접속되며, 드레인전극(또는 소스전극)은 상기 저전위전송라인에 접속되며, 그리고 소스전극(또는 드레인전극)은 상기 제 1 선택 라인(SL1)에 접속된다.
- [0109] 상기 제 1 선택 라인(SL1)은 제 1 및 제 2 선택부(SEL1, SEL2)에 의해 제 1 셀 어레이(100)의 기준 비트 라인(BLB) 및 제 2 셀 어레이(200)의 기준 비트 라인(BLB) 중 어느 하나에 접속되며, 제 2 선택 라인(SL2)은 상기 제 1 및 제 2 선택부(SEL1, SEL2)에 의해 제 1 셀 어레이(100)의 비교 비트 라인(BL) 및 제 2 셀 어레이(200)의 비교 비트 라인(BL) 중 어느 하나에 접속된다.
- [0110] 제 1 선택부(SEL1)는 제 1 셀 어레이(100)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)과 센스 앰프(SA)간을 접속시키기 위한 것으로, 이는 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)를 포함한다.
- [0111] 제 1 선택부(SEL1)의 제 1 선택 스위칭소자(Tr1_S)는 상기 제 1 선택신호(SS1)에 따라 제어되며, 상기 제 2 선택 라인(SL2)과 상기 제 1 셀 어레이(100)의 비교 비트 라인(BL)간에 접속된다. 이를 위해, 상기 제 1 선택 스위칭소자(Tr1_S)의 게이트전극은 상기 제 1 선택신호(SS1)를 전송하는 제 1 선택신호(SS1)전송라인에 접속되며,

드레인전극(또는 소스전극)은 상기 제 2 선택 라인(SL2)에 접속되며, 그리고 소스전극(또는 드레인전극)은 제 1 셀 어레이(100)의 비교 비트 라인(BL)에 접속된다.

- [0112] 제 1 선택부(SEL1)의 제 2 선택 스위칭소자(Tr2_S)는 상기 제 1 선택신호(SS1)에 따라 제어되며, 상기 제 1 선택 라인(SL1)과 상기 제 1 셀 어레이(100)의 기준 비트 라인(BLB)간에 접속된다. 이를 위해, 상기 제 2 선택 스위칭소자(Tr2_S)의 게이트전극은 상기 제 1 선택신호(SS1)전송라인에 접속되며, 드레인전극(또는 소스전극)은 상기 제 1 선택 라인(SL1)에 접속되며, 그리고 소스전극(또는 드레인전극)은 제 1 셀 어레이(100)의 기준 비트 라인(BLB)에 접속된다.
- [0113] 제 2 선택부(SEL2)는 제 2 셀 어레이(200)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)과 센스 앰프(SA)간을 접속시키기 위한 것으로, 이는 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)를 포함한다.
- [0114] 제 2 선택부(SEL2)의 제 1 선택 스위칭소자(Tr1_S)는 상기 제 2 선택신호(SS2)에 따라 제어되며, 상기 제 2 선택 라인(SL2)과 상기 제 2 셀 어레이(200)의 비교 비트 라인(BL)간에 접속된다. 이를 위해, 상기 제 1 선택 스위칭소자(Tr1_S)의 게이트전극은 상기 제 2 선택신호(SS2)를 전송하는 제 2 선택신호(SS2)전송라인에 접속되며, 드레인전극(또는 소스전극)은 상기 제 2 선택 라인(SL2)에 접속되며, 그리고 소스전극(또는 드레인전극)은 제 2 셀 어레이(200)의 비교 비트 라인(BL)에 접속된다.
- [0115] 제 2 선택부(SEL2)의 제 2 선택 스위칭소자(Tr2_S)는 상기 제 2 선택신호(SS2)에 따라 제어되며, 상기 제 2 선택 라인(SL2)과 상기 제 1 셀 어레이(100)의 기준 비트 라인(BLB)간에 접속된다. 이를 위해, 상기 제 2 선택 스위칭소자(Tr2_S)의 게이트전극은 상기 제 2 선택신호(SS2)전송라인에 접속되며, 드레인전극(또는 소스전극)은 상기 제 1 선택 라인(SL1)에 접속되며, 그리고 소스전극(또는 드레인전극)은 제 2 셀 어레이(200)의 기준 비트 라인(BLB)에 접속된다.
- [0116] 이와 같이 구성된 제 2 실시예에 따른 셀 어레이 구동부(CD)의 동작을, 도 4 및 도 5를 참조하여 상세히 설명하면 다음과 같다.
- [0117] 제 1 및 제 2 비트라인프리차지부(BLPRE1, BLPRE2)의 동작은 제 1 실시예에서의 그것과 동일하다. 즉, 제 1 비트라인프리차지부(BLPRE1)는 제 1 셀 어레이(100)의 워드 라인들이 구동되는 기간에 동작하며, 제 2 비트라인프리차지부(BLPRE2)는 제 2 셀 어레이(200)의 워드 라인들이 구동되는 기간에 동작한다. 그리고, 센스 앰프(SA)는 제 1 및 제 2 셀 어레이(100, 200)의 워드 라인들(WL1 내지 WL(n/2))이 구동되는 기간동안 계속 구동된다. 이를 위해, 제 1 선택신호(SS1)는, 도 5에 도시된 바와 같이, 제 1 셀 어레이(100)의 워드 라인들이 구동되는 기간동안 하이상태를 유지한다. 반면, 제 2 선택신호(SS2)는, 도 5에 도시된 바와 같이, 제 1 셀 어레이(100)의 워드 라인들이 구동되는 기간동안 로우상태를 유지한다.
- [0118] 이에 따라, 제 1 셀 어레이(100)의 워드 라인들이 구동되는 기간동안에는 제 1 선택부(SEL1)의 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)들이 턴-온 상태를 유지하고, 제 2 선택부(SEL2)의 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)들은 턴-오프 상태를 유지한다. 따라서, 이 제 1 셀 어레이(100)의 워드 라인들(WL1 내지 WL(n/2))이 구동되는 기간동안에는 제 1 셀 어레이(100)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)이 센스 앰프(SA)에 접속되며, 제 2 셀 어레이(200)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)은 상기 센스 앰프(SA)에 접속되지 않는다. 이에 따라, 제 1 셀 어레이(100)의 워드 라인들(WL1 내지 WL(n/2))이 구동되는 기간동안, 상기 센스 앰프(SA)는 제 1 셀 어레이(100)의 비교 비트 라인(BL)의 전압 및 기준 비트 라인(BLB)의 전압을 제어한다.
- [0119] 따라서, 제 2 실시예에서의 제 1 내지 제 5 기간(T1 내지 T5)동안의 동작은 실상 제 1 실시예의 동작과 동일하다.
- [0120] 반면, 제 2 셀 어레이(200)의 워드 라인들이 구동되는 기간동안에는 제 2 선택부(SEL2)의 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)들이 턴-온 상태를 유지하고, 제 1 선택부(SEL1)의 제 1 및 제 2 선택 스위칭소자(Tr1_S, Tr2_S)들은 턴-오프 상태를 유지한다. 따라서, 이 제 2 셀 어레이(200)의 워드 라인들이 구동되는 기간동안에는 제 2 셀 어레이(200)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)이 센스 앰프(SA)에 접속되며, 제 1 셀 어레이(100)의 비교 비트 라인(BL) 및 기준 비트 라인(BLB)은 상기 센스 앰프(SA)에 접속되지 않는다. 이에 따라, 제 2 셀 어레이(200)의 워드 라인들(WL1 내지 WL(n/2))이 구동되는 기간동안, 상기 센스 앰프(SA)는 제 2 셀 어레이(200)의 비교 비트 라인(BL)의 전압 및 기준 비트 라인(BLB)의 전압을 제어한다.
- [0121] 제 5 기간(T5)에는 상기 비교 비트 라인(BL)의 전압이 데이터 드라이버(DD)에 공급될 수 있도록 로드신호(LS)가 하이상태가 된다. 이 하이상태의 로드신호(LS)는 로드 스위칭소자(Tr_L)에 공급되어 상기 로드 스위칭소자

(Tr_L)를 턴-온시킨다. 이 턴-온된 로드 스위칭소자(Tr_L)를 통해 비교 비트 라인(BL)의 전압이 데이터 드라이버(DD)에 공급된다.

[0122] 한편, 이 로드신호(LS)는 제 1 셀 어레이(100)에 연결된 비교 비트 라인(BL) 및 기준 비트 라인(BLB)의 전압이 센스 앰프(SA)의 동작에 의해서 변화된 이후, 이 비교 비트 라인(BL)의 전압을 데이터 드라이버(DD)에 공급하는 제 5 기간(T5), 즉 래치기간동안 하이상태를 유지한다. 또한, 이 로드신호(LS)는 제 2 셀 어레이(200)에 연결된 비교 비트 라인(BL) 및 기준 비트 라인(BLB)의 전압이 센스 앰프(SA)의 동작에 의해서 변화된 이후, 이 비교 비트 라인(BL)의 전압을 데이터 드라이버(DD)에 공급하는 제 5 기간(T5), 즉 래치기간동안 하이상태를 유지한다. 반면, 이 로드신호(LS)는 이 두 기간을 제외한 나머지 기간동안은 로우상태를 유지한다.

[0123] 이와 같이 본 발명에서는 비트 라인의 기생 커패시턴스를 줄임으로써 센스 앰프(SA)의 감도를 높일 수 있다.

[0124] 한편, 제 1 및 제 2 스위칭소자(Tr1, Tr2)는 제 1 및 제 2 선택신호(SS1, SS2)와 동일한 파형의 신호(YS)를 공급받는다. 이 제 1 스위칭소자(Tr1)는 래치기간에 상기 비교 비트 라인(BL)으로부터의 전압을 출력하여 표시장치의 또 다른 회로부에 공급하고, 상기 제 2 스위칭소자(Tr2)는 상기 래치기간에 상기 기준 비트 라인(BLB)으로부터의 전압을 출력하여 표시장치의 또 다른 회로부에 공급한다.

[0125] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

[0126] 도 1은 본 발명의 실시예에 따른 표시장치를 나타낸 도면

[0127] 도 2는 본 발명의 제 1 실시예에 따른 셀 어레이 구동부에서의 하나의 셀 어레이 유닛을 나타낸 도면

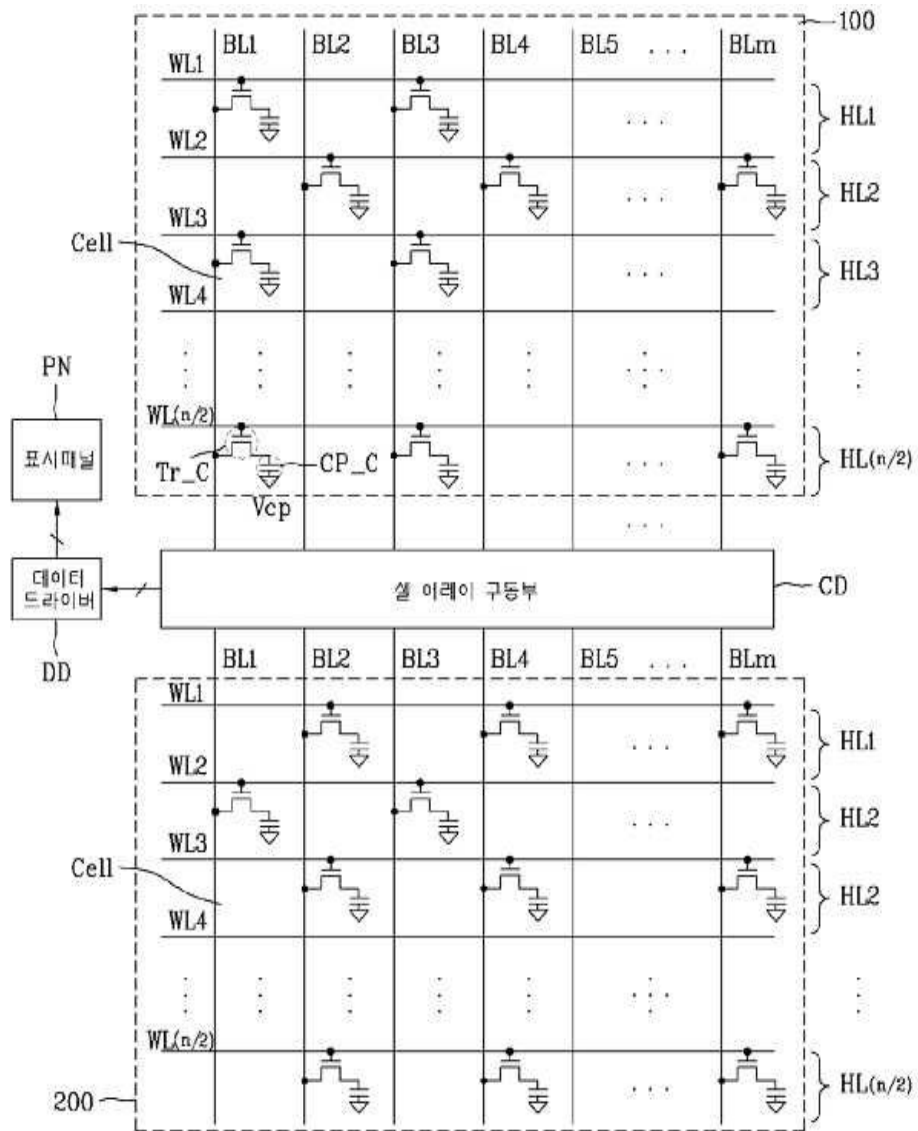
[0128] 도 3은 도 2의 셀 어레이 유닛에 공급되는 각종 신호간의 타이밍을 나타낸 도면

[0129] 도 4는 본 발명의 제 2 실시예에 따른 셀 어레이 구동부에서의 하나의 셀 어레이 유닛을 나타낸 도면

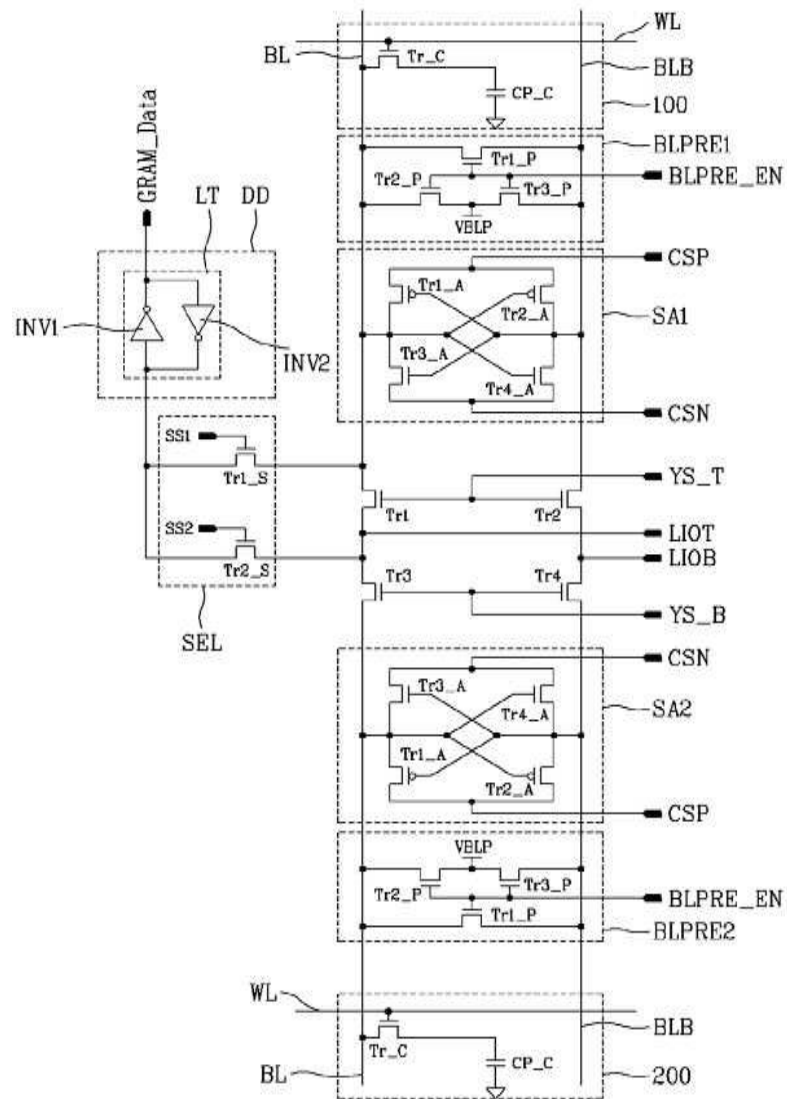
[0130] 도 5는 도 4의 셀 어레이 유닛에 공급되는 각종 신호간의 타이밍을 나타낸 도면

도면

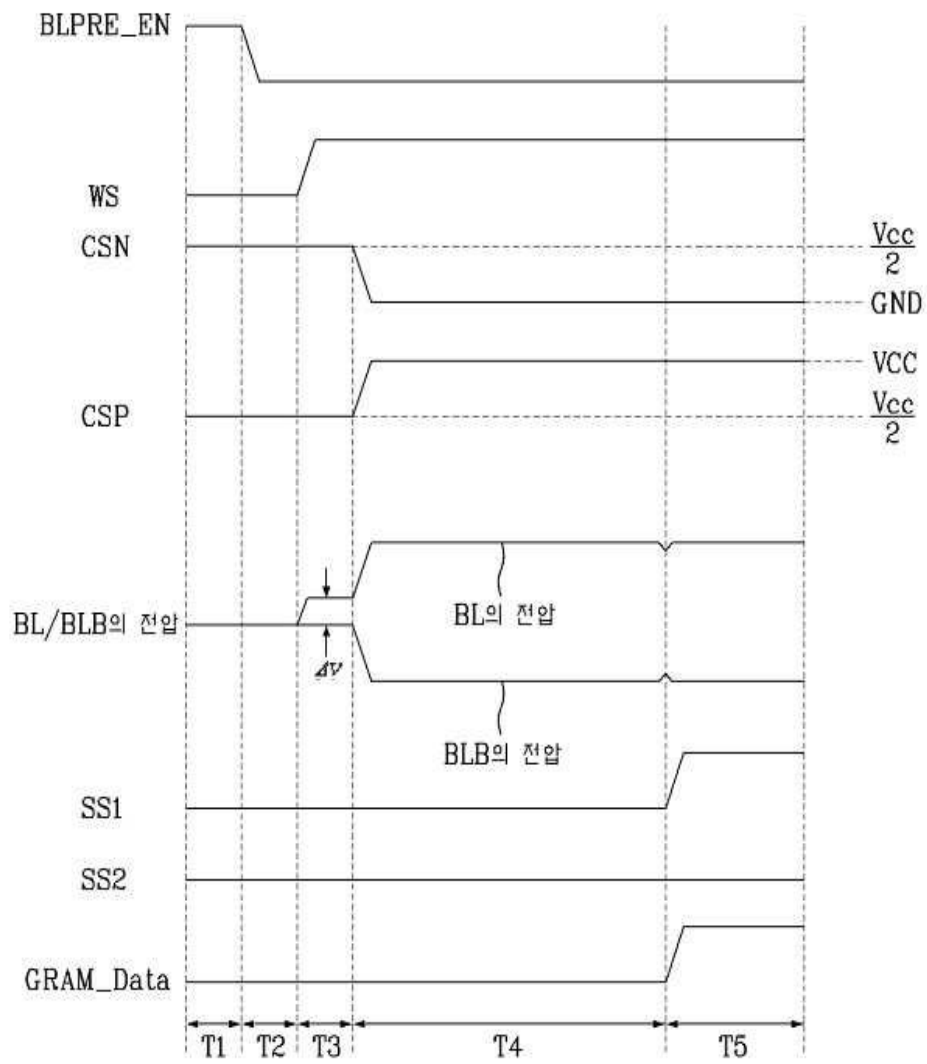
도면1



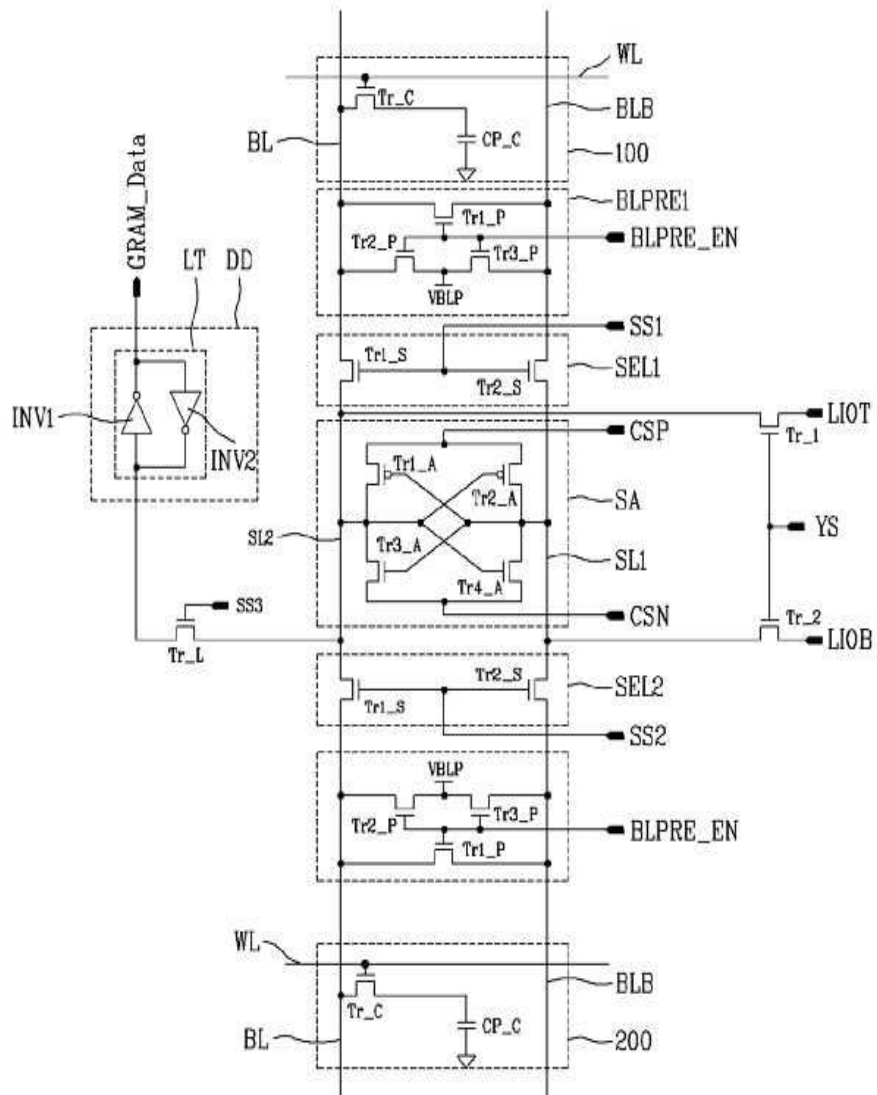
도면2



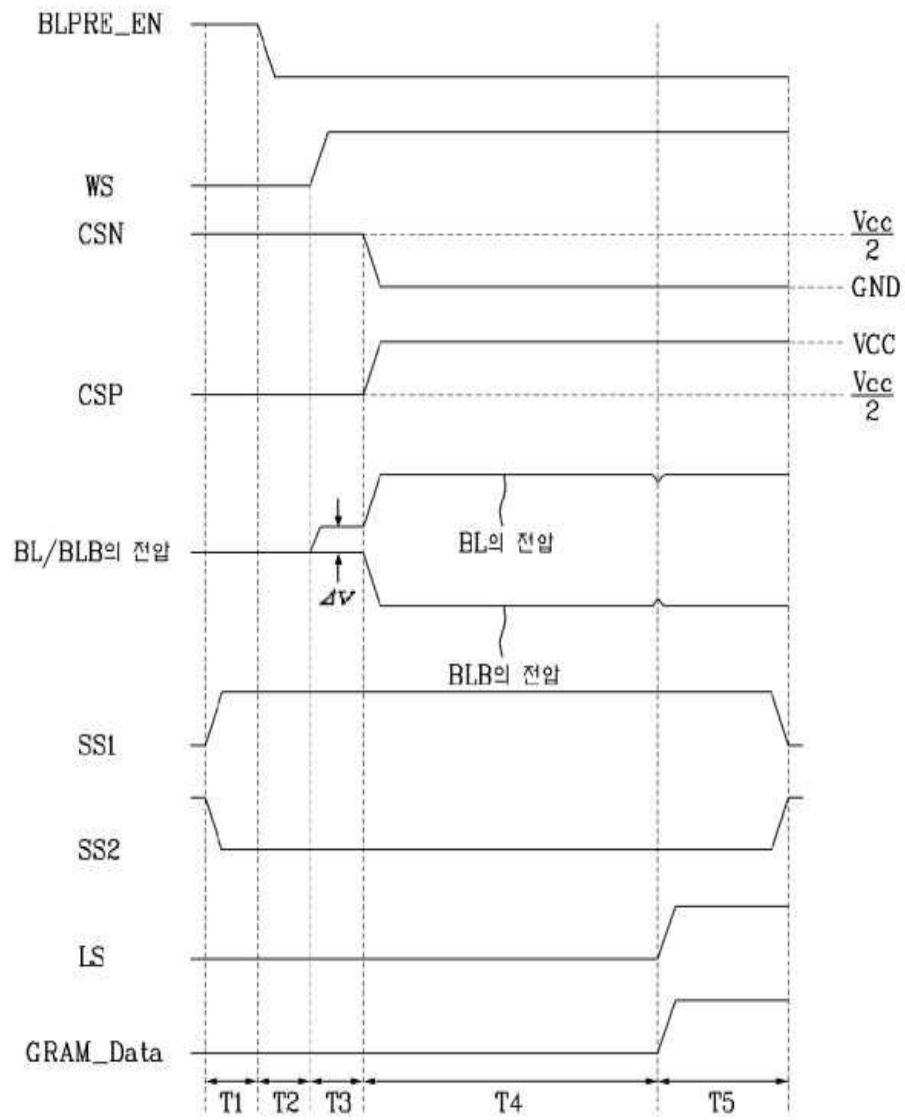
도면3



도면4



도면5



专利名称(译)	显示设备		
公开(公告)号	KR1020100030295A	公开(公告)日	2010-03-18
申请号	KR1020080089182	申请日	2008-09-10
申请(专利权)人(译)	忠北国立大学产学合作基金会		
当前申请(专利权)人(译)	忠北国立大学产学合作基金会		
[标]发明人	CHA SANG ROK 차상록 KIM HAK YUN 김학운 SEO SANG JO 서상조 BANG JEONG BAE 방정배 JEONG YONG CHEOL 정용철 SHIN BONG JO 신봉조 CHOI HO YONG 최호용 PARK KEUN HYUNG 박근형		
发明人	차상록 김학운 서상조 방정배 정용철 신봉조 최호용 박근형		
IPC分类号	G09G3/36 G09G3/20 G09G5/39 G02F1/133		
代理人(译)	新昌 金勇		
其他公开文献	KR100970865B1		
外部链接	Espacenet		

摘要(译)

本发明涉及不使用DRAM的传统SRAM作为帧存储器的显示装置的有效存储器结构。也就是说，关于提高读出放大器的灵敏度的显示装置，存在于位线中的寄生电容的大小和被改变的位线被减小DRAM被用作显示装置内的帧存储器。DRAM，显示装置，液晶，读出放大器，位线，寄生电容。

