



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0016994
(43) 공개일자 2010년02월16일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0076673

(22) 출원일자 2008년08월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박재형

충남 아산시 음봉면 덕지리 580 더샵 레이크사이드 아파트 103동802호

안익현

충남 천안시 쌍용동 쌍용뜨란채 508동 302호

(74) 대리인

권혁수, 송윤호, 오세준

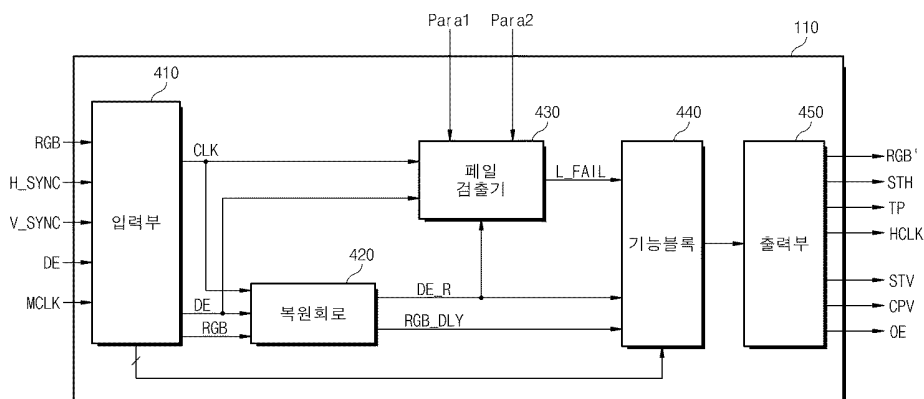
전체 청구항 수 : 총 17 항

(54) 정전기 방전 내성이 강화된 액정 표시 장치

(57) 요약

본 발명의 액정 표시 장치에 구비되는 타이밍 컨트롤러는, 데이터 인에이블 신호에 응답해서 소정의 펄스폭을 갖는 복원 신호를 생성하고, 데이터 인에이블 신호와 복원 신호의 차가 임계값보다 클 때 페일 모드로 동작한다. 정전기 방전에 의해서 데이터 인에이블 신호가 왜곡되더라도 왜곡된 정도가 임계값보다 작으면 액정 표시 장치는 페일 모드로 진입하지 않고, 복원 신호를 데이터 인에이블 신호로서 사용한다. 그러므로 액정 표시 장치에 짧은 시간동안 정전기 방전이 유입되는 경우 사용자가 이를 감지하는 경우가 감소된다.

대표도



특허청구의 범위

청구항 1

입력 신호를 입력받고, 소정의 펄스폭을 갖는 복원 신호를 출력하는 복원 회로; 그리고

상기 입력 신호와 상기 복원 신호의 차가 임계값보다 클 때 페일 신호를 활성화하는 페일 검출기를 포함하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 2

제 1 항에 있어서,

상기 복원 회로는,

상기 입력 신호를 소정 시간 지연시켜서 지연 신호를 출력하는 지연 회로와;

상기 지연 신호에 응답해서 활성화되는 상기 복원 신호를 생성하되, 클럭 신호의 소정 사이클들 동안 상기 복원 신호의 활성 상태를 유지하는 복원 신호 발생기를 포함하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 3

제 2 항에 있어서,

상기 지연 회로는,

직렬로 연결되고, 각각이 클럭 신호에 동기해서 상기 입력 신호를 순차적으로 래치하는 복수의 플립플롭들; 그리고

상기 복수의 플립플롭들 각각의 출력을 입력받고, 상기 지연 신호를 출력하는 논리 회로를 포함하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 4

제 2 항에 있어서,

상기 복원 신호 발생기는,

상기 지연 신호에 응답해서 카운트를 시작하고, 상기 클럭 신호에 동기해서 카운트 업하는 카운터를 포함하되;

상기 복원 신호 발생기는 상기 지연 신호의 활성화 시점에 상기 복원 신호를 활성화하고, 상기 카운터의 카운트 값이 소정 값에 도달할 때 상기 복원 신호를 비활성화하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 5

제 2 항에 있어서,

상기 입력 신호는 데이터 인에이블 신호인 것을 특징으로 하는 타이밍 컨트롤러.

청구항 6

제 5 항에 있어서,

상기 복원 회로는,

영상 데이터 신호를 입력받고, 상기 지연 회로의 지연 시간만큼 지연된 영상 데이터 신호를 출력하는 데이터 지연 회로를 더 포함하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 7

제 6 항에 있어서,

상기 페일 검출기는,

상기 데이터 인에이블 신호를 지연시키는 입력 지연 회로와;

상기 입력 지연 회로로부터 출력되는 신호와 상기 복원 신호의 차에 대응하는 차이값을 출력하는 펄스폭 검출기와;

상기 임계값을 출력하는 임계값 선택기; 그리고

상기 임계값과 상기 차이값을 비교하고, 상기 차이값이 상기 임계값보다 클 때 상기 페일 신호를 활성화하는 페일 판별기를 포함하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 8

제 7 항에 있어서,

상기 페일 판별기는,

상기 임계값과 상기 차이값을 비교하고, 상기 차이값이 상기 임계값보다 클 때 비교 신호를 활성화하는 비교기; 그리고

상기 비교 신호에 응답해서 상기 페일 신호를 활성화하되, 상기 복원 신호에 응답해서 상기 페일 신호를 비활성화시키는 페일 신호 발생기를 포함하는 것을 특징으로 하는 페일 신호 발생기를 포함하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 9

제 8 항에 있어서,

상기 페일 신호 발생기는,

상기 데이터 인에이블 신호의 폴링 에지에서 상기 페일 신호를 비활성화하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 10

제 9 항에 있어서,

상기 임계값 선택기는,

상기 페일 판정 시간에 대응하는 제1 파라미터 및 상기 입력 지연 회로의 지연 시간에 대응하는 제2 파라미터를 입력받고, 상기 제1 및 제2 파라미터들 중 어느 하나를 상기 임계값으로 출력하는 것을 특징으로 하는 컨트롤러.

청구항 11

제 10 항에 있어서,

상기 펄스폭 검출기는,

상기 입력 지연 회로로부터 출력되는 신호와 상기 복원 신호의 차 신호를 출력하는 논리 회로; 그리고

상기 클럭 신호에 동기하고, 상기 차 신호의 펄스폭에 대응하는 상기 카운트 값을 출력하는 카운터를 포함하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 12

제 11 항에 있어서,

상기 입력 신호와 상기 복원 신호의 차가 상기 임계값보다 작을 때 상기 페일 신호를 비활성 상태로 유지하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 13

제 12 항에 있어서,

상기 페일 신호, 상기 복원 신호 및 상기 지연된 영상 데이터 신호에 응답해서 동작하는 기능 블록을 더 포함하

되;

상기 기능 블록은,

상기 페일 신호가 활성화될 때 페일 모드로 동작하는 것을 특징으로 하는 타이밍 컨트롤러.

청구항 14

복수의 데이터 라인들 및 복수의 게이트 라인들을 포함하는 액정 패널과;

상기 복수의 데이터 라인들 및 상기 복수의 게이트 라인들을 구동하기 위한 구동 회로; 그리고

영상 데이터 신호, 데이터 인에이블 신호 및 클럭 신호를 입력받고, 상기 구동 회로를 제어하기 위한 제어 신호들을 출력하는 타이밍 컨트롤러를 포함하되;

상기 타이밍 컨트롤러는,

상기 데이터 인에이블 신호에 응답해서 소정의 펄스폭을 갖는 복원 신호를 생성하고, 상기 데이터 인에이블 신호와 상기 복원 신호의 차가 임계값보다 클 때 페일 모드로 동작하는 것을 특징으로 하는 액정 표시 장치.

청구항 15

제 14 항에 있어서,

상기 타이밍 컨트롤러는,

상기 데이터 인에이블 신호를 소정 시간 지연시켜서 지연 신호를 출력하는 지연 회로와;

상기 지연 신호에 응답해서 활성화되는 상기 복원 신호를 생성하되, 상기 클럭 신호의 소정 사이클들 동안 상기 복원 신호의 활성 상태를 유지하는 복원 신호 발생기를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 16

제 15 항에 있어서,

상기 타이밍 컨트롤러는,

상기 지연 회로의 지연 시간만큼 상기 영상 데이터 신호를 지연시킨 후 상기 구동 회로로 제공하는 것을 특징으로 하는 액정 표시 장치.

청구항 17

제 14 항에 있어서,

상기 타이밍 컨트롤러는,

상기 페일 모드에서 상기 복원 신호가 비활성화될 때 정상 모드로 복귀하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 구체적으로는 정전기 방전에 의해 영향을 받는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적인 액정 표시 장치는 두 표시판과 그 사이에 들어있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이러한 액정 표시 장치는 휴대가 간편한 평판 표시 장치(flat panel display, FPD) 중에서 대표적인 것으로서, 컴퓨터 모니터 및 텔레비전으로 많이 사용되고 있다.

[0003] 이러한 액정 표시 장치는 영상 표시를 위하여 다수의 집적 회로들(integrated circuits)을 포함한다. 집적 회로들은 정전기와 같이 순간적으로 유입되는 고전압 상분 즉, ESD(electro static discharge)에 의해서 오동작하거나 영구적으로 파괴될 수 있다. ESD에 의한 오동작은 크게 다음과 같은 세 가지로 분류된다. 즉, ESD에 의해서 집적 회로가 영구적으로 파괴되는 하드 페일(hard fail), 순간적으로 IC가 오동작을 하나 리셋에 의해서 정상 상태로 복귀가능한 소프트 페일(soft fail) 그리고 ESD가 유입된 짧은 순간에만 오동작하고, 바로 정상 상태로 복귀되는 순간 노이즈이다.

[0004] 하드 페일이 발생하면 집적 회로의 교체 등과 같은 사용자의 적극적 치유 노력이 필요하다. 액정 표시 장치는 소프트 페일이 발생하면 페일 모드로 진입하여 패널 상에 표시되는 영상을 오프시키거나 특정 화면을 패널 상에 표시한 후 정상 상태로 복귀한다. 소프트 페일 발생 후 액정 표시 장치가 정상 상태로 복귀하였더라도 사용자는 이미 화면 이상을 감지하게 된다.

[0005] 사용자의 제품 품질 요구 수준이 향상됨에 따라서 최근에는 하드 페일 및 소프트 페일의 발생 빈도를 낮추기 위한 여러가지 노력들이 계속되고 있다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명의 목적은 정전기 방전 내성이 강화된 액정 표시 장치를 제공하는데 있다.

과제 해결수단

[0007] 이와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는, 입력 신호를 입력받고, 소정의 펄스폭을 갖는 복원 신호를 출력하는 복원 회로, 그리고 상기 입력 신호와 상기 복원 신호의 차가 임계값보다 클 때 페일 신호를 활성화하는 페일 검출기를 포함한다.

[0008] 이 실시예에 있어서, 상기 복원 회로는, 상기 입력 신호를 소정 시간 지연시켜서 지연 신호를 출력하는 지연 회로와, 상기 지연 신호에 응답해서 활성화되는 상기 복원 신호를 생성하되, 클럭 신호의 소정 사이클들 동안 상기 복원 신호의 활성 상태를 유지하는 복원 신호 발생기를 포함한다.

[0009] 이 실시예에 있어서, 상기 지연 회로는, 직렬로 연결되고, 각각이 클럭 신호에 동기해서 상기 입력 신호를 순차적으로 래치하는 복수의 플립플롭들, 그리고 상기 복수의 플립플롭들 각각의 출력을 입력받고, 상기 지연 신호를 출력하는 논리 회로를 포함한다.

[0010] 이 실시예에 있어서, 상기 복원 신호 발생기는, 상기 지연 신호에 응답해서 카운트를 시작하고, 상기 클럭 신호에 동기해서 카운트 업하는 카운터를 포함하되, 상기 복원 신호 발생기는 상기 지연 신호의 활성화 시점에 상기 복원 신호를 활성화하고, 상기 카운터의 카운트 값이 소정 값에 도달할 때 상기 복원 신호를 비활성화한다.

[0011] 이 실시예에 있어서, 상기 입력 신호는 데이터 인에이블 신호이다.

[0012] 이 실시예에 있어서, 상기 복원 회로는, 영상 데이터 신호를 입력받고, 상기 지연 회로의 지연 시간만큼 지연된 영상 데이터 신호를 출력하는 데이터 지연 회로를 더 포함한다.

[0013] 이 실시예에 있어서, 상기 페일 검출기는, 상기 데이터 인에이블 신호를 지연시키는 입력 지연 회로와, 상기 입력 지연 회로로부터 출력되는 신호와 상기 복원 신호의 차에 대응하는 차이값을 출력하는 펄스폭 검출기와, 상기 임계값을 출력하는 임계값 선택기, 그리고 상기 임계값과 상기 차이값을 비교하고, 상기 차이값이 상기 임계값보다 클 때 상기 페일 신호를 활성화하는 페일 판별기를 포함한다.

[0014] 이 실시예에 있어서, 상기 페일 판별기는, 상기 임계값과 상기 차이값을 비교하고, 상기 차이값이 상기 임계값보다 클 때 비교 신호를 활성화하는 비교기, 그리고 상기 비교 신호에 응답해서 상기 페일 신호를 활성화하되, 상기 복원 신호에 응답해서 상기 페일 신호를 비활성화시키는 페일 신호 발생기를 포함하는 것을 특징으로 하는 페일 신호 발생기를 포함한다.

[0015] 이 실시예에 있어서, 상기 페일 신호 발생기는, 상기 데이터 인에이블 신호의 폴링 에지에서 상기 페일 신호를 비활성화한다.

[0016] 이 실시예에 있어서, 상기 임계값 선택기는, 상기 페일 판정 시간에 대응하는 제1 파라미터 및 상기 입력 지연 회로의 지연 시간에 대응하는 제2 파라미터를 입력받고, 상기 제1 및 제2 파라미터들 중 어느 하나를 상기 임계

값으로 출력한다.

- [0017] 이 실시예에 있어서, 상기 펄스폭 검출기는, 상기 입력 지연 회로로부터 출력되는 신호와 상기 복원 신호의 차 신호를 출력하는 논리 회로, 그리고 상기 클럭 신호에 동기하고, 상기 차 신호의 펄스폭에 대응하는 상기 카운트 값을 출력하는 카운터를 포함한다.
- [0018] 이 실시예에 있어서, 상기 입력 신호와 상기 복원 신호의 차가 상기 임계값보다 작을 때 상기 페일 신호를 비활성 상태로 유지한다.
- [0019] 이 실시예에 있어서, 상기 페일 신호, 상기 복원 신호 및 상기 지연된 영상 데이터 신호에 응답해서 동작하는 기능 블록을 더 포함하되, 상기 기능 블록은, 상기 페일 신호가 활성화될 때 페일 모드로 동작한다.
- [0020] 본 발명의 다른 특징에 의하면, 액정 표시 장치는, 복수의 데이터 라인들 및 복수의 게이트 라인들을 포함하는 액정 패널과, 상기 복수의 데이터 라인들 및 상기 복수의 게이트 라인들을 구동하기 위한 구동 회로, 그리고 영상 데이터 신호, 데이터 인에이블 신호 및 클럭 신호를 입력받고, 상기 구동 회로를 제어하기 위한 제어 신호들을 출력하는 타이밍 컨트롤러를 포함한다. 상기 타이밍 컨트롤러는, 상기 데이터 인에이블 신호에 응답해서 소정의 펄스폭을 갖는 복원 신호를 생성하고, 상기 데이터 인에이블 신호와 상기 복원 신호의 차가 임계값보다 클 때 페일 모드로 동작한다.
- [0021] 이 실시예에 있어서, 상기 타이밍 컨트롤러는, 상기 데이터 인에이블 신호를 소정 시간 지연시켜서 지연 신호를 출력하는 지연 회로와, 상기 지연 신호에 응답해서 활성화되는 상기 복원 신호를 생성하되, 상기 클럭 신호의 소정 사이클들 동안 상기 복원 신호의 활성 상태를 유지하는 복원 신호 발생기를 포함한다.
- [0022] 이 실시예에 있어서, 상기 타이밍 컨트롤러는, 상기 지연 회로의 지연 시간만큼 상기 영상 데이터 신호를 지연시킨 후 상기 구동 회로로 제공한다.
- [0023] 이 실시예에 있어서, 상기 타이밍 컨트롤러는, 상기 페일 모드에서 상기 복원 신호가 비활성화될 때 정상 모드로 복귀한다.

효 과

- [0024] 본 발명의 액정 표시 장치는 정전기 방전에 의해서 데이터 인에이블 신호(DE)가 왜곡될 때 데이터 인에이블 신호가 복원 가능한 경우 페일 모드로 진입하지 않는다. 그러므로 액정 표시 장치에 짧은 시간동안 정전기 방전이 유입되더라도 사용자가 이를 감지하는 경우가 감소된다.

발명의 실시를 위한 구체적인 내용

- [0025] 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.
- [0026] 도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면이다.
- [0027] 도 1을 참조하면, 액정 표시 장치(100)는 타이밍 컨트롤러(110), 데이터 구동회로(120), 전압 변환기(130), 게이트 구동회로(140), 그리고 액정 패널(150)을 포함한다.
- [0028] 액정 패널(150)은 복수의 게이트 라인들(G1-Gn)과, 게이트 라인들에 교차하는 복수의 데이터 라인들(R1-Rm, G1-Gm, B1-Bm)과, 게이트 라인 및 데이터 라인에 의해 정의된 영역에 각각 배열된 픽셀들을 포함한다. 각 픽셀은 게이트 라인과 데이터 라인에 게이트 전극 및 소스 전극이 각각 연결되는 박막 트랜지스터(T1)와, 박막 트랜지스터(T1)의 드레인 전극에 연결되는 액정 커패시터(C_{LC}) 및 스토리지 커패시터(C_{ST})를 포함한다. 이러한 픽셀 구조에서는, 게이트 구동회로(160)에 의해서 게이트 라인들이 순차적으로 선택되고, 선택된 게이트 라인에 게이트 온 전압이 펄스 형태로 인가되면, 게이트 라인에 연결된 픽셀의 박막 트랜지스터(T1)가 턴 온되고, 이어서 데이터 구동회로(120)에 의해 각 데이터 라인에 픽셀 정보를 포함하는 전압이 인가된다. 이 전압은 해당 픽셀의 박막 트랜지스터를 거쳐 액정 커패시터(C_{LC})와 스토리지 커패시터(C_{ST})에 인가되며, 액정 및 스토리지 커패시터들(C_{LC} , C_{ST})이 구동됨으로써 소정의 표시 동작이 이루어진다.
- [0029] 타이밍 컨트롤러(110)는 외부 장치로부터 입력되는 현재 픽셀 데이터 신호(RGB), 수평 동기 신호(H_SYNC), 수직 동기 신호(V_SYNC), 클럭 신호(MCLK) 및 데이터 인에이블 신호(DE)를 입력받는다. 타이밍 컨트롤러(110)는 데이터 구동회로(130)와의 인터페이스 사양에 맞도록 데이터 포맷(format)을 변환한 픽셀 데이터 신호(RGB') 및 제어 신호들을 데이터 구동회로(120)로 출력한다. 타이밍 컨트롤러(110)로부터 데이터 구동회로(120)로 제공되

는 제어 신호들은, 래치 신호(TP), 수평 동기 시작 신호(STH, start horizontal), 클럭 신호(HCLK), 제 1 반전 구동 신호(POL) 그리고 제 2 반전 구동 신호(POLB)를 포함한다. 제 1 및 제 2 반전 구동 신호들(POL, POLB)은 서로 위상이 반대인 상보적 신호들이다.

[0030] 전압 변환기(150)는 외부로부터 전원 전압(VDD)을 입력받고, 액정 표시 장치(100)의 동작에 필요한 다양한 전압들 예를 들면, 게이트 온 전압(VON), 게이트 오프 전압(VOFF), 아날로그 전원 전압(AVDD), 디지털 전원 전압(DVDD) 및 공통 전압(VCOM)을 발생한다. 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)은 게이트 구동회로(140)로 제공되고, 아날로그 전원 전압(AVDD) 및 디지털 전원 전압(DVDD)은 액정 표시 장치(100)의 동작 전압으로서 사용된다.

[0031] 게이트 구동회로(140)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들 즉, 수직 동기 시작 신호(start vertical, STV), 게이트 클럭 신호(CPV), 및 출력 인에이블 신호(OE)에 응답해서 액정 패널(140)의 게이트 라인들(G1-Gn)을 순차적으로 스캐닝한다. 여기서, 스캐닝이란 게이트 라인들에 게이트 온 전압(VON)을 순차적으로 인가하여 게이트 온 전압(VON)이 인가된 게이트 라인의 픽셀을 데이터 기록이 가능한 상태로 만드는 것을 말한다.

[0032] 데이터 구동회로(120)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들 즉, 래치 신호(TP), 수평 동기 시작 신호(STH), 클럭 신호(HCLK) 그리고 제 1 및 제 2 반전 구동 신호들(POL, POLB)에 응답해서 게조 전압 발생기(미 도시됨)로부터의 게조 전압들 중 픽셀 데이터 신호(RGB')에 대응하는 게조 전압들을 가지고 액정 패널(150)의 데이터 라인들(D1-Dm)을 구동한다. 일반적으로 데이터 구동회로(120)는 복수의 집적 회로들로 구성된다.

[0033] 상술한 바와 같은 구성을 갖는 액정 표시 장치(100)의 신호 입력 단자들로 정전기 방전이 유입될 때 액정 표시 장치(100) 내 집적 회로들은 오동작하거나 파괴될 수 있다. 정전기 방전은 외부로부터 신호를 입력받는 패드들(미 도시됨)을 구비한 타이밍 컨트롤러(110)에서 주로 발생하며, 데이터 인에이블 신호(DE)나 클럭 신호(MCLK)의 입력 패드에 정전기 방전이 유입될 경우 액정 표시 장치(100)는 페일 모드로 동작한다.

[0034] 도 2는 정전기 방전에 의한 데이터 인에이블 신호 및 클럭 신호의 왜곡을 보여준다. 정전기 방전에 의한 데이터 인에이블 신호(DE)의 왜곡은 주로 일시적으로 나타나며, 데이터 인에이블 신호(DE)의 펄스 폭 변경에 의해서 액정 표시 장치(100)는 오동작할 수 있다.

[0035] 도 3은 데이터 인에이블 신호에 왜곡이 발생하였을 때 타이밍 컨트롤러로부터 출력되는 신호들을 보여준다.

[0036] 도 3을 참조하면, 데이터 인에이블 신호(DE)의 펄스 폭이 변경되는 왜곡이 발생하였을 때 타이밍 컨트롤러(110)로부터 출력되는 게이트 클럭 신호(CPV) 및 래치 신호(TP)가 왜곡된다. 타이밍 컨트롤러(110)는 정전기 방전에 의해서 순간적으로 데이터 인에이블 신호(DE)의 펄스 폭이 변경됨을 감지할 때 라인 페일 신호(L_FAIL)를 활성화하여 페일 모드(fail mode)로 동작한다. 페일 모드동안 타이밍 컨트롤러(110)는 데이터 인에이블 신호(DE)를 정상 상태로 복원시키는 한편 액정 패널(150) 상에 소정의 영상이 표시되도록 제어할 수 있다. 타이밍 컨트롤러(110)는 페일 모드에서 데이터 인에이블 신호(DE)가 정상 상태로 복원되면 정상 모드로 복귀하나, 이미 사용자는 액정 패널(150)에 표시된 영상으로 액정 표시 장치(100)에 문제가 발생함을 인지하게 된다.

[0037] 그러므로 본 발명의 타이밍 컨트롤러(110)는 데이터 인에이블 신호(DE)가 왜곡되더라도 정상 상태로 복원 가능하다면 페일 모드로 진입하지 않음으로써 사용자가 액정 표시 장치(100)의 오동작을 감지하지 못하도록 한다.

[0038] 도 4는 본 발명의 바람직한 실시예에 따른 타이밍 컨트롤러의 구성을 보여주는 도면이다.

[0039] 도 4를 참조하면, 타이밍 컨트롤러(110)는 입력부(410), 복원 회로(420), 페일 검출기(430), 기능 블록(440) 그리고 출력부(450)를 포함한다.

[0040] 입력부(410)는 호스트(미 도시됨)로부터 픽셀 데이터 신호(RGB), 수평 동기 신호(H_SYNC), 수직 동기 신호(V_SYNC), 클럭 신호(MCLK) 및 데이터 인에이블 신호(DE)를 수신한다. 복원 회로(420)는 입력부(410)를 통하여 클럭 신호(CLK), 데이터 인에이블 신호(DE) 및 픽셀 데이터 신호(RGB)를 입력받고, 데이터 인에이블 신호(DE)에 대한 복원 신호(DE_R) 및 지연된 픽셀 데이터 신호(RGB_DLY)를 출력한다.

[0041] 페일 검출기(430)는 입력부(410)를 통하여 클럭 신호(CLK) 및 데이터 인에이블 신호(DE)를 입력받고, 복원 회로(420)로부터의 복원 신호(DE_R) 그리고 제1 및 제2 파라미터들(Para1, Para2)을 입력받아서 라인 페일 신호(L_FAIL)를 출력한다. 기능 블록(440)은 입력부(410)로부터의 제어 신호들과 복원 회로(420)로부터의 복원 신호(DE_R) 및 지연된 픽셀 데이터 신호(RGB_DLY) 그리고 페일 검출기(430)로부터의 라인 페일 신호(L_FAIL)에 응답해서 동작한다. 입력부(410)로부터 복원 회로(420) 및 페일 검출기(430)로 제공되는 클럭 신호(CLK)는 호스

트로부터 제공되는 클럭 신호(MCLK)와 동일한 주파수를 갖거나 또는 다를 수 있다.

- [0042] 출력부(450)는 기능 블록(440)으로부터의 신호들을 도 1에 도시된 데이터 구동 회로(120) 및 게이트 구동 회로(140)로 제공하기에 적합한 신호 형태로 변환해서 출력한다. 복원 회로(420) 및 페일 검출기(430)의 구체적인 구성 및 동작이 이하 설명된다.
- [0043] 도 5는 도 4에 도시된 복원 회로(420)의 본 발명의 바람직한 실시예에 따른 구성을 보여주는 도면이다.
- [0044] 도 5를 참조하면, 복원 회로(420)는 데이터 지연 회로(510)와 복원 블록(520)을 포함한다. 데이터 지연 회로(510)는 픽셀 데이터 신호(RGB)를 입력받아서 지연된 픽셀 데이터 신호(RGB_DLY)를 출력한다.
- [0045] 데이터 지연 회로(510)는 직렬로 연결된 복수의 플립플롭들(511-513)을 포함한다. 플립플롭(511)의 입력단은 픽셀 데이터 신호(RGB)와 연결되고, 플립플롭(513)의 출력단으로부터 출력되는 신호는 지연된 픽셀 데이터 신호(RGB_DLY)이다.
- [0046] 복원 블록(520)은 데이터 인에이블 신호(DE)를 입력받고, 복원 신호(DE_R)를 출력한다. 복원 블록(520)은 직렬로 연결된 복수의 플립플롭들(521-523), 앤드 게이트(AND gate, 524) 그리고 복원 신호 발생기(525)를 포함한다. 플립플롭(521)의 입력단은 데이터 인에이블 신호(DE)와 연결되고, 플립플롭들(521-523) 각각의 출력은 앤드 게이트(524)로 제공된다. 플립플롭들(521-523)은 클럭 신호(CLK)에 동기해서 동작한다. 앤드 게이트(524)는 데이터 인에이블 신호(DE)가 하이 레벨로 천이하고 나서 플립플롭들(521-523)에 의한 전파 지연 시간만큼 지연된 후 하이 레벨의 신호를 출력한다. 복원 신호 발생기(525)는 앤드 게이트(524)의 출력 신호가 하이 레벨로 천이함에 따라서 복원 신호(DE_R)를 하이 레벨로 천이시킨다. 복원 신호 발생기(525)는 카운터(526)를 포함한다. 카운터(526)는 앤드 게이트(524)의 출력 신호가 하이 레벨로 천이함에 따라서 카운트를 개시하고, 클럭 신호(CLK)에 동기해서 카운트 업한다. 복원 신호 발생기(525)는 카운터(526)의 카운트 값이 미리 설정된 값에 도달할 때 복원 신호(DE_R)를 로우 레벨로 천이시킨다.
- [0047] 복원 블록(520)의 데이터 인에이블 신호(DE)가 지연되어 기능 블록(440)으로 제공되므로, 호스트로부터 입력된 픽셀 데이터 신호(RGB)도 데이터 인에이블 신호(DE)의 지연 시간만큼 지연된 후 기능 블록(440)으로 제공되어야 한다. 데이터 지연 회로(510) 내 플립플롭들(511-513)의 수와 복원 블록(520) 내 플립플롭들(521-523)의 수를 일치시킴으로써 지연된 픽셀 데이터 신호(RGB_DLY)와 지연된 데이터 인에이블 신호(DE_DLY)가 동기될 수 있다.
- [0048] 도 6은 도 4에 도시된 페일 검출기(430)의 구성을 보여주는 도면이다.
- [0049] 도 6을 참조하면, 페일 검출기(430)는 선택기(610), 입력 지연 회로(620), 논리 회로(630), 비교기(640), 카운터(650) 그리고 페일 신호 발생기(660)를 포함한다.
- [0050] 선택기(610)는 제1 및 제2 파라미터들(Para1, Para2)을 입력받고, 제1 및 제2 파라미터들(Para1, Para2) 중 어느 하나를 임계값(FAIL_TH)으로 출력한다. 제1 및 제2 파라미터들(Para1, Para2)에 관해서는 추후 상세히 설명한다.
- [0051] 입력 지연 회로(620)는 데이터 인에이블 신호(DE)를 소정 시간 지연시킨 후 출력한다. 논리 회로(630)는 입력 지연 회로(620)로부터 출력되는 지연된 데이터 인에이블 신호(DE_DLY)와 도 4에 도시된 복원 회로(420)로부터의 복원 신호(DE_R)를 입력받고, 두 신호들의 차에 대응하는 차 신호(DE_DIFF)를 출력한다. 이 실시예에서 논리 회로(630)는 익스클루시브 오아 게이트로 구현되나, 논리 회로(630)는 두 신호의 차에 대응하는 차 신호(DE_DIFF)를 출력하기 위한 다양한 로직 게이트들로 구성될 수 있다.
- [0052] 카운터(650)는 차 신호(DE_DIFF)의 라이징 에지(rising edge)에서 카운트를 개시하고, 차 신호(DE_DIFF)의 폴링 에지(falling edge)에서 카운트를 중지하며, 클럭 신호(CLK)에 응답해서 카운트 업한다. 즉, 카운터(650)는 차 신호(DE_DIFF)의 하이 레벨 구간에 대응하는 카운트 값을 비교기(640)로 제공한다. 논리 회로(630)와 카운터(650)는 데이터 인에이블 신호(DE)와 복원 신호(DE_R)의 차에 대응하는 카운트값(CNT)을 출력하는 펄스폭 검출기로 구현될 수 있다.
- [0053] 비교기(640)는 선택기(610)로부터의 임계값(FAIL_TH)과 카운터(650)로부터의 카운트 값을 비교하고, 카운트 값(CNT)이 임계값(FAIL_TH)과 같거나 클 때 비교 신호(F)를 활성화한다. 페일 신호 발생기(650)는 비교 신호(F)가 활성화되는 것에 응답해서 라인 페일 신호(L_FAIL)를 활성화하고, 복원 신호(DE_R)의 폴링 에지에서 라인 페일 신호(L_FAIL)를 비활성화한다. 비교기(640)와 페일 신호 발생기(650)는 임계값(FAIL_TH)과 카운트 값(CNT)의 차이를 비교하고, 비교 결과에 따라서 라인 페일 신호(L_FAIL)를 발생하는 페일 판별기로 구현될 수 있다.

- [0054] 도 5 및 도 6에 도시된 복원 회로(420) 및 페일 검출기(430)의 동작은 도 7을 참조하여 설명된다.
- [0055] 도 7은 도 4에 도시된 타이밍 컨트롤러에서 사용되는 신호들의 타이밍도이다.
- [0056] 도 5 내지 도 7을 참조하면, 데이터 인에이블 신호(DE)는 복원 회로(430)로 입력된다. 복원 블록(520)은 데이터 인에이블 신호(DE)가 하이 레벨로 활성화된 후(t_1) 플립플롭들(521-523)에 의한 전과 지연 시간이 경과하면(t_2) 복원 신호(DE_R)를 하이 레벨로 활성화한다. 복원 신호 발생기(525)는 복원 신호(DE_R)를 하이 레벨로 활성화시킨 후 클럭 신호(CLK)의 소정 사이클이 경과하면 복원 신호(DE_R)를 로우 레벨로 비활성화한다. 복원 신호(DE_R)의 하이 레벨 지속 시간은 액정 패널(150)의 수평 크기(H_SIZE)에 대응하며, 복원 신호 발생기(525) 내 카운터(526)의 미리 설정된 값이 변경되지 않는 한 매 사이클마다 일정하게 유지된다.
- [0057] 한편, 데이터 인에이블 신호(DE)는 페일 검출기(430)로도 입력된다. 페일 검출기(430) 내 입력 지연 회로(620)는 지연된 데이터 인에이블 신호(DE_DLY)를 출력한다. 이 실시예에서 도 6에 도시된 입력 지연 회로(620)의 지연 시간과 도 5에 도시된 복원 블록(520) 내 플립플롭들(521-523)의 전과 지연 시간은 동일하다. 이와 같이 데이터 인에이블 신호(DE)를 지연시켜서 복원 신호(DE_R)를 생성하는 것은 데이터 인에이블 신호(DE)의 라이징 에지에서의 노이즈에 의한 영향을 최소화하기 위함이다. 데이터 인에이블 신호(DE)와 지연된 데이터 인에이블 신호(DE_DLY) 사이의 시간차 즉, 지연 시간은 제2 파라미터(Para2)이다.
- [0058] 익스크루시브 오아 게이트로 구성된 논리 회로(630)는 지연된 데이터 인에이블 신호(DE_DLY)와 복원 신호(DE_R)의 차에 대응하는 차 신호(DE_DIFF)를 출력한다. 복원 블록(520)으로부터의 복원 신호(DE_R)는 항상 일정한 펄스 폭을 갖게 되므로, 데이터 인에이블 신호(DE)가 정전기 방전 등의 영향으로 왜곡될 때 데이터 인에이블 신호(DE)의 왜곡 정도가 차 신호(DE_DIFF)에 반영된다. 카운터(650)는 차 신호(DE_DIFF)의 하이 레벨 구간의 펄스 폭에 대응하는 카운트 값을 비교기(640)로 제공한다.
- [0059] 앞서 설명한 바와 같이, 데이터 인에이블 신호(DE)와 지연된 데이터 인에이블 신호(DE_DLY) 사이의 시간차 즉, 지연 시간은 제2 파라미터(Para2)이고, 데이터 인에이블 신호(DE)의 최대 왜곡 허용 시간이 제1 파라미터(Para1)이다.
- [0060] 선택기(610)는 제1 및 제2 파라미터들(Para1, Para2) 중 더 큰 값을 임계값(FAIL_TH)으로 선택한다. 이 실시예에서 제1 파라미터(Para1)가 제2 파라미터(Para2)보다 크다. 그러므로, 임계값(FAIL_TH)은 제1 파라미터(Para1)로서 설정된다.
- [0061] 도 7에 도시된 예에서, 차 신호(DE_DIFF)의 왜곡에 대응하는 카운트 값들(CNT1, CNT2)이 모두 임계값(FAIL_TH)보다 작으므로 라인 페일 신호(L_FAIL) 신호가 비활성 상태로 유지된다.
- [0062] 차 신호(DE_DIFF)의 왜곡에 대응하는 카운트 값(CNT3)이 임계값(FAIL_TH)과 같거나 크면 비교기(640)는 비교 신호(F)를 활성화하며, 페일 신호 발생기(650)는 라인 페일 신호(L_FAIL)를 활성 상태로 천이시킨다(t_3). 복원 신호(DE_R)가 로우 레벨로 천이함에 따라서 라인 페일 신호(L_FAIL) 신호도 로우 레벨로 천이된다(t_4). 그러므로, 라인 페일 신호(L_FAIL)의 활성화에 응답해서 기능 블록(440)이 라인 페일 모드로 동작하더라도 다음 라인의 픽셀 데이터 신호는 액정 패널(150)에 정상 모드로 표시된다.
- [0063] 도 7에 도시된 예에서 보면, 정전기 방전의 유입 등과 같은 비정상 상태에서 데이터 인에이블 신호(DE)가 임계값(FAIL_TH) 이상으로(예컨대, CNT3) 왜곡될 때 타이밍 컨트롤러(110)는 페일 모드로 동작한다. 페일 모드동안, 도 4에 도시된 기능 블록(440)은 소정의 영상이 액정 패널(150)의 해당 라인에 표시되도록 제어한다.
- [0064] 만일 데이터 인에이블 신호(DE)가 임계값(FAIL_TH) 미만으로 미세하게(예컨대, CNT1, CNT2) 왜곡될 때 데이터 인에이블 신호(DE)는 타이밍 컨트롤러(110) 내 복원 블록(520)에 의해서 복원될 수 있으며, 타이밍 컨트롤러(110)는 페일 모드로 진입하지 않는다. 그러므로 사용자는 정전기 방전에 의해서 타이밍 컨테이터 인에이블 신호(DE)가 다소 왜곡되었다더라도 이를 알아채지 못한다.
- [0065] 제1 및 제2 파라미터들(Para1, Para2)는 액정 표시 장치(100)의 생산자에 의해서 변경될 수 있으므로, 페일 인식 범위가 다양하게 변경될 수 있다.

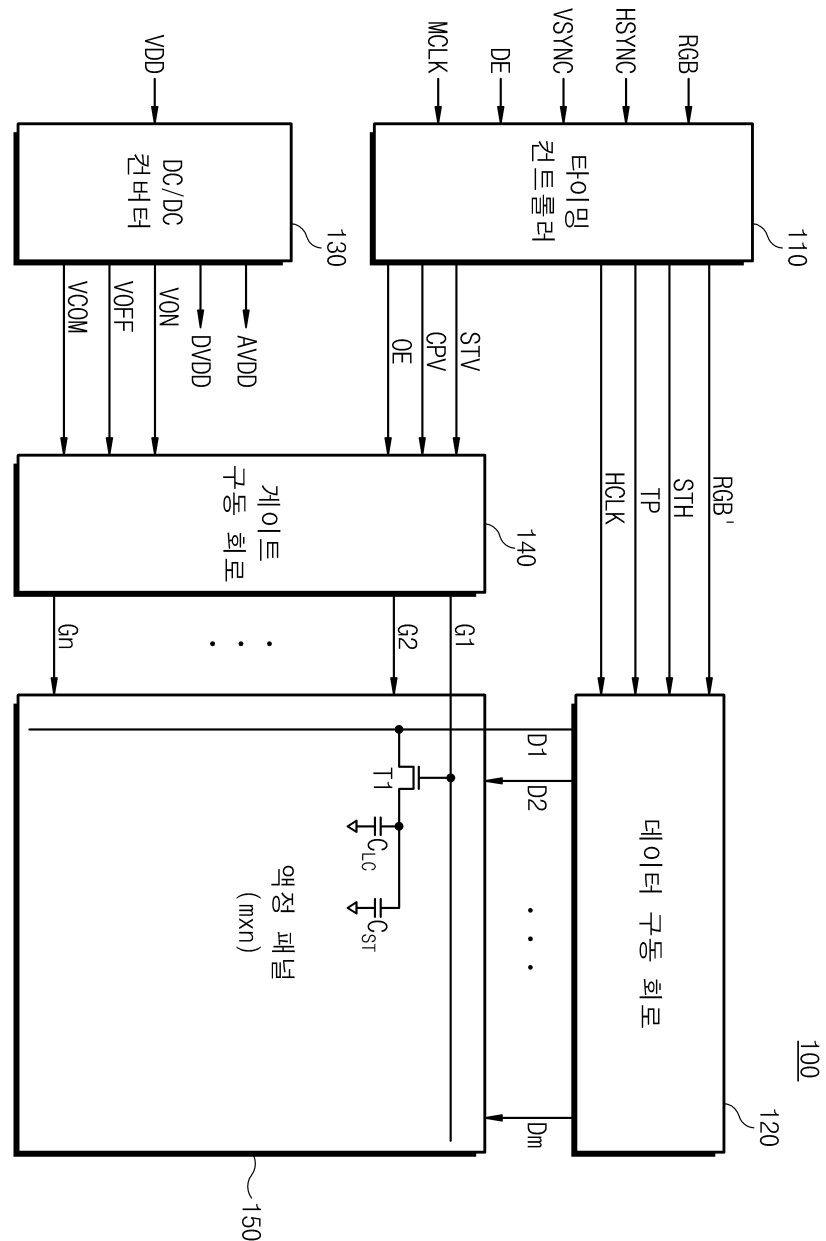
도면의 간단한 설명

- [0066] 도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면이다.
- [0067] 도 2는 정전기 방전에 의한 데이터 인에이블 신호 및 클럭 신호의 왜곡을 보여준다.

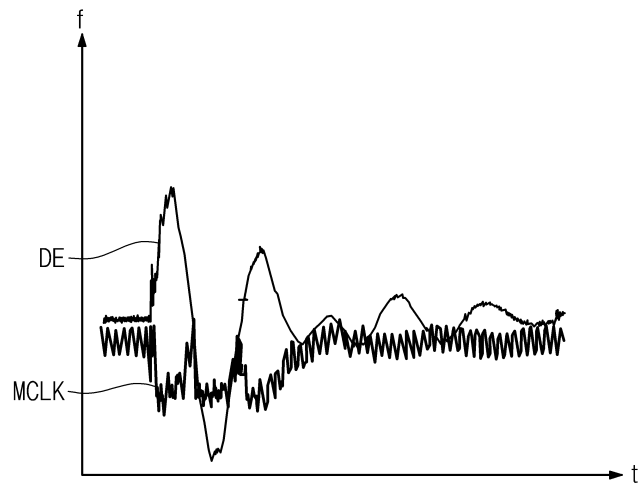
- [0068] 도 3은 데이터 인에이블 신호에 왜곡이 발생하였을 때 타이밍 컨트롤러로부터 출력되는 신호들을 보여준다.
- [0069] 도 4는 본 발명의 바람직한 실시예에 따른 타이밍 컨트롤러의 구성을 보여주는 도면이다.
- [0070] 도 5는 도 4에 도시된 복원 회로의 본 발명의 바람직한 실시예에 따른 구성을 보여주는 도면이다.
- [0071] 도 6은 도 4에 도시된 페일 검출기의 구성을 보여주는 도면이다.
- [0072] 도 7은 도 4에 도시된 타이밍 컨트롤러에서 사용되는 신호들의 타이밍도이다.

도면

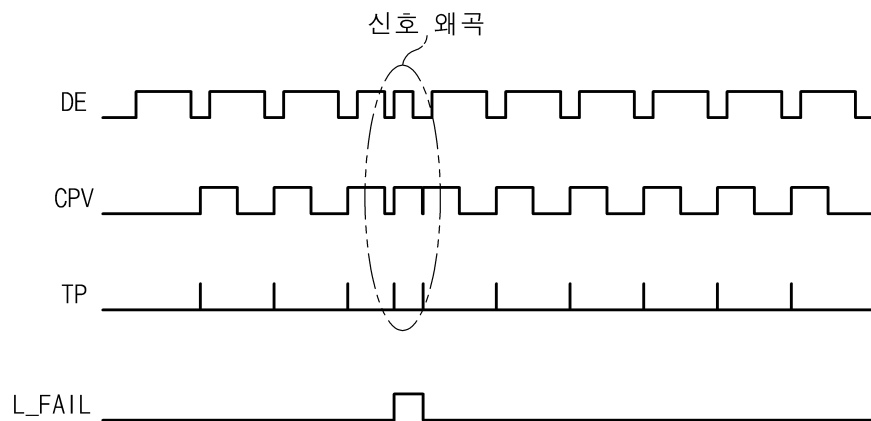
도면1



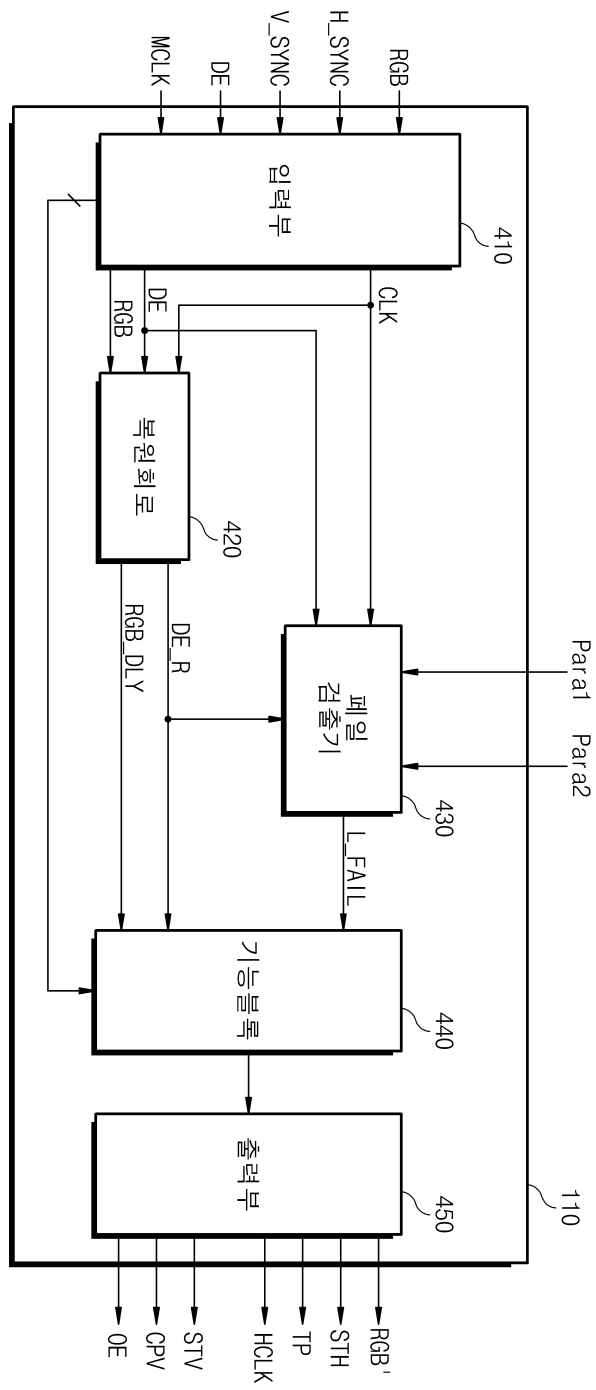
도면2



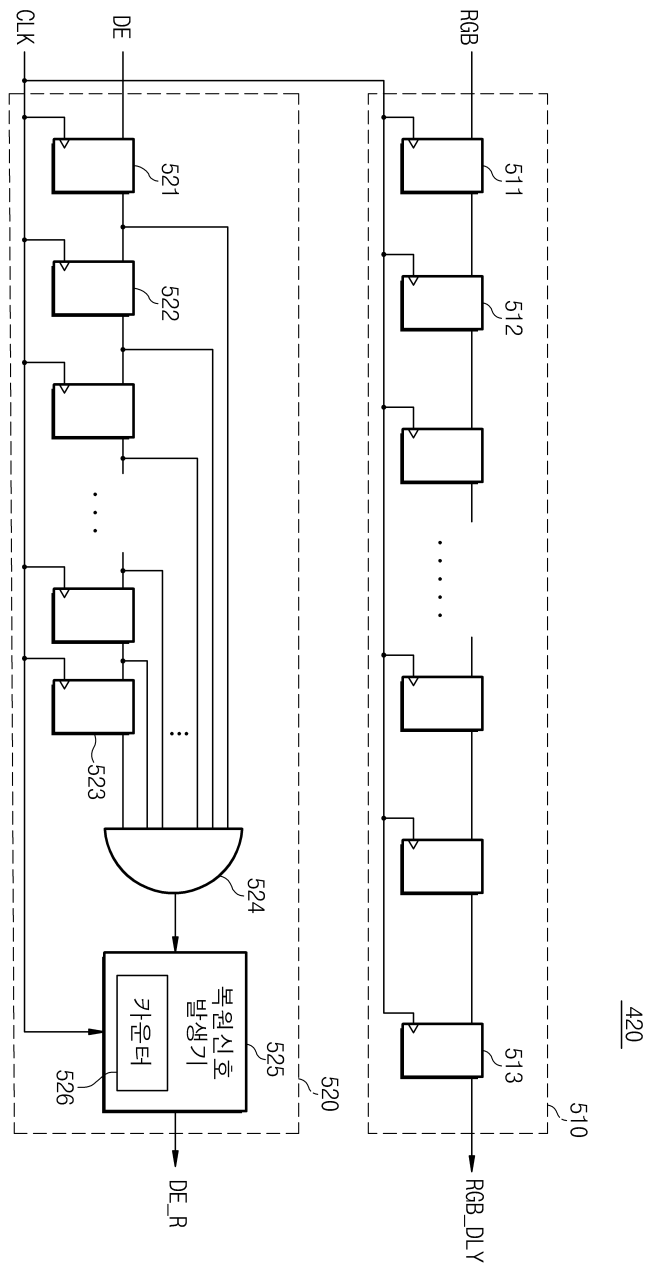
도면3



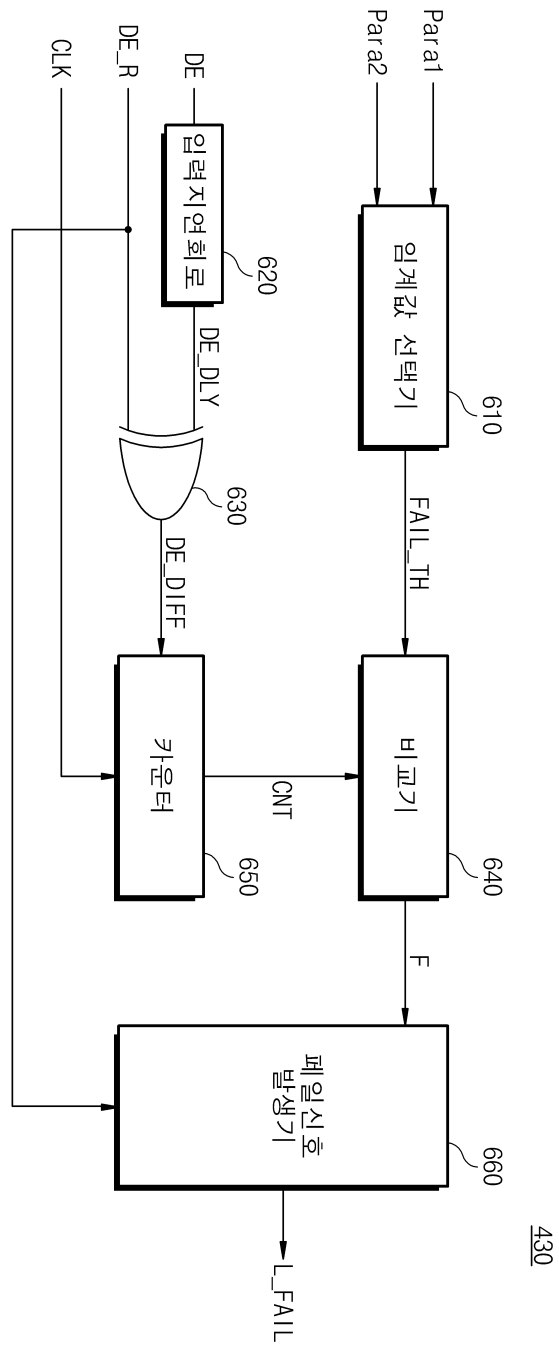
도면4



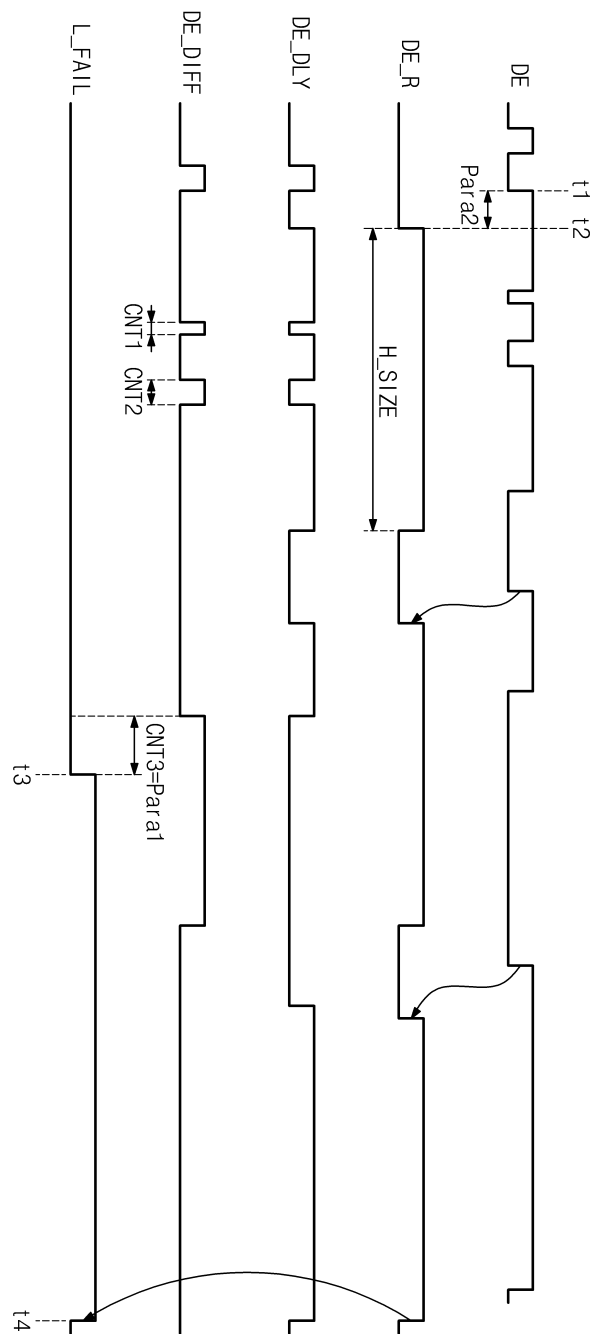
도면5



도면6



도면7



专利名称(译)	具有增强的抗静电放电性的液晶显示装置		
公开(公告)号	KR1020100016994A	公开(公告)日	2010-02-16
申请号	KR1020080076673	申请日	2008-08-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JAE HYOUNG 박재형 AHN IK HYUN 안익현		
发明人	박재형 안익현		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2330/06 G09G2330/08		
其他公开文献	KR101544916B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种具有静电放电稳健性的液晶显示器，通过防止数据使能信号在静电放电引起的数据使能信号失真状态下进入故障模式，防止静电放电的检测。组成：定时控制器（110）包括密码分析电路（420）和故障检测器（430）。密码分析电路根据输入的信号输出具有预定脉冲长度的恢复信号。故障检测器通过比较输入信号和恢复信号的差值以及临界值来激活故障信号。密码分析电路包括延迟电路和恢复信号发生器。延迟电路通过将输入信号延迟预设时间来输出延迟信号。恢复信号发生器产生响应于延迟信号而被激活的恢复信号。恢复信号发生器将恢复信号的激活状态保持为时钟信号的预设周期。COPYRIGHT KIPO 2010

