

(72) 발명자

정유광

경기 용인시 기흥구 농서동 산7-1 마로니에동 100
3호

진흥기

경기 수원시 영통구 매탄1동 현대홈타운 106동
2001호

최신일

서울 관악구 봉천11동 1633-16 2층

김상갑

서울 강동구 명일동 15번지 삼익아파트 301동 306
호

윤갑수

서울 강서구 화곡1동 919-1번지 유림아파트 916호

정두희

서울 강남구 대치1동 888번지 대치아이파크 104동
502호

특허청구의 범위

청구항 1

절연 기판 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 액티브층;

상기 액티브층 상에 형성되고, 소스 영역을 노출하는 제1 홀과, 드레인 영역을 노출하는 제2 홀을 포함하는 유기물층; 및

상기 제1 홀에 충전된 소스 전극과, 상기 제2 홀에 충전된 드레인 전극을 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 유기물층 상에 형성되고, 상기 소스 전극과 연결된 데이터 패드; 및

상기 데이터 패드와 동일한 층으로서, 상기 드레인 전극과 연결된 화소 전극을 더 포함하는 액정 표시 장치.

청구항 3

제1 항에 있어서,

상기 소스 전극과 상기 드레인 전극은, 상기 제1 홀과 상기 제2 홀에 씨드층을 형성하고, 상기 씨드층 상에 도전 물질을 무전해 도금하여서 충전된 액정 표시 장치.

청구항 4

제3 항에 있어서,

상기 씨드층은 촉매 금속인 폴리브덴을 포함하고, 상기 도전 물질은 구리를 포함하는 액정 표시 장치.

청구항 5

제1 항에 있어서,

상기 유기물층은 네거티브 타입의 감광성을 가지고, 상기 제1 홀과 상기 제2 홀은 상기 유기물층을 마스크로 하여서 패터닝된 액정 표시 장치.

청구항 6

제1 항에 있어서,

상기 액티브층은 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어진 액정 표시 장치.

청구항 7

제1 항에 있어서,

상기 소스 전극의 두께와, 상기 드레인 전극의 두께가 각각 1 μ m 이상인 액정 표시 장치.

청구항 8

절연 기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 액티브층을 형성하는 단계;

소스 영역을 노출하는 제1 홀과, 드레인 영역을 노출하는 제2 홀을 포함하는 유기물층을 상기 액티브층 상에 형성하는 단계; 및

상기 제1 홀에 소스 전극을, 상기 제2 홀에 드레인 전극을 충전하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 9

제8 항에 있어서,

상기 소스 전극과 상기 드레인 전극을 충전한 후에, 상기 소스 전극과 연결된 데이터 패드와, 상기 데이터 패드와 동일한 층으로서, 상기 드레인 전극과 연결된 화소 전극을 상기 유기물층 상에 각각 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 10

제8 항에 있어서,

상기 소스 전극과 상기 드레인 전극을 충전하는 단계는, 상기 제1 홀과 상기 제2 홀에 씨드층을 형성하고, 상기 씨드층 상에 도전 물질을 무전해도금하여서 충전하는 액정 표시 장치의 제조 방법.

청구항 11

제10 항에 있어서,

상기 제1 홀과, 상기 제2 홀에 씨드층을 형성하는 것은,

상기 유기물층 상에 씨드층을 형성하고, CMP(chemical mechanical polishing:기계 화학적 연마) 공정을 사용하여, 상기 제1 홀과 상기 제2 홀을 제외한 상기 유기물층 상의 씨드층을 제거하여서 형성하는 액정 표시 장치의 제조 방법.

청구항 12

제8 항에 있어서,

상기 소스 전극과 상기 드레인 전극을 충전한 후에, CMP 공정을 사용하여, 상기 소스 전극과 상기 드레인 전극 및 상기 유기물층을 평탄화하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 13

제8 항에 있어서,

상기 유기물층은 네거티브 타입의 감광성을 가지고,

상기 소스 전극과 상기 드레인 전극을 충전하기 전에, 상기 유기물층을 마스크로 하여서 상기 제1 홀과 상기 제2 홀을 패터닝하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 14

제13 항에 있어서,

상기 패터닝하는 단계는 TMAH(Tetramethyl ammonium hydroxide:테트라메틸 암모늄 하이드록사이드) 0.4 % 용액을 식각액으로 사용하는 액정 표시 장치의 제조 방법.

청구항 15

제8 항에 있어서,

상기 액티브층은 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어진 액정 표시 장치의 제조 방법.

청구항 16

절연 기판 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 액티브층;

상기 액티브층 상에 이격하게 형성된 제1 버퍼층과 제2 버퍼층; 및

상기 제1 버퍼층 상에 형성된 소스 전극과, 상기 제2 버퍼층 상에 형성된 드레인 전극을 포함하되,

상기 액티브층은 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어지고, 상기 제1 버퍼층과 상기 제2 버퍼층은 IZO 또는 ITO로 이루어진 액정 표시 장치.

청구항 17

제16 항에 있어서,

상기 소스 전극과 상기 드레인 전극은 은(Ag)으로 이루어진 액정 표시 장치.

청구항 18

제16 항에 있어서,

상기 게이트 전극은 IZO/Ag/IZO 또는 ITO/Ag/ITO의 삼중막 구조인 액정 표시 장치.

청구항 19

제16 항에 있어서,

상기 제1 버퍼층과 상기 제2 버퍼층이 형성된 영역을 제외한 상기 액티브층 상에 형성된 감광성 유기물층을 더 포함하는 액정 표시 장치.

청구항 20

제19 항에 있어서,

상기 감광성 유기물층 상에 형성되고, 상기 소스 전극과 연결된 데이터 패드; 및

상기 데이터 패드와 동일한 층으로서, 상기 드레인 전극과 연결된 화소 전극을 더 포함하되,

상기 데이터 패드와 상기 화소 전극은 IZO 또는 ITO로 이루어진 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 액정 표시 장치와 그 제조 방법에 관한 것으로, 보다 상세하게는 성능이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치와 그 제조 방법에 관한 것이다.

배경 기술

- <2> 액정 표시 장치는 화소 전극이 형성된 제1 기판과, 공통 전극이 형성된 제2 기판과, 제1 및 제2 기판 사이에 개재된 이방성 유전율을 갖는 액정 분자층을 포함한다. 화소 전극과 공통 전극 사이에 전기장을 형성하고, 그 전기장의 세기를 조절하여, 액정 분자들의 배열을 변경한다. 이로써, 액정 분자층을 통과하는 빛의 양을 제어함으로써 원하는 화상을 표현한다. 이러한 액정 표시 장치에 사용되는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : TFT)가 널리 사용되고 있다.
- <3> 박막 트랜지스터(TFT)는 게이트 전극, 드레인 전극, 소스 전극 및 액티브 층을 포함하는 스위칭 소자이다. 게이트 전극에 일정한 값 이상의 전압이 인가되면 액티브 층이 도통되어, 드레인 전극과 소스 전극 사이에 전류가 흐르게 된다. 박막 트랜지스터(TFT)의 액티브 층을 이루는 물질로 비정질 실리콘(a-Si)이나 폴리 실리콘(p-Si)을 사용할 수 있다.

발명의 내용

해결 하고자하는 과제

- <4> 그런데, 액정 표시 장치의 크기가 대형화되고, 고해상도화되면서, 성능이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치가 요구되고 있다. 예를 들어, 액정 표시 장치의 배선 저항이 증가하고, 액정 표시 장치의 부하가 증가하면서, 액정 표시 장치의 배선 저항을 줄일 수 있고, 액정 표시 장치의 증가된 부하 조건 하에서도 신

되성 있게 동작할 수 있는 박막 트랜지스터를 포함하는 액정 표시 장치가 요구되고 있다.

- <5> 이에 본 발명이 해결하고자 하는 과제는, 성능이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치를 제공하고자 하는 것이다.
- <6> 이에 본 발명이 해결하고자 하는 다른 과제는, 성능이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치의 제조 방법을 제공하고자 하는 것이다.
- <7> 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- <8> 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판 상에 형성된 게이트 전극과, 게이트 전극 상에 형성된 액티브층과, 액티브층 상에 형성되고, 소스 영역을 노출하는 제1 홀과, 드레인 영역을 노출하는 제2 홀을 포함하는 유기물층, 및 제1 홀에 충전된 소스 전극과, 제2 홀에 충전된 드레인 전극을 포함한다.
- <9> 상기 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 절연 기판 상에 형성된 게이트 전극과, 게이트 전극 상에 형성된 액티브층과, 액티브층 상에 이격하게 형성된 제1 버퍼층과 제2 버퍼층, 및 제1 버퍼층 상에 형성된 소스 전극과, 제2 버퍼층 상에 형성된 드레인 전극을 포함한다. 액티브층은 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어지고, 제1 버퍼층과 제2 버퍼층은 IZO 또는 ITO로 이루어진다.
- <10> 상기 다른 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은, 절연 기판 상에 게이트 전극을 형성하는 단계와, 게이트 전극 상에 액티브층을 형성하는 단계와, 소스 영역을 노출하는 제1 홀과, 드레인 영역을 노출하는 제2 홀을 포함하는 유기물층을 액티브층 상에 형성하는 단계, 및 제1 홀에 소스 전극을, 제2 홀에 드레인 전극을 충전하는 단계를 포함한다.
- <11> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

- <12> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한 "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- <13> 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위 뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- <14> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- <15> 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- <16> 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는

는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음은 물론이다.

- <17> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- <18> 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- <19> 이하 첨부된 도면들을 참조하여, 본 발명의 실시예들에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 첨부된 도면들은 박막 트랜지스터(TFT)가 형성되는 영역과, 스토리지 커패시터(Cst)가 형성되는 영역, 및 게이트 패드(Gate Pad)가 형성되는 영역을 동시에 표현하고 있다.
- <20> 도 1 내지 도 12을 참조하여, 본 발명의 제1 실시예에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 도 1 내지 도 12은 본 발명의 제1 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다.
- <21> 도 1을 참조하면, 절연 기판(110) 상에 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)를 형성하고, 그 위에 절연층(130)을 형성한다.
- <22> 절연 기판(110)은 투명한 유리 또는 플라스틱 등으로 이루어질 수 있다.
- <23> 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)는 금속층을 증착하고 이를 패터닝하여 형성할 수 있다.
- <24> 먼저, 금속층은 물리 기상 증착법 등을 이용하여 증착할 수 있다. 금속층은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 니오브(Nb), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta) 또는 이들의 합금 등을 포함하는 단일층 또는 다중층으로 이루어질 수 있다. 예를 들어, 금속층은 은(Ag), 구리(Cu), 또는 몰리브덴(Mo)으로 이루어진 단일층일 수 있다.
- <25> 다음으로, 제1 마스크(미도시)를 사용하여 사진 공정을 수행한다. 곧, 포토레지스트 도포, 노광 및 현상 공정을 수행한다. 그리고, 금속층의 일부를 식각하여서, 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)를 형성한다.
- <26> 이와 같이, 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)를 형성한 후에, 절연층(130)을 형성한다. 절연층(130)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합으로 이루어질 수 있으며, 화학 기상 증착법 등을 이용하여 형성할 수 있다.
- <27> 이어서, 도 2를 참조하면, 게이트 전극(122) 상에 액티브층(140)을 형성한다. 액티브층(140)은 산화물 반도체층을 증착하고, 이를 패터닝하여서 형성할 수 있다.
- <28> 먼저, 산화물 반도체층은 아연(Zn), 인듐(In), 갈륨(Ga), 및 주석(Sn) 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어질 수 있다. 이로 인한 효과에 대해서는 후술한다.
- <29> 다음으로, 제2 마스크(미도시)를 사용하여 사진 공정을 수행한다. 곧, 포토레지스트 도포, 노광 및 현상 공정을 수행한다. 그리고, 산화물 반도체층의 일부를 식각하여서, 게이트 전극(122) 상에 액티브 층(140)을 형성한다.
- <30> 여기서, 산화물 반도체층은 건식 식각 또는 습식 식각으로 식각할 수 있다. 건식 식각의 예로서는 트리 플로로 메탄(CHF₃)이나 메탄(CF₄) 가스 또는 이들에 아르곤(Ar) 또는 헬륨(He)이 함유된 식각 가스를 사용할 수 있다. 습식 식각의 예로서는 불산(HF)을 희석한 용액이나, 인산, 질산, 초산, 황산, 또는 염산 등을 포함하는 용액을 사용할 수 있다.
- <31> 이어서, 도 3을 참조하면, 감광성을 가지는 유기물층(150)을 형성하고, 슬릿부를 포함하는 제3 마스크(160)를 사용하여, 사진 공정을 수행한다.

- <32> 먼저, 유기물층(150)은 평탄화 특성이 우수한 물질로 이루어질 수 있다. 또한, 유기물층(150)은 특히, 네거티브 타입의 감광성을 가질 수 있다. 유기물층(150)이 네거티브 타입의 감광성을 가지면, 패턴 외측부의 경사각이 보다 수직에 가까워서 보다 정밀한 패터닝을 할 수 있다.
- <33> 다음으로, 서로 다른 두께의 유기물층(150) 패턴을 형성하기 위하여, 슬릿부를 포함하는 제3 마스크(160)를 사용하여, 노광 및 현상 공정을 수행한다. 슬릿부를 포함하는 제3 마스크(160)는 투광 영역(164)과, 차광 영역(162) 및 슬릿부가 형성되어 있는 반투과 영역(166)을 포함한다. 이와 같이, 슬릿부를 포함하는 제3 마스크(160)를 사용하여, 스토리지 커패시터(Cst)가 형성되는 영역의 유기물층(150)의 두께를 조절할 수 있다.
- <34> 도시하지는 않았지만, 슬릿부를 포함하는 제3 마스크(160) 대신 반투과부를 포함하는 제3 마스크(미도시)를 사용하여, 사진 공정을 수행할 수도 있다. 반투과부를 포함하는 제3 마스크는 일반적으로 하프톤 마스크라고 불린다.
- <35> 이어서, 도 4를 참조하면, 소스 영역을 노출하는 제1 홀(152)과, 드레인 영역을 노출하는 제2 홀(154)과, 게이트 패드(Gate Pad) 영역의 게이트 패드 홀(156), 및 스토리지 커패시터(Cst) 영역의 스토리지 커패시터 홀(158)을 포함하는 유기물층(150)을 형성한다.
- <36> 곧, 도 3에 도시한 사진 공정을 수행한 후의 유기물층(150)을 마스크로 하여서 제1 홀(152)과 제2 홀(154)과, 게이트 패드 홀(156), 및 스토리지 커패시터 홀(158)을 패터닝한다. 이 때, 패터닝은 예를 들어, TMAH(Tetramethyl ammonium hydroxide:테트라메틸 암모늄 하이드록사이드) 0.4 % 용액을 식각액으로 사용할 수 있다. 이와 같은 식각액을 사용하면, 아연(Zn), 인듐(In), 갈륨(Ga), 및 주석(Sn) 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어진 액티브층(140)의 손상을 줄일 수 있다.
- <37> 이어서, 도 5를 참조하면, 제1 홀(152)과, 제2 홀(154)과, 게이트 패드 홀(156)과, 스토리지 커패시터 홀(158), 그리고 유기물층(150) 상에 씨드층(170)을 형성한다.
- <38> 씨드층(170)은 예를 들어, 촉매 금속인 몰리브덴을 포함할 수 있다. 씨드층(170)과 촉매 금속에 대해서는 무전해도금을 설명하면서 후술한다.
- <39> 이어서, 도 6을 참조하면, CMP(chemical mechanical polishing:기계 화학적 연마) 공정(180)을 사용하여서, 박막 트랜지스터(TFT) 영역에서 제1 홀(152)과 제2 홀(154)을 제외한 유기물층(150) 상의 씨드층(170)을 제거한다. 또한, 스토리지 커패시터(Cst) 영역에서 스토리지 커패시터 홀(158)을 제외한 유기물층(150) 상의 씨드층(170)과, 게이트 패드(Gate Pad) 영역의 게이트 패드 홀(156)을 제외한 유기물층(150) 상의 씨드층(170)을 제거한다.
- <40> 이어서, 도 7을 참조하면, 도 6에 도시된 공정의 결과, 유기물층(150)의 상부에 형성되었던 씨드층이 제거되었다. 곧, 제1 홀(152)과 제2 홀(154), 스토리지 커패시터 홀(158)과, 게이트 패드 홀(156) 상에만, 씨드층(170)이 형성되어 있다.
- <41> 이어서, 도 8을 참조하면, 도전 물질(190)을 무전해도금(Electroless Plating : ELP)을 사용하여서 충전한다. 제1 홀(152)에 충전된 도전 물질(190)은 소스 전극(도 12의 192 참조)이 되고, 제2 홀(154)에 충전된 도전 물질(190)은 드레인 전극(도 12의 194 참조)이 된다.
- <42> 무전해도금은 외부로부터 전기 에너지를 공급하지 않고, 금속 이온과 환원제를 포함하는 수용액과, 촉매 금속을 이용하여 도금하는 방법이다. 여기서 금속 이온은 도전 물질(190)이 수용액 속에서 이온의 형태로 존재하는 것이다. 구체적으로 설명하면, 제1 홀(152)과, 제2 홀(154)과, 게이트 패드 홀(156), 및 스토리지 커패시터 홀(158)의 표면에 촉매 금속을 씨드층(170)의 형태로 형성하고, 그 위에 금속 이온을 수용액의 형태로 공급한다. 그러면, 환원제는 금속 이온이 금속 분자로 환원되도록 전자를 공급하고, 촉매 금속은 제1 홀(152)과, 제2 홀(154)과, 게이트 패드 홀(156), 및 스토리지 커패시터 홀(158)의 표면 상에서 금속이 석출되도록 한다.
- <43> 씨드층(170)이 예를 들어, 촉매 금속인 몰리브덴을 포함한 경우, 도전 물질(190)은 특히, 구리(Cu)를 포함하는 금속일 수 있다.
- <44> 이와 같이 도전 물질(190)을 무전해도금을 사용하여서 충전하면, 도전 물질(190)을 치밀하게 충전할 수 있고, 소스 전극의 두께와, 드레인 전극의 두께가 각각 1μm 이상이 되도록 할 수 있다. 이로 인한 효과는 후술한다.
- <45> 이어서, 도 9를 참조하면, CMP 공정을 사용하여서, 도전 물질(190)이 충전된 유기물층(150)을 평탄화한다. 그 결과, 무전해도금으로 인하여 문제될 수 있는 평탄화 문제를 해결할 수 있다. 곧, 소스 전극과 드레인 전극 및

유기물층(150)을 평탄화할 수 있다.

- <46> 이어서, 도 10을 참조하면, 제4 마스크(미도시)를 사용하여 사진 공정을 수행한다. 곧, 포토레지스트(PR) 도포, 노광 및 현상 공정을 수행한다. 사진 공정의 결과, 게이트 패드(Gate Pad) 상을 제외한 영역에 포토 레지스트(PR)가 도포된다.
- <47> 이어서, 도 11을 참조하면, 포토레지스트(PR)가 도포되지 않은 영역 상의 도전 물질(190) 및 절연층(130)을 제거한다.
- <48> 먼저, 게이트 패드(Gate Pad) 상의 도전 물질(190)을 식각한다. 이 때, 도전 물질(190)을 식각하는 과정에서 씨드 금속층(170)도 함께 식각할 수 있다.
- <49> 예를 들어, 도전 물질(190)이 은(Ag) 또는 구리(Cu)를 포함하는 금속으로 이루어진 경우, 인산, 질산, 초산 염산, 또는 황산을 포함하는 식각액을 사용할 수 있다. 다른 예를 들어, 도전 물질(190)이 몰리브덴(Mo) 또는 알루미늄(Al)으로 이루어진 경우, 알루미늄(Al) 식각액을 사용할 수 있다.
- <50> 다음으로, 게이트 패드(Gate Pad) 상의 절연층(130)을 식각한다.
- <51> 절연층(130)은 건식 식각으로 식각할 수 있다. 예를 들어, 염소 기체(Cl₂)와 산소 기체(O₂)를 베이스로 하는 가스 또는 육불화황 기체(SF₆)와 산소 기체(O₂)를 베이스로 하는 가스를 사용하여 식각할 수 있다.
- <52> 이어서, 도 12를 참조하면, 화소 전극용 도전층을 증착하고 이를 패터닝하여서, 소스 전극(192)과 연결된 데이터 패드(204)와, 데이터 패드(204)와 동일한 층으로서, 드레인 전극(194)과 연결된 화소 전극(200)을 형성한다.
- <53> 먼저, 화소 전극용 도전층은 비정질(amorphous) 구조 또는 부분적인 비정질(partially amorphous) 구조를 가진 투명 도전막일 수 있다. 예를 들어, a-ITO(amorphous-indium tin oxide)나 a-IZO(amorphous-indium zinc oxide) 또는 200℃ 이하에서 증착된 ITO일 수 있다.
- <54> 다음으로, 제5 마스크(미도시)를 사용하여 사진 공정을 수행한다. 곧, 포토레지스트 도포, 노광 및 현상 공정을 수행한다. 그리고, 화소 전극용 도전층을 일부 식각하여서 데이터 패드(204)와 화소 전극(200) 및 보조 게이트 패드(202)를 형성한다.
- <55> 한편, 화소 전극(200)은 스토리지 커패시터(Cst) 상의 도전 물질(190)과도 연결될 수 있다. 스토리지 커패시터(Cst) 상의 도전 물질(190)과 연결된 화소 전극(200)과 스토리지 전극(124)은 그 사이에 개재된 절연층(130)과 유기물층(150)을 유전체로 하여서 스토리지 커패시터(Cst)를 형성한다.
- <56> 그리고, 게이트 패드(Gate Pad) 상에는 데이터 패드(204)와 동일한 층으로서, 게이트 패드(126)와 연결된 보조 게이트 패드(202)가 형성된다. 보조 게이트 패드(202)에는 외부에서 게이트 신호가 제공되고, 이 신호는 게이트 패드(126) 및 게이트 라인(미도시)를 거쳐 게이트 전극(122)에 전달된다.
- <57> 이하, 본 발명의 제1 실시예에 따른 액정 표시 장치의 특징에 대하여 설명한다.
- <58> 첫째, 본 발명의 제1 실시예가 포함하는 박막 트랜지스터(TFT)는 드레인 전극(194)과 소스 전극(192)을 형성하는 데 있어서, 무전해 도금을 사용하여서 도전 물질을 충전한다.
- <59> 따라서, 소스 전극의 두께와, 드레인 전극의 두께가 각각 1μm 이상이 되도록 할 수 있다. 또한 이들과 연결되는 배선들의 두께를 두껍게 하여서, 액정 표시 장치의 배선 저항을 줄일 수 있다.
- <60> 둘째, 액티브 층(152)으로서 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체를 사용하여, 박막 트랜지스터(TFT)의 성능을 향상시켜서, 액정 표시 장치의 증가된 부하 조건 하에서도 박막 트랜지스터(TFT)가 신뢰성 있게 동작할 수 있다.
- <61> 먼저, 액티브 층(152)의 전계 효과 이동도(field effect mobility)가 향상될 수 있고, 박막 트랜지스터(TFT)의 ON/OFF 전류비가 10^5 이상 10^7 이하에 이르는 뛰어난 스위칭 특성을 나타낼 수 있다.
- <62> 구체적으로, Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체들의 예로서는 ZnO, InGaZnO₄, Zn-In-O, Zn-Sn-O 등을 들 수 있다. 이들은 수소화된 비정질 규소(a-Si:H)에 비하여 전계 효과 이동도가 10배 내지 100배 가까이 크다. 예를 들어, 비정질 구조를 가진 In₂O₃, Ga₂O₃, ZnO 등이 혼합된 산화물 반도체를 사용하면, 탈수소화된 비정질 규소(a-Si)의 전계 효과 이동도와 비교하여, 전계 이동도가 20배 이상 향상될 수 있다. 특히, ZnO의 경우 이론적으로 최대 200cm²/V·s의 값을 얻을 수 있고, 이 값은 폴리 실리콘(p-

Si)에 필적하는 값이다.

- <63> 다음으로, 액티브 층(152)으로서 폴리 실리콘(p-Si)을 사용하는 경우와 비교하여, 박막 트랜지스터(TFT) 특성의 균일성을 향상시킬 수 있다.
- <64> 구체적으로 폴리 실리콘(p-Si)으로 이루어진 액티브 층(152)은 비정질 실리콘(a-Si)을 화학 기상 증착법 등을 이용하여 증착하고 탈수소화 과정을 거친 후, 레이저 어닐링과 같은 레이저 결정 작업을 하고, 붕소 등의 불순물을 이온 주입하여 형성할 수 있다. 그런데, 이러한 과정에서 절연 기판(110) 상의 전 영역에 걸쳐서 폴리 실리콘(p-Si)을 균일하게 형성하는 데에는 한계가 있다. 이렇게 박막 트랜지스터(TFT)들의 액티브 층(152)을 이루는 폴리 실리콘(p-Si)이 균일하지 아니하면, 각 박막 트랜지스터(TFT)마다 다른 특성을 나타낼 수 있다.
- <65> 반면, Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체들은 비정질이므로, 액티브 층(152)의 균일성이 향상될 수 있어서, 박막 트랜지스터(TFT) 특성의 균일성을 향상시킬 수 있다.
- <66> 이하, 도 1, 도 2, 도 5 내지 도 11, 도 13 내지 도 15를 참조하여, 본 발명의 제2 실시예에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 도 13 내지 도 15는 본 발명의 제2 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. 제1 실시예에서와 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 설명의 편의상 본 발명의 제1 실시예를 설명하면서 설명된 공정 단계들과 구성 요소들에 대해서는 상세한 설명을 생략한다.
- <67> 도 1을 참조하면, 절연 기판(110) 상에 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)를 형성하고, 그 위에 절연층(130)을 형성한다.
- <68> 이어서, 도 2를 참조하면, 게이트 전극(122) 상에 액티브층(140)을 형성한다. 액티브층(140)은 산화물 반도체층을 증착하고, 이를 패터닝하여서 형성할 수 있다.
- <69> 이어서, 도 13을 참조하면, 감광성을 가지는 유기물층(150)을 형성하고, 제3 마스크(260)를 사용하여, 사진 공정을 수행한다. 제1 실시예와는 달리 제3 마스크(260)는 차광부(262)와 투광부(264)를 포함하고, 슬릿부나 반투광부를 포함하지 아니한다.
- <70> 이어서, 도 14를 참조하면, 소스 영역을 노출하는 제1 홀(152)과, 드레인 영역을 노출하는 제2 홀(154)과, 게이트 패드(Gate Pad) 영역의 게이트 패드 홀(156), 및 스토리지 커패시터(Cst) 영역의 스토리지 커패시터 홀(158)을 포함하는 유기물층(150)을 형성한다. 제1 실시예와는 달리, 스토리지 커패시터(Cst) 영역 상의 유기물층(150)이 식각된다.
- <71> 이어서, 도 5를 참조하면, 제1 홀(152)과, 제2 홀(154)과, 게이트 패드 홀(156)과, 스토리지 커패시터 홀(158), 그리고 유기물층(150) 상에 씨드층(170)을 형성한다.
- <72> 이어서, 도 6을 참조하면, CMP 공정을 사용하여, 박막 트랜지스터(TFT) 영역에서 제1 홀(152)과 제2 홀(154)을 제외한 유기물층(150) 상의 씨드층(170)을 제거한다.
- <73> 이어서, 도 7을 참조하면, 도 6에 도시된 공정의 결과, 유기물층(150)의 상부에 형성되었던 씨드층이 제거되었다.
- <74> 이어서, 도 8을 참조하면, 도전 물질(190)을 무전해도금을 사용하여서 증진한다.
- <75> 이어서, 도 9를 참조하면, CMP 공정을 사용하여서, 도전 물질(190)이 충전된 유기물층(150)을 평탄화한다.
- <76> 이어서, 도 10을 참조하면, 제4 마스크(미도시)를 사용하여 사진 공정을 수행한다.
- <77> 이어서, 도 11을 참조하면, 포토레지스트(PR)가 도포되지 않은 영역 상의 도전 물질(190) 및 절연층(130)을 제거한다.
- <78> 이어서, 도 15를 참조하면, 화소 전극용 도전층을 증착하고 이를 패터닝하여서, 소스 전극(192)과 연결된 데이터 패드(204)와, 데이터 패드(204)와 동일한 층으로서, 드레인 전극(194)과 연결된 화소 전극(200)을 형성한다. 그리고, 게이트 패드(Gate Pad) 상에는 데이터 패드(204)와 동일한 층으로서, 게이트 패드(126)와 연결된 보조 게이트 패드(202)가 형성된다.
- <79> 이하, 본 발명의 제2 실시예에 따른 액정 표시 장치의 특징에 대하여 설명한다.
- <80> 첫째, 제1 실시예와 마찬가지로, 액정 표시 장치의 배선 저항을 줄일 수 있다.

- <81> 둘째, 제1 실시예와 마찬가지로, 액티브 층(152)으로서 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체를 사용하여, 박막 트랜지스터(TFT)의 성능을 향상시킬 수 있다.
- <82> 셋째, 제1 실시예(도 12 참조)에서는 스토리지 전극(124)과 이에 대향하는 화소 전극(200)의 일부 사이에 절연층(130)과 유기물층(150)이 함께 개재되었다. 제2 실시예에서는 스토리지 전극(124)과 이에 대향하는 화소 전극(200)의 일부 사이에 절연층(130)만이 개재된다. 따라서, 제2 실시예에서는 절연층(130)만이 스토리지 전극(124)과 이에 대향하는 화소 전극(200)의 일부 사이의 스토리지 커패시턴스를 이루는 유전체가 되므로, 제1 실시예와 비교하여, 스토리지 커패시턴스를 키울 수 있다. 따라서, 높은 전압 보전율(voltage-holding-ratio : VHR)을 필요로 하는 구조에서 효과적으로 사용될 수 있다.
- <83> 이하, 도 1 내지 도 4, 및 도 16 내지 도 19를 참조하여, 본 발명의 제3 실시예에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 도 16 내지 도 19는 본 발명의 제2 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. 제1 실시예에서와 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 설명의 편의상 본 발명의 제1 실시예를 설명하면서 설명된 공정 단계들과 구성 요소들에 대해서는 상세한 설명을 생략한다.
- <84> 도 1을 참조하면, 절연 기판(110) 상에 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)를 형성하고, 그 위에 절연층(130)을 형성한다.
- <85> 여기서, 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)은 바람직하게는 IZO/Ag/IZO 또는 ITO/Ag/ITO의 삼중막 구조일 수 있다.
- <86> 구체적으로, 절연 기판(110) 상에 은(Ag)을 단일막으로 증착하는 경우 절연 기판(110)과의 접촉 특성이 좋지 않다. 그런데, 접촉 특성이 우수한 IZO 또는 ITO를 하부에 형성하고, 그 위에 은(Ag)을 형성하면, 이러한 접촉 특성 문제를 해결할 수 있다. 그리고, 은(Ag)의 상부에 다시 IZO 또는 ITO를 형성하면, 그 위에 형성되는 절연층(130)과의 접촉 특성 문제를 해결할 수 있다.
- <87> 이어서, 도 2를 참조하면, 게이트 전극(122) 상에 액티브층(140)을 형성한다. 액티브층(140)은 산화물 반도체층을 증착하고, 이를 패터닝하여서 형성할 수 있다.
- <88> 이어서, 도 3을 참조하면, 감광성을 가지는 유기물층(150)을 형성하고, 슬릿부를 포함하는 제3 마스크(160)를 사용하여, 사진 공정을 수행한다.
- <89> 어서, 도 4를 참조하면, 소스 영역을 노출하는 제1 홀(152)과, 드레인 영역을 노출하는 제2 홀(154)과, 게이트 패드(Gate Pad) 영역의 게이트 패드 홀(156), 및 스토리지 커패시터(Cst) 영역의 스토리지 커패시터 홀(158)을 포함하는 유기물층(150)을 형성한다.
- <90> 이어서, 도 16을 참조하면, 버퍼층용 도전층(210)을 형성하고, 그 위에 금속층(220)을 차례로 형성한다.
- <91> 먼저, 버퍼층용 도전층(210)은 비정질 구조 또는 부분적인 비정질 구조를 가진 투명 도전막일 수 있다. 예를 들어, a-ITO나 a-IZO(amorphous-indium zinc oxide) 또는 200℃ 이하에서 증착된 ITO일 수 있다.
- <92> 다음으로 금속층(220)은 물리 기상 증착법 등을 이용하여 증착할 수 있다. 금속층(220)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 니오브(Nb), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta) 또는 이들의 합금 등을 포함하는 단일층일 수 있다. 바람직하게는, 금속층(220)은 은(Ag)일 수 있다. 이에 대해서는 본 실시예에 따른 특징을 설명하면서 후술한다.
- <93> 이어서, 도 17을 참조하면, 제4 마스크(미도시)를 사용하여 사진 공정을 수행한다. 곧, 포토레지스트(PR) 도포, 노광 및 현상 공정을 수행한다.
- <94> 이어서, 도 18을 참조하면, 제1 버퍼층(212)과 제2 버퍼층(214) 및 소스 전극(222)과 드레인 전극(224)을 형성한다. 제1 버퍼층(212)과 제2 버퍼층(214)은 액티브(140) 상에 이격하게 형성되고, 소스 전극(222)은 제1 버퍼층(212) 상에 형성되며, 드레인 전극(224)은 제2 버퍼층(214) 상에 형성된다. 여기서, 도 16에 도시된 공정에서 금속층(도 16의 220 참조)으로서 은(Ag)을 사용하였다면, 소스 전극(222)과 드레인 전극(224)은 은(Ag)으로 이루어진다.
- <95> 구체적으로, 도 17에서 포토레지스트가 도포되지 아니한 영역 상의 버퍼층용 도전층(210)과, 금속층(220)을 식각한다. 버퍼층용 도전층(210)과, 금속층(220)은 습식 식각을 이용할 수 있으며, 이를 일괄적으로 식각할 수 있

는 식각액을 사용할 수도 있다.

- <96> 이 때, 제1 버퍼층(212)과 제2 버퍼층(214)이 형성된 영역을 제외한 액티브층(140) 상에는 유기물층(150)이 형성되어 있으므로, 습식 식각으로부터 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어진 액티브층(140)을 보호할 수 있다.
- <97> 이어서, 도 19를 참조하면, 화소 전극용 도전층을 증착하고 이를 패터닝하여서, 소스 전극(222)과 연결된 데이터 패드(234)와, 데이터 패드(234)와 동일한 층으로서, 드레인 전극(214)과 연결된 화소 전극(230)을 형성한다. 그리고, 게이트 패드(Gate Pad) 상에는 데이터 패드(234)와 동일한 층으로서, 게이트 패드(126)와 연결된 보조 게이트 패드(232)를 형성한다.
- <98> 이하, 본 발명의 제3 실시예에 따른 액정 표시 장치의 특징에 대하여 설명한다.
- <99> 첫째, 본 발명의 제3 실시예가 포함하는 박막 트랜지스터(TFT)는 드레인 전극(194)과 소스 전극(192)을 형성하는 데 있어서, 특히, 은(Ag)을 사용할 수 있다. 은(Ag)은 단일막으로 증착하는 경우 접촉 특성이 좋지 않은데, 접촉 특성이 우수한 IZO 또는 ITO를 하부에 제1 및 제2 버퍼층(202, 204)으로서 형성하고, 그 위에 은(Ag)을 형성하므로, 접촉 특성 문제를 해결할 수 있다.
- <100> 또한, 액티브층(140)으로서 a-Si를 사용하는 경우, 액티브층(140)과 드레인 전극(194) 또는 소스 전극(192)과의 사이에 옴릭 콘택(ohmic contact)이 형성되지 않는다. 그러나, 본 발명에서는 액티브층(140)으로서 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체를 사용하므로, 이러한 문제가 해결된다.
- <101> 이와 같이 드레인 전극(194)과 소스 전극(192) 및 이들과 연결되는 배선들에 비저항값이 낮은 은(Ag)을 사용할 수 있으므로, 액정 표시 장치의 배선 저항을 줄일 수 있다.
- <102> 둘째, 제1 실시예와 마찬가지로, 액티브 층(140)으로서 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체를 사용하여, 박막 트랜지스터(TFT)의 성능을 향상시킬 수 있다.
- <103> 이하, 도 1, 도 2, 도 17, 도 18, 도 20 내지 도 22를 참조하여, 본 발명의 제4 실시예에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 도 20 내지 도 22는 본 발명의 제4 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. 제3 실시예에서와 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 설명의 편의상 본 발명의 제3 실시예를 설명하면서 설명된 공정 단계들과 구성 요소들에 대해서는 상세한 설명을 생략한다.
- <104> 도 1을 참조하면, 절연 기판(110) 상에 게이트 전극(122)과 스토리지 전극(124) 및 게이트 패드(126)를 형성하고, 그 위에 절연층(130)을 형성한다.
- <105> 이어서, 도 2를 참조하면, 게이트 전극(122) 상에 액티브층(140)을 형성한다. 액티브층(140)은 산화물 반도체층을 증착하고, 이를 패터닝하여서 형성할 수 있다.
- <106> 이어서, 도 20을 참조하면, 감광성을 가지는 유기물층(150)을 형성하고, 제3 마스크(260)를 사용하여, 사진 공정을 수행한다. 제3 실시예와는 달리 제3 마스크(260)는 차광부(262)와 투광부(264)만을 포함하고, 슬릿부나 반투광부를 포함하지 아니한다.
- <107> 이어서, 도 21을 참조하면, 소스 영역을 노출하는 제1 홀과, 드레인 영역을 노출하는 제2 홀과, 게이트 패드(Gate Pad) 영역의 게이트 패드 홀, 및 스토리지 커패시터(Cst) 영역의 스토리지 커패시터 홀을 포함하는 유기물층(150)을 형성한다. 이 때, 제1 실시예와는 달리, 스토리지 커패시터(Cst) 영역 상의 유기물층(150)이 식각된다. 그리고, 버퍼층용 도전층(210)을 형성하고, 그 위에 금속층(220)을 차례로 형성한다.
- <108> 이어서, 도 17을 참조하면, 제4 마스크(미도시)를 사용하여 사진 공정을 수행한다. 곧, 포토레지스트(PR) 도포, 노광 및 현상 공정을 수행한다.
- <109> 이어서, 도 18을 참조하면, 제1 버퍼층(212)과 제2 버퍼층(214) 및 소스 전극(222)과 드레인 전극(224)을 형성한다.
- <110> 이어서, 도 22를 참조하면, 화소 전극용 도전층을 증착하고 이를 패터닝하여서, 소스 전극(222)과 연결된 데이터 패드(234)와, 데이터 패드(234)와 동일한 층으로서, 드레인 전극(214)과 연결된 화소 전극(230)을 형성한다. 그리고, 게이트 패드(Gate Pad) 상에는 데이터 패드(234)와 동일한 층으로서, 게이트 패드(126)와 연결된 보조 게이트 패드(232)를 형성한다.

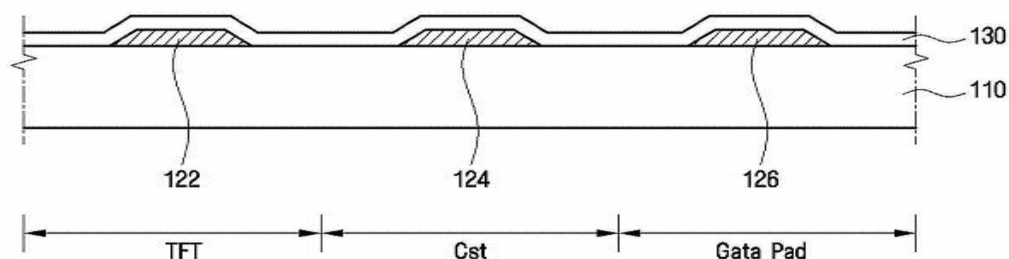
- <111> 이하, 본 발명의 제4 실시예에 따른 액정 표시 장치의 특징에 대하여 설명한다.
- <112> 첫째, 제3 실시예와 마찬가지로, 액정 표시 장치의 배선 저항을 줄일 수 있다.
- <113> 둘째, 제3 실시예와 마찬가지로, 액티브 층(140)으로서 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체를 사용하여, 박막 트랜지스터(TFT)의 성능을 향상시킬 수 있다.
- <114> 셋째, 제4 실시예(도 19 참조)에서는 스토리지 전극(124)과 이에 대향하는 화소 전극(200)의 일부 사이에 절연층(130)과 유기물층(150)이 함께 개재되었다. 제4 실시예에서는 스토리지 전극(124)과 이에 대향하는 화소 전극(200)의 일부 사이에 절연층(130)만이 개재된다. 따라서, 제4 실시예에서는 절연층(130)만이 스토리지 전극(124)과 이에 대향하는 화소 전극(200)의 일부 사이의 스토리지 커패시턴스를 이루는 유전체가 되므로, 제3 실시예와 비교하여, 스토리지 커패시턴스를 키울 수 있다. 따라서, 높은 전압 보전율(voltage-holding-ratio : VHR)을 필요로 하는 구조에서 효과적으로 사용될 수 있다.
- <115> 이상 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

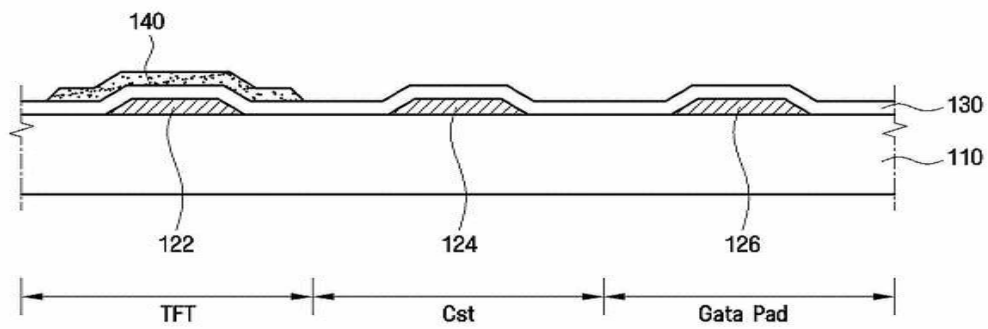
- | | | |
|-------|---|----------------|
| <116> | 도 1 내지 도 12는 본 발명의 제1 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. | |
| <117> | 도 13 내지 도 15는 본 발명의 제2 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. | |
| <118> | 도 16 내지 도 19는 본 발명의 제2 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. | |
| <119> | 도 20 내지 도 22는 본 발명의 제4 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. | |
| <120> | (도면의 주요 부분에 대한 부호의 설명) | |
| <121> | 110 : 절연 기판 | 122 : 게이트 전극 |
| <122> | 124 : 스토리지 전극 | 126 : 게이트 패드 |
| <123> | 130 : 절연층 | 140 : 액티브층 |
| <124> | 150 : 유기물층 | 152 : 제1 홀 |
| <125> | 154 : 제2 홀 | 156 : 게이트 패드 홀 |
| <126> | 158 : 스토리지 커패시터 홀 | 180 : CMP 공정 |
| <127> | 190 : 도전 물질 | 200 : 화소 전극 |
| <128> | 202 : 보조 게이트 패드 | 204 : 데이터 패드 |

도면

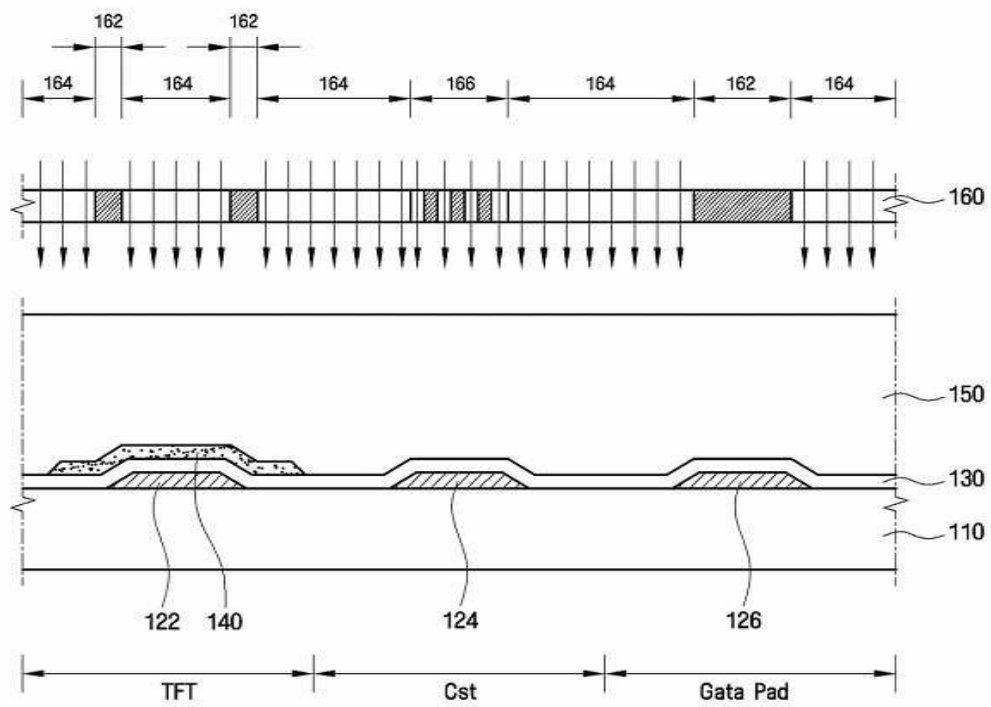
도면1



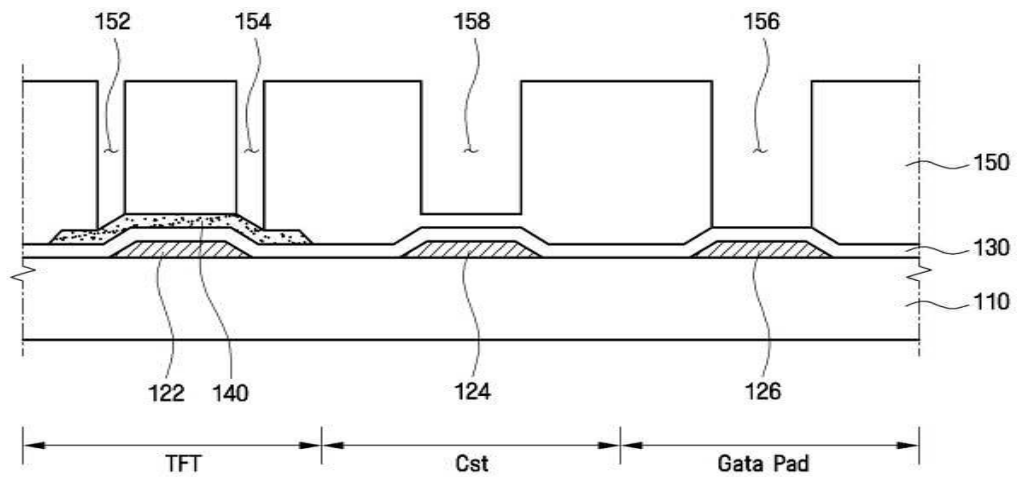
도면2



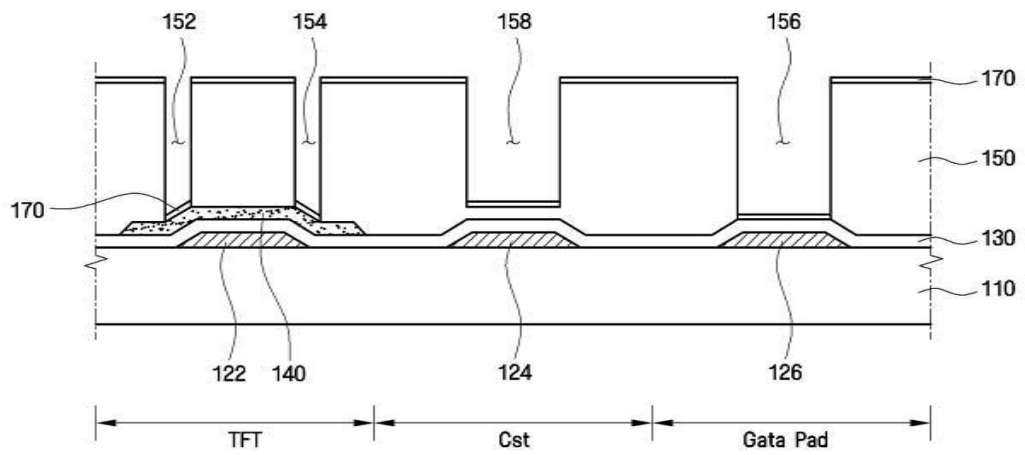
도면3



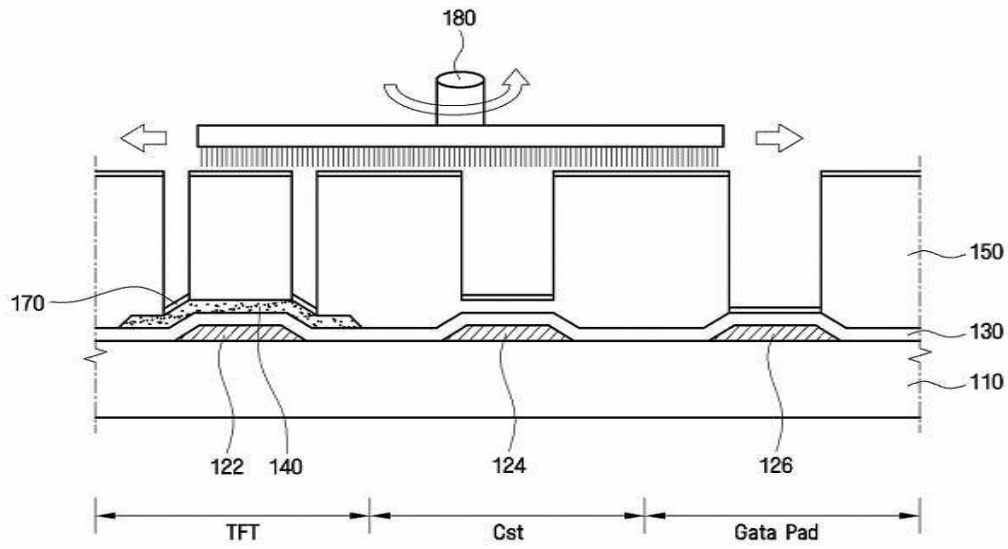
도면4



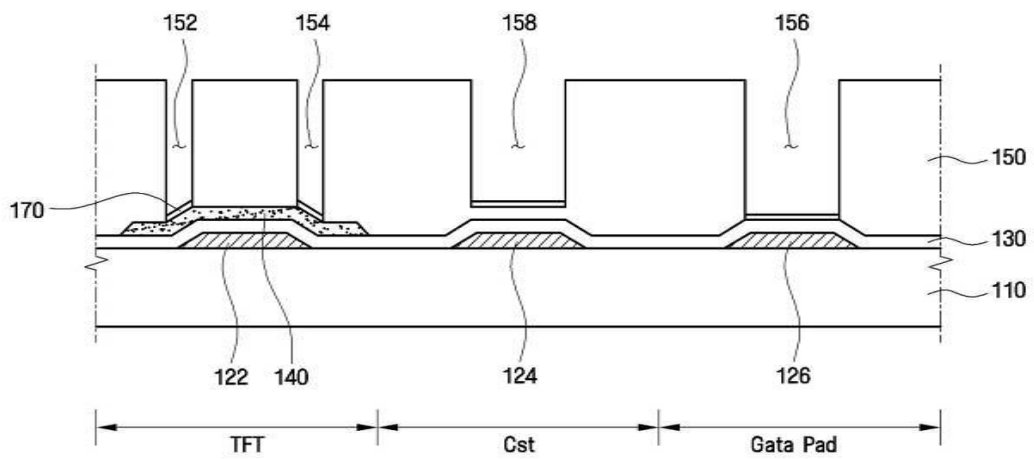
도면5



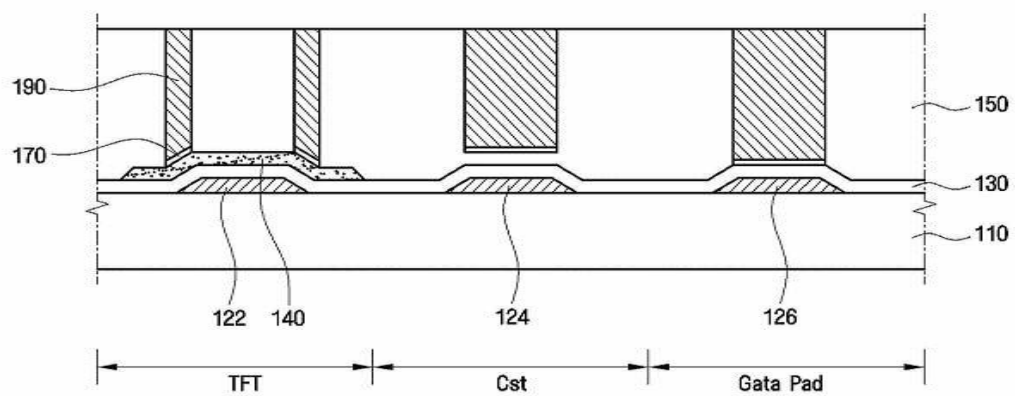
도면6



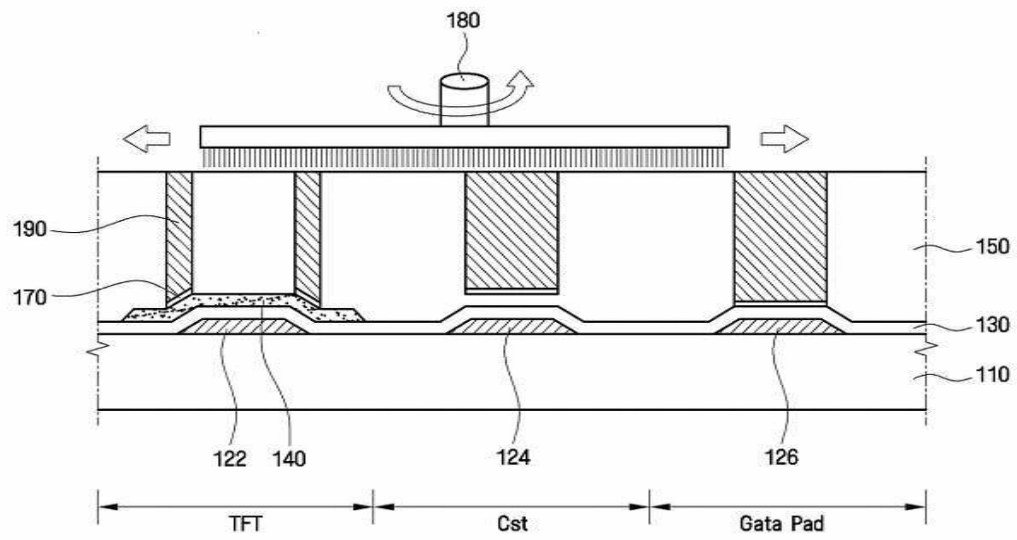
도면7



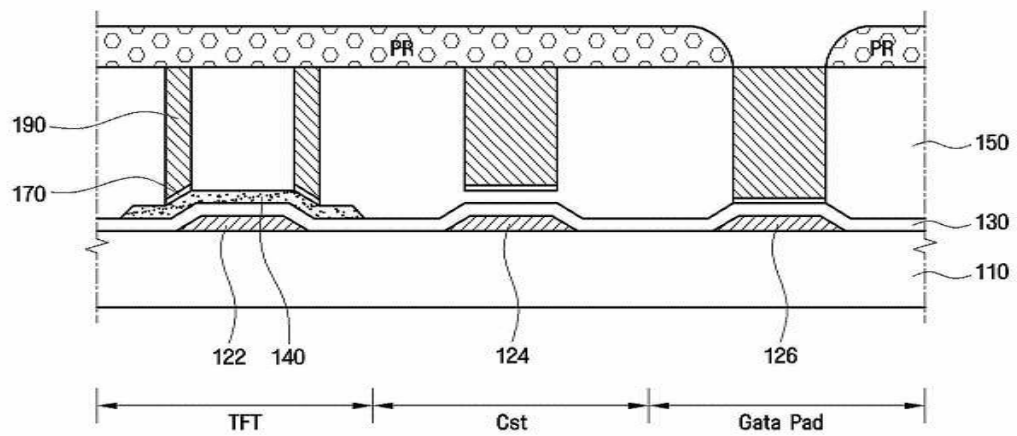
도면8



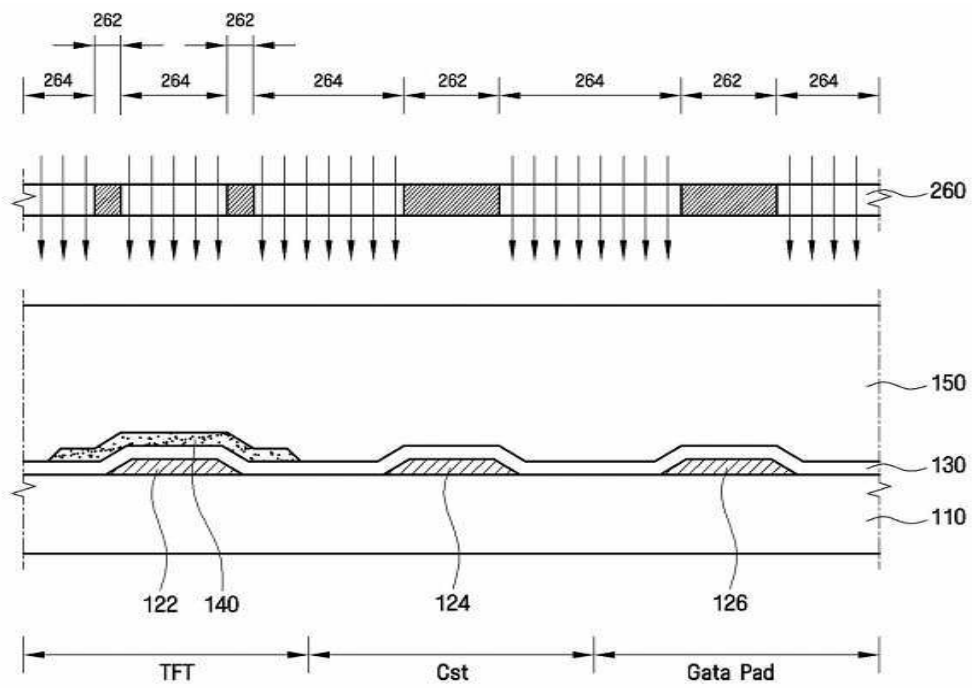
도면9



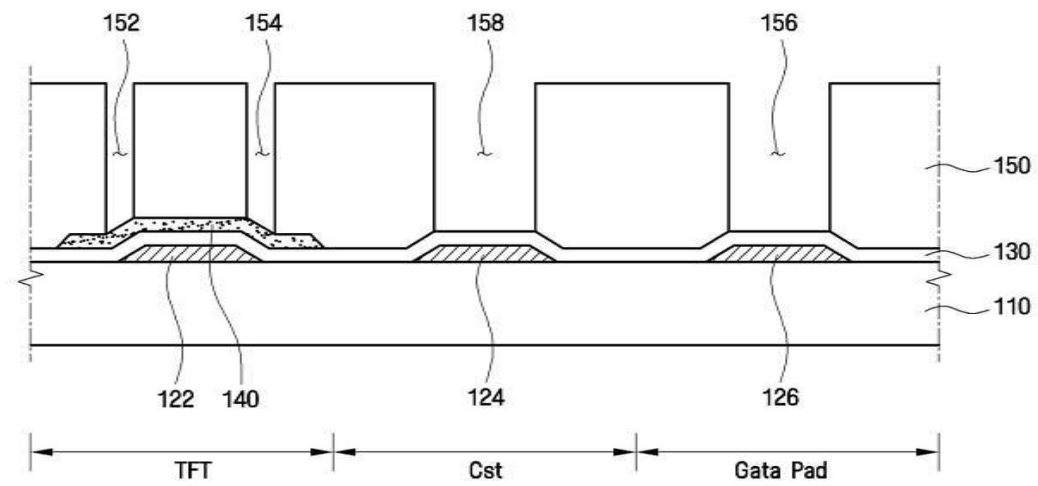
도면10



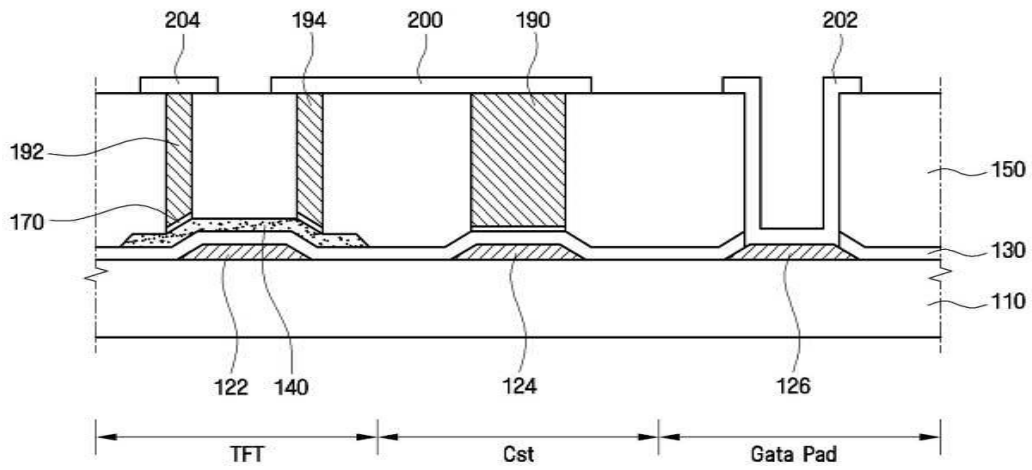
도면13



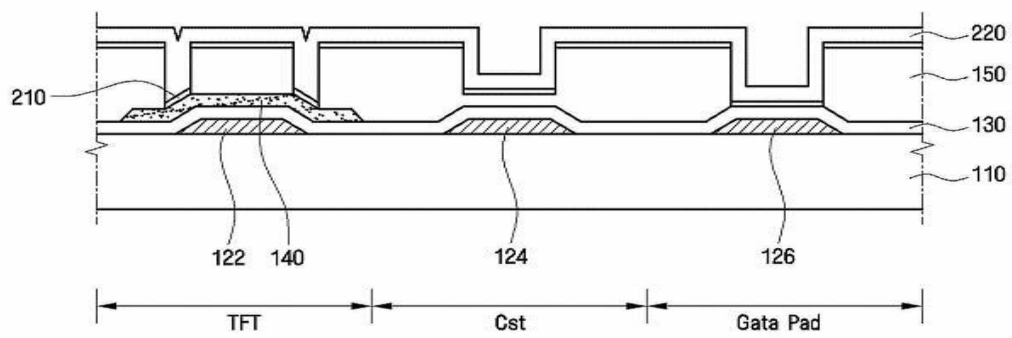
도면14



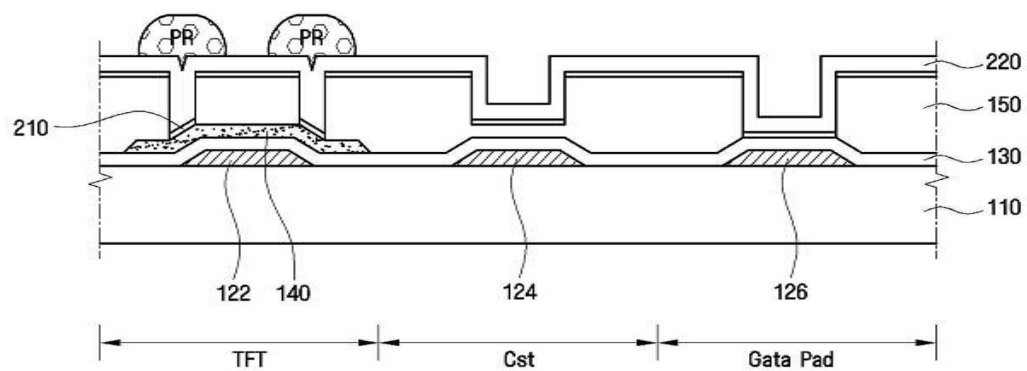
도면15



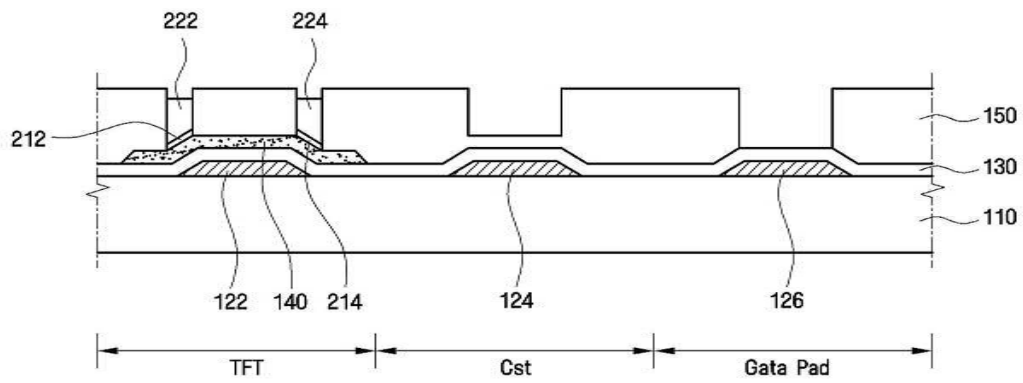
도면16



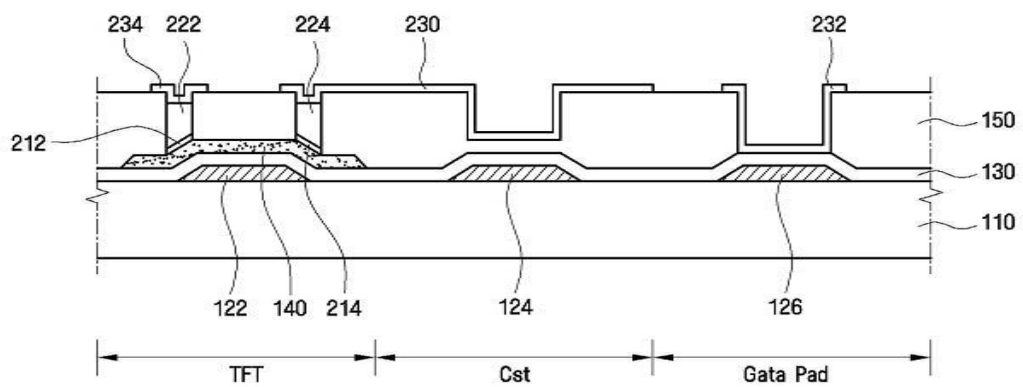
도면17



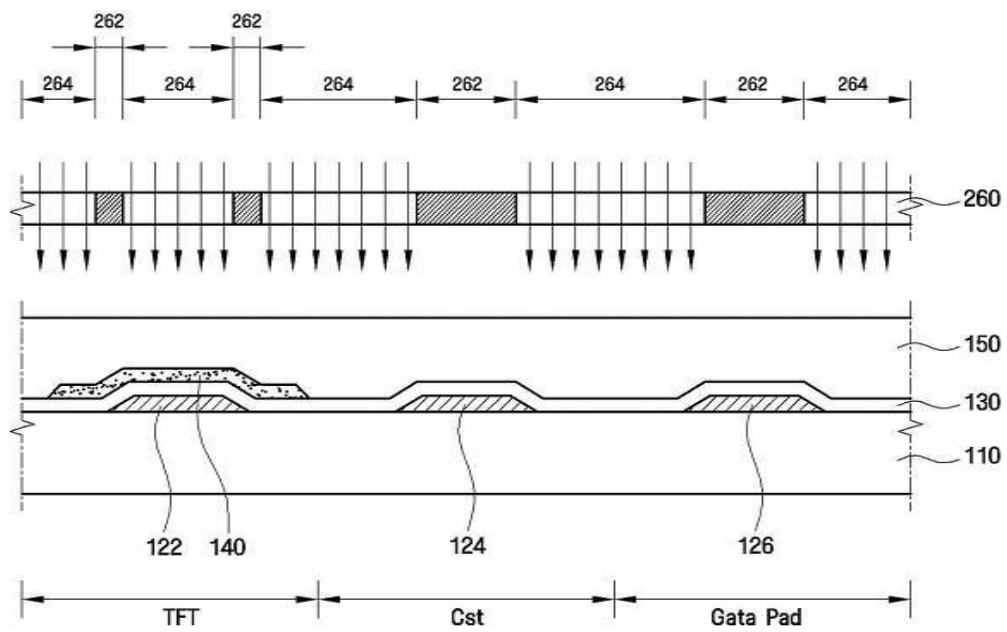
도면18



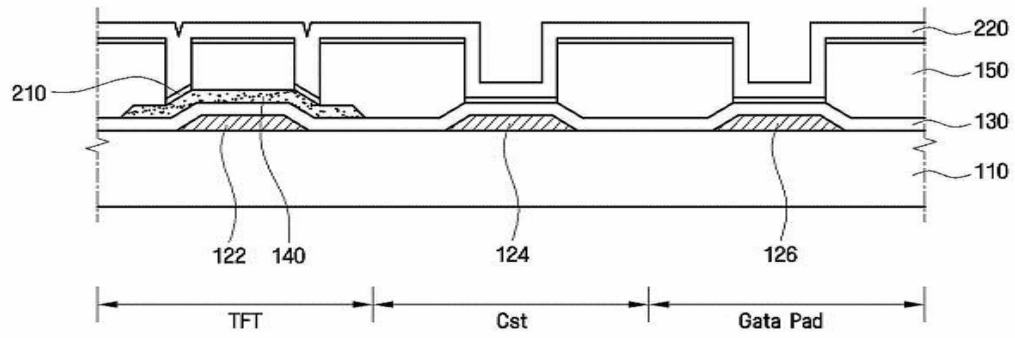
도면19



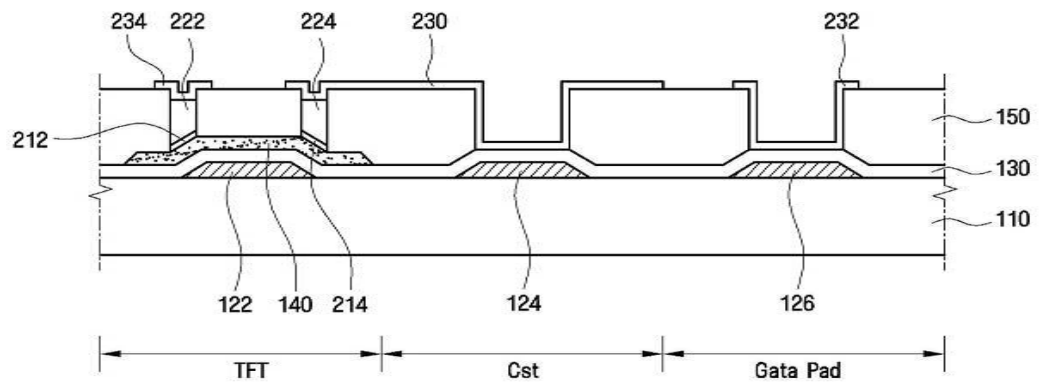
도면20



도면21



도면22



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020090076046A	公开(公告)日	2009-07-13
申请号	KR1020080001784	申请日	2008-01-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI SEUNG HA 최승하 OH MIN SEOK 오민석 JEONG YU GWANG 정유광 CHIN HONG KEE 진흥기 CHOI SHIN IL 최신일 KIM SANG GAB 김상갑 YOON KAP SOO 윤갑수 JUNG DOO HEE 정두희		
发明人	최승하 오민석 정유광 진흥기 최신일 김상갑 윤갑수 정두희		
IPC分类号	G02F1/136		
CPC分类号	H01L27/13 H01L27/1214 H01L27/1288 G02F1/136213 G02F1/136227 H01L27/12 H01L27/124 H01L27/1248 H01L27/1255		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器及其制造方法，用于包括具有改善性能的薄膜晶体管。液晶显示器包括形成在绝缘基板上的栅电极，包括形成在栅电极上的有源层的有机层，暴露漏区的第一孔和第二孔，以及源电极，第一个孔是充电和第二孔充电的漏电极。第一个孔形成在有源层上并暴露出区域源。薄膜晶体管，氧化物半导体，低电阻布线，电荷，缓冲层。

