



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월15일
(11) 등록번호 10-1868065
(24) 등록일자 2018년06월08일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
- (52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 2230/00 (2013.01)
- (21) 출원번호 10-2018-0016316(분할)
- (22) 출원일자 2018년02월09일
심사청구일자 2018년02월09일
- (65) 공개번호 10-2018-0019625
- (43) 공개일자 2018년02월26일
- (62) 원출원 특허 10-2016-0182798
원출원일자 2016년12월29일
심사청구일자 2016년12월29일
- (30) 우선권주장
JP-P-2008-292197 2008년11월14일 일본(JP)
- (56) 선행기술조사문헌
JP10031202 A
JP2007250052 A
JP2007293995 A
KR1020060129697 A
- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
키무라 하지메
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

전체 청구항 수 : 총 6 항

심사관 : 추장희

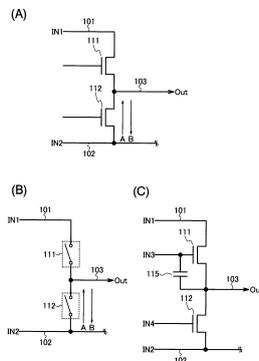
(54) 발명의 명칭 액정 표시 장치

(57) 요약

트랜지스터의 열화(劣化)에 따른 회로의 동작 불량을 억제하는 것을 목적의 하나로 한다.

화소나 회로 중에서, 어느 특정 레벨의 신호(L 레벨 신호)를 계속하여 출력하는 트랜지스터에서, 이 트랜지스터를 흐르는 전류의 방향을 바꾸는(반전시키는) 구성으로 한다. 즉, 트랜지스터의 제1 단자와 제2 단자(소스 또는 드레인이 되는 단자)에 가하는 전압의 대소 관계를 임의의 기간마다 바꿈으로써, 소스와 드레인을 임의의 기간마다 전환하는 구성으로 한다. 구체적으로는, 트랜지스터를 가지는 회로에서, 어느 특정 레벨의 신호(L 레벨 신호)를 계속하여 출력하는 부분에서는, 이 특정 레벨의 신호로서, 서로 다른 복수의 전위를 가지는 L 레벨 신호(임의의 기간마다 전위가 변화하는 L 레벨 신호)를 이용한다.

대표도 - 도1



(52) CPC특허분류

G09G 2310/0286 (2013.01)

G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,

시프트 레지스터 회로를 포함하고,

상기 시프트 레지스터 회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 및 제 8 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 6 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 1 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 2 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 3 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 전기적으로 접속되고,

상기 제 7 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 전기적으로 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 4 배선에 전기적으로 접속되고,

상기 제 8 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 4 배선에 전기적으로 접속되고,

상기 제 8 트랜지스터의 게이트는 상기 제 4 배선에 전기적으로 접속되는, 반도체 장치.

청구항 2

반도체 장치로서,

시프트 레지스터 회로를 포함하고,

상기 시프트 레지스터 회로는 제 1 단과 제 2 단을 포함하고,

상기 제 1 단은 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 및 제 8 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 6 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 1 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 2 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 3 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 전기적으로 접속되고,

상기 제 7 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 전기적으로 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 4 배선에 전기적으로 접속되고,

상기 제 8 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 4 배선에 전기적으로 접속되고,

상기 제 8 트랜지스터의 게이트는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 2 단은 제 9 트랜지스터를 포함하고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 9 트랜지스터에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽은 화소에 전기적으로 접속되는, 반도체 장치.

청구항 3

반도체 장치로서,

시프트 레지스터 회로를 포함하고,

상기 시프트 레지스터 회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터, 제 10 트랜지스터, 제 11 트랜지스터, 및 제 12 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 게이트는 상기 제 9 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 게이트는 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 1 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 2 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 3 배선에 전기적으로 접속되고,
 상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 7 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 9 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 4 배선에 전기적으로 접속되고,
 상기 제 8 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 4 배선에 전기적으로 접속되고,
 상기 제 8 트랜지스터의 게이트는 상기 제 4 배선에 전기적으로 접속되고,
 상기 제 9 트랜지스터의 게이트는 제 5 배선에 전기적으로 접속되고,
 상기 제 10 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 11 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 10 트랜지스터의 게이트는 상기 제 12 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 10 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 6 배선에 전기적으로 접속되고,
 상기 제 12 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 6 배선에 전기적으로 접속되고,
 상기 제 12 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 4

반도체 장치로서,
 시프트 레지스터 회로를 포함하고,
 상기 시프트 레지스터 회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트

랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 및 제 8 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 4 트랜지스터의 게이트에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 게이트에 직접 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 게이트에 직접 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 6 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 1 배선에 직접 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 직접 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 2 배선에 직접 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 3 배선에 직접 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 직접 접속되고,

상기 제 7 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 직접 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 4 배선에 직접 접속되고,

상기 제 8 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 4 배선에 직접 접속되고,

상기 제 8 트랜지스터의 게이트는 상기 제 4 배선에 직접 접속되는, 반도체 장치.

청구항 5

반도체 장치로서,

시프트 레지스터 회로를 포함하고,

상기 시프트 레지스터 회로는 제 1 단과 제 2 단을 포함하고,

상기 제 1 단은 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 및 제 8 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 4 트랜지스터의 게이트에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 게이트에 직접 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 게이트에 직접 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,
 상기 제 6 트랜지스터의 게이트는 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,
 상기 제 6 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 1 배선에 직접 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 직접 접속되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 2 배선에 직접 접속되고,
 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 3 배선에 직접 접속되고,
 상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 직접 접속되고,
 상기 제 7 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 직접 접속되고,
 상기 제 6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 4 배선에 직접 접속되고,
 상기 제 8 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 4 배선에 직접 접속되고,
 상기 제 8 트랜지스터의 게이트는 상기 제 4 배선에 직접 접속되고,
 상기 제 2 단은 제 9 트랜지스터를 포함하고,
 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 9 트랜지스터에 직접 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽은 화소에 직접 접속되는, 반도체 장치.

청구항 6

반도체 장치로서,

시프트 레지스터 회로를 포함하고,

상기 시프트 레지스터 회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터, 제 10 트랜지스터, 제 11 트랜지스터, 및 제 12 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 3 트랜지스터의 게이트에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 4 트랜지스터의 게이트에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 게이트에 직접 접속되고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 9 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 게이트에 직접 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 6 트랜지스터의 상기 게이트는 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 1 배선에 직접 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 직접 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 2 배선에 직접 접속되고,
 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 3 배선에 직접 접속되고,
 상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 직접 접속되고,
 상기 제 7 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 직접 접속되고,
 상기 제 9 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 배선에 직접 접속되고,
 상기 제 6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 4 배선에 직접 접속되고,
 상기 제 8 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 4 배선에 직접 접속되고,
 상기 제 8 트랜지스터의 게이트는 상기 제 4 배선에 직접 접속되고,
 상기 제 9 트랜지스터의 게이트는 제 5 배선에 직접 접속되고,
 상기 제 10 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 11 트랜지스터의 소스 및 드레인 중 한쪽에 직접 접속되고,
 상기 제 10 트랜지스터의 게이트는 상기 제 12 트랜지스터의 게이트에 직접 접속되고,
 상기 제 10 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 6 배선에 직접 접속되고,
 상기 제 12 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 6 배선에 직접 접속되고,
 상기 제 12 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 5 배선에 직접 접속되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치에 관한 것으로서, 특히 트랜지스터를 이용하여 구성된 반도체 장치 또는 그 동작 방법에 관한 것이다. 또한, 반도체 장치를 적용한 표시 장치 및 이 표시 장치를 구비한 전자기기에 관한 것이다.

배경 기술

[0002] 근년, 액정 표시 장치나 발광 장치 등의 표시 장치에 관한 개발이 활발하게 진행되고 있다. 특히, 절연체 위에 비단결정 반도체에 의해 형성된 트랜지스터를 이용하여, 화소 회로나 시프트 레지스터 회로 등을 포함하는 구동 회로(이하, 내부 회로라고 한다)를 일체 형성하는 기술은, 저소비 전력화, 저비용화, 신뢰성의 향상, 좁은 액자화(두께화) 등에 크게 공헌하기 때문에, 활발하게 개발이 진행되고 있다. 절연체 위에 형성된 내부 회로는, FPC(Flexible Printed Circuit) 등을 통하여 절연체의 외부에 배치된 컨트롤러 IC 등(이하, 외부 회로라고 함)에 접속되고, 그 동작이 제어되고 있다.

[0003] 또한, 절연체 위에 일체 형성된 내부 회로로서, 비단결정 반도체의 트랜지스터를 이용하여 구성되는 시프트 레지스터 회로가 고안되었다(특허문헌 1 참조).

[0004] 그러나, 상기 시프트 레지스터 회로는, 출력 단자가 플로팅 상태가 되는 기간이 있기 때문에, 노이즈가 출력 단자에 발생하기 쉽고, 출력 단자에 발생한 노이즈에 의해 시프트 레지스터 회로가 오동작한다는 문제를 안고 있었다.

[0005] 상기 문제점을 해결하기 위해서, 출력 단자가 플로팅 상태가 되지 않는 시프트 레지스터 회로가 고안되었다. 예를 들면, 특허문헌 2에서는, 소위 스태틱(static) 구동에 의해, 시프트 레지스터 회로를 동작하는 것이 제안되어 있다. 이 경우, 시프트 레지스터 회로는, 출력 단자가 플로팅 상태가 되지 않기 때문에, 출력 단자에 발생하는 노이즈를 줄일 수 있다.

[0006] [특허문헌 1] 국제공개 제 95/31804 호 팜플렛

[0007] [특허문헌 2] 일본 공개특허 제 2004-78172 호 공보

발명의 내용

해결하려는 과제

- [0008] 상기 특허문헌 2에 나타난 바와 같이 스태틱(static) 구동으로 동작시키는 경우, 그 동작 기간이 선택 신호를 출력하는 선택 기간과, 비선택 신호를 출력하는 비선택 기간으로 나누어진다. 이 동작 기간 중 대부분의 기간이 비선택 기간이 된다. 선택 신호가 고전위(하이 레벨 신호)인 경우에는, 비선택 기간에서, 출력 단자에 트랜지스터를 통하여 비선택 신호(저전위(로 레벨 신호))를 공급한다. 즉, 출력 단자에 저전위를 공급하기 위한 트랜지스터는, 회로의 동작 기간 중 대부분의 기간에서 온 상태로 되어 있다.
- [0009] 비단결정 반도체를 이용하여 제작되는 트랜지스터는, 온하고 있는 시간이나 인가하는 전위에 따라 열화한다는 것이 알려져 있다. 트랜지스터가 열화되면, 예를 들면, 스톱시홀드 전압이 플러스측으로 시프트하는 스톱시홀드 전압 시프트가 일어나, 회로의 동작 불량이 생긴다는 문제가 있다.
- [0010] 또한, 시프트 레지스터 회로나 래치 회로 등의 디지털 회로는, 화소나 아날로그 스위치(예를 들면, 트랜스퍼 게이트) 등과 달리 전류가 흐르는 방향이 고정되어 있는 경우가 많다. 즉, 트랜지스터의 소스와 드레인이 고정되어 있기 때문에, 드레인측에 전계가 집중되어, 트랜지스터가 열화되기 쉽게 되어 있다.
- [0011] 이러한 문제점을 감안하여, 트랜지스터의 열화를 저감하는 것을 목적의 하나로 한다. 또한, 트랜지스터의 열화에 따른 회로의 동작 불량을 억제하는 것을 목적의 하나로 한다. 또한, 트랜지스터를 가지는 회로의 신뢰성을 향상시키는 것을 목적의 하나로 한다.

과제의 해결 수단

- [0012] 트랜지스터의 열화를 저감하기 위해서, 화소나 회로 중에서, 어느 특정 레벨의 신호(예를 들면, L 레벨 신호(로 레벨 신호))를 계속하여 출력하는 트랜지스터에서, 이 트랜지스터를 흐르는 전류의 방향을 바꾸는(반전시키는) 구성으로 한다. 즉, 트랜지스터의 제1 단자와 제2 단자(소스 또는 드레인이 되는 단자)에 가하는 전압의 대소 관계를 임의의 기간마다 바꿈으로써, 소스와 드레인을 임의의 기간마다 바꾸는 구성으로 한다.
- [0013] 따라서, 트랜지스터를 가지는 회로에서, 어느 특정 레벨의 신호(예를 들면, L 레벨 신호)를 계속하여 출력하는 부분에서는, 이 특정 레벨의 신호로서, 서로 다른 복수의 전위를 가지는 L 레벨 신호(임의의 기간마다 전위가 변화하는 L 레벨 신호)를 이용한다. 예를 들면, 어느 트랜지스터를 통하여 L 레벨 신호를 계속하여 출력하는 경우, L 레벨 신호로서, 전위가 V_{LH} 로 이루어지는 제1 전위와, 전위가 V_{LL} 로 이루어지는 제2 전위($V_{LH} > V_{LL}$)가 임의의 기간마다 바뀌는 신호를 이용할 수 있다. 즉, 전위가 변화하는 신호를 L 레벨 신호로서 이용하고, 트랜지스터를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 것에 의해, 소스측 또는 드레인측으로로의 전계의 집중을 억제하여, 트랜지스터의 열화를 저감시킨다.
- [0014] 또한, 제1 전위(V_{LH})와 제2 전위(V_{LL})는, 회로에서 L 레벨 신호로서 기능하면 어떠한 전위로 하여도 좋다. 예를 들면, L 레벨 신호가 회로에서 비선택 신호가 되는 경우에는, 제1 전위와 제2 전위가 비선택 신호로서 기능하도록 전위를 설정하면 좋다. 또한, 복수의 전위로서 3개 이상의 전위를 설정해도 좋다.
- [0015] 또한, 트랜지스터를 통하여 H 레벨 신호(하이 레벨 신호)가 계속하여 출력되는 경우에는, H 레벨 신호로서, 전위가 V_{HL} 로 이루어지는 제1 전위와, 전위가 V_{HL} 로 이루어지는 제2 전위($V_{HL} > V_{HL}$)가 임의의 기간에 전환되는 신호를 이용한다. 또한, 제1 전위(V_{HL})와 제2 전위(V_{HL})는, 회로에서 H 레벨 신호로서 기능하면 어떠한 전위로 하여도 좋다. 예를 들면, H 레벨 신호가 회로에서 선택 신호가 되는 경우에는, 제1 전위와 제2 전위가 선택 신호로서 기능하도록 전위를 설정하면 좋다.
- [0016] 또한, 개시하는 발명의 일례는, 소스 또는 드레인의 한쪽이 제1 배선과 전기적으로 접속되고, 다른 한쪽이 제3 배선과 전기적으로 접속된 제1 트랜지스터와, 소스 또는 드레인의 한쪽이 제2 배선과 전기적으로 접속되고, 다른 한쪽이 제3 배선과 전기적으로 접속된 제2 트랜지스터와, 게이트가 제3 배선에 전기적으로 접속되고, 제3 배선에 공급되는 선택 신호에 의해 온이 되고, 또한, 비선택 신호에 의해 오프가 되는 제3 트랜지스터를 가지고, 선택 신호가 제1 트랜지스터가 온하고 있는 기간에 제1 배선으로부터 제3 배선에 공급되고, 비선택 신호가 제2 트랜지스터가 온하고 있는 기간에 제2 배선으로부터 제3 배선에 공급되고, 선택 신호 또는 비선택 신호의 적어도 한쪽이 소정의 기간마다 전위가 변화하는 신호인 것을 특징으로 한다.
- [0017] 또한, 개시하는 발명의 일례는, 소스 또는 드레인의 한쪽이 제1 배선과 전기적으로 접속되고, 다른 한쪽이 제3 배선과 전기적으로 접속된 제1 트랜지스터와, 소스 또는 드레인의 한쪽이 제2 배선과 전기적으로 접속되고, 다

른 한쪽이 제3 배선과 전기적으로 접속되고, 또한, 서로 병렬로 설치된 복수의 제2 트랜지스터와, 게이트가 제3 배선에 전기적으로 접속되고, 제3 배선에 공급되는 선택 신호에 의해 온이 되고, 또한, 비선택 신호에 의해 오프가 되는 제3 트랜지스터를 가지고, 선택 신호가 제1 트랜지스터가 온하고 있는 기간에 제1 배선으로부터 제3 배선에 공급되고, 비선택 신호가 소정의 기간마다 전위가 변화하는 신호이며, 복수의 제2 트랜지스터 중 어느 한쪽이 온하고 있는 기간에 제2 배선으로부터 제3 배선에 공급되는 것을 특징으로 한다.

[0018] 또한, 개시하는 발명의 일례는, 소스 또는 드레인의 한쪽이 제1 배선과 전기적으로 접속되고, 다른 한쪽이 제3 배선과 전기적으로 접속된 제1 트랜지스터와, 소스 또는 드레인의 한쪽이 제2 배선과 전기적으로 접속되고, 다른 한쪽이 제3 배선과 전기적으로 접속된 제2 트랜지스터와, 소스 또는 드레인의 한쪽이 제4 배선과 전기적으로 접속되고, 다른 한쪽이 제3 배선과 전기적으로 접속된 제4 트랜지스터와, 게이트가 제3 배선에 전기적으로 접속되고, 제3 배선에 공급되는 선택 신호에 의해 온이 되고, 또한, 비선택 신호에 의해 오프가 되는 제3 트랜지스터를 가지고, 선택 신호가 제1 트랜지스터가 온하고 있는 기간에 제1 배선으로부터 제3 배선에 공급되고, 비선택 신호가 제2 트랜지스터가 온하고 있는 기간 또는 제4 트랜지스터가 온하고 있는 기간에 제2 배선 또는 제4 배선으로부터 제3 배선에 공급되고, 제2 배선 및 제4 배선에는 서로 다른 전위가 인가되고, 또한, 제2 배선에 인가되는 전위와 제4 배선에 인가되는 전위가 바뀌는 것을 특징으로 한다.

[0019] 본 명세서에서, 스위치로서 트랜지스터를 이용하는 경우, 그 트랜지스터는, 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 단, 오프 전류를 억제하고자 하는 경우, 오프 전류가 적은 쪽의 극성의 트랜지스터를 이용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는, LDD 영역을 가지는 트랜지스터나 멀티 게이트 구조를 가지는 트랜지스터 등이 있다. 또한, 스위치로서 동작시키는 트랜지스터의 소스 단자의 전위가, 저전위측 전원(V_{ss} , GND, 0 V 등)의 전위에 가까운 값에서 동작하는 경우에는 N 채널형 트랜지스터를 이용하는 것이 바람직하다. 반대로, 소스 단자의 전위가, 고전위측 전원(V_{dd} 등)의 전위에 가까운 값에서 동작하는 경우에는 P 채널형 트랜지스터를 이용하는 것이 바람직하다. 왜냐하면, N 채널형 트랜지스터에서는 소스 단자가 저전위측 전원의 전위에 가까운 값에서 동작할 때, P 채널형 트랜지스터에서는 소스 단자가 고전위측 전원의 전위에 가까운 값에서 동작할 때, 게이트와 소스의 사이의 전압의 절대값을 크게 할 수 있으므로, 스위치로서, 보다 정확한 동작을 행할 수 있기 때문이다. 또한, 트랜지스터가 소스 팔로워(source follower) 동작을 하는 경우가 적으므로, 출력 전압의 크기가 작아지게 되는 경우가 적기 때문이다.

[0020] 또한, N 채널형 트랜지스터와 P 채널형 트랜지스터의 양쪽 모두를 이용하여, CMOS형의 스위치를 스위치로서 이용해도 좋다. CMOS형의 스위치로 하면, P 채널형 트랜지스터 또는 N 채널형 트랜지스터 중 어느 한쪽의 트랜지스터가 도통(導通)하면 전류가 흐르기 때문에, 스위치로서 기능하기 쉬워진다. 예를 들면, 스위치에 대한 입력 신호의 전압이 높은 경우에도, 낮은 경우에도, 적절히 전압을 출력시킬 수 있다. 또한, 스위치를 온 또는 오프시키기 위한 신호의 전압 진폭값을 작게 할 수 있으므로, 소비 전력을 작게 할 수도 있다.

[0021] 또한, 스위치로서 트랜지스터를 이용하는 경우, 스위치는, 입력 단자(소스 단자 또는 드레인 단자의 한쪽)와, 출력 단자(소스 단자 또는 드레인 단자의 다른 한쪽)와, 도통을 제어하는 단자(게이트 단자)를 가지고 있다. 한편, 스위치로서 다이오드를 이용하는 경우, 스위치는 도통을 제어하는 단자를 가지지 않는 경우가 있다. 따라서, 트랜지스터보다 다이오드를 스위치로서 이용한 것이 단자를 제어하기 위한 배선을 줄일 수 있다.

[0022] 또한, 「A와 B가 접속되어 있다」라고 명시적으로 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기서, A, B는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)이라고 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 포함하는 것으로 한다.

[0023] 예를 들면, A와 B가 전기적으로 접속되어 있는 경우로서, A와 B의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드 등)가, A와 B 사이에 1개 이상 접속되어 있어도 좋다. 혹은, A와 B가 기능적으로 접속되어 있는 경우로서, A와 B의 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 오퍼레이션 증폭기, 차동 증폭 회로, 소스 팔로워 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가, A와 B 사이에 1개 이상 접속되어 있어도 좋다. 예를 들면, A와 B 사이에 다른 회로를 끼우고 있어도, A로부터 출력된 신호가 B에 전달되는 경우에는, A와 B는 기능적으로 접속되어 있는 것으로 한다.

- [0024] 또한, 「A와 B가 전기적으로 접속되어 있다」고 명시적으로 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼우고 접속되어 있는 경우)와, A와 B가 기능적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 회로를 끼우고 기능적으로 접속되어 있는 경우)와, A와 B가 직접 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼우지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, 「전기적으로 접속되어 있다」고 명시적으로 기재하는 경우는, 단순히, 「접속되어 있다」라고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.
- [0025] 또한, 표시 소자, 표시 소자를 가지는 장치인 표시 장치, 발광 소자, 발광 소자를 가지는 장치인 발광 장치는 다양한 형태를 이용할 수 있다. 예를 들면, 표시 소자, 표시 장치, 발광 소자 또는 발광 장치로서는, EL(일렉트로루미네선스) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동(泳動) 소자, 그레이팅 라이트 밸브(GLV: Grating Light Valve), 플라즈마 디스플레이 패널(PDP: Plasma Display Panel), 디지털 마이크로 미러 디바이스(DMD: Digital Micromirror Device), 압전 세라믹 디스플레이, 카본 나노 튜브 등을 이용할 수 있다. 이것들은, 전기 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 가질 수 있다. 또한, EL 소자를 이용한 표시 장치로서는 EL 디스플레이 등이 있다. 전자 방출 소자를 이용한 표시 장치로서는 필드 에미션 디스플레이(FED: Field Emission Display)나 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 이용한 표시 장치로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크나 전기 영동 소자를 이용한 표시 장치로서는 전자 페이퍼 등이 있다.
- [0026] 또한, EL 소자란, 양극, 음극, 및 양극과 음극과의 사이에 끼워진 EL층을 가지는 소자이다. 또한, EL층으로서, 일중항 여기자로부터의 발광(형광)을 이용하는 것, 삼중항 여기자로부터의 발광(인광)을 이용하는 것, 일중항 여기자로부터의 발광(형광)을 이용하는 것과 삼중항 여기자로부터의 발광(인광)을 이용하는 것을 포함하는 것, 유기물에 의해 형성된 것, 무기물에 의해 형성된 것, 유기물에 의해 형성된 것과 무기물에 의해 형성된 것을 포함하는 것, 고분자의 재료, 저분자의 재료, 고분자의 재료와 저분자의 재료를 포함하는 것 등을 가질 수 있다. 단, 이것에 한정되지 않고, EL 소자로서 다양한 것을 가질 수 있다.
- [0027] 또한, 전자 방출 소자란, 음극에 고전계를 집중하여 전자를 인출하는 소자이다. 예를 들면, 전자 방출 소자로서, 스피ন্트(Spindt)형, 카본 나노 튜브(CNT)형, 금속-절연체-금속을 적층한 MIM(Metal-Insulator-Metal)형, 금속-절연체-반도체를 적층한 MIS(Metal-Insulator-Semiconductor)형, MOS형, 실리콘형, 박막 다이오드형, 다이아몬드형, 금속-절연체-반도체-금속형 등의 박막형, HEED형, EL형, 다공질 실리콘형, 표면 전도(SCE)형 등을 가질 수 있다. 단, 이것에 한정되지 않고, 전자 방출 소자로서 다양한 것을 가질 수 있다.
- [0028] 또한, 액정 소자란, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자이며, 한 쌍의 전극, 및 액정에 의해 구성된다. 또한, 액정의 광학적 변조 작용은, 액정에 걸리는 전계(횡 방향의 전계, 종 방향의 전계 또는 경사 방향의 전계를 포함함)에 의해 제어된다. 또한, 액정 소자로서는, 네마틱(nematic) 액정, 콜레스테릭(cholesteric) 액정, 스멕틱(smectic) 액정, 디스코틱(discotic) 액정, 서모트로픽(thermotropic) 액정, 리오트로픽(lyotropic) 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정 등을 들 수 있다. 또한, 액정의 구동 방식으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등을 이용할 수 있다. 단, 이것에 한정되지 않고, 액정 소자 및 그 구동 방식으로서 다양한 것을 이용할 수 있다.
- [0029] 또한, 전자 페이퍼로서는, 분자에 의해 표시되는 것(광학 이방성, 염료 분자 배향 등), 입자에 의해 표시되는 것(전기 영동, 입자 이동, 입자 회전, 상(相)변화 등), 필름의 일단이 이동함으로써 표시되는 것, 분자의 발색/상변화에 의해 표시되는 것, 분자의 광흡수에 의해 표시되는 것, 전자와 홀이 결합하여 자발광에 의해 표시되는 것 등의 것을 말한다. 예를 들면, 전자 페이퍼의 표시 방법으로서, 마이크로 캡슐형 전기 영동, 수평 이동형 전기 영동, 수직 이동형 전기 영동, 구상(球狀) 트위스트 볼, 자기 트위스트 볼, 원주 트위스트 볼 방식, 대전 토너, 전자 분류체(粉流體), 자기 영동형, 자기 감열식, 일렉트로 웨팅(electro wetting), 광산란(투명/백탁 변

화), 콜레스테릭 액정/광도전층, 콜레스테릭 액정, 쌍안정성 네마틱 액정, 강유전성 액정, 2색성 색소·액정 분산형, 가동 필름, 류코(leuco) 염료에 의한 발소색, 포토 크로믹, 일렉트로 크로믹, 일렉트로 디포지션, 가요성 유기 EL 등을 이용할 수 있다. 단, 이것에 한정되지 않고, 전자 페이퍼 및 그 표시 방법으로서 다양한 것을 이용할 수 있다. 여기서, 마이크로 캡슐형 전기 영동을 이용하는 것에 의해, 전기 영동 방식의 결점인 영동 입자의 응집, 침전을 해결할 수 있다. 전자 분류체는, 고속 응답성, 고반사율, 광시야각, 저소비 전력, 메모리성 등의 메리트를 가진다.

[0030] 또한, 플라즈마 디스플레이 패널은, 전극을 표면에 형성한 기관과, 전극 및 미소한 홈을 표면에 형성하고, 또한, 홈내에 형광체층을 형성한 기관을 좁은 간격으로 대향시켜, 희가스를 봉입(封入)한 구조를 가진다. 혹은, 플라즈마 튜브를 상하로부터 필름상의 전극으로 끼운 구조로 하는 것도 가능하다. 플라즈마 튜브는, 유리 튜브 내에, 방전 가스, RGB 각각의 형광체 등을 봉지(封止)한 것이다. 플라즈마 디스플레이 패널은, 전극 사이에 전압을 가하는 것에 의해 자외선을 발생시켜, 형광체를 발함으로써, 표시를 행할 수 있다. 또한, 방전 방식으로서, DC형과 AC형이 있고, 어느 쪽을 이용해도 좋다. 여기서, 플라즈마 디스플레이 패널의 구동 방식으로서, AWS(Address While Sustain) 구동, 서브 프레임을 리셋 기간, 어드레스 기간, 유지 기간으로 분할하는 ADS(Address Display Separated) 구동, CLEAR(HI-CONTRAST & LOW ENERGY ADDRESS & REDUCTION OF FALSE CONTOUR SEQUENCE) 구동, ALIS(Alternate Lighting of Surfaces) 방식, TERES(Technology of Reciprocal Sustainer) 구동 등을 이용할 수 있다. 단, 이것에 한정되지 않고, 플라즈마 디스플레이 패널의 구동 방식으로서 다양한 것을 이용할 수 있다.

[0031] 또한, 광원을 필요로 하는 표시 장치, 예를 들면, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이), 그레이팅 라이트 밸브(GLV)를 이용한 표시 장치, 디지털 마이크로 미러 디바이스(DMD)를 이용한 표시 장치 등의 광원으로서, 일렉트로 루미네선스, 냉음극관, 열음극관, LED, 레이저광원, 수은 램프 등을 이용할 수 있다. 단, 이것에 한정되지 않고, 광원으로서 다양한 것을 이용할 수 있다.

[0032] 또한, 트랜지스터로서 다양한 형태의 트랜지스터를 이용할 수 있다. 따라서, 이용하는 트랜지스터의 종류에 한정은 없다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미(微)결정(마이크로 크리스탈, 나노 크리스탈, 세미 아몰퍼스(semi-amorphous)라고도 함) 실리콘 등으로 대표되는 비단결정 반도체막을 가지는 박막 트랜지스터(TFT) 등을 이용할 수 있다. TFT를 이용하는 경우, 다양한 메리트가 있다. 예를 들면, 단결정 실리콘의 경우보다 낮은 온도로 제조할 수 있기 때문에, 제조 비용의 삭감, 또는 제조 장치의 대형화를 도모할 수 있다. 제조 장치를 크게 할 수 있기 때문에, 대형 기관 위에 제조할 수 있다. 그 때문에, 동시에 많은 개수의 표시 장치를 제조할 수 있기 때문에, 저비용으로 제조할 수 있다. 또한, 제조 온도가 낮기 때문에, 내열성이 약한 기관을 이용할 수 있다. 그 때문에, 투광성을 가지는 기관 위에 트랜지스터를 제조할 수 있다. 그리고 투광성을 가지는 기관 위의 트랜지스터를 이용하여 표시 소자에서의 광의 투과를 제어할 수 있다. 혹은, 트랜지스터의 막 두께가 얇기 때문에, 트랜지스터를 구성하는 막의 일부는, 광을 투과시킬 수 있다. 그 때문에, 개구율을 향상시킬 수 있다.

[0033] 또한, 다결정 실리콘을 제조할 때, 촉매(니켈 등)를 이용함으로써, 결정성을 더욱 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능하게 된다. 그 결과, 게이트 드라이버 회로(주사선 구동 회로)나 소스 드라이버 회로(신호선 구동 회로), 신호 처리 회로(신호 생성 회로, 감마 보정 회로, DA 변환 회로 등)를 기관 위에 일체 형성할 수 있다.

[0034] 또한, 미결정 실리콘을 제조할 때, 촉매(니켈 등)를 이용함으로써, 결정성을 더욱 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능하게 된다. 이 때, 레이저 조사를 행하는 일 없이, 열처리를 가하는 것만으로, 결정성을 향상시키는 것도 가능하다. 그 결과, 소스 드라이버 회로의 일부(아날로그 스위치 등) 및 게이트 드라이버 회로(주사선 구동 회로)를 기관 위에 일체 형성할 수 있다. 또한, 결정화를 위하여 레이저 조사를 행하지 않는 경우는, 실리콘의 결정성의 편차를 억제할 수 있다. 그 때문에, 화질이 향상된 화상을 표시할 수 있다.

[0035] 단, 촉매(니켈 등)를 이용하지 않고, 다결정 실리콘이나 미결정 실리콘을 제조하는 것은 가능하다.

[0036] 또한, 실리콘의 결정성을 다결정 또는 미결정 등으로 향상시키는 것은, 패널 전체에서 행하는 것이 바람직하지만, 그것에 한정되는 것은 아니다. 패널의 일부의 영역에만, 실리콘의 결정성을 향상시켜도 좋다. 선택적으로 결정성을 향상시키는 것은, 레이저광을 선택적으로 조사하는 것 등에 의해 가능하다. 예를 들면, 화소 이외의 영역인 주변 회로 영역에만 레이저광을 조사해도 좋다. 또한, 게이트 드라이버 회로, 소스 드라이버 회로 등의

영역에만 레이저광을 조사해도 좋다. 혹은, 소스 드라이버 회로의 일부(예를 들면, 아날로그 스위치)의 영역에만 레이저광을 조사해도 좋다. 그 결과, 회로를 고속으로 동작시킬 필요가 있는 영역에만 실리콘의 결정화를 향상시킬 수 있다. 화소 영역은, 고속으로 동작시킬 필요성이 낮기 때문에, 결정성이 향상되지 않아도, 문제 없이 화소 회로를 동작시킬 수 있다. 결정성을 향상시키는 영역이 적어도 되기 때문에, 제조 공정도 짧게 할 수 있고, 스루풋(throughput)이 향상되어, 제조 비용을 저감시킬 수 있다. 필요로 하는 제조 장치의 수도 적어지기 때문에, 제조 비용을 저감시킬 수 있다.

[0037] 또한, 반도체 기판이나 SOI 기판 등을 이용하여 트랜지스터를 형성할 수 있다. 이것들에 의해, 특성이나 사이즈나 형상 등의 편차가 적고, 전류 공급 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터를 이용하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.

[0038] 또한, 산화아연(ZnO), 인듐과 갈륨과 아연을 포함하는 산화물(InGaZnO), 실리콘 게르마늄(SiGe), 갈륨비소(GaAs), 산화인듐 산화아연(IZO), 인듐 주석 산화물(ITO), 산화주석(SnO) 등의 화합물 반도체 또는 산화물 반도체를 가지는 트랜지스터나, 또한, 이들의 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 이용할 수 있다. 이것들에 의해, 제조 온도를 낮게 할 수 있어, 예를 들면, 실온에서 트랜지스터를 제조하는 것이 가능하게 된다. 그 결과, 내열성이 낮은 기판, 예를 들면, 플라스틱 기판이나 필름 기판에 직접 트랜지스터를 형성할 수 있다. 또한, 이들의 화합물 반도체 또는 산화물 반도체를, 트랜지스터의 채널 부분에 이용할 뿐만 아니라, 그 이외의 용도로 이용할 수도 있다. 예를 들면, 이들 화합물 반도체 또는 산화물 반도체를 저항소자, 화소 전극, 투광층을 가지는 전극으로서 이용할 수 있다. 또한, 그것들을 트랜지스터와 동시에 성막 또는 형성할 수 있기 때문에, 비용을 저감할 수 있다.

[0039] 또한, 잉크젯이나 인쇄법을 이용하여 형성한 트랜지스터 등을 이용할 수 있다. 이것들에 의해, 실온에서 제조, 저진공도로 제조, 또는 대형 기판 위에 제조할 수 있다. 마스크(레티클)를 이용하지 않아도 제조하는 것이 가능하게 되기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또한, 레지스트를 이용할 필요가 없기 때문에, 재료비가 저렴하게 되어, 공정수를 삭감할 수 있다. 또한, 필요한 부분에만 막을 형성하기 때문에, 전면(全面)에 성막한 후에 에칭하는 방식의 제조법보다 재료의 낭비가 줄어, 저비용으로 할 수 있다.

[0040] 또한, 유기 반도체나 카본 나노 튜브를 가지는 트랜지스터 등을 이용할 수 있다. 이것들에 의해, 구부릴 수 있는 기판 위에 트랜지스터를 형성할 수 있다. 이러한 기판을 이용한 반도체 장치는 충격에 대하여 강하게 할 수 있다.

[0041] 또한, 다양한 구조의 트랜지스터를 이용할 수 있다. 예를 들면, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터 등을 트랜지스터로서 이용할 수 있다. MOS형 트랜지스터를 이용함으로써, 트랜지스터의 사이즈를 작게 할 수 있다. 따라서, 복수의 트랜지스터를 탑재할 수 있다. 바이폴러 트랜지스터를 이용함으로써, 큰 전류를 흘릴 수 있다. 따라서, 고속으로 회로를 동작시킬 수 있다.

[0042] 또한, MOS형 트랜지스터, 바이폴러 트랜지스터 등을 하나의 기판에 혼재시켜 형성해도 좋다. 이것에 의해, 저소비 전력, 소형화, 고속 동작 등을 실현할 수 있다.

[0043] 또한, 트랜지스터의 구성은, 다양한 형태를 취할 수 있고, 특정한 구성에 한정되지 않는다. 예를 들면, 게이트 전극이 2개 이상인 멀티 게이트 구조를 적용할 수 있다. 멀티 게이트 구조로 하면, 채널 영역이 직렬로 접속되기 때문에, 복수의 트랜지스터가 직렬로 접속된 구성이 된다. 멀티 게이트 구조에 의해, 오프 전류의 저감, 트랜지스터의 내압 향상(신뢰성의 향상)을 도모할 수 있다. 혹은, 멀티 게이트 구조에 의해, 포화 영역에서 동작할 때에, 드레인·소스간 전압이 변화하여도, 드레인·소스간 전류가 그다지 변화하지 않고, 전압·전류 특성의 기울기를 플랫으로 할 수 있다. 전압·전류 특성의 기울기가 플랫인 특성을 이용하면, 이상적인 전류원 회로나, 매우 높은 저항값을 가지는 능동 부하를 실현할 수 있다. 그 결과, 특성이 좋은 차동 회로나 커런트 미러 회로(current mirror circuit)를 실현할 수 있다.

[0044] 다른 예로서, 채널의 상하에 게이트 전극이 배치되어 있는 구조를 적용할 수 있다. 채널의 상하에 게이트 전극이 배치되어 있는 구조로 함으로써, 채널 영역이 증가하기 때문에, 전류값의 증가를 도모할 수 있다. 또한, 채널의 상하에 게이트 전극이 배치되어 있는 구조로 함으로써, 공핍층(空乏層)이 생기기 쉬워지기 때문에, S값의 개선을 도모할 수 있다. 또한, 채널의 상하에 게이트 전극이 배치되는 구성으로 함으로써, 복수의 트랜지스터가 병렬로 접속된 것과 같은 구성이 된다.

[0045] 채널 영역의 위에 게이트 전극이 배치되어 있는 구조, 채널 영역 아래에 게이트 전극이 배치되어 있는 구조, 정스태거 구조, 역스태거 구조, 채널 영역을 복수의 영역으로 나눈 구조, 채널 영역을 병렬로 접속한 구조, 또는,

채널 영역이 직렬로 접속된 구성도 적용할 수 있다. 또한, 채널 영역(혹은 그 일부)에 소스 전극이나 드레인 전극이 중첩되어 있는 구조도 적용할 수 있다. 채널 영역(혹은 그 일부)에 소스 전극이나 드레인 전극이 중첩되는 구조로 하는 것에 의해, 채널 영역의 일부에 전하가 모이는 것에 의해 동작이 불안정하게 되는 것을 방지할 수 있다. 혹은, LDD 영역을 형성한 구조를 적용할 수 있다. LDD 영역을 형성함으로써, 오프 전류의 저감, 또는 트랜지스터의 내압 향상(신뢰성의 향상)을 도모할 수 있다. 혹은, LDD 영역을 형성함으로써, 포화 영역에서 동작할 때에, 드레인·소스간 전압이 변화하여도, 드레인·소스간 전류가 그다지 변화하지 않고, 전압·전류 특성의 기울기를 플랫폼으로 할 수 있다.

[0046] 또한, 트랜지스터는, 다양한 타입을 이용할 수 있고, 다양한 기판을 이용하여 형성시킬 수 있다. 따라서, 소정의 기능을 실현시키기 위해 필요한 회로 모두를 동일한 기판에 형성하는 것도 가능하다. 예를 들면, 소정의 기능을 실현시키기 위해 필요한 회로 모두를 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 등의 다양한 기판을 이용하여 형성하는 것도 가능하다. 소정의 기능을 실현시키기 위해 필요한 회로 모두가 같은 기판을 이용하여 형성되어 있는 것에 의해, 부품 점수의 삭감에 의한 비용의 저감, 또는 회로 부품과의 접속 점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다. 혹은, 소정의 기능을 실현시키기 위해 필요한 회로의 일부가 어느 기판에 형성되고, 소정의 기능을 실현시키기 위해 필요한 회로의 다른 일부가 다른 기판에 형성되어 있는 것도 가능하다. 즉, 소정의 기능을 실현시키기 위해 필요한 회로 모두가 같은 기판을 이용하여 형성되어 있지 않아도 좋다. 예를 들면, 소정의 기능을 실현시키기 위해 필요한 회로의 일부는 유리 기판 위에 트랜지스터에 의해 형성되고, 소정의 기능을 실현시키기 위해 필요한 회로의 다른 일부는 단결정 기판에 형성되고, 단결정 기판을 이용하여 형성된 트랜지스터로 구성된 IC칩을 COG(Chip On Glass)로 유리 기판에 접속하여, 유리 기판 위에 그 IC칩을 배치하는 것도 가능하다. 혹은, 그 IC칩을 TAB(Tape Automated Bonding)나 프린트 기판을 이용하여 유리 기판과 접속하는 것도 가능하다. 이와 같이, 회로의 일부가 같은 기판에 형성되어 있는 것에 의해, 부품 점수의 삭감에 의한 비용의 저감, 또는 회로 부품과의 접속 점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다. 혹은, 구동 전압이 높은 부분 및 구동 주파수가 높은 부분의 회로는, 소비 전력이 커지게 되므로, 그러한 부분의 회로는 같은 기판에 형성하지 않고, 그 대신에, 예를 들면, 단결정 기판에 그 부분의 회로를 형성하고, 그 회로로 구성된 IC칩을 이용하도록 하면, 소비 전력의 증가를 막을 수 있다.

[0047] 또한, 일 화소는, 밝기를 제어할 수 있는 요소 1개분을 나타낸 것으로 한다. 따라서, 일례로서는, 일 화소는, 하나의 색요소를 나타낸 것으로 하고, 그 색요소 하나로 밝기를 표현한다. 따라서, 그 때는, R(적), G(녹), B(청)의 색요소로 이루어지는 컬러 표시 장치의 경우에는, 화상의 최소 단위는, R의 화소와 G의 화소와 B의 화소와의 3 화소로 구성되는 것으로 한다. 또한, 색요소는, 3색에 한정되지 않고, 3색 이상을 이용해도 좋고, RGB 이외의 색을 이용해도 좋다. 예를 들면, 백색을 더하여, RGBW(W는 흰색)로 하는 것도 가능하다. 혹은, RGB에, 예를 들면, 노란색, 청녹색, 진홍색, 에메랄드 그린, 주홍색 등을 1색 이상 추가하는 것도 가능하다. 혹은, 예를 들면, RGB 중의 적어도 1색에 유사한 색을, RGB에 추가하는 것도 가능하다. 예를 들면, R, G, B1, B2로 하여도 좋다. B1과 B2는, 양쪽 모두 청색이지만, 파장에 차이가 있다. 마찬가지로, R1, R2, G, B로 하는 것도 가능하다. 이러한 색요소를 이용함으로써, 보다 실물에 가까운 표시를 행할 수 있다. 이러한 색요소를 이용함으로써, 소비 전력을 저감할 수 있다. 다른 예로서는, 하나의 색요소에 대하여, 복수의 영역을 이용하여 밝기를 제어하는 경우는, 그 영역 1개분을 일 화소로 하는 것도 가능하다. 따라서, 일례로서, 면적 계조를 행하는 경우, 또는 부화소(서브 화소)를 가지고 있는 경우, 하나의 색요소에 대하여, 밝기를 제어하는 영역이 다수 있고, 그 전체에서 계조를 표현하지만, 밝기를 제어하는 영역의 1개분을 일 화소로 하는 것도 가능하다. 따라서, 그 경우는, 하나의 색요소는, 복수의 화소로 구성되게 된다. 혹은, 밝기를 제어하는 영역이 하나의 색요소 중에 다수 있어도, 그들을 통털어, 하나의 색요소를 일 화소라고 해도 좋다. 따라서, 그 경우, 하나의 색요소는 하나의 화소로 구성되게 된다. 혹은, 하나의 색요소에 대하여, 복수의 영역을 이용하여 밝기를 제어하는 경우, 화소에 따라, 표시에 기여하는 영역의 크기가 상이한 경우가 있다. 혹은, 하나의 색요소에 대하여 복수 있는, 밝기를 제어하는 영역에서, 각각에 공급하는 신호를 약간 다르게 하도록 하여, 시야각을 넓히도록 해도 좋다. 즉, 하나의 색요소에 대하여, 복수개 있는 영역이 각각 가지는 화소 전극의 전위가, 각각 상이한 것도 가능하다. 그 결과, 액정 분자에 가하는 전압이 각 화소 전극에 따라 각각 다르다. 따라서, 시야각을 넓게 할 수 있다.

[0048] 또한, 일 화소(3색분)라고 명시적으로 기재하는 경우는, R과 G와 B의 3 화소분을 일 화소라고 생각하는 경우인 것으로 한다. 일 화소(1색분)라고 명시적으로 기재하는 경우는, 하나의 색요소에 대하여, 복수의 영역이 있는 경우, 그것들을 통털어 일 화소라고 생각하는 경우인 것으로 한다.

[0049] 또한, 화소는, 매트릭스 형상으로 배치(배열)되어 있는 경우가 있다. 여기서, 화소가 매트릭스로 배치(배열)되

어 있다는 것은, 종 방향 혹은 횡 방향에 있어서, 화소가 직선 위에 나열되어 배치되어 있거나, 또는 울퉁불퉁한 선 위에 배치되어 있는 경우를 포함한다. 따라서, 예를 들면, 3색의 색요소(예를 들면, RGB)로 풀 컬러 표시를 행하는 경우에, 스트라이프 배치되어 있는 경우, 또는 3개의 색요소의 도트가 델타 배치되어 있는 경우도 포함한다. 또한, 베이어 배열(Bayer arrangement)되어 있는 경우도 포함한다. 또한, 색요소의 도트마다 그 표시 영역의 크기가 상이하셔도 좋다. 이것에 의해, 저소비 전력화, 또는 표시 소자의 장수명화를 도모할 수 있다.

[0050] 또한, 화소에 능동 소자를 가지는 액티브 매트릭스, 또는, 화소에 능동 소자를 가지지 않는 패시브 매트릭스 방식을 이용할 수 있다.

[0051] 액티브 매트릭스 방식에서는, 능동 소자(액티브 소자, 비선형 소자)로서, 트랜지스터뿐만 아니라, 다양한 능동 소자(액티브 소자, 비선형 소자)를 이용할 수 있다. 예를 들면, MIM(Metal Insulator Metal)이나 TFD(Thin Film Diode) 등을 이용하는 것도 가능하다. 이들 소자는, 제조 공정이 적기 때문에, 제조 비용의 저감, 또는 수율의 향상을 도모할 수 있다. 또한, 소자의 사이즈가 작기 때문에, 개구율을 향상시킬 수 있어, 저소비 전력화나 고휘도화를 도모할 수 있다.

[0052] 또한, 액티브 매트릭스 이외의 것으로서, 능동 소자(액티브 소자, 비선형 소자)를 이용하지 않는 패시브 매트릭스형을 이용하는 것도 가능하다. 능동 소자(액티브 소자, 비선형 소자)를 이용하지 않기 때문에, 제조 공정이 적고, 제조 비용의 저감, 또는 수율의 향상을 도모할 수 있다. 능동 소자(액티브 소자, 비선형 소자)를 이용하지 않기 때문에, 개구율을 향상시킬 수 있어, 저소비 전력화나 고휘도화를 도모할 수 있다.

[0053] 또한, 트랜지스터란, 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이며, 드레인 영역과 소스 영역 사이에 채널 영역을 가지고 있고, 드레인 영역과 채널 영역과 소스 영역을 통하여 전류를 흘릴 수 있다. 여기서, 소스와 드레인은, 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역을, 소스 혹은 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는, 각각을 제1 단자, 제2 단자라고 표기하는 경우가 있다. 혹은, 각각을 제1 전극, 제2 전극이라고 표기하는 경우가 있다. 혹은, 제1 영역, 제2 영역이라고 표기하는 경우가 있다.

[0054] 또한, 트랜지스터는, 베이스(base), 에미터(emitter), 콜렉터(collector)를 포함하는 적어도 3개의 단자를 가지는 소자이어도 좋다. 이 경우에도 마찬가지로, 에미터와 콜렉터를 제1 단자, 제2 단자 등으로 표기하는 경우가 있다.

[0055] 또한, 게이트란, 게이트 전극과 게이트 배선(게이트선, 게이트 신호선, 주사선, 주사 신호선 등이라고도 칭함)을 포함하는 전체, 혹은, 그들의 일부를 말한다. 게이트 전극이란, 채널 영역을 형성하는 반도체와, 게이트 절연막을 통하여 오버랩하고 있는 부분의 도전막을 말한다. 또한, 게이트 전극의 일부는, LDD(Lightly Doped Drain) 영역 또는 소스 영역(또는 드레인 영역)과, 게이트 절연막을 통하여 오버랩하고 있는 경우도 있다. 게이트 배선이란, 각 트랜지스터의 게이트 전극의 사이를 접속하기 위한 배선, 각 화소가 가지는 게이트 전극의 사이를 접속하기 위한 배선, 또는 게이트 전극과 다른 배선을 접속하기 위한 배선을 말한다.

[0056] 또한, 소스란, 소스 영역과 소스 전극과 소스 배선(소스선, 소스 신호선, 데이터선, 데이터 신호선 등이라고도 칭함)을 포함하는 전체, 혹은, 그들의 일부를 말한다. 소스 영역이란, P형 불순물(붕소나 갈륨 등)이나 N형 불순물(인이나 비소 등)이 많이 포함되는 반도체 영역을 말한다. 따라서, P형 불순물이나 N형 불순물이 약간 포함되는 영역, 소위, LDD(Lightly Doped Drain) 영역은, 소스 영역에는 포함되지 않는다. 소스 전극이란, 소스 영역과는 다른 재료로 형성되고, 소스 영역과 전기적으로 접속되어 배치되고 있는 부분의 도전층을 말한다. 단, 소스 전극은, 소스 영역도 포함하여 소스 전극이라고 부르는 경우도 있다. 소스 배선이란, 각 트랜지스터의 소스 전극 사이를 접속하기 위한 배선, 각 화소가 가지는 소스 전극 사이를 접속하기 위한 배선, 또는 소스 전극과 다른 배선을 접속하기 위한 배선을 말한다.

[0057] 또한, 드레인에 대해서는, 소스와 마찬가지로이다.

[0058] 또한, 반도체 장치는 반도체 소자(트랜지스터, 다이오드, 사이리스터 등)를 포함하는 회로를 가지는 장치를 말한다. 또한, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 반도체 장치라고 불러도 좋다. 또는, 반도체 재료를 가지는 장치를 반도체 장치라고 한다.

[0059] 또한, 표시 장치는, 표시 소자를 가지는 장치를 말한다. 또한, 표시 장치는 표시 소자를 포함하는 복수의 화소를 포함하고 있어도 좋다. 또한, 표시 장치는, 복수의 화소를 구동시키는 주변 구동 회로를 포함하고 있어도

좋다. 또한, 복수의 화소를 구동시키는 주변 구동 회로는 복수의 화소와 동일 기판 위에 형성되어도 좋다. 또한, 표시 장치는, 와이어 본딩이나 범프 등에 의해 기판 위에 배치된 주변 구동 회로, 소위, 칩 온 글래스(COG)로 접속된 IC칩, 또는, TAB 등으로 접속된 IC칩을 포함하고 있어도 좋다. 또한, 표시 장치는, IC칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 장착된 플렉서블 프린트 서킷(FPC)을 포함해도 좋다. 또한, 표시 장치는, 플렉서블 프린트 서킷(FPC) 등을 통하여 접속되고, IC칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 장착된 프린트 배선 기판(PWB)을 포함하고 있어도 좋다. 또한, 표시 장치는, 편광판 또는 위상차판 등의 광학 시트를 포함하고 있어도 좋다. 또한, 표시 장치는, 조명 장치, 케이스, 음성 입출력 장치, 광 센서 등을 포함하고 있어도 좋다.

[0060] 또한, 조명 장치는, 백 라이트 유닛, 도광판, 프리즘 시트, 확산 시트, 반사 시트, 광원(LED, 냉음극관 등), 냉각 장치(수냉식, 공랭식) 등을 가지고 있어도 좋다.

[0061] 또한, 발광 장치는, 발광 소자 등을 가지고 있는 장치를 말한다. 표시 소자로서 발광 소자를 가지고 있는 경우, 발광 장치는 표시 장치의 구체예의 하나이다.

[0062] 또한, 반사 장치는, 광반사 소자, 광회절 소자, 광반사 진극 등을 가지고 있는 장치를 말한다.

[0063] 또한, 액정 표시 장치는, 액정 소자를 가지고 있는 표시 장치를 말한다. 액정 표시 장치에는, 직시형, 투사형, 투과형, 반사형, 반투과형 등이 있다.

[0064] 또한, 구동 장치는, 반도체 소자, 전기 회로, 전자 회로를 가지는 장치를 말한다. 예를 들면, 소스 신호선으로부터 화소 내로의 신호의 입력을 제어하는 트랜지스터(선택용 트랜지스터, 스위칭용 트랜지스터 등이라고 부르기도 함), 화소 전극에 전압 또는 전류를 공급하는 트랜지스터, 발광 소자에 전압 또는 전류를 공급하는 트랜지스터 등은 구동 장치의 일례이다. 또한, 게이트 신호선에 신호를 공급하는 회로(게이트 드라이버, 게이트선 구동 회로 등이라고 부르기도 함), 소스 신호선에 신호를 공급하는 회로(소스 드라이버, 소스선 구동 회로 등이라고 부르기도 함) 등은 구동 장치의 일례이다.

[0065] 또한, 표시 장치, 반도체 장치, 조명 장치, 냉각 장치, 발광 장치, 반사 장치, 구동 장치 등은 서로 중복하여 가지고 있는 경우가 있다. 예를 들면, 표시 장치가 반도체 장치 및 발광 장치를 가지고 있는 경우가 있다. 혹은, 반도체 장치가 표시 장치 및 구동 장치를 가지고 있는 경우가 있다.

발명의 효과

[0066] 본 명세서에서 개시하는 발명의 일 양태에 의해, 트랜지스터의 열화를 저감할 수 있다.

[0067] 또한, 본 명세서에서 개시하는 발명의 일 양태에 의해, 트랜지스터의 열화에 따른 회로의 동작 불량을 억제할 수 있다.

[0068] 또한, 본 명세서에서 개시하는 발명의 일 양태에 의해, 트랜지스터를 가지는 회로의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0069] 도 1은 반도체 장치의 일례를 나타낸 도면.
- 도 2는 반도체 장치 및 그 동작을 설명한 도면.
- 도 3은 반도체 장치 및 그 동작을 설명한 도면.
- 도 4는 반도체 장치 및 그 동작을 설명한 도면.
- 도 5는 반도체 장치의 일례를 나타낸 도면.
- 도 6은 반도체 장치의 동작의 일례를 설명한 도면.
- 도 7은 반도체 장치의 동작의 일례를 설명한 도면.
- 도 8은 반도체 장치의 동작의 일례를 설명한 도면.
- 도 9는 반도체 장치의 동작의 일례를 설명한 도면.
- 도 10은 반도체 장치의 동작의 일례를 설명한 도면.

- 도 11은 반도체 장치의 동작의 일례를 설명한 도면.
- 도 12는 반도체 장치의 일례를 나타낸 도면.
- 도 13은 반도체 장치의 동작의 일례를 설명한 도면.
- 도 14는 반도체 장치의 동작의 일례를 설명한 도면.
- 도 15는 반도체 장치의 동작의 일례를 설명한 도면.
- 도 16은 반도체 장치의 일례를 나타낸 도면.
- 도 17은 반도체 장치의 일례를 나타낸 도면.
- 도 18은 반도체 장치의 일례를 나타낸 도면.
- 도 19는 반도체 장치의 일례를 나타낸 도면.
- 도 20은 반도체 장치의 일례를 나타낸 도면.
- 도 21은 반도체 장치의 일례를 나타낸 도면.
- 도 22는 반도체 장치의 일례를 나타낸 도면.
- 도 23은 반도체 장치의 일례를 나타낸 도면.
- 도 24는 반도체 장치의 일례를 나타낸 도면.
- 도 25는 반도체 장치의 일례를 나타낸 도면.
- 도 26은 반도체 장치의 일례를 나타낸 도면.
- 도 27은 반도체 장치의 일례를 나타낸 도면.
- 도 28은 반도체 장치의 사용 형태를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0070] 이하, 실시형태에 대하여 도면을 참조하여 설명한다. 단, 실시형태는 많은 다른 양태로 실시하는 것이 가능하고, 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에서, 동일 부분 또는 동일한 기능을 가지는 부분은 다른 도면 간에 공통의 부호를 이용하여 나타내고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.
- [0071] 또한, 어느 하나의 실시형태 중에서 설명하는 내용(일부의 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부의 내용이어도 좋음), 및/또는, 하나 혹은 복수의 다른 실시형태에서 설명하는 내용(일부의 내용이어도 좋음)에 대하여, 적용, 조합 또는 치환 등을 행할 수 있다.
- [0072] 또한, 실시형태 중에서 설명하는 내용은, 각각의 실시형태에서, 다양한 도면을 이용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 이용하여 설명하는 내용이다.
- [0073] 또한, 어느 하나의 실시형태에서 설명하는 도면(일부이어도 좋음)은, 그 도면의 다른 부분, 그 실시형태에서 설명하는 다른 도면(일부이어도 좋음), 및/또는, 하나 혹은 복수의 다른 실시형태에서 설명하는 도면(일부이어도 좋음)에 대하여, 조합함으로써, 더욱 많은 도면을 구성할 수 있다.
- [0074] 또한, 어느 하나의 실시형태에서 설명하는 도면 또는 문장에서, 그 일부분을 발췌하여, 발명의 일 양태를 구성하는 것은 가능하다. 따라서, 어느 부분을 설명하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 발췌한 내용도, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능한 것으로 한다. 따라서, 예를 들면, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 기관, 모듈, 장치, 고체, 액체, 기체, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면(단면도, 평면도, 회로도, 블럭도, 플로 차트(flow chart), 공정도, 사시도, 입면도, 배치도, 타이밍 차트, 구조도, 모식도, 그래프, 표, 광로도, 벡터도, 상태도, 파형도, 사진, 화학식 등) 또는 문장에서, 그 일부분을 발췌하여, 발명의 일 양태를 구성하는 것이 가능한 것으로 한다. 일례로서는, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 가지고 구성되는 회로도로부터, M개(M은

정수이고, $M < N$ 의 회로 소자(트랜지스터, 용량 소자 등)를 빼내어, 발명의 일 양태를 구성하는 것은 가능하다. 다른 일례로서는, N 개(N 은 정수)의 층을 가지고 구성되는 단면도로부터, M 개(M 은 정수이고, $M < N$)의 층을 빼내어, 발명의 일 양태를 구성하는 것은 가능하다. 다른 일례로서는, N 개(N 은 정수)의 요소를 가지고 구성되는 플로 차트로부터, M 개(M 은 정수로, $M < N$)의 요소를 빼내어, 발명의 일 양태를 구성하는 것은 가능하다.

[0075] 또한, 어느 하나의 실시형태에서 설명하는 도면 또는 문장에서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념을 도출하는 것은, 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 어느 하나의 실시형태에서 설명하는 도면 또는 문장에서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념도, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다.

[0076] 또한, 적어도 도면에 기재한 내용(도면의 일부이어도 좋음)은, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다. 따라서, 어느 내용에 대하여, 도면에 기재되어 있다면, 문장을 이용하여 설명하지 않아도, 그 내용은 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다. 마찬가지로, 도면의 일부를 발췌한 도면에 대해서도, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다.

[0077] 또한, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 모든 단자에 대하여, 그 접속처를 특정하지 않아도, 당업자라면, 발명의 일 양태를 구성하는 것이 가능한 경우가 있다. 특히, 단자의 접속처가 복수인 경우에는, 그 단자의 접속처를 특정의 개수로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 일부의 단자에 대해서만, 그 접속처를 특정하는 것에 의해, 발명의 일 양태를 구성하는 것이 가능한 경우가 있다.

[0078] 또한, 어느 회로에 대하여, 적어도 접속처를 특정하면, 당업자라면, 발명을 특정하는 것이 가능한 경우가 있다. 또한, 어느 회로에 대하여, 적어도 기능을 특정하면, 당업자라면 발명을 특정하는 것이 가능한 경우가 있다. 따라서, 어느 회로에 대하여, 기능을 특정하지 않아도, 접속처를 특정하면, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다. 또한, 어느 회로에 대하여, 접속처를 특정하지 않아도, 기능을 특정하면, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다.

[0080] [실시형태 1]

[0081] 본 실시형태에서는, 트랜지스터를 구비하는 반도체 장치의 일례에 관하여 설명한다.

[0082] 본 실시형태에 나타난 반도체 장치는, 트랜지스터의 열화를 저감하기 위하여, 트랜지스터가 도통(on(온)) 하고 있는 기간에 이 트랜지스터를 흐르는 전류의 방향을 바꾸는(반전시키는) 구성으로 되어 있다. 즉, 트랜지스터가 도통하고 있는 기간에 이 트랜지스터의 제1 단자와 제2 단자(소스 또는 드레인이 되는 단자)에 가하는 전압의 대소 관계를 임의의 기간마다 바꿈으로써, 소스와 드레인을 임의의 기간마다 전환하는 구성으로 한다. 이하에, 구체적인 회로 구성 및 동작에 대하여 도면을 참조하여 설명한다.

[0083] 본 실시형태에 나타난 반도체 장치는, 배선(101)과 배선(103) 사이에 설치된 트랜지스터(111)와, 배선(102)과 배선(103) 사이에 설치된 트랜지스터(112)를 적어도 가지고 있다(도 1(A) 참조).

[0084] 트랜지스터(111)는, 소스 또는 드레인의 한쪽이 배선(101)에 전기적으로 접속되고, 다른 한쪽이 배선(103)에 전기적으로 접속되어 있다. 트랜지스터(111)가 온함으로써, 배선(101)에 입력되는 신호(IN1)가 배선(103)에 공급된다. 트랜지스터(112)는, 소스 또는 드레인의 한쪽이 배선(102)에 전기적으로 접속되고, 다른 한쪽이 배선(103)에 전기적으로 접속되어 있다. 트랜지스터(112)가 온함으로써, 배선(102)에 입력되는 신호(IN2)가 배선(103)에 공급된다.

[0085] 즉, 배선(103)에는, 배선(101)에 입력되는 신호(IN1)에 대응하는 제1 신호, 또는 배선(102)에 입력되는 신호(IN2)에 대응하는 제2 신호가 공급된다.

[0086] 예를 들면, 제1 신호로서 고전위(하이(H) 레벨 신호), 제2 신호로서 저전위(로(L) 레벨 신호)를 이용하여, 트랜지스터(111) 및 트랜지스터(112)의 온 또는 오프를 제어함으로써, 배선(103)에 H 레벨 신호 또는 L 레벨 신호를 선택적으로 출력할 수 있다. 또한, 도 2(A)에 나타난 바와 같이, 배선(103)에 트랜지스터의 게이트를 접속하고, 배선(103)으로부터 H 레벨 신호 또는 L 레벨 신호를 출력함으로써, 이 트랜지스터의 온 또는 오프를 제어할 수 있다.

[0087] 또한, 도 1에서는, 트랜지스터(111) 및 트랜지스터(112)는, N 채널형으로 형성한 경우를 나타내었지만, P 채널형으로 형성해도 좋다. 또한, 트랜지스터(111)와 트랜지스터(112)의 극성이 상이하여도 좋고, 각 트랜지스터를

CMOS로 형성해도 좋다. 또한, 트랜지스터(111)는 배선(101)과 배선(103) 사이의 스위치로서 기능하고, 트랜지스터(112)는 배선(102)과 배선(103) 사이의 스위치로서 기능할 수 있다(도 1(B) 참조).

- [0088] 본 실시형태에서는, 도 1에 나타난 구성에서, 트랜지스터(111)와 트랜지스터(112)의 적어도 한쪽에 대하여, 이 트랜지스터를 흐르는 전류의 방향을 바꾸는 구성으로 한다. 즉, 트랜지스터(111)와 트랜지스터(112)의 적어도 한쪽에 대하여, 트랜지스터의 소스 또는 드레인이 되는 단자인 제1 단자와 제2 단자에 가하는 전압의 대소 관계를 임의의 기간마다 바꾸는(소스와 드레인을 바꾸는) 구성으로 한다.
- [0089] 특히, 회로 동작시에, 긴 기간 온 상태를 유지하는 트랜지스터에 대하여, 이 트랜지스터를 흐르는 전류의 방향을 바꾸는 구성으로 하는 것이 바람직하다. 예를 들면, 도 1(A)에서, 트랜지스터(112)가 긴 기간 온 상태를 유지하는 경우에는, 적어도 이 트랜지스터(112)를 흐르는 전류의 방향(A 방향 또는 B 방향)을 바꾸는 구성으로 한다. 즉, 트랜지스터(112)의 제1 단자와 제2 단자에 가하는 전압의 대소 관계를 기간마다 바꾸는(소스와 드레인을 바꾸는) 구성으로 한다.
- [0090] 이하에, 구체적인 동작 방법에 관하여 도 2, 도 3을 참조하여 설명한다.
- [0091] 이하의 설명에서는, 배선(103)에 N 채널형의 트랜지스터(121)의 게이트가 전기적으로 접속되어 있는 구성(예를 들면, 배선(103)이 게이트선으로서 기능하는 경우)에 대하여 설명한다(도 2(A) 참조). 또한, 배선(102)에 입력하는 신호로서, 전위가 소정의 기간마다 변화하는 신호를 이용하는 것에 의해, 트랜지스터(112)가 온하고 있는 기간에 이 트랜지스터(112)를 흐르는 전류의 방향을 바꾸는 경우에 대하여 설명한다.
- [0092] 도 2(B)~도 2(F)는 각각, 배선(103)에 공급되는 신호(Out), 배선(101)에 입력되는 신호(IN1), 배선(102)에 입력되는 신호(IN2), 트랜지스터(111)의 게이트에 입력되는 신호(IN3), 트랜지스터(112)의 게이트에 입력되는 신호(IN4)를 나타내고 있다. 물론, 이들 신호(IN1~IN4)는 일레이이며, 도 2에 나타난 신호에 한정되는 것은 아니다.
- [0093] 먼저, 기간(T1)에서, 트랜지스터(111)의 게이트에 이 트랜지스터(111)를 온시키는 신호(IN3)가 입력된다. 그 결과, 트랜지스터(111)가 온 상태가 되고, 배선(101)에 입력된 신호(IN1)에 대응하는 제1 신호(여기에서는, H 레벨 신호(트랜지스터(121)를 온시키는 선택 신호))가 트랜지스터(111)를 통하여 배선(103)에 공급된다. 그리고 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 선택 신호가 입력되어 트랜지스터(121)가 온한다(도 3(A) 참조).
- [0094] 기간(T1)에서, 트랜지스터(111)의 게이트에 입력되는 신호(IN3)의 전위가 V_H 인 경우, 트랜지스터(111)의 스레시홀드값을 V_{th} 로 하면, 배선(103)에 출력되는 신호의 전위는 $V_H - V_{th}$ 가 된다. 배선(103)에 출력되는 신호의 전위를 V_H 로 하기 위해서는, 기간(T1)에서 트랜지스터(111)의 게이트를 부유 상태로 하고, 부트스트랩(bootstrap) 동작을 행하는 것에 의해, 트랜지스터(111)의 게이트에 입력하는 신호(IN3)의 전위를 $V_H + V_{th}$ 보다 크게 하면 좋다. 물론, 배선(103)에 출력되는 신호의 전위를 V_H 로 하기 위해, 트랜지스터(111)의 게이트에 입력하는 신호(IN3)의 전위를 미리 $V_H + V_{th}$ 보다 커지도록 설정(예를 들면, $V_H + V_{th} + \alpha$)해도 좋다.
- [0095] 또한, 기간(T1)에서, 트랜지스터(112)는 비도통(오프 상태)으로 되어 있다. 단, 이것에 한정되지 않고, 배선(103)에 선택 신호가 출력된다면, 트랜지스터(112)가 온으로 되어 있어도 좋다. 이 경우, 배선(102)에 입력되는 신호(IN2)의 전위가 V_H 로 되어 있는 것이 바람직하다.
- [0096] 또한, 기간(T1)보다 전(前)의 기간에서, 트랜지스터(111)가 온하고 있어도 좋다. 이 경우에는, 배선(101)에 입력되는 신호는, L 레벨 신호로 되어 있는 것이 바람직하다.
- [0097] 다음에, 기간(T2)이 되면, 트랜지스터(112)의 게이트에 이 트랜지스터(112)를 온시키는 신호(IN4)가 입력된다. 이 때, 트랜지스터(112)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{LL})는 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_H)보다 낮아지기 때문에, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 된다. 그 결과, 트랜지스터(112)에서, 게이트와 소스간의 전위 $V_{gsB} = V_H - V_{LL}$ 이 트랜지스터(112)의 스레시홀드값보다 커지기 때문에, 트랜지스터(112)가 온 상태가 되고, 배선(102)에 입력된 신호(IN2)에 대응하는 제2 신호(여기에서는, 트랜지스터(121)를 오프시키는 비선택 신호, 전위(V_{LL}))가 트랜지스터(112)를 통하여 배선(103)에 공급된다.

- [0098] 그리고 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 비선택 신호가 공급되어 트랜지스터(121)가 오프한다. 또한, 트랜지스터(111)는, 기간(T2)에서 오프 상태로 되어 있다. 단, 이것에 한정되지 않고, IN1이 V_{LL} 이 된다면 트랜지스터(111)가 온 상태로 되어 있어도 좋다.
- [0099] 이와 같이, 기간(T2)에서는, 트랜지스터(112)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 낮아짐으로써, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 2(A) 중 B 방향)로 흐른다(도 3(B) 참조).
- [0100] 다음에, 기간(T3)이 되면, 트랜지스터(111)는 오프 상태를 유지하고, 배선(102)에 입력되는 신호(IN2)의 전위가 V_{LL} 로부터 $V_{HH}(V_{LL} < V_{HH})$ 로 변화한다. 이 때, 트랜지스터(112)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{HH})가 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_{LL})보다 높아지기 때문에, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 된다. 트랜지스터(112)에서, 게이트와 소스간의 전위 $V_{gsA} = V_H - V_{HH}$ 가 트랜지스터(112)의 스레시홀드값보다 큰 상태를 유지하기 때문에, 트랜지스터(112)가 온 상태를 유지하고, 배선(102)에 입력된 신호(IN2)에 대응하는 제2 신호(여기에서는, 트랜지스터(121)를 오프시키는 비선택 신호, 전위(V_{HH}))가 트랜지스터(112)를 통하여 배선(103)에 공급된다.
- [0101] 그리고 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에는 비선택 신호가 입력되기 때문에, 트랜지스터(121)가 오프 상태를 유지한다. 여기서, 전위(V_{HH})와 전위(V_{LL})는 서로 다르고, 또한, 트랜지스터(121)의 게이트에 인가되어도 이 트랜지스터(121)를 온시키지 않는 전위이다. 예를 들면, 트랜지스터(121)의 소스 또는 드레인에서 가장 낮은 전위를 V_{min} , 가장 높은 전압을 V_{max} , 트랜지스터(121)의 스레시홀드 전압을 V_{th} 로 했을 때, $V_{HH} - V_{min} < V_{th}$, $V_H - V_{max} > V_{th}$ 를 만족시키는 관계로 하면 좋다.
- [0102] 이와 같이, 기간(T3)에서는, 트랜지스터(112)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 높아지는 것에 의해, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 2(A) 중 A 방향)로 흐른다(도 3(C) 참조).
- [0103] 계속되는 기간(T_n)~기간(T_{n+1})에서는, 기간(T2)~기간(T3)의 동작을 반복하기 때문에, 배선(103)에는 소정의 기간마다 전위(V_{LL})와 전위(V_{HH})가 바뀌는 제2 신호가 공급되고(여기에서는, 전위가 V_{HH} 인 신호, 짝수의 기간에 전위가 V_{LL} 인 신호가 공급된다), 트랜지스터(121)는 오프 상태를 유지한다. 또한, 트랜지스터(112)는, 온 상태를 유지하지만, 전류의 방향이 바뀌는 구성이 된다(도 3(D), 도 3(E) 참조).
- [0104] 즉, 본 실시형태에서는, L 레벨 신호를 계속하여 출력하는 트랜지스터(112)에, 임의의 기간마다 전위가 변화하는 L 레벨 신호(비선택 신호)를 입력하는 것에 의해, 트랜지스터(112)에서 소스 또는 드레인이 되는 2개의 단자의 전압의 대소 관계를 바꾸어, 트랜지스터(112)를 흐르는 전류의 방향을 바꾼다.
- [0105] 이와 같이, 트랜지스터(112)를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 구성으로 함으로써, 트랜지스터(121)를 안정적으로 오프시키기 위해 트랜지스터(112)를 긴 기간 온 상태로 하는 경우에도, 트랜지스터(112)의 채널부(드레인단)에서의 전계의 집중을 완화하여, 트랜지스터(112)의 열화를 저감할 수 있다. 그 결과, 트랜지스터의 열화에 따른 회로의 동작 불량을 억제하여, 신뢰성을 향상시킬 수 있다.
- [0106] 특히, 트랜지스터로서 아몰퍼스 실리콘이나 미결정 실리콘(마이크로 크리스털, 나노 크리스털)을 채널 형성 영역으로 하는 경우에는, 회로의 동작 기간에 있어서 긴 기간 온 상태를 유지하는 트랜지스터를 도 2, 도 3에서 나타낸 바와 같이 동작시키는 것은 트랜지스터의 열화의 저감에 유효하게 된다. 또한, 아몰퍼스 실리콘이나 미결정 실리콘 이외의 경우에도, 예를 들면, 폴리실리콘, 산화물 반도체(ZnO , IGZO($InGaZnO$) 등), 유기 반도체, 카본 나노 튜브 등을 채널 형성 영역으로 하는 경우에도 트랜지스터의 열화의 저감에 유효하게 된다.
- [0107] 또한, 도 2에서는, L 레벨 신호로서, 전위가 V_{HH} 로 이루어지는 제1 전위와, 전위가 V_{LL} 로 이루어지는 제2 전위($V_{HH} > V_{LL}$)가 임의의 기간마다 전환하는 신호를 이용한 경우를 나타냈지만, 배선(102)에 입력하는 신호는, 서로 전위가 다른 2 종류의 신호에 한정되지 않는다. 트랜지스터(121)를 온시키지 않는 전위라면, 서로 다른 3 종류 이상의 전위를 조합하여 트랜지스터(112)에 입력해도 좋다.
- [0108] 또한, 상기 도 2에서는, 배선(102)에 전위가 V_{HH} 로 이루어지는 제1 전위와, 전위가 V_{LL} 로 이루어지는 제2 전위를

같은 기간 번갈아 반복하여 입력하는 경우를 나타냈지만, 제1 전위와 제2 전위를 입력하는 기간은 임의로 설정할 수 있다. 또한, 배선(102)에 전위가 V_{LH} 로 이루어지는 제1 전위와, 전위가 V_{LL} 로 이루어지는 제2 전위를 같은 기간 번갈아 반복하여 입력하는 경우에도, 그 주기는 임의로 설정할 수 있다.

[0109] 또한, 도 2에 나타낸 신호(IN1~IN4)는 일레에 지나지 않으며, 이것에 한정되는 것은 아니다. 예를 들면, 상기 도 2에서는 배선(101)에 일정 전위의 신호를 입력하는 경우(예를 들면, 배선(101)을 전원선에 접속하는 경우)를 나타냈지만, 배선(101)에 다른 신호(예를 들면, 클럭 신호)를 입력해도 좋다. 또한, 상기 도 2에서는 기간(T2)~기간(Tn)에서, 트랜지스터(111)가 오프 상태가 되는 경우를 나타냈지만, 배선(101)으로부터 L 레벨 신호가 공급되는 경우에는, 트랜지스터(111)를 온 상태로 하는 기간을 형성해도 좋다.

[0110] 또한, 기간(T1)에서, 트랜지스터(112)의 게이트에 입력하는 신호(IN4)의 전위를 V_{LL} 로 한 경우를 나타냈지만, 트랜지스터(112)가 오프가 된다면 이것에 한정되지 않는다. 예를 들면, 트랜지스터(112)의 게이트에 입력하는 신호(IN4)의 전위로서 V_{LL} 보다 낮은 전위로 하여도 좋다. 이 경우, 트랜지스터(112)가 오프 시에, V_{gs} 를 0 V보다 작게 할 수 있기 때문에, 이 트랜지스터(112)의 열화를 효과적으로 억제할 수 있다.

[0111] 또한, 상기 도 2에서는, 기간(T2)~기간(Tn)에서, 트랜지스터(112)가 온 상태를 유지하는 경우를 나타냈지만, 이것에 한정되지 않는다. 예를 들면, 기간(T2)~기간(Tn)의 어느 기간에서 트랜지스터(112)를 오프로 하는 구성으로 해도 좋다. 즉, 트랜지스터(112)가 온하고 있는 기간과 오프하고 있는 기간을 조합하고, 또한, 온하고 있는 기간에서는 이 트랜지스터(112)를 흐르는 전류의 방향을 바꾸는 구성으로 한다. 이 경우, 트랜지스터(112)의 열화를 보다 효과적으로 억제할 수 있다. 또한, 트랜지스터(112)를 오프하는 기간에서 배선(102)과 배선(103)의 전위는 동일해도 좋고, 상이하여도 좋다. 또한, 트랜지스터(112)를 오프로 하는 기간은 특별히 한정되지 않지만, 제어하기 쉽다는 점에서, 트랜지스터(112)를 온하는 기간과 오프하는 기간을 거의 같게 하는 것이 바람직하다.

[0112] 또한, 본 실시형태에 나타낸 반도체 장치는, 상술한 바와 같이, 트랜지스터(111)의 게이트를 일시적으로 부유 상태로 하는 것에 의해, 트랜지스터(111)의 게이트와 소스간의 용량 결합을 이용하는 부트스트랩 동작을 적용한 회로 구성으로 할 수 있다. 이 경우, 도 1(C)에 나타낸 바와 같이, 트랜지스터(111)의 게이트와, 소스 또는 드레인의 한쪽의 사이에 용량 소자(115)를 형성한 구성으로 해도 좋다. 용량 소자(115)를 형성함으로써, 안정적으로 부트스트랩 동작을 행할 수 있다. 또한, 트랜지스터(111)의 게이트와, 소스 또는 드레인과의 사이에 충분한 기생 용량이 생기는 경우에는, 용량 소자(115)를 형성하지 않고 부트스트랩 동작을 형성하는 것도 가능하다.

[0113] 또한, 본 실시형태에서는, L 레벨 신호를 계속하여 출력하는 트랜지스터(112)를 흐르는 전류의 방향을 바꾸는 구성을 예로 들었지만, 트랜지스터(111)가 L 레벨 신호를 계속하여 출력하는 경우에는, 트랜지스터(111)를 흐르는 전류의 방향을 바꾸는 구성으로 하면 좋다. 이 경우, 배선(101)에 입력하는 신호(IN1)로서, 전위가 V_{LH} 로 이루어지는 제1 전위와, 전위가 V_{LL} 로 이루어지는 제2 전위($V_{LH} > V_{LL}$)가 임의의 기간마다 바뀌는 신호를 이용할 수 있다.

[0114] 또한, 트랜지스터(112)(또는 트랜지스터(111))가 H 레벨 신호를 계속하여 출력하는 경우에는, 이 트랜지스터(112)(또는 트랜지스터(111))를 흐르는 전류의 방향을 바꾸는 구성으로 하면 좋다. 이 경우, 배선(102)(또는 배선(101))에 입력하는 신호로서 전위가 V_{HH} 로 이루어지는 제1 전위와, 전위가 V_{HL} 로 이루어지는 제2 전위($V_{HH} > V_{HL}$)가 임의의 기간에 바뀌는 신호를 이용할 수 있다.

[0115] 물론, 트랜지스터(111)와 트랜지스터(112)의 쌍방에 있어서, 전류의 방향이 바뀌는 구성으로 해도 좋다. 예를 들면, 트랜지스터(111)를 통하여 배선(101)으로부터 배선(103)으로 H 레벨 신호가 공급되고, 트랜지스터(112)를 통하여 배선(102)으로부터 배선(103)으로 L 레벨 신호가 공급되는 경우, 배선(101)에 입력하는 신호(IN1)로서 전위가 V_{HH} 로 이루어지는 제1 전위와, 전위가 V_{HL} 로 이루어지는 제2 전위가 임의의 기간마다 전환되는 신호를 이용하여, 배선(102)에 입력하는 신호(IN2)로서 전위가 V_{LH} 로 이루어지는 제1 전위와, 전위가 V_{LL} 로 이루어지는 제2 전위가 임의의 기간마다 전환되는 신호를 이용할 수 있다.

[0116] 또한, 본 실시형태에서는, 트랜지스터(111), 트랜지스터(112) 및 트랜지스터(121)를 N 채널형의 트랜지스터로 형성한 경우를 나타냈지만, P 채널형의 트랜지스터로 형성해도 좋다(도 4(A)~도 4(F) 참조). P 채널형의 트랜지스터로 형성한 경우에는, 배선(102)에 입력하는 신호로서, 전위가 V_{HH} 로 이루어지는 제1 전위와, 전위가 V_{HL} 로

이루어지는 제2 전위($V_{th} > V_{th}$)가 임의의 기간에 전환되는 신호를 이용함으로써, 트랜지스터(112)를 흐르는 전류의 방향이 바뀌도록 동작시킬 수 있다. 그 결과, 트랜지스터(112)의 열화를 저감하여 회로의 동작 불량을 억제할 수 있다. 또한, 도 4에서는, 트랜지스터(111), 트랜지스터(112) 및 트랜지스터(121)를 P 채널형의 트랜지스터로 형성한 경우를 나타냈지만, 트랜지스터(121)를 N 채널형의 트랜지스터로 형성해도 좋다.

[0117] 또한, 본 실시형태에 나타난 구성은, 본 명세서에 나타난 다른 구성(다른 실시형태에 나타난 구성을 포함함)과 적절히 조합하여 실시할 수 있다.

[0119] [실시형태 2]

[0120] 본 실시형태에서는, 상기 실시형태와 다른 구성을 가지는 반도체 장치의 일례에 관하여 도면을 참조하여 설명한다.

[0121] 본 실시형태에 나타난 반도체 장치는, 배선(101)과 배선(103) 사이에 설치된 트랜지스터(111)와, 배선(102)과 배선(103) 사이에 서로 병렬하여 설치된 복수의 트랜지스터(112a, 112b)를 적어도 구비하고 있다(도 5(A) 참조). 즉, 도 5(A)에 나타난 구성은, 도 1에 나타난 구성에 트랜지스터(112b)를 추가한 구성으로 되어 있다(도 5의 트랜지스터(112a)가 도 1의 트랜지스터(112)에 대응한다). 또한, 도 5(A)에서는, 2개의 트랜지스터(트랜지스터(112a, 112b))를 병렬하여 형성한 경우를 나타냈지만, 트랜지스터의 수는 3개 이상 설치해도 좋다.

[0122] 트랜지스터(112a, 112b)는, 소스 또는 드레인의 한쪽이 배선(102)에 전기적으로 접속되고, 다른 한쪽이 배선(103)에 접속되어 있고, 서로 병렬로 설치되어 있다. 따라서, 트랜지스터(112a, 112b)의 적어도 한쪽이 온함으로써, 배선(102)에 입력되는 신호(IN2)가 배선(103)에 공급된다.

[0123] 배선(103)에는, 배선(101)에 입력되는 신호(IN1)에 대응하는 제1 신호, 또는 배선(102)에 입력되는 신호(IN2)에 대응하는 제2 신호가 공급된다.

[0124] 또한, 도 5에서는, 트랜지스터(111), 트랜지스터(112a, 112b)는, N 채널형으로 형성한 경우를 나타내었지만, P 채널형으로 형성해도 좋고, CMOS로 형성해도 좋다. 또한, 트랜지스터(111)는 배선(101)과 배선(103) 사이의 스위치로서 기능하고, 트랜지스터(112a, 112b)는 배선(102)과 배선(103) 사이의 스위치로서 기능한다(도 5(B) 참조).

[0125] 본 실시형태에서는, 병렬로 설치된 복수의 트랜지스터(도 5에서는, 트랜지스터(112a, 112b))의 온과 오프를 번갈아 행한다. 그리고 복수의 트랜지스터를 흐르는 전류의 방향을 바꾸는 구성(트랜지스터의 소스 또는 드레인이 되는 단자에 가하는 전압의 대소 관계를 기간마다 바꾸는(소스와 드레인을 바꾸는) 구성으로 한다. 즉, 병렬로 설치된 복수의 트랜지스터의 온과 오프를 제어한다. 그리고 복수의 트랜지스터를 흐르는 전류의 방향을 제어함으로써, 트랜지스터의 채널부(드레인단)에서의 전계의 집중을 완화하여 열화를 저감한다.

[0126] 이하에, 구체적인 동작 방법에 관하여 도면을 참조하여 설명한다.

[0128] [IN2의 주기가 IN4, IN5의 주기보다 작은 경우의 동작]

[0129] 도 6(A)~도 6(F)는 각각, 배선(103)으로부터 출력되는 신호(Out), 배선(101)에 입력되는 신호(IN1), 배선(102)에 입력되는 신호(IN2), 트랜지스터(111)의 게이트에 입력되는 신호(IN3), 트랜지스터(112a)의 게이트에 입력되는 신호(IN4), 트랜지스터(112b)의 게이트에 입력되는 신호(IN5)를 나타낸다. 도 6에서는, 배선(102)에 입력되는 신호(IN2)의 주기가 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)의 1/2인 경우를 나타낸다. 물론, 입력되는 신호(IN1~IN5)는 일례이며, 이것들에 한정되는 것은 아니다.

[0130] 또한, 도 6(G)은, 트랜지스터(112a), 트랜지스터(112b)의 전류가 흐르는 방향을 나타내고 있고, A_1 , A_2 , B_1 , B_2 는 각각 도 5에 나타난 방향에 대응하고 있다. 또한, 트랜지스터가 오프하여 전류가 흐르지 않는 기간은 \times 로 나타내고 있다.

[0131] 먼저, 기간(T1)에서, 트랜지스터(111)의 게이트에 이 트랜지스터(111)를 온시키는 신호(IN3)가 입력된다. 그 결과, 트랜지스터(111)가 온 상태가 되고, 배선(101)에 입력된 신호(IN1)에 대응하는 제1 신호(여기에서는, H 레벨 신호(선택 신호))가 트랜지스터(111)를 통하여 배선(103)에 공급된다. 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우(도 5(C) 참조)에는, 이 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 선택 신호가 입력되어, 트랜지스터(121)가 온한다.

[0132] 기간(T1)에서, 트랜지스터(111)의 게이트에 입력되는 신호(IN3)의 전위가 V_{th} 인 경우, 트랜지스터(111)의 스레시

홀드값을 V_{th} 로 하면, 배선(103)에 출력되는 신호의 전위는 $V_H - V_{th}$ 가 된다. 이 경우, 배선(103)에 출력되는 신호의 전위를 V_H 로 하기 위해서는, 기간(T1)에서 트랜지스터(111)의 게이트를 부유 상태로 하여, 부트스트랩 동작을 행하는 구성으로 하면 좋다. 물론, 배선(103)에 출력되는 신호의 전위를 V_H 로 하기 위하여, 트랜지스터(111)의 게이트에 입력하는 신호(IN3)의 전위를 미리 $V_H + V_{th}$ 이상으로 설정해도 좋다.

[0133] 또한, 기간(T1)에서, 트랜지스터(112a, 112b)는, 오프 상태로 되어 있다. 단, 이것에 한정되지 않고, 배선(103)에 선택 신호가 출력된다면, 트랜지스터(112a, 112b)가 온으로 되어 있어도 좋다. 이 경우, 배선(102)에 입력되는 신호(IN2)의 전위가 V_H 로 되어 있는 것이 바람직하다.

[0134] 다음에, 기간(T2)이 되면, 트랜지스터(112a)의 게이트에 이 트랜지스터(112a)를 온시키는 신호(IN4)가 입력된다. 이 때, 트랜지스터(112a)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{LL})가 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_H)보다 낮아지기 때문에, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 된다. 그 결과, 트랜지스터(112a)에서, 게이트와 소스간의 전위 $V_{gsB} = V_H - V_{LL}$ 이 트랜지스터(112a)의 스레시홀드값보다 커지기 때문에, 트랜지스터(112a)가 온 상태가 되고, 배선(102)에 입력된 신호(IN2)에 대응하는 전위가 V_{LL} 인 제2 신호(비선택 신호)가 트랜지스터(112a)를 통하여 배선(103)에 공급된다.

[0135] 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우에는, 이 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 비선택 신호가 입력되어, 트랜지스터(121)가 오프한다.

[0136] 계속하여, 기간(T2)의 후반이 되면, 배선(102)에 입력되는 신호(IN2)의 전위가 변화(여기에서는, V_{LL} 로부터 V_{HH} 로 변화)한다. 이 때, 트랜지스터(112a)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{HH})가 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_{LL})보다 높아지기 때문에, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 된다. 그 결과, 트랜지스터(112a)에서, 게이트와 소스간의 전위 $V_{gsA} = V_H - V_{LL}$ 가 트랜지스터(112a)의 스레시홀드값보다 커지기 때문에, 트랜지스터(112a)가 온 상태를 유지하여, 배선(102)에 입력된 신호(IN2)에 대응하는 전위가 V_{HH} 의 제2 신호(비선택 신호)가 트랜지스터(112a)를 통하여 배선(103)에 공급된다.

[0137] 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우에는, 이 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 비선택 신호가 입력되기 때문에, 트랜지스터(121)는 오프를 유지한다.

[0138] 이와 같이, 기간(T2)의 전반에서는, 트랜지스터(112a)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 낮아짐으로써, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 B_1 방향)로 흐른다. 한편, 기간(T2)의 후반에서는, 트랜지스터(112a)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 높아짐으로써, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 5 중 A_1 방향)로 흐른다.

[0139] 다음에, 기간(T3)이 되면, 트랜지스터(112a)가 오프하고, 트랜지스터(112b)의 게이트에 이 트랜지스터(112b)를 온시키는 신호(IN5)가 입력된다. 이 때, 트랜지스터(112b)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{LL})가 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_{HH})보다 낮아지기 때문에, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 된다. 그 결과, 트랜지스터(112b)에서, 게이트와 소스간의 전위 $V_{gsB} = V_H - V_{LL}$ 가 트랜지스터(112b)의 스레시홀드값보다 커지기 때문에, 트랜지스터(112b)가 온 상태가 되고, 배선(102)에 입력된 신호(IN2)에 대응하는 전위(V_{LL})의 제2 신호(비선택 신호)가 트랜지스터(112b)를 통하여 배선(103)에 공급된다.

[0140] 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우에는, 이 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 비선택 신호가 입력되기 때문에, 트랜지스터(121)는 오프를 유지한다.

[0141] 계속하여, 기간(T3)의 후반이 되면, 배선(102)에 입력되는 신호(IN2)의 전위가 변화(여기에서는, V_{LL} 로부터 V_{HH}

로 변화)한다. 이 때, 트랜지스터(112b)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{LH})가 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_{LL})보다 높아지기 때문에, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 된다. 그 결과, 트랜지스터(112b)에서, 게이트와 소스간의 전위 $V_{gsA} = V_H - V_{LL}$ 가 트랜지스터(112b)의 스레시홀드값보다 커지기 때문에, 트랜지스터(112b)가 온 상태를 유지하고, 배선(102)에 입력된 신호(IN2)에 대응하는 전위(V_{LH})의 제2 신호(비선택 신호)가 트랜지스터(112b)를 통하여 배선(103)에 공급된다.

[0142] 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우에는, 이 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 비선택 신호가 입력되기 때문에, 트랜지스터(121)는 오프를 유지한다.

[0143] 이와 같이, 기간(T3)의 전반에서는, 트랜지스터(112b)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 낮아짐으로써, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 B_2 방향)로 흐른다. 한편, 기간(T3)의 후반에서는, 트랜지스터(112b)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 높아짐으로써, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 5 중 A_2 방향)로 흐른다.

[0144] 계속되는 기간(T4)~기간(Tn)에서는, 기간(T2) 또는 기간(T3)과 같은 동작을 행한다.

[0145] 기간(T3)~기간(Tn)에서, 트랜지스터(112a)가 온일 때, 온하고 있는 기간 중 전반의 기간에 배선(102)으로부터 전위가 V_{LL} 인 제2 신호가 배선(103)에 공급되고, 온하고 있는 기간 중 후반의 기간에 배선(102)으로부터 전위가 V_{LH} 인 제2 신호가 배선(103)에 공급된다. 따라서, 트랜지스터(112a)가 온하고 있는 기간 중 전반의 기간은 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 B_1 방향)로 흐른다. 또한, 트랜지스터(112a)가 온하고 있는 기간 중 후반의 기간은, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 5 중 A_1 방향)로 흐른다.

[0146] 또한, 트랜지스터(112a)가 온하고 있는 기간(트랜지스터(112b)가 오프하고 있는 기간) 중 후반의 기간은, 배선(102)의 전위가 V_{LH} 가 되기 때문에, 트랜지스터(112b)에서 게이트와 소스간 전압(V_{gs})이 부(負)($V_{gs} < 0$ V)가 된다. 이와 같이, 트랜지스터(112b)에서, 게이트와 소스간 전압(V_{gs})이 부($V_{gs} < 0$ V)가 되는 기간을 형성함으로써, 트랜지스터의 열화를 효과적으로 억제할 수 있다.

[0147] 기간(T3)~기간(Tn)에서, 트랜지스터(112b)가 온일 때, 온하고 있는 기간 중 전반의 기간에 배선(102)으로부터 전위가 V_{LL} 인 제2 신호가 배선(103)에 공급되고, 온하고 있는 기간 중 후반의 기간에 배선(102)으로부터 전위가 V_{LH} 인 제2 신호가 배선(103)에 공급된다. 그 때문에, 트랜지스터(112b)가 온하고 있는 기간 중 전반의 기간은, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 B_2 방향)로 흐른다. 또한, 트랜지스터(112b)가 온하고 있는 기간 중 후반의 기간은, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 5 중 A_2 방향)로 흐른다.

[0148] 또한, 트랜지스터(112b)가 온하고 있는 기간(트랜지스터(112a)가 오프하고 있는 기간) 중 후반의 기간은, 배선(102)의 전위가 V_{LH} 가 되기 때문에, 트랜지스터(112a)에서 게이트와 소스간 전압(V_{gs})이 부($V_{gs} < 0$ V)가 된다. 이와 같이, 트랜지스터(112a)에서, 게이트와 소스간 전압(V_{gs})이 부($V_{gs} < 0$ V)가 되는 기간을 형성함으로써, 트랜지스터의 열화를 효과적으로 억제할 수 있다.

[0149] 이와 같이, 병렬로 설치된 복수의 트랜지스터의 온과 오프를 번갈아 행하고, 트랜지스터가 온하고 있는 기간에 이 트랜지스터를 흐르는 전류의 방향을 바꾸는(트랜지스터의 제1 단자와 제2 단자(소스 또는 드레인이 되는 단자)에 가하는 전압의 대소 관계를 기간마다 바꾸는(소스와 드레인을 바꾸는)) 구성으로 함으로써, 트랜지스터의 채널부(드레인단)에서의 전계의 집중을 완화하여 열화를 저감할 수 있다. 그 결과, 트랜지스터의 열화에 따른 회로의 동작 불량을 억제하여, 신뢰성을 향상시킬 수 있다.

[0150] 또한, 도 6에 나타낸 바와 같이 트랜지스터(112a), 트랜지스터(112b)에서, 온하는 기간과 오프하는 기간을 거의

갈게 하는 것이 제어를 하기 쉽다는 점에서 바람직하다. 이 경우, 트랜지스터(112a), 트랜지스터(112b)가 온하고 있는 기간 중 반(半)의 기간마다 트랜지스터를 흐르는 전류의 방향을 바꿀 수 있다.

- [0151] 또한, 도 6에서는, 병렬로 설치된 복수의 트랜지스터(트랜지스터(112a), 트랜지스터(112b))가 번갈아 온과 오프하는 경우를 나타냈지만, 트랜지스터(112a)와 트랜지스터(112b)의 온과 오프의 기간이 일부 중첩되도록 동작시켜도 좋다. 즉, 트랜지스터(112a)와 트랜지스터(112b)의 쌍방이 온하고 있는 기간이나 쌍방이 오프하고 있는 기간을 제공해도 좋다.
- [0152] 또한, 도 6에서는, 배선(102)에 입력되는 신호(IN2)의 주기가 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)의 1/2인 경우를 나타냈지만 이것에 한정되는 것은 아니고, 1/2보다 작아도 좋고 커도 좋다. 또한, 도 6에서, 배선(102)에 입력되는 신호(IN2)의 위상을 시프트하여도 좋고, 예를 들면, 배선(102)에 입력되는 신호(IN2)를 1/2 또는 1/4 주기만큼 위상을 시프트하여도 좋다.
- [0153] 또한, 도 5에 나타낸 구조의 동작에서, 배선(102)에 입력되는 신호(IN2)의 주기는 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)의 주기보다 작은 경우에 한정되지 않는다. 이하에, 배선(102)에 입력되는 신호(IN2)의 주기가 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)의 주기와 같은 경우, 큰 경우에 대하여 도면을 참조하여 설명한다.
- [0155] [IN2의 주기가 IN4, IN5의 주기보다 큰 경우의 동작]
- [0156] 이하의 설명에서, 도 7, 도 8의 (A)~(F)는 각각, 배선(103)으로부터 출력되는 신호(Out), 배선(101)에 입력되는 신호(IN1), 배선(102)에 입력되는 신호(IN2), 트랜지스터(111)의 게이트에 입력되는 신호(IN3), 트랜지스터(112a)의 게이트에 입력되는 신호(IN4), 트랜지스터(112b)의 게이트에 입력되는 신호(IN5)를 나타낸다. 도 7, 도 8에서는, 배선(102)에 입력되는 신호(IN2)의 주기가 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)보다 큰 경우(IN2의 주기가 IN4, IN5의 주기의 2배의 경우)를 나타낸다. 물론, 입력되는 신호(IN1~IN5)는 일레이며, 이것들에 한정되는 것은 아니다.
- [0157] 또한, 도 7, 도 8의 (G)는, 트랜지스터(112a), 트랜지스터(112b)의 전류가 흐르는 방향을 나타내고 있고, A₁, A₂, B₁, B₂는 각각 도 5에 나타낸 방향에 대응하고 있다. 또한, 트랜지스터가 오프하여 전류가 흐르지 않는 기간은 ×로 나타내고 있다. 또한, 트랜지스터가 온하고 있지만 전류가 흐르지 않는 기간은 -로 나타내고 있다.
- [0158] 먼저, 기간(T1)에서, 트랜지스터(111)의 게이트에 트랜지스터(111)를 온시키는 신호(IN3)가 입력된다. 여기에서는, 상기 도 6의 기간(T1)과 마찬가지로 동작한다.
- [0159] 다음에, 기간(T2)이 되면, 트랜지스터(112a)의 게이트에 이 트랜지스터(112a)를 온시키는 신호(IN4)가 입력된다. 이 때, 트랜지스터(112a)에서 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{LL})는 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_H)보다 낮아지기 때문에, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 된다. 그 결과, 트랜지스터(112a)에서, 게이트와 소스간의 전위 V_{gsB} = V_H - V_{LL}가 트랜지스터(112a)의 스레시홀드값보다 커지기 때문에, 트랜지스터(112a)가 온 상태가 되고, 배선(102)에 입력된 신호(IN2)에 대응하는 전위가 V_{LL}의 제2 신호(비선택 신호)가 트랜지스터(112a)를 통하여 배선(103)에 공급된다.
- [0160] 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우(도 5(C) 참조)에는, 이 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 비선택 신호가 입력되어, 트랜지스터(121)가 오프한다.
- [0161] 이와 같이, 기간(T2)에서는, 트랜지스터(112a)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 낮아짐으로써, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 B₁ 방향)로 흐른다.
- [0162] 다음에, 기간(T3)이 되면, 트랜지스터(112a)의 게이트에 이 트랜지스터(112a)를 오프시키는 신호(IN4)가 입력되고, 트랜지스터(112b)의 게이트에 이 트랜지스터(112b)를 온시키는 신호(IN5)가 입력되고, 트랜지스터(112a)와 트랜지스터(112b)의 온과 오프가 바뀐다. 이 때, 트랜지스터(112b)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{LL})가 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_H)보다 높아지기 때문에, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 된다. 그 결과, 트랜지스터(112b)에서, 게이트와 소스간의 전위 V_{gsA} = V_H - V_{LL}이 트랜지스터(112b)의 스레시홀드값보다 커지기 때문에, 트

랜지스터(112b)가 온 상태가 되고, 배선(102)에 입력된 신호(IN2)에 대응하는 전위가 V_{HH} 의 제2 신호(비선택 신호)가 트랜지스터(112b)를 통하여 배선(103)에 공급된다.

[0163] 이와 같이, 기간(T3)에서는, 트랜지스터(112b)에서, 배선(103)에 접속되어 있는 단자의 전위가 배선(102)에 접속되어 있는 단자의 전위보다 낮아짐으로써, 배선(103)에 접속되어 있는 단자가 소스가 되고, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 A_2 방향)로 흐른다.

[0164] 또한, 기간(T3)에서는, 트랜지스터(112a)에서, 게이트와 소스간 전압(V_{gs})이 부($V_{gs} < 0$ V)가 된다. 이와 같이, 트랜지스터(112a)에서, 게이트와 소스간 전압(V_{gs})이 부($V_{gs} < 0$ V)가 되는 기간을 형성함으로써, $V_{gs} = 0$ V가 되는 경우와 비교하여 트랜지스터의 열화를 효과적으로 억제할 수 있다.

[0165] 다음에, 기간(T4)이 되면, 트랜지스터(112a)의 게이트에 이 트랜지스터(112a)를 온시키는 신호(IN4)가 입력되고, 트랜지스터(112b)의 게이트에 이 트랜지스터(112b)를 오프시키는 신호(IN5)가 입력되고, 트랜지스터(112a)와 트랜지스터(112b)의 온과 오프가 바뀐다. 또한, 배선(102)의 전위가 V_{HH} 를 보유하기 때문에, 배선(103)의 전위도 V_{HH} 를 유지한다. 따라서, 트랜지스터(112a)에서는, 배선(102)에 접속되어 있는 단자의 전위와 배선(103)에 접속되어 있는 단자의 전위가 동일하게 되기 때문에, 트랜지스터(112a)에는 전류는 흐르지 않는다.

[0166] 다음에, 기간(T5)이 되면, 트랜지스터(112a)의 게이트에 이 트랜지스터(112a)를 오프시키는 신호(IN4)가 입력되고, 트랜지스터(112b)의 게이트에 이 트랜지스터(112b)를 온시키는 신호(IN5)가 입력되고, 트랜지스터(112a)와 트랜지스터(112b)의 온과 오프가 바뀐다. 이 때, 트랜지스터(112b)에서, 배선(102)에 접속되어 있는 단자의 전위(이 경우, V_{LL})가 배선(103)에 접속되어 있는 단자의 전위(이 경우, V_{HH})보다 낮아지기 때문에, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 된다. 그 결과, 트랜지스터(112b)에서, 게이트와 소스간의 전위 $V_{gsB} = V_H - V_{LL}$ 이 트랜지스터(112b)의 스레시홀드값보다 커지기 때문에, 트랜지스터(112b)가 온 상태가 되고, 배선(102)에 입력된 신호(IN2)에 대응하는 전위가 V_{LL} 의 제2 신호(비선택 신호)가 트랜지스터(112b)를 통하여 배선(103)에 공급된다.

[0167] 이와 같이, 기간(T5)에서는, 트랜지스터(112b)에서, 배선(102)에 접속되어 있는 단자의 전위가 배선(103)에 접속되어 있는 단자의 전위보다 낮아짐으로써, 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 B_2 방향)로 흐른다.

[0168] 계속되는 기간(T6)~기간(Tn)에서는, 기간(T2)~기간(T5)의 동작을 반복하기 때문에, 트랜지스터(111)는 오프 상태를 유지하고, 트랜지스터(112a, 112b)는 번갈아 온이 되고, 배선(103)에는 전위(V_{HH})와, 전위(V_{LL})가 임의의 기간마다 바뀌는 신호가 입력된다. 따라서, 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우에는, 이 트랜지스터(121)가 안정적으로 오프 상태를 유지한다.

[0169] 또한, 도 7에 나타낸 동작 방법으로는, 트랜지스터(112a)를 흐르는 전류의 방향을 바꿀(소스와 드레인을 바꿀) 수 없다. 따라서, 어느 기간마다, 배선(102)에 입력되는 신호(IN2)의 주기를 바꾸어, 트랜지스터(112a)를 흐르는 전류의 방향을 바꾸는 구성으로 하는 것이 바람직하다.

[0170] 도 8은, 배선(102)에 입력되는 신호(IN2)를 바꾸는 것에 의해, 트랜지스터(112a)를 흐르는 전류의 방향을 바꾸는 구성으로 한 경우를 나타낸다. 도 8에 나타낸 동작에서는, 트랜지스터(112b)를 흐르는 전류의 방향을 바꿀(소스와 드레인을 바꿀) 수 없다. 따라서, 회로의 동작시에서, 도 7에 나타낸 동작과 도 8에 나타낸 동작을 기간마다 바꾸는 것에 의해, 배선(102)에 입력되는 신호(IN2)의 주기를 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)보다 크게 한 경우에도 트랜지스터(112a) 및 트랜지스터(112b)의 열화를 저감할 수 있다.

[0171] 도 7, 도 8에서는, 병렬로 설치된 복수의 트랜지스터(트랜지스터(112a), 트랜지스터(112b))가 번갈아 온과 오프하는 경우를 나타냈지만, 트랜지스터(112a)와 트랜지스터(112b)의 온과 오프의 기간이 일부 중첩되도록 동작시켜도 좋다. 즉, 트랜지스터(112a)와 트랜지스터(112b)의 쌍방이 온하고 있는 기간이나 쌍방이 오프하고 있는 기간을 제공해도 좋다.

[0172] 또한, 도 7, 도 8에서는, 배선(102)에 입력되는 신호(IN2)의 주기가 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)의 2배인 경우를 나타냈지만 이것에 한정되는 것은 아니고, 2배보다 작아도 좋고 커도 좋다.

[0174] [IN2의 주기가 IN4, IN5의 주기와 동일한 경우의 동작]

- [0175] 이하의 설명에서, 도 9, 도 10의 (A)~(F)는 각각, 배선(103)으로부터 출력되는 신호(Out), 배선(101)에 입력되는 신호(IN1), 배선(102)에 입력되는 신호(IN2), 트랜지스터(111)의 게이트에 입력되는 신호(IN3), 트랜지스터(112a)의 게이트에 입력되는 신호(IN4), 트랜지스터(112b)의 게이트에 입력되는 신호(IN5)를 나타내고 있다. 도 9, 도 10에서는, 배선(102)에 입력되는 신호(IN2)의 주기가 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)의 주기와 동일한 경우를 나타낸다. 물론, 입력되는 신호(IN1~IN5)는 일레이며, 이들에 한정되는 것은 아니다.
- [0176] 또한, 도 9, 도 10의 (G)는, 트랜지스터(112a), 트랜지스터(112b)의 전류가 흐르는 방향을 나타내고, A_1 , A_2 , B_1 , B_2 는 각각 도 5에 나타난 방향에 대응하고 있다. 또한, 트랜지스터가 오프하여 전류가 흐르지 않는 기간은 \times 로 나타낸다. 또한, 트랜지스터가 온하고 있지만 전류가 흐르지 않는 기간은 $-$ 로 나타낸다.
- [0177] 본 실시형태에서는, 도 9에 나타난 동작과 도 10에 나타난 동작을 임의의 기간마다 번갈아 행함으로써, 트랜지스터를 동작시킨다.
- [0178] 먼저, 어느 기간($Tx1 \sim Txn$)에서는, 트랜지스터(112a)가 온일 때에 배선(102)으로부터 전위가 V_{LH} 인 제2 신호가 배선(103)에 공급되고, 트랜지스터(112b)가 온일 때에 배선(102)으로부터 전위가 V_{LH} 인 제2 신호가 배선(103)에 공급된다(도 9 참조).
- [0179] 따라서, 기간($Tx1 \sim Txn$)에서는, 트랜지스터(112a)가 온일 때, 트랜지스터(112a)에서 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 B_1 방향)로 흐른다. 또한, 트랜지스터(112b)가 온일 때, 트랜지스터(112b)에서 배선(103)에 접속되어 있는 단자가 소스가 되고, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 5 중 A_2 방향)로 흐른다. 또한, 트랜지스터(112a)가 오프인 경우에, 이 트랜지스터(112a)에서 게이트와 소스간 전압(V_{gs})을 부($V_{gs} < 0$ V)로 할 수 있기 때문에, $V_{gs} = 0$ V가 되는 경우와 비교하여 트랜지스터의 열화를 효과적으로 억제할 수 있다.
- [0180] 또한, 트랜지스터(112a), 트랜지스터(112b)에서, 전류가 흐름으로써, 배선(102)에 접속되어 있는 단자의 전위와 배선(103)에 접속되어 있는 단자의 전위가 동일하게 된 경우에는, 소스와 드레인의 구별이 없어진다.
- [0181] 다른 기간($Ty1 \sim Tyn$)에서는, 트랜지스터(112a)가 온일 때에 배선(102)으로부터 전위가 V_{LH} 인 제2 신호가 배선(103)에 공급되고, 트랜지스터(112b)가 온일 때에 배선(102)으로부터 전위가 V_{LH} 인 제2 신호가 배선(103)에 공급된다(도 10 참조).
- [0182] 따라서, 기간($Ty1 \sim Tyn$)에서는, 트랜지스터(112a)가 온일 때, 트랜지스터(112a)에서 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 5 중 A_1 방향)로 흐른다. 또한, 트랜지스터(112b)가 온일 때, 트랜지스터(112b)에서 배선(103)에 접속되어 있는 단자가 드레인이 되고, 배선(102)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 5 중 B_2 방향)로 흐른다. 또한, 트랜지스터(112b)가 오프인 경우에, 이 트랜지스터(112b)에서 게이트와 소스간 전압(V_{gs})을 부($V_{gs} < 0$ V)로 할 수 있기 때문에, $V_{gs} = 0$ V가 되는 경우와 비교하여 트랜지스터의 열화를 효과적으로 억제할 수 있다.
- [0183] 따라서, 임의의 기간마다, 배선(102)에 입력되는 신호(IN2)의 주기를 바꾸고(예를 들면, 반전시키고), 도 9의 동작과 도 10의 동작을 조합하여 행함으로써(예를 들면, 도 11 참조), 트랜지스터(112a), 트랜지스터(112b)를 각각 흐르는 전류의 방향을 바꾸는(트랜지스터의 소스 또는 드레인이 되는 단자에 가하는 전압의 대소 관계를 기간마다 바꾸는(소스와 드레인을 바꾸는)) 구성으로 할 수 있다. 그 결과, 트랜지스터(112a) 및 트랜지스터(112b)의 채널부(드레인단)에서의 전계의 집중을 완화하여 열화를 저감할 수 있다. 또한, 병렬로 설치된 복수의 트랜지스터(트랜지스터(112a), 트랜지스터(112b))의 온과 오프를 번갈아 행하는 것에 의해, 트랜지스터의 열화를 억제할 수 있다.
- [0184] 임의의 기간으로서, 예를 들면, 본 실시형태에서의 반도체 장치를 표시 장치의 게이트 드라이버로서 적용하는 경우, 1 프레임 기간마다 도 9에 나타난 동작과 도 10에 나타난 동작을 바꾸어 행할 수 있다.
- [0185] 또한, 도 9, 도 10에서는, 배선(102)에 입력되는 신호(IN2)와 트랜지스터(112a, 112b)의 게이트에 입력되는 신호(IN4, IN5)의 상승 및 하강을 같은 타이밍에 행하는 경우를 나타내었지만, 이것에 한정되지 않고, 예를 들면,

배선(102)에 입력되는 신호(IN2)의 주기를 1/4 주기만큼 위상을 시프트하여 동작시켜도 좋다.

- [0186] 본 실시형태에 나타난 바와 같이, 병렬로 설치된 복수의 트랜지스터의 온과 오프를 번갈아 행함과 동시에, 이 복수의 트랜지스터를 흐르는 전류의 방향을 바꾸는(트랜지스터의 소스 또는 드레인이 되는 단자에 가하는 전압의 대소 관계를 기간마다 바꾸는(소스와 드레인을 바꾸는)) 구성으로 하는 것에 의해, 트랜지스터의 채널부(드레인단)에서의 전계의 집중을 완화하여, 트랜지스터의 열화를 효과적으로 억제하는 것이 가능하게 된다.
- [0187] 또한, 본 실시형태에서는, 트랜지스터(111), 트랜지스터(112a), 트랜지스터(112b) 및 트랜지스터(121)를 N 채널형의 트랜지스터로 형성한 경우를 나타냈지만, P 채널형의 트랜지스터로 설치해도 좋다. 이 경우도, 트랜지스터(112a, 112b)를 흐르는 전류의 방향이 바뀌도록 동작시킴으로써, 트랜지스터의 열화를 저감하여 회로의 동작 불량을 억제할 수 있다.
- [0188] 또한, 본 실시형태에서는, 회로 동작시에 있어서 L 레벨 신호를 계속하여 출력하는 구성으로 했지만, H 레벨 신호를 계속하여 출력하는 경우에는, 배선(101)과 배선(103) 사이에 서로 병렬하여 설치된 복수의 트랜지스터를 형성하여, 배선(101)에 입력하는 신호로서, 전위가 V_{LH} 로 이루어진 제1 전위와, 전위가 V_{LL} 로 이루어진 제2 전위가 임의의 기간마다 바뀌는 신호를 이용하는 구성으로 할 수 있다.
- [0189] 또한, 본 실시형태에 나타난 구성은, 본 명세서에 나타난 다른 구성(다른 실시형태에 나타난 구성을 포함함)과 적절히 조합하여 실시할 수 있다.
- [0191] [실시형태 3]
- [0192] 본 실시형태에서는, 상기 실시형태와 다른 구성을 가진 반도체 장치의 일례에 관하여 도면을 참조하여 설명한다.
- [0193] 본 실시형태에 나타난 반도체 장치는, 배선(101)과 배선(103) 사이에 설치된 트랜지스터(111)와, 배선(102)과 배선(103) 사이에 설치된 트랜지스터(112)와, 배선(104)과 배선(103)의 사이에 설치된 트랜지스터(114)를 적어도 구비하고 있다(도 12(A) 참조).
- [0194] 트랜지스터(114)는, 소스 또는 드레인의 한쪽이 배선(104)에 전기적으로 접속되고, 다른 한쪽이 배선(103)에 접속되어 있다. 즉, 도 12에 나타난 구성은, 도 5에 나타난 구성에 배선(104)을 추가하고, 또한, 도 5의 트랜지스터(112b)의 소스 또는 드레인의 한쪽을 배선(102)이 아니라 배선(104)에 전기적으로 접속한 구성으로 되어 있다. 따라서, 트랜지스터(114)가 온함으로써, 배선(104)에 입력되는 신호(IN6)가 배선(103)에 공급된다.
- [0195] 따라서, 배선(103)에는, 배선(101)에 입력되는 신호(IN1)에 대응하는 제1 신호, 배선(102)에 입력되는 신호(IN2)에 대응하는 제2 신호, 또는 배선(104)에 입력되는 신호(IN6)에 대응하는 제3 신호가 공급된다.
- [0196] 이와 같이, 배선(102)과 배선(104)을 나누어 형성하는 것에 의해, 트랜지스터(112)와 트랜지스터(114)에 동시에 다른 신호를 공급할 수 있다. 그 결과, 신호의 주파수를 저감시켜, 소비 전력을 낮추는 것이 가능하게 된다.
- [0197] 또한, 도 12에서는, 트랜지스터(111), 트랜지스터(112), 트랜지스터(114)는, N 채널형으로 형성한 경우를 나타내었지만, P 채널형으로 형성해도 좋고, CMOS로 형성해도 좋다. 또한, 트랜지스터(111)는, 배선(101)과 배선(103) 사이의 스위치로서 기능하고, 트랜지스터(112)는 배선(102)과 배선(103) 사이의 스위치로서 기능하고, 트랜지스터(114)는 배선(104)과 배선(103) 사이의 스위치로서 기능한다(도 12(B) 참조).
- [0198] 본 실시형태에서는, 특정 신호(예를 들면, 비선택 신호)를 배선(103)에 계속하여 공급하는 경우에, 소스 또는 드레인의 한쪽이 각각 배선(103)에 접속되고, 다른 한쪽이 각각 다른 배선에 접속된 복수의 트랜지스터(도 12에서는, 트랜지스터(112, 114)의 온과 오프를 번갈아 행함과 동시에, 이 복수의 트랜지스터를 흐르는 전류의 방향을 바꾸는(트랜지스터의 소스 또는 드레인이 되는 단자에 가하는 전압의 대소 관계를 기간마다 바꾸는(소스와 드레인을 바꾸는)) 구성으로 한다. 즉, 복수의 트랜지스터의 온과 오프를 제어하고, 또한, 흐르는 전류의 방향을 제어함으로써, 트랜지스터의 채널부(드레인단)에서의 전계의 집중을 완화하여 열화를 저감한다.
- [0199] 이하에, 구체적인 동작 방법에 관하여 도면을 참조하여 설명한다.
- [0200] 이하의 설명에서, 도 13, 도 14의 (A)~(G)는 각각, 배선(103)으로부터 출력되는 신호(Out), 배선(101)에 입력되는 신호(IN1), 배선(102)에 입력되는 신호(IN2), 배선(104)에 입력되는 신호(IN6), 트랜지스터(111)의 게이트에 입력되는 신호(IN3), 트랜지스터(112)의 게이트에 입력되는 신호(IN4), 트랜지스터(114)의 게이트에 입력되는 신호(IN5)를 나타낸다. 물론, 입력되는 신호(IN1~IN6)는 일례이며, 이것들에 한정되는 것은 아니다.

- [0201] 또한, 도 13, 도 14의 (H)는, 트랜지스터(112), 트랜지스터(114)의 전류가 흐르는 방향을 나타내고, A_1 , A_2 , B_1 , B_2 는 각각 도 12에 나타난 방향에 대응하고 있다. 또한, 트랜지스터가 오프하여 전류가 흐르지 않는 기간은 \times 로 나타내고 있다. 또한, 트랜지스터가 온하고 있지만 전류가 흐르지 않는 기간은 $-$ 로 나타낸다.
- [0202] 도 13, 도 14에서는, 배선(102)과 배선(104)에 각각 전위(V_{LL})와 전위(V_{HH})를 임의의 기간마다 바꾸어 인가한다. 이하의 설명에서는, 배선(102)에 전위(V_{LL})를 인가하고, 배선(104)에 전위(V_{HH})를 인가하는 기간($Tx1$)~기간(Txn)과, 배선(102)에 V_{HH} 를 인가하고, 배선(104)에 V_{LL} 을 인가하는 기간($Ty1$)~기간(Tyn)을 임의의 기간마다 바꾸어 동작시키는 경우에 대하여 나타낸다.
- [0203] 먼저, 기간($Tx1$)~기간(Txn)에서는, 트랜지스터(111)가 온일 때(기간($Tx1$)), 배선(101)에 입력된 신호(IN1)에 대응하는 제1 신호(여기에서는, H 레벨 신호(선택 신호))가 배선(103)에 공급된다. 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우(도 12(C) 참조)에는, 이 배선(103)에 접속되어 있는 트랜지스터(121)의 게이트에 선택 신호가 입력되고, 이 트랜지스터(121)가 온한다.
- [0204] 또한, 기간($Tx1$)~기간(Txn)에서, 트랜지스터(112)가 온일 때(여기에서는, 기간($Tx2$, $Tx4$, $Tx6$, $Tx8$, Txn))에 배선(102)으로부터 전위가 V_{LL} 인 제2 신호가 배선(103)에 공급되고, 트랜지스터(114)가 온일 때(여기에서는, 기간($Tx3$, $Tx5$, $Tx7$))에 배선(104)으로부터 전위가 V_{HH} 인 제3 신호가 배선(103)에 공급된다(도 13 참조). 배선(103)에 트랜지스터(121)의 게이트가 접속되어 있는 경우(도 12(C) 참조)에는, 이 트랜지스터(121)가 오프한다.
- [0205] 따라서, 기간($Tx1$)~기간(Txn)에서는, 트랜지스터(112)가 온일 때, 트랜지스터(112)에서 배선(102)에 접속되어 있는 단자가 소스가 되고, 배선(103)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 12 중 B_1 방향)로 흐른다. 또한, 트랜지스터(114)가 온일 때, 트랜지스터(114)에서 배선(103)에 접속되어 있는 단자가 소스가 되고, 배선(102)에 접속되어 있는 단자가 드레인이 되고, 전류는 드레인으로부터 소스(도 12 중 A_2 방향)로 흐른다.
- [0206] 다른 기간($Ty1$)~기간(Tyn)에서는, 트랜지스터(112)가 온일 때(여기에서는, 기간($Ty4$, $Ty6$, $Ty8$, Tyn))에 배선(102)으로부터 전위가 V_{HH} 인 제2 신호가 배선(103)에 공급되고, 트랜지스터(114)가 온일 때(여기에서는, 기간($Ty3$, $Ty5$, $Ty7$))에 배선(104)으로부터 전위가 V_{LL} 인 제3 신호가 배선(103)에 공급된다(도 14 참조).
- [0207] 따라서, 기간($Ty1$)~기간(Tyn)에서는, 트랜지스터(112)가 온일 때, 트랜지스터(112)에서 배선(102)에 접속되어 있는 단자가 드레인이 되고, 배선(103)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 12 중 A_1 방향)로 흐른다. 또한, 트랜지스터(114)가 온일 때, 트랜지스터(114)에서 배선(103)에 접속되어 있는 단자가 드레인이 되고, 배선(104)에 접속되어 있는 단자가 소스가 되고, 전류는 드레인으로부터 소스(도 12 중 B_2 방향)로 흐른다.
- [0208] 따라서, 배선(102)에 입력되는 신호(IN2)와 배선(104)에 입력되는 신호(IN6)를 임의의 기간마다 반전시켜, 도 13의 동작과 도 14의 동작을 조합하여 행함으로써(예를 들면, 도 15 참조), 트랜지스터(112), 트랜지스터(114)를 각각 흐르는 전류의 방향을 바꾸는(트랜지스터의 소스 또는 드레인이 되는 단자에 가하는 전압의 대소 관계를 기간마다 바꾸는(소스와 드레인을 바꾸는)) 구성으로 할 수 있다. 그 결과, 트랜지스터(112) 및 트랜지스터(114)의 채널부(드레인단)에서의 전계의 집중을 완화하여 열화를 저감할 수 있다. 또한, 복수의 트랜지스터(트랜지스터(112), 트랜지스터(114))의 온과 오프를 번갈아 행함으로써, 트랜지스터의 열화를 억제할 수 있다.
- [0209] 임의의 기간으로서는, 예를 들면, 본 실시형태에서의 반도체 장치를 표시 장치의 게이트 드라이버로서 적용하는 경우, 1 프레임 기간마다 도 13에 나타난 동작과 도 14에 나타난 동작을 바꾸어 행할 수 있다.
- [0210] 또한, 본 실시형태에 나타난 구성을 이용함으로써, 복수의 전위로 이루어지는 특정의 신호(예를 들면, 비선택 신호)를 배선(103)에 계속하여 공급하는 경우에도, 배선(102), 배선(104)을 정전위로 할 수 있기 때문에, 저소비 전력화를 도모할 수 있다.
- [0211] 또한, 본 실시형태에 나타난 구성은, 본 명세서에 나타난 다른 구성(다른 실시형태에 나타난 구성을 포함함)과 적절히 조합하여 실시할 수 있다.
- [0213] [실시형태 4]

- [0214] 본 실시형태에서는, 상기 실시형태에 나타낸 구성의 사용 형태에 관하여 도면을 참조하여 설명한다.
- [0215] 상기 실시형태에 나타낸 구성은, 주사선 구동 회로(게이트 드라이버), 신호선 구동 회로(소스 드라이버) 및 화소부를 가지는 표시 장치에서, 주사선 구동 회로 및/또는 신호선 구동 회로에 적용할 수 있다(도 16 참조).
- [0216] 도 17에, 상기 실시형태 1에 나타낸 구성을 표시 장치의 게이트 드라이버에 적용하는 경우를 나타낸다. 도 17에서는, 복수의 화소가 설치된 액정 표시 장치의 게이트 드라이버에 상기 실시형태 1에 나타낸 구성을 적용하는 경우를 나타낸다.
- [0217] 복수의 화소에 각각 설치된 트랜지스터(121)는, 게이트가 게이트선으로서 기능하는 배선(103a~103c)의 어느 한쪽에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 소스선으로서 기능하는 배선(141a~141c)의 어느 한쪽에 전기적으로 접속되고, 다른 한쪽이 화소 전극(125)에 전기적으로 접속되어 있다. 또한, 화소 전극(125)과 대향 전극(126) 사이에 액정 재료가 제공된 구성으로 되어 있다. 또한, 도 17에서는, 배선(101a~101c)을 각각 전기적으로 독립하여 형성한 구성을 나타냈지만, 공통화하여 형성해도 좋다.
- [0218] 또한, 트랜지스터(121)를 온시키려면, 트랜지스터(111)를 통하여 배선(101a~101c)으로부터 선택 신호가 되는 H 레벨 신호를 공급하고, 트랜지스터(121)를 오프시키려면, 트랜지스터(112)를 통하여 배선(102)으로부터 비선택 신호가 되는 L 레벨 신호를 공급하면 좋다.
- [0219] 선순차 방식과 같이 각 행의 화소를 선택하여 데이터를 기입해 가는 경우에는, 각 화소에 설치된 트랜지스터(121)를 온시킨 후, 이 트랜지스터(121)를 오프시키는 비선택 신호를 트랜지스터(121)의 게이트에 공급할 필요가 있다. 특히, 트랜지스터(121)를 안정적으로 오프 상태로 하려면, 트랜지스터(112)를 통하여 배선(103a~103c)에 비선택 신호를 소정 기간 계속하여 공급하는 것이 유효하게 된다.
- [0220] 여기에서는, 상기 실시형태 1에 나타낸 바와 같이, 배선(102)에 비선택 신호가 되는 복수의 L 레벨 신호를 입력하여, 트랜지스터(112)가 온하고 있는 기간에서 이 트랜지스터(112)를 흐르는 전류의 방향을 바꾸는 구성으로 함으로써, 트랜지스터(112)의 열화를 저감할 수 있다. 그 결과, 각 화소에 설치된 트랜지스터(121)를 안정적으로 오프시킴과 동시에, 트랜지스터(112)의 열화에 따른 회로의 동작 불량을 억제할 수 있다.
- [0221] 특히, 트랜지스터로서 아몰퍼스 실리콘이나 미결정 실리콘을 채널 형성 영역으로 하는 경우에는, 회로의 동작 기간에서 긴 기간 온 상태를 유지하는 트랜지스터의 열화를 저감하는 것은 회로의 동작 불량의 억제에 유효하게 된다.
- [0222] 또한, 도 17에서는, 게이트 드라이버에 설치된 트랜지스터(111), 트랜지스터(112), 화소에 설치된 트랜지스터(121)를 모두 N 채널형으로 형성한 경우를 나타냈지만, P 채널형으로 형성해도 좋고, CMOS로 형성하는 것도 가능하다.
- [0223] 또한, 도 17에서는, 게이트 드라이버에 상기 실시형태 1에 나타낸 구성을 적용하는 경우를 나타냈지만 이것에 한정되지 않고, 상기 실시형태 2, 실시형태 3에 나타낸 구성을 적용할 수 있다.
- [0224] 상기 실시형태 2에 나타낸 구성을 적용하는 경우에는, 도 17에서, 소스 또는 드레인의 한쪽이 배선(102)에 전기적으로 접속되고, 다른 한쪽이 배선(103a)(또는 배선(103b), 배선(103c))에 접속되고, 또한, 트랜지스터(112)와 병렬하는 트랜지스터(112b)를 형성하면 좋다(도 18 참조).
- [0225] 또한, 상기 실시형태 3에 나타낸 구성을 적용하는 경우에는, 도 17에서, 배선(104)을 새로 형성하여, 소스 또는 드레인의 한쪽이 배선(104)에 전기적으로 접속되고, 다른 한쪽이 배선(103a)(또는 배선(103b), 배선(103c))에 접속되는 트랜지스터(114)를 형성하면 좋다(도 19 참조).
- [0226] 또한, 도 19에서는, 트랜지스터(112)의 소스 또는 드레인의 한쪽을 배선(102)과 전기적으로 접속시키고, 또한, 트랜지스터(114)의 소스 또는 드레인의 한쪽을 배선(104)과 전기적으로 접속시키는 경우와, 트랜지스터(112)의 소스 또는 드레인의 한쪽을 배선(104)과 전기적으로 접속시키고, 또한, 트랜지스터(114)의 소스 또는 드레인의 한쪽을 배선(102)과 전기적으로 접속시키는 경우를, 행 방향에서 번갈아 형성하는 구성을 나타내었지만, 한정되는 것은 아니다. 모든 행에서, 트랜지스터(112)의 소스 또는 드레인의 한쪽을 배선(102)과 전기적으로 접속시키고, 또한, 트랜지스터(114)의 소스 또는 드레인의 한쪽을 배선(104)과 전기적으로 접속시켜도 좋고, 트랜지스터(112)의 소스 또는 드레인의 한쪽을 배선(104)과 전기적으로 접속시키고, 또한, 트랜지스터(114)의 소스 또는 드레인의 한쪽을 배선(102)과 전기적으로 접속시켜도 좋다.
- [0227] 또한, 도 17~도 19에서는, 액정 표시 장치에 적용하는 경우를 나타냈지만, 상기 실시형태에 나타낸 구성은, 다

른 표시 장치(유기 EL 표시 장치 등)의 게이트 드라이버 및/또는 소스 드라이버에도 적용할 수 있다. 예를 들면, 도 20에 나타낸 바와 같이, 화소에 트랜지스터(121), 트랜지스터(128) 및 발광 소자(129)가 형성된 유기 EL 표시 장치의 게이트 드라이버로서 적용할 수 있다.

- [0228] 도 20에서, 복수의 화소에 각각 설치된 트랜지스터(121)는, 게이트가 배선(103a~103c)의 어느 한쪽에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 트랜지스터(128)의 게이트에 전기적으로 접속되어 있다. 또한, 트랜지스터(121)는, 스위칭 트랜지스터라고 불리기도 한다. 또한, 트랜지스터(128)는, 소스 또는 드레인의 한쪽이 배선(142a, 142b)의 어느 한쪽에 전기적으로 접속되고, 다른 한쪽이 발광 소자(129)의 한쪽의 전극에 전기적으로 접속되어 있다. 또한, 트랜지스터(128)는, 구동 트랜지스터라고 불리기도 한다.
- [0229] 또한, 도 17~도 20에 나타낸 회로 구성은 일레이며, 다른 회로 구성을 적용하는 것도 가능하다.
- [0230] 다음에, 구동 회로에 적용할 수 있는 회로 구성에 대하여 설명한다.
- [0231] 트랜지스터(111)의 게이트에 다른 트랜지스터(여기에서는, 트랜지스터(161))의 소스 또는 드레인의 한쪽을 전기적으로 접속시킨 구성으로 할 수 있다(도 21(A) 참조). 또한, 도 21(A)의 구성에서, 트랜지스터(111)의 게이트에 다른 트랜지스터(여기에서는, 트랜지스터(162))의 소스 또는 드레인의 한쪽을 전기적으로 접속시킨 구성으로 할 수 있다(도 21(B) 참조). 또한, 도 21(A)의 구성에서, 트랜지스터(112)의 게이트에 다른 트랜지스터(여기에서는, 트랜지스터(163))의 소스 또는 드레인의 한쪽을 전기적으로 접속시킨 구성으로 할 수 있다(도 21(C) 참조).
- [0232] 또한, 도 21(B)에서, 트랜지스터(162)의 소스 또는 드레인의 다른 한쪽이 접속되어 있는 배선은 배선(102)과 전기적으로 접속되어 있어도 좋고, 트랜지스터(112)와 트랜지스터(162)의 게이트가 동일한 배선에 전기적으로 접속되는 구성으로 하여도 좋다.
- [0233] 또한, 도 21(A)~도 21(C)에서, 트랜지스터(161)의 게이트를 드레인에 전기적으로 접속(다이오드 접속)한 구성으로 해도 좋다(도 22(A)~도 22(C) 참조).
- [0234] 다음에, 게이트 드라이버로서 적용하는 경우의 구체적인 회로 구성에 대하여 상세하게 설명한다.
- [0235] 도 23을 참조하여, 게이트 드라이버를 구성하는 시프트 레지스터의 일 구성예에 대하여 설명한다. 또한, 도 23에서는, 시프트 레지스터에서의 제 n 단의 구성을 나타낸다.
- [0236] 제 n 단은, 제1 트랜지스터(201)~제7 트랜지스터(207), 용량 소자(208)로 구성되어 있다. 또한, 도 23에서는, 제1 트랜지스터(201)~제7 트랜지스터(207)를 N 채널형으로 형성한 경우를 나타내었지만, P 채널형으로 형성해도 좋다.
- [0237] 제1 트랜지스터(201)는, 게이트가 제2 트랜지스터(202)의 소스, 제3 트랜지스터(203)의 소스 또는 드레인의 한쪽, 제4 트랜지스터(204)의 소스 또는 드레인의 한쪽 및 제5 트랜지스터(205)의 게이트에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 배선(212a)에 전기적으로 접속되고, 다른 한쪽이 제3 트랜지스터(203)의 게이트, 제6 트랜지스터(206)의 게이트 및 용량 소자(208)의 한쪽의 전극에 전기적으로 접속되어 있다.
- [0238] 제2 트랜지스터(202)는, 게이트가 드레인에 전기적으로 접속(다이오드 접속)되고, 소스가 제1 트랜지스터(201)의 게이트 및 제5 트랜지스터(205)의 게이트에 전기적으로 접속되어 있다. 또한, 드레인에 $n-1$ 단으로부터 출력된 신호가 입력된다.
- [0239] 제3 트랜지스터(203)는, 게이트가 제1 트랜지스터(201)의 소스 또는 드레인의 다른 한쪽 및 용량 소자(208)의 한쪽의 전극에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 제5 트랜지스터(205)의 게이트에 전기적으로 접속되고, 다른 한쪽이 배선(212a)에 전기적으로 접속되어 있다.
- [0240] 제4 트랜지스터(204)는, 게이트에 $n+1$ 단으로부터 출력된 신호가 입력되고, 소스 또는 드레인의 한쪽이 제5 트랜지스터(205)의 게이트에 전기적으로 접속되고, 다른 한쪽이 배선(212a)에 전기적으로 접속되어 있다.
- [0241] 제5 트랜지스터(205)는, 게이트가 제1 트랜지스터(201)의 게이트, 제2 트랜지스터(202)의 소스, 제3 트랜지스터(203)의 소스 또는 드레인의 한쪽 및 제4 트랜지스터(204)의 소스 또는 드레인의 한쪽에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 배선(211)에 전기적으로 접속되고, 다른 한쪽이 배선(213)과 전기적으로 접속되어 있다.
- [0242] 제6 트랜지스터(206)는, 게이트가 제1 트랜지스터(201)의 소스 또는 드레인의 다른 한쪽 및 용량 소자(208)의

한쪽의 전극에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 배선(212b)에 전기적으로 접속되고, 다른 한쪽이 배선(213)에 전기적으로 접속되어 있다.

- [0243] 제7 트랜지스터(207)는, 게이트에 클록 반전 신호(CLKB)가 입력되고, 소스 또는 드레인의 한쪽에 배선(212c)가 전기적으로 접속되고, 다른 한쪽이 배선(213)에 전기적으로 접속되어 있다.
- [0244] 용량 소자(208)는, 한쪽의 전극이 제3 트랜지스터(203)의 게이트 및 제6 트랜지스터(206)의 게이트에 전기적으로 접속되고, 다른 한쪽의 전극이 배선(211)에 전기적으로 접속되어 있다.
- [0245] 배선(211)에는, 클록 신호(CLK)가 입력되고, 배선(212a~212c)에는, L 레벨 신호 또는 전위가 변화하는 L 레벨 신호가 입력된다. 또한, 각 배선에 입력되는 신호는 이것에 한정되지 않고 적절히 선택할 수 있다.
- [0246] 도 23에 나타난 구성에서, n단의 게이트를 선택하는 기간 이외의 기간(화소에 비선택 신호를 공급하는 비선택 기간)에는, 제3 트랜지스터(203) 및 제6 트랜지스터(206)와, 제7 트랜지스터(207)가 번갈아 온하여 동작한다. 따라서, 상기 실시형태에 나타난 바와 같이, 배선(212b, 212c)에 전위가 변화하는 L 레벨 신호를 입력하고, 제6 트랜지스터(206), 제7 트랜지스터(207)를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 것에 의해, 소스측 또는 드레인측으로의 전계의 집중을 억제하여, 트랜지스터의 열화를 저감할 수 있다. 또한, 배선(212a)에 전위가 변화하는 L 레벨 신호를 입력함으로써, 제3 트랜지스터(203)를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 구성으로 해도 좋다.
- [0247] 또한, 배선(212a), 배선(212b), 배선(212c) 중, 적어도 2개의 배선이 전기적으로 접속된 구성으로 해도 좋다. 배선(212b)과 배선(212c)을 전기적으로 접속하는 경우에는, 제6 트랜지스터(206)와 제7 트랜지스터(207)는, 상기 도 5에서의 트랜지스터(112a), 트랜지스터(112b)로서 기능한다. 또한, 배선(212b)과 배선(212c)을 전기적으로 독립시켜 각각 다른 신호를 공급하는 경우에는, 제6 트랜지스터(206)와 제7 트랜지스터(207)는, 도 12에서의 트랜지스터(112), 트랜지스터(114)로서 기능한다.
- [0248] 또한, 게이트 드라이버로서 적용할 수 있는 회로 구성은 도 23에 한정되지 않는다. 예를 들면, 도 24에 나타난 바와 같이, 제1 트랜지스터(221)~제12 트랜지스터(232)를 각 단(여기에서는, n단)에 가지는 구성으로 해도 좋다.
- [0249] 도 24에서, 제1 트랜지스터(221)는, 게이트에 n-1단으로부터의 출력 신호가 입력되고, 소스 또는 드레인의 한쪽이 배선(241)에 전기적으로 접속되고, 다른 한쪽이 제4 트랜지스터(224)의 게이트, 제8 트랜지스터(228)의 게이트, 제9 트랜지스터(229)의 게이트 및 제11 트랜지스터(231)의 게이트에 전기적으로 접속되어 있다. 또한, 제2 트랜지스터(222)는, 게이트에 n+1단으로부터의 출력 신호가 입력되고, 소스 또는 드레인의 한쪽이 배선(242a)에 전기적으로 접속되고, 다른 한쪽이 제4 트랜지스터(224)의 게이트, 제8 트랜지스터(228)의 게이트, 제9 트랜지스터(229)의 게이트 및 제11 트랜지스터(231)의 게이트에 전기적으로 접속되어 있다. 또한, 제3 트랜지스터(223)는 게이트가 드레인에 전기적으로 접속(다이오드 접속)되고, 소스가 제5 트랜지스터(225)의 게이트에 전기적으로 접속되고, 드레인이 배선(241)과 전기적으로 접속되어 있다. 또한, 제4 트랜지스터(224)는, 소스 또는 드레인의 한쪽이 배선(242a)에 전기적으로 접속되고, 다른 한쪽이 제5 트랜지스터(225)의 게이트에 전기적으로 접속되어 있다.
- [0250] 또한, 제5 트랜지스터(225)는, 소스 또는 드레인의 한쪽이 배선(241)에 전기적으로 접속되고, 다른 한쪽이 제7 트랜지스터(227)의 게이트, 제10 트랜지스터(230)의 게이트 및 제12 트랜지스터(232)의 게이트에 전기적으로 접속되어 있다. 또한, 제6 트랜지스터(226)는, 게이트에 n-1단으로부터의 출력 신호가 입력되고, 소스 또는 드레인의 한쪽이 배선(242a)에 전기적으로 접속되고, 다른 한쪽이 제7 트랜지스터(227)의 게이트, 제10 트랜지스터(230)의 게이트 및 제12 트랜지스터(232)의 게이트에 전기적으로 접속되어 있다. 또한, 제7 트랜지스터(227)는, 소스 또는 드레인의 한쪽이 배선(242a)에 전기적으로 접속되고, 다른 한쪽이 제4 트랜지스터(224)의 게이트, 제8 트랜지스터(228)의 게이트, 제9 트랜지스터(229)의 게이트 및 제11 트랜지스터(231)의 게이트에 전기적으로 접속되어 있다. 제8 트랜지스터(228)는, 소스 또는 드레인의 한쪽이 배선(242a)에 전기적으로 접속되고, 다른 한쪽이 제7 트랜지스터(227)의 게이트, 제10 트랜지스터(230)의 게이트 및 제12 트랜지스터(232)의 게이트에 전기적으로 접속되어 있다.
- [0251] 또한, 제9 트랜지스터(229)는, 소스 또는 드레인의 한쪽에 클록 신호(CLK) 또는 클록 반전 신호(CLKB)가 입력된다. 또한, 제10 트랜지스터(230)는, 소스 또는 드레인의 한쪽이 배선(242b)에 전기적으로 접속되어 있다. 또한, 제11 트랜지스터(231)는, 소스 또는 드레인의 한쪽에 클록 신호 또는 클록 반전 신호가 입력되고, 다른 한쪽이 배선(243)에 전기적으로 접속되어 있다. 또한, 제12 트랜지스터(232)는, 소스 또는 드레인의 한쪽이 배선

(242b)에 전기적으로 접속되고, 다른 한쪽이 배선(243)에 전기적으로 접속되어 있다.

- [0252] 도 24에 나타난 구성에서, 비선택 기간에는, 제7 트랜지스터(227), 제10 트랜지스터(230) 및 제12 트랜지스터(232)가 온 상태를 유지한다. 따라서, 배선(242a), 배선(242b)에 L 레벨 신호 또는 전위가 변화하는 L 레벨 신호를 입력하여, 제7 트랜지스터(227), 제10 트랜지스터(230) 및 제12 트랜지스터(232)를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 것에 의해, 소스측 또는 드레인측으로의 전계의 집중을 억제하여, 트랜지스터의 열화를 저감할 수 있다.
- [0253] 또한, 도 24에서, 제1 트랜지스터(221)~제12 트랜지스터(232)를 N 채널형으로 형성한 경우를 나타내었지만, P 채널형으로 형성해도 좋다. 또한, 제9 트랜지스터(229) 및 제10 트랜지스터(230)를 형성하지 않고, 배선(243)으로부터 출력되는 신호를 n-1단 및 n+1단에 출력해도 좋다. 또한, 배선(242a)과 배선(242b)을 전기적으로 접속하는 구성으로 해도 좋다. 또한, 배선(241)에 전위가 변화하는 H 레벨 신호를 입력해도 좋다. 이 경우, 제5 트랜지스터(225)를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 것에 의해, 소스측 또는 드레인측으로의 전계의 집중을 억제하여, 트랜지스터의 열화를 저감할 수 있다. 또한, 도 24에서, 각 배선에 입력되는 신호는 이것에 한정되지 않고 적절히 선택할 수 있다.
- [0254] 그 외에도, 도 25에 나타난 바와 같이 제1 트랜지스터(251)~제5 트랜지스터(255)를 각 단(여기에서는, n단)에 가지는 구성으로 해도 좋다.
- [0255] 도 25에서, 제1 트랜지스터(251)는, 게이트에 클록 반전 신호(CLKB)가 입력되고, 소스 또는 드레인의 한쪽에 n-1단으로부터의 출력 신호가 입력되고, 다른 한쪽이 제4 트랜지스터(254)의 게이트에 전기적으로 접속되어 있다. 또한, 제2 트랜지스터(252)는, 게이트가 배선(263)에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 배선(262a)과 전기적으로 접속되고, 다른 한쪽이 제5 트랜지스터(255)의 게이트와 전기적으로 접속되어 있다. 또한, 제3 트랜지스터(253)는, 게이트에 클록 반전 신호(CLKB)가 입력되고, 소스 또는 드레인의 한쪽이 배선(264)과 전기적으로 접속되고, 다른 한쪽이 제5 트랜지스터(255)의 게이트와 전기적으로 접속되어 있다. 또한, 제4 트랜지스터(254)는, 게이트가 제1 트랜지스터(251)의 소스 또는 드레인의 다른 한쪽과 전기적으로 접속되고, 소스 또는 드레인의 한쪽에 클록 신호(CLK)가 입력되고, 다른 한쪽이 배선(263)과 전기적으로 접속되어 있다. 또한, 제5 트랜지스터(255)는, 소스 또는 드레인의 한쪽이 배선(262b)과 전기적으로 접속되고, 다른 한쪽이 배선(263)과 전기적으로 접속되어 있다.
- [0256] 도 25에 나타난 구성에서, 비선택 기간에는, 제5 트랜지스터(255)가 온 상태를 유지한다. 따라서, 배선(262b)에 전위가 변화하는 H 레벨 신호를 입력하고, 제5 트랜지스터(255)를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 것에 의해, 소스측 또는 드레인측으로의 전계의 집중을 억제하여, 트랜지스터의 열화를 저감할 수 있다.
- [0257] 또한, 도 25에서, 제1 트랜지스터(251)~제5 트랜지스터(255)를 P 채널형으로 형성한 경우를 나타내었지만, N 채널형으로 형성해도 좋다. 또한, 배선(262a)과 배선(262b)은 전기적으로 접속하는 구성으로 해도 좋다. 또한, 도 25에서, 각 배선에 입력되는 신호는 이것에 한정되지 않고 적절히 선택할 수 있다.
- [0258] 그 외에도, 도 26에 나타난 바와 같이 제1 트랜지스터(271)~제10 트랜지스터(280)를 각 단(여기에서는, n단)에 가지는 구성으로 해도 좋다.
- [0259] 도 26에서, 제1 트랜지스터(271)는, 게이트에 제1 클록 신호가 입력되고, 소스 또는 드레인의 한쪽에 제1 입력 신호가 입력되고, 다른 한쪽이 제8 트랜지스터(278)의 게이트와 전기적으로 접속되어 있다. 또한, 제2 트랜지스터(272)는, 게이트에 제2 클록 신호가 입력되고, 소스 또는 드레인의 한쪽에 제2 입력 신호가 입력되고, 다른 한쪽이 제8 트랜지스터(278)의 게이트와 전기적으로 접속되어 있다. 또한, 제3 트랜지스터(273)는, 소스 또는 드레인의 한쪽이 배선(282a)에 전기적으로 접속되고, 다른 한쪽이 제8 트랜지스터(278)의 게이트와 전기적으로 접속되어 있다. 또한, 제4 트랜지스터(274)는, 소스 또는 드레인의 한쪽이 배선(282a)에 전기적으로 접속되고, 다른 한쪽이 제5 트랜지스터(275)의 소스 또는 드레인의 한쪽 및 제6 트랜지스터(276)의 소스 또는 드레인의 한쪽에 전기적으로 접속되어 있다. 또한, 제5 트랜지스터(275)는, 게이트에 제3 클록 신호가 입력되고, 소스 또는 드레인의 한쪽이 제4 트랜지스터(274)의 소스 또는 드레인의 한쪽에 전기적으로 접속되고, 다른 한쪽이 제8 트랜지스터(278)의 게이트와 전기적으로 접속되어 있다.
- [0260] 또한, 제6 트랜지스터(276)는, 게이트가 배선(281)에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 제4 트랜지스터(274)의 소스 또는 드레인의 다른 한쪽에 전기적으로 접속되고, 다른 한쪽이 제9 트랜지스터(279)의 게이트와 전기적으로 접속되어 있다. 또한, 제7 트랜지스터(277)는, 게이트가 드레인에 전기적으로 접속(다이오

드 접속)되고, 소스가 제3 트랜지스터(273)의 게이트, 제4 트랜지스터(274)의 게이트 및 제10 트랜지스터(280)의 게이트에 전기적으로 접속되고, 드레인에 제3 클록 신호가 입력된다. 제8 트랜지스터(278)는, 소스 또는 드레인의 한쪽이 배선(282a)에 전기적으로 접속되고, 다른 한쪽이 제3 트랜지스터(273)의 게이트, 제4 트랜지스터(274)의 게이트 및 제10 트랜지스터(280)의 게이트에 전기적으로 접속되어 있다. 또한, 제9 트랜지스터(279)는, 소스 또는 드레인의 한쪽에 제4 클록 신호가 입력되고, 다른 한쪽이 배선(283)과 전기적으로 접속되어 있다. 또한, 제10 트랜지스터(280)는, 소스 또는 드레인의 한쪽이 배선(282b)에 전기적으로 접속되고, 다른 한쪽이 배선(283)에 전기적으로 접속되어 있다.

[0261] 도 26에 나타난 구성에서, 비선택 기간에는, 제10 트랜지스터(280)가 온 상태를 유지한다. 따라서, 배선(282b)에 전위가 변화하는 H 레벨 신호를 입력하여, 제10 트랜지스터(280)를 흐르는 전류의 방향을 바꾸는(소스와 드레인을 바꾸는) 것에 의해, 소스측 또는 드레인측으로의 전계의 집중을 억제하여, 트랜지스터의 열화를 저감할 수 있다.

[0262] 또한, 도 26에서, 제1 트랜지스터(271)~제10 트랜지스터(280)를 P 채널형으로 형성한 경우를 나타내었지만, N 채널형으로 형성해도 좋다. 또한, 배선(282a)과 배선(282b)은 전기적으로 접속하는 구성으로 해도 좋다. 또한, 도 26에서, 각 배선에 입력되는 신호는 이것에 한정되지 않고 적절히 선택할 수 있다.

[0263] 또한, 본 실시형태에서는, 상기 실시형태에 나타난 구성을 게이트 드라이버나 소스 드라이버 등의 구동 회로에 적용하는 경우를 나타냈지만, 이것에 한정되지 않는다. 그 밖에도, 용량선의 전위를 제어하는 경우, 공통 전극의 전위를 제어하는 경우에도 적용 가능하다.

[0264] 또한, 본 실시형태에 나타난 구성은, 본 명세서에 나타난 다른 구성(다른 실시형태에 나타난 구성을 포함함)과 적절히 조합하여 실시할 수 있다.

[0266] [실시형태 5]

[0267] 본 실시형태에서는, 상기 실시형태에 나타난 회로에 적용할 수 있는 트랜지스터의 구조에 대하여 설명한다. 트랜지스터는, 트랜지스터가 가지는 반도체층에 이용하는 재료에 따라 크게 분류될 수 있다. 반도체층에 이용하는 재료로서는, 주성분으로서 실리콘이 포함되는 실리콘계 재료와, 주성분으로서 실리콘을 포함하지 않는 비실리콘계 재료로 분류할 수 있다. 실리콘계 재료에는, 아몰퍼스 실리콘(a-Si:H), 마이크로 크리스털 실리콘(μ c-Si), 폴리 실리콘(p-Si), 단결정 실리콘(c-Si) 등을 들 수 있다. 비실리콘계 재료로서는, 갈륨비소(GaAs) 등의 화합물 반도체, 산화아연(ZnO), 인듐과 갈륨과 아연을 포함하는 산화물(InGaZnO) 등의 산화물 반도체 등을 들 수 있다.

[0268] 아몰퍼스 실리콘 또는 마이크로 크리스털 실리콘을 트랜지스터의 반도체층으로서 이용하는 경우는, 트랜지스터의 특성의 균일성이 높고, 또한, 제조 비용이 적다는 이점이 있다. 특히, 대각의 길이가 500 mm를 넘는 것과 같은 대형 기판에 트랜지스터를 제작하는 경우에 유효하다. 이하에, 반도체층으로서 아몰퍼스 실리콘 또는 마이크로 크리스털 실리콘을 이용하는 트랜지스터 및 용량 소자의 구조의 일례에 대하여 설명한다.

[0269] 도 27(A)은, 탑 게이트형의 트랜지스터의 단면 구조 및 용량 소자의 단면 구조를 나타낸 도면이다.

[0270] 기판(5141) 위에 제1 절연막(절연막(5142))이 형성된다. 제1 절연막은, 기판측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화되는 것을 막는 하지막으로서의 기능을 가질 수 있다. 또한, 제1 절연막으로서, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다. 특히, 질화규소막은 치밀한 막이며, 높은 배리어성을 가지기 때문에, 제1 절연막에는 질화규소가 포함되는 것이 바람직하다. 또한, 제1 절연막은 반드시 형성되지 않아도 좋다. 제1 절연막이 형성되지 않는 경우는, 공정수의 삭감, 제조 비용의 저감 및 수율의 향상을 도모할 수 있다.

[0271] 제1 절연막 위에, 제1 도전층(도전층(5143), 도전층(5144) 및 도전층(5145))이 형성된다. 도전층(5143)은, 트랜지스터(5158)의 소스 및 드레인의 한쪽으로서 기능하는 부분을 포함한다. 도전층(5144)은, 트랜지스터(5158)의 소스 및 드레인의 다른 한쪽으로서 기능하는 부분을 포함한다. 도전층(5145)은, 용량 소자(5159)의 제1 전극으로서 기능하는 부분을 포함한다. 또한, 제1 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층막을 이용할 수 있다.

[0272] 도전층(5143) 및 도전층(5144)의 상부에, 제1 반도체층(반도체층(5146) 및 반도체층(5147))이 형성된다. 반도체층(5146)은, 소스와 드레인의 한쪽으로서 기능하는 부분을 포함한다. 반도체층(5147)은, 소스와 드레인의 다

른 한쪽으로서 기능하는 부분을 포함한다. 또한, 제1 반도체층으로서, 인 등을 포함한 실리콘 등을 이용할 수 있다.

- [0273] 도전층(5143)과 도전층(5144) 사이이며, 또한, 제1 절연막 위에, 제2 반도체층(반도체층(5148))이 형성된다. 그리고 반도체층(5148)의 일부는, 도전층(5143)위 및 도전층(5144) 위까지 연장되어 있다. 반도체층(5148)은, 트랜지스터(5158)의 채널 영역으로서 기능하는 부분을 포함한다. 또한, 제2 반도체층으로서, 아몰퍼스 실리콘(a-Si:H) 등의 비결정성을 가지는 반도체층, 또는 미결정 실리콘($\mu\text{c-Si}$) 등의 반도체층 등을 이용할 수 있다.
- [0274] 적어도 반도체층(5148) 및 도전층(5145)을 덮도록, 제2 절연막(절연막(5149) 및 절연막(5150))이 형성된다. 제2 절연막은 게이트 절연막으로서의 기능을 가진다. 또한, 제2 절연막으로서, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다.
- [0275] 또한, 제2 반도체층에 접하는 부분의 제2 절연막으로서, 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 제2 반도체층과 제2 절연막이 접하는 계면에서의 트랩 준위가 적어지기 때문이다.
- [0276] 또한, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 산화규소막은 Mo를 산화시키지 않기 때문이다.
- [0277] 제2 절연막 위에, 제2 도전층(도전층(5151) 및 도전층(5152))이 형성된다. 도전층(5151)은, 트랜지스터(5158)의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층(5152)은, 용량 소자(5159)의 제2 전극, 또는 배선으로서의 기능을 가진다. 또한, 제2 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층을 이용할 수 있다.
- [0278] 또한, 제2 도전층이 형성된 후의 공정으로서, 다양한 절연막, 또는 다양한 도전막이 형성되어도 좋다.
- [0279] 도 27(B)은, 역스태거형(보텀 게이트형)의 트랜지스터의 단면 구조 및 용량 소자의 단면 구조를 나타낸 도면이다. 특히, 도 27(B)에 나타낸 트랜지스터는, 채널 에치형으로 불리는 구조이다.
- [0280] 기관(5161) 위에 제1 절연막(절연막(5162))이 형성된다. 제1 절연막은, 기관측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화되는 것을 막는 하지막으로서의 기능을 가질 수 있다. 또한, 제1 절연막으로서, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다. 특히, 질화규소막은 치밀한 막이며, 높은 배리어성을 가지기 때문에, 제1 절연막에는 질화규소가 포함되는 것이 바람직하다. 또한, 제1 절연막은 반드시 형성되지 않아도 좋다. 제1 절연막이 형성되지 않는 경우는, 공정수의 삭감, 제조 비용의 저감 및 수율의 향상을 도모할 수 있다.
- [0281] 제1 절연막 위에, 제1 도전층(도전층(5163) 및 도전층(5164))이 형성된다. 도전층(5163)은, 트랜지스터(5178)의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층(5164)은, 용량 소자(5179)의 제1 전극으로서 기능하는 부분을 포함한다. 또한, 제1 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층을 이용할 수 있다.
- [0282] 적어도 제1 도전층을 덮도록, 제2 절연막(절연막(5165))이 형성된다. 제2 절연막은, 게이트 절연막으로서의 기능을 가진다. 또한, 제2 절연막으로서, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다.
- [0283] 또한, 반도체층에 접하는 부분의 제2 절연막으로서, 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 반도체층과 제2 절연막이 접하는 계면에서의 트랩 준위가 적어지기 때문이다.
- [0284] 또한, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 산화규소막은 Mo를 산화시키지 않기 때문이다.
- [0285] 제2 절연막 위 중 제1 도전층과 중첩되어 형성되는 부분의 일부에, 포토리소그래피법, 잉크젯법 또는 인쇄법 등에 의해, 제1 반도체층(반도체층(5166))이 형성된다. 그리고 반도체층(5166)의 일부는, 제2 절연막 위 중 제1 도전층과 중첩되어 형성되어 있지 않은 부분까지 연장되어 있다. 반도체층(5166)은, 트랜지스터(5178)의 채널 영역으로서 기능하는 부분을 포함한다. 또한, 반도체층(5166)으로서, 아몰퍼스 실리콘(a-Si:H) 등의 비결정

성을 가지는 반도체층, 또는 미결정 실리콘($\mu\text{c-Si}$) 등의 반도체층 등을 이용할 수 있다.

- [0286] 제1 반도체층 위의 일부에, 제2 반도체층(반도체층(5167) 및 반도체층(5168))이 형성된다. 반도체층(5167)은, 소스와 드레인의 한쪽으로서 기능하는 부분을 포함한다. 반도체층(5168)은, 소스와 드레인의 다른 한쪽으로서 기능하는 부분을 포함한다. 또한, 제2 반도체층으로서, 인 등을 포함한 실리콘 등을 이용할 수 있다.
- [0287] 제2 반도체층 위 및 제2 절연막 위에, 제2 도전층(도전층(5169), 도전층(5170) 및 도전층(5171))이 형성된다. 도전층(5169)은, 트랜지스터(5178)의 소스와 드레인의 한쪽으로서 기능하는 부분을 포함한다. 도전층(5170)은, 트랜지스터(5178)의 소스와 드레인의 다른 한쪽으로서 기능하는 부분을 포함한다. 도전층(5171)은, 용량 소자(5179)의 제2 전극으로서 기능하는 부분을 포함한다. 또한, 제2 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층을 이용할 수 있다.
- [0288] 또한, 제2 도전층이 형성된 후의 공정으로서, 다양한 절연막, 또는 다양한 도전막이 형성되어도 좋다.
- [0289] 또한, 채널 에지형의 트랜지스터의 제조 공정에서, 제1 반도체층 및 제2 반도체층은 연속하여 성막될 수 있다. 그리고 제1 반도체층 및 제2 반도체층은, 같은 마스크를 이용하여 형성될 수 있다.
- [0290] 또한, 제2 도전층이 형성된 후에, 제2 도전층을 마스크로서 이용하여 제2 반도체층의 일부를 제거할 수 있다. 또한, 제2 도전층에 이용한 마스크와 같은 마스크를 이용하여 제2 반도체층의 일부를 제거함으로써, 트랜지스터의 채널 영역을 형성할 수 있다. 이렇게 함으로써, 단지 제2 반도체층의 일부를 제거하기 위해 새로운 마스크를 이용할 필요가 없기 때문에, 제조 공정이 간단하게 되어, 제조 비용을 저감할 수 있다. 여기서, 제거되는 제2 반도체층의 하부에 형성되어 있는 제1 반도체층의 일부가 트랜지스터의 채널 영역이 된다.
- [0291] 도 27(C)은, 역스태거형(보텀 게이트형)의 트랜지스터의 단면 구조 및 용량 소자의 단면 구조를 나타낸 도면이다. 특히, 도 27(C)에 나타낸 트랜지스터는, 채널 보호형(에치 스톱형)이라고 불리는 구조이다.
- [0292] 기판(5181) 위에 제1 절연막(절연막(5182))이 형성된다. 제1 절연막은, 기판측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화되는 것을 막는 하지막으로서의 기능을 가질 수 있다. 또한, 제1 절연막으로서, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다. 특히, 질화규소막은 치밀한 막이며, 높은 배리어성을 가지기 때문에, 제1 절연막에는 질화규소가 포함되는 것이 바람직하다. 또한, 제1 절연막은 반드시 형성되지 않아도 좋다. 제1 절연막이 형성되지 않는 경우는, 공정수의 삭감, 제조 비용의 저감 및 수율의 향상을 도모할 수 있다.
- [0293] 제1 절연막 위에, 제1 도전층(도전층(5183) 및 도전층(5184))이 형성된다. 도전층(5183)은, 트랜지스터(5198)의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층(5184)은, 용량 소자(5199)의 제1 전극으로서 기능하는 부분을 포함한다. 또한, 제1 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층을 이용할 수 있다.
- [0294] 적어도 제1 도전층을 덮도록, 제2 절연막(절연막(5185))이 형성된다. 제2 절연막은, 게이트 절연막으로서의 기능을 가진다. 또한, 제2 절연막으로서, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다.
- [0295] 또한, 반도체층에 접하는 부분의 제2 절연막으로서, 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 반도체층과 제2 절연막이 접하는 계면에서의 트랩 준위가 적어지기 때문이다.
- [0296] 또한, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 산화규소막은 Mo를 산화시키지 않기 때문이다.
- [0297] 제2 절연막 위 중 제1 도전층과 중첩되어 형성되는 부분의 일부에, 포토리소그래피법, 잉크젯법 또는 인쇄법 등에 의해, 제1 반도체층(반도체층(5186))이 형성된다. 그리고 반도체층(5188)의 일부는, 제2 절연막 위 중 제1 도전층과 중첩되어 형성되어 있지 않은 부분까지 연장되어 있다. 반도체층(5186)은, 트랜지스터(5198)의 채널 영역으로서 기능하는 부분을 포함한다. 또한, 반도체층(5186)으로서, 아몰퍼스 실리콘(a-Si:H) 등의 비결정성을 가지는 반도체층, 또는 미결정 실리콘($\mu\text{c-Si}$) 등의 반도체층 등을 이용할 수 있다.
- [0298] 제1 반도체층 위의 일부에, 제3 절연막(절연막(5192))이 형성된다. 절연막(5192)은, 트랜지스터(5198)의 채널 영역이 에칭에 의해 제거되는 것을 방지하는 기능을 가진다. 즉, 절연막(5192)은 채널 보호막(에치 스톱막)으

로서 기능한다. 또한, 제3 절연막으로서는, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다.

- [0299] 제1 반도체층 위의 일부 및 제3 절연막 위의 일부에, 제2 반도체층(반도체층(5187) 및 반도체층(5188))이 형성된다. 반도체층(5187)은, 소스와 드레인의 한쪽으로서 기능하는 부분을 포함한다. 반도체층(5188)은, 소스와 드레인의 다른 한쪽으로서 기능하는 부분을 포함한다. 또한, 제2 반도체층으로서는, 인 등을 포함한 실리콘 등을 이용할 수 있다.
- [0300] 제2 반도체층 위에, 제2 도전층(도전층(5189), 도전층(5190) 및 도전층(5191))이 형성된다. 도전층(5189)은, 트랜지스터(5198)의 소스와 드레인의 한쪽으로서 기능하는 부분을 포함한다. 도전층(5190)은, 트랜지스터(5198)의 소스와 드레인의 다른 한쪽으로서 기능하는 부분을 포함한다. 도전층(5191)은, 용량 소자(5199)의 제2 전극으로서 기능하는 부분을 포함한다. 또한, 제2 도전층으로서는, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층을 이용할 수 있다.
- [0301] 또한, 제2 도전층이 형성된 후의 공정으로서, 다양한 절연막, 또는 다양한 도전막이 형성되어도 좋다.
- [0302] 다음에, 폴리 실리콘을 트랜지스터의 반도체층으로서 이용하는 경우는, 트랜지스터의 이동도가 높고, 또한, 제조 비용이 작다는 이점이 있다. 또한, 특성의 경년(經年) 열화가 작기 때문에, 신뢰성이 높은 장치를 얻을 수 있다. 이하에, 반도체층으로서 폴리 실리콘을 이용하는 트랜지스터 및 용량 소자의 구조의 일례에 대하여 설명한다.
- [0303] 도 27(D)는, 보텀 게이트형의 트랜지스터의 단면 구조 및 용량 소자의 단면 구조를 나타낸 도면이다.
- [0304] 기관(5201) 위에 제1 절연막(절연막(5202))이 형성된다. 제1 절연막은, 기관측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화되는 것을 막는 하지막으로서의 기능을 가질 수 있다. 또한, 제1 절연막으로서는, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다. 특히, 질화규소막은 치밀한 막이며, 높은 배리어성을 가지기 때문에, 제1 절연막에는 질화규소가 포함되는 것이 바람직하다. 또한, 제1 절연막은 반드시 형성되지 않아도 좋다. 제1 절연막이 형성되지 않는 경우는, 공정수의 삭감, 제조 비용의 저감 및 수율의 향상을 도모할 수 있다.
- [0305] 제1 절연막 위에, 제1 도전층(도전층(5203) 및 도전층(5204))이 형성된다. 도전층(5203)은, 트랜지스터(5218)의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층(5204)은 용량 소자(5219)의 제1 전극으로서 기능하는 부분을 포함한다. 또한, 제1 도전층으로서는, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층을 이용할 수 있다.
- [0306] 적어도 제1 도전층을 덮도록, 제2 절연막(절연막(5214))이 형성된다. 제2 절연막은, 게이트 절연막으로서의 기능을 가진다. 또한, 제2 절연막으로서는, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 이용할 수 있다.
- [0307] 또한, 반도체층에 접하는 부분의 제2 절연막으로서는, 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 반도체층과 제2 절연막이 접하는 계면에서의 트랩 준위가 적어지기 때문이다.
- [0308] 또한, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서는 산화규소막을 이용하는 것이 바람직하다. 왜냐하면, 산화규소막은 Mo를 산화시키지 않기 때문이다.
- [0309] 제2 절연막 위 중 제1 도전층과 중첩되어 형성되는 부분의 일부에, 포토리소그래피법, 잉크젯법 또는 인쇄법 등에 의해, 반도체층이 형성된다. 그리고 반도체층의 일부는, 제2 절연막 위 중 제1 도전층과 중첩되어 형성되어 있지 않은 부분까지 연장되어 있다. 반도체층은, 채널 형성 영역(채널 형성 영역(5210)), Lightly Doped Drain(LDD) 영역(LDD 영역(5208), LDD 영역(5209)), 불순물 영역(불순물 영역(5205), 불순물 영역(5206), 불순물 영역(5207))을 가지고 있다. 채널 형성 영역(5210)은, 트랜지스터(5218)의 채널 형성 영역으로서 기능한다. LDD 영역(5208) 및 LDD 영역(5209)은, 트랜지스터(5218)의 LDD 영역으로서 기능한다. 또한, LDD 영역(5208) 및 LDD 영역(5209)이 형성되는 것에 의해, 트랜지스터의 드레인에 고전계가 걸리는 것을 억제할 수 있기 때문에, 트랜지스터의 신뢰성을 향상할 수 있다. 단, LDD 영역은 형성되지 않아도 좋다. 이 경우는, 제조 공정을 간단하게 할 수 있기 때문에, 제조 비용을 저감할 수 있다. 불순물 영역(5205)은, 트랜지스터(5218)의 소스 및 드레인의 한쪽으로서 기능하는 부분을 포함한다. 불순물 영역(5206)은, 트랜지스터(5218)의 소스 및 드

레인의 한쪽으로서 기능하는 부분을 포함한다. 불순물 영역(5207)은, 용량 소자(5219)의 제2 전극으로서 기능하는 부분을 포함한다.

- [0310] 제3 절연막(절연막(5211))의 일부에는, 선택적으로 콘택트홀이 형성된다. 절연막(5211)은, 층간막으로서의 기능을 가진다. 제3 절연막으로서, 무기 재료(산화규소, 질화규소, 산화질화규소 등) 혹은, 저유전율의 유기 화합물 재료(감광성 또는 비감광성의 유기 수지 재료) 등을 이용할 수 있다. 혹은, 실록산을 포함하는 재료를 이용할 수도 있다. 또한, 실록산은, 실리콘(Si)과 산소(O)와의 결합으로 골격 구조가 구성되는 재료이다. 치환기로서, 유기기(예를 들면, 알킬기, 방향족 탄화수소)나 플루오로기를 이용해도 좋다. 혹은, 유기기는 플루오로기를 가지고 있어도 좋다.
- [0311] 제3 절연막 위에, 제2 도전층(도전층(5212) 및 도전층(5213))이 형성된다. 도전층(5212)은, 제3 절연막에 형성된 콘택트홀을 통하여 트랜지스터(5218)의 소스 또는 드레인의 다른 한쪽과 전기적으로 접속되어 있다. 따라서, 도전층(5212)은, 트랜지스터(5218)의 소스 또는 드레인의 다른 한쪽으로서 기능하는 부분을 포함한다. 도전층(5213)과 도전층(5204)이, 도시하지 않은 부분에서 전기적으로 접속되어 있는 경우는, 도전층(5213)은 용량 소자(5219)의 제1 전극으로서 기능하는 부분을 포함한다. 혹은, 도전층(5213)이 불순물 영역(5207)과 도시하지 않은 부분에서 전기적으로 접속되어 있는 경우에는, 도전층(5213)은 용량 소자(5219)의 제2 전극으로서 기능하는 부분을 포함한다. 혹은, 도전층(5213)이 도전층(5204) 및 불순물 영역(5207)과 전기적으로 접속되어 있지 않은 경우는, 용량 소자(5219)와는 다른 용량 소자가 형성된다. 이 용량 소자는, 도전층(5213), 불순물 영역(5207) 및 절연막(5211)이 각각 용량 소자의 제1 전극, 제2 전극, 절연막으로서 이용되는 구성이다. 또한, 제2 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 이용할 수 있다. 혹은, 이들 원소(합금도 포함함)의 적층을 이용할 수 있다.
- [0312] 또한, 제2 도전층이 형성된 후의 공정으로서, 다양한 절연막, 또는 다양한 도전막이 형성되어도 좋다.
- [0313] 또한, 반도체층으로서 폴리 실리콘을 이용하는 트랜지스터에서도, 탑 게이트형의 트랜지스터로 할 수 있다.
- [0314] 또한, 본 실시형태에 나타난 구성은, 본 명세서에 나타난 다른 구성(다른 실시형태에 나타난 구성을 포함함)과 적절히 조합하여 실시할 수 있다.
- [0316] [실시형태 6]
- [0317] 본 실시형태에서는, 상기 실시형태에 나타난 표시 장치를 적용한 다양한 전자기기에 대하여, 도면을 참조하여 설명한다.
- [0318] 상기 실시형태에 나타난 표시 장치를 적용한 전자기기로서, 텔레비전, 비디오 카메라, 디지털 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 오디오 콤포넌트 등), 노트북형 컴퓨터, 게임기기, 휴대 정보 단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자 서적 등), 기록 매체를 구비한 화상 재생 장치(구체적으로는, Digital Versatile Disc(DVD) 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 표시 장치를 구비한 장치), 조명기구 등을 들 수 있다. 이러한 전자기기의 구체예를 도 28에 나타낸다.
- [0319] 도 28(A)는 표시 장치이며, 케이스(8001), 지지대(8002), 표시부(8003), 스피커부(8004), 비디오 입력 단자(8005) 등을 포함한다. 상기 실시형태에 나타난 구성을 표시부(8003)에 이용함으로써 제작된다. 또한, 표시 장치는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 장치가 포함된다. 상기 실시형태에 나타난 표시 장치를 적용함으로써, 신뢰성을 향상시킨 표시 장치를 제공할 수 있다.
- [0320] 도 28(B)는 컴퓨터이며, 케이스(8102), 표시부(8103), 키보드(8104), 외부 접속 포트(8105), 포인팅 디바이스(8106) 등을 포함한다. 또한, 컴퓨터는, 상기 실시형태에 나타난 구성을 표시부(8103)에 이용함으로써 제작된다. 상기 실시형태에 나타난 표시 장치를 적용함으로써, 신뢰성을 향상시킨 컴퓨터를 제공할 수 있다.
- [0321] 도 28(C)는 비디오 카메라이며, 표시부(8202), 외부 접속 포트(8204), 리모콘 수신부(8205), 수상부(8206), 조작 키(8209) 등을 포함한다. 또한, 비디오 카메라는, 상기 실시형태에 나타난 구성을 표시부(8202)에 이용함으로써 제작된다. 상기 실시형태에 나타난 표시 장치를 적용함으로써, 신뢰성을 향상시킨 비디오 카메라를 제공할 수 있다.
- [0322] 도 28(D)는 휴대전화이며, 표시부(8403), 음성 입력부(8404), 음성 출력부(8405), 조작 키(8406), 외부 접속 포트(8407) 등을 포함한다. 또한, 휴대전화는, 상기 실시형태에 나타난 구성을 표시부(8403)에 이용함으로써 제작된다. 또한, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 휴대전화로 하여도 좋다. 상기 실시형태

에 나타낸 표시 장치를 적용함으로써, 신뢰성을 향상시킨 형태 전화를 제공할 수 있다.

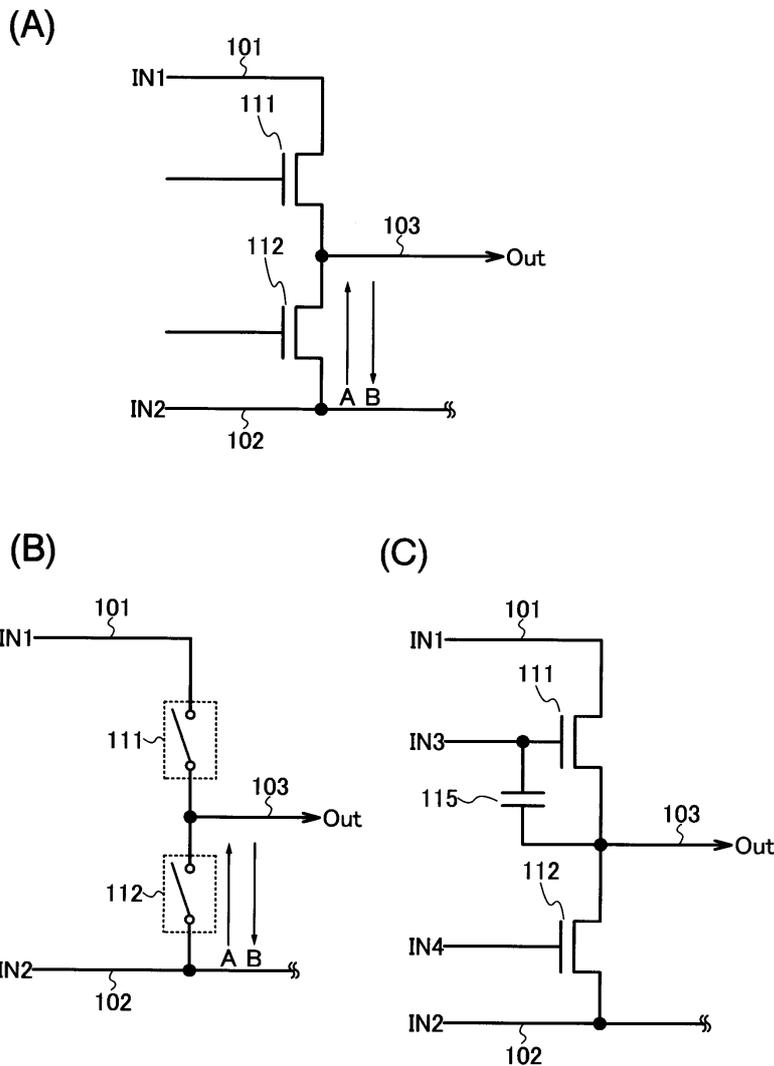
[0323] 도 28(E)는 탁상 조명기구이며, 조명부(8301), 전등갓(8302), 가변 압(8303), 스위치(8305) 등을 포함한다. 또한, 탁상 조명기구는, 상기 실시형태에 나타낸 구성을 조명부(8301)에 이용함으로써 제작된다. 또한, 조명기구에는 천정 고정형 조명기구 또는 벽걸이형 조명기구 등도 포함된다. 상기 실시형태에 나타낸 표시 장치를 적용함으로써, 신뢰성을 향상시킨 탁상 조명기구를 제공할 수 있다.

[0324] 이상과 같이 하여, 상기 실시형태에 나타낸 표시 장치를 적용하여 전자기구나 조명기구를 얻을 수 있다. 상기 실시형태에 나타낸 표시 장치의 적용 범위는 매우 넓고, 모든 분야의 전자기구에 적용하는 것이 가능하다.

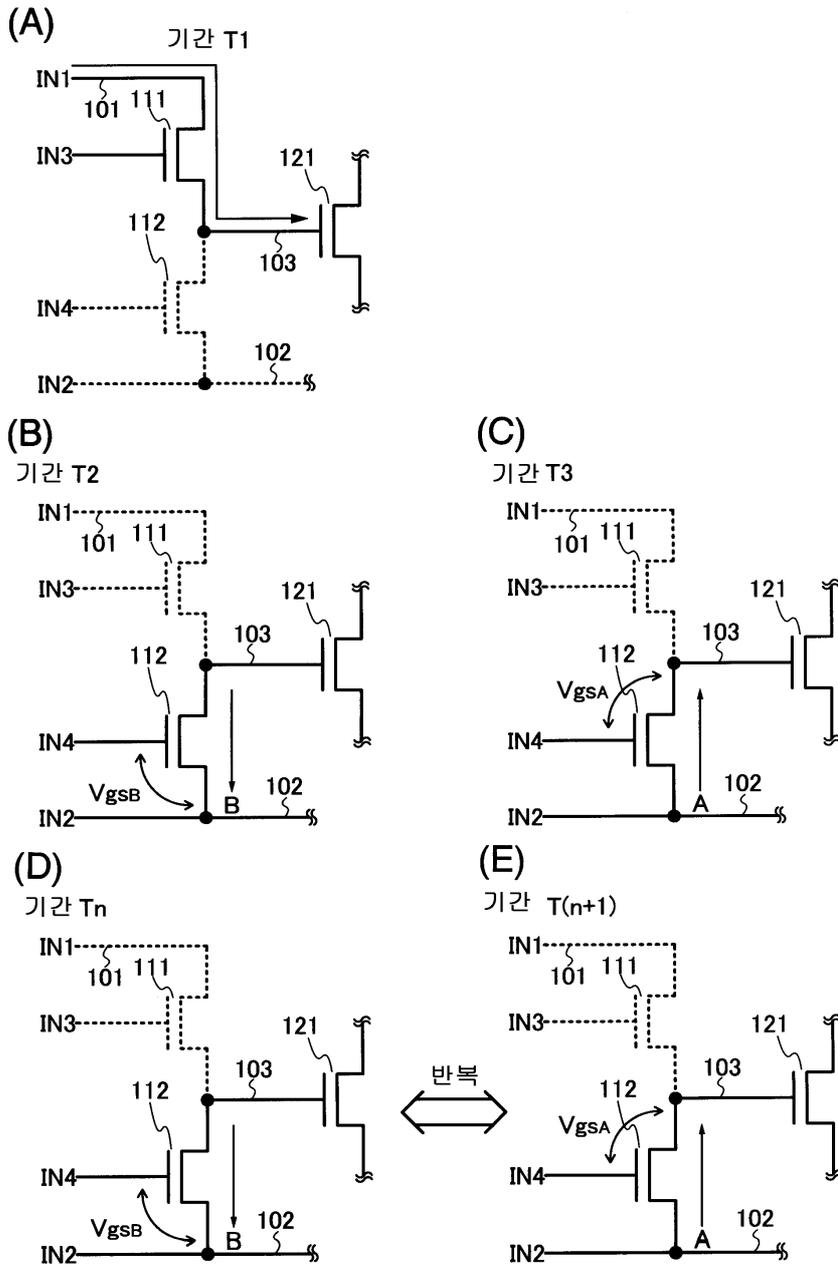
[0325] 또한, 본 실시형태에 나타낸 구성은, 본 명세서에 나타낸 다른 구성(다른 실시형태에 나타낸 구성을 포함함)과 적절히 조합하여 실시할 수 있다.

도면

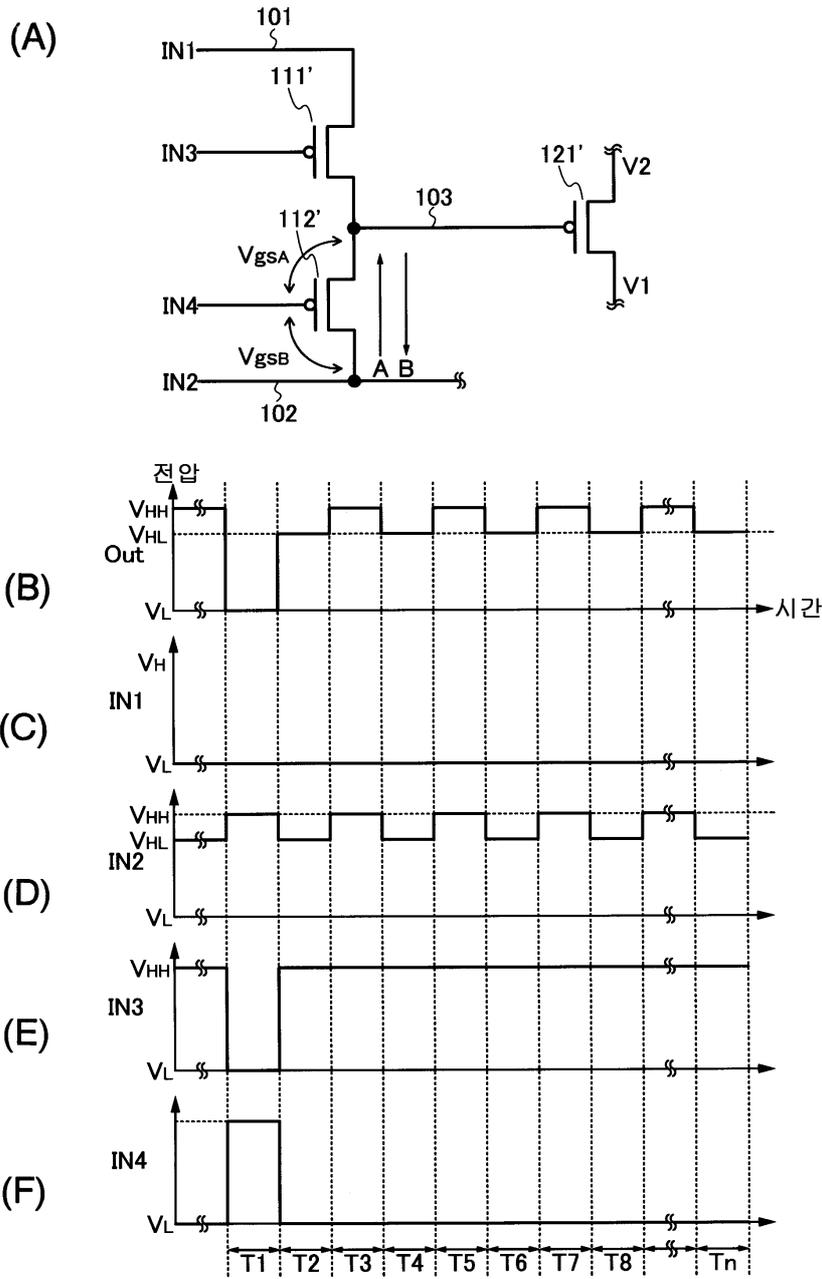
도면1



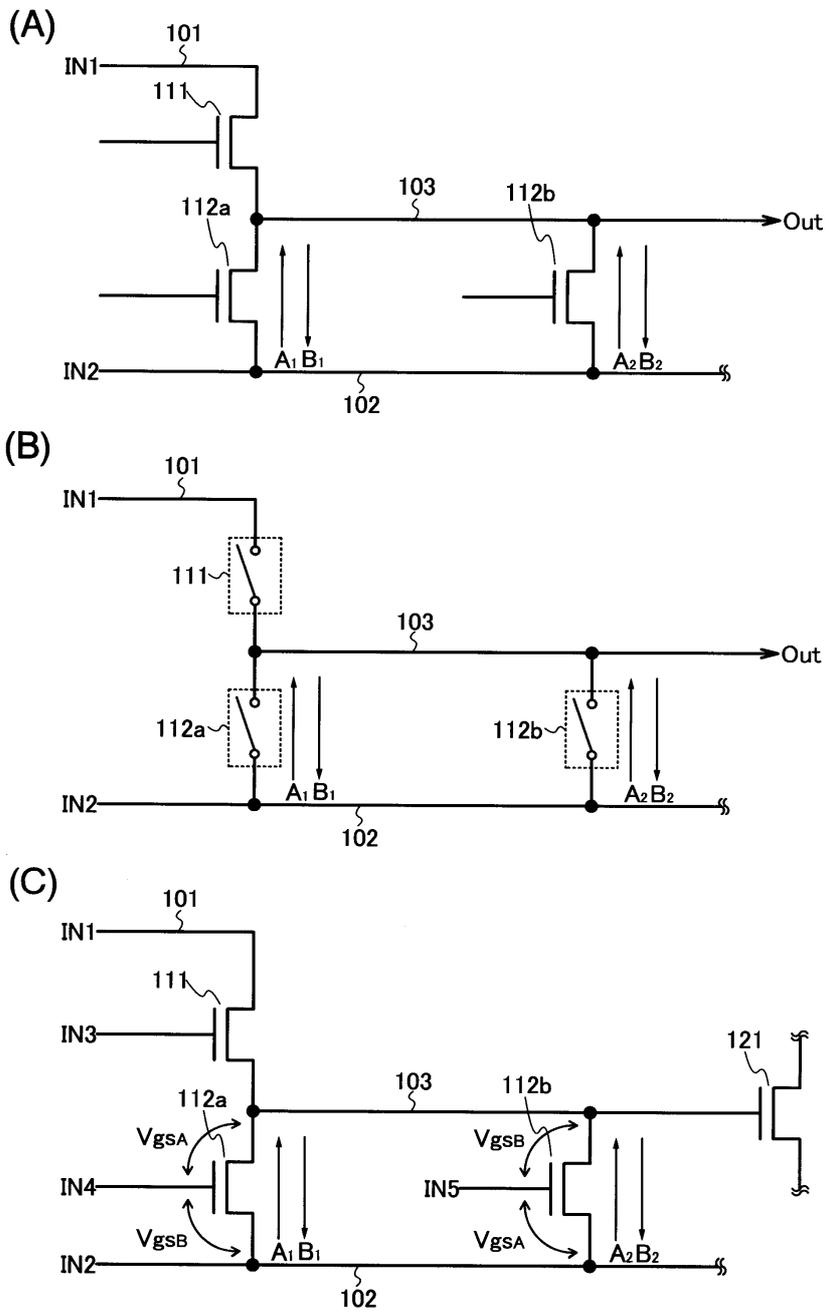
도면3



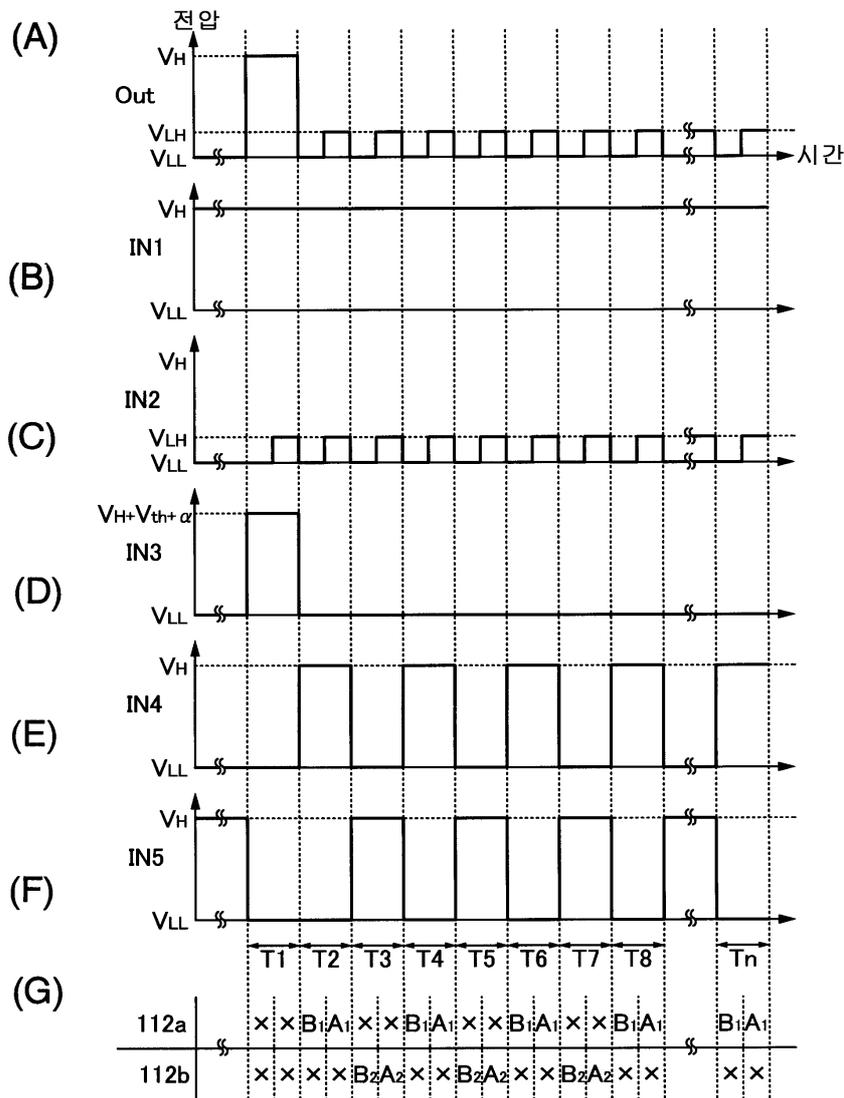
도면4



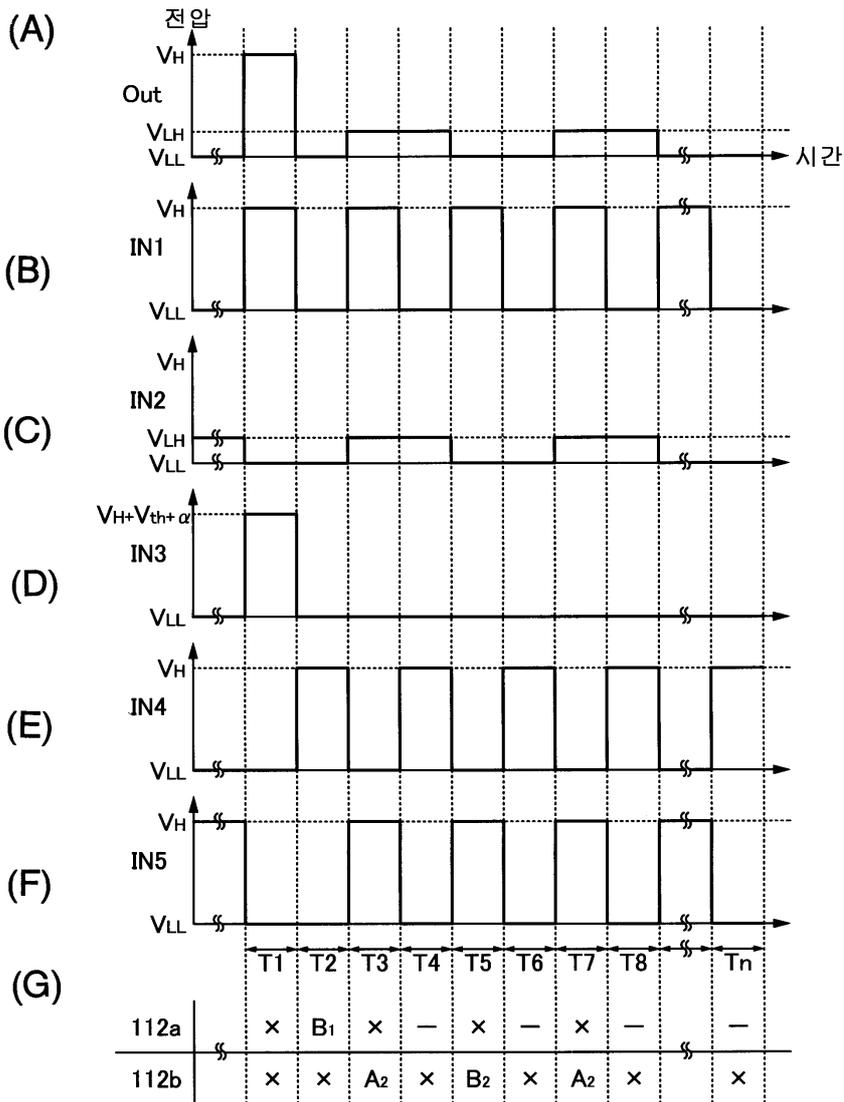
도면5



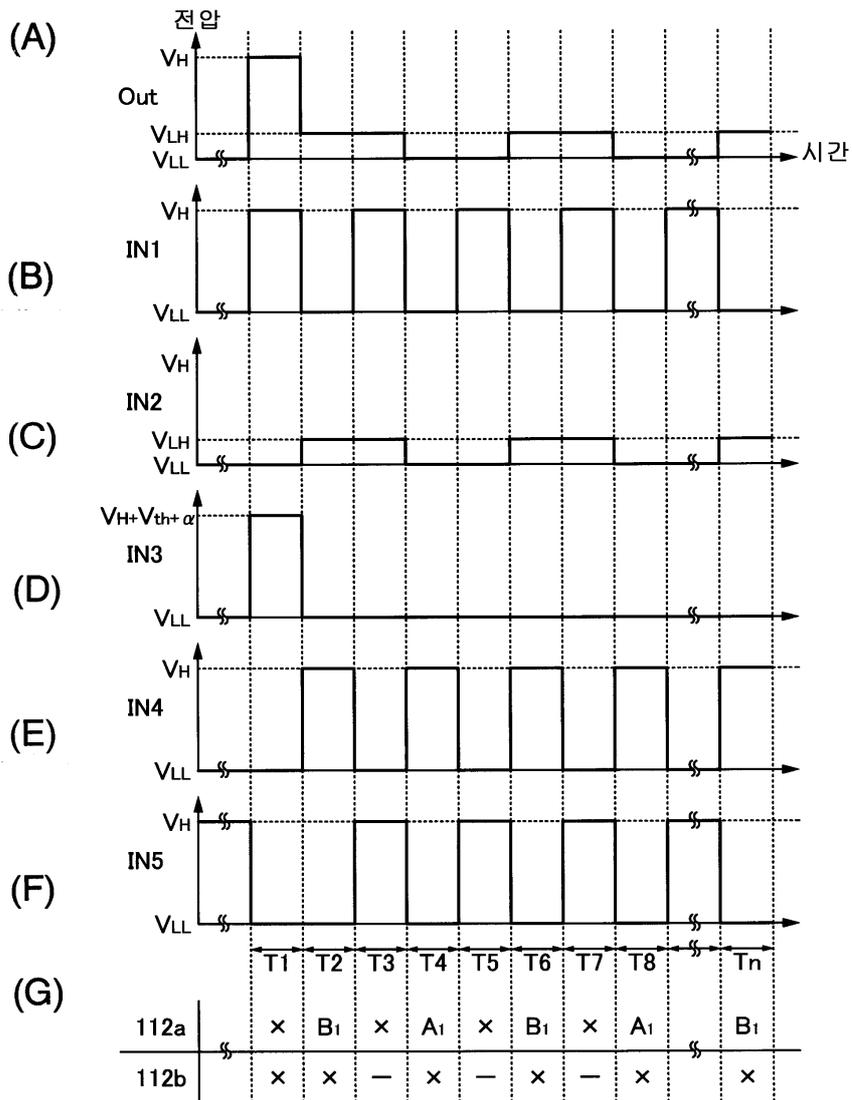
도면6



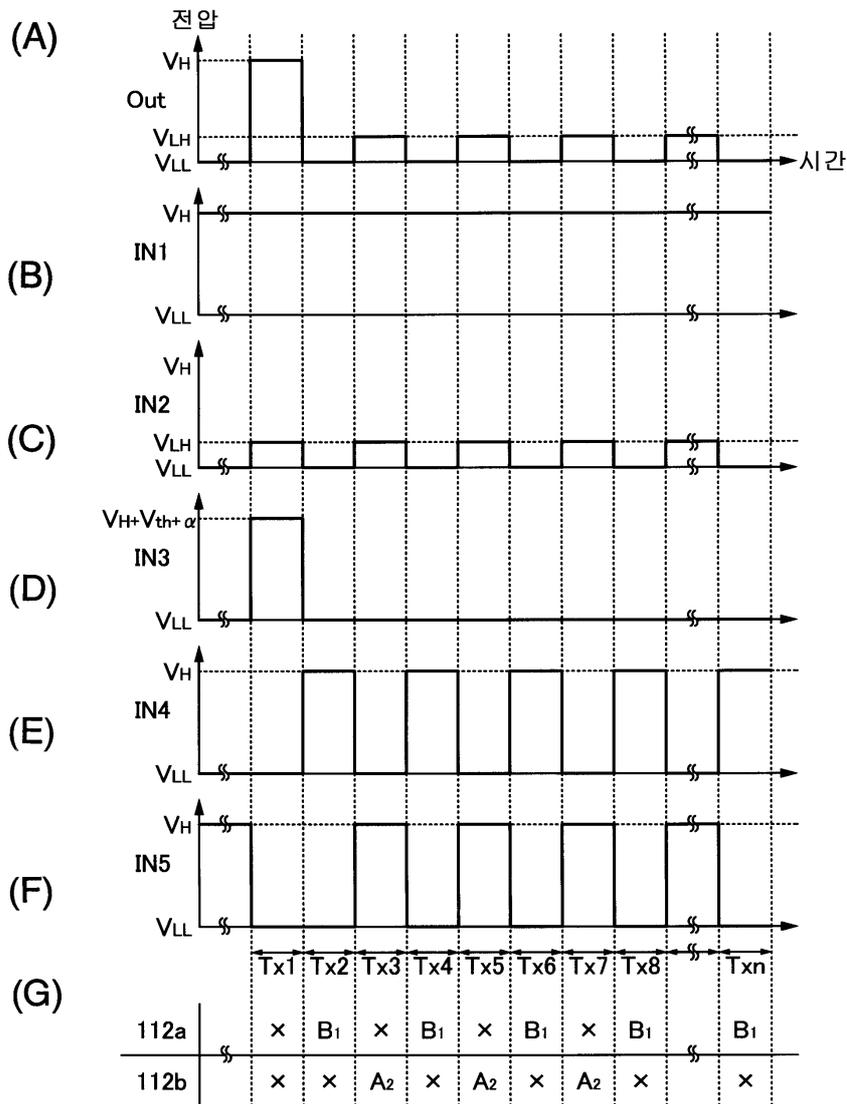
도면7



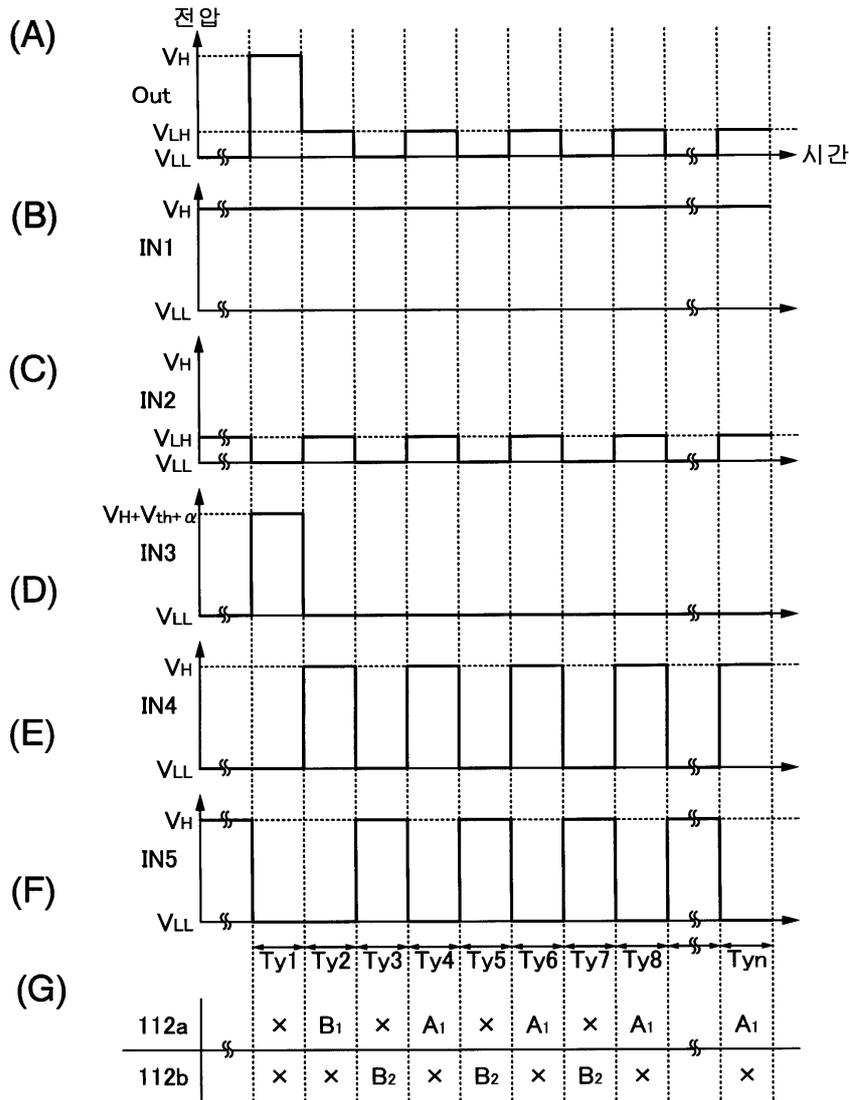
도면8



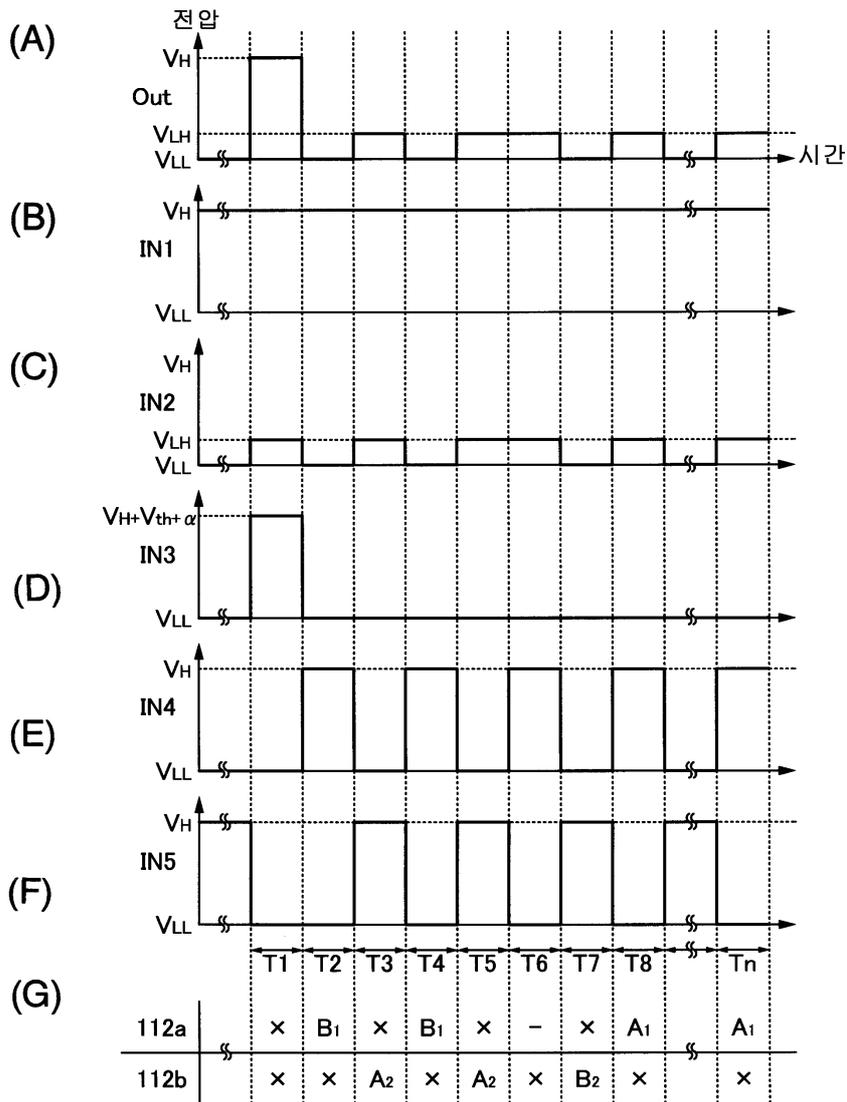
도면9



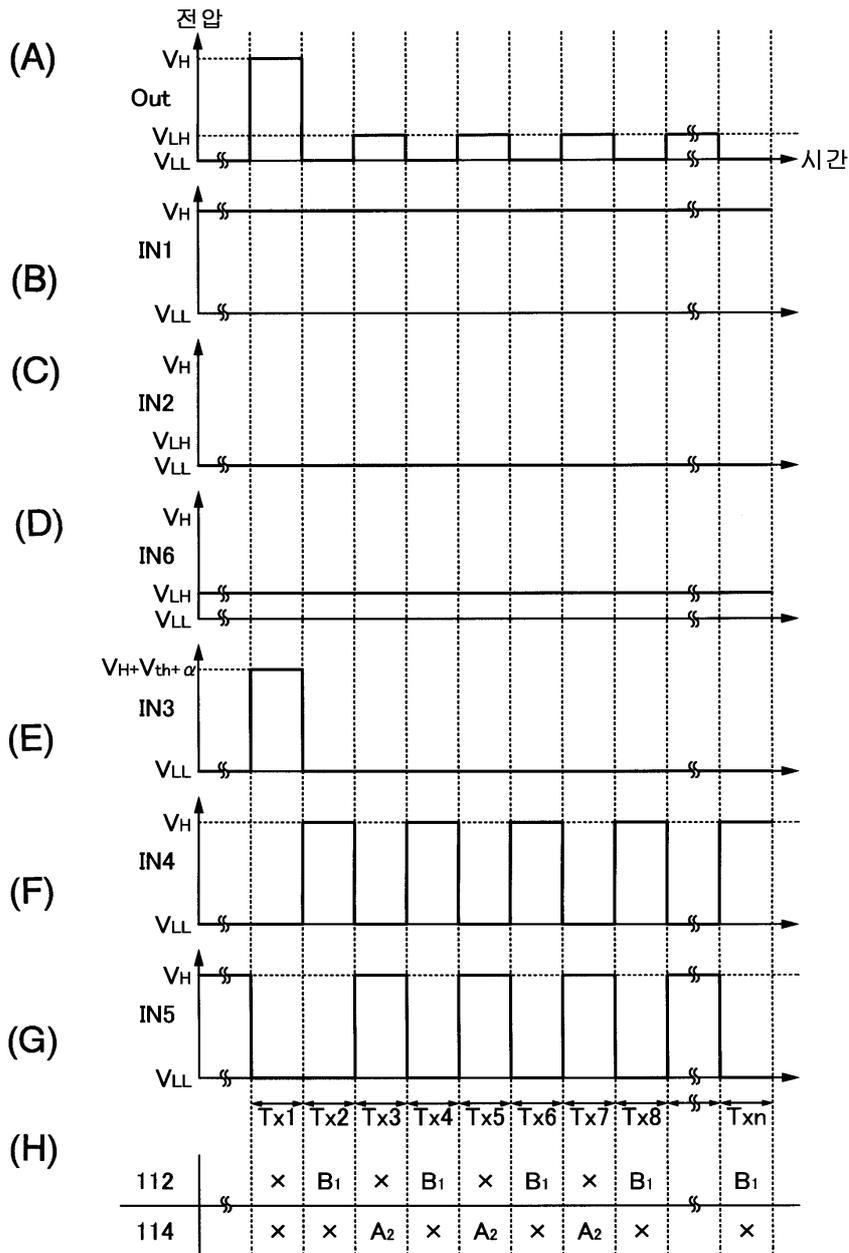
도면10



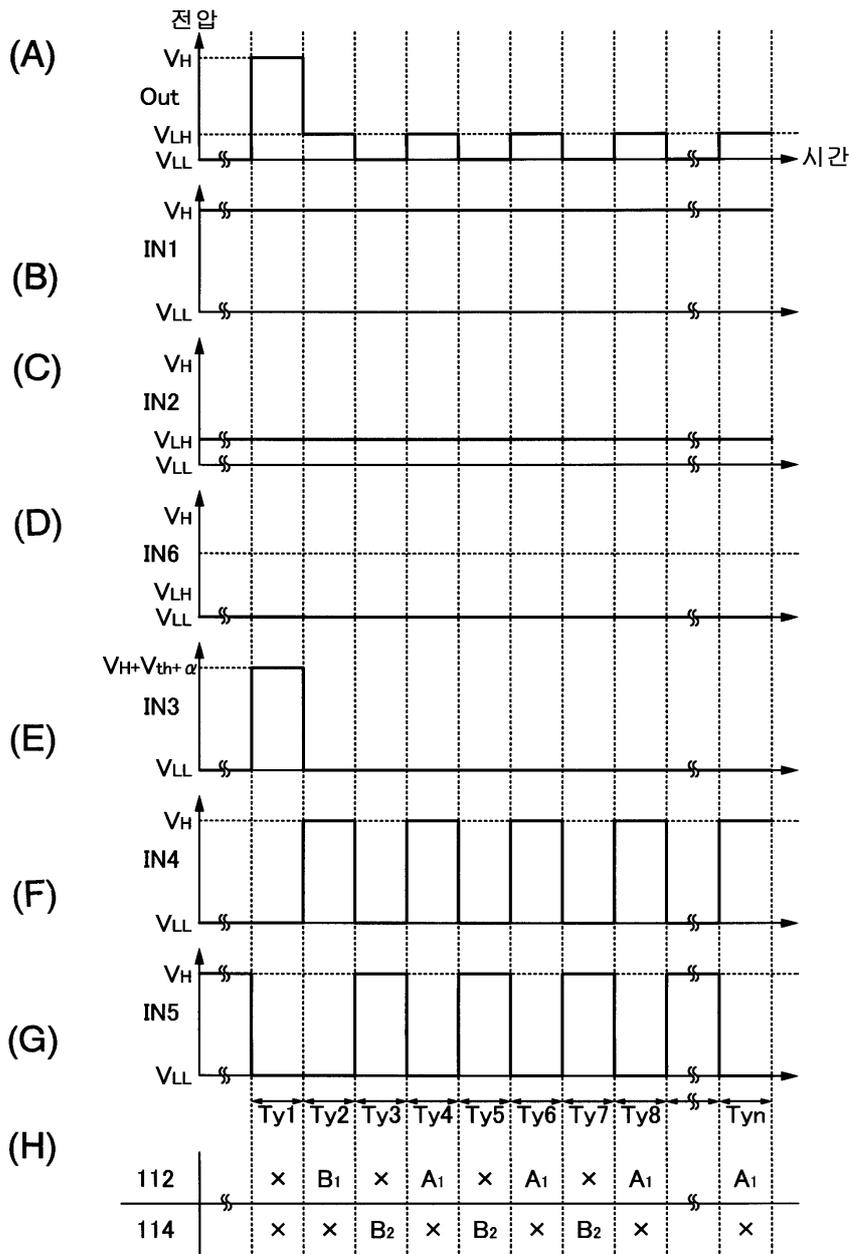
도면11



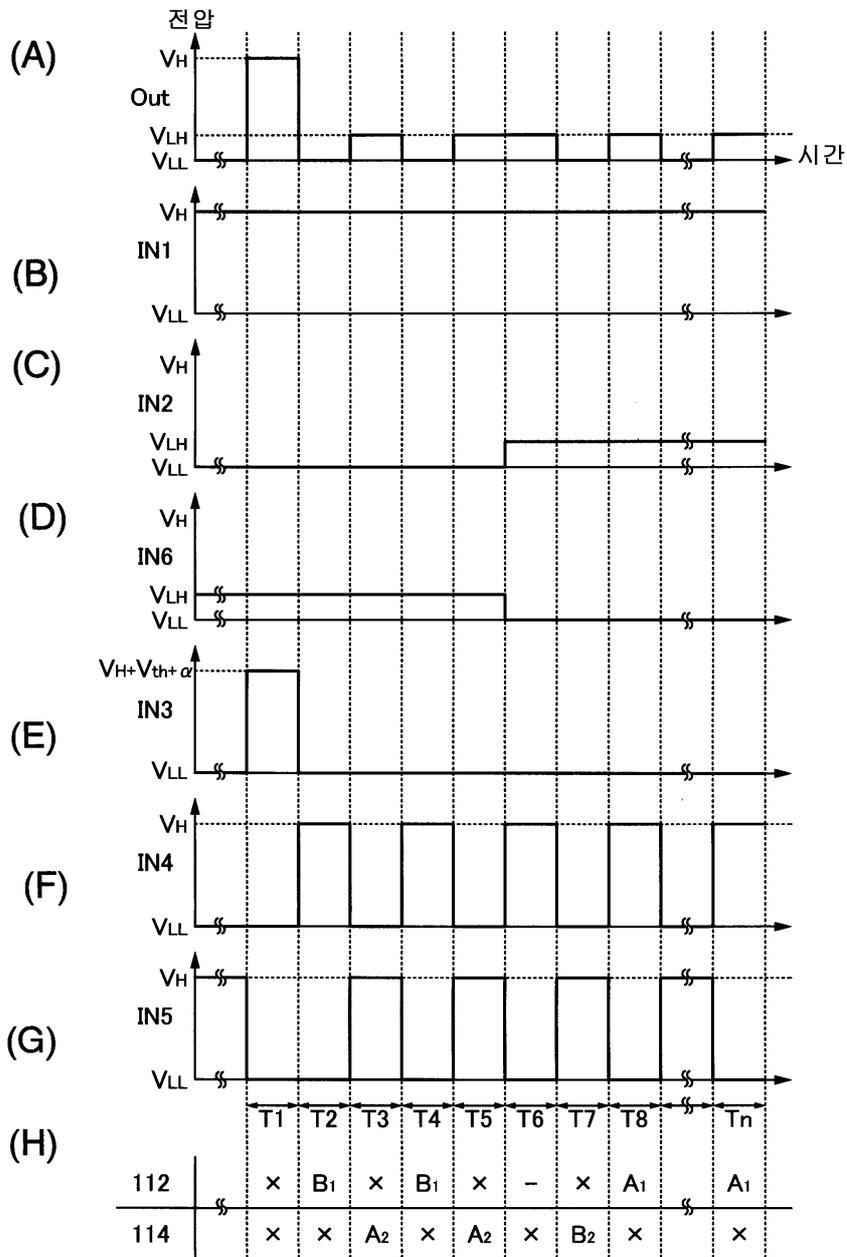
도면13



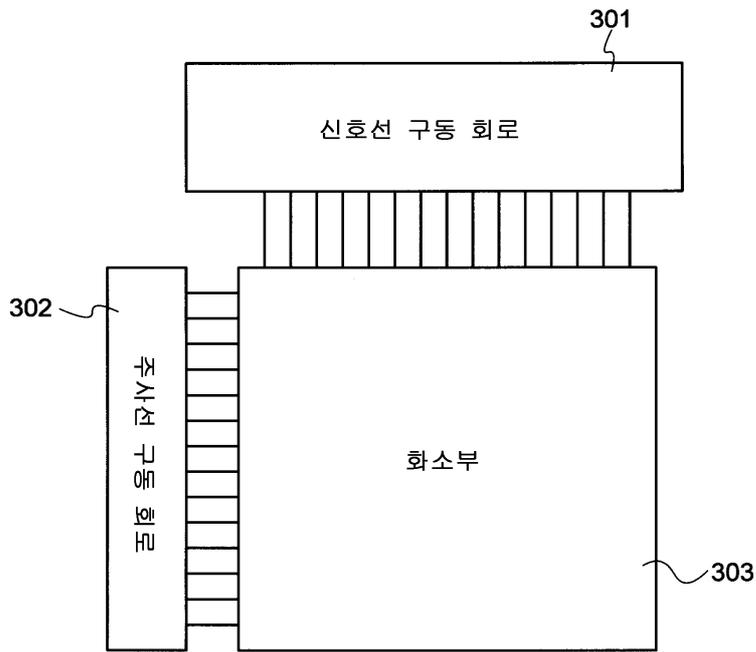
도면14



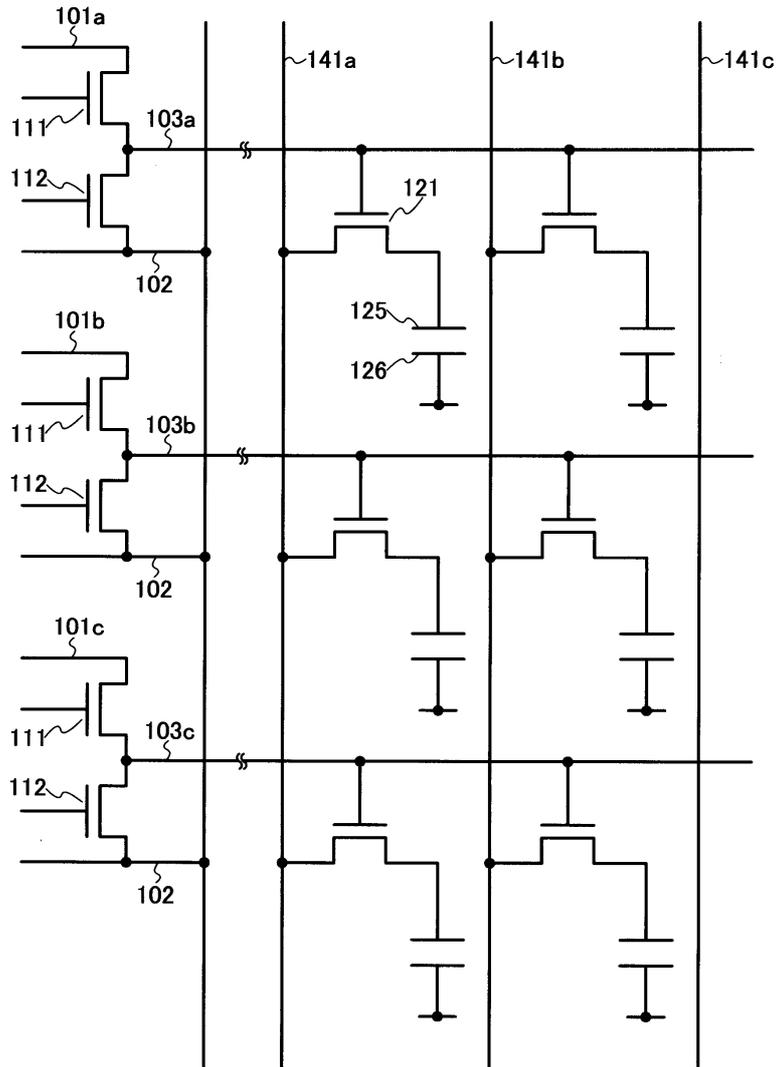
도면15



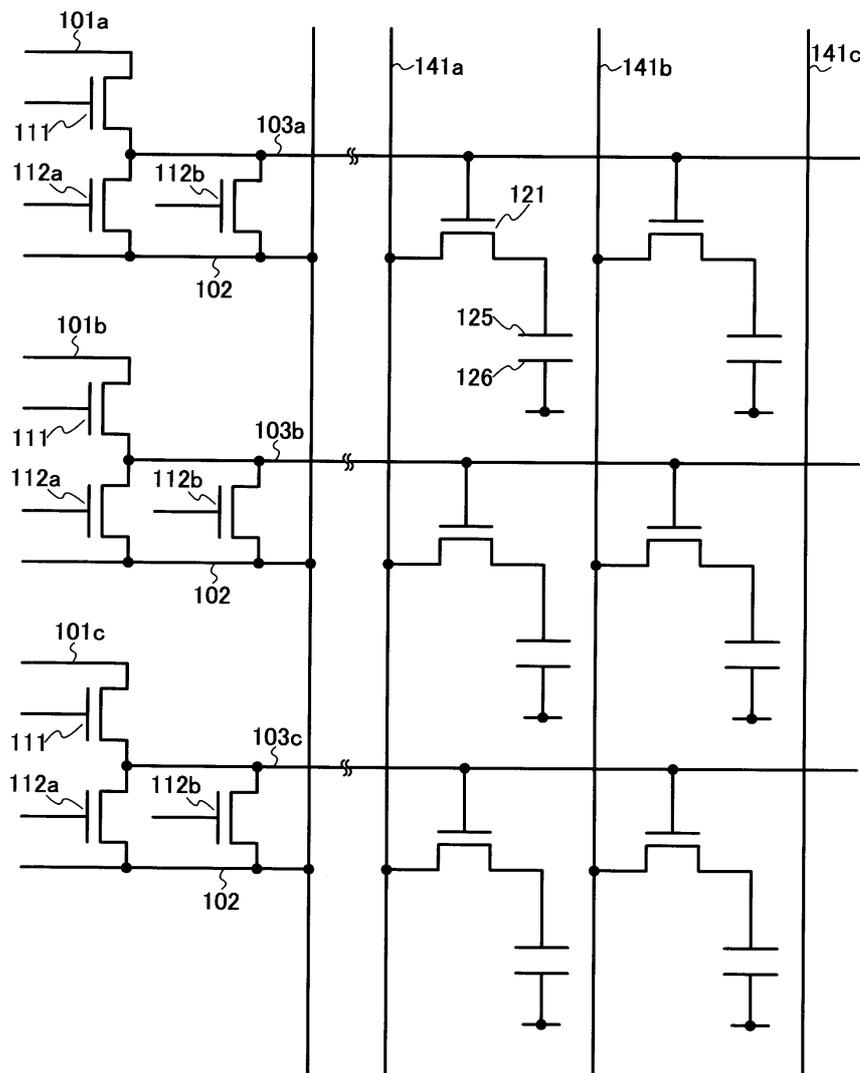
도면16



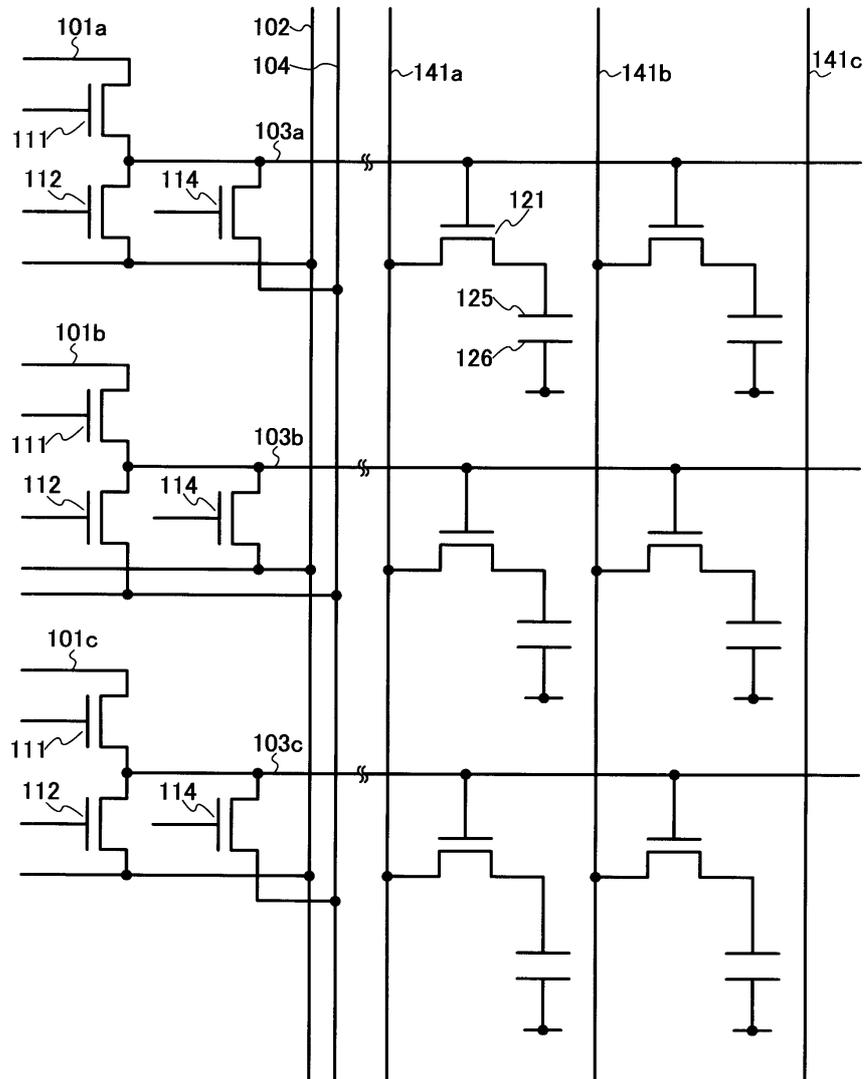
도면17



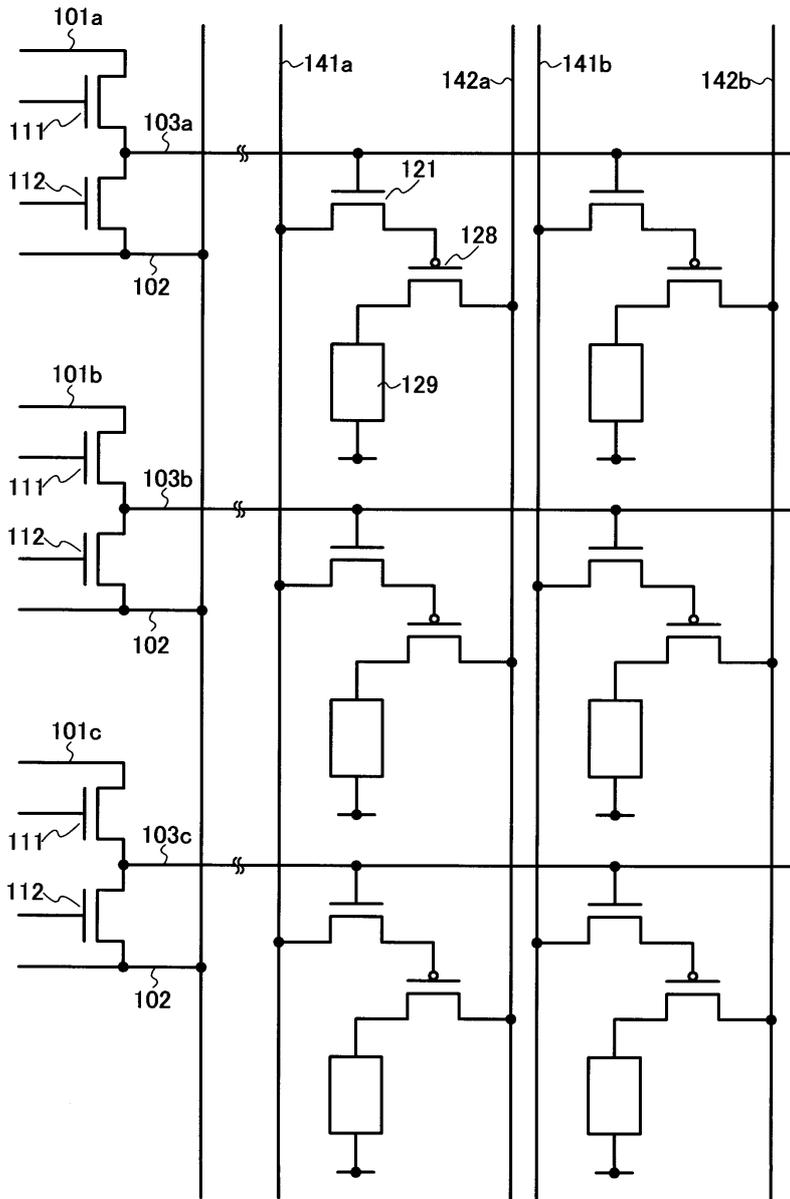
도면18



도면19

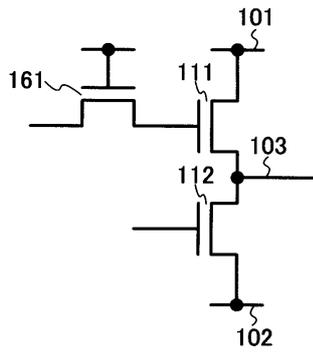


도면20

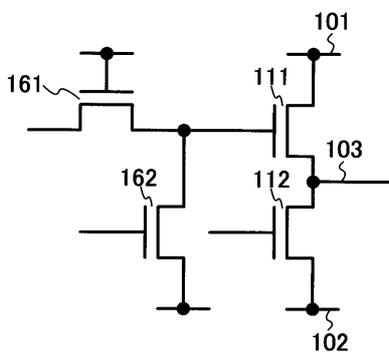


도면21

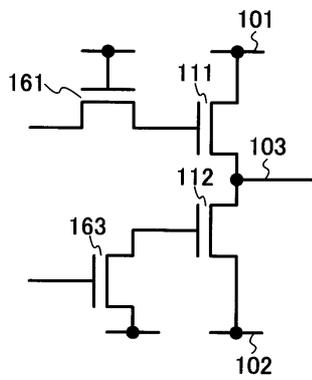
(A)



(B)

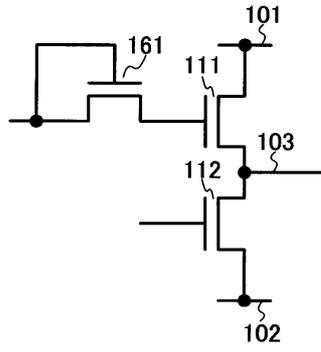


(C)

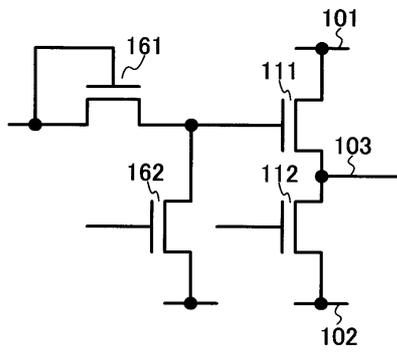


도면22

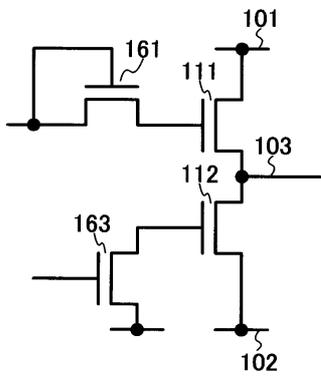
(A)



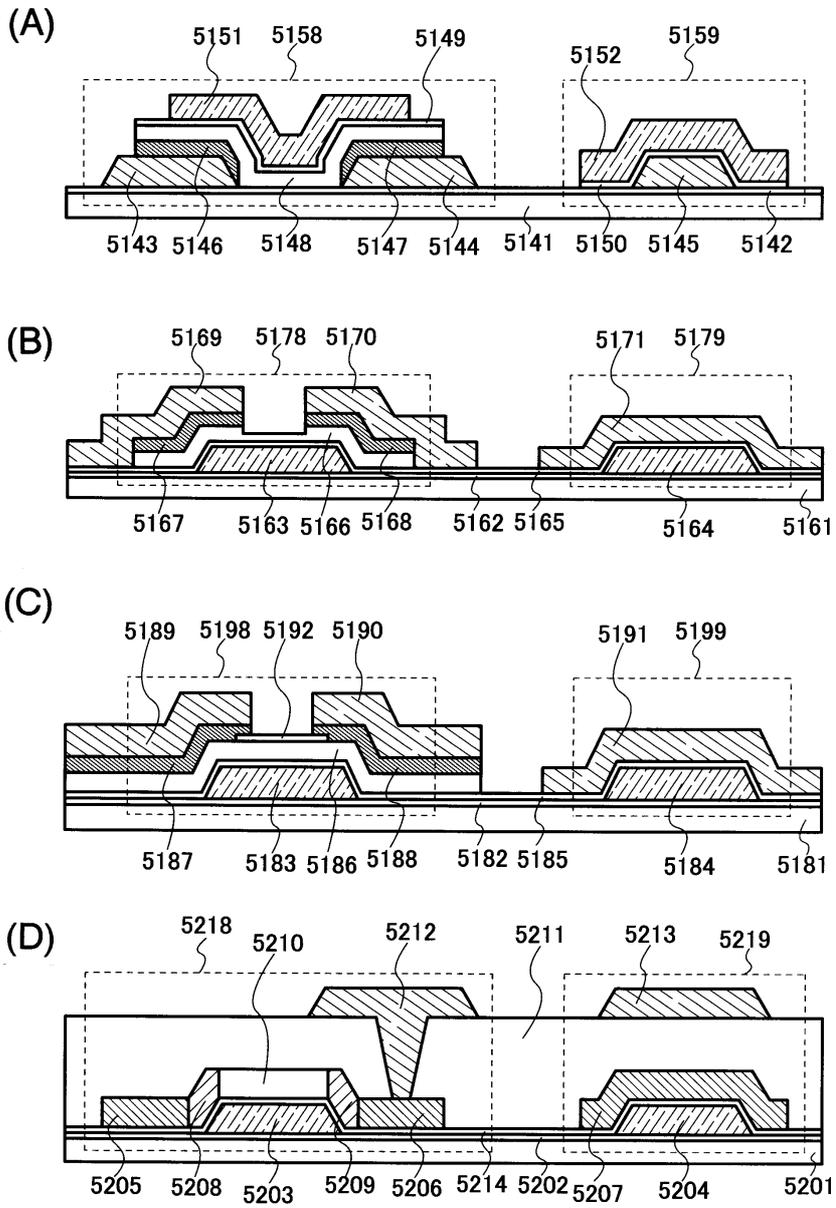
(B)



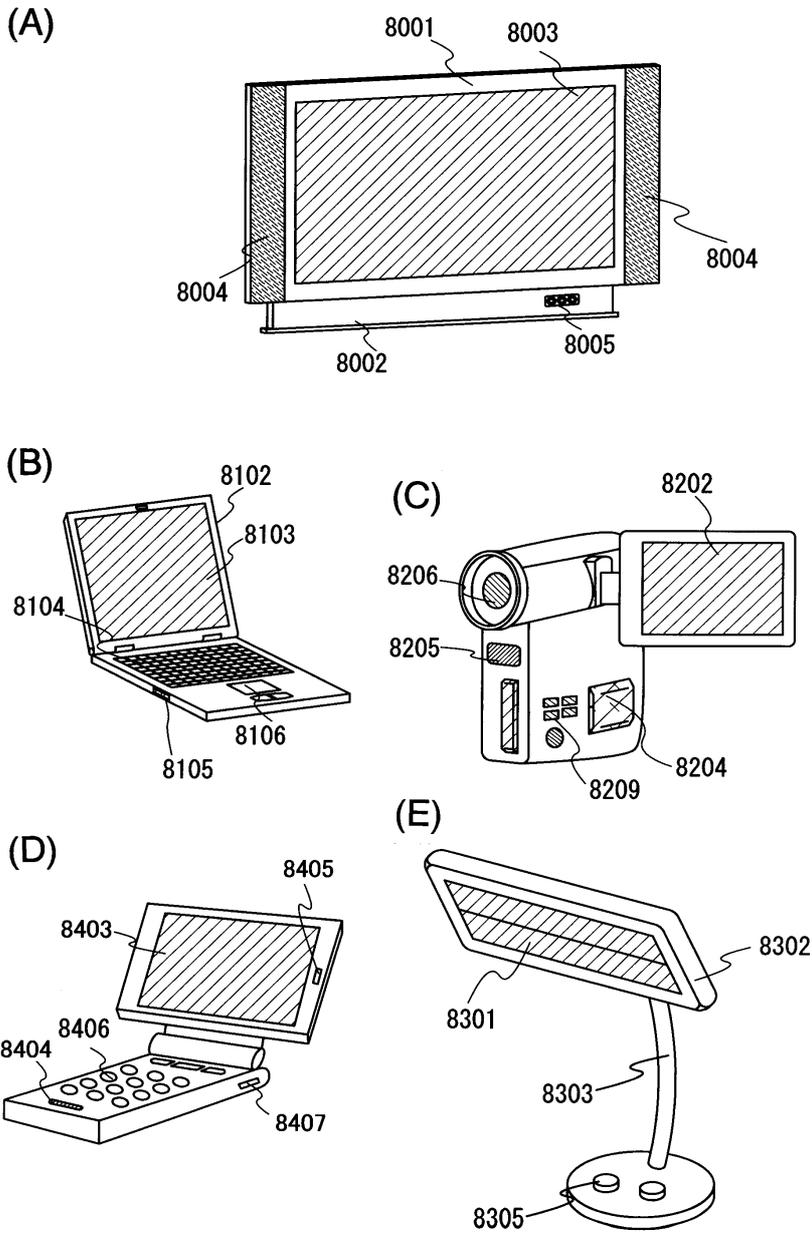
(C)



도면27



도면28



专利名称(译)	液晶显示器		
公开(公告)号	KR101868065B1	公开(公告)日	2018-06-15
申请号	KR1020180016316	申请日	2018-02-09
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME 키무라하지메		
发明人	키무라하지메		
IPC分类号	G09G3/36		
CPC分类号	G09G3/20 G09G3/3233 G09G3/3677 G09G2300/0408 G09G2300/0417 G09G2300/0847 G09G2310/0254 G09G2310/0267 G09G2310/0286 G09G2310/0291 G09G2310/08 G09G2320/043 G11C19/28 G09G3/3648 G09G2230/00 G02F1/133528 G02F1/136286 G02F2001/133638 H01L51/0554 H01L51/0575		
代理人(译)	黄的.		
优先权	2008292197 2008-11-14 JP		
其他公开文献	KR1020180019625A		
外部链接	Espacenet		

摘要(译)

一个目的是抑制由于晶体管的劣化导致的电路的操作故障。在连续输出像素或电路中的特定电平(L电平信号)的信号的晶体管中,流过晶体管的电流的方向改变(反转)。也就是说,通过每隔任意时段改变施加到晶体管的第一端子和第二端子(源极或漏极)的电压的大小,每隔任意时段切换源极和漏极。具体地,在具有晶体管并连续输出一定电平信号(L电平信号)的电路中,作为该特定电平的信号,具有多个不同电位的L电平信号使用其潜在变化的电平信号)。专利号10-1868065

