(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월21일
(11) 등록번호 10-1800038
(24) 등록일자 2017년11월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *G02F 1/133* (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2012-7017279
(22) 출원일자(국제) 2010년11월05일
심사청구일자 2015년10월30일
(85) 번역문제출일자 2012년07월03일
(65) 공개번호 10-2012-0091425
(43) 공개일자 2012년08월17일
(86) 국제출원번호 PCT/JP2010/070160
(87) 국제공개번호 WO 2011/068021
국제공개일자 2011년06월09일
(30) 우선권주장
JP-P-2009-276374 2009년12월04일 일본(JP)
(56) 선행기술조사문헌
JP2007103918 A*
JP2009223259 A*
JP2009277702 A*
JP2007086205 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 순뻬이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
기무라 하지메
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

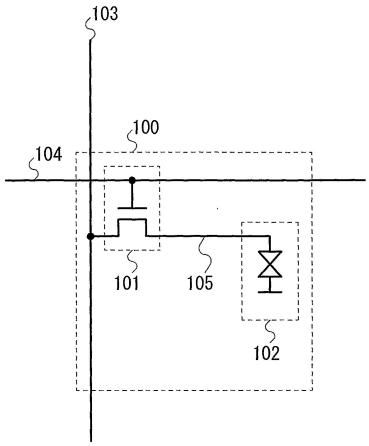
전체 청구항 수 : 총 10 항 심사관 : 조세형

(54) 발명의 명칭 **표시 장치**

(57) 요 약

표시 장치에서 신호를 화소에 기입하는 시간이 단축된다. 또한, 고전압이 인가되는 경우에도 고속으로 신호가 기입된다. 표시 장치는 트랜지스터 및 상기 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 액정 소자를 포함하는 화소를 포함한다. 상기 트랜지스터는 반도체 재료로서 진성 또는 실질적으로 진성인 산화물 반도체를 포함하고, 1×10^{-17} A/μm 이하의 오프 전류를 포함한다. 상기 화소는 용량 소자를 포함하지 않는다. 용량 소자를 제공할 필요가 없기 때문에, 신호를 기입하는 시간이 단축될 수 있다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

표시 장치로서,

트랜지스터, 및

제1 전극, 제2 전극, 및 액정층을 포함하는 액정 소자

를 포함하는 화소를 포함하고,

상기 액정 소자는 상기 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 트랜지스터는, 채널 형성 영역을 포함하는 산화물 반도체층을 포함하고,

상기 산화물 반도체층은, 수소의 농도가 $5\times10^{19}/cm^3$ 이하인 부분을 포함하고,

상기 화소는 유지 용량 소자를 포함하지 않고,

비디오 신호의 전압 이상의 전압이, 상기 비디오 신호가 입력되기 전에 상기 액정 소자에 입력되는, 표시 장치.

청구항 2

표시 장치로서,

트랜지스터, 및

제1 전극, 제2 전극, 및 액정층을 포함하는 액정 소자

를 포함하는 화소를 포함하고,

상기 액정 소자는 상기 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 트랜지스터는, 채널 형성 영역을 포함하는 산화물 반도체층을 포함하고,

상기 산화물 반도체층은, 수소의 농도가 $5\times10^{19}/cm^3$ 이하인 부분을 포함하고,

상기 산화물 반도체층은, 캐리어 농도가 $1\times10^{12}/cm^3$ 이하인 부분을 포함하고,

상기 화소는 유지 용량 소자를 포함하지 않고,

비디오 신호의 전압 이상의 전압이, 상기 비디오 신호가 입력되기 전에 상기 액정 소자에 입력되는, 표시 장치.

청구항 3

표시 장치로서,

제1 전극, 상기 제1 전극과 중첩하지 않는 부분을 포함하는 제2 전극, 상기 제1 전극과 상기 제2 전극 사이의 절연막, 트랜지스터, 및 액정층을 포함하는 화소를 포함하고,

상기 액정층은 상기 제1 전극 및 상기 제2 전극 위에 있으며,

상기 제2 전극은 상기 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 트랜지스터는, 채널 형성 영역을 포함하는 산화물 반도체층을 포함하고,

상기 산화물 반도체층은, 수소의 농도가 $5\times10^{19}/cm^3$ 이하인 부분을 포함하고,

상기 화소는 유지 용량 소자를 포함하지 않고,

비디오 신호의 전압 이상의 전압이, 상기 비디오 신호가 입력되기 전에 상기 제2 전극에 입력되는, 표시 장치.

청구항 4

제3항에 있어서,

상기 산화물 반도체층은, 캐리어 농도가 $1\times10^{12}/cm^3$ 이하인 부분을 포함하는, 표시 장치.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제2 전극은 상기 제1 전극 위에 있는, 표시 장치.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 전극과 상기 제2 전극은 서로 중첩하지 않는, 표시 장치.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 트랜지스터의 오프 전류는 1×10^{-17} A/μm 이하인, 표시 장치.

청구항 8

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 진성 또는 실질적으로 진성인, 표시 장치.

청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 화소의 기생용량은 50 fF 이하인, 표시 장치.

청구항 10

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 전극의 단부 및 상기 제2 전극의 단부가 서로 일치하는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술분야는 반도체 장치 및 그 제조 방법에 관한 것이다. 또한, 본 발명의 기술분야는 반도체 장치를 포함하는 표시 장치 및 그 구동 방법에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치로서, 화소가 스위치 소자를 포함하는 액티브 매트릭스 액정 표시 장치가 널리 이용된다. 도 13에 도시된 바와 같이, 화소(5000)는 스위치 소자로 기능하는 트랜지스터(5001), 트랜지스터(5001)를 통해 배선(5004)으로부터 비디오 신호가 입력되는 액정 소자(5002), 및 액정 소자(5002)에 기입되는 비디오 신호를 유지하는 용량 소자(5003)를 포함한다. 용량 소자(5003)의 설치로 인해, 스위치 소자가 오프되는 때에도 비디오 신호가 유지될 수 있다.

[0003] 트랜지스터의 반도체 재료로서, 범용성을 갖는 실리콘이 사용된다. 그러나, 최근에는 범용성만이 아니라 성능에서의 개선도 기대되었고, 산화물 반도체를 포함하는 전계 효과 트랜지스터(FET라고도 함)에 관한 기술이 주목받게 되었다(문헌 1 참조).

[0004] 또한, 액정의 응답속도를 감소시키기 위하여, 비디오 신호가 기입되기 전에 액정에 고전압을 순간적으로 인가하

는 기술(즉, 오버드라이브)이 수행되었다(문헌 2 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특허출원 공개번호 제2006-165532호

(특허문헌 0002) 일본 특허출원 공개번호 제S64-010299호

발명의 내용

[0006] 종래의 액정 표시 장치에서는, 액정 소자의 액정 용량(C_{LC}) 및 용량 소자의 유지 용량(C_S)(일반적으로, 용량 C_S는 100 fF 이상 300 fF 이하임)에 기인하는 합성 용량($C_{LC} + C_S$)을 저장하는 것이 필요하다. 따라서, 전하를 저장하는 데 필요한 시상수 $\tau=R(C_{LC} + C_S)$를 고려하면, 유지 용량(C_S)을 저장하는 데 필요한 시간만큼 신호를 기입하는 데 더욱 긴 시간이 필요하다는 문제가 있다. 기호 R은 트랜지스터의 온(ON) 저항을 나타낸다.

[0007] 특히, 문헌 2에 개시된 바와 같이 오버드라이브가 수행되는 경우, 고전압을 순간적으로 인가할 필요가 있다. 그러나, 용량 소자에 전하를 저장하는 데 필요한 시간 때문에, 소망하는 전압에 도달하는 데 걸리는 시간이 더 길어진다.

[0008] 이러한 문제들은 유지 용량(C_S)이 더 높아질 때 현저하게 된다. 그러나, 용량 소자가 제공되지 않는 경우, 트랜지스터의 오프 전류가 높기 때문에 문헌 1에 개시된 반도체 재료의 트랜지스터를 사용하여 신호를 유지하는 것이 어렵다. 따라서, 종래의 액정 표시 장치에서는, 용량 소자의 제공이 필수적이다.

[0009] 전술한 문제를 감안하여, 표시 장치에 있어서, 용량 소자에 전하를 저장하는 데 걸리는 시간을 단축하고, 고속으로 신호를 기입하는 것을 목적으로 한다.

[0010] 예를 들어, 오버드라이브 등의 높은 전압이 인가되는 경우에서도, 신호가 고속으로 기입될 수 있는 표시 장치를 제공하는 것을 목적으로 한다.

[0011] 본 발명의 일 실시형태는 트랜지스터 및 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 액정 소자를 포함하는 화소를 포함하는 표시 장치이다. 트랜지스터는 반도체 재료로서 산화물 반도체를 포함한다. 화소 내의 용량 소자의 용량은 줄어든다. 용량 소자가 제공되지 않는 것이 바람직하다. 용량 소자가 의도적으로 제공되지 않고, 의도하지 않게 발생한 용량(기생용량)이 적극적으로 줄어드는 것이 더 바람직하다. 기생용량은 바람직하게는 50 fF 이하, 더 바람직하게는, 10 fF 이하이다.

[0012] 본 발명의 또 다른 실시형태는 트랜지스터, 트랜지스터의 소스 또는 드레인에 전기적으로 접속된 제1 전극, 상기 제1 전극 위에 형성된 액정층, 및 그 사이에 제공된 절연필름을 갖는 제1 전극 아래에 제공된 제2 전극을 포함하는 화소를 포함하는 표시 장치이다. 제1 전극 및 제2 전극은 서로 중첩하지 않고, 제1 전극의 단부 및 제2 전극의 단부가 서로 일치한다. 상기 트랜지스터는 반도체 재료로서 산화물 반도체를 포함한다. 상기 화소는 용량 소자를 포함하지 않는다.

[0013] 또한, 트랜지스터에 포함된 산화물 반도체는 진성(또는 i-형이라고도 함) 또는 실질적으로 진성인 산화물 반도체이고, 트랜지스터의 오프 전류는 1×10^{-17} A/μm 이하이다.

[0014] 또한, 비디오 신호가 액정 소자로 입력되기 전에 비디오 신호의 전압 이상의 전압이 입력되는 오버드라이브가 채택된다.

[0015] 용량 소자에 전하를 저장하는 데 걸리는 시간이 단축될 수 있으므로, 신호가 고속으로 화소에 기입될 수 있다.

[0016] 또한, 용량 소자에 전하를 저장하는 데 걸리는 시간이 단축되는 경우, 고전압이라도 짧은 시간에 인가될 수 있으므로, 오버드라이브가 효과적으로 수행될 수 있다.

도면의 간단한 설명

[0017] 도 1은 표시 장치 내의 화소를 나타낸다.

도 2a 및 2b는 표시 장치의 전극 구조를 나타낸다.

도 3a 및 3b는 표시 장치의 전극 구조를 나타낸다.

도 4a 및 4b는 표시 장치 내의 화소를 나타낸다.

도 5는 에너지 밴드도이다.

도 6은 산화물 반도체를 포함하는 트랜지스터를 나타낸다.

도 7a 및 7b는 에너지 밴드도이다.

도 8a 및 8b는 에너지 밴드도이다.

도 9a 내지 9e는 반도체 장치 제조 방법을 나타낸다.

도 10a 내지 10f는 전자기기의 예들을 나타낸다.

도 11은 오버드라이브를 나타낸다.

도 12는 트랜지스터의 전기적 특성을 나타낸다.

도 13은 표시 장치 내의 화소를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명의 일례의 실시형태들을 도면을 참조하여 설명한다. 본 발명은 이하의 설명에 한정되지 않는다는 점에 유의한다. 당업자라면, 본 발명의 형태 및 세부사항이 본 발명의 정신 및 범위를 일탈하지 않고 다양한 방식으로 변경될 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명은 본 실시형태들의 이하의 설명에 한정되는 것으로 해석되어서는 아니 된다.

[0019] 도면 등에 도시된 각 구성의 위치, 크기, 범위 등은 이해가 쉽도록 일부의 경우 정확하게 나타내지 않았다는 점에 유의한다. 따라서 개시된 발명은 도면 등에 개시된 위치, 크기, 범위 등에 반드시 한정되는 것이 아니다.

[0020] 본 명세서 등에서, "제1" 및 "제2" 등의 용어는 구성요소 사이의 혼동을 피하기 위하여 사용된 것으로, 개수를 한정하는 것이 아니다.

[0021] (제1 실시형태)

[0022] 액정 표시 장치 내의 화소의 일례를 도 1을 참조하여 설명한다. 화소(100) 내에 포함된 소자들은 스위치 소자로 동작하는 트랜지스터(101) 및 액정 소자(102)이다.

[0023] 트랜지스터(101)의 게이트가 배선(103)(게이트 신호선)에 전기적으로 접속된다. 트랜지스터(101)의 소스와 드레인 중 하나가 배선(104)(소스 신호선)에 전기적으로 접속된다. 다른 하나는 액정 소자(102)에 전기적으로 접속된다.

[0024] 본 실시형태에서, 진성 또는 실질적으로 진성인 산화물 반도체가 트랜지스터(101)의 반도체 재료로 사용되고, 트랜지스터(101)의 채널폭의 마이크로미터당 오프 전류는 1×10^{-17} A 이하이다(1×10^{-17} A/㎛ 이하).

[0025] 트랜지스터(101)의 오프 전류가 1×10^{-17} A/㎛ 이하인 경우, 이는 트랜지스터(101)가 오프일 때의 리크 전류의 양이 실질적으로 0임을 의미한다. 즉, 트랜지스터(101)가 오프일 때도 노드(105)의 전위가 변동하지 않으므로, 화소에 기입된 신호가 유지된다.

[0026] 따라서, 도 1에 도시된 바와 같이, 화소(100)는 용량 소자를 반드시 포함하지 않아도 된다. 즉, 용량 배선을 생략할 수 있다. 도 1에 도시된 화소를 도 13에 도시된 종래의 화소와 비교하면, 용량 소자의 유지 용량(C_S)을 저장하는 데 걸리는 시간이 필요하지 않으므로, 신호가 고속으로 화소에 기입될 수 있다.

[0027] 용량 소자가 반드시 제공되지 않아도 되는 이러한 화소 구조로, 오버드라이브가 효과적으로 수행될 수 있다. 오버드라이브를 도 11을 참조하여 설명한다.

[0028] 도 11은 인가된 전압에 대한 액정의 투과율의 시간변화를 나타낸다. 오버드라이브가 수행되지 않는 경우, 투과율은 파선(5102)으로 지시된 시간 동안에 파선(5101)으로 지시된 비디오 신호의 전압(Vi)에 대하여 변화하여,

원하는 투과율(To)에 도달한다.

[0029] 이에 대하여, 오버드라이브가 수행되는 경우, 실선(5103)으로 지시된 전압(Vi)보다 높은 오버드라이브 전압(V_0)의 인가에 의하여, 원하는 투과율(To)에 도달하는 데 걸리는 시간은 실선(5104)으로 지시된 바와 같이 단축될 수 있다. 이와 같이 신호를 기입하기 전에 인가된 전압이 순간적으로 높은 (또는 낮은) 경우, 액정의 응답 시간이 단축될 수 있다.

[0030] 그러나, 오버드라이브 전압(V_0)과 같이 고전압이 순간적으로 인가되는 경우, 용량 소자 내에 전하를 저장하는 데 걸리는 시간의 악영향이 더욱 현저하게 되어, 원하는 전압에 도달하는 데 걸리는 시간이 더 길어진다. 따라서, 용량 소자가 반드시 제공되지 않아도 되는 화소 구조를 이용함으로써, 용량 소자 내에 전하를 저장하는 데 걸리는 시간이 단축될 수 있고, 고전압일지라도 단시간에 인가될 수 있다. 따라서, 오버드라이브가 효과적으로 수행될 수 있다.

[0031] 또한, 이러한 화소 구조는 프레임 속도 배속 구동(frame rate doubling)이 액정 표시 장치에 채택되는 경우에 효과적이다. 프레임 속도 배속 구동에 있어서는, 표시하는 프레임의 수가 증가하므로, 더 고속으로 화소에 신호를 입력할 필요가 있다. 따라서, 용량 소자가 반드시 제공되지 않아도 되는 화소 구조를 이용함으로써, 용량 소자에 전하를 저장하는 데 걸리는 시간이 단축될 수 있고, 프레임 속도 배속 구동이 효과적으로 수행될 수 있다.

[0032] 상기의 구조와 이로운 효과들은 트랜지스터(101)가 진성 또는 실질적으로 진성인 산화물 반도체를 사용하여 형성되어, 트랜지스터(101)의 오프 전류가 1×10^{-17} A/㎛ 이하일 때 얻어질 수 있다.

[0033] 이와 대하여, 종래의 산화물 반도체는 n-형의 도전성으로서 최소한 약 1×10^{-9} A/㎛의 오프 전류를 갖는다. 따라서, 화소 내의 용량 소자가 필수적이고, 신호를 기입하는 데 걸리는 시간이 길다.

[0034] 여기서, 본 실시형태에서 산화물 반도체를 포함하는 트랜지스터의 도전 메커니즘을 도 5, 도 6, 도 7a 및 7b, 및 도 8a 및 8b를 참조하여 설명한다. 이하의 기재는 이해가 쉽도록 이상적 상황을 가정한 것으로서, 반드시 현실 상황을 반영하는 것은 아니다. 또한, 이하의 기재는 단지 고려사항이고 본 발명의 유효성에 영향을 주는 것이 아니다.

[0035] 도 5는 진공 준위, 금속(금속)의 일함수(Φ_M), 및 산화물 반도체(OS)의 전자 친화도(χ) 사이의 관계를 도시한다. 금속의 페르미 준위는 E_F로 나타낸다. 산화물 반도체의 페르미 준위는 E_f로 나타낸다. 전도대의 하단에서의 에너지는 E_C로 나타낸다. 가전자대의 상단에서의 에너지는 E_V로 나타낸다. 진성 페르미 준위는 E_i로 나타낸다. 산화물 반도체의 에너지 밴드갭은 E_g로 나타낸다. 산화물 반도체의 에너지 밴드갭(E_g)은 3 내지 3.5 eV이다.

[0036] 도 5에서, n-형 도전성을 갖는 종래의 산화물 반도체의 경우에, 페르미 준위(E_f)는 밴드갭(E_g)의 중간에 위치하는 진성 페르미 준위(E_i)로부터 떨어져서, 전도대(E_C) 근처에 위치한다.

[0037] 여기서, 캐리어 밀도가 저감하여 산화물 반도체가 진성 반도체에 근접하는 경우, 산화물 반도체의 페르미 준위(E_f)는 진성 페르미 준위(E_i)에 더 근접하게 된다. 본 실시형태에서, 진성 또는 실질적으로 진성인 산화물 반도체는 캐리어 밀도가 감소하여, 페르미 준위(E_f)가 진성 페르미 준위(E_i)에 근접 또는 일치하는 상태에 있다.

[0038] 본 실시형태의 진성 또는 실질적으로 진성인 산화물 반도체는 이하의 기술적 사상을 토대로 얻어진다.

[0039] 산화물 반도체에 포함된 수소는 산화물 반도체가 n-형 도전성을 갖도록 하는 요소 중 하나이다. 산화물 반도체에 있어서, 수소의 일부는 도너로서 기능하여, 전도대 아래에 0.1 내지 0.2 eV의 얕은 도너 준위를 형성하여, 캐리어 농도를 증가시킨다.

[0040] 산화물 반도체의 주성분인 산소의 결핍(산소 결핍) 또한 산화물 반도체가 n-형 도전성을 갖게 하는 요소 중 하나이다. 산소 결핍은 산화물 반도체 내에 깊은 도너 준위를 형성하여, 캐리어 농도를 증가시킨다.

[0041] 상태밀도(DOS, density of states) 등의 반도체의 물리적 성질에 대한 많은 연구가 있어 왔지만, 결함 준위 자체를 충분히 줄이는 사상은 포함하지 않는다. 본 실시형태에서는, 산화물 반도체로부터 DOS 증가의 원인이 되는 물 또는 수소의 제거에 의하여 고순도의 진성 산화물 반도체가 얻어진다. 이는 DOS 자체를 충분히 줄이는

사상에 입각한 것이다. 따라서, 우수한 공업 제품이 제조될 수 있다.

[0042] 즉, 본 실시형태에서는, 산화물 반도체가 n-형 도전성을 갖도록 하는 요소 중 하나인, 수소 등의 불순물을 산화물 반도체로부터 가능한 한 많이 제거하여, 산소 결핍의 제거에 의하여 산화물 반도체가 고순도화된다. 산화물 반도체가 고순도화되면, 진성 또는 실질적으로 진성인 산화물 반도체를 얻을 수 있다. 따라서, 도 5에서, 페르미 준위(E_f)가 진성 페르미 준위(E_i)와 실질적으로 같게 될 수 있다.

[0043] 구체적으로, 산화물 반도체 내의 수소농도는 $5\times10^{19}/cm^3$ 이하, 바람직하게는 $5\times10^{18}/cm^3$ 이하, 더 바람직하게는 $5\times10^{17}/cm^3$ 이하로 감소된다. 또한, 산화물 반도체의 캐리어 농도는 종래의 산화물 반도체(예를 들어, $1\times10^{12}/cm^3$, 바람직하게는 $1.45\times10^{10}/cm^3$ 이하)보다 훨씬 낮은 것이 바람직하다.

[0044] 도 6은 진성 또는 실질적으로 진성인 산화물 반도체를 사용하여 형성된 역스태거 구조의 보텀 게이트(bottom-gate) 박막 트랜지스터의 예를 도시한다. 산화물 반도체층(OS)은, 제공된 게이트 절연막(GI)을 개재하여 게이트 전극(GE) 위에 설치된다. 그 위에 소스 전극(S)과 드레인 전극(D)이 설치된다.

[0045] 산화물 반도체와 소스 전극 및 드레인 전극 사이에 쇼트키 전자 장벽이 형성되지 않는 것이 바람직하다. 본 실시형태에서, 산화물 반도체의 전자 친화도(χ)는 소스 전극 및 드레인 전극에 대하여 사용된 금속의 일함수(ϕ_M)와 실질적으로 동일하다. 예를 들어, 산화물 반도체의 밴드갭(E_g)이 3.15 eV인 경우에 전자 친화도(χ)가 4.3eV라고 하며, 따라서 약 4.3eV의 일함수(ϕ_M)를 갖는 티타늄(Ti)이 산화물 반도체와 접하는 구조로 소스 전극과 드레인 전극이 형성될 수 있다.

[0046] 도 7a 및 7b는 도 6에서 A-A' 단면에 따른 에너지 밴드도(모식도)이다. 도 7a는 소스 전극(S)과 드레인 전극(D) 사이의 전기 전위차가 0인 경우(소스 전극과 드레인 전극은 동일한 전위를 가짐($V_D = 0$ V))를 도시한다. 도 7b는 드레인 전극과 게이트 전극의 전위가 소스 전극보다 큰 경우($V_D > 0$ V)를 도시한다. 도 7b에서, 파선은 전압이 게이트 전극에 인가되지 않는 경우($V_G = 0$ V)를 나타내고, 실선은 전압이 게이트 전극에 인가되는 경우($V_G > 0$ V)를 나타낸다. 전압이 게이트 전극에 인가되지 않은 경우에는, 고전압 장벽에 인하여 캐리어(전자)가 전극에서 산화물 반도체측으로 주입되지 않아, 전류가 흐르지 않고, 이는 오프 상태를 의미한다. 이에 대하여, 양의 전압이 게이트 전극에 인가될 때, 전위 장벽이 감소하여, 전류가 흐르고, 이는 온 상태를 의미한다.

[0047] 도 7b에서, 검은 원(●)은 전자를 나타낸다. 실선으로 지시된 바와 같이 양의 전위가 게이트 전극과 드레인 전극(D)에 인가될 때, 전자가 장벽(h)을 넘어 산화물 반도체(OS) 내로 주입되어, 드레인 전극(D)을 향하여 흐른다. 장벽(h)의 높이는 게이트 전압과 드레인 전압에 따라 변한다. 양의 드레인 전압이 인가되는 경우에, 장벽(h)의 높이는, 아무런 전압도 인가되지 않은 도 7a에서 장벽의 높이, 즉, 밴드갭(E_g)의 절반보다 작다.

[0048] 이 경우, 도 8a에 도시된 바와 같이, 전자는 게이트 절연막(GI)과 산화물 반도체(OS) 사이의 경계 부근(에너지적으로 안정한 산화물 반도체의 최저부)에서 이동한다.

[0049] 또한, 도 8b에 도시된 바와 같이, 음의 전위가 게이트 전극(GE)에 인가될 때, 오프 전류의 양은 소수 캐리어인 정공이 실질적으로 존재하지 않기 때문에 무한히 0에 근접한다.

[0050] 이와 같이, 트랜지스터가 진성 또는 실질적으로 진성인 산화물 반도체를 사용하여 형성되는 경우, 오프 전류의 양은 실질적으로 0이 될 수 있다. 또한, 트랜지스터의 온도 특성은 양호하다. 통상, -25 내지 150℃의 온도범위에서, 온 전류, 오프 전류, 전계효과 이동도, 부임계 전압(S값), 및 문턱 전압 등의 트랜지스터의 전류-전압 특성은, 거의 변하지 않으며, 이러한 특성의 온도로 인한 열화도 거의 일어나지 않는다.

[0051] 진성 또는 실질적으로 진성인 산화물 반도체에서, 게이트 절연막과의 계면특성은 현저하게 된다는 점에 유의한다. 따라서, 게이트 절연막과 산화물 반도체 사이의 계면이 양호한 것이 바람직하다. 구체적으로, 예를 들어, VHF 대역 내지 마이크로파 대역의 범위의 전력 주파수로 생성되는 고밀도 플라즈마를 사용하여 CVD에 의하여 형성된 절연막, 스퍼터링에 의하여 형성된 절연막 등을 사용하는 것이 바람직하다.

[0052] 산화물 반도체의 밴드갭(E_g)은 실리콘의 밴드갭보다 크기 때문에, 애벌란시(avalanche) 항복이 쉽게 일어나지 않는다. 따라서, 산화물 반도체를 포함하는 트랜지스터는 높은 드레인 내전압을 갖기 때문에, 높은 전계가 인가되어도 온 전류는 쉽게 급격하게 지수 증가하지 않는다.

[0053] 도 1에 도시된 바와 같이, 본 실시형태의 트랜지스터를 포함하는 액정 표시 장치는 화소(100)에 용량 소자를 반드시 포함하지 않아도 된다. 따라서, 도 1에 도시된 화소를 도 13에 도시된 종래의 화소와 비교할 때, 용량 소자의 유지 용량(C_S)을 저장하는 데 걸리는 시간이 필요하지 않고, 따라서 신호가 화소(100)에 고속으로 기입될 수 있다.

[0054] 액정 표시 장치는 용량 소자를 포함할 수 있다는 점에 유의한다. 액정 표시 장치가 용량 소자를 포함하는 경우에도, 트랜지스터(101)의 리크 전류가 충분히 작기 때문에 유지 용량(C_S)은 감소할 수 있다. 따라서, 전하를 저장하는 데 걸리는 시간이 단축될 수 있다.

[0055] 본 실시형태에서는, 역스태거형 구조를 갖는 보텀 게이트 박막 트랜지스터의 예가 기재되어 있다. 그러나, 박막 트랜지스터는 톱 게이트(top-gate) 박막 트랜지스터 또는 스태거형 박막 트랜지스터일 수 있다. 또한, 채널 에치형(channel-etched) 박막 트랜지스터 또는 채널스톱형(channel-stop) 박막 트랜지스터가 적절하게 채택될 수 있다.

[0056] 액정 소자로서, 네마틱(nematic) 액정, 콜레스테릭(cholesteric) 액정, 스멕틱(smectic) 액정, 디스코틱(discotic) 액정, 서모트로픽(thermotropic) 액정, 리오트로픽(lyotropic) 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC, polymer dispersed liquid crystal), 강유전 액정, 반강유전 액정, 주사슬(main-chain) 액정, 측사슬(side-chain) 액정, 플라즈마 어드레스 액정(PALC, plasma addressed liquid crystal), 바나나형 액정 등을 이용할 수 있다는 점에 유의한다.

[0057] 또한, 액정 표시 장치의 표시 방법으로서는, TN모드, STN모드, IPS모드, FFS 모드, MVA모드, PVA모드, ASV모드, ASM모드, OCB모드, ECB모드, FLC모드, AFLC모드, PDLC모드, 게스트 호스트(guest-host) 모드, 블루 상(blue phase) 모드 등을 이용할 수 있다. 본 발명은 이에 한정되는 것이 아니고, 액정 소자 및 이의 구동 방법으로서 다양한 액정 소자 및 이의 구동 방법을 이용할 수 있다는 점에 유의한다.

[0058] 본 실시형태는 임의의 다른 실시형태들과 적절하게 조합될 수 있다.

[0059] (제2 실시형태)

[0060] 본 실시형태에서, 액정 표시 장치의 표시 방법으로 FFS 모드가 사용되는 경우를 설명한다.

[0061] 먼저, 도 2a 및 2b는 종래의 FFS 모드의 화소 내의 전극 구조의 일례를 나타낸다. 도 2a 및 2b에는 도 13의 화소 회로의 액정 소자(5002)가 도시되어 있다. 도 2a는 평면도이고, 도 2b는 단면도이다.

[0062] 도 2a 및 2b에서, 기판(200) 위에 전극(201)이 형성된다. 전극(201)을 덮도록 절연막(202)이 형성된다. 절연막(202) 위에 전극(203)이 형성된다. 전극(203) 위에 액정층(204)이 형성된다. 전극(201)과 전극(203) 중 하나는 화소 전극이다. 다른 하나는 공통 전극이다. 전극(203)은 슬릿(207)(개구부)을 포함한다. 전극(201)은 판형(전체 면을 덮는 형상) 전극이다. 절연막(202)은 단층 또는 적층일 수 있다.

[0063] FFS 모드에 의하여 수평 전계가 액정층(204)에 인가될 때, 액정(205)이 횡방향으로 배향되므로, 액정 표시 장치의 시야각이 넓어질 수 있다.

[0064] 종래의 구조에서는, 도 2a 및 2b에 도시된 바와 같이, 전극(201)은 판형 전극이며, 용량 소자(206)(유지 용량 C_S)는 전극(201)과 전극(203)이 서로 중첩되는 부분에 형성된다. 이 경우, 제1 실시형태에 기재된 바와 같이, 신호를 기입하는 데 걸리는 시간은, 유지 용량(C_S)을 저장하는 데 걸리는 시간만큼 길어진다.

[0065] 따라서, 본 실시형태에서의 FFS 모드는 도 3a 및 3b에 도시된 전극 구조를 갖는다. 도 3a 및 3b에는 도 1의 화소 회로의 액정 소자(102)가 도시되어 있다. 도 3a는 평면도이고, 도 3b는 단면도이다.

[0066] 도 3a 및 3b는, 도 3b에 도시된 바와 같이, 전극(301)과 전극(303)이 서로 중첩하지 않거나 종래 구조에 비하여 작은 면적에서 중첩한다는 점에서 도 2a 및 2b와 다르다. 도 3b에 도시된 구조의 경우에, 전극(301)과 전극(303) 사이에 용량 소자가 형성되지 않고, 전극(301)과 전극(303) 사이에 생성된 기생용량이 크게 감소한다. 또한, 전극(301)의 단부와 전극(303)의 단부가 서로 일치되는 경우, 전극(301)과 전극(303)에 의하여 생성되는 수평 전계가 용이하게 인가된다.

[0067] 즉, 전극(301)과 전극(303)이 서로 중첩되지 않고 전극(301)의 단부와 전극(303)의 단부가 서로 일치하지 않는 구조로, FFS에 의한 횡방향의 배향의 이로운 효과 및 유지 용량 C_S의 감소에 따른 신호 기입 시간 감소의 이로

운 효과가 시너지로 얻어질 수 있다. 전극(301)이 형성될 때, 슬릿(310)(개구부)이 제공되도록 식각이 수행될 수 있고, 전극(303)이 슬릿(310) 위에 형성될 수 있다. 이 구조는 또한 제조 단계들의 미소한 차이에 인하여 전극(301)의 작은 부분이 전극(303) 아래에 형성되거나, 전극의 양단부 사이에 작은 간격이 생기는 경우를 포함한다.

[0068] 도 3b에서, 전극(301)의 폭(W1)이 전극(303)의 폭(W2)보다 클 때, 액정층(204)에 인가되는 수평 전계가 쉽게 인가되고, 특히 효과적이라는 점에 유의한다.

[0069] 또한, 도 3b에서, 전극(303) 사이의 간격(슬릿(310)의 폭)은 전극(301)의 폭(W1)과 같다. 그러나, 폭(W1)이 전극(303) 사이의 간격보다 작게 되어, 오프셋 상태가 얻어질 수 있다.

[0070] 도 3a 및 3b의 전극 구조는 본 발명의 일 실시형태의 산화물 반도체가 트랜지스터로 사용될 때 특히 효과적이다. 진성 또는 실질적으로 진성인 산화물 반도체가 사용되고, 트랜지스터의 오프 전류가 1×10^{-17} A/μm 이하일 때, 화소는 반드시 용량 소자를 포함하지 않아도 되고, 따라서 신호를 기입하는 데 걸리는 시간이 단축될 수 있다.

[0071] 화소는 용량 소자를 포함할 수 있다는 점에 유의한다. 화소가 용량 소자를 포함하는 경우에도, 유지 용량 C_S는 트랜지스터의 리크 전류가 충분히 낮기 때문에 감소할 수 있다. 따라서 전하를 저장하는 데 걸리는 시간이 단축될 수 있다. 이 경우에, 도 3a 및 3b에서, 작은 면적을 갖는 용량 소자가 형성되도록 전극(301)과 전극(303)이 부분적으로 서로 중첩한다. 이러한 구조는 디스플레이 영역을 좁게 할 필요가 없기 때문에 효과적이다.

[0072] 도 4a 및 4b는 도 1의 화소가 도 3a 및 3b의 전극 구조를 사용하여 형성되는 경우의 구조를 나타낸다. 도 4a는 평면도이고, 도 4b는 단면도이다. A-A'를 따라 취한 단면도는 트랜지스터(101)를 나타낸다. B-B'를 따라 취한 단면도는 도 3a 내지 3b의 전극 구조가 채택되는 도 1의 액정 소자(102)를 나타낸다.

[0073] A-A'를 따라 취한 단면도에서, 게이트 전극(401), 게이트 절연막(402), 산화물 반도체층(403), 전극(404), 및 전극(405)이 기판(200)과 기판(410) 사이에 설치되어, 트랜지스터(400)가 형성된다. 전극(404)과 전극(405) 중 하나는 소스 전극이다. 다른 하나는 드레인 전극이다. 본 발명의 일 실시형태의 진성 또는 실질적으로 진성인 산화물 반도체는 산화물 반도체층(403)에 사용될 수 있다.

[0074] 또한, 전극(405)이 전극(303)에 전기적으로 접속된다. 도 4a 및 도 4b는 단지 일례를 나타낸 것으로서, 전극(405)이 전극(301)에 전기적으로 접속될 수 있다. 또한, 게이트 전극(401)과 전극(301)이 동일한 층에 형성되는 구조, 전극(404), 전극(405), 및 전극(301)이 동일한 층에 형성되는 구조, 또는 전극(404), 전극(405), 및 전극(303)이 동일한 층에 형성되는 구조가 채택되는 경우, 공정의 수가 줄어들 수 있다.

[0075] 전극(301) 및 전극(303)은, 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr), 탄탈륨(Ta), 텅스텐(W), 알루미늄(Al), 구리(Cu), 네오디뮴(Nd), 또는 스칸듐(Sc) 등의 금속재료, 또는 이러한 금속 재료를 주성분으로 하는 합금을 포함하는 단층 구조 또는 적층 구조를 포함하도록 형성될 수 있다.

[0076] 다양한 종류의 금속 산화물 재료, 예를 들어, 산화인듐(In_2O_3), 산화주석(SnO_2), 및 산화아연(ZnO) 등의 도전성 금속 산화물; 산화인듐과 산화주석을 포함하는 합금(In_2O_3-SnO_2, ITO로 약칭됨); 및 산화인듐과 산화아연을 포함하는 합금(In_2O_3-ZnO)이 사용될 수 있다. 다르게는, 이들 금속 산화물 재료 중 임의의 것이 실리콘 또는 산화실리콘을 포함할 수 있다. 이들 금속 산화물 재료는 광투과성을 갖는다.

[0077] 전극(301)과 전극(303) 중 적어도 하나는 광투과성 재료를 사용하여 형성되는 것이 바람직하다.

[0078] 도 4a 및 4b는 역스태거형 구조의 보텀 게이트 박막 트랜지스터의 예를 도시한다. 그러나, 박막 트랜지스터는 톱 게이트 박막 트랜지스터 또는 스태거형 박막 트랜지스터일 수 있다. 또한, 채널에치형 박막 트랜지스터 또는 채널스톱형 박막 트랜지스터가 적절히 채택될 수 있다.

[0079] 또한, 도시되지는 않았지만, 배향막, 컬러필터, 차광막, 스페이서, 필러(filler) 등이 적절히 제공될 수 있다.

[0080] 본 실시형태는 다른 임의의 실시형태들과 적절히 조합될 수 있다.

[0081] (제3 실시형태)

[0082] 본 실시형태에 있어서는, 반도체 장치를 제작하는 방법의 일례를 도 9a 내지 9e를 참조하여 설명한다.

[0083] 먼저, 절연면을 갖는 기판(1000) 위에 도전막이 형성된 후, 제1 포토리소그래피 공정으로 게이트 전극(1001)이

형성된다. 게이트 전극(1001)의 단부는 그 위에 적층된 게이트 절연막의 피복성이 개선되기 때문에, 테이퍼링되는 것이 바람직하다.

[0084] 절연면을 갖는 기판(1000)으로서 사용될 수 있는 기판에 대하여는 어떠한 특정의 제한도 없지만, 기판이 적어도 후에 수행되는 열처리를 견디기에 충분한 내열성을 갖는 것이 필요하다. 예를 들어, 다양한 종류의 유리 기판이 사용될 수 있다.

[0085] 후에 수행될 열처리 온도가 높은 경우에는, 변형점이 730℃ 이상인 기판이 유리기판으로 사용되는 것이 바람직하다. 유리기판에 있어서, 예를 들어, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 또는 바륨 보로실리케이트 유리 등의 유리 재료가 사용된다. 산화붕소(B_2O_3)보다 산화바륨(BaO)을 더 많이 포함함으로써, 더 실용적인 내열 유리 기판을 얻을 수 있다. 따라서, B_2O_3보다 BaO를 더 많이 포함하는 유리기판이 사용되는 것이 바람직하다.

[0086] 유리 기판 대신 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체를 사용하여 형성된 기판이 사용될 수 있는 것에 유의한다. 다르게는, 결정화 유리기판 등이 사용될 수 있다. 다르게는, 플라스틱 기판 등이 적절히 사용될 수 있다.

[0087] 하지막(base film)으로 기능하는 절연막이 기판(1000)과 게이트 전극(1001) 사이에 설치될 수 있다. 하지막은 기판(1000)으로부터 불순물 원소의 확산을 방지하는 기능을 갖고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산화 질화 실리콘막 중 선택된 하나 이상의 막을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0088] 또한, 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr), 탄탈륨(Ta), 텅스텐(W), 알루미늄(Al), 구리(Cu), 네오디뮴(Nd), 또는 스칸듐(Sc) 등의 금속재료, 또는 이러한 금속 재료를 주성분으로 하는 합금을 포함하는 단층 구조 또는 적층 구조를 갖도록 게이트 전극(1001)이 형성될 수 있다.

[0089] 그 후, 게이트 전극(1001) 위에 게이트 절연막(1002)이 형성된다.

[0090] 게이트 절연막(1002)은 플라즈마 강화(plasma-enhanced) CVD, 스퍼터링 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층, 또는 산화 하프늄층을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 산화 실리콘층이 스퍼터링에 의하여 증착되는 경우, 타겟으로는 실리콘 타겟 또는 석영 타겟이 사용되고 스퍼터링 가스로는 산소 또는 산소의 혼합가스가 사용된다.

[0091] 여기서, 게이트 절연막(1002) 위에 형성되는 진성 또는 실질적으로 진성인 산화물 반도체(고순도의 산화물 반도체)는 계면 상태와 계면 전하에 매우 민감하다. 따라서 계면을 형성하는 게이트 절연막(1002)은 고품질일 필요가 있다.

[0092] 예를 들어, 높은 내전압을 갖는 치밀한 고품질 절연막이 형성될 수 있기 때문에, 마이크로파(예컨대, 2.45 GHz의 주파수)를 사용하는 고밀도 플라즈마 강화 CVD가 바람직하다. 이는 고순도 산화물 반도체가 고품질 게이트 절연막과 밀접할 때, 계면상태가 저감되어, 계면특성이 양호할 수 있기 때문이다.

[0093] 물론, 고품질 절연막이 게이트 절연막(1002)으로 형성될 수 있는 한, 스퍼터링 또는 플라즈마 강화 CVD 등의 상이한 증착법이 사용될 수 있다. 또한, 게이트 절연막의 산화물 반도체와의 계면의 막 품질 및 특성이 증착 후에 수행되는 열처리에 의하여 변경될 수 있는 한, 임의의 게이트 절연막이 사용될 수 있다. 어느 경우에도, 게이트 절연막으로서 막 품질이 높고, 산화물 반도체와의 계면상태밀도가 줄어들고, 양호한 계면이 형성될 수 있는 한, 임의의 게이트 절연막이 사용될 수 있다.

[0094] 게이트 절연막(1002)은 질화물 절연막과 산화물 절연막이 게이트 전극(1001)으로부터 연속적으로 적층되는 구조를 가질 수 있다. 예를 들어, 제1 게이트 절연막으로서 100 nm두께의 게이트 절연막이 50 내지 200 nm의 두께를 갖는 질화 실리콘막(SiN_y(y>0))이 스퍼터링에 의하여 형성되고, 5 내지 300 nm의 두께를 갖는 산화 실리콘막(SiO_x(x>0))이 제1 게이트 절연막 위의 제2 게이트 절연막으로서 적층되는 방식으로 형성된다. 게이트 절연막의 두께는 트랜지스터에 필요한 특성에 따라 적절히 설정될 수 있으며, 대략 350 내지 400 nm일 수 있다.

[0095] 그 후, 게이트 절연막(1002) 위에 2 내지 200nm 두께의 산화물 반도체막(1003)이 형성된다(도 9a 참조).

[0096] 산화물 반도체막(1003)은 In-Sn-Ga-Zn-O, In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-

Al-Zn-O, In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O, In-O, Sn-O, 또는 Zn-O를 이용하여 형성될 수 있다.

[0097] 다르게는, In-A-B-O로 표현되는 산화물 반도체가 사용될 수 있다. 여기서, A는 갈륨(Ga) 또는 알루미늄(Al) 등의 13족에 속하는 원소, 또는 실리콘(Si) 또는 게르마늄(Ge) 등의 14족에 속하는 원소 중 선택된 하나 이상의 종류의 원소를 나타낸다. 또한, B는 아연(Zn) 등의 12족에 속하는 원소 중 선택된 하나 이상의 종류의 원소를 나타낸다. In, A, 및 B의 함량은 주어진 함량이며, A의 함량은 0일 수 있는 것에 유의한다. 그러나, In 및 B의 함량은 0이 아니다. 즉, In-A-B-O로 표현된 산화물 반도체 재료는, 예를 들어, In-Ga-Zn-O 또는 In-Zn-O일 수 있다.

[0098] 특히, In-Ga-Zn-O계 산화물 반도체 재료는 아무런 전계도 존재하지 않는 경우 충분히 높은 내성을 갖고, 충분히 낮은 오프 전류를 가질 수 있고, 높은 전계효과 이동도를 갖는다. 따라서, 반도체 장치에 사용되는 산화물 반도체 재료로서 양호하게 사용된다.

[0099] In-Ga-Zn-O계 산화물 반도체 재료의 전형적 예로, $InGaO_3(ZnO)_m$(m>0)으로 나타낸 산화물 반도체 재료가 있다. 또한, Ga 대신에 M이 사용될 때 $InMO_3(ZnO)_m$(m>0)으로 나타낸 산화물 반도체 재료가 있다. 여기서, M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속원소를 나타낸다. 예를 들어, M은 Ga, Ga과 Al, Ga과 Fe, Ga과 Ni, Ga과 Mn, Ga과 Co 등일 수 있다. 이 조성은 단지 일례이다.

[0100] 본 실시형태에서, 산화물 반도체막(1003)은 스퍼터링에 의한 타겟으로서 In-Ga-Zn-O계 금속 산화물을 사용하여 형성된다.

[0101] 스퍼터링에 의한 산화물 반도체막(1003)을 형성하기 위하여 사용된 타겟으로, 예를 들어, In, Ga 및 Zn을 포함하는 타겟의 조성비는 In: Ga: Zn = 1:x:y이다. 여기서, x는 0 내지 2이고, y는 1 내지 5이다. 예를 들어, In: Ga: Zn = 1:1:1[원자비](x=1 및 y=1)(즉, In_2O_3: Ga_2O_3: ZnO = 1:1:2[몰비])의 조성비를 갖는 타겟이 사용될 수 있다. 또한, 타겟으로서, In: Ga: Zn = 1:1:0.5[원자비]의 조성비를 갖는 금속 산화물, In: Ga: Zn = 1:1:2[원자비]의 조성비를 갖는 금속 산화물, 또는 In: Ga: Zn = 1:0:1[원자비](x=0 및 y=1)의 조성비를 갖는 금속 산화물이 사용될 수 있다.

[0102] 감압상태로 유지된 처리실에 기판(1000)이 유지되어, 실온 또는 400℃ 미만의 온도로 가열된다. 처리실에 남아있는 수분이 제거되는 동안에 수소와 수분이 제거된 스퍼터링 가스가 도입된다. 그 후, 산화물 반도체막(1003)이 타겟으로서 금속 산화물을 사용하여 증착된다. 처리실에 남아있는 수분을 제거하기 위하여, 바람직하게는, 흡착형 진공펌프가 사용된다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티타늄 승화펌프가 바람직하게 사용된다. 배기수단으로, 콜드 트랩(cold trap)이 부가된 터보펌프가 사용될 수 있다. 예를 들어, 수소 원자, 물(H_2O) 등의, 수소원자를 포함하는 화합물(바람직하게는 탄소 원자를 포함하는 화합물) 등이 크라이오 펌프를 사용하여 처리실로부터 배출된다. 따라서, 처리실에 증착된 산화물 반도체막에 포함된 불순물의 농도를 낮출 수 있다. 또한, 크라이오 펌프를 사용하여 처리실에 남아있는 수분을 제거하는 한편 스퍼터링에 의한 증착을 수행함으로써, 산화물 반도체막(1003)이 증착될 때의 기판온도는 실온 이상 400℃ 미만일 수 있다.

[0103] 그 후, 제2 포토리소그래피 공정에서 섬 형상의 산화물 반도체층(1004) 내에 산화물 반도체막이 처리된다(도 9b 참조).

[0104] 다음, 게이트 절연막(1002) 및 산화물 반도체층(1004) 위에 도전막이 형성된다. 도전막은 스퍼터링 또는 진공증착에 의하여 형성될 수 있다. 도전막으로서, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 또는 텅스텐(W)으로부터 선택된 원소, 이들 원소 중 임의의 것을 포함하는 합금, 이들 원소 중 임의의 것을 조합하여 포함하는 합금막 등이 사용될 수 있다. 다르게는, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, 또는 Y 등의 Al막에 힐록(hillock) 또는 휘스커(whisker)의 생성을 방지하는 원소가 첨가되어 있는 Al 재료가 사용되는 경우, 내열성이 증가할 수 있다.

[0105] 또한, 도전막은 단층 구조 또는 2 이상의 층의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, 티타늄막, 알루미늄막, 및 티타늄막이 순서대로 적층된 3층 구조 등이 사용될 수 있다. 예를 들어, Cr, Ta, Ti, Mo, W 등의 내화성 금속층이 Al, Cu 등의 금속층의 상면 및 하면의 한쪽 또는 양쪽 위에 적층되는 구조가 채택될 수 있다.

[0106] 도전막으로서는, 산화인듐(In_2O_3), 산화주석(SnO_2), 또는 산화아연(ZnO) 등의 도전성 금속 산화물, 산화인듐과 산화주석을 포함하는 합금(In_2O_3-SnO_2, ITO로 약칭), 또는 산화인듐과 산화아연을 포함하는 합금(In_2O_3-ZnO)이 사용될 수 있다. 다르게는, 금속 산화물재료는 실리콘 또는 산화 실리콘을 포함할 수 있다.

[0107] 본 실시형태에서, 도전막은 티타늄(Ti)을 사용하여 형성된다.

[0108] 제3 포토리소그래피 공정에서 소스 전극(1005)과 드레인 전극(1006)이 형성된다(도 9c 참조).

[0109] 각 재료 및 식각 조건은 도전막이 식각될 때 산화물 반도체층(1004)이 제거되지 않도록 적절히 조절된다는 점에 유의한다.

[0110] 제3 포토리소그래피 공정에서, 산화물 반도체층(1004)의 일부만이 식각되어, 홈(오목부)을 갖는 산화물 반도체층이 형성되는 경우도 있다는 점에 유의한다.

[0111] 그 후, 보호 절연막으로서 기능하는 산화물 절연막(1007)이 산화물 반도체층(1004)의 일부에 접하여 형성된다(도 9d 참조).

[0112] 본 실시형태에서, 산화물 반도체층(1004)과 산화물 절연막(1007)은, 산화물 반도체층(1004)이 소스 전극(1005)과 드레인 전극(1006)과 중첩되지 않는 영역에서 서로 접하도록 형성된다.

[0113] 본 실시형태에서, 산화물 절연막(1007)으로서, 섬 형상의 산화물 반도체층(1004), 소스 전극(1005), 및 드레인 전극(1006)까지의 막들이 형성된 기판(1000)을 실온 또는 100℃ 미만의 온도로 가열되는 방식으로, 수소와 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스가 도입되고, 실리콘 반도체 타겟을 사용하여, 결함이 있는 산화 실리콘층이 증착된다.

[0114] 산화물 반도체층(1004) 및 산화물 절연막(1007)에 수소, 수산기, 또는 수분이 포함되지 않도록 산화물 절연막(1007)은 처리실에 남아있는 수분이 제거되는 동안에 형성되는 것이 바람직하다는 점에 유의한다.

[0115] 처리실에 남아있는 수분을 제거하기 위하여, 흡착형 진공펌프가 사용되는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티타늄 승화펌프가 사용되는 것이 바람직하다. 배기수단으로서, 콜드 트랩이 부가된 터보펌프가 사용될 수 있다. 예를 들어, 크라이오 펌프를 사용하여 처리실로부터 수소원자, 물(H_2O) 등의 수소원자를 포함하는 화합물 등이 배출된다. 따라서, 처리실에서 증착된 산화물 반도체막(1007)에 포함된 불순물의 농도가 저감될 수 있다.

[0116] 산화물 절연막(1007)으로서, 산화 실리콘층 대신에 산화 질화 실리콘층, 산화 알루미늄층, 산화 질화 알루미늄층 등이 사용될 수 있다는 점에 유의한다.

[0117] 또한, 산화물 절연막(1007)과 산화물 반도체층(1004)이 서로 접하는 상태에서 100 내지 400℃의 열처리가 수행될 수 있다. 본 실시형태의 산화물 절연막(1007)은 많은 결함을 포함하기 때문에, 열처리에 의하여, 산화물 반도체층(1004)에 포함된 수소, 수분, 수산기, 또는 수소화물 등의 불순물이 산화물 절연막(1007)으로 확산되어, 산화물 반도체층(1004)에 포함된 불순물이 더욱 저감될 수 있다. 열처리를 통하여, 반도체 절연막(1007)에 포함된 산소가 산화물 반도체층(1004)에 공급된다.

[0118] 상기 단계들을 통하여, 산화물 반도체층(1004)을 포함하는 트랜지스터(1008)가 형성될 수 있다(도 9e 참조).

[0119] 산화물 반도체층(1004)은 수소 등의 불순물의 충분한 제거 및 산소의 공급에 의하여 고순도화된다. 구체적으로, 산화물 반도체층(1004)의 수소의 농도는 $5\times10^{19}/cm^3$ 이하, 바람직하게는 $5\times10^{18}/cm^3$ 이하, 더 바람직하게는 $5\times10^{17}/cm^3$ 이하이다. 산화물 반도체층(1004)의 캐리어 농도는 종래의 산화물 반도체층보다 훨씬 낮다(예컨대, $1\times10^{12}/cm^3$ 이하, 바람직하게는 $1.45\times10^{10}/cm^3$ 이하). 이와 같이, 진성 또는 실질적으로 진성인 산화물 반도체를 사용하여, 오프 전류가 1×10^{17} A/㎛ 이하인 트랜지스터(1008)를 얻을 수 있다. 수소 농도는, 예를 들어, 2차 이온 질량 분석법(SIMS, secondary ion mass spectroscopy) 등에 의하여 측정될 수 있다. 또한, 캐리어 농도는 산화물 반도체를 사용한 MOS 용량 소자의 제작 및, 예를 들어, CV 측정결과(CV특성)의 평가에 의하여 측정될 수 있다.

[0120] 산화물 절연막(1007) 위에 보호 절연막(1009)이 설치될 수 있다. 본 실시형태에서는, 산화물 절연막(1007) 위에 보호 절연막(1009)이 형성된다. 보호 절연막(1009)으로서, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루

미늄막, 질화 산화 알루미늄막 등이 사용된다.

[0121] 본 실시형태의 방법으로 형성된 트랜지스터(1008)는 제1 실시형태 및 제2 실시형태의 액정 표시 장치에 사용될 수 있다. 용량 소자는 화소에 반드시 제공되지 않아도 된다. 용량 소자가 화소에 제공되지 않을 때, 용량 소자의 유지 용량(C_S)을 저장하는 데 걸리는 시간이 필요하지 않으므로, 전하를 저장하는 데 드는 총시간이 단축될 수 있다.

[0122] 상기 단계들은 전자발광 표시패널, 전자잉크를 포함하는 표시 장치 등의 배면판(박막 트랜지스터가 설치되는 기판) 제조를 위하여 사용될 수 있다. 상기 단계들은 400℃ 이하의 온도에서 수행되기 때문에, 두께가 1 ㎜ 이하이고, 일측이 1 m를 넘는 유리기판이 사용되는 제조 단계들에도 적용될 수 있다. 또한, 모든 단계들이 400℃ 이하의 처리온도에서 수행될 수 있기 때문에, 표시 장치를 제공하는데 큰 에너지가 필요하지 않다.

[0123] 본 실시형태에서, 역스태거형 구조를 갖는 보텀 게이트 박막 트랜지스터의 예가 기재되어 있지만, 박막 트랜지스터는 톱 게이트 박막 트랜지스터 또는 스태거형 박막 트랜지스터일 수 있다는 점에 유의한다. 다르게는, 채널에치형 박막 트랜지스터 또는 채널스톱형 박막 트랜지스터가 적절히 채택될 수 있다.

[0124] 본 실시형태는 임의의 다른 실시형태들과 적절히 조합될 수 있다.

[0125] (제4 실시형태)

[0126] 본 실시형태에서, 도 10a 내지 10f는 상기 실시형태에 기재된 표시 장치를 각각 포함하는 전자기기의 예들을 나타낸다.

[0127] 도 10a는 랩톱 퍼스널 컴퓨터를 나타낸다. 본체(2001)는 표시부(2101)를 포함한다.

[0128] 도 10b는 개인용 휴대단말기(PDA)을 나타낸다. 본체(2002)는 표시부(2102)를 포함한다.

[0129] 도 10c는 전자 종이의 예로 전자책을 나타낸다. 본체(2003)는 표시부부(2103) 및 표시부(2104)를 포함한다.

[0130] 도 10d는 휴대폰을 나타낸다. 본체(2004)는 표시부(2105)를 포함한다.

[0131] 도 10e는 디지털 카메라를 나타낸다. 본체(2005)는 표시부(2106) 및 표시부(2107)를 포함한다.

[0132] 도 10f는 텔레비전 세트를 나타낸다. 본체(2006)는 표시부(2108)를 포함한다.

[0133] 도 10a 내지 10f의 전자기기에서는, 표시부(2101 내지 2108)로서 상기 실시형태에 기재된 표시 장치를 제공함으로써, 용량 소자의 설치를 생략하거나, 용량값을 가능한 한 많이 줄일 수 있으므로, 신호가 고속으로 기입될 수 있다. 또한, 오버드라이브, 프레임속도 배속구동 등을 효과적으로 수행할 수 있으므로, 전자기기의 성능을 대폭 개선할 수 있다.

[0134] 본 실시형태는 임의의 다른 실시형태들과 적절히 조합될 수 있다.

[0135] [실험예 1]

[0136] 도 12는 제3 실시형태의 방법으로 얻어지는 진성 또는 실질적으로 진성인 산화물 반도체막을 포함하는 트랜지스터의 초기 특성으로서 V_G-I_D 특성을 나타낸다.

[0137] 도 12는 1×10^{4} μm의 채널폭(W)과 3 μm의 채널 길이(L)를 갖는 트랜지스터가 사용되어, 온도가 실온인 샘플의 측정결과를 나타낸다. 오프 전류는, 측정장치(파라미터 분석기 Agilent 4156C Agilent Technologies, Inc.)의 측정한도인, 1×10^{-13} A 이하였다. 부임계 스윙값(S값)은 0.1 V/dec였다. 채널의 마이크로미터당 오프 전류는 1×10^{-17} A/μm였다. 샘플에서, 50 μm의 채널폭(W)과 3 μm의 채널 길이(L)를 각각 갖는 200개의 트랜지스터를 병렬로 접속하여, 1×10^{4} μm의 채널폭(W)과 3 μm의 채널 길이(L)를 갖는 트랜지스터를 형성하였다.

[0138] 본 실험예는 임의의 실시형태들과 적절히 조합될 수 있다.

[0139] 본 출원은 2009년 12월 4일에 일본특허청에 출원된 일본특허출원 제2009-276374호를 기초로 하고, 이에 포함된 모든 내용을 참조로서 본 명세서에서 원용한다.

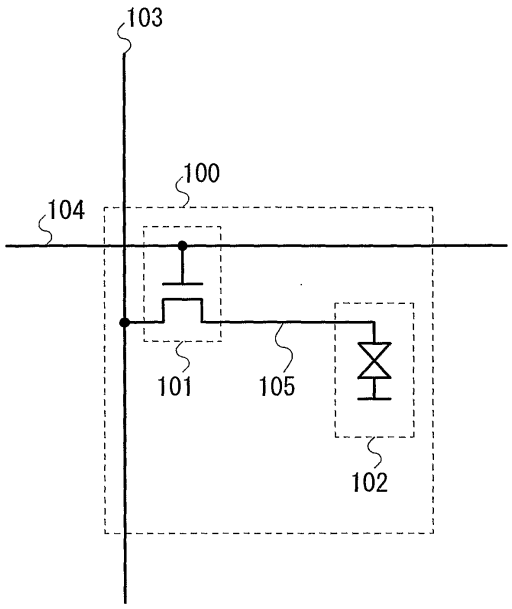
부호의 설명

[0140] 100: 화소, 101: 트랜지스터, 102: 액정 소자, 103: 배선, 104: 배선, 105: 노드: 200: 기판, 201: 전극, 202:

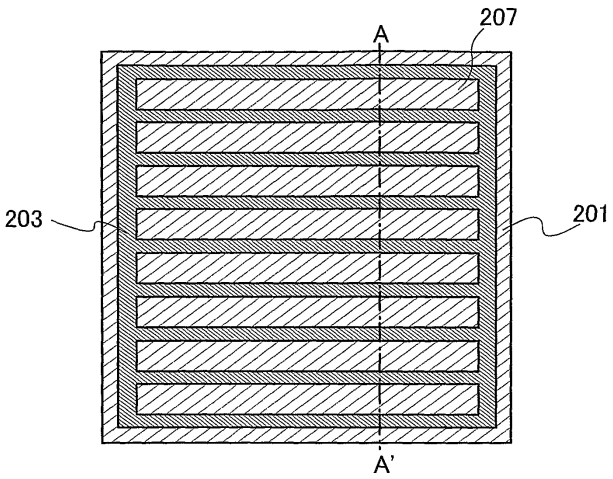
절연막, 203: 전극, 204: 액정층, 205: 액정, 206: 용량 소자, 207: 슬릿, 301: 전극, 303: 전극, 310: 슬릿, 400: 트랜지스터, 401: 게이트 전극, 402: 게이트 절연막, 403: 산화물 반도체층, 404: 전극, 405: 전극, 410: 기판, 1000: 기판, 1001: 게이트 전극, 1002: 게이트 절연막, 1003: 산화물 반도체막, 1004: 산화물 반도체층, 1005: 소스 전극, 1006: 드레인 전극, 1007: 산화물 절연막, 1008: 트랜지스터, 1009: 보호 절연막, 5000: 화소, 5001: 트랜지스터, 5002: 액정 소자, 5003: 용량 소자, 5004: 배선, 5101: 파선, 5102: 파선, 5103: 실선, 5104: 실선, 2001: 본체, 2002: 본체, 2003: 본체, 2004: 본체, 2005: 본체, 2006: 본체, 2101: 표시부, 2102: 표시부, 2103: 표시부, 2104: 표시부, 2105: 표시부, 2106: 표시부, 2107: 표시부, 및 2108: 표시부.

도면

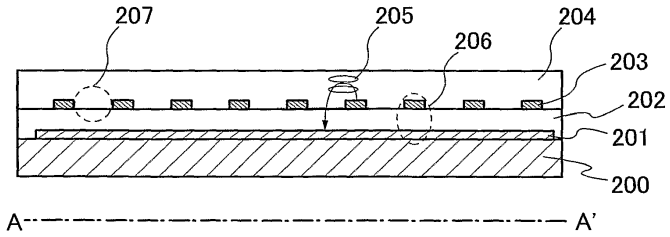
도면1



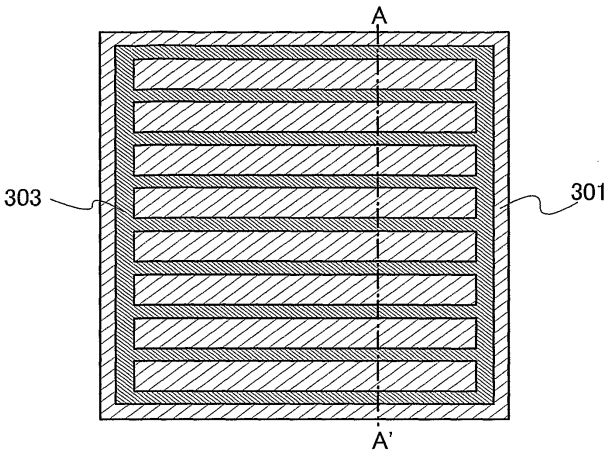
도면2a



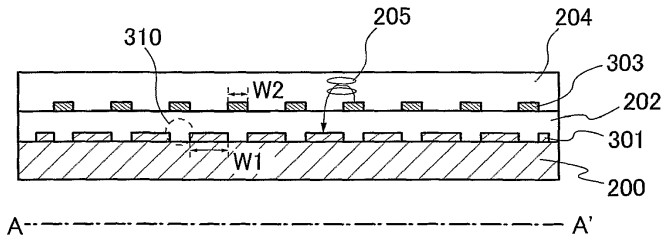
도면2b



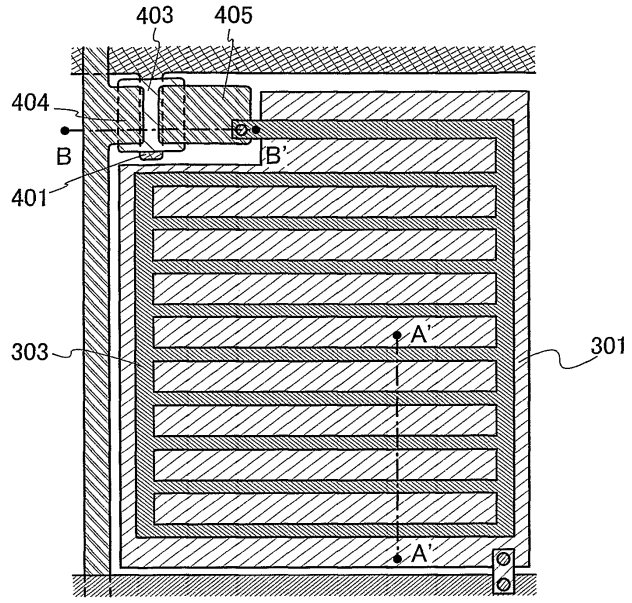
도면3a



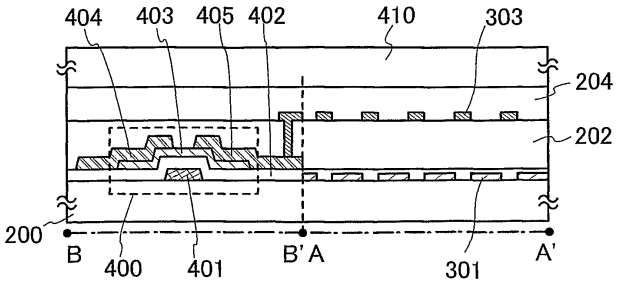
도면3b



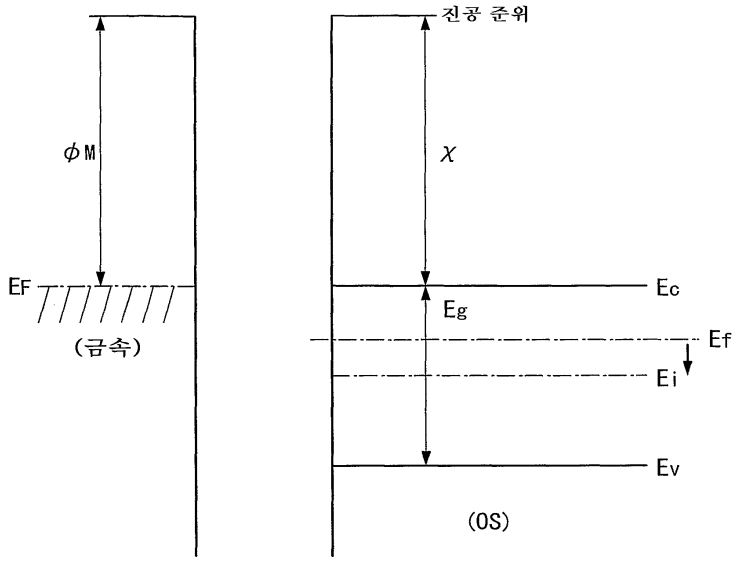
도면4a



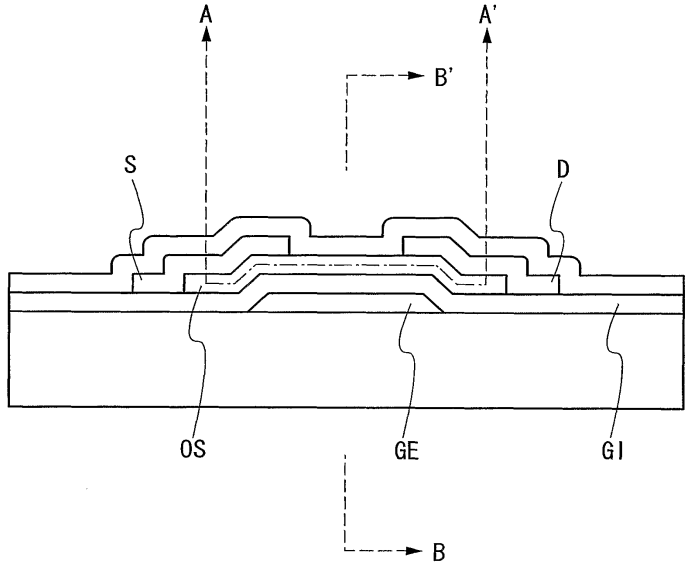
도면4b



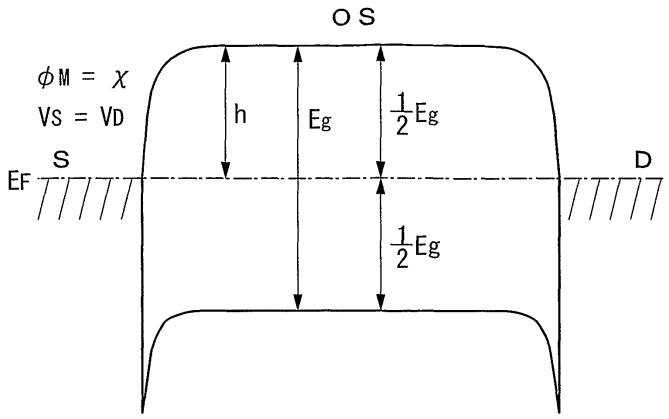
도면5



도면6

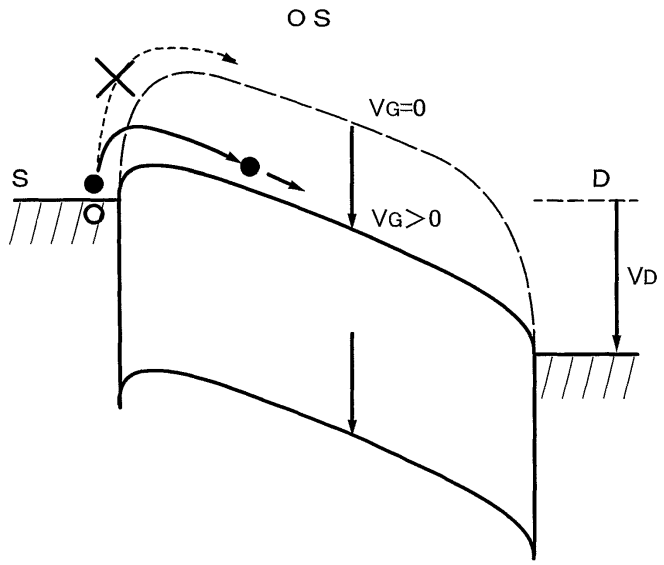


도면7a



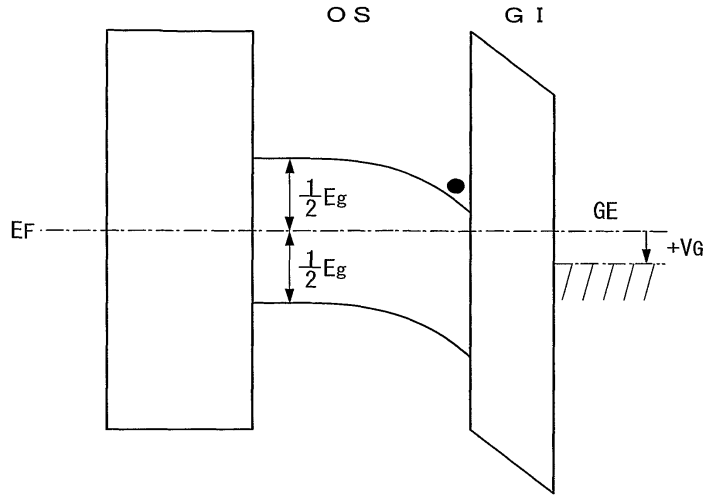
A-A' 단면의 에너지 밴드도

도면7b



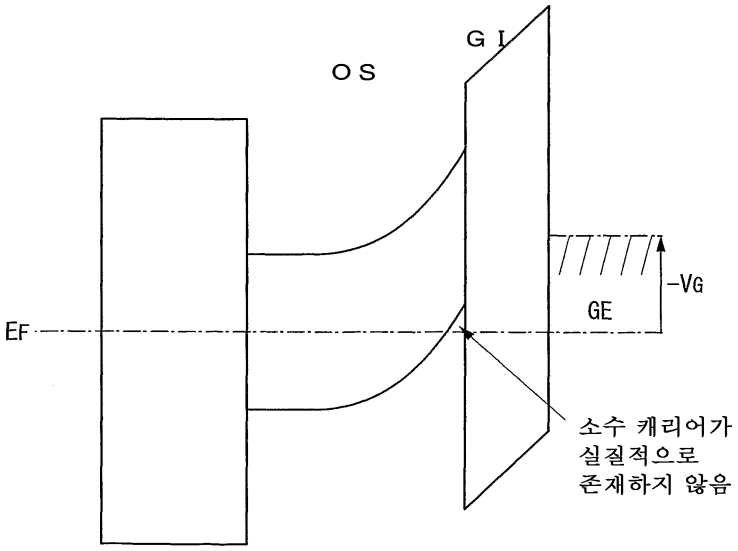
A-A' 단면의 에너지 밴드도

도면8a



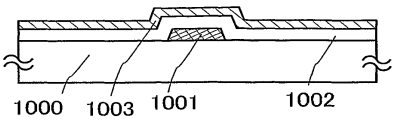
B-B' 단면의 에너지 밴드도 (+VG)

도면8b

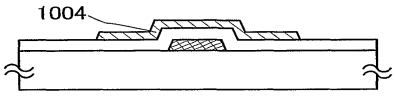


B-B' 단면의 에너지 밴드도 (+V_G)

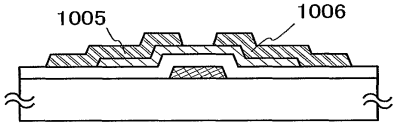
도면9a



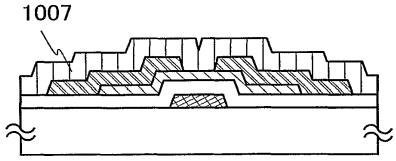
도면9b



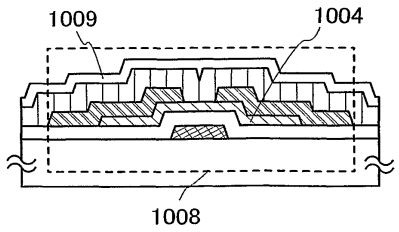
도면9c



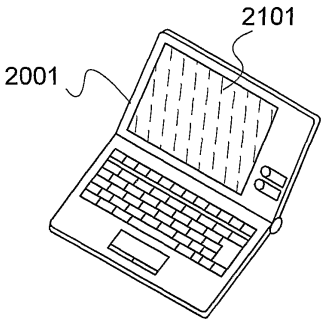
도면9d



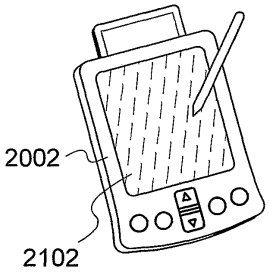
도면9e



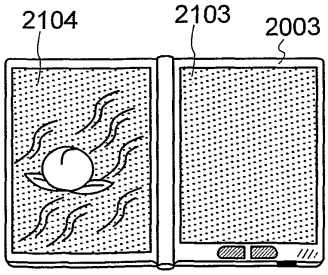
도면10a



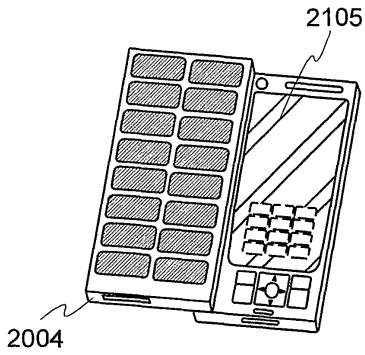
도면10b



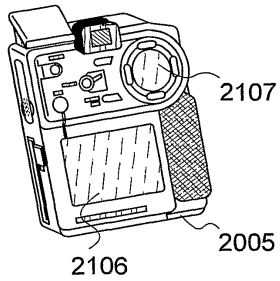
도면10c



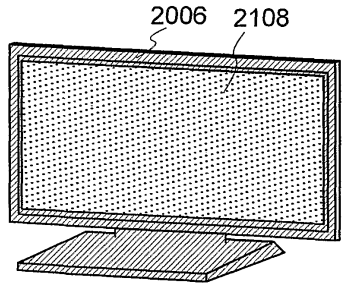
도면10d



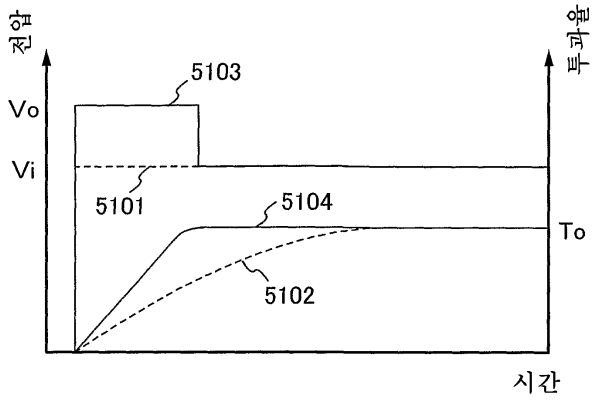
도면10e



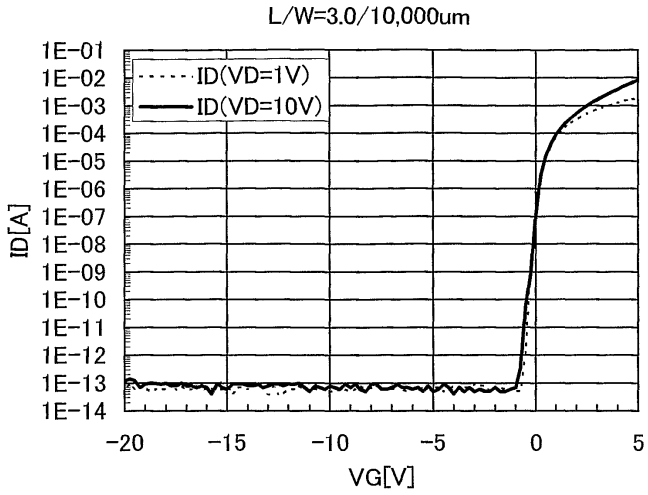
도면10f



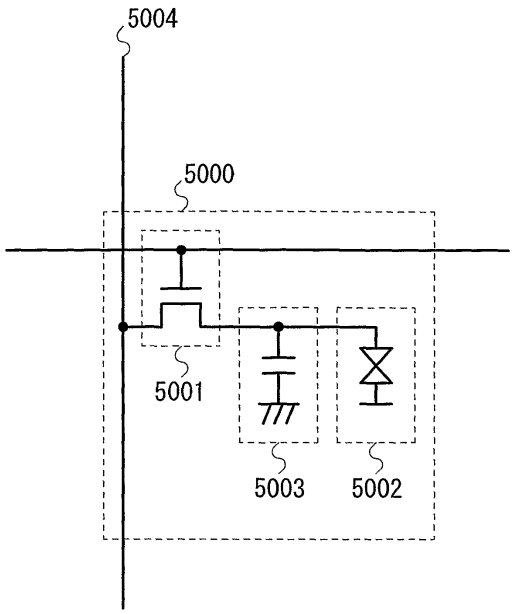
도면11



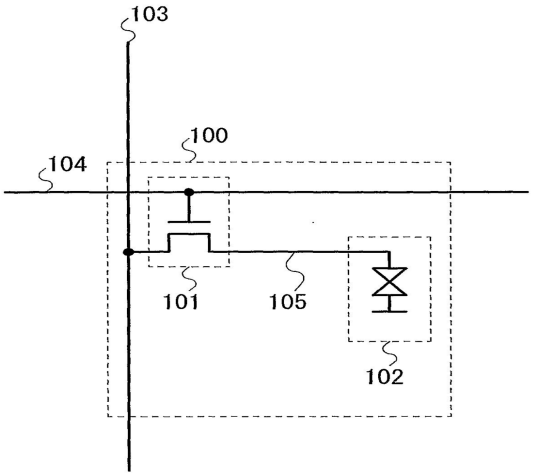
도면12


L/W=3.0/10,000um
ID(VD=1V)
ID(VD=10V)
ID[A]
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
-20
-15
-10
-5
0
5
VG[V]

도면13


5004
5000
5001
5003
5002

专利名称(译)	显示装置的标题		
公开(公告)号	KR101800038B1	公开(公告)日	2017-11-21
申请号	KR1020127017279	申请日	2010-11-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자끼순뻬이 KIMURA HAJIME 기무라하지메		
发明人	야마자끼순뻬이 기무라하지메		
IPC分类号	G02F1/1368 G02F1/133 H01L29/786		
CPC分类号	G02F1/1368 G09G3/3696 H01L27/1225		
代理人(译)	Jangsugil Bakchungbeom Yijunghui		
优先权	2009276374 2009-12-04 JP		
其他公开文献	KR1020120091425A		
外部链接	Espacenet		

摘要(译)

在显示装置中，缩短了在像素中写入信号的时间。而且，即使在施加高电压的情况下，信号也以高速填充。显示装置包括晶体管和包括连接到晶体管的源极或漏极的液晶器件的像素。晶体管包括作为本征的半导体本征的氧化物半导体作为本征，并且包括小于1×10 -17 A /μm的截止电流。像素不包括电容元件。不必提供电容元件。因此，可以缩短输入信号的时间。