



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년07월21일  
 (11) 등록번호 10-1759985  
 (24) 등록일자 2017년07월14일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
 (21) 출원번호 10-2010-0102434  
 (22) 출원일자 2010년10월20일  
 심사청구일자 2015년10월12일  
 (65) 공개번호 10-2012-0040918  
 (43) 공개일자 2012년04월30일  
 (56) 선행기술조사문헌  
 US03777278 A1  
 (뒷면에 계속)

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 김귀현  
 경기도 수원시 권선구 덕영대로993번길 75-12 (세류동)  
 김장수  
 경기도 용인시 기흥구 예현로35번길 21, 현대아파트 현대홈타운 104동 2003호 (서천동)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인가산

전체 청구항 수 : 총 14 항

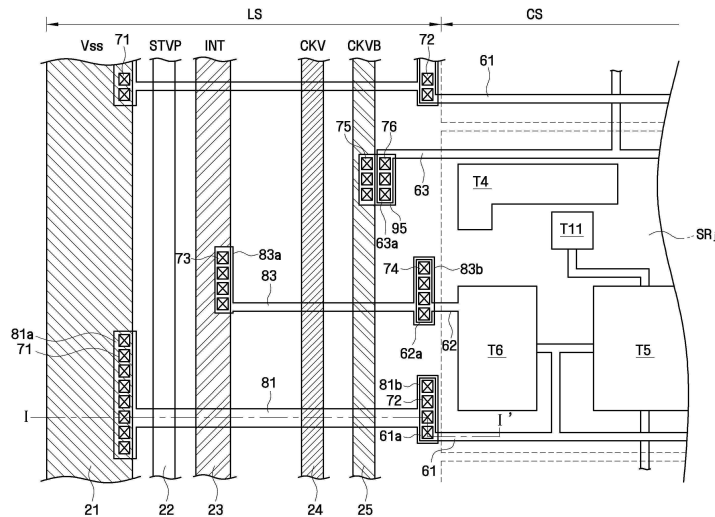
심사관 : 추장희

(54) 발명의 명칭 게이트 구동 장치 및 이를 포함하는 액정 표시 장치

**(57) 요약**

게이트 구동 장치 및 이를 포함하는 액정 표시 장치가 제공된다. 본 발명의 일 실시예에 따른 게이트 구동 장치는 외부로부터 신호를 입력받는 배선부와 상기 배선부로부터 입력된 다수의 제어 신호에 응답하여 구동 신호를 출력하는 다수의 시프트 레지스터를 포함하는 회로부를 구비하며, 상기 배선부는 상기 시프트 레지스터에서 먼 곳으로부터 가까운 곳으로 차례로 배치된 제1 내지 제n 신호선(여기서, n은 자연수)을 포함하고, 상기 제1 신호선이 제1 연결선에 의해 상기 시프트 레지스터와 연결되고, 상기 제1 연결선은 제1 신호선 상에 형성된 제1 컨택부 및 상기 제n 신호선과 상기 시프트 레지스터 사이에 형성되고 상기 시프트 레지스터와 시프트 레지스터 배선으로 연결된 제2 컨택부를 포함한다.

**대표도 - 도5**



(72) 발명자

**진형준**

서울특별시 영등포구 대방천로 180, 우성2차아파트  
207동 402호 (신길동)

**김수철**

경기도 의정부시 외미로 64, 204동 2301호 (호원동, 회룡역풍림아이원)

**민경해**

인천광역시 서구 건지로348번길 31-5, 3층 (가좌동)

(56) 선행기술조사문헌

JP2005018081 A

JP2002148645 A

JP2000187247 A

KR1020030091571 A\*

KR1020070118776 A

KR1020080022785 A

KR1020100100213 A

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

외부로부터 신호를 입력받는 배선부; 및

상기 배선부로부터 입력된 다수의 제어 신호에 응답하여 구동 신호를 출력하며 시프트 레지스터 및 상기 시프트 레지스터와 연결된 시프트 레지스터 배선을 포함하는 회로부를 포함하고,

상기 배선부는 상기 시프트 레지스터에서 먼 곳으로부터 가까운 곳으로 차례로 배치된 제1 내지 제n 신호선(여기서, n은 자연수)을 포함하고,

상기 제1 신호선은 제1 연결선을 매개로 상기 시프트 레지스터와 전기적으로 연결되고,

상기 제1 연결선은, 상기 제1 신호선과 연결된 제1 컨택부 및 상기 상기 시프트 레지스터 배선과 연결된 제2 컨택부를 포함하고,

상기 제1 내지 제n 신호선 상에는 제1 절연막이 위치하고,

상기 제1 절연막 상에는 제2 절연막이 위치하고,

상기 시프트 레지스터 배선은 상기 제1 절연막과 상기 제2 절연막 사이에 위치하고,

상기 제1 연결선은 상기 제2 절연막 상에 위치하는 게이트 구동 장치.

#### 청구항 2

삭제

#### 청구항 3

제1 항에 있어서,

상기 제1 연결선이 ITO 또는 IZO로 형성된 게이트 구동 장치.

#### 청구항 4

제1 항에 있어서,

상기 제1 신호선이 외부로부터 직류 전압 신호를 전달받는 직류 전압 신호선인 게이트 구동 장치.

#### 청구항 5

제1 항에 있어서,

상기 시프트 레지스터 배선이 상기 시프트 레지스터의 게이트 라인 또는 소스 또는 드레인 라인인 게이트 구동 장치.

#### 청구항 6

제1 항에 있어서,

상기 시프트 레지스터 배선은 상기 제1 내지 제n 신호선과 비중첩하는 게이트 구동 장치.

#### 청구항 7

제1 항에 있어서,

상기 제1 내지 제n 신호선이 외부로부터 직류 전압을 입력받는 직류 전압 신호선, 상기 회로부의 동작을 개시하는 개시신호를 입력받는 스캔 개시 신호선, 클럭 신호를 입력받는 클럭 신호선, 클럭바 신호를 입력받는 클럭바

신호선 및 초기화 신호를 입력받는 초기화 신호선을 포함하는 게이트 구동 장치.

**청구항 8**

제 1항에 있어서,

상기 제2 컨택부는 평면 시점에서 상기 제n 신호선과 상기 시프트 레지스터 사이에 위치하는 게이트 구동 장치.

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

제8 항에 있어서,

상기 시프트 레지스터 배선이 상기 시프트 레지스터의 게이트 라인 또는 소스 또는 드레인 라인인 게이트 구동 장치.

**청구항 13**

제8 항에 있어서,

상기 제1 신호선이 외부로부터 직류 전압 신호를 전달받는 직류 전압 신호선인 게이트 구동 장치.

**청구항 14**

제8 항에 있어서,

제2 신호선 및 제3 신호선이 상기 제1 연결선을 중심으로 양쪽으로 이격되어 분리되며,

상기 제2 신호선이 상기 회로부의 동작을 개시하는 개시 신호를 입력받는 스캔 개시 신호선이고, 상기 제3 신호선이 초기화 신호를 입력받는 초기화 신호선인 게이트 구동 장치.

**청구항 15**

삭제

**청구항 16**

기판;

상기 기판 상에 위치하는 게이트 구동부; 를 포함하고,

상기 게이트 구동부는,

외부로부터 신호를 입력받는 배선부와 상기 배선부로부터 입력된 다수의 제어 신호에 응답하여 구동 신호를 출력하며 시프트 레지스터 및 상기 시프트 레지스터와 연결된 시프트 레지스터 배선을 포함하는 회로부를 포함하고,

상기 배선부는 상기 시프트 레지스터에서 먼 곳으로부터 가까운 곳으로 차례로 배치된 제1 내지 제n 신호선(n은 자연수)을 포함하고,

상기 제1 신호선은 제1 연결선을 매개로 상기 시프트 레지스터와 전기적으로 연결되며,

상기 제1 연결선은 상기 제1 신호선과 연결된 제1 컨택부 및 상기 시프트 레지스터 배선과 연결된 제2 컨택부를 포함하고,

상기 제1 내지 제n 신호선 상에는 제1 절연막이 위치하고,  
 상기 제1 절연막 상에는 제2 절연막이 위치하고,  
 상기 시프트 레지스터 배선은 상기 제1 절연막과 상기 제2 절연막 사이에 위치하고,  
 상기 제1 연결선은 상기 제2 절연막 상에 위치하는 액정 표시 장치.

**청구항 17**

제16 항에 있어서,  
 상기 기판이 화상을 표시하는 표시부와 표시부 이외의 비표시부로 구분되며,  
 상기 표시부에 상기 게이트 구동부가 형성되는 액정 표시 장치.

**청구항 18**

삭제

**청구항 19**

제16 항에 있어서,  
 상기 시프트 레지스터 배선이 상기 시프트 레지스터의 게이트 라인 또는 소스 또는 드레인 라인인 액정 표시 장치.

**청구항 20**

제16 항에 있어서,  
 상기 시프트 레지스터 배선은 상기 제1 내지 제n 신호선과 비중첩하는 액정 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 정전기로 인한 번트(burnt)를 방지할 수 있는 게이트 구동 장치 및 이를 포함하는 액정 표시 장치에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치는 일반적으로 다수의 게이트 라인과 다수의 데이터 라인이 구비된 표시 패널, 다수의 게이트 라인에 다수의 게이트 신호를 출력하는 게이트 구동부 및 다수의 데이터 라인에 다수의 데이터 신호를 출력하는 데이터 구동부를 구비한다.

[0003] 종래 액정 표시 장치는 게이트 구동부 및 데이터 구동부를 칩 형태로 표시 패널에 실장하였으나, 최근에는 표시 장치의 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위해 게이트 구동부 및 데이터 구동부를 박막 트랜지스터가 형성되는 기판 상에 형성하는 기술이 시도되고 있다. 즉, 게이트 구동 IC를 채택하지 않고, 비정질 실리콘 박막 트랜지스터(amorphous silicon thin film transistor)를 이용하여 게이트 출력 신호를 발생시키는 게이트 구동부를 유리 기판 상에 직접 실장하고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 기판 상에 게이트 구동부를 제조하기 위해 다수의 비정질 실리콘 박막 트랜지스터를 형성하는 과정에서, 제조 설비에서 발생한 정전기가 기판의 외곽에 위치하는 게이트 구동 회로에 유입되어 정전기로 인한 번트(burnt)가 발생할 수 있다. 제조 설비에서 정전기가 발생하는 것을 원천적으로 방지하기는 어려우므로 유입된 정전기에 의해 번트되지 않는 게이트 구동 장치의 개발이 필요하다.

[0005] 본 발명이 해결하려는 과제는, 정전기로 인한 번트(burnt)를 방지할 수 있는 게이트 구동 장치를 제공하는 것이

다.

[0006] 본 발명이 해결하려는 다른 과제는, 상기의 게이트 구동 장치를 포함하는 액정 표시 장치를 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0008] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 게이트 구동 장치는, 외부로부터 신호를 입력받는 배선부와 상기 배선부로부터 입력된 다수의 제어 신호에 응답하여 구동 신호를 출력하며, 시프트 레지스터 배선이 형성된 다수의 시프트 레지스터를 포함하는 회로부를 구비하며, 상기 배선부는 상기 시프트 레지스터에서 먼 곳으로부터 가까운 곳으로 차례로 배치된 제1 내지 제n 신호선(여기서, n은 자연수)을 포함하고, 상기 제1 신호선이 제1 연결선에 의해 상기 시프트 레지스터와 연결되며, 상기 제1 연결선은 제1 신호선 상에 형성된 제1 컨택부 및 상기 제n 신호선과 상기 시프트 레지스터 사이에 형성되고 상기 시프트 레지스터 배선으로 상기 시프트 레지스터와 연결된 제2 컨택부를 포함한다.

[0009] 상기 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 게이트 구동 장치는, 외부로부터 신호를 입력받는 배선부와 상기 배선부로부터 입력된 다수의 제어 신호에 응답하여 구동 신호를 출력하며 시프트 레지스터 배선이 형성된 다수의 시프트 레지스터를 포함하는 회로부를 구비하며, 상기 배선부는 상기 시프트 레지스터에서 먼 곳으로부터 가까운 곳으로 차례로 배치된 제1 내지 제n 신호선(n은 자연수)을 포함하고, 상기 제1 신호선이 상기 제1 신호선까지 연장된 시프트 레지스터 배선에 의해 상기 시프트 레지스터와 연결되며, 상기 제2 내지 제n 신호선 중 적어도 하나 이상의 신호선이 상기 시프트 레지스터 배선을 중심으로 양쪽으로 이격되어 분리되며, 상기 양쪽으로 분리된 신호선이 컨택부를 포함하는 연결선에 의해 전기적으로 연결되어 있다.

[0010] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 기판 상에 게이트 구동부가 형성되어 있고, 상기 게이트 구동부는 외부로부터 신호를 입력받는 배선부와 상기 배선부로부터 입력된 다수의 제어 신호에 응답하여 구동 신호를 출력하며 시프트 레지스터 배선이 형성된 다수의 시프트 레지스터를 포함하는 회로부를 구비하며, 상기 배선부는 상기 시프트 레지스터에서 먼 곳으로부터 가까운 곳으로 차례로 배치된 제1 내지 제n 신호선(n은 자연수)을 포함하고, 상기 제1 신호선이 제1 연결선에 의해 상기 시프트 레지스터와 연결되고, 상기 제1 연결선이 제1 신호선 상에 형성된 제1 컨택부 및 상기 제n 신호선과 상기 시프트 레지스터 사이에 형성되고 시프트 레지스터 배선으로 상기 시프트 레지스터와 연결된 제2 컨택부를 포함한다.

[0011] 상기 과제를 달성하기 위해 본 발명의 다른 실시예에 따른 액정 표시 장치는, 기판 상에 게이트 구동부가 형성되어 있고, 상기 게이트 구동부는 외부로부터 신호를 입력받는 배선부와 상기 배선부로부터 입력된 다수의 제어 신호에 응답하여 구동 신호를 출력하며 시프트 레지스터 배선이 형성된 다수의 시프트 레지스터를 포함하는 회로부를 구비하며, 상기 배선부는 상기 시프트 레지스터에서 먼 곳으로부터 가까운 곳으로 차례로 배치된 제1 내지 제n 신호선(n은 자연수)을 포함하고, 상기 제1 신호선이 상기 제1 신호선까지 연장된 시프트 레지스터 배선에 의해 상기 시프트 레지스터와 연결되며, 상기 제2 내지 제n 신호선 중 적어도 하나 이상의 신호선이 상기 시프트 레지스터 배선을 중심으로 양쪽으로 이격되어 분리되며, 상기 양쪽으로 분리된 신호선이 컨택부를 포함하는 연결선에 의해 전기적으로 연결되어 있다.

[0012] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

[0013] 본 발명의 일 실시예에 따른 게이트 구동 장치는 공정시 유입되는 정전기로 인한 번트 발생을 방지할 수 있다.

[0014] 본 발명의 일 실시예에 따른 액정 표시 장치는 게이트 구동부를 기판 상에 동시에 형성하고, 게이트 구동부로 제조 설비의 정전기가 유입되어 발생하는 번트를 방지하여 생산성을 향상시키고 비용을 절감할 수 있다.

**도면의 간단한 설명**

[0015] 도 1은 본 발명의 일 실시예에 따른 게이트 구동부 및 이를 포함하는 액정 표시 장치의 평면도이다.

도 2는 본 발명의 일 실시예에 따른 게이트 구동부를 구성하는 시프트 레지스터의 블록도의 한 예이다.

도 3은 본 발명의 일 실시예에 따른 게이트 구동부를 구성하는 시프트 레지스터의 예시적인 회로도이다.

도 4는 본 발명의 일 실시예에 따른 게이트 구동부의 개략적인 배치도이다.

도 5는 본 발명의 일 실시예에 따른 게이트 구동부의 배선부의 배치도의 한 예이다.

도 6은 도 5의 배선부를 I - I' 선을 따라 절단한 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 게이트 구동부의 배선부의 배치도의 한 예이다.

도 8은 도 7의 배선부를 II - II' 선을 따라 절단한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0016] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- [0017] 소자(elements) 또는 층이 다른 소자 또는 층의 위(on) 또는 상(on)으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 직접 위(directly on) 또는 바로 위로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 및/또는은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0018] 공간적으로 상대적인 용어인 아래(below), 아래(beneath), 하부(lower), 위(above), 상부(upper) 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- [0019] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0020] 또한, 드레인(또는 드레인 전극)과 소스(또는 소스 전극)은 전류의 방향에 따라 서로 다르게 불려질 수 있으므로, 이하에서 드레인 또는 드레인 전극으로 불려지는 구성 요소는 소스 또는 소스 전극으로 동작할 수 있고, 소스 또는 소스 전극으로 불려지는 구성 요소는 드레인 또는 드레인 전극으로 동작할 수 있다. 따라서 드레인 또는 드레인 전극으로 불려지는 구성 요소가 드레인 또는 드레인 전극으로 한정되는 것은 아니다. 또한 소스 또는 소스 전극으로 불려지는 구성 요소가 소스 또는 소스 전극으로 한정되는 것은 아니다.
- [0021] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 따른 게이트 구동부 및 액정 표시 장치에 대해 상세히 설명한다.
- [0022] 먼저, 도 1 내지 도 6을 참조하여 본 발명의 일 실시예에 따른 게이트 구동부 및 이를 포함하는 액정 표시 장치를 설명한다. 도 1은 본 발명의 일 실시예에 따른 게이트 구동부 및 이를 포함하는 액정 표시 장치의 평면도이고, 도 2는 도 1의 게이트 구동부를 구성하는 시프트 레지스터의 블록도의 한 예이고, 도 3은 도 2에 예시한 시프트 레지스터의 회로도의 한 예이다. 도 4는 본 발명의 일 실시예에 따른 게이트 구동부의 개략적인 배치도이다. 도 5는 본 발명의 일 실시예에 따른 게이트 구동부의 배선부의 배치도의 한 예이며, 도 6은 도 5의 배선부를 I - I' 선을 따라 절단한 단면도이다.
- [0023] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치(10)는 액정 패널(300), 게이트 구동부(400), 타이밍 컨트롤러(500), 클럭 생성부(600) 및 데이터 구동부(700)를 포함할 수 있다.
- [0024] 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분될 수 있다.
- [0025] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 화소 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기관(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기관(미도시),

제1 기관(미도시)과 제2 기관(미도시) 사이에 개재된 역정층(미도시)을 포함하여 영상을 표시한다. 표시부(DA)의 상기 제1 기관 상에는 게이트 라인(G1~Gn)과 데이터 라인(D1~Dm)이 각각 행 방향과 열 방향으로 연장되어 형성되어 있으며, 게이트 라인(G1~Gn)과 데이터 라인(D1~Dm)이 교차하여 정의되는 영역에 게이트 라인(G1~Gn) 및 데이터 라인(D1~Dm)이 연결되어 있는 스위칭 소자 및 다수의 화소(PX)들이 형성되어 있다.

- [0026] 비표시부(PA)는 상기 제1 기관이 제2 기관 보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- [0027] 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 영상 신호(DAT) 및 제1 제어 신호(CONT1)를 출력한다. 여기서 제1 제어 신호(CONT1)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함할 수 있다. 또한, 타이밍 컨트롤러(500)는 수직 동기 신호(Vsync)에 동기되어 수직 동기 시작 신호를 클럭 생성부(600)로 보낼 수 있으며, 제2 제어 신호(CONT2)를 클럭 생성부(600)에 제공한다.
- [0028] 클럭 생성부(600)는 타이밍 컨트롤러(500)로부터 제2 제어 신호(CONT2)를 입력받아 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력할 수 있다. 즉, 제2 제어 신호(CONT2)에 제어되어 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 이용하여 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력한다. 여기서 제2 제어 신호(CONT2)는 출력 인에이블 신호(OE) 및 게이트 클럭 신호(CPV)를 포함할 수 있다. 여기서 클럭 신호(CKV) 및 클럭바 신호(CKVB)는 각각 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)를 스윙하는 펄스 신호이고, 클럭 신호(CKV)는 클럭바 신호(CKVB)와 역위상인 신호이다.
- [0029] 데이터 구동부(700)는 타이밍 컨트롤러(500)로부터 영상 신호(DAT), 제1 제어 신호(CONT1)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 구동부(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 제1 기관 상의 비표시부(PA)에 형성될 수도 있다.
- [0030] 게이트 구동부(400)는 제1 기관(100) 상의 비표시부(PA) 상에 형성될 수 있다. 또한, 도시하지는 않았으나 게이트 구동부(400)는 제1 기관 상의 비표시부(PA) 양 측에 각각 형성될 수 있다. 이에 의해, 제1 기관 상의 일 측에 형성된 게이트 구동부는 even라인을, 타 측에 형성된 게이트 구동부는 odd라인을 각각 구동시키거나 양 측에 형성된 게이트 구동부가 각각 모든 라인을 구동시킬 수 있다.
- [0031] 게이트 구동부(400)는 스캔 개시 신호(STVP)에 인에이블되어 클럭 신호(CKV), 클럭바 신호(CKVB) 및 직류 전압 신호(Vss)을 이용하여 다수의 게이트 신호들을 생성하고 이를 각 게이트 라인(G1~Gn)에 순차적으로 제공한다.
- [0032] 도 2를 참조하면, 게이트 구동부(400)는 클럭 생성부(600)로부터 제공되는 클럭 신호(CKV), 클럭바 신호(CKVB) 및 직류 전압 신호(Vss)를 인가받아 다수의 게이트 라인(G1~Gn)에 순차적으로 게이트 신호를 제공하는 다수의 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>, 여기서 n은 자연수)로 구성되어 있고, 각 게이트 라인(G1~Gn)은 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)의 출력 단자와 연결되어 있다. 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)는 캐스캐이드(cascade)로 연결되어 있으며, 마지막 시프트 레지스터(SR<sub>n+1</sub>)를 제외한 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)는 게이트 라인(G1~Gn)과 일대일로 연결되어 각각 게이트 신호(Gout<sub>1</sub>~Gout<sub>n</sub>)를 출력한다. 즉, 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)는 스캔 개시 신호(STVP)에 응답하여 직류 전압 신호(Vss), 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 전달받아 다수의 게이트 라인(G1~Gn)에 순차적으로 소정의 시간 동안 일정 레벨의 전압을 갖는 게이트 신호를 제공한다.
- [0033] 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 구비할 수 있다.
- [0034] 예를 들어, j번째(j≠1, j=2~n-1의 자연수) 게이트 라인과 연결된 제j 시프트 레지스터(SR<sub>j</sub>)의 셋 단자(S)에는 전단 시프트 레지스터(SR<sub>j-1</sub>)의 캐리 신호(Cout<sub>(j-1)</sub>)가, 리셋 단자(R)에는 후단 시프트 레지스터(SR<sub>j+1</sub>)의 게이트 신호(Gout<sub>(j+1)</sub>)가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 직류 전압(Vss)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT) 또는 마지막 시프트 레지스터(SR<sub>n+1</sub>)의 캐리 신호(Cout<sub>(n+1)</sub>)가 입력된다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout<sub>(j)</sub>)를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout<sub>(j)</sub>)를 출력한다.
- [0035] 단, 첫 번째 시프트 레지스터(SR<sub>1</sub>)에는 전단 캐리 신호 대신 스캔 개시 신호(STVP)가 입력되며, 마지막 시프트

레지스터(SR<sub>n+1</sub>)에는 후단 게이트 신호 대신 스캔 개시 신호(STVP)가 입력된다. 여기서, 첫 번째 시프트 레지스터(SR<sub>1</sub>)와 마지막 시프트 레지스터(SR<sub>n+1</sub>)에 입력되는 스캔 개시 신호(STVP)는 동일한 신호이다.

- [0036] 도 3을 참조하여 도 2의 제j 시프트 레지스터(SR<sub>j</sub>)에 대하여 보다 상세히 설명한다.
- [0037] 도 3을 참조하면, 제j 시프트 레지스터(SR<sub>j</sub>)는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 폴다운부(440), 방전부(450) 및 홀딩부(460)를 포함할 수 있다. 이러한 제j 시프트 레지스터(SR<sub>j</sub>)에 전단 캐리 신호(Cout<sub>(j-1)</sub>), 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 제공된다.
- [0038] 버퍼부(410)는 트랜지스터(T4)를 포함한다. 여기서, 트랜지스터(T4)의 게이트와 드레인온 셋 단자(S)와 연결되어 있다. 또한, 트랜지스터(T4)의 게이트와 드레인온 서로 연결되어 있다. 이에 의해, 트랜지스터(T4)는 실질적으로 다이오드처럼 작동한다. 동작을 설명하면, 버퍼부(410)는 셋 단자(S)를 통해 입력된 전단 캐리 신호(Cout<sub>(j-1)</sub>)를 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공한다.
- [0039] 충전부(420)는 일단이 트랜지스터(T4)의 소스 전극, 풀업부(430) 및 방전부(450)에 연결되고, 타단이 게이트 출력 단자(OUT1)에 연결된 충전 캐패시터(C1)로 이루어진다.
- [0040] 풀업부(430)는 게이트 구동용 박막 트랜지스터(T1)를 포함하는데, 게이트 구동용 박막 트랜지스터(T1)의 드레인 전극이 제1 클럭 단자(CK1)에 연결되고, 게이트 전극이 충전부(420)에 연결되며, 소스 전극이 게이트 출력 단자(OUT1)에 연결된다.
- [0041] 캐리 신호 발생부(470)는 드레인 전극이 제1 클럭 단자(CK1)에 연결되고, 소스 전극이 캐리 출력 단자(OUT2)에 연결되고, 게이트 전극이 버퍼부(410)와 연결되어 있는 트랜지스터(T15)와, 트랜지스터(T15)의 게이트 전극과 소스 전극에 연결된 커패시터(C2)를 포함한다.
- [0042] 폴다운부(440)는 드레인 전극이 트랜지스터(T1)의 소스 전극 및 충전 캐패시터(C1)의 타단에 연결되고, 소스 전극이 전원 전압 단자(GV)에 연결되고, 게이트 전극이 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함한다. 이때, 게이트 전극은 다음 시프트 레지스터(SR<sub>j+1</sub>)의 게이트 신호(Gout<sub>(j+1)</sub>)를 인가받아 트랜지스터(T2)를 제어한다.
- [0043] 방전부(450)는, 게이트 전극이 리셋 단자(R)에 연결되고 드레인 전극이 충전 캐패시터(C1)의 일단에 연결되고 소스 전극이 전원 전압 단자(GV)에 연결되어, 다음 시프트 레지스터(SR<sub>j+1</sub>)의 게이트 신호(Gout<sub>(j+1)</sub>)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트 전극이 프레임 리셋 단자(FR)에 연결되고 드레인 전극이 캐패시터(C3)의 일단에 연결되고 소스 전극이 전원 전압 단자(GV)에 연결되어, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함한다.
- [0044] 홀딩부(460)는 다수의 트랜지스터들(T3, T5, T7, T8, T10, T11, T12, T13)을 포함하여, 게이트 신호(Gout<sub>(j)</sub>)가 로우 레벨에서 하이 레벨로 변환되면 하이 레벨 상태를 유지시키고, 게이트 신호(Gout<sub>(j)</sub>)가 하이 레벨에서 로우 레벨로 변환된 후에는 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호(Gout<sub>(j)</sub>)를 로우 레벨로 유지시키는 동작을 수행한다.
- [0045] 이어서, 도 4 내지 6을 참조하여 본 발명의 일 실시예에 따른 게이트 구동부의 구동 신호 배선에 대해 설명한다.
- [0046] 도 4 및 도 5를 참조하면, 게이트 구동부(400)는 다수의 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)를 포함하는 회로부(CS)와 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에 제공되는 각종 신호(Vss, STVP, INT, CKV, CKVB)를 전달하는 배선부(LS)를 포함한다.
- [0047] 회로부(CS)는 다수의 박막 트랜지스터(T1~T13, T15)를 포함하는 다수의 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)로 구성되어 있다. 도 4를 참조하여, SR<sub>j-1</sub> 시프트 레지스터의 트랜지스터의 배치를 살펴보면, 전단 시프트 레지스터와 가까운 위쪽에는 전단 캐리신호(Cout<sub>(j-1)</sub>)가 입력되는 트랜지스터(T4)가 배치되어 있고, 위쪽에 가로 방향으로 뻗은 클럭 신호(CKV)를 입력받는 트랜지스터(T15, T1)가 배치되어 있고, 상기 트랜지스터(T15)의 아래쪽에 클럭 신호(CKV)를 입력받는 트랜지스터(T7, T10, T12)가 연결되어 있다. 또한, 아래에서 올라오는 클럭바 신호(CKVB)를 입력받는 트랜지스터(T11, T5)가 왼쪽 아래에 배치되어 있으며, 왼쪽에서 들어오는 초기화 신호를 입력받는 트

랜지스터(T6)는 가장 왼쪽에 배치되어 있다. 이와 함께, 아래쪽에 가로 방향으로 뻗은 직류 전압 신호를 입력받는 트랜지스터(T2, T3, T8, T9, T13)가 배치되어 있다.

- [0048] 배선부(LS)는 주로 세로 방향으로 서로 평행하게 뻗어 있는 제1 내지 제n 신호선(여기서, n은 자연수)을 포함한다. 상기 제1 내지 제n 신호선은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에서 먼 곳에서부터 순서대로 배치된다. 도 4 내지 도 6은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에서 먼 곳으로부터 순서대로 형성된 제1 내지 제5 신호선을 예시한다.
- [0049] 배선부(LS)는 직류 전압 신호를 전달하는 직류 전압 신호선(V<sub>SS</sub>), 스캔 개시 신호를 전달하는 스캔 개시 신호(STVP)선, 초기화 신호를 전달하는 초기화 신호(INT)선, 클럭 신호와 클럭바 신호를 각각 전달하는 클럭 신호(CKV)선 및 클럭바 신호(CKVB)선을 포함한다. 상기 클럭 신호선 및 클럭바 신호선은 각각 복수개로 형성될 수 있으며, 복수개의 클럭 신호선 및 복수개의 클럭바 신호선 중 임의로 선택하여 사용할 수 있다. 도 4 및 도 5는 직류 전압 신호(V<sub>SS</sub>)선 (21), 스캔 개시 신호(STVP)선(22), 초기화 신호(INT)선(23), 클럭 신호(CKV)선(24) 및 클럭바 신호(CKVB)선(25)이 왼쪽부터 순서대로 차례로 배치되어 오른쪽으로 갈수록 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에 가까워지는 예를 나타낸다.
- [0050] 제1 내지 제n 신호선은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 연결되어 있는데, 직류 전압 신호(V<sub>SS</sub>)선과 초기화 신호(INT)선은 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에 각각 연결되어 있다. 반면에, 스캔 개시 신호(STVP)선은 첫번째 시프트 레지스터(SR<sub>1</sub>)와 마지막 시프트 레지스터(SR<sub>n+1</sub>)에만 연결된다. 따라서, 도 4 및 도 5의 예시도에서는 스캔 개시 신호(STVP)선(22)이 시프트 레지스터(SR<sub>j</sub>)와 연결되어 있지 않다. 클럭 신호(CKV)선(24) 및 클럭바 신호(CKVB)선(25)은 도 4 및 도 5에서는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)의 경계 부근에 위치하며 교대로 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 연결되어 있다. 직류 전압 신호(V<sub>SS</sub>)선은 다른 신호선에 비해 많은 전류를 소모하고 저항이 크기 때문에 직류 전압 신호선이 끊어지는 불량률이 발생할 위험도 있어 다른 신호선보다 너비가 넓게 형성되어 있다.
- [0051] 제1 신호선(21)은 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 제1 연결선(81)에 의해 연결되어 있다.
- [0052] 제1 연결선(81)은 제1 컨택부(81a) 및 제2 컨택부(81b)를 포함한다.
- [0053] 제1 컨택부(81a)는 제1 연결선(81)의 단부가 확장되어 상기 제1 신호선(21)과 중첩되는 영역으로 제1 신호선(21)을 노출시키는 컨택홀(71)을 포함한다. 제1 연결선(81)은 컨택홀(71)을 통해 제1 신호선(21)과 연결된다.
- [0054] 제2 컨택부(81b)는 제1 연결선(81)의 다른 단부가 확장되어 시프트 레지스터 배선(61)을 통해 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 연결되는 영역이다. 제2 컨택부(81b)는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)의 확장부(61a)와 중첩되어 있으며 중첩되는 영역에는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선을 노출시키는 컨택홀(72)이 형성되어 있다. 제2 컨택부(81b)는 컨택홀(72)을 통하여 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)과 연결된다.
- [0055] 도 6을 참조하면, 제1 신호선 내지 제5 신호선(21, 22, 23, 24, 25) 상에는 제1 절연막(30)이 형성되어 있으며, 제1 절연막(30) 상에 시프트 레지스터 (SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 형성되어 있다. 또한, 제1 절연막(30) 상에 제2 절연막(70)이 형성되어 있으며, 제2 절연막(70) 상에 제1 연결선(81)이 형성되어 있다.
- [0056] 상기 제1 내지 제5 신호선(21, 22, 23, 24, 25) 및 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 타이타늄(Ti), 탄탈륨(Ta) 등으로 이루어질 수 있다.
- [0057] 제1 절연막(30)은 질화 실리콘 또는 산화 실리콘 등의 무기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 형성될 수 있다. 제1 절연막(30)은 3,000 Å 지 5,000 Å의 두께로 형성될 수 있다.
- [0058] 제1 절연막(30) 상에는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 연장되어 형성되어 있다. 그러나, 도 6에 도시된 바와 같이 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)은 제1 내지 제n 신호선의 상부까지는 연장되어 있지 않아 정전기가 유입되어도 번트가 발생하지 않는다. 제1 절연막(30)에는 제1 신호선(21)을 노출시키는 컨택홀(71)이 형성

되어 있다.

- [0059] 제1 절연막(30) 상에 제2 절연막(70)이 형성되어 있다. 제2 절연막(70)은 질화 실리콘 또는 산화 실리콘으로 이루어진 무기물, 평탄화 특성이 우수하며 감광성을 가지는 유기물 또는 플라즈마 화학 기상 증착으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 형성될 수 있다. 제2 절연막(70)은 1,500 Å 내지 3,000 Å의 두께로 형성될 수 있다. 제2 절연막(70)은 제1 신호선(21)을 노출시키는 콘택홀(71) 및 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 노출시키는 콘택홀(72)을 포함한다.
- [0060] 제2 절연막(70) 상에 제1 연결선(81)이 형성되어 있다. 또한, 제1 콘택부(80a)와 제2 콘택부(80b)가 연결되어 제1 연결선(81)을 형성한다. 제1 연결선(81)은 indium tin oxide(이하 ITO) 또는 indium zinc oxide(이하 IZO)로 형성될 수 있으며, 5 내지 50 μm의 너비로 형성될 수 있다.
- [0061] 상기에서 살펴본 바와 같이, 제1 콘택부(81a)는 제1 신호선(21)과 접촉되기 위해 제1 신호선(21) 상에 형성되거나 제1 신호선(21)과 근접하게 형성되어 있으나, 제2 콘택부(80b)는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에 가장 가까운 제5 신호선(25)과 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)의 사이에 형성되어 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)과 연결된다. 따라서, 제1 절연막(30) 상에 형성된 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 제2 내지 제n 신호선을 거쳐 제1 신호선(21)까지 연장되지 않고 제5 신호선(25) 전까지만 연장되는 바, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 제2 내지 제5 신호선(22, 23, 24, 25)상에는 형성되지 않게 된다.
- [0062] 또한, 제1 콘택부(81a) 및 제2 콘택부(81b)를 포함하는 제1 연결선(81)은 제2 절연막(70) 상에 형성되는 바, 제1 내지 제5 신호선(21, 22, 23, 24, 25)과 제1 연결선(81) 사이에는 제1 절연막(30)과 제2 절연막(70)의 이중층이 형성되어 결과적으로 두꺼운 절연막이 형성되게 된다. 따라서, 정전기가 유입되어도 이들 간에 번트가 발생하지 않는다.
- [0063] 제1 신호선(10)은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)로부터 가장 멀리 떨어져 있는 신호선으로 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 연장하여 이와 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)가 연결되기 위해서는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 제1 절연막(30) 상에 제2 내지 제n 신호선과 중첩되어 형성된다. 따라서, 제2 내지 제n 신호선과 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61) 사이에 제1 절연막(30)만 존재하므로 제2 내지 제n 신호선과 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61) 사이에 거리가 가까워져 정전기로 인한 번트가 발생할 수 있다. 따라서, 제1 신호선(10)은 제1 연결선(81)으로 연결하는 것이 바람직하다.
- [0064] 도 4 내지 도 6에 예시된 바와 같이, 제1 신호선(10)은 직류 전압 신호(V<sub>ss</sub>)선일 수 있다. 직류 전압 신호(V<sub>ss</sub>)선은 저항을 줄이기 위해 다른 신호선보다 너비가 넓게 형성되어 가장 첫번 째로 배치될 수 있다.
- [0065] 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에 형성되어 있는 게이트 라인 및 소스 또는 드레인 라인을 포함하는 배선을 의미한다. 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)은 단부가 확장된 영역(61a)을 포함하고 있으며, 상기 단부가 확장된 영역(61a)은 제2 콘택부(81b)와 중첩되고 콘택홀(72)이 생성되어 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 노출시킨다. 또한, 배선부(LS)에 형성된 제1 내지 제n 신호선은 각 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)의 게이트 라인, 또는 소스 또는 드레인 라인과 연결되어 신호를 전달하는 바, 제1 신호선이 직류 전압 신호(V<sub>ss</sub>)선인 경우 제1 신호선(10)은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)의 소스 또는 드레인 라인(61)과 연결될 수 있다.
- [0066] 여기서, 제2 내지 제n 신호선 중 적어도 하나 이상의 신호선이 제2 내지 제n 연결선 중 적어도 하나 이상의 연결선에 의해 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 연결될 수 있다. 도 5는 제3 신호선(23)이 제3 연결선(83)에 의해 연결된 것을 예시한다.
- [0067] 제3 연결선(83)은 제3 신호선(23) 상에 제3 신호선(23)과 중첩되도록 형성되는 제1 콘택부(83a) 및 제n 신호선과 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)사이에 형성되고 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 연결되는 제2 콘택부(83b)를 포함한다.
- [0068] 제1 콘택부(83a)는 제3 연결선(83)의 단부가 확장되어 제3 신호선(23)과 중첩되는 영역에 제3 신호선(23)을 노출시키는 콘택홀(73)을 포함하고, 제2 콘택부(83b)는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(62)의 단부가 확장된 영

역(62a)과 중첩되고, 상기 중첩된 영역에서 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(62)을 노출시키는 콘택홀(74)을 포함한다.

- [0069] 도면에 도시하지는 않았으나, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(62)은 제1 절연막 상에 형성되어 있으면서 제3 내지 제n 신호선 상까지 연장되어 형성되어 있지 않고, 제3 연결선(83)은 제1 절연막 상에 형성된 제2 절연막 상에 형성되어 있다. 따라서, 제3 내지 제n 신호선과 제3 연결선의 사이에는 제1 절연막 및 제2 절연막이 개재되므로 제3 내지 제n 신호선과 제3 연결선의 거리가 멀어 정전기 유입으로 인한 번트 발생을 방지할 수 있다.
- [0070] 제3 신호선(23)은 직류 전압 신호(Vss)선, 스킴 개시 신호(STVP)선, 초기화 신호(INT)선, 클럭 신호(CKV)선 또는 클럭바 신호(CKVB)선 등 그 종류에 관계없이 어떠한 신호선이라도 될 수 있으며, 도 5는 제3 연결선(23)이 초기화 신호(INT)선인 경우를 예시한다. 제3 신호선(23)이 초기화 신호(INT)선인 경우 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(62)은 게이트 라인일 수 있다. 초기화 신호(INT)선은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)의 게이트 라인과 연결되기 때문이다.
- [0071] 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 가장 인접한 마지막 신호선인 제n 신호선(25)은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(63)을 제n 신호선(25)까지 연장시켜 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 연결될 수 있다. 도 5는 제n 신호선이 제5 신호선(25)인 경우를 예시한다.
- [0072] 구체적으로, 도 5에 도시된 바와 같이, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(63)을 제5 신호선(25)까지 연장하고 연장된 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(63)과 제5 신호선(25)을 제5 연결선(95)를 통하여 연결할 수 있다. 이 때, 연장된 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(63)의 단부에는 확장부(63a)가 형성되어 있다.
- [0073] 제5 연결선(95)은 제5 신호선(25) 및 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(63)의 확장부(63a)와 중첩되어 있으며 이들 중첩 영역에 콘택홀(75, 76)이 형성되어 있다. 콘택홀(75, 76)을 통해 제5 신호선(25)과 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(63)이 연결된다.
- [0074] 제n 신호선(25)은 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 가장 인접한 마지막 신호선으로 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선을 제n 신호선까지 연결시키는 경우에도 제1 내지 제n 신호선 상에는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선이 형성되지 않아 유입된 정전기로 인한 번트가 발생하지 않는다.
- [0075] 이하, 도 7 및 도 8을 참조하여 본 발명의 다른 실시예에 따른 게이트 구동부 및 이를 포함하는 액정 표시 장치를 설명한다. 도 7은 본 발명의 다른 실시예에 따른 게이트 구동부의 배선의 배치도를 나타낸 것이며, 도 8은 도 7의 II - II' 선을 따라 절단한 단면도이다. 설명의 편의상, 도 1 내지 도 6에서 설명한 실시예에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 그 설명은 생략한다. 본 실시예에 따른 게이트 구동부 및 액정 표시 장치는 게이트 구동부(400)에서 배선부(LS)와 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와의 연결을 제외하고 기본적으로 동일한 구조를 갖는 바 이를 중심으로 설명한다.
- [0076] 게이트 구동부(400)는 다수의 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)를 포함하는 회로부(CS)와 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)에 제공되는 각종 신호(Vss, STVP, INT, CKV, CKVB)를 전달하는 배선부(LS)를 포함한다.
- [0077] 배선부(LS)는 주로 세로 방향으로 서로 평행하게 뻗어 있는 제1 내지 제n 신호선(여기서, n은 자연수)을 포함한다. 상기 제1 내지 제n 신호선은 시프트 레지스터에서 먼 곳에서부터 순서대로 배치된다.
- [0078] 제1 신호선(21)은 제6 연결선(91)에 의해 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>)와 연결된다. 이 때, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)은 제1 신호선(21) 까지 연장되어 제6 연결선(91)과 연결된다.
- [0079] 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)은 단부가 확장된 확장부(61a)를 포함한다. 제6 연결선(91)은 확장부(61a) 및 제1 신호선(21)과 중첩되어 있으며, 확장부(61a) 및 제1 신호선(21)과 중첩되는 영역 각각에는 콘택홀(71, 72)이 형성되어 있다. 콘택홀(71, 72)에 의해 제1 신호선(21)과 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 연결된다.
- [0080] 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 제1 신호선(21)까지 연장되는 바, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)은 제2 내지 제n 신호선의 소정 영역과 중첩되면서 제2 내지 제n 신호선 상에 형성되게 되게 된다. 이 때, 제1 신

호선(21)까지 연장된 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)과 중첩되는 영역에서 제2 내지 제n 신호선 중 적어도 하나 이상의 신호선은 연장된 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 중심으로 양쪽으로 이격되어 분리될 수 있다. 또한, 이격되어 분리된 신호선은 연결선에 의해 전기적으로 연결시킬 수 있다.

[0081] 도 7 및 도 8은 제2 신호선(22) 및 제3 신호선(23)이 연장된 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 중심으로 양쪽으로 이격되어 분리된 경우를 예시한다. 이 때, 제2 신호선(22)은 스캔 개시 신호선일 수 있으며, 제3 신호선(23)은 초기화 신호선일 수 있다.

[0082] 분리된 제2 및 제3 신호선(22a, 22b, 23a, 23b)은 제7-1 연결선(96) 및 제8-1 연결선(97)을 통하여 상호 연결될 수 있다. 제7-1 연결선(96) 및 제8-1 연결선(97)은 제2 신호선(22a, 22b) 및 제3 신호선(23a, 23b)의 분리된 각 단부에 형성된 컨택홀(77, 78, 79, 80)을 포함하고 있으며, 컨택홀(77, 78, 79, 80)을 통해 분리된 제2 신호선(22a, 22b) 및 제3 신호선(23a, 23b) 각각은 전기적으로 연결된다.

[0083] 도 8을 참조하면, 제1 내지 제5 신호선(21, 22, 23, 24, 25) 상에는 제1 절연막(30)이 형성되어 있고, 제1 절연막(30) 상에는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 연장되어 형성되어 있다. 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 연장되어 형성되어 있는 곳의 하부에는 제2 신호선(22) 및 제3 신호선(23)이 형성되어 있지 않다.

[0084] 제1 절연막(30) 및 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61) 상에는 제2 절연막(70)이 형성되어 있으며, 제2 절연막(70)상에 제6 연결선, 제7-1 연결선 및 제8-1 연결선(91, 96, 97)이 형성되어 있다. 이 때, 제1 절연막(30) 및 제2 절연막(70)은 신호선(21, 22a, 22b, 23a, 23b) 및 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 노출시키는 컨택홀(71, 72, 77, 78, 79, 80)을 포함하고 있으며, 분리된 제2 신호선(22a, 22b)과 제3 신호선(23a, 23b)는 각각 제7-1 연결선(96) 및 제8-1 연결선(97)에 의해 연결되어 있다. 상기 제7-1 연결선(96) 및 제8-1 연결선(97)은 ITO 또는 IZO로 형성될 수 있다.

[0085] 상술한 바와 같이, 본 실시예에서는 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 제1 신호선(21)까지 연장시키는 한편, 연장된 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)의 하부에 위치하는 신호선을 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)을 중심으로 이격시켜 분리하고 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)의 상부에 형성된 연결선을 통하여 연결시키고 있다.

[0086] 이 때, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)의 하부에는 신호선이 형성되어 있지 않는 바, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61)이 형성되는 과정에서는 정전기 유입되더라도 이로 인한 번트가 발생하지 않는다.

[0087] 또한, 시프트 레지스터(SR<sub>1</sub>~SR<sub>n+1</sub>) 배선(61) 상에 제2 절연막을 형성하므로 제2 절연막을 형성하는 과정에서 유입된 정전기가 분산되어 제2 절연막 상에 연결선을 형성하는 과정에서도 정전기로 인한 번트가 발생하지 않는다.

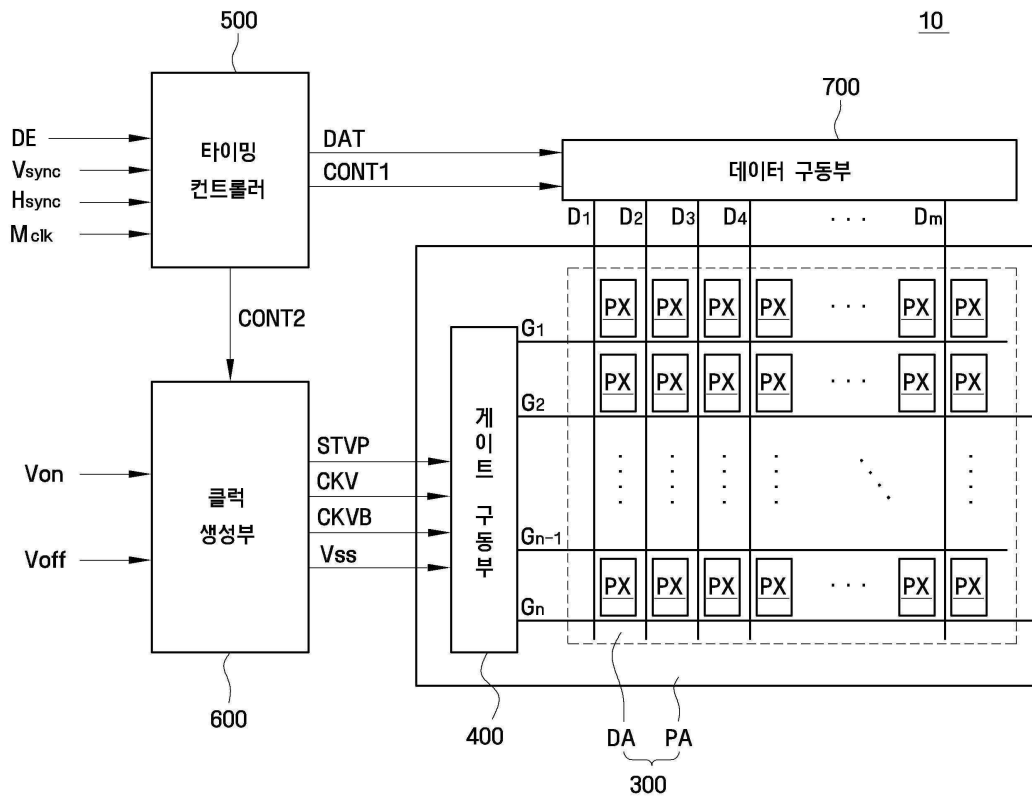
[0088] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

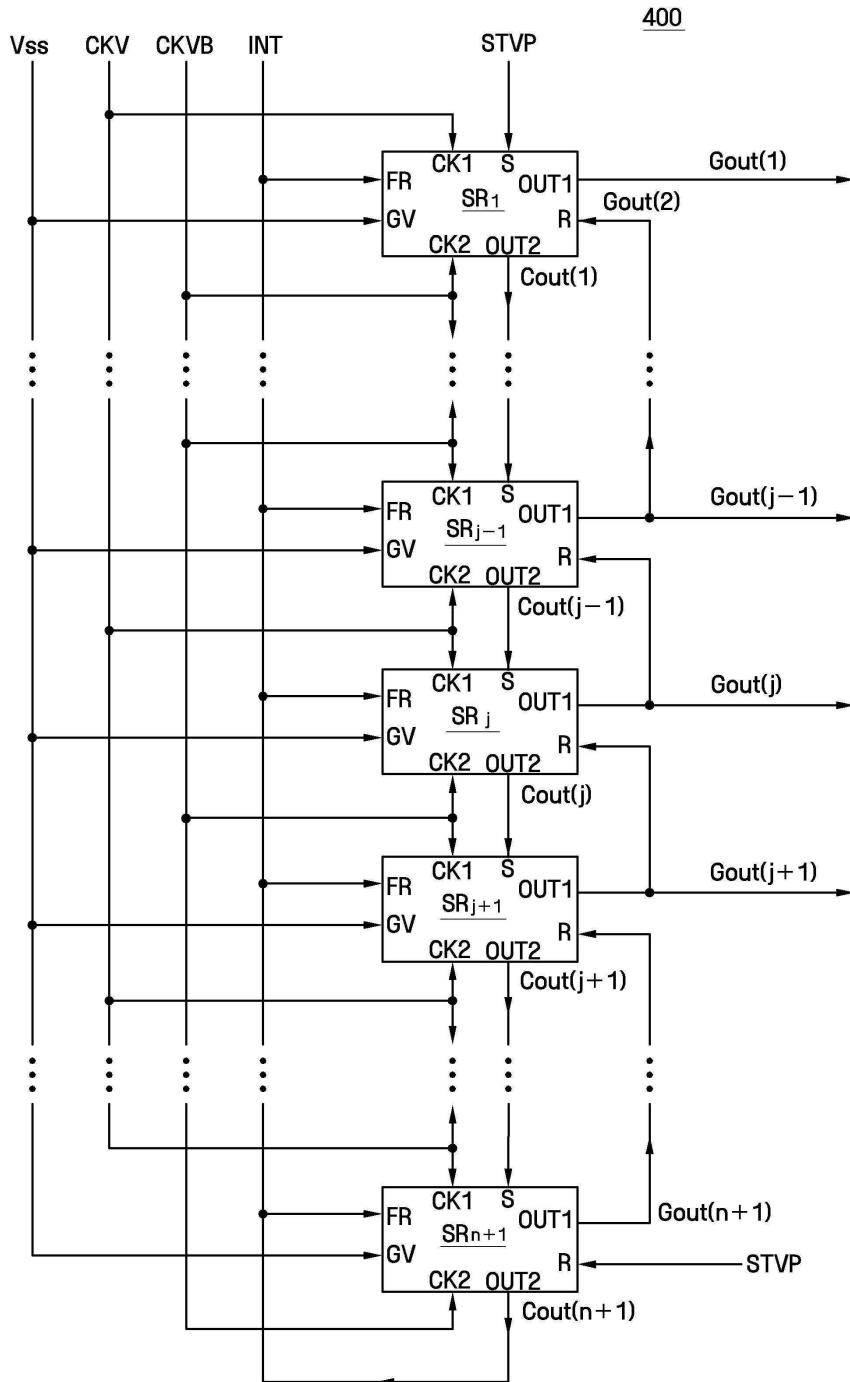
- [0089] 10: 기판
- 21, 22, 23, 24, 25: 제1 내지 제5 신호선
- 30: 절연막
- 61, 62, 63: 시프트 레지스터 배선
- 70: 보호막
- 81, 83: 제1 및 제3 연결선

도면

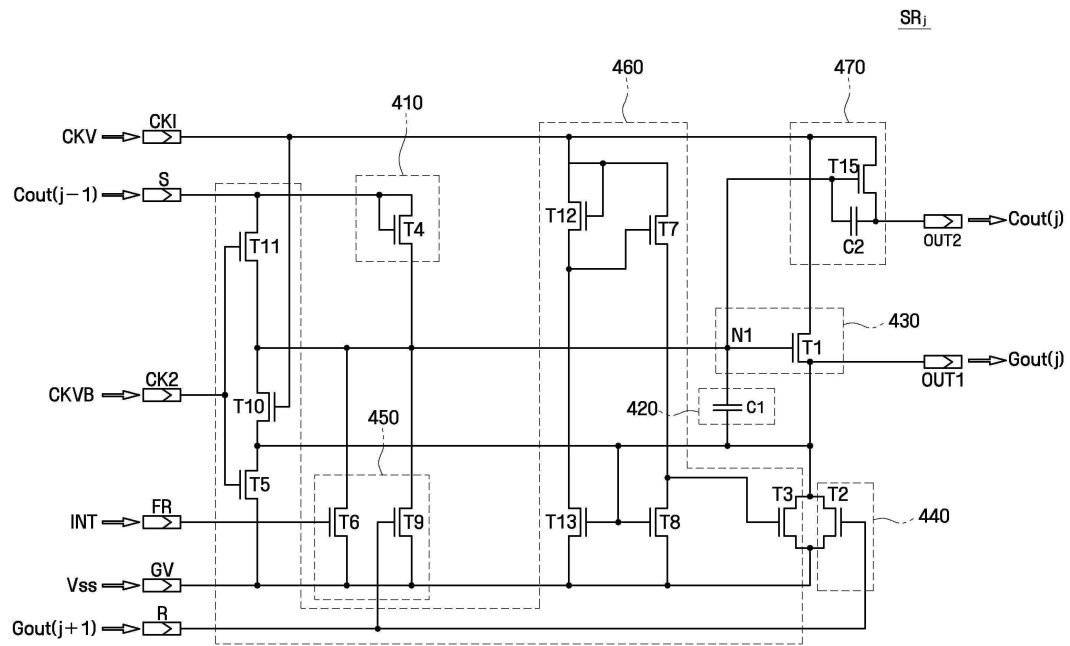
도면1



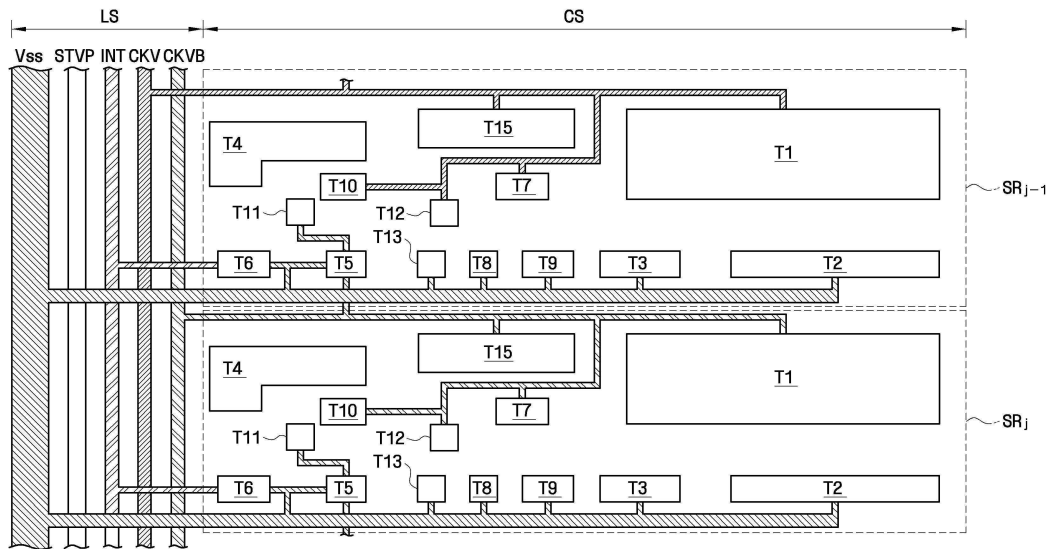
도면2



도면3



도면4







专利名称(译)	标题：栅极驱动装置和包括其的液晶显示装置		
公开(公告)号	<a href="#">KR101759985B1</a>	公开(公告)日	2017-07-21
申请号	KR1020100102434	申请日	2010-10-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM KWI HYUN 김귀현 KIM JANG SOO 김장수 JIN HYEONG JUN 진형준 KIM SOO CHUL 김수철 MIN KYOUNG HAE 민경해		
发明人	김귀현 김장수 진형준 김수철 민경해		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2300/0417 G09G2300/0426 G09G2310/0286 G09G2330/04 G11C19/28		
其他公开文献	KR1020120040918A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供一种栅极驱动装置和包括该栅极驱动装置的液晶显示装置，以通过防止静电引起的烧伤来提高生产率。组成：电路部分（CS）包括多个移位寄存器。电路部分输出驱动信号。栅极驱动部分包括电路部分和线路部分（LS）。线段包括第一至第n信号线。第一信号线通过第一连接线连接到移位寄存器。第一连接线包括第一接触部分和第二接触部分。  
COPYRIGHT KIPO 2012

