



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년04월10일

(11) 등록번호 10-1510905

(24) 등록일자 2015년04월03일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2008-0134701

(22) 출원일자 2008년12월26일

심사청구일자 2013년12월20일

(65) 공개번호 10-2010-0076595

(43) 공개일자 2010년07월06일

(56) 선행기술조사문헌

KR1020060060072 A

KR1020080093758 A

KR1020070005279 A

KR1020080101252 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이정근

대구광역시 수성구 청솔로 132, 공작맨션 613호
(범어동)

이현구

서울특별시 강서구 강서로5나길 50, 509호 (화곡동, 일성스카이빌)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 6 항

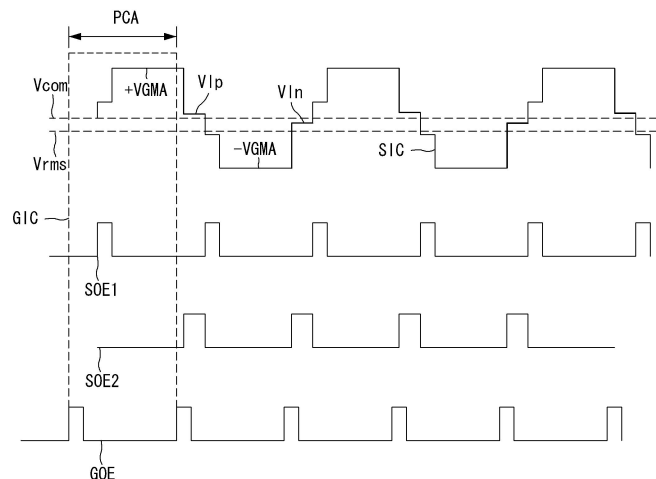
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 실시예는, 매트릭스 형태로 배치된 서브 픽셀들을 포함하는 액정패널; 액정패널에 게이트신호를 공급하는 게이트 구동부; 액정패널에 데이터신호를 공급하는 데이터 구동부; 게이트 구동부와 데이터 구동부에 구동신호를 공급하는 타이밍 제어부; 및 데이터 구동부에 정극성 감마 기준전압과 부극성 감마 기준전압을 공급하는 직류-직류 변환부를 포함하며, 데이터 구동부는, 타이밍 제어부로부터 공급된 제1 또는 제2소스 출력 인에이블신호를 이용하여 정극성 감마 기준전압의 폴링 엣지 구간과 부극성 감마 기준전압의 폴링 엣지 구간에 정극성 감마 저전압과 부극성 감마 저전압을 기입하는 것을 특징으로 하는 액정표시장치를 제공한다.

대표도 - 도4



명세서

청구범위

청구항 1

매트릭스 형태로 배치된 서브 픽셀들을 포함하는 액정패널;

상기 액정패널에 게이트신호를 공급하는 게이트 구동부;

상기 액정패널에 데이터신호를 공급하는 데이터 구동부;

상기 게이트 구동부와 상기 데이터 구동부에 구동신호를 공급하는 타이밍 제어부; 및

상기 데이터 구동부에 정극성 감마 기준전압과 부극성 감마 기준전압을 공급하는 직류-직류 변환부를 포함하며,

상기 데이터 구동부는,

상기 타이밍 제어부로부터 공급된 제1 또는 제2소스 출력 인에이블신호를 이용하여 상기 정극성 감마 기준전압의 풀링 오프 구간과 상기 부극성 감마 기준전압의 풀링 오프 구간에 정극성 감마 저전압과 부극성 감마 저전압을 기입하되,

상기 정극성 감마 저전압은,

상기 타이밍 제어부로부터 게이트 출력 인에이블신호가 출력되는 구간과 상기 제1소스 출력 인에이블신호가 출력되는 구간 사이에 위치하는 상기 정극성 감마 기준전압의 풀링 오프 구간에 기입되고,

상기 부극성 감마 저전압은,

상기 타이밍 제어부로부터 게이트 출력 인에이블신호가 출력되는 구간과 상기 제1소스 출력 인에이블신호가 출력되는 구간 사이에 위치하는 상기 부극성 감마 기준전압의 풀링 오프 구간에 기입되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 정극성 감마 기준전압과 부극성 감마 기준전압은,

공통전압보다 높고 상기 정극성 감마 기준전압보다 낮은 상기 정극성 감마 저전압과 상기 공통전압보다 낮고 상기 부극성 감마 기준전압보다 높은 부극성 감마 저전압을 포함하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 정극성 감마 저전압과 상기 부극성 감마 저전압은,

상기 서브 픽셀들에 전압이 차징되지 않는 비 차징 구간에 기입되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 데이터 구동부는,

상기 타이밍 제어부로부터 상기 제2소스 출력 인에이블신호가 공급될 때마다 상기 정극성 감마 저전압과 상기 부극성 감마 저전압을 기입하는 것을 특징으로 하는 액정표시장치.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 제2소스 출력 인에이블신호는,

상기 타이밍 제어부로부터 출력된 게이트 출력 인에이블신호의 중후반 구간과 일부 중첩되고 상기 제1소스 출력 인에이블신호보다 앞서는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 제2소스 출력 인에이블신호의 펄스 폭은,

상기 제1소스 출력 인에이블신호 펄스 폭보다 넓은 것을 특징으로 하는 액정표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명의 실시예는 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 여기서, 액정표시장치는 수광형 표시장치로 분류된다. 이러한 액정표시장치는 액정패널의 하부에 위치하는 백라이트 유닛으로부터 광원을 제공받아 영상을 표현할 수 있다. 이러한 액정표시장치는 크게 트랜지스터 어레이 기판과 컬러필터 기판으로 구성된다. 트랜지스터 어레이 기판에는 게이트, 반도체층, 소오스 및 드레인을 포함하는 트랜지스터와 트랜지스터의 소오스 또는 드레인에 연결된 화소 전극 등을 포함하는 서브 픽셀이 형성된다. 그리고 컬러필터 기판에는 컬러필터와 블랙매트릭스 등이 형성된다.

[0004] 종래 액정표시장치는 구동방식에 따라 화이트 계열의 색상(IPS 방식) 또는 블랙 계열의 색상(TN 방식)을 구현할 때 가장 큰 전력을 소모하는 문제가 있다. 이는 데이터 구동부가 최대 전압을 스윙(swing)하기 때문이다. 그리고 상대적으로 전력 소모가 작은 블랙 계열의 패턴(IPS 방식) 또는 화이트 계열의 패턴(TN 방식)으로 패턴이 반복 동작시 구동 회로들의 소음도 커지는 문제가 있다. 따라서, 종래 액정표시장치는 소비전력을 절감하고 소음 발생을 낮출 수 있는 방안이 마련되어야 할 것이다.

발명의 내용

해결하고자하는 과제

[0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 소비전력을 절감하고 구동 회로들의 소음을 낮춤과 동시에 데이터 구동부의 발열을 감소시킬 수 있는 액정표시장치를 제공하는 것이다.

과제 해결수단

[0006] 상술한 과제 해결 수단으로 본 발명의 실시예는, 매트릭스 형태로 배치된 서브 픽셀들을 포함하는 액정패널; 액정패널에 게이트신호를 공급하는 게이트 구동부; 액정패널에 데이터신호를 공급하는 데이터 구동부; 게이트 구동부와 데이터 구동부에 구동신호를 공급하는 타이밍 제어부; 및 데이터 구동부에 정극성 감마 기준전압과 부극성 감마 기준전압을 공급하는 직류-직류 변환부를 포함하며, 데이터 구동부는, 타이밍 제어부로부터 공급된 제1 또는 제2소스 출력 인에이블신호를 이용하여 정극성 감마 기준전압의 폴링 엡지 구간과 부극성 감마 기준전압의

폴링 엡지 구간에 정극성 감마 저전압과 부극성 감마 저전압을 기입하는 것을 특징으로 하는 액정표시장치를 제공한다.

- [0007] 정극성 감마 기준전압과 부극성 감마 기준전압은, 공통전압보다 높고 정극성 감마 기준전압보다 낮은 정극성 감마 저전압과 공통전압보다 낮고 부극성 감마 기준전압보다 높은 부극성 감마 저전압을 데이터 구동부에 공급할 수 있다.
- [0008] 정극성 감마 저전압과 부극성 감마 저전압은, 서브 픽셀들에 전압이 차징되지 않는 비 차징 구간에 기입될 수 있다.
- [0009] 데이터 구동부는, 타이밍 제어부로부터 제2소스 출력 인에이블신호가 공급될 때마다 정극성 감마 저전압과 부극성 감마 저전압을 기입할 수 있다.
- [0010] 정극성 감마 저전압은, 타이밍 제어부로부터 게이트 출력 인에이블신호가 출력되는 구간과 제1소스 출력 인에이블신호가 출력되는 구간 사이에 위치하는 정극성 감마 기준전압의 폴링 엡지 구간에 기입되고, 부극성 감마 저전압은, 타이밍 제어부로부터 게이트 출력 인에이블신호가 출력되는 구간과 제1소스 출력 인에이블신호가 출력되는 구간 사이에 위치하는 부극성 감마 기준전압의 폴링 엡지 구간에 기입될 수 있다.
- [0011] 제2소스 출력 인에이블신호는, 타이밍 제어부로부터 출력된 게이트 출력 인에이블신호의 중후반 구간과 일부 중첩되고 제1소스 출력 인에이블신호보다 앞설 수 있다.
- [0012] 제2소스 출력 인에이블신호의 펄스 폭은, 제1소스 출력 인에이블신호 펄스 폭보다 넓을 수 있다.

효 과

- [0013] 본 발명의 실시예는, 소비전력을 절감하고 구동 회로들의 소음을 낮춤과 동시에 데이터 구동부의 발열을 감소시킬 수 있는 액정표시장치를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0014] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0015] 도 1은 본 발명의 실시예에 따른 액정표시장치의 구성도이다.
- [0016] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 액정패널(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140) 및 직류-직류 변환부(이하, "DC-DC 변환부"라 함)(150)를 포함할 수 있다.
- [0017] 액정패널(110)은 두 장의 기관 사이에 액정층(C1c)이 형성된다. 액정패널(110)은 게이트라인들(G1~Gn)과 데이터라인들(D1~Dm)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(C1c)을 포함한다.
- [0018] 액정패널(110)의 제1기관에는 데이터라인들(D1~Dm), 게이트라인들(G1~Gn), TFT들, 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이가 형성된다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정패널(110)의 제2기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다.
- [0019] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우 제2기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우 화소 전극(1)과 함께 제1기관 상에 형성된다.
- [0020] 액정패널(110)의 제1기관과 제2기관의 외부에는 각각 편광판이 부착되고, 액정패널(110)의 제1기관과 제2기관의 내부에는 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0021] 타이밍 제어부(120)는 데이터 구동부(140)에 디지털 비디오 데이터(RGB)를 공급한다. 타이밍 제어부(120)는 데이터 구동부(140)에 mini LVDS(low-voltage differential signaling) 방식으로 디지털 비디오 데이터와 mini LVDS 클럭을 전송할 수 있다.
- [0022] 타이밍 제어부(120)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 n 배 체배하여 60Hz의 입력 프레임 주파수 대비 n(n은 2 이상의 양의 정수)

배로 체배된 프레임 주파수로 데이터 구동부(140)와 게이트 구동부(130)의 동작 타이밍을 제어할 수 있다. 이러한 타이밍 제어부(120)는 1 수평기간의 데이터 인에이블신호를 카운트하여 프레임기간을 판단할 수 있으므로 타이밍 제어부(120)에 입력되는 타이밍 신호들 중에서 수직 동기신호(Vsync)와 수평 동기신호(Hsync)가 생략될 수 있다.

[0023] 액정패널(110)은 타이밍 제어부(120)의 프레임 주파수 체배에 의해 120Hz의 프레임 주파수, 180Hz의 프레임 주파수, 240Hz의 프레임 주파수 등의 $60 \times n$ Hz의 프레임 주파수로 비디오 데이터를 표시하여 동영상 응답속도를 빠르게 할 수 있다. 타이밍 제어부(120)의 프레임 배속 구동 기술은 본원 출원인에 의해 기 제안된 대한민국 공개특허공보 10-2008-0002304, 대한민국 공개특허공보 10-2008-0063435, 대한민국 특허출원 10-2008-0112933 등에서 제안된 프레임 배속 구동 기술로 적용될 수 있다.

[0024] 타이밍 제어부(120)에서 생성되는 제어신호들은 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와 데이터 구동부(140)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함할 수 있다.

[0025] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스(또는 스캔펄스)를 발생하는 게이트 드라이브 IC에 인가된다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다. 이러한 게이트 타이밍 제어신호는 타이밍 제어부(120)에 의해 프레임 주파수에 따라 n 배 체배된다.

[0026] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 제1소스 출력 인에이블신호(Source Output Enable, SOE1) 및 제2소스 출력 인에이블신호(SOE2) 등을 포함한다. 소스 샘플링 클럭(SSC)과 제1 및 제2소스 출력 인에이블신호(SOE1, SOE2)는 타이밍 제어부(120)에 의해 프레임 주파수에 따라 체배될 수 있지만 극성제어신호(POL)는 n 으로 분주되어 그 주파수가 프레임 주파수보다 늦게 된다.

[0027] 소스 스타트 펄스(SSP)는 데이터 구동부(140)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동부(140) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 극성제어신호(POL)는 데이터 구동부(140)로부터 출력되는 데이터전압의 수직 극성을 제어한다. 제1 및 제2소스 출력 인에이블신호(SOE1, SOE2)는 데이터 구동부(140)의 출력을 제어한다.

[0028] 한편, 타이밍 제어부(120)와 데이터 구동부(140) 사이에서 mini LVDS 방식으로 디지털 비디오 데이터와 mini LVDS 클럭이 전송된다면 mini LVDS 클럭의 리셋신호 이후에 발생하는 첫 번째 클럭이 스타트 펄스 역할을 하므로 소스 스타트 펄스(SSP)는 생략될 수 있다.

[0029] DC-DC 변환부(150)는 전원전압(Vcc)을 승압 또는 감압하여 액정패널(110)에 공급되는 패널 구동전압들을 발생한다. DC-DC 변환부(150)로부터 출력되는 패널 구동전압들은 고전위 전원전압(Vdd), 정극성/부극성 감마기준전압(+VGMA, -VGMA), 공통전압(Vcom), 게이트 하이전압(Vgh), 게이트 로우전압(Vgl) 등을 포함한다. 정극성/부극성 감마기준전압(+VGMA, -VGMA)은 고전위 전원전압(Vdd)의 분압으로 발생하는 전압들로써 데이터 구동부(140)의 디지털-아날로그 변환기에 공급된다.

[0030] 정극성/부극성 감마기준전압(+VGMA, -VGMA)에는 공통전압(Vcom)보다 높고 정극성 감마 기준전압(+VGMA)보다 낮은 정극성 감마 저전압(Vlp)과 공통전압(Vcom)보다 낮고 부극성 감마 기준전압(-VGMA)보다 높은 부극성 감마 저전압(Vln)이 포함된다. 한편, 게이트 하이전압(Vgh)은 화소 어레이에 형성된 TFT의 문턱전압 이상으로 설정된 게이트펄스의 하이논리전압으로써 게이트 구동부(130)의 레벨 쉬프터에 공급되고, 게이트 로우전압(Vgl)은 화소 어레이에 형성된 TFT의 오프전압으로 설정된 게이트펄스의 로우논리전압으로써 게이트 구동부(130)의 레벨 쉬프터에 공급된다.

[0031] 이하, 도 2를 참조하여 게이트 구동부에 대해 설명한다.

[0032] 도 2는 게이트 구동부의 구성도이다.

[0033] 도 2를 참조하면, 게이트 구동부(130)는 데이터라인들(D1~Dm)에 공급되는 데이터전압에 동기되는 게이트펄스를

게이트라인들(G1~Gn)에 순차적으로 공급하기 위한 다수의 게이트 드라이브 IC들을 포함한다.

- [0034] 게이트 드라이브 IC들 각각은 쉬프트 레지스터(135), 레벨 쉬프터(132), 쉬프트 레지스터(135)와 레벨 쉬프터(132) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(131) 및 게이트 출력 인에이블신호(GOE)를 반전시키기 위한 인버터(133)를 구비한다.
- [0035] 쉬프트 레지스터(135)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(131) 각각은 쉬프트 레지스터(135)의 출력신호와 게이트 출력 인에이블신호(GOE)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(133)는 게이트 출력 인에이블신호(GOE)를 반전시켜 AND 게이트들(131)에 공급한다.
- [0036] 레벨 쉬프터(132)는 AND 게이트(131)의 출력전압 스윙폭을 액정패널(110)의 화소 어레이에 형성된 TFT들의 동작이 가능한 게이트 하이전압(Vgh)과 게이트 로우전압(Vgl) 사이의 스윙폭으로 쉬프트시킨다. 레벨 쉬프터(132)의 출력신호 즉, 게이트펄스는 게이트라인들(G1~Gm)에 순차적으로 공급된다.
- [0037] 쉬프트 레지스터(135)는 액정패널(110)의 화소 어레이 제조공정에서 그 화소 어레이와 함께 유리기판에 동시에 형성될 수 있다. 이 경우, 레벨 쉬프터(132)는 제1기판에 형성되지 않고 타이밍 제어부(120)와 함께 콘트롤 보드에 실장되거나, 소스 드라이브 IC들과 함께 소스 인쇄회로기판(Source Printed Circuit Board, S-PCB)에 실장될 수 있다.
- [0038] 이하, 도 3을 참조하여 데이터 구동부에 대해 설명한다.
- [0039] 도 3은 데이터 구동부의 구성도이다.
- [0040] 도 3에 도시된 바와 같이, 데이터 구동부는 쉬프트 레지스터(141), 데이터 레지스터(142), 제1 래치(143), 제2 래치(144), 디지털/아날로그 변환기(이하, "DAC"라 함)(145) 및 출력부(146) 등을 포함한다. 데이터 구동부(140)는 데이터라인들(D1 내지 Dm)을 구동하는 다수의 소스 드라이브 IC들을 포함한다.
- [0041] 쉬프트 레지스터(141)는 타이밍 제어부(120)로부터 공급된 소스 샘플링 클럭(SSC)에 따라 데이터 샘플링 클럭을 쉬프트시킨다. 또한, 쉬프트 레지스터(141)는 이웃하는 다음 단의 소스 드라이브 IC의 쉬프트 레지스터(141)에 캐리신호(CAR)를 전달한다.
- [0042] 데이터 레지스터(142)는 타이밍 제어부(120)로부터 공급된 디지털 비디오 데이터(RGB)를 일시 저장하고 그 데이터(RGB)를 제1 래치(143)에 공급한다. 제1 래치(143)는 쉬프트 레지스터(141)로부터 순차적으로 공급되는 데이터 샘플링 클럭에 따라 디지털 비디오 데이터들(RGB)을 샘플링하여 래치한 다음, 래치한 데이터들(RGB)을 동시에 출력한다. 제2 래치(144)는 제1 래치(143)로부터 공급되는 데이터들(RGB)을 래치한 다음, 제1소스 출력 인에이블신호(SOE1) 또는 제2소스 출력 인에이블신호(SOE2) 중 하나 이상에 응답하여 다른 소스 드라이브 IC들의 제2 래치(144)와 동기하여 래치한 데이터들(RGB)을 동시에 출력한다.
- [0043] DAC(145)는 제2 래치(24)로부터 입력되는 디지털 비디오 데이터들을 정극성/부극성 감마 기준전압(+VGMA, -VGMA)으로 변환하여 정극성/부극성 데이터전압을 발생한다.
- [0044] 출력부(146)는 제1소스 출력 인에이블신호(SOE1)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균전압 값을 출력하여 출력버퍼를 통해 차지쉐어전압(Charge share voltage)을 데이터배선들(D1~Dm)에 공급한 후에 정극성/부극성 아날로그 비디오 데이터전압을 데이터배선들(D1~Dm)에 공급한다. 또한, 출력부(146)는 제2소스 출력 인에이블신호(SOE2)의 하이논리기간 동안 정극성 감마 기준전압(+VGMA)의 폴링 엣지 구간과 부극성 감마 기준전압(-VGMA)의 폴링 엣지 구간에 정극성 감마 저전압(Vlp)과 부극성 감마 저전압(Vln)을 기입한다.
- [0045] 이하, 도 4를 참조하여 실시예에 따른 데이터 구동부의 출력 파형에 대해 설명한다.
- [0046] 도 4는 데이터 구동부의 출력 파형을 설명하기 위한 파형도 이다.
- [0047] 도 4에 도시된 바와 같이, 데이터 구동부(140)로부터 출력되는 데이터출력전압(SIC)은 제2소스 출력 인에이블신호(SOE2)에 의해 정극성 감마 기준전압(+VGMA)의 폴링 엣지 구간과 부극성 감마 기준전압(-VGMA)의 폴링 엣지 구간에 정극성 감마 저전압(Vlp)과 부극성 감마 저전압(Vln)이 각각 기입된다. 이와 같이, 정극성 감마 저전압

[0048]

[0049]

[0050]

[0051]

[0052]

[0053]

[0054]

[0055]

[0056]

[0057]

[0058]

[0059]

[0060]

[0061]

[0062]

[0063]

[0064]

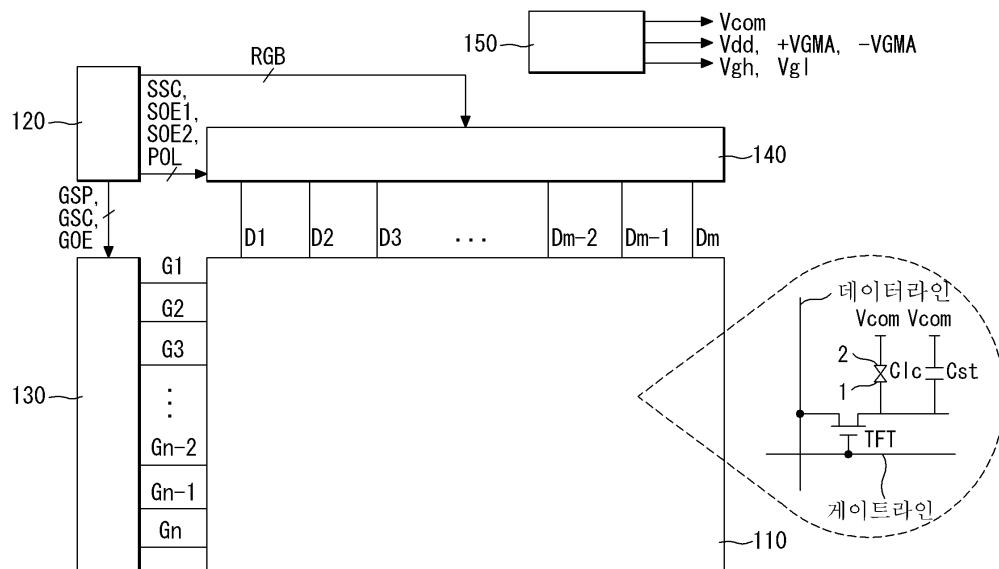
[0065] 150: DC-DC 변환부 +VGMA: 정극성 감마 기준전압

[0066] -VGMA: 부극성 감마 기준잔업 Vlp: 정극성 감마 저전압

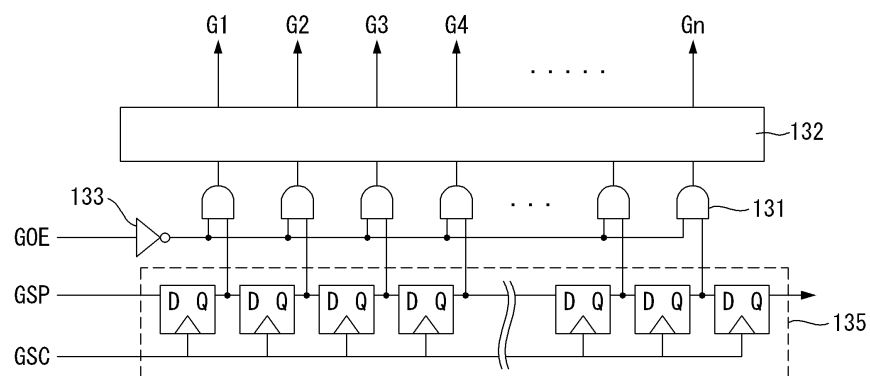
[0067] Vln: 부극성 감마 저전압

도면

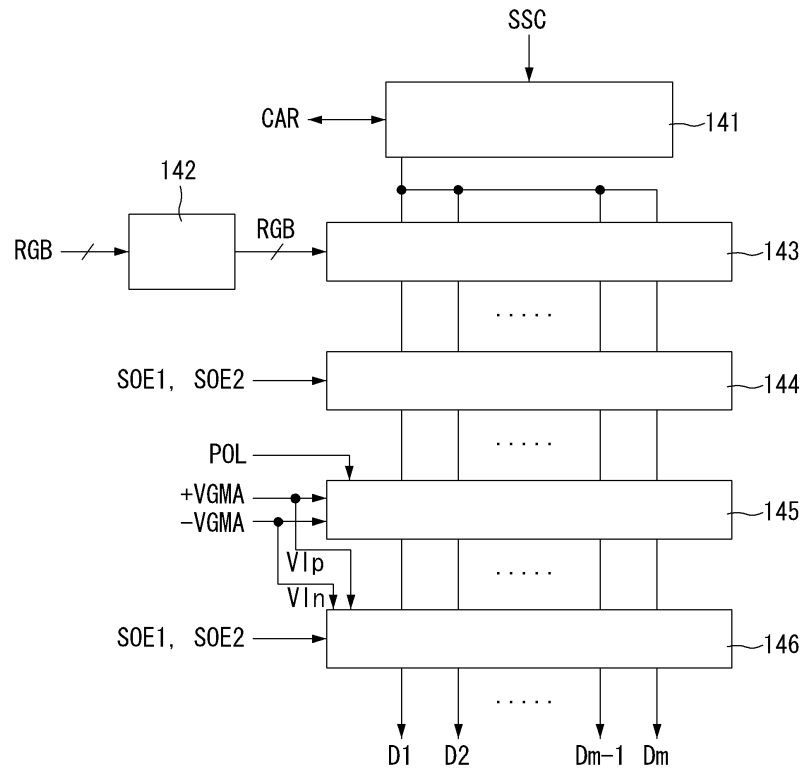
도면1



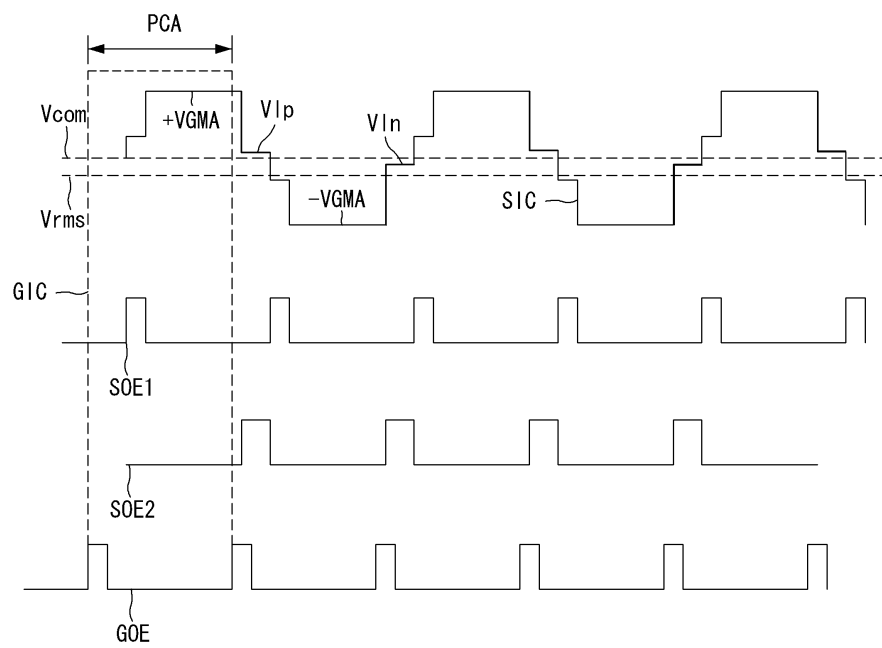
도면2



도면3



도면4



专利名称(译)	液晶显示器		
公开(公告)号	KR101510905B1	公开(公告)日	2015-04-10
申请号	KR1020080134701	申请日	2008-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JEONG GEUN 이정근 LEE HYUN KOO 이현구		
发明人	이정근 이현구		
IPC分类号	G02F1/133 G09G3/36		
其他公开文献	KR1020100076595A		
外部链接	Espacenet		

摘要(译)

本发明的一个实施方案是一种液晶显示装置，包括：液晶面板，包括以矩阵形式排列的子像素；栅极驱动器，用于向液晶面板提供栅极信号；一种数据驱动器，用于向液晶面板提供数据信号；一种定时控制器，用于向栅极驱动器和数据驱动器提供驱动信号；以及DC-DC转换器，用于向数据驱动器提供正伽马参考电压和负伽马参考电压，其中数据驱动器包括从时序控制器提供的第一和第二源输出使能信号，并且在伽马参考电压的轮询边缘周期和负伽马参考电压的下降沿周期中写入极性伽马欠电压和负伽玛欠电压。

