



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월26일
(11) 등록번호 10-1332479
(24) 등록일자 2013년11월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2009-0075385
(22) 출원일자 2009년08월14일
심사청구일자 2011년11월03일
(65) 공개번호 10-2011-0017754
(43) 공개일자 2011년02월22일
(56) 선행기술조사문헌
KR1020050097032 A*
KR1020030078786 A*
US20090002302 A1*
KR1020080062908 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김중우
경상북도 구미시 칠성로2길 16,
주공아파트110-106 (원평동)
남현택
대구광역시 동구 아양로7길 12, 프란체 106동
1003호 (신암동)
문명국
대구광역시 달서구 장기로 145, 성당 래미안e-편
한세상 204동 504호 (본리동)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 4 항

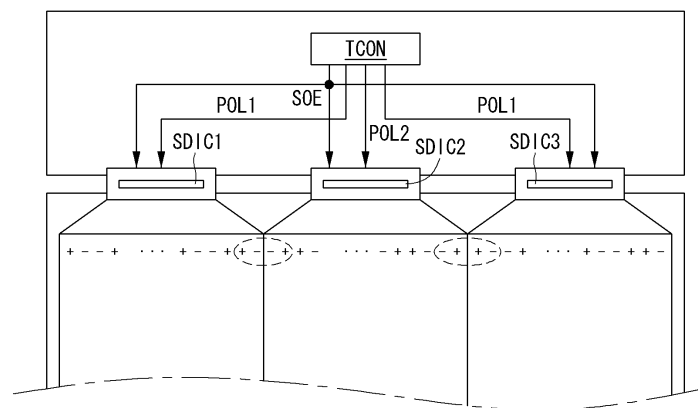
심사관 : 금복희

(54) 발명의 명칭 액정표시장치와 그 도트 인버전 제어방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 이 액정표시장치의 타이밍 컨트롤러는 입력 영상을 분석하여 상기 입력 영상에서 미리 설정된 취약 패턴 데이터를 검출하고 상기 취약 패턴 유무에 따라 논리값이 달라지는 제어신호를 발생하는 영상 분석부; 및 수평 1 도트 인버전과 상기 수평 2 도트 인버전 중 어느 하나를 선택하기 위한 수평 극성제어신호를 발생하고, 상기 제어신호에 응답하여 상기 수평 극성제어신호의 논리값을 변경하고, 상기 제어신호에 응답하여 상기 제1 및 제2 극성제어신호들을 발생하는 극성제어신호 변환 로직부를 포함한다. 상기 제1 및 제2 소스 드라이브 IC들 각각은 상기 수평 극성제어신호가 입력되는 옵션단자를 포함한다. 상기 수평 극성제어신호의 제1 논리값에 따라 상기 수평 1 도트 인버전으로 극성이 반전되는 상기 데이터전압을 출력하고, 상기 수평 극성제어신호의 제2 논리값에 따라 상기 수평 2 도트 인버전으로 극성이 반전되는 상기 데이터전압을 출력한다.

대표도 - 도10



특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

출력 채널들을 통해 데이터전압을 상기 데이터라인들로 출력하고 제1 극성제어신호에 응답하여 상기 데이터전압의 극성을 반전시키는 제1 소스 드라이브 IC;

출력 채널들을 통해 상기 데이터전압을 상기 데이터라인들로 출력하고 제2 극성제어신호에 응답하여 상기 데이터전압의 극성을 반전시키는 제2 소스 드라이브 IC; 및

상기 소스 드라이브 IC들이 수평 1 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 동위상으로 발생하고, 상기 소스 드라이브 IC들이 수평 2 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 서로 역위상으로 발생하는 타이밍 컨트롤러를 구비하고,

상기 타이밍 컨트롤러는,

입력 영상을 분석하여 상기 입력 영상에서 미리 설정된 취약 패턴 데이터를 검출하고 상기 취약 패턴 유무에 따라 논리값이 달라지는 제어신호를 발생하는 영상 분석부; 및

수평 1 도트 인버전과 상기 수평 2 도트 인버전 중 어느 하나를 선택하기 위한 수평 극성제어신호를 발생하고, 상기 제어신호에 응답하여 상기 수평 극성제어신호의 논리값을 변경하고, 상기 제어신호에 응답하여 상기 제1 및 제2 극성제어신호들을 발생하는 극성제어신호 변환 로직부를 포함하고,

상기 제1 및 제2 소스 드라이브 IC들 각각은,

상기 수평 극성제어신호가 입력되는 옵션단자를 포함하며,

상기 수평 극성제어신호의 제1 논리값에 따라 상기 수평 1 도트 인버전으로 극성이 반전되는 상기 데이터전압을 출력하고, 상기 수평 극성제어신호의 제2 논리값에 따라 상기 수평 2 도트 인버전으로 극성이 반전되는 상기 데이터전압을 출력하고,

상기 제1 및 제2 소스 드라이브 IC들 각각은 4로 나누어 나머지가 0이 되지 않는 개수의 출력 채널들을 갖는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

입력 영상의 데이터에 FRC 보정값을 가산하여 상기 소스 드라이브 IC들에 공급하는 FRC 처리부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널, 각각 극성제어신호에 응답하여 상기 데이터라인들에 공급되는 데이터전압의 극성을 반전시키는 제1 및 제2 소스 드라이브 IC들을 구비하는 액정표시장치의 도트 인버전 제어방법에 있어서,

입력 영상을 분석하여 상기 입력 영상에서 미리 설정된 취약 패턴 데이터를 검출하는 단계;

상기 취약 패턴의 유무에 따라 논리값이 달라지는 제어신호를 발생하고, 상기 제어신호에 응답하여 수평 1 도트

인버전과 수평 2 도트 인버전 중 어느 하나를 선택하기 위한 수평 극성제어신호를 발생하여 상기 제1 및 제2 소스 드라이브 IC들의 옵션단자에 공통으로 입력하는 단계;

상기 제1 소스 드라이브 IC의 출력 채널들을 통해 출력되는 데이터전압의 극성을 반전시키기 위한 제1 극성제어신호와, 상기 제2 소스 드라이브 IC의 출력 채널들을 통해 출력되는 데이터전압의 극성을 반전시키기 위한 제2 극성제어신호의 위상을 제어하는 단계;

상기 제1 극성제어신호를 상기 제1 소스 드라이브 IC에 입력하고 상기 제2 극성제어신호를 상기 제2 소스 드라이브 IC에 입력하는 단계;

상기 제어신호에 응답하여 상기 제1 및 제2 소스 드라이브 IC들이 수평 1 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 동위상으로 제어하는 단계; 및

상기 제어신호에 응답하여 상기 제1 및 제2 소스 드라이브 IC들이 수평 2 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 서로 역위상으로 제어하는 단계를 포함하고,

상기 제1 및 제2 소스 드라이브 IC들 각각은 4로 나누어 나머지가 0이 되지 않는 개수의 출력 채널들을 갖는 것을 특징으로 하는 액정표시장치의 도트 인버전 제어방법.

청구항 6

제 5 항에 있어서,

입력 영상의 데이터에 FRC 보정값을 가산하여 상기 소스 드라이브 IC들에 공급하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 도트 인버전 제어방법.

청구항 7

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치과 그 도트 인버전 제어방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치의 액정셀들은 화소전극에 공급되는 데이터전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다. 액정표시장치는 일반적으로 액정의 열화를 방지하기 위하여 액정에 인가되는 데이터전압의 극성을 주기적으로 반전시키는 인버전 방식으로 구동되고 있다. 액정표시장치가 인버전 방식으로 구동되면 액정셀들에 충전되는 데이터전압의 극성과 그 데이터전압의 상관관계에 따라 액정표시장치의 화질이 떨어질 수 있다. 이는 액정셀에 충전되는 데이터전압에 따라 액정셀들에 충전되는 데이터전압들의 극성이 정극성과 부극성이 균형을 맞추지 않고 어느 한 극성이 우세 극성으로 되고, 그로 인하여 공통전극에 인가되는 공통전압이 쉬프트되기 때문이다. 공통전압이 쉬프트되면 액정셀들의 기준 전위가 흔들리기 때문에 관찰자는 액정표시장치에 표시된 화상에서 플리커(flicker)나 스메어(smear) 현상을 느낄 수 있다.

[0004] 데이터전압의 극성은 타이밍 컨트롤러에서 출력되는 극성제어신호(Polarity, POL)에 의해 결정된다. 소스 드라이브 IC(Integrated Circuit) 각각은 극성제어신호(POL)에 응답하여 정극성 데이터전압이나 부극성 데이터전압

을 출력한다. 소스 드라이브 IC에서 하나의 출력채널을 통해 연속으로 출력되는 데이터전압들의 수직 극성은 극성제어신호(POL)에 따라 결정된다. 소스 드라이브 IC의 출력채널들로부터 동시에 출력되는 데이터전압들의 수평 극성은 극성제어신호(POL)에 의해 결정되고, 데이터전압들의 수평 극성 반전주기는 소스 드라이브 IC들 각각의 옵션단자(H_2DOT)에 인가되는 전압의 논리값에 따라 결정된다.

[0005] 도 1은 수평 1 도트 인버전을 예시한 도면이다.

[0006] 도 1을 참조하면, 타이밍 컨트롤러(TCON)는 극성제어신호(POL)를 소스 드라이브 IC들에 공통으로 공급하며, 소스 드라이브 IC들(SDIC1~SDIC3) 각각은 그 극성제어신호(POL)에 응답하여 수평 1 도트 인버전으로 극성이 변환되는 데이터전압들을 액정표시패널의 데이터라인들에 공급한다. 수평 1 도트 인버전에서, 기수 데이터라인들에 공급되는 기수 데이터전압들의 극성과, 우수 데이터라인들에 공급되는 우수 데이터전압들의 극성은 상반된다. 따라서, 수평 1 도트 인버전에서 소스 드라이브 IC들(SDIC1~SDIC3)로부터 동시에 출력되는 데이터전압들의 극성은 1 도트(또는 1 액셀셀) 단위마다 반전된다. 극성제어신호(POL)의 처음 논리값이 하이논리이면, 소스 드라이브 IC들(SDIC1~SDIC3)은 도 1과 같이, 제1 라인(LINE#1)의 기수 데이터전압들을 정극성 데이터전압(+)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 부극성 데이터전압(-)으로 출력한다. 다음 프레임기간에서, 극성제어신호(POL)의 처음 논리값이 로우논리로 반전되면, 소스 드라이브 IC들(SDIC1~SDIC3)은 제1 라인(LINE#1)의 기수 데이터전압들을 부극성 데이터전압(-)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 정극성 데이터전압(+)으로 출력한다.

[0007] 도 2는 수평 2 도트 인버전을 예시한 도면이다.

[0008] 도 2를 참조하면, 타이밍 컨트롤러(TCON)는 극성제어신호(POL)를 소스 드라이브 IC들에 공통으로 공급하며, 소스 드라이브 IC들(SDIC1~SDIC3) 각각은 그 극성제어신호(POL)에 응답하여 수평 2 도트 인버전으로 극성이 변환되는 데이터전압들을 액정표시패널의 데이터라인들에 공급한다. 수평 2 도트 인버전에서, 제4i(i는 양의 정수)+1 및 제4i+4 데이터라인들에 공급되는 제4i+1 및 제4i+4 데이터전압들의 극성과, 제4i+2 및 제4i+3 데이터라인들에 공급되는 제4i+2 및 제4i+3 데이터전압들의 극성은 상반된다. 따라서, 수평 2 도트 인버전에서 소스 드라이브 IC들(SDIC1~SDIC3)로부터 동시에 출력되는 데이터전압들의 극성은 2 도트 주기로 반전된다. 극성제어신호(POL)의 처음 논리값이 하이논리이면, 소스 드라이브 IC들(SDIC1~SDIC3)은 도 2와 같이, 제1 라인(LINE#1)의 제4i+1 및 제4i+4 데이터전압들을 정극성 데이터전압(+)으로 출력하고 제1 라인(LINE#1)의 제4i+2 및 제4i+3 데이터전압들을 부극성 데이터전압(-)으로 출력한다. 다음 프레임기간에서, 극성제어신호(POL)의 처음 논리값이 로우논리로 반전되면, 소스 드라이브 IC들(SDIC1~SDIC3)은 제1 라인(LINE#1)의 제4i+1 및 제4i+4 데이터전압들을 부극성 데이터전압(-)으로 출력하고 제1 라인(LINE#1)의 제4i+2 및 제4i+3 데이터전압들을 정극성 데이터전압(+)으로 출력한다.

[0009] 소스 드라이브 IC들(SDIC1~SDIC3) 각각은 도 1 및 도 2와 같이 동일한 극성제어신호를 입력받아 데이터전압들의 극성을 반전시킨다. 그런데, 수평 2 도트 인버전에서 소스 드라이브 IC의 출력 채널 수가 4로 나누어 나머지가 0이 되지 않는 경우에 예를 들면, 소스 드라이브 IC의 출력 채널 수가 630 또는 690 인 경우에 도 2에서 점선 원으로 나타난 바와 같이 소스 드라이브 IC들 간의 경계에서 데이터전압들의 수평 극성이 수직 1 도트 인버전으로 반전된다. 이 경우에, 수평 2 도트 인버전으로 구동되는 화소 어레이 부분과, 수평 1 도트 인버전으로 구동되는 소스 드라이브 IC들 사이의 화소 어레이 부분에서 휘도 차이가 나타난다. 따라서, 도 2와 같은 수평 2 도트 인버전 구동 방식에서는 소스 드라이브 IC들 사이에서 경계부 노이즈가 관찰된다. 이러한 경계부 노이즈는 화질을 높이기 위하여 FRC(frame rate control)를 적용할 때 FRC 보정값이 데이터에 가산될 때 더 심하게 된다.

[0010] 본원 출원인은 대한민국 특허출원 제10-2008-0032638호(2008.04.08)를 통해 입력 영상에서 취약 패턴을 분석하여 그 취약 패턴의 유형에 따라 수평 1 도트 인버전 방식과 수평 2 도트 인버전 방식을 적응적으로 선택하여 액정표시패널을 구동하여 어떠한 취약 패턴에서도 공통전압 쉬프트를 최소화하여 플리커, 색왜곡 등을 최소화할 수 있는 기술을 제안한 바 있다. 이러한 기술의 표시품질 개선 효과를 더 높이기 위해서는 수평 2 도트 인버전에서 나타날 수 있는 경계부 노이즈를 제거할 필요가 있다.

발명의 내용

해결 하고자하는 과제

[0011] 본 발명은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 수평 2 도트 인버전에서 경계부 노이즈

가 보이지 않도록 한 액정표시장치와 그 도트 인버전 제어방법을 제공한다.

과제 해결수단

[0012] 본 발명의 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 데이터전압을 상기 데이터라인들로 출력하고 제1 극성제어신호에 응답하여 상기 데이터전압의 극성을 반전시키는 제1 소스 드라이브 IC; 상기 데이터전압을 상기 데이터라인들로 출력하고 제2 극성제어신호에 응답하여 상기 데이터전압의 극성을 반전시키는 제2 소스 드라이브 IC; 및 상기 소스 드라이브 IC들이 수평 1 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 동위상으로 발생하고, 상기 소스 드라이브 IC들이 수평 2 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 서로 역위상으로 발생하는 타이밍 컨트롤러를 구비한다.

상기 타이밍 컨트롤러는 상기 입력 영상을 분석하여 상기 입력 영상에서 미리 설정된 취약 패턴 데이터를 검출하고 상기 취약 패턴 유무에 따라 논리값이 달라지는 제어신호를 발생하는 영상 분석부; 및 수평 1 도트 인버전과 상기 수평 2 도트 인버전 중 어느 하나를 선택하기 위한 수평 극성제어신호를 발생하고, 상기 제어신호에 응답하여 상기 수평 극성제어신호의 논리값을 변경하고, 상기 제어신호에 응답하여 상기 제1 및 제2 극성제어신호들을 발생하는 극성제어신호 변환 로직부를 포함한다.

상기 제1 및 제2 소스 드라이브 IC들 각각은 상기 수평 극성제어신호가 입력되는 옵션단자를 포함한다.

상기 수평 극성제어신호의 제1 논리값에 따라 상기 수평 1 도트 인버전으로 극성이 반전되는 상기 데이터전압을 출력하고, 상기 수평 극성제어신호의 제2 논리값에 따라 상기 수평 2 도트 인버전으로 극성이 반전되는 상기 데이터전압을 출력한다.

상기 제1 및 제2 소스 드라이브 IC들 각각은 4로 나누어 나머지가 0이 되지 않는 개수의 출력 채널들을 갖는다.

[0013] 상기 도트 인버전 제어방법은 상기 입력 영상을 분석하여 상기 입력 영상에서 미리 설정된 취약 패턴 데이터를 검출하는 단계; 상기 취약 패턴의 유무에 따라 논리값이 달라지는 제어신호를 발생하고, 상기 제어신호에 응답하여 수평 1 도트 인버전과 수평 2 도트 인버전 중 어느 하나를 선택하기 위한 수평 극성제어신호를 발생하여 상기 제1 및 제2 소스 드라이브 IC들의 옵션단자에 공통으로 입력하는 단계; 상기 제1 소스 드라이브 IC의 출력 채널들을 통해 출력되는 데이터전압의 극성을 반전시키기 위한 제1 극성제어신호와, 상기 제2 소스 드라이브 IC의 출력 채널들을 통해 출력되는 데이터전압의 극성을 반전시키기 위한 제2 극성제어신호의 위상을 제어하는 단계; 상기 제1 극성제어신호를 상기 제1 소스 드라이브 IC에 입력하고 상기 제2 극성제어신호를 상기 제2 소스 드라이브 IC에 입력하는 단계; 상기 제어신호에 응답하여 상기 제1 및 제2 소스 드라이브 IC들이 수평 1 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 동위상으로 제어하는 단계; 및 상기 제어신호에 응답하여 상기 제1 및 제2 소스 드라이브 IC들이 수평 2 도트 인버전으로 극성이 반전되는 데이터전압들을 출력할 때 상기 제1 및 제2 극성제어신호들을 서로 역위상으로 제어하는 단계를 포함한다.

효과

[0014] 본 발명은 극성제어신호를 소스 드라이브 IC들 각각에 독립적으로 입력하여 액정표시패널의 데이터전압 극성을 제어한다. 그 결과, 본 발명은 표시품질을 높이기 위하여 입력 영상의 취약 패턴 유형에 따라 수평 1 도트 인버전과 수평 2 도트 인버전을 적응적으로 스위칭하거나 입력 영상을 FRC로 보정하여 액정표시장치를 구동할 때 수평 2 도트 극성 인버전에서 소스 드라이브 IC간 경계부에서 수평 2 도트 인버전이 연속되지 않는 구간을 제거하여 표시품질 개선 효과를 더 높일 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 이하, 도 3 내지 도 14를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0016] 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타낸다.

- [0017] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(PA)가 형성된 액정표시패널, 다수의 소스 드라이브 IC들(SDIC1~SDIC3), 게이트 구동회로(GD), 및 타이밍 콘트롤러(TCON)를 구비한다. 액정표시패널의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0018] 액정표시패널은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널의 화소 어레이(PA)는 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정셀들을 포함하여 비디오 데이터를 표시한다. 화소 어레이(PA)는 데이터라인들과 게이트라인들의 교차부마다 형성되는 TFT들과, TFT에 접속된 화소전극을 포함한다. 화소 어레이(PA)는 도 4 내지 도 6과 같이 다양한 형태로 구현될 수 있다. 도 5 및 도 6의 화소 어레이(PA)는 이웃한 액정셀들이 하나의 데이터라인을 공유하므로 도 4의 화소 어레이에 비하여 데이터라인들과 소스 드라이브 IC들의 개수를 줄일 수 있다. 화소 어레이(PA)의 액정셀들 각각은 TFT를 통해 데이터전압을 충전하는 화소전극과 공통전압이 인가되는 공통전극의 전압차에 의해 구동되어 빛의 투과량을 조정함으로써 비디오 데이터의 화상을 표시한다. 액정표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 액정표시패널의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0019] 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기관 상에 형성된다.
- [0020] 본 발명에서 적용 가능한 액정표시패널의 액정모드는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0021] 소스 드라이브 IC들(SDIC1~SDIC3) 각각의 출력 채널들은 화소 어레이(PA)의 데이터라인들에 1:1로 접속된다. 소스 드라이브 IC들(SDIC1~SDIC3)은 타이밍 콘트롤러(TCON)로부터 입력되는 디지털 비디오 데이터를 샘플링하고 래치하여 직렬 데이터 전송 체계를 병렬 데이터 전송 체계의 디지털 비디오 데이터로 변환한다. 소스 드라이브 IC들(SDIC1~SDIC3)은 정극성/부극성 감마보상전압을 입력받는다. 소스 드라이브 IC들(SDIC1~SDIC3)은 정극성/부극성 감마보상전압을 이용하여 극성제어신호(POL)에 따라 디지털 비디오 데이터를 정극성/부극성 아날로그 비디오 데이터전압으로 변환한다. 그리고 소스 드라이브 IC들(SDIC1~SDIC3)은 소스 출력 인에이블신호(SOE)에 응답하여 정극성/부극성 데이터전압들을 화소 어레이(PA)의 데이터라인들로 출력한다. 소스 드라이브 IC들(SDIC1~SDIC3)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리기관 상에 접착될 수 있고 또한, TAB(Tape Automated Bonding) 공정에 의해 TCP(Tape Carrier Package) 형태로 액정표시패널의 하부 유리기관에 접합될 수 있다.
- [0022] 게이트 구동회로(GD)는 타이밍 콘트롤러(TCON)로부터의 게이트 타이밍 제어신호에 응답하여 화소어레이의 게이트 라인들에 게이트펄스(또는 스캔펄스)를 순차적으로 공급한다. 이 게이트 구동회로(GD)는 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리기관에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 하부 유리기관 상에 직접 형성될 수 있다. 게이트 구동회로(GD)는 화소 어레이(PA)의 양측에 배치되거나 화소 어레이(PA)의 일측에 배치될 수 있다.
- [0023] 타이밍 콘트롤러(TCON)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 mini LVDS 인터페이스를 통해 소스 드라이브 IC들(SDIC1~SDIC3)에 공급한다. 그리고 타이밍 콘트롤러(TCON)는 LVDS 인터페이스 또는 TMDS 인터페이스를 통해 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍 신호를 입력받는다. 타이밍 콘트롤러(TCON)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC들의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 게이트 구동회로(GD)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(TCON)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터가 $60 \times i$ (i 는 양의 정수) Hz의 프레임 주파수로 액정표시패널의 화소 어레이(PA)에서 재생될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를 $60 \times i$ (i 는 2 이상의 양의 정수) Hz의 프레임 주파수 기준으로 체배할 수 있다. 타이밍 콘트롤러(TCON)는 인쇄회로기판(Printed Circuit Board, PCB) 상에 실장된다.
- [0024] 타이밍 콘트롤러(TCON)는 FRC를 이용하여 계조를 확장함으로써 소스 드라이브 IC들(SDIC1~SDIC3)에 공급되는 입

력 디지털 비디오 데이터(RGB)의 비트 수를 줄일 수 있다. 이를 위하여, 타이밍 컨트롤러(TCON)는 i (i 는 6 이상의 자연수) bits 입력 디지털 비디오 데이터에 FRC 보정값을 가산하여 j (j 는 i 보다 작은 자연수) bits의 디지털 비디오 데이터를 발생하고 그 j bits의 디지털 비디오 데이터를 mini LVDS 인터페이스로 소스 드라이브 IC들(SDIC1~SDIC3)에 공급할 수 있다.

[0025] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 및 소스 출력 인에이블신호(Source Output Enable, SOE), 극성제어신호(POL) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(SDIC1~SDIC3)의 데이터 샘플링 동작을 제어하는 클럭신호이다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC들(SDIC1~SDIC3)의 데이터 샘플링 시작 시점을 제어한다. 타이밍 컨트롤러(TCON)와 소스 드라이브 IC들(SDIC1~SDIC3) 사이에서 데이터와 데이터 타이밍 제어신호가 mini LVDS 인터페이스를 통해 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다. 극성제어신호(POL)는 소스 드라이브 IC들(SDIC1~SDIC3) 각각에 개별로 입력되어 소스 드라이브 IC들(SDIC1~SDIC3)로부터 출력되는 데이터전압들의 극성을 제어한다. 극성제어신호(POL)는 N (N 은 양의 정수) 수평기간의 주기로 논리가 반전된다. 소스 출력 인에이블신호(SOE)는 소스 드라이브 IC들(SDIC1~SDIC3)의 출력 타이밍을 제어한다. 데이터 타이밍 제어신호는 수평극성 제어신호(HINV)를 더 포함할 수 있다. 수평극성 제어신호(HINV)는 소스 드라이브 IC들(SDIC1~SDIC3) 각각의 옵션단자(H₂DOT)에 공통으로 입력되어 소스 드라이브 IC들(SDIC1~SDIC3)으로부터 동시에 출력되는 데이터전압들의 수평 극성 패턴을 제어한다. 수평극성 제어신호(HINV)의 논리값이 하이논리(H)이면, 소스 드라이브 IC들(SDIC1~SDIC3)은 동시에 출력되는 데이터전압들의 극성을 수평 2 도트 인버전으로 반전시킨다. 수평극성 제어신호(HINV)의 논리값이 로우논리(L)이면, 소스 드라이브 IC들(SDIC1~SDIC3)은 동시에 출력되는 데이터전압들의 극성을 수평 1 도트 인버전으로 반전시킨다. 타이밍 컨트롤러(TCON)는 입력 디지털 비디오 데이터(RGB)를 분석하여 취약 패턴의 입력 영상을 검출하고 취약 패턴의 유형에 따라 극성제어신호들(POL) 각각의 논리 반전주기를 적응적으로 가변할 수 있고, 또한 취약 패턴의 유형에 따라 수평극성 제어신호(HINV)의 논리값을 다르게 제어할 수 있다.

[0026] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트 펄스의 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트 시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(GD)의 출력 타이밍을 제어한다.

[0027] 도 4 내지 도 6은 화소 어레이(PA)의 다양한 예들을 보여 주는 등가 회로들이다.

[0028] 도 4의 화소 어레이(PA)는 대부분의 액정표시장치에서 적용되는 화소 어레이로써 데이터라인들(D1~D6)과 게이트 라인들(G4)이 교차된다. 이 화소 어레이(PA)에서 적색 서브픽셀(R)의 액정셀들, 녹색 서브픽셀(G)의 액정셀들 및 청색 서브픽셀(B)의 액정셀들 각각은 컬럼 방향을 따라 배치된다. TFT 각각은 게이트라인(G1~G4)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 4에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 로우 방향(또는 라인 방향)을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 4에 도시된 화소 어레이의 해상도가 $m \times n$ 일 때, $m \times 3$ (여기서, 3은 RGB) 개의 데이터라인들과 n 개의 게이트라인들이 필요하다. 이 화소 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 1 수평기간의 게이트 펄스가 순차적으로 공급된다.

[0029] 도 5에 도시된 화소 어레이(PA)는 도 4에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/2로 줄일 수 있다. 이 화소 어레이(PA)에서 적색 서브픽셀(R)의 액정셀들, 녹색 서브픽셀(G)의 액정셀들 및 청색 서브픽셀(B)의 액정셀들 각각은 컬럼 방향을 따라 배치된다. 도 5에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 라인방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 5에 도시된 화소 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)로 정의하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)로 정의한다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의

데이터전압을 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. 도 5에 도시된 화소 어레이의 해상도가 $m \times n$ 일 때, $\{m \times 3$ (여기서, 3은 RGB)} / 2 개의 데이터라인들과 $2n$ 개의 게이트라인들이 필요하다. 이 화소 어레이(PA)의 게이트라인들 각각에는 데이터전압과 동기되는 $1/2$ 수평기간의 게이트펄스가 순차적으로 공급된다.

[0030] 도 6에 도시된 화소 어레이(PA)는 도 4에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 $1/3$ 로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 $1/3$ 로 줄일 수 있다. 이 화소 어레이(PA)에서 적색 서브픽셀(R)의 액정셀들, 녹색 서브픽셀(G)의 액정셀들 및 청색 서브픽셀(B)의 액정셀들 각각은 라인방향을 따라 배치된다. 도 6에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. TFT 각각은 게이트라인(G1~G6)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 6에 도시된 화소 어레이(PA)의 해상도가 $m \times n$ 일 때, m 개의 데이터라인들과 $3n$ 개의 게이트라인들이 필요하다. 이 화소 어레이(PA)의 게이트라인들 각각에는 데이터전압과 동기되는 $1/3$ 수평기간의 게이트펄스가 순차적으로 공급된다.

[0031] 도 7은 타이밍 컨트롤러(TCON)에서 데이터 처리부분과 극성제어신호 처리부분의 회로 구성을 보여 주는 회로도이다.

[0032] 도 7을 참조하면, 타이밍 컨트롤러(TCON)는 인터페이스 수신부(71), 비트 확장부(72), FRC 처리부(76), 영상 분석부(73), 극성제어신호 발생부(74), 및 극성제어신호 변환 로직부(75)를 구비한다.

[0033] 인터페이스 수신부(71)는 LVDS 또는 TMDS 인터페이스 규격으로 전송되는 8 bits의 디지털 비디오 데이터를 수신하여 비트 확장부(72)와 영상 분석부(73)에 공급한다. 비트 확장부(72)는 8 bits의 디지털 비디오 데이터를 우수 픽셀 데이터와 기수 픽셀 데이터로 분리하고 그 데이터에 LSB(Least Significant Bit)를 부가하여 9 bits의 디지털 비디오 데이터로 확장한다.

[0034] FRC 처리부(76)는 비트 확장부(72)로부터 입력되는 9 bits 데이터의 LSB 3 bits에 $1/8 \sim 7/8$ 사이의 중간 계조를 생성하기 위한 3 bits FRC 데이터를 인코딩하고, FRC 데이터에 의해 지정된 픽셀 데이터의 MSB 6 bits(b3~b8)에 FRC 보정값 '1' 또는 '0'을 가산한다. FRC 처리부(76)는 6 bits 데이터를 출력한다. 6 bits 데이터는 mini LVDS 송신회로를 통해 소스 드라이브 IC들(SDIC1~SDIC3)에 전송된다. FRC 처리부(76)는 FRC 보정값 발생부(77)와, 가산기(78)를 구비한다. FRC 보정값 발생부(77)는 미리 저장된 FRC 패턴에서 지정된 보정값(1 또는 0)을 출력하고 가산기(78)는 FRC 패턴의 보정값을 9 bits 디지털 비디오 데이터의 3 bits LSB에 가산한다.

[0035] 영상 분석부(73)는 입력 영상을 분석하여 화이트 계조 데이터와 블랙 계조 데이터가 규칙적으로 배열되는 취약 패턴들을 검출하고 취약패턴의 데이터가 입력될 때 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 2 도트 인버전으로 제어하도록 하는 반면, 취약패턴 이외의 정상패턴의 데이터가 입력될 때 소스 드라이브 IC를 수평 1 도트 인버전으로 제어하도록 하는 제어신호를 출력한다. 제어신호는 취약 패턴의 유무에 따라 논리값이 달라진다. 영상 분석부(73)는 본원 출원인에 의해 기출원된 대한민국 특허출원 제10-2008-0032638호(2008.04.08), 대한민국 특허출원 10-2008-0055419(2008.06.12), 제10-2008-0134694호(2008.12.26), 제10-2008-0134147호(2008.12.26) 등에 개시된 영상 분석 기법을 이용할 수 있다.

[0036] 극성제어신호 발생부(74)는 도 9 및 도 11과 같은 기준 극성제어신호(POL)를 발생한다. 극성제어신호 변환 로직부(75)는 영상 분석부(73)로부터의 제어신호에 응답하여 취약패턴 데이터가 입력될 때 소스 드라이브 IC들(SDIC1~SDIC3)에 공통 입력되는 수평 극성제어신호(HINV)를 하이논리로 발생하여 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 2 도트 인버전으로 구동시키고 제1 및 제2 극성제어신호들(POL1, POL2)을 역위상으로 발생한다. 반면에, 극성제어신호 변환 로직부(75)는 영상 분석부(73)로부터의 제어신호에 응답하여 취약패턴 이외의 정상패턴 데이터가 입력될 때 수평 극성제어신호(HINV)를 로우논리로 발생하여 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 1 도트 인버전으로 구동시키고 제1 및 제2 극성제어신호들(POL1, POL2)을 동위상으로 발생한다. 제1 극성제어신호(POL1)는 기수 소스 드라이브 IC들(SDIC1, SDIC3)에 입력되고, 제2 극성제어신호(POL2)는 우수 소스 드라이브 IC들(SDIC2)에 입력된다. 소스 드라이브 IC들(SDIC1~SDIC3)로부터 동시에 출력되는 데이터전압들의 극성이 도 8과 같이 수평 1 도트 인버전으로 반전된다면, 극성제어신호 변환 로직부(75)는 도 9와 같이 제1 및 제2 극성제어신호(POL1, POL2)를 기준 극성제어신호(POL)와 동위상으로 발생한다. 소스 드라이브 IC들(SDIC1~SDIC3)로부터 동시에 출력되는 데이터전압들의 극성이 도 10과 같이 수평 2 도트 인버전으로 반전된다면, 극성제어신호 변환 로직부(75)는 도 11과 같이 제1 극성제어신호(POL1)를 기준 극성제어신호(POL)

와 동위상으로 발생하는 반면에, 제2 극성제어신호(POL2)를 기준 극성제어신호(POL)의 역위상으로 발생한다.

- [0037] 한편, 극성제어신호 변환 로직부(75)는 대한민국 특허출원 제10-2008-0032638호(2008.04.08)에서 설명된 바와 같이 영상 분석부(73)에 의해 검출된 입력 영상의 취약 패턴 유형에 따라 수평 극성제어신호(HINV)의 논리값을 반전시켜, 취약 패턴 유형에 따라 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 1 도트 인버전 또는 수평 2 도트 인버전으로 제어할 수 있다.
- [0038] 도 8은 본 발명의 실시예에 따른 액정표시장치에서 수평 1 도트 인버전을 예시한 도면이다. 도 9는 본 발명의 실시예에 따른 액정표시장치에서 수평 1 도트 인버전을 제어하기 위한 극성제어신호들을 보여 주는 파형도이다.
- [0039] 도 8 및 도 9를 참조하면, 소스 드라이브 IC들(SDIC1~SDIC3)의 옵션단자(H_2DOT)에는 로우논리전압의 수평 극성제어신호(HINV:L)가 입력된다. 따라서, 소스 드라이브 IC들(SDIC1~SDIC3)은 수평 1 도트 인버전 즉, 1 도트마다 극성이 반전되는 데이터전압들을 동시에 출력한다.
- [0040] 타이밍 컨트롤러(TCON)는 제1 극성제어신호(POL1)를 기수 소스 드라이브 IC들(SDIC1, SDIC3)에 입력하고, 제2 극성제어신호(POL2)를 우수 소스 드라이브 IC(SDIC2)에 입력한다. 제1 및 제2 극성제어신호들(POL1, POL2)은 동위상으로 발생된다. 따라서, 제1 및 제2 극성제어신호들(POL1, POL2)의 처음 논리값이 하이논리이면, 소스 드라이브 IC들(SDIC1~SDIC3)은 제1 라인(LINE#1)의 기수 데이터전압들을 정극성 데이터전압(+)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 부극성 데이터전압(-)으로 출력한다. 다음 프레임기간에서, 극성제어신호(POL)의 처음 논리값이 로우논리로 반전되면, 소스 드라이브 IC들(SDIC1~SDIC3)은 제1 라인(LINE#1)의 기수 데이터전압들을 부극성 데이터전압(-)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 정극성 데이터전압(+)으로 출력한다.
- [0041] 도 10은 본 발명의 실시예에 따른 액정표시장치에서 수평 2 도트 인버전을 예시한 도면이다. 도 11은 본 발명의 실시예에 따른 액정표시장치에서 수평 2 도트 인버전을 제어하기 위한 극성제어신호들을 보여 주는 파형도이다.
- [0042] 도 10 및 도 11을 참조하면, 소스 드라이브 IC들(SDIC1~SDIC3)의 옵션단자(H_2DOT)에는 하이논전압의 수평 극성제어신호(HINV:H)가 입력된다. 따라서, 소스 드라이브 IC들(SDIC1~SDIC3)은 수평 2 도트 인버전 즉, 2 도트마다 극성이 반전되는 데이터전압들을 동시에 출력한다.
- [0043] 타이밍 컨트롤러(TCON)는 제1 극성제어신호(POL1)를 기수 소스 드라이브 IC들(SDIC1, SDIC3)에 입력하고, 제2 극성제어신호(POL2)를 우수 소스 드라이브 IC(SDIC2)에 입력한다. 제1 및 제2 극성제어신호들(POL1, POL2)은 서로 역위상으로 발생된다.
- [0044] 따라서, 제1 극성제어신호(POL1)의 처음 논리값이 하이논리이고 제2 극성제어신호(POL2)의 처음 논리값이 로우논리이면, 기수 소스 드라이브 IC들(SDIC1, SDIC3)은 제1 라인(LINE#1)의 기수 데이터전압들을 정극성 데이터전압(+)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 부극성 데이터전압(-)으로 출력한다. 이와 동시에 우수 소스 드라이브 IC(SDIC2)는 제1 라인(LINE#1)의 기수 데이터전압들을 부극성 데이터전압(-)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 정극성 데이터전압(+)으로 출력한다.
- [0045] 다음 프레임기간에서, 제1 극성제어신호(POL1)의 처음 논리값이 로우논리로 반전되고 제2 극성제어신호(POL2)의 처음 논리값이 하이논리로 반전되면, 기수 소스 드라이브 IC들(SDIC1, SDIC3)은 제1 라인(LINE#1)의 기수 데이터전압들을 부극성 데이터전압(-)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 정극성 데이터전압(+)으로 출력한다. 이와 동시에 우수 소스 드라이브 IC(SDIC2)는 제1 라인(LINE#1)의 기수 데이터전압들을 정극성 데이터전압(+)으로 출력하고 제1 라인(LINE#1)의 우수 데이터전압들을 부극성 데이터전압(-)으로 출력한다.
- [0046] 본 발명은 소스 드라이브 IC들(SDIC1~SDIC3)에 극성제어신호를 개별로 입력하고, 소스 드라이브 IC들(SDIC1~SDIC3)이 수평 1 도트 인버전이나 수평 2 도트 인버전으로 구동될 때 선택된 인버전 구동 방식에 따라 적응적으로 극성제어신호신호의 위상을 반전시킨다. 그 결과, 소스 드라이브 IC들(SDIC1~SDIC3)의 출력 채널 수가 4로 나누어 나머지가 0이 되지 않고 그 소스 드라이브 IC들(SDIC1~SDIC3)이 수평 2 도트 인버전으로 구동하는 경우에도, 도 10의 점선으로 나타낸 바와 같이 소스 드라이브 IC들(SDIC1~SDIC3) 간의 경계에서 수평 극성반전주기가 달라지지 않고 수평 2 도트 인버전으로 데이터전압의 극성이 반전된다.
- [0047] 도 12는 본 발명의 실시예에 따른 액정표시장치의 도트 인버전 제어방법을 단계적으로 보여 주는 흐름도이다.
- [0048] 도 12를 참조하면, 본 발명은 입력 영상을 분석하여 화이트 계조와 블랙 계조가 규칙적으로 반복되는 취약 패턴

을 검출한다.(S1) 그리고 본 발명은 취약패턴의 데이터 입력 여부에 따라 액정표시장치를 수평 1 도트 인버전으로 구동할지 아니면 수평 2 도트 인버전으로 구동할지를 판단한다.(S2, S4)

[0049] 본 발명은 액정표시장치를 수평 1 도트 인버전으로 구동하는 경우에, 수평 극성제어신호(HINV)를 로우논리로 발생하여 소스 드라이브 IC들(SDIC1~SDIC3) 각각을 수평 1 도트 인버전으로 구동한다. 그리고 본 발명은 소스 드라이브 IC들(SDIC1~SDIC3)이 수평 1 도트 인버전으로 구동될 때 제1 극성제어신호(POL1)와 제2 극성제어신호(POL2)를 동위상으로 발생한다.(S3)

[0050] 본 발명은 액정표시장치를 수평 2 도트 인버전으로 구동하는 경우에, 수평 극성제어신호(HINV)를 하이논리로 발생하여 소스 드라이브 IC들(SDIC1~SDIC3) 각각을 수평 2 도트 인버전으로 구동한다. 그리고 본 발명은 소스 드라이브 IC들(SDIC1~SDIC3)이 수평 2 도트 인버전으로 구동될 때 제2 극성제어신호(POL2)의 위상을 제1 극성제어신호(POL1)의 역위상으로 발생한다.(S5)

[0051] 그리고 본 발명은 제1 극성제어신호(POL1)를 기수 소스 드라이브 IC(SDIC1, SDIC3)에 입력하고 제2 극성제어신호(POL2)를 우수 소스 드라이브 IC(SDIC2)에 입력하여 소스 드라이브 IC들(SDIC1~SDIC3)으로부터 출력되는 데이터전압들의 극성을 제어한다.(S6)

[0052] 본원의 발명자들은 실험을 통해 본 발명의 효과를 입증하였다. 이 실험은 도 5와 같은 화소 어레이를 가지는 액정표시장치를 시료로 하여 입력 영상의 취약 패턴 유무에 따라 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 1 도트 인버전과 수평 2 도트 인버전으로 스위칭하였고 제1 및 제2 극성제어신호들(POL1, POL2)의 위상을 동위상과 역위상으로 스위칭하였다. 이 실험 결과, 취약패턴이 없는 정상패턴의 입력 영상이 입력될 때 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 1 도트 인버전으로 구동시키고 제1 및 제2 극성제어신호들(POL1, POL2)을 동위상으로 발생시킬 때 표시영상에서 화질 열화가 없었다. 도 13은 정상패턴이 입력될 때 소스 드라이브 IC들(SDIC1~SDIC3)을 제어하기 위한 제어신호들을 측정 시스템(Tektronix사 Oscilloscope - TDS7254B)으로 측정한 결과이다. 도 13에서, H2는 전술한 실시예에서 수평 극성제어신호(HINV)를 의미하는 것으로 로우 논리로 유지되어 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 1 도트 인버전으로 구동시킨다. 발명자들은 H2를 로우논리를 유지하는 동안, 도 13과 같이 제1 및 제2 극성제어신호들(POL1, POL2)은 동위상으로 발생하였다.

[0053] 아래의 표 1은 도 13의 실험 결과에서 사용된 제어신호들을 나타낸다.

표 1

	Low Voltage	High Voltage	Period	High Width
SOE	0 V	3.3 V	9us	1us
POL1	0 V	3.3 V	18us	9us
POL2	0 V	3.3 V	18us	9us
H2(HINV)	0 V	3.3 V	fixed to low	-

[0055] 표 1에서, SOE, POL1 및 POL2의 펄스 주기(period)와 펄스폭(High Width)는 입력 영상의 수평기간에 따라 달라질 수 있다. SOE의 펄스폭(High Width)은 타이밍 컨트롤러(TCON)에 접속된 EEPROM에 저장된 설정값 조정으로 변경 가능하다.

[0056] 실험에서 취약패턴을 포함한 입력 영상이 입력될 때 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 2 도트 인버전으로 구동시키고 제1 및 제2 극성제어신호들(POL1, POL2)을 역위상으로 발생시켰을 때 표시영상에서 화질 열화가 없었다. 도 14는 취약패턴이 입력될 때 소스 드라이브 IC들(SDIC1~SDIC3)을 제어하기 위한 제어신호들을 측정 시스템(Tektronix사 Oscilloscope - TDS7254B)으로 측정한 결과이다. 도 14에서, H2는 전술한 실시예에서 수평 극성제어신호(HINV)를 의미하는 것으로 하이 논리로 유지되어 소스 드라이브 IC들(SDIC1~SDIC3)을 수평 2 도트 인버전으로 구동시킨다. 발명자들은 H2를 하이논리를 유지하는 동안, 도 14와 같이 제1 및 제2 극성제어신호들(POL1, POL2)을 역위상으로 발생시켰다.

[0057] 아래의 표 2는 도 14의 실험 결과에서 사용된 제어신호들을 나타낸다.

표 2

	Low Voltage	High Voltage	Period	High Width
SOE	0 V	3.3 V	9us	1us
POL1	0 V	3.3 V	18us	9us

POL2	0 V	3.3 V	18us	9us
H2(HINV)	0 V	3.3 V	fixed to high	-

[0059] 표 1에서, SOE, POL1 및 POL2의 펄스 주기(period)와 펄스폭(High Width)는 입력 영상의 수평기간에 따라 달라질 수 있다. SOE의 펄스폭(High Width)은 타이밍 콘트롤러(TCON)에 접속된 EEPROM에 저장된 설정값 조정으로 변경 가능하다.

[0060] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0061] 도 1은 종래의 액정표시장치에서 수평 1 도트 인버전을 예시한 도면이다.

[0062] 도 2는 종래의 액정표시장치에서 수평 2 도트 인버전을 예시한 도면이다.

[0063] 도 3은 본 발명의 실시예에 따른 액정표시장치를 개략적으로 보여 주는 블록도이다.

[0064] 도 4 내지 도 6은 도 3에 도시된 화소 어레이를 상세히 보여 주는 등가 회로도이다.

[0065] 도 7은 도 3에 도시된 타이밍 콘트롤러를 상세히 보여 주는 회로도이다.

[0066] 도 8은 본 발명의 실시예에 따른 액정표시장치에서 수평 1 도트 인버전을 예시한 도면이다.

[0067] 도 9는 본 발명의 실시예에 따른 액정표시장치에서 수평 1 도트 인버전을 제어하기 위한 극성제어신호들을 보여 주는 파형도이다.

[0068] 도 10은 본 발명의 실시예에 따른 액정표시장치에서 수평 2 도트 인버전을 예시한 도면이다.

[0069] 도 11은 본 발명의 실시예에 따른 액정표시장치에서 수평 2 도트 인버전을 제어하기 위한 극성제어신호들을 보여 주는 파형도이다.

[0070] 도 12는 본 발명의 실시예에 따른 액정표시장치의 도트 인버전 제어방법을 단계적으로 보여 주는 흐름도이다.

[0071] 도 13 및 도 14는 본 발명의 실험결과를 보여 주는 도면들이다.

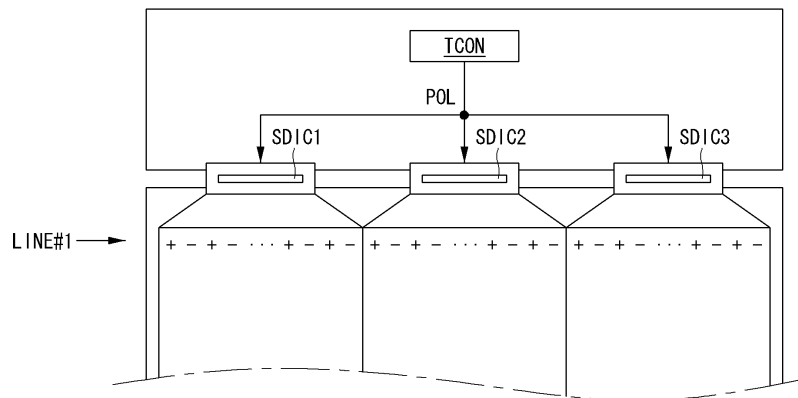
[0072] <도면의 주요 부분에 대한 부호의 설명>

[0073] TCON : 타이밍 콘트롤러 SDIC1~SDIC3 : 소스 드라이브 IC

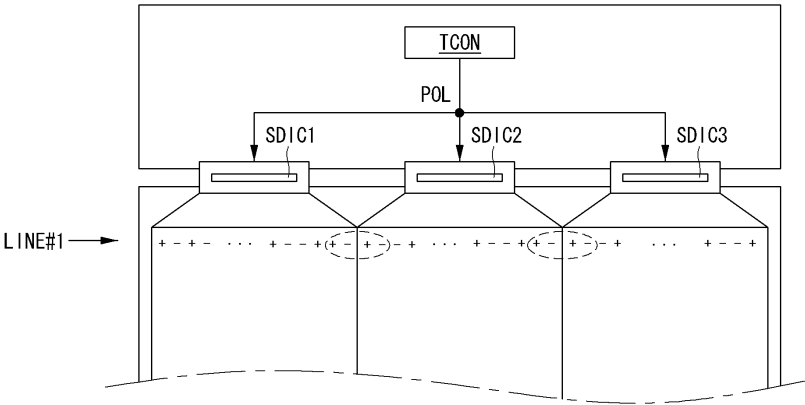
[0074] POL, POL1, POL2 : 극성제어신호

도면

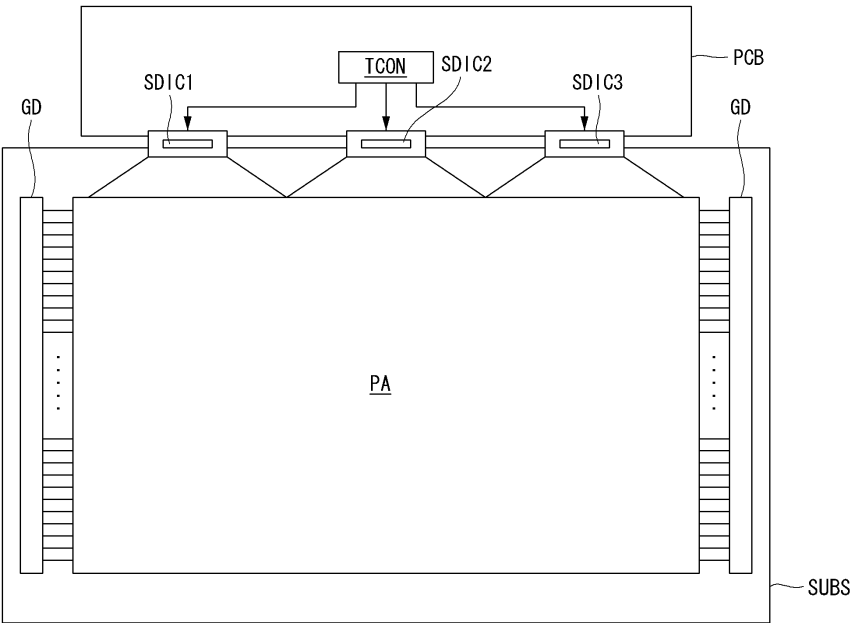
도면1



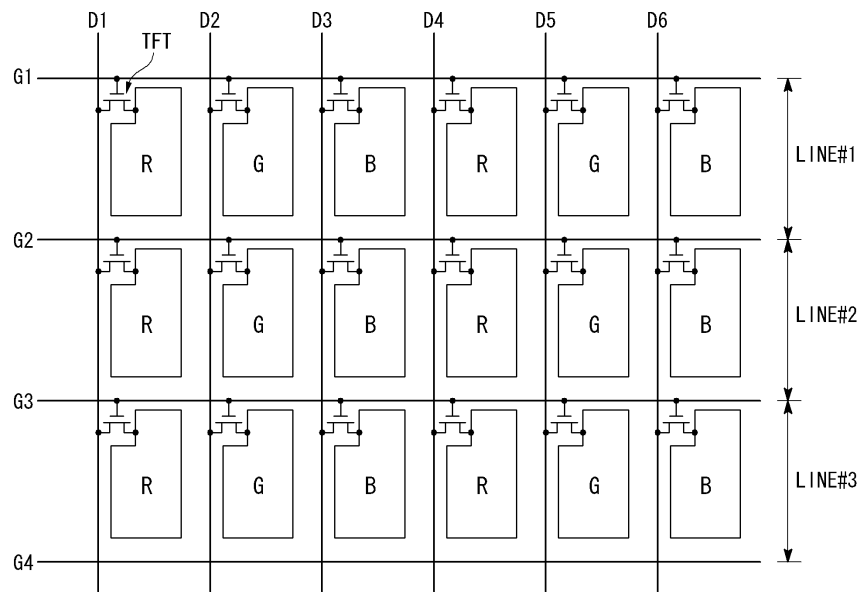
도면2



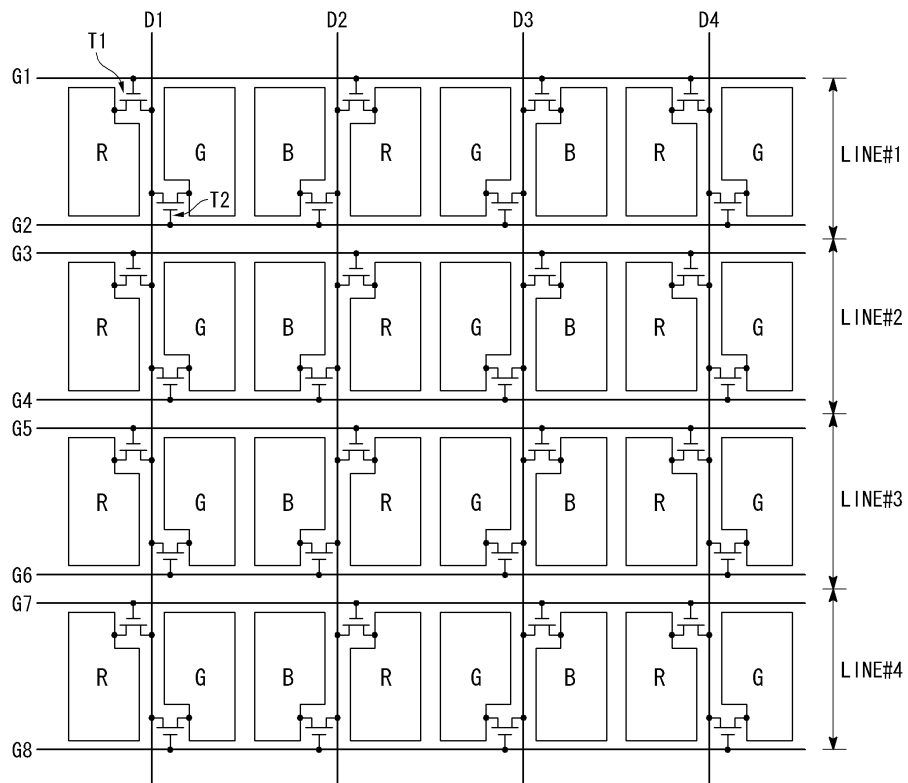
도면3



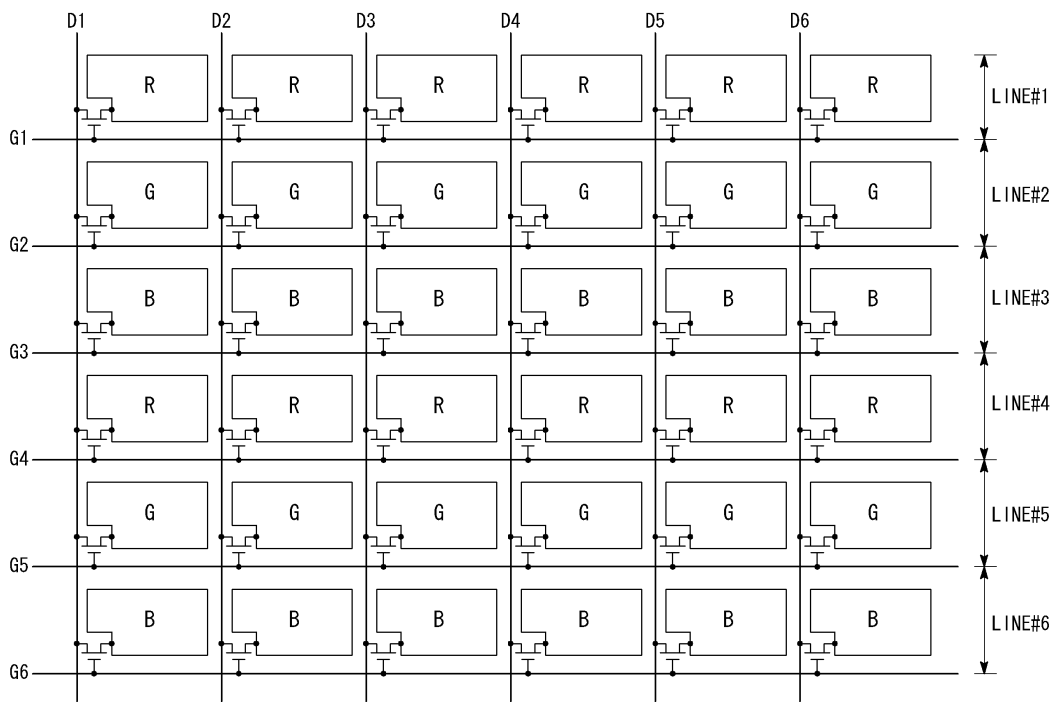
도면4



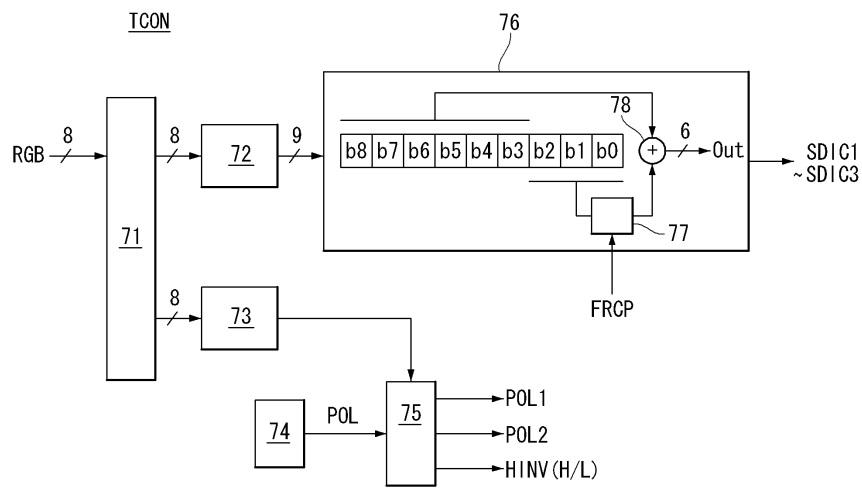
도면5



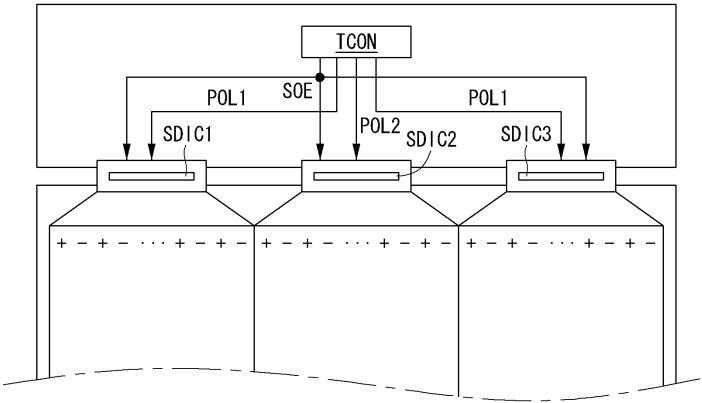
도면6



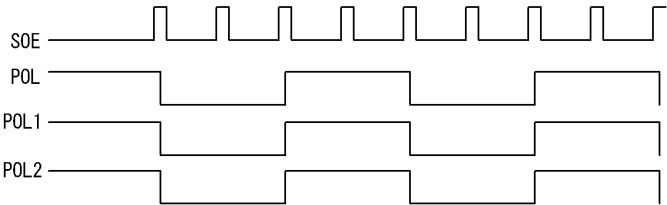
도면7



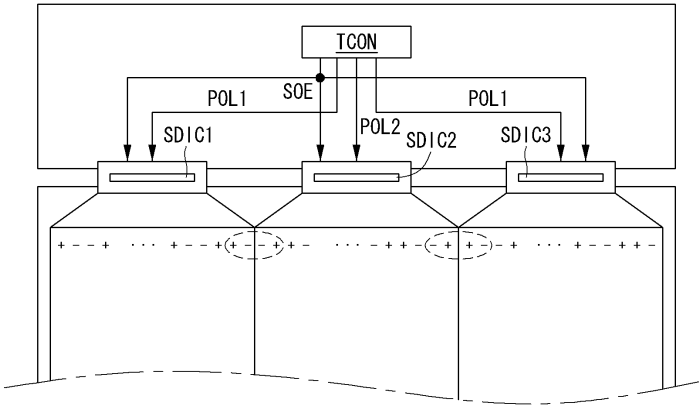
도면8



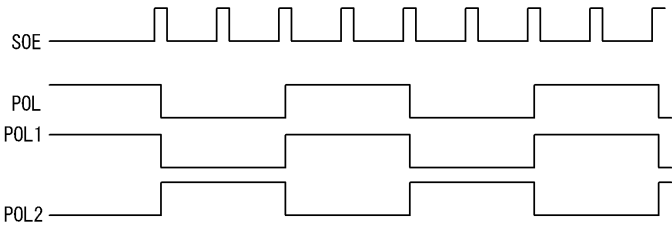
도면9



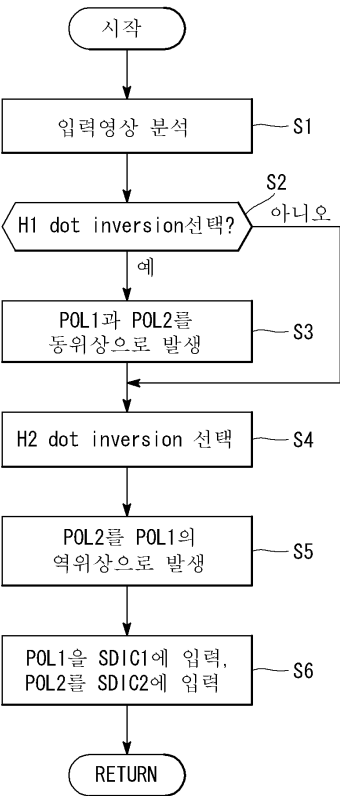
도면10



도면11



도면12



专利名称(译)	标题：液晶显示装置及其点反转控制方法		
公开(公告)号	KR101332479B1	公开(公告)日	2013-11-26
申请号	KR1020090075385	申请日	2009-08-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JONG WOO 김종우 NAM HYUN TAEK 남현택 MOON MYUNG KOOK 문명국		
发明人	김종우 남현택 문명국		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3611 G09G3/3614 G09G3/3688 G09G2300/0426 G09G2300/0452 G09G2320/0233		
其他公开文献	KR1020110017754A		
外部链接	Espacenet		

摘要(译)

目的：提供一种控制点反转的方法，以自适应地切换第一水平点和第二点反转，并用FRC补偿输入图像。结构：LCD面板穿过多条栅极线和多条数据线。第一源极驱动集成电路响应于第一极性控制信号反向地转动数据电压的极性。第二源极驱动集成电路响应于第二极性控制信号反向地反转数据电压的极性。当源驱动集成电路反向转换为水平1点反转时，定时控制器 (TCON) 在相同相位中产生第一和第二极性控制信号。如果源驱动集成电路反向转变为水平2点反转，则第一和第二极性控制信号通过反相彼此产生。

