



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월23일
(11) 등록번호 10-1128306
(24) 등록일자 2012년03월13일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2010-7010643
(22) 출원일자(국제) 2008년10월14일
심사청구일자 2010년05월14일
(85) 번역문제출일자 2010년05월14일
(65) 공개번호 10-2010-0075638
(43) 공개일자 2010년07월02일
(86) 국제출원번호 PCT/JP2008/068545
(87) 국제공개번호 WO 2009/054283
국제공개일자 2009년04월30일
(30) 우선권주장
JP-P-2007-279670 2007년10월26일 일본(JP)
(56) 선행기술조사문헌
JP06067209 A*
KR1020030079693 A
JP평성11086586 A
JP평성06202588 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
샤프 가부시키키가이샤
일본 오사카후 오사카시 아베노구 나가이쵸 22
방 22고
(72) 발명자
와타나베 도시오
일본 오사카후 오사카시 아베노구 나가이쵸 22
방 22고 샤프 가부시키키가이샤 나이
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 10 항

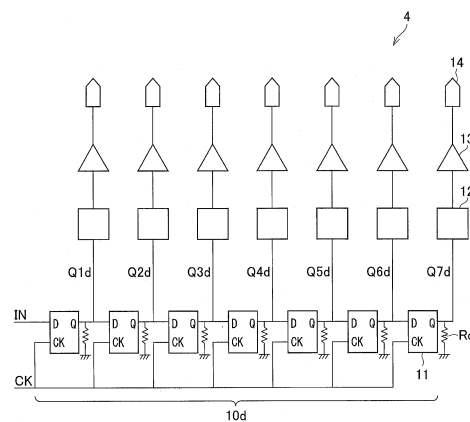
심사관 : 이성현

(54) 발명의 명칭 주사 신호선 구동 회로 및 표시 장치

(57) 요약

High 측으로 레벨 변동시키는 노이즈에 대한 내성이 높고, 표시 문제가 잘 발생되지 않는 주사 신호선 구동 회로를 실현하는 것을 목적으로 한다. 본 발명의 TFT 액정 패널에 형성되는 게이트 드라이버 (4) 는, D-FF (11) 가 캐스케이드 접속된 시프트 레지스터 (10d) 를 구비하고, 당해 D-FF (11) 의 데이터 출력 단자 (Q) 로부터 신호가 출력된다. 여기에서, 상기 D-FF (11) 의 데이터 출력 단자 (Q) 에는, 풀다운 저항 (Rd) 이 접속되어 있으므로, High 측으로 레벨 변동시키는 노이즈를 받았을 경우에도, 상기 D-FF 의 데이터 출력 단자로부터의 신호의 레벨 변동을 방지할 수 있다. 이로써, 당해 노이즈가 본래 표시를 실시하지 않는 게이트 라인을 온으로 해버리는 것에 의한 표시 문제의 발생을 방지할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

M (M 은 2 이상의 정수) 개의 플립플롭이 캐스케이드 접속된 제 1 시프트 레지스터를 구비하고, 당해 제 1 시프트 레지스터는, 외부로부터 입력되는 입력 신호를 클록 신호에 동기하여 후단의 플립플롭으로 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 1 시프트 펄스를 출력함으로써, 표시 화면의 주사 신호선을 구동하는 주사 신호선 구동 회로로서,

상기 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에, 풀다운 저항이 접속되어 있고,

추가로, M 개의 플립플롭이 캐스케이드 접속된 제 2 시프트 레지스터와 M 개의 논리 회로를 구비하고,

당해 제 2 시프트 레지스터는, 상기 입력 신호의 반전 신호를 상기 클록 신호에 동기하여 후단의 플립플롭에 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 2 시프트 펄스를 출력하고,

상기 제 2 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에, 풀업 저항이 접속되어 있고,

상기 논리 회로는 각각, 상기 제 1 시프트 레지스터의 N (N 은 1 이상 M 이하의 정수) 단째의 플립플롭으로부터의 제 1 시프트 펄스와, 상기 제 2 시프트 레지스터의 N 단째의 플립플롭으로부터의 제 2 시프트 펄스의 반전 펄스와의 논리합을, 제 3 시프트 펄스로서 출력하고,

당해 제 3 시프트 펄스에 의해, 상기 주사 신호선을 구동하는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 2

삭제

청구항 3

M (M 은 2 이상의 정수) 개의 플립플롭이 캐스케이드 접속된 제 1 시프트 레지스터를 구비하고, 당해 제 1 시프트 레지스터는, 외부로부터 입력되는 입력 신호를 클록 신호에 동기하여 후단의 플립플롭으로 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 1 시프트 펄스를 출력함으로써, 표시 화면의 주사 신호선을 구동하는 주사 신호선 구동 회로로서,

상기 플립플롭 중, 적어도 1 개의 플립플롭은,

당해 플립플롭의 데이터 입력 단자를 구성하는 제 1 트랜스퍼 게이트와, 제 1 인버터와, 제 2 트랜스퍼 게이트와, 제 2 인버터와, 데이터 출력 단자를 구성하는 제 1 버퍼 회로를 구비하고, 상기 데이터 입력 단자, 제 1 트랜스퍼 게이트, 제 1 인버터, 제 2 트랜스퍼 게이트, 제 2 인버터 및 제 1 버퍼 회로가 이 순서대로 접속되고,

상기 제 1 인버터와 상기 제 2 트랜스퍼 게이트 사이의 제 1 접속점에 제 1 풀업 저항이 형성되고,

상기 제 2 인버터와 상기 제 1 버퍼 회로 사이의 제 2 접속점에 제 1 풀다운 저항이 형성되어 있는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 4

제 3 항에 있어서,

상기 제 1 풀업 저항은 상기 제 1 접속점에 형성되는 대신에, 상기 제 2 트랜스퍼 게이트와 상기 제 2 인버터 사이의 제 3 접속점에 형성되고,

상기 제 1 풀다운 저항은 상기 제 2 접속점에 형성되는 대신에, 상기 제 1 트랜스퍼 게이트와 상기 제 1 인버터 사이의 제 4 접속점에 형성되는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 5

제 3 항에 있어서,

상기 제 1 인버터는, 하이 레벨의 신호를 출력하는 제 1 트랜지스터와, 로우 레벨의 신호를 출력하는 제 2 트랜지스터로 구성되고,

상기 제 2 인버터는, 하이 레벨의 신호를 출력하는 제 3 트랜지스터와, 로우 레벨의 신호를 출력하는 제 4 트랜지스터로 구성되고,

상기 제 1 풀업 저항 및 제 1 풀다운 저항을 형성하는 대신에, 상기 제 1 트랜지스터의 구동 능력을, 상기 제 2 트랜지스터의 구동 능력보다 높게 설정하고, 상기 제 4 트랜지스터의 구동 능력을, 상기 제 3 트랜지스터의 구동 능력보다 높게 설정하는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 6

제 3 항에 있어서,

추가로, M 개의 플립플롭이 캐스케이드 접속된 제 2 시프트 레지스터와 M 개의 논리 회로를 구비하고,

당해 제 2 시프트 레지스터는, 상기 입력 신호의 반전 신호를 상기 클록 신호에 동기하여 후단의 플립플롭에 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 2 시프트 펄스를 출력하고,

상기 제 2 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭은,

당해 플립플롭의 데이터 입력 단자를 구성하는 제 3 트랜스퍼 게이트와, 제 3 인버터와, 제 4 트랜스퍼 게이트와, 제 4 인버터와, 데이터 출력 단자를 구성하는 제 2 버퍼 회로를 구비하고, 상기 데이터 입력 단자, 제 3 트랜스퍼 게이트, 제 3 인버터, 제 4 트랜스퍼 게이트, 제 4 인버터 및 제 2 버퍼 회로가 이 순서대로 접속되고,

상기 제 3 인버터와 상기 제 4 트랜스퍼 게이트 사이의 제 5 접속점에, 제 2 풀다운 저항이 형성되고,

상기 제 4 인버터와 상기 제 2 버퍼 회로 사이의 제 6 접속점에, 제 2 풀업 저항이 형성되고,

상기 논리 회로는 각각, 상기 제 1 시프트 레지스터의 N (N 은 1 이상 M 이하의 정수) 단째의 플립플롭으로부터의 제 1 시프트 펄스와, 상기 제 2 시프트 레지스터의 N 단째의 플립플롭으로부터의 제 2 시프트 펄스의 반전 펄스와의 논리합을, 제 3 시프트 펄스로서 출력하고,

당해 제 3 시프트 펄스에 의해, 상기 주사 신호선을 구동하는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 7

제 6 항에 있어서,

상기 제 2 풀다운 저항은, 상기 제 5 접속점에 형성되는 대신에, 상기 제 4 트랜스퍼 게이트와 상기 제 4 인버터 사이의 제 7 접속점에 형성되고,

상기 제 2 풀업 저항은, 상기 제 6 접속점에 형성되는 대신에, 상기 제 3 트랜스퍼 게이트와 상기 제 3 인버터 사이의 제 8 접속점에 형성되는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 8

제 6 항에 있어서,

상기 제 3 인버터는, 하이 레벨의 신호를 출력하는 제 5 트랜지스터와, 로우 레벨의 신호를 출력하는 제 6 트랜지스터로 구성되고,

상기 제 4 인버터는, 하이 레벨의 신호를 출력하는 제 7 트랜지스터와, 로우 레벨의 신호를 출력하는 제 8 트랜지스터로 구성되고,

상기 제 2 풀업 저항 및 제 2 풀다운 저항을 형성하는 대신에, 상기 제 6 트랜지스터의 구동 능력을, 상기 제 5 트랜지스터의 구동 능력보다 높게 설정하고, 상기 제 7 트랜지스터의 구동 능력을, 상기 제 8 트랜지스터의 구동 능력보다 높게 설정하는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 9

M (M 은 2 이상의 정수) 개의 플립플롭이 캐스케이드 접속된 적어도 1 개의 제 1 시프트 레지스터와, M 개의 플립플롭이 캐스케이드 접속된 적어도 1 개의 제 2 시프트 레지스터와, M 개의 다수결 회로를 구비하고,

상기 제 1 시프트 레지스터의 개수와 상기 제 2 시프트 레지스터의 개수의 합계가 3 이상의 홀수이고,

상기 제 1 시프트 레지스터는, 외부로부터 입력되는 입력 신호를 클럭 신호에 동기하여 후단의 플립플롭에 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 1 시프트 펄스를 출력하고,

상기 제 1 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에 풀다운 저항이 접속되고,

상기 제 2 시프트 레지스터는, 상기 입력 신호의 반전 신호를 상기 클럭 신호에 동기하여 후단의 플립플롭에 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 2 시프트 펄스를 출력하여,

상기 제 2 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에 풀업 저항이 접속되고,

상기 다수결 회로의 각각에는, 상기 제 1 시프트 레지스터의 N (N 은 1 이상 M 이하의 정수) 단째의 플립플롭으로부터의 제 1 시프트 펄스와, 상기 제 2 시프트 레지스터의 N 단째의 플립플롭으로부터의 제 2 시프트 펄스의 반전 펄스가 입력되고,

상기 다수결 회로는, 입력된 펄스 중 수가 많은 쪽의 펄스를 선택하고, 선택 결과를 제 3 시프트 펄스로서 출력하고,

당해 제 3 시프트 펄스에 의해, 표시 화면의 주사 신호선을 구동하는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 10

제 9 항에 있어서,

상기 제 1 시프트 레지스터 또는 상기 제 2 시프트 레지스터가 복수 형성되는 경우, 복수의 제 1 시프트 레지스터 또는 제 2 시프트 레지스터끼리는 근접하여 배치되지 않고, 전원 배선 및 GND 배선을 공통화하지 않는 것을 특징으로 하는 주사 신호선 구동 회로.

청구항 11

제 1 항, 제 3 항 내지 제 4 항 및 제 9 항 내지 제 10 항 중 어느 한 항에 기재된 주사 신호선 구동 회로를 구비하는, 표시 장치.

명세서

기술분야

[0001] 본 발명은, 표시 화면의 주사 신호선에 주사 신호를 부여하는 주사 신호선 구동 회로, 및 그 주사 신호선 구동 회로를 사용한 표시 장치에 관한 것이다.

배경기술

[0002] 최근에는, 많은 전자 기기나 전기 기기, 무선 기기 등의 전자파 발생원이 가까이에 존재하게 되었다. 이들의 전자파 발생원으로부터의 전자파는, 주위의 전자 환경에 다양한 영향을 미칠 우려가 있고, 또, 전자파 발생원이 되는 전자 기기 등 자체도, 다른 전자파 발생원에 의한 전자파로부터 영향을 받을 우려가 있다. 이로 인해, 전자 기기 등에는, 전자파를 기기의 외부에 발생시키지 않고, 또한, 주위의 전자 환경에 대한 내성을 갖게 할 필요가 있다.

[0003] 이와 같은 전자 기기 등의 전자파에 대한 평가의 규격이 제정되어 있고, 특히 정전기 방전을 시뮬레이션하는 규격으로서 IEC61000-4-2 가 있다. 그리고, IEC61000-4-2 규격에 대응하는 시험은, ESD 건이라고 불리는 펄스 발생 장치에 의해 실시된다. 액정 디스플레이 등의 표시 장치에서도, 상기와 같이 ESD 건에 의해 정전기 방전을 시뮬레이션하여 시험을 실시하고, 표시에 영향이 없는지를 확인하고 있다.

[0004] 또, 전자 기기 등의 전자파에 대한 내성을 향상시키는 기술도 제안되어 있다 (예를 들어, 특허문헌 1).

[0005] 도 12 는, 특허문헌 1 에 기재된 반도체 칩 (91) 의 구성을 나타내고 있다. 반도체 칩 (91) 의 외주부에는 복수개의 주연부 패드 (92) 가 형성되고, 와이어 (93) 에 의해 외부에 접속되어 있다. 또한, 반도체 칩

(91)의 상기 주연 패드(92) 이외의 칩 면에, 복수개의 중앙부 패드(94)가 직선 형상 또한 격자 형상으로 균일하게 형성되어 있다. 상기 중앙부 패드(94) 상호간에는 와이어(95)에 의해 연속적으로 와이어 본딩 접속되어 있다.

[0006] 이와 같은 구성으로 함으로써, 배선 저항에 의해 발생하는 전압 강하를 미소로 할 수 있고, 배선의 전위 경도가 저감되어 전원 노이즈에 의한 오동작 등을 방지할 수 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 「일본 공개특허공보 2005-85829호 (공개일 : 2005년 3월 31일)」

발명의 내용

해결하려는 과제

[0008] 그러나, 상기 종래의 구성에서는, Low 측으로 레벨 변동시키는 노이즈에 대한 내성은 다소 향상되지만, High 측으로 레벨 변동시키는 노이즈를 받았을 경우에, 오동작이 쉽게 발생된다는 문제를 일으킨다. 특히, TFT 액정 패널 등의 표시 장치에서는, High 측으로 레벨 변동시키는 노이즈에 의해 의도하지 않은 게이트 라인이 온되면, 가로 휘선의 발생과 같은 표시 문제가 발생될 우려가 있다. 이하, 구체적으로 설명한다.

[0009] 도 13은, 종래의 대표적인 TFT 액정 패널(101)의 구조를 나타내는 개략도이다. TFT 액정 패널(101)은, 유리 기판(102), 소스 드라이버(103) 및 게이트 드라이버(104)를 구비하고 있다. 유리 기판(102)에는 TFT(107)가 형성되고, TFT(107)의 드레인에, 화소 전극간에 액정을 사이에 둔 화소(108)가 접속되어 있다. 또, TFT(107)의 소스에는, 소스 드라이버(103)의 구동 출력이 연결되는 소스 라인(105)이 접속되어 있다. TFT(107)의 게이트에는, 게이트 드라이버(104)의 구동 출력이 연결되는 게이트 라인(106)이 접속되어 있다.

[0010] TFT(107)는, 게이트 라인(106)의 신호가 게이트에 부여됨으로써 온되고, 소스 라인(105)의 신호가 화소(108)에 부여된다. 화소(108)에 부여된 신호는, 대향 전극(109)과의 사이의 전압으로서 화소(108)에 축적되고, 이 전압에 의해 화소(108)내의 액정의 투과 레벨이 정해져 표시가 이루어진다.

[0011] 도 14는, 게이트 드라이버(104)의 구조를 나타내는 회로도이다. 게이트 드라이버(104)는, 시프트 레지스터(110), 레벨 시프터 회로(112), 출력 버퍼(113) 및 출력 단자(114)를 구비하고 있다. 시프트 레지스터(110)는, 7개의 D-FF(D-플립플롭)(111)로 구성되고, D-FF(111)의 각 출력(Q1 ~ Q7)으로부터의 신호는, 레벨 시프터 회로(112)에 입력되어 신호 레벨이 변환된다. 레벨 시프터 회로(112)로부터의 신호는, 출력 버퍼(113)를 통하여 출력 단자(114)로부터 게이트 라인(106)에 출력된다.

[0012] 시프트 레지스터(110)에서는, 각 D-FF(111)가 동작 클럭(CLK)에 의해 동작하고, 입력(IN)으로부터 입력된 신호를, 동작 클럭(CLK)의 타이밍으로, Q1에서부터 Q7로 순서대로 출력한다. 게이트 드라이버(104)는, 1출력이 1개의 게이트 라인(106)에 대응하도록 실장되어 있고, TFT 액정 패널(101)의 표시를 실시하기 위해, 게이트 라인(106)을 순서대로 구동한다.

[0013] 시프트 레지스터(110)의 출력(Q1 내지 Q7)은 통상적으로 Low 인데, 표시의 개시를 나타내는 타이밍으로 입력(IN)에 High 펄스가 입력되고, 순서대로 High 펄스를 시프트시킨다. 시프트 레지스터(110)로 시프트된 High 펄스는, 게이트 라인(106)을 순서대로 High로 하고, TFT(107)를 온으로 함으로써 화면 표시된다.

[0014] 여기에서, 게이트 드라이버(104)와 같은 반도체 집적 회로는, 그 주변에 위치하는 전원 단자 패드로부터 전원이 공급된다. 최근의 프로세스의 미세화나 칩 사이즈의 증가 경향에 의해, 특허문헌 1의 배경 기술에도 기재되어 있는 바와 같이, 전원 단자 패드로부터 칩 내의 능동 영역에 대한 전원 배선의 저항을 무시할 수 없을만큼 커져, 전원 노이즈에 의한 오동작의 원인이 되고 있다. 상기의 배선 저항의 영향은 전원뿐만 아니라, 신호 배선에서도 동일하다.

[0015] 구체적으로는, 도 13에 나타내는 TFT 액정 패널(101)에 대해, 배경 기술에 기재한 정전기 방전을 시뮬레이션

하는 시험을 실시했을 경우, 표시 화면에 가로 휘선이 나타나는 불량이 발생하는 경우가 있었다. 표시 문제의 원인을 해석한 결과, 게이트 드라이버 (104) 에서, D-FF (111) 의 출력과 출력 버퍼 (113) 의 입력측에서, High 측으로 레벨 변동시키는 노이즈에 의한 레벨 변동이 일어나, 의도하지 않은 게이트 라인 (106) 이 온되므로, 표시에 가로 휘선이 발생되는 것을 알았다.

[0016] 이와 같이, 시프트 레지스터 (110) 의 각 출력이 노이즈에 의해 High 측으로 레벨 변동하고, High 펄스를 출력하는 본래의 타이밍 이외에 게이트 드라이버 (104) 의 출력이 High 상태가 되었을 경우, 본래 표시를 실시하지 않는 게이트 라인 (106) 을 온으로 해버려, 표시 문제가 발생한다.

[0017] 또, 시프트 레지스터 (110) 의 일부의 D-FF (111) 의 출력이, 노이즈에 의해 High 상태가 되고, 다음 단의 D-FF (111) 의 입력이 이 High 레벨을 판독 입력해 버렸을 경우, 시프트 레지스터 (110) 는 정상적으로 시프트하는 High 펄스 외에, 노이즈에 의해 발생된 High 펄스도 시프트하게 되어, 표시 문제가 계속 일어난다.

[0018] 이와 같이, High 측으로 레벨 변동시키는 노이즈에 대해서는, 특허문헌 1 에 기재된 구성과 같이, 배선 저항의 전압 강하를 저감시키는 것에 의해서는, 노이즈 내성을 공제시킬 수 없다.

과제의 해결 수단

[0019] 본 발명은, 상기의 문제점을 감안하여 이루어진 것이고, 그 목적은, High 측으로 레벨 변동시키는 노이즈에 대한 내성이 높고, 표시 문제가 잘 발생되지 않는 주사 신호선 구동 회로 및 표시 장치를 실현하는 것에 있다.

[0020] 본 발명에 관련된 주사 신호선 구동 회로는, 상기 과제를 해결하기 위해서, M (M 은 2 이상의 정수) 개의 플립플롭이 캐스케이드 접속된 제 1 시프트 레지스터를 구비하고, 당해 제 1 시프트 레지스터는, 외부로부터 입력되는 입력 신호를 클럭 신호에 동기하여 후단의 플립플롭으로 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 1 시프트 펄스를 출력함으로써, 표시 화면의 주사 신호선을 구동하는 주사 신호선 구동 회로에 있어서, 상기 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에, 풀다운 저항이 접속되어 있는 것을 특징으로 하고 있다.

[0021] 상기의 구성에 의하면, 제 1 시프트 레지스터의 M 개의 플립플롭이, 입력 신호를 순서대로 전송함으로써, 주사 신호선을 구동하기 위한 제 1 시프트 펄스를 출력한다. 여기에서, 적어도 1 개의 플립플롭의 데이터 출력 단자에, 풀다운 저항이 접속되어 있고, 외부로부터 High 측으로 레벨 변동시키는 노이즈를 받았을 경우, 풀다운 저항은, 제 1 시프트 펄스의 High 측으로의 레벨 변동을 상쇄하도록 기능한다. 이로써, 의도하지 않은 타이밍으로 제 1 시프트 펄스가 High 가 되고, 본래 표시를 실시하지 않는 게이트 라인을 온으로 해버리는 것에 의한 표시 문제의 발생을 방지할 수 있다. 따라서, High 측으로 레벨 변동시키는 노이즈에 대한 내성이 높고, 표시 문제가 잘 발생되지 않는 주사 신호선 구동 회로를 실현할 수 있다는 효과를 발휘한다.

[0022] 본 발명에 관련된 주사 신호선 구동 회로에서는, 추가로, M 개의 플립플롭이 캐스케이드 접속된 제 2 시프트 레지스터와 M 개의 논리 회로를 구비하고, 당해 제 2 시프트 레지스터는, 상기 입력 신호의 반전 신호를 상기 클럭 신호에 동기하여 후단의 플립플롭에 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 2 시프트 펄스를 출력하고, 상기 제 2 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에, 풀업 저항이 접속되고, 상기 논리 회로는 각각, 상기 제 1 시프트 레지스터의 N (N 은 1 이상 M 이하의 정수) 단째의 플립플롭으로부터의 제 1 시프트 펄스와, 상기 제 2 시프트 레지스터의 N 단째의 플립플롭으로부터의 제 2 시프트 펄스의 반전 펄스와의 논리합을, 제 3 시프트 펄스로서 출력하고, 당해 제 3 시프트 펄스에 의해, 상기 주사 신호선을 구동하는 것이 바람직하다.

[0023] 상기의 구성에 의하면, 제 1 시프트 레지스터에 더하여, 추가로 제 2 시프트 레지스터가 형성된다. 제 2 시프트 레지스터를 구성하는 플립플롭은, 제 1 시프트 레지스터와는 반대로, 입력 신호의 반전 신호를 순서대로 전송하고, 제 2 시프트 펄스를 출력한다. 여기에서, 제 2 시프트 레지스터의 적어도 1 개의 플립플롭의 데이터 출력 단자에는, 풀업 저항이 접속되어 있고, 외부로부터 Low 측으로 레벨 변동시키는 노이즈를 받았을 경우, 풀업 저항은, 제 2 시프트 펄스의 Low 측으로의 레벨 변동을 상쇄하도록 기능한다.

[0024] 또한, 제 1 시프트 레지스터 및 제 2 시프트 레지스터에서의 동일 단의 플립플롭으로부터의 제 1 시프트 펄스 및 제 2 시프트 펄스의 반전 펄스를, 논리 회로가 논리합을 취하고, 제 3 시프트 펄스로서 출력하여 주사 신호선을 구동한다. 이로써, Low 측으로 레벨 변동시키는 노이즈에 의해, 제 1 시프트 레지스터의 시프트가 중단되어 제 1 시프트 펄스가 소멸되어도, 제 2 시프트 펄스의 반전 펄스가 제 3 시프트 펄스로서 출력된다.

여기에서, 제 2 시프트 펄스는, 입력 신호의 반전 신호를 시프트함으로써 출력되므로, 제 2 시프트 펄스의 반전 펄스는, 정상적으로 시프트했을 경우의 제 1 시프트 펄스와 동일 파형이 된다. 따라서, 외부로부터 Low 측으로 레벨 변동시키는 노이즈를 받아 제 1 시프트 펄스가 소멸된 경우에도, 제 2 시프트 펄스가 소멸되지 않으면, 제 3 시프트 펄스는 정상적으로 시프트했을 경우의 제 1 시프트 펄스와 동일 파형이 된다.

[0025] 상기와 같이, 제 2 시프트 펄스는 Low 측으로 레벨 변동시키는 노이즈에 대해 레벨 변동하기 어렵기 때문에, 제 3 시프트 펄스는 High 측으로 레벨 변동시키는 노이즈뿐만 아니라, Low 측으로 레벨 변동시키는 노이즈에 대해서도 레벨 변동하기 어렵다. 따라서, High 측으로 레벨 변동시키는 노이즈와 Low 측으로 레벨 변동시키는 노이즈의 양방에 대해 내성이 높은 주사 신호선 구동 회로를 실현할 수 있다.

[0026] 본 발명에 관련된 주사 신호선 구동 회로는, 상기 과제를 해결하기 위해서, M (M 은 2 이상의 정수) 개의 플립플롭이 캐스케이드 접속된 제 1 시프트 레지스터를 구비하고, 당해 제 1 시프트 레지스터는, 외부로부터 입력되는 입력 신호를 클럭 신호에 동기하여 후단의 플립플롭으로 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 1 시프트 펄스를 출력함으로써, 표시 화면의 주사 신호선을 구동하는 주사 신호선 구동 회로에 있어서, 상기 플립플롭 중, 적어도 1 개의 플립플롭은, 당해 플립플롭의 데이터 입력 단자를 구성하는 제 1 트랜스퍼 게이트와, 제 1 인버터와, 제 2 트랜스퍼 게이트와, 제 2 인버터와, 데이터 출력 단자를 구성하는 제 1 버퍼 회로를 구비하고, 상기 데이터 입력 단자, 제 1 트랜스퍼 게이트, 제 1 인버터, 제 2 트랜스퍼 게이트, 제 2 인버터 및 제 1 버퍼 회로가 이 순서대로 접속되어, 상기 제 1 인버터와 상기 제 2 트랜스퍼 게이트 사이의 제 1 접속점에 제 1 풀업 저항이 형성되고, 상기 제 2 인버터와 상기 제 1 버퍼 회로 사이의 제 2 접속점에 제 1 풀다운 저항이 형성되어 있는 것을 특징으로 하고 있다.

[0027] 상기의 구성에 의하면, 제 1 시프트 레지스터의 M 개의 플립플롭이, 입력 신호를 순서대로 전송함으로써, 주사 신호선을 구동하기 위한 제 1 시프트 펄스를 출력한다. 여기에서, 적어도 1 개의 플립플롭은, 제 1 인버터와 제 2 트랜스퍼 게이트 사이의 제 1 접속점에 제 1 풀업 저항이 형성되고, 제 2 인버터와 제 1 버퍼 회로 사이의 제 2 접속점에 제 1 풀다운 저항이 형성되어 있으므로, 플립플롭 내부의 High 측으로 레벨 변동시키는 노이즈에 대한 내성을 높일 수 있다. 따라서, 제 1 시프트 펄스는, High 측으로 레벨 변동시키는 노이즈를 받아도, 레벨 변동하기 어렵다. 이로써, 의도하지 않는 타이밍으로 제 1 시프트 펄스가 High 가 되고, 본래 표시를 실시하지 않는 게이트 라인을 온으로 해버리는 것에 의한 표시 문제의 발생을 방지할 수 있다. 따라서, High 측으로 레벨 변동시키는 노이즈에 대한 내성이 높고, 표시 문제가 잘 발생되지 않는 주사 신호선 구동 회로를 실현할 수 있다는 효과를 발휘한다.

[0028] 본 발명에 관련된 주사 신호선 구동 회로에서는, 상기 제 1 풀업 저항은 상기 제 1 접속점에 형성되는 대신에, 상기 제 2 트랜스퍼 게이트와 상기 제 2 인버터 사이의 제 3 접속점에 형성되고, 상기 제 1 풀다운 저항은, 상기 제 2 접속점에 형성되는 대신에, 상기 제 1 트랜스퍼 게이트와 상기 제 1 인버터 사이의 제 4 접속점에 형성되어도 된다.

[0029] 상기의 구성에 의하면, 제 1 풀업 저항은 제 2 트랜스퍼 게이트와 제 2 인버터 사이의 제 3 접속점에 형성되고, 제 1 풀다운 저항은 제 1 트랜스퍼 게이트와 제 1 인버터 사이의 제 4 접속점에 형성되어 있으므로, 플립플롭 내부의 High 측으로 레벨 변동시키는 노이즈에 대한 내성을 높일 수 있다. 따라서, 제 1 시프트 펄스는, High 측으로 레벨 변동시키는 노이즈를 받아도 레벨 변동하기 어렵다.

[0030] 본 발명에 관련된 주사 신호선 구동 회로에서는, 상기 제 1 인버터는 하이 레벨의 신호를 출력하는 제 1 트랜지스터와, 로우 레벨의 신호를 출력하는 제 2 트랜지스터로 구성되고, 상기 제 2 인버터는 하이 레벨의 신호를 출력하는 제 3 트랜지스터와, 로우 레벨의 신호를 출력하는 제 4 트랜지스터로 구성되고, 상기 제 1 풀업 저항 및 제 1 풀다운 저항을 형성하는 대신에, 상기 제 1 트랜지스터의 구동 능력을, 상기 제 2 트랜지스터의 구동 능력보다 높게 설정하고, 상기 제 4 트랜지스터의 구동 능력을, 상기 제 3 트랜지스터의 구동 능력보다 높게 설정해도 된다.

[0031] 상기의 구성에 의하면, 제 1 인버터의 하이 레벨의 신호를 출력하는 제 1 트랜지스터의 구동 능력이, 로우 레벨의 신호를 출력하는 제 2 트랜지스터에 비해 높기 때문에, 제 1 인버터와 제 2 트랜스퍼 게이트 사이의 제 1 접속점에 풀업 저항을 형성한 경우와 동일한 상태가 된다. 또, 제 2 인버터의 로우 레벨의 신호를 출력하는 제 4 트랜지스터의 구동 능력이, 하이 레벨의 신호를 출력하는 제 3 트랜지스터에 비해 높기 때문에, 제 2 인버터와 제 1 버퍼 회로 사이의 제 2 접속점에 풀다운 저항을 형성한 경우와 동일한 상태가 된다. 따라서, 플립플롭 내부의 High 측으로 레벨 변동시키는 노이즈에 대한 내성을 높일 수 있고, 제 1 시프트 펄스를, High 측으로 레벨 변동시키는 노이즈를 받아도 레벨 변동하기 어려운 구성으로 할 수 있다.

- [0032] 본 발명에 관련된 주사 신호선 구동 회로에서는, 추가로, M 개의 플립플롭이 캐스캐이드 접속된 제 2 시프트 레지스터와 M 개의 논리 회로를 구비하고, 당해 제 2 시프트 레지스터는, 상기 입력 신호의 반전 신호를 상기 클럭 신호에 동기하여 후단의 플립플롭으로 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 2 시프트 펄스를 출력하고, 상기 제 2 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭은, 당해 플립플롭의 데이터 입력 단자를 구성하는 제 3 트랜스퍼 게이트와, 제 3 인버터와, 제 4 트랜스퍼 게이트와, 제 4 인버터와, 데이터 출력 단자를 구성하는 제 2 버퍼 회로를 구비하고, 상기 데이터 입력 단자, 제 3 트랜스퍼 게이트, 제 3 인버터, 제 4 트랜스퍼 게이트, 제 4 인버터 및 제 2 버퍼 회로가 이 순서대로 접속되고, 상기 제 3 인버터와 상기 제 4 트랜스퍼 게이트 사이의 제 5 접속점에, 제 2 풀다운 저항이 형성되고, 상기 제 4 인버터와 상기 제 2 버퍼 회로 사이의 제 6 접속점에, 제 2 풀업 저항이 형성되고, 상기 논리 회로는 각각, 상기 제 1 시프트 레지스터의 N (N 은 1 이상 M 이하의 정수) 단개의 플립플롭으로부터의 제 1 시프트 펄스와, 상기 제 2 시프트 레지스터의 N 단개의 플립플롭으로부터의 제 2 시프트 펄스의 반전 펄스와의 논리합을, 제 3 시프트 펄스로서 출력하고, 당해 제 3 시프트 펄스에 의해, 상기 주사 신호선을 구동하는 것이 바람직하다.
- [0033] 상기의 구성에 의하면, 제 1 시프트 레지스터에 더하여, 추가로 제 2 시프트 레지스터가 형성된다. 제 2 시프트 레지스터를 구성하는 플립플롭은, 제 1 시프트 레지스터와는 반대로, 입력 신호의 반전 신호를 순서대로 전송하고, 제 2 시프트 펄스를 출력한다. 여기에서, 제 2 시프트 레지스터의 적어도 1 개의 플립플롭은, 제 3 인버터와 제 4 트랜스퍼 게이트 사이의 제 5 접속점에 제 2 풀다운 저항이 형성되고, 제 4 인버터와 제 2 버퍼 회로 사이의 제 6 접속점에 제 2 풀업 저항이 형성되어 있으므로, 플립플롭 내부의 Low 측으로 레벨 변동시키는 노이즈에 대한 내성을 높일 수 있다. 따라서, 제 2 시프트 펄스는 Low 측으로 레벨 변동시키는 노이즈를 받아도, 레벨 변동하기 어렵다.
- [0034] 또한, 제 1 시프트 레지스터 및 제 2 시프트 레지스터에서의 동일 단의 플립플롭으로부터의 제 1 시프트 펄스 및 제 2 시프트 펄스의 반전 펄스를, 논리 회로가 논리합을 취하고, 제 3 시프트 펄스로서 출력하여 주사 신호선을 구동한다. 이로써, Low 측으로 레벨 변동시키는 노이즈에 의해, 제 1 시프트 레지스터의 시프트가 중단되어 제 1 시프트 펄스가 소멸되어도, 제 2 시프트 펄스의 반전 펄스가 제 3 시프트 펄스로서 출력된다. 여기에서, 제 2 시프트 펄스는, 입력 신호의 반전 신호를 시프트함으로써 출력되므로, 제 2 시프트 펄스의 반전 펄스는, 정상적으로 시프트했을 경우의 제 1 시프트 펄스와 동일 파형이 된다. 따라서, 외부로부터 Low 측으로 레벨 변동시키는 노이즈를 받아 제 1 시프트 펄스가 소멸된 경우에도, 제 2 시프트 펄스가 소멸되지 않으면, 제 3 시프트 펄스는 정상적으로 시프트했을 경우의 제 1 시프트 펄스와 동일 파형이 된다.
- [0035] 상기와 같이, 제 2 시프트 펄스는 Low 측으로 레벨 변동시키는 노이즈에 대해 레벨 변동하기 어렵기 때문에, 제 3 시프트 펄스는 High 측으로 레벨 변동시키는 노이즈뿐만 아니라, Low 측으로 레벨 변동시키는 노이즈에 대해서도 레벨 변동하기 어렵다. 따라서, High 측으로 레벨 변동시키는 노이즈와 Low 측으로 레벨 변동시키는 노이즈의 양방에 대해 내성이 높은 주사 신호선 구동 회로를 실현할 수 있다.
- [0036] 본 발명에 관련된 주사 신호선 구동 회로에서는, 상기 제 2 풀다운 저항은, 상기 제 5 접속점에 형성되는 대신에, 상기 제 4 트랜스퍼 게이트와 상기 제 4 인버터 사이의 제 7 접속점에 형성되고, 상기 제 2 풀업 저항은, 상기 제 6 접속점에 형성되는 대신에, 상기 제 3 트랜스퍼 게이트와 상기 제 3 인버터 사이의 제 8 접속점에 형성되어도 된다.
- [0037] 상기의 구성에 의하면, 제 2 풀다운 저항은 제 4 트랜스퍼 게이트와 제 4 인버터 사이의 제 7 접속점에 형성되고, 제 2 풀업 저항은 제 3 트랜스퍼 게이트와 제 3 인버터 사이의 제 8 접속점에 형성되어 있으므로, 플립플롭 내부의 Low 측으로 레벨 변동시키는 노이즈에 대한 내성을 높일 수 있다. 따라서, 제 2 시프트 펄스는 Low 측으로 레벨 변동시키는 노이즈를 받아도 레벨 변동하기 어렵다.
- [0038] 본 발명에 관련된 주사 신호선 구동 회로에서는, 상기 제 3 인버터는, 하이 레벨의 신호를 출력하는 제 5 트랜지스터와, 로우 레벨의 신호를 출력하는 제 6 트랜지스터로 구성되고, 상기 제 4 인버터는, 하이 레벨의 신호를 출력하는 제 7 트랜지스터와, 로우 레벨의 신호를 출력하는 제 8 트랜지스터로 구성되고, 상기 제 2 풀업 저항 및 제 2 풀다운 저항을 형성하는 대신에, 상기 제 6 트랜지스터의 구동 능력을, 상기 제 5 트랜지스터의 구동 능력보다 높게 설정하고, 상기 제 7 트랜지스터의 구동 능력을, 상기 제 8 트랜지스터의 구동 능력보다 높게 설정해도 된다.
- [0039] 상기의 구성에 의하면, 제 3 인버터의 로우 레벨의 신호를 출력하는 제 6 트랜지스터의 구동 능력이, 하이 레벨의 신호를 출력하는 제 5 트랜지스터에 비해 높기 때문에, 제 3 인버터와 제 4 트랜스퍼 게이트 사이의 제 5 접속점에 풀다운 저항을 형성한 경우와 동일한 상태가 된다. 또, 제 4 인버터의 하이 레벨의 신호를 출력하는

제 7 트랜지스터의 구동 능력이, 로우 레벨의 신호를 출력하는 제 8 트랜지스터에 비해 높기 때문에, 제 4 인버터와 제 2 버퍼 회로 사이의 제 6 접속점에 폴업 저항을 형성한 경우와 동일한 상태가 된다. 따라서, 플립플롭 내부의 Low 측으로 레벨 변동시키는 노이즈에 대한 내성을 높일 수 있고, 제 2 시프트 펄스를, Low 측으로 레벨 변동시키는 노이즈를 받아도 레벨 변동하기 어려운 구성으로 할 수 있다.

[0040] 본 발명에 관련된 주사 신호선 구동 회로에서는, 상기 과제를 해결하기 위해서, M (M 은 2 이상의 정수) 개의 플립플롭이 캐스케이드 접속된 적어도 1 개의 제 1 시프트 레지스터와, M 개의 플립플롭이 캐스케이드 접속된 적어도 1 개의 제 2 시프트 레지스터와, M 개의 다수결 회로를 구비하고, 상기 제 1 시프트 레지스터의 개수와 상기 제 2 시프트 레지스터의 개수의 합계가 3 이상의 홀수이고, 상기 제 1 시프트 레지스터는, 외부로부터 입력되는 입력 신호를 클록 신호에 동기하여 후단의 플립플롭에 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 1 시프트 펄스를 출력하고, 상기 제 1 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에 풀다운 저항이 접속되고, 상기 제 2 시프트 레지스터는 상기 입력 신호의 반전 신호를 상기 클록 신호에 동기하여 후단의 플립플롭에 순서대로 전송하고, 각 플립플롭의 데이터 출력 단자로부터 제 2 시프트 펄스를 출력하여, 상기 제 2 시프트 레지스터의 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에 폴업 저항이 접속되고, 상기 다수결 회로의 각각에는, 상기 제 1 시프트 레지스터의 N (N 은 1 이상 M 이하의 정수) 단째의 플립플롭으로부터의 제 1 시프트 펄스와, 상기 제 2 시프트 레지스터의 N 단째의 플립플롭으로부터의 제 2 시프트 펄스의 반전 펄스가 입력되고, 상기 다수결 회로는, 입력된 펄스 중 수가 많은 쪽의 펄스를 선택하고, 선택 결과를 제 3 시프트 펄스로서 출력하여, 당해 제 3 시프트 펄스에 의해, 표시 화면의 주사 신호선을 구동하는 것을 특징으로 하고 있다.

[0041] 상기의 구성에 의하면, 제 1 시프트 레지스터 및 제 2 시프트 레지스터가, 합계 3 이상의 홀수개 형성된다. 여기에서, 상기와 같이, 제 1 시프트 레지스터는 풀다운 저항에 의해 High 측으로 레벨 변동시키는 노이즈에 대한 내성이 높고, 제 2 시프트 레지스터는 폴업 저항에 의해 Low 측으로 레벨 변동시키는 노이즈에 대한 내성이 높아지고 있다.

[0042] 또한, 제 1 시프트 레지스터 및 제 2 시프트 레지스터에서의 동일 단의 플립플롭으로부터의 제 1 시프트 펄스 및 제 2 시프트 펄스의 반전 펄스가, 다수결 회로에 입력되고, 다수결 회로는 입력된 펄스 중 수가 많은 쪽의 펄스를 선택하고 제 3 시프트 펄스로서 출력한다. 모든 시프트 레지스터가 정상적으로 시프트 동작을 실시하고 있는 경우, 제 1 시프트 펄스와 제 2 시프트 펄스의 반전 펄스는 동일 파형이 된다. 여기에서, 외부로부터의 High 측으로 레벨 변동시키는 노이즈 또는 Low 측으로 레벨 변동시키는 노이즈에 의해, 일부의 시프트 펄스에 오동작이 생겨 입력 펄스의 일부가 상이한 파형이 되었을 경우에도, 다수결 회로가 많은 쪽의 펄스를 선택하므로, 제 3 시프트 펄스의 파형은 정상시와 변함없다. 따라서, High 측으로 레벨 변동시키는 노이즈와 Low 측으로 레벨 변동시키는 노이즈의 양방에 대해 내성이 높은 주사 신호선 구동 회로를 실현할 수 있다.

[0043] 본 발명에 관련된 주사 신호선 구동 회로에서는, 상기 제 1 시프트 레지스터 또는 상기 제 2 시프트 레지스터가 복수 형성되는 경우, 복수의 제 1 시프트 레지스터 또는 제 2 시프트 레지스터끼리는 근접하여 배치되지 않고, 전원 배선 및 GND 배선을 공통화하지 않는 것이 바람직하다.

[0044] 제 1 시프트 레지스터는, High 측으로 레벨 변동시키는 노이즈에 대한 내성은 높은 반면, Low 측으로 레벨 변동시키는 노이즈에 대한 내성은 낮아지고 있다. 또, 제 2 시프트 레지스터는, Low 측으로 레벨 변동시키는 노이즈에 대한 내성은 높은 반면, High 측으로 레벨 변동시키는 노이즈에 대한 내성은 낮아지고 있다. 따라서, 예를 들어, 제 1 시프트 레지스터를 제 2 시프트 레지스터보다 많이 형성하고 있는 경우, Low 측으로 레벨 변동시키는 노이즈에 의해 제 1 시프트 레지스터 모두에 오동작이 발생되어 버리면, 다수결 회로로부터의 제 3 시프트 펄스도 잘못된 신호가 되어 버린다.

[0045] 이것에 대해, 상기의 구성에 의하면, 제 1 시프트 레지스터 또는 제 2 시프트 레지스터끼리는 근접하여 배치되지 않고, 전원 배선 및 GND 배선을 공통화하지 않았기 때문에, High 측으로 레벨 변동시키는 노이즈, 또는 Low 측으로 레벨 변동시키는 노이즈에 의해, 제 1 또는 제 2 시프트 레지스터 일방의 전부에 오동작을 일으키는 리스크를 저감시킬 수 있다. 따라서, 제 3 시프트 펄스에 대한 노이즈로부터의 영향을 더욱 저감시킬 수 있다.

[0046] 본 발명에 관련된 표시 장치는, 상기 주사 신호선 구동 회로를 구비하고 있다.

[0047] 상기의 구성에 의하면, 주사 신호선 구동 회로는, High 측으로 레벨 변동시키는 노이즈, 또는 High 측으로 레벨

변동시키는 노이즈와 Low 측으로 레벨 변동시키는 노이즈의 양방에 대한 내성이 높기 때문에, 적어도 High 측으로 레벨 변동시키는 노이즈에 대한 내성이 높고, 표시 문제가 발생하기 어려운 표시 장치를 실현할 수 있다는 효과를 발휘한다.

[0048] 본 발명에 관련된 주사 신호선 구동 회로는, 이상과 같이, 상기 플립플롭 중, 적어도 1 개의 플립플롭의 데이터 출력 단자에, 풀다운 저항이 접속되어 있으므로, High 측으로 레벨 변동시키는 노이즈에 대한 내성이 높고, 표시 문제가 발생하기 어려운 주사 신호선 구동 회로를 실현할 수 있다는 효과를 발휘한다.

[0049] 본 발명의 또 다른 목적, 특징, 및 우수한 점은, 이하에 나타내는 기재에 의해 충분히 알 수 있을 것이다. 또, 본 발명의 이익은, 첨부 도면을 참조한 다음의 설명에서 명백해질 것이다.

도면의 간단한 설명

- [0050] 도 1 은 제 1 실시형태에 관련된 게이트 드라이버의 구성을 나타내는 회로도이다.
- 도 2 는 제 1 실시형태에 관련된 TFT 액정 패널의 구성을 나타내는 개략도이다.
- 도 3 은 제 2 실시형태에 관련된 게이트 드라이버의 구성을 나타내는 회로도이다.
- 도 4 는 도 3 에 나타내는 게이트 드라이버가 노이즈를 받지 않은 통상시에서의, 각 플립플롭 및 OR 회로로부터의 신호 파형을 나타내는 타이밍 차트이다.
- 도 5 는 도 3 에 나타내는 게이트 드라이버가, Low 측으로 레벨 변동시키는 노이즈를 받았을 경우에서의, 각 플립플롭 및 OR 회로로부터의 신호 파형을 나타내는 타이밍 차트이다.
- 도 6 은 본 발명에 관련된 논리 회로의 변형예를 나타내는 회로도이다.
- 도 7 은 제 3 실시형태에 관련된 게이트 드라이버의 구성을 나타내는 회로도이다.
- 도 8 은 도 7 에 나타내는 게이트 드라이버에서의 일방의 시프트 레지스터를 구성하는 플립플롭의 상세를 나타내는 회로도이다.
- 도 9 는 도 7 에 나타내는 게이트 드라이버에서의 타방의 시프트 레지스터를 구성하는 플립플롭의 상세를 나타내는 회로도이다.
- 도 10 은 제 4 실시형태에 관련된 게이트 드라이버의 구성을 나타내는 회로도이다.
- 도 11 은 도 10 에 나타내는 게이트 드라이버에 형성되는 다수결 회로의 상세를 나타내는 회로도이다.
- 도 12 는 종래의 반도체 칩의 구성을 나타내는 개략도이다.
- 도 13 은 종래의 TFT 액정 패널의 구성을 나타내는 개략도이다.
- 도 14 는 종래의 게이트 드라이버의 구성을 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0051] 발명을 실시하기 위한 최선의 형태
- [0052] 이하에, 본 발명에 관련되는 반도체 장치에 대한 실시형태를 도면에 기초하여 설명한다. 또한, 이하의 설명에서는, 본 발명을 실시하기 위해서 기술적으로 바람직한 여러가지 한정(限制)이 부가되어 있는데, 본 발명의 범위가 이하의 실시형태 및 도면에 한정되는 것은 아니다.
- [0053] [실시형태 1]
- [0054] 본 발명의 제 1 실시형태에 대해 도 1 및 도 2 에 기초하여 설명하면 이하와 같다.
- [0055] 도 2 는, 본 실시형태에 관련된 TFT 액정 패널 (1) 의 구성을 나타내는 개략도이다. TFT 액정 패널 (1) 은, 유리 기판 (2), 소스 드라이버 (3) 및 게이트 드라이버 (4) 를 구비하고 있다. 유리 기판 (2) 에는, 소스 라인 (5) 및 게이트 라인 (6) 이 형성되고, 소스 라인 (5) 및 게이트 라인 (6) 의 각 교점에, TFT (7) 및 화소 (8) 가 형성되고, 화소 (8) 의 일단은 대향 전극 (9) 에 접속되어 있다. 여기에서, TFT 액정 패널 (1) 의 유리 기판 (2), 소스 드라이버 (3), 소스 라인 (5), 게이트 라인 (6), TFT (7), 화소 (8) 및 대향 전극 (9) 은, 도 13 에 나타내는 TFT 액정 패널 (101) 의 유리 기판 (102), 소스 드라이버 (103), 소스 라인 (105), 게

이트 라인 (106), TFT (107), 화소 (108) 및 대향 전극 (109) 과 각각 대략 동일하므로, 세부의 설명은 생략한다.

- [0056] 본 실시형태에서는, TFT 액정 패널 (1) 의 전자와 노이즈에 대한 내성을 강화시키기 위해, 게이트 드라이버 (4) 를 이하와 같이 구성하고 있다.
- [0057] 도 1 은, 게이트 드라이버 (4) 의 구성을 나타내는 회로도이다. 게이트 드라이버 (4) 는, 시프트 레지스터 (10d), 7 개의 레벨 시프터 회로 (12), 7 개의 출력 버퍼 (13) 및 7 개의 출력 단자 (14) 를 구비하고, 시프트 레지스터 (10d) 는, 캐스케이드 접속된 7 개의 D-FF (11) 을 구비하고 있다. D-FF (11), 레벨 시프터 회로 (12), 출력 버퍼 (13) 및 출력 단자 (14) 는, 도 14 에 나타내는 D-FF (111), 레벨 시프터 회로 (112), 출력 버퍼 (113) 및 출력 단자 (114) 와 대략 동일하다. 또한, 레벨 시프터 회로 (12) 나 출력 버퍼 (13) 의 개수는 7 개에 한정하지 않고, 주사하는 게이트 라인의 개수에 따라 적절히 설정된다.
- [0058] 시프트 레지스터 (10d) 는, 캐스케이드 접속된 7 개의 D-FF (11) 를 구비하고 있고, 시프트 레지스터 (10d) 초단의 D-FF (11) 의 데이터 입력 단자 (D) 에는, 게이트 드라이버 (4) 의 입력 신호 (IN) 가 입력된다. 또, 시프트 레지스터 (10d) 의 각 D-FF (11) 의 클록 단자 (CK) 에는, 동작 클록 (CLK) 이 입력되고, 각 D-FF (11) 의 데이터 출력 단자 (Q) 로부터, 신호 (Q1d ~ Q7d) 가 출력된다.
- [0059] 또한, 시프트 레지스터 (10d) 에서는, 각 D-FF (11) 의 데이터 출력 단자 (Q) 에, 풀다운 저항 (Rd) 이 접속되어 있다. 보다 구체적으로는, D-FF (11) 의 데이터 출력 단자 (Q) 에 풀다운 저항 (Rd) 의 일단이 접속되고, 풀다운 저항 (Rd) 의 타단은 접지되어 있다.
- [0060] 이로써, 외부로부터 전자와 노이즈를 받아, D-FF (11) 의 신호 (Q1d ~ Q7d) 가 High 측으로 레벨 변동을 하고자 했을 경우, 이 레벨 변동을 상쇄하는 효과가 있다. 따라서, High 측으로 레벨 변동시키는 노이즈에 의해, 본래 표시를 실시하지 않는 게이트 라인이 온으로 되어버려, 표시 문제가 발생하는 것을 방지할 수 있다.
- [0061] 또한, 풀다운 저항 (Rd) 의 저항값이 작을수록, High 측으로 레벨 변동시키는 노이즈에 대한 내성을 높일 수 있는 반면, 시프트 레지스터 (10d) 가 High 펄스를 출력하는 구동 능력이 저하된다. 시프트 레지스터 (10d) 의 구동 능력이 저하되면, Low 측으로 레벨 변동시키는 노이즈를 받았을 경우, 정상적으로 시프트하고 있는 High 펄스가 소멸되는 경우가 있다. 또, 풀다운 저항 (Rd) 의 저항값은 각 D-FF (11) 의 버퍼 능력과의 상대값이 되고, 각 D-FF (11) 의 버퍼 능력은 구동하는 회로 규모나 동작 스피드에 의해 필요해지는 값이 상이하다. 따라서, 풀다운 저항 (Rd) 의 저항값은 상정되는 노이즈, D-FF (11) 의 버퍼 능력 등을 고려하여 설정된다.
- [0062] 또, 본 실시형태에서는, 풀다운 저항 (Rd) 을 각 D-FF (11) 의 데이터 출력 단자 (Q) 에 형성하고 있는데, 적어도 1 개의 D-FF (11) 의 데이터 출력 단자 (Q) 에 형성하는 구성으로 해도, 종래 구성에 비해 노이즈 내성을 향상시킬 수 있다. 또, D-FF (11) 는 JK 형 등의 다른 플립플롭이어도 된다.
- [0063] [실시형태 2]
- [0064] 본 발명의 제 2 실시형태에 대해 도 3 내지 도 6 에 기초하여 설명하면 이하와 같다. 제 1 실시형태에 관련된 게이트 드라이버 (4) 에서는, High 측으로 레벨 변동시키는 노이즈에 대한 내성을 향상시키고 있는데, 풀다운 저항 (Rd) 을 형성함으로써, Low 측으로 레벨 변동시키는 노이즈에 대한 내성이 저하되게 된다. 그래서, 본 실시형태에서는, Low 측으로 레벨 변동시키는 노이즈에 대해서도 내성을 향상시키는 구성에 대해 설명한다.
- [0065] 도 3 은, 본 실시형태에 관련된 게이트 드라이버 (24) 의 구성을 나타내는 회로도이다. 게이트 드라이버 (24) 는, 2 개의 시프트 레지스터 (10d?10u), 7 개의 레벨 시프터 회로 (12), 7 개의 출력 버퍼 (13), 7 개의 출력 단자 (14) 및 7 개의 OR 회로 (15) 를 구비하고 있다. 즉, 게이트 드라이버 (24) 는, 도 1 에 나타내는 게이트 드라이버 (4) 에서, 시프트 레지스터 (10u) 및 OR 회로 (15) 를 추가로 구비한 구성이다.
- [0066] 시프트 레지스터 (10u) 도, 시프트 레지스터 (10d) 와 동일하게, 캐스케이드 접속된 7 개의 D-FF (11) 를 구비하고 있고, 시프트 레지스터 (10u) 초단의 D-FF (11) 의 데이터 입력 단자 (D) 에는, 게이트 드라이버 (4) 의 입력 신호 (IN) 가 인버터 (INV1) 를 통하여 입력된다. 또, 시프트 레지스터 (10u) 의 각 D-FF (11) 의 클록 단자 (CK) 에도 동작 클록 (CLK) 이 입력되고, 각 D-FF (11) 의 데이터 출력 단자 (Q) 로부터 신호 (Q1u ~ Q7u) 가 출력된다.
- [0067] 또한, 시프트 레지스터 (10u) 의 각 D-FF (11) 의 데이터 출력 단자 (Q) 에는 풀업 저항 (Ru) 이 접속되어

있다. 보다 구체적으로는, D-FF (11)의 데이터 출력 단자 (Q)에 풀업 저항 (Ru)의 일단이 접속되고, 풀업 저항 (Ru)의 타단은 전원 전위에 접속되어 있다.

[0068] 시프트 레지스터 (10d)의 각 D-FF (11)로부터는 신호 (Q1d ~ Q7d)가 출력되고, 시프트 레지스터 (10u)의 각 D-FF (11)로부터는 신호 (Q1u ~ Q7u)가 출력된다. 신호 (Q1d ~ Q7d)는 각각, 각 OR 회로 (15)의 입력 단자의 일방에 입력된다. 한편, 신호 (Q1u ~ Q7u)는 각각, 인버터 (INV1)를 통하여 각 OR 회로 (15)의 입력 단자의 타방으로 입력된다. 이로써, 각 OR 회로 (15)에서는, 신호 (Qmd)와 신호 (Qmu) (m은 1 ~ 7의 정수)의 반전 신호와의 논리합을, 신호 (Qm) (m은 1 ~ 7의 정수)로서 각 레벨 시프터 회로 (12)에 출력한다. 각 신호 (Q1 ~ Q7)는, 레벨 시프터 회로 (12)에서 신호 레벨이 변환되고, 출력 버퍼 (13)를 통하여 출력 단자 (14)로부터 게이트 라인에 출력된다.

[0069] 이와 같이, 본 실시형태의 게이트 드라이버 (24)는, 각 D-FF (11)의 데이터 출력 단자 (Q)에 풀다운 저항 (Rd)을 형성한 시프트 레지스터 (10d)와, 각 D-FF (11)의 데이터 출력 단자 (Q)에 풀업 저항 (Ru)을 형성하고, 시프트 레지스터 (10d)가 시프트하는 신호와는 반대의 논리값의 신호를 시프트하는 시프트 레지스터 (10u)와의 2개의 시프트 레지스터를 구비하고 있다. 시프트 레지스터 (10d)에서는, 외부로부터의 전자과 노이즈를 받아, D-FF (11)의 신호 (Q1d ~ Q7d)가 High 측으로 레벨 변동을 하고자 했을 경우, 이 레벨 변동을 상쇄하는 효과가 있다. 한편, 시프트 레지스터 (10u)에서는, 외부로부터의 전자과 노이즈를 받아, D-FF (11)의 신호 (Q1u ~ Q7u)가 Low 측으로 레벨 변동을 하고자 했을 경우, 이 레벨 변동을 상쇄하는 효과가 있다.

[0070] 또한, 시프트 레지스터 (10d)로부터의 신호 (Qmd) (m은 1 ~ 7의 정수)와 시프트 레지스터 (10u)로부터의 신호 (Qmu) (m은 1 ~ 7의 정수)의 반전 신호가, OR 회로 (15)에 입력되고, OR 회로가 그들의 논리합을 신호 (Qm) (m은 1 ~ 7의 정수)로서 출력한다. 따라서, 외부로부터의 노이즈에 의해 시프트 레지스터 (10d?10u)의 일방의 출력이 소멸되었을 경우에도, 신호 (Q1 ~ Q7)는 소멸되지 않는다. 이와 같이, 게이트 드라이버 (4)는 High 측으로 레벨 변동시키는 노이즈뿐만 아니라, Low 측으로 레벨 변동시키는 노이즈에 대한 내성도 향상시키고 있다.

[0071] 계속해서, 시프트 레지스터 (10d?10u) 및 OR 회로 (15)로부터의 출력 신호의 타이밍에 대해 설명한다.

[0072] 도 4는, 노이즈를 받지 않은 통상시에 있어서의, 신호 (Q1d ~ Q7d), 신호 (Q1u ~ Q7u) 및 신호 (Q1 ~ Q7)의 신호 파형을 나타내는 타이밍 차트이다. 입력 신호 (IN)가 입력되면, 시프트 레지스터 (10d)에서는 동작 클록 (CLK)의 개시에 맞추어 각 D-FF (11)가 입력 신호 (IN)를 시프트하여, 신호 (Q1d ~ Q7d)를 출력한다. 한편, 시프트 레지스터 (10u)에서는, 동작 클록 (CLK)의 개시에 맞추어 각 D-FF (11)가 입력 신호 (IN)의 반전 신호를 시프트하여, 신호 (Q1u ~ Q7u)를 출력한다. 신호 (Qmd)와 신호 (Qmu) (m은 1 ~ 7의 정수)의 반전 신호는 OR 회로 (15)에 입력되고, OR 회로 (15)는 그들의 논리합인 신호 (Qm) (m은 1 ~ 7의 정수)를 출력한다.

[0073] 도 5는, Low 측으로 레벨 변동시키는 노이즈를 받았을 경우에서의, 신호 (Q1d ~ Q7d), 신호 (Q1u ~ Q7u) 및 신호 (Q1 ~ Q7)의 신호 파형을 나타내는 타이밍 차트이다. 시프트 레지스터 (10d)에서는, 노이즈의 영향에 의해, 신호 (Q3d)의 High 펄스가 소실되었기 때문에, 신호 (Q4d ~ Q7d)도 출력되지 않는다. 한편, 시프트 레지스터 (10u)에서는, 각 D-FF (11)의 데이터 출력 단자 (Q)에 풀업 저항 (Ru)을 형성하고 있기 때문에, 신호 (Q1u ~ Q7u)는 Low 측으로 변동하기 어려워지고 있다. 이로 인해, 시프트 레지스터 (10u)에서는, 신호를 Low 측으로 변동시키는 노이즈의 영향을 받기 어렵고, 노이즈 발생시의 신호 (Q3u)는 소실되지 않는다. 따라서, 신호 (Q1u ~ Q7u)는, 노이즈의 영향을 받지 않고 통상시와 동일하게 출력되고, 신호 (Q1u ~ Q7u)의 반전 신호가 OR 회로 (15)에 입력된다. 따라서, OR 회로 (15)로부터의 출력 신호 (Q1 ~ Q7)는, 통상시와 동일한 파형이 된다.

[0074] 반대로, 신호를 High 측으로 변동시키는 노이즈를 받았을 경우, 시프트 레지스터 (10u)에서의 시프트가 중단되어도, 시프트 레지스터 (10d)에서는 신호를 High 측으로 변동시키는 노이즈의 영향을 받기 어렵기 때문에, 시프트 레지스터 (10d)로부터의 신호 (Q1d ~ Q7d)는 소실되지 않는다. 따라서, OR 회로 (15)로부터의 출력 신호 (Q1 ~ Q7)에는, 노이즈의 영향은 나타나지 않는다.

[0075] 이상과 같이, 게이트 드라이버 (4)는, 신호를 Low 측으로 변동시키는 노이즈 및 신호를 High 측으로 변동시키는 노이즈 중 어느 것을 받았을 경우에도, 통상시와 동일한 신호를 출력할 수 있다. 따라서, 본 실시형태에 관련된 게이트 드라이버 (24)를 구비하는 TFT 액정 패널은, 외부로부터 전자과 노이즈를 받아도 표시 문제가

발생되기 어렵다.

- [0076] 또한, 게이트 드라이버 (24) 에서, 시프트 레지스터 (10d) (m 은 1 ~ 7 의 정수) 로부터의 신호 (Q_{md}) 와 시프트 레지스터 (10u) 로부터의 신호 (Q_{mu}) (m 은 1 ~ 7 의 정수) 의 반전 신호와의 논리합을 출력하는 회로는, OR 회로 (15) 에 한정되지 않고, AND 회로로 구성해도 된다. 즉, 도 6 에 나타내는 바와 같이, 신호 (Q_{md}) 의 반전 신호와 신호 (Q_{mu}) 를 AND 회로 (16) 에 입력하고, AND 회로 (16) 의 출력의 반전 신호를 신호 (Q_m) 로서 레벨 시프터 회로 (12) 에 출력해도 된다.
- [0077] [실시형태 3]
- [0078] 본 발명의 제 3 실시형태에 대해 도 7 내지 도 9 에 기초하여 설명하면 이하와 같다. 실시형태 1, 2 에서는, D-FF 의 데이터 출력 단자와 다음 단의 D-FF 의 데이터 입력 단자 사이에, 풀다운 저항 또는 풀업 저항을 접속하는 구성에 대해 설명했다. 이로써, 각 D-FF 간에서의 노이즈 내성을 향상시킬 수 있는데, D-FF 의 내부 회로가 노이즈의 영향을 받음으로써, D-FF 로부터의 출력 신호가 변동할 우려가 있다. 그래서, 본 실시형태에서는, D-FF 내부에 풀다운 저항 및 풀업 저항을 형성함으로써, 게이트 드라이버의 노이즈 내성을 향상시키는 구성에 대해 설명한다.
- [0079] 도 7 은, 본 실시형태에 관련된 게이트 드라이버 (34) 의 구성을 나타내는 회로도이다. 게이트 드라이버 (34) 는, 도 3 에 나타내는 게이트 드라이버 (24) 에서, 시프트 레지스터 (10d?10u) 대신에, 시프트 레지스터 (30d?30u) 를 형성한 구성과 동일하다. 시프트 레지스터 (30d) 는, 도 3 에 나타내는 시프트 레지스터 (10d) 에서, D-FF 간에 풀다운 저항 (R_d) 을 형성하지 않고, D-FF (11) 대신에 D-FF (31d) 를 형성한 구성이고, 각 D-FF (31d) 는 신호 ($Q_{11d} \sim Q_{17d}$) 를 출력한다. 또, 시프트 레지스터 (30u) 는, 도 3 에 나타내는 시프트 레지스터 (10u) 에서, D-FF 간에 풀업 저항 (R_u) 을 형성하지 않고, D-FF (11) 대신에 D-FF (31u) 를 형성한 구성이고, 각 D-FF (31u) 는 신호 ($Q_{11u} \sim Q_{17u}$) 를 출력한다. 도 7 에서는, 도 3 에 나타내는 게이트 드라이버 (24) 에서의 것과 동일한 부재에 대해서는, 동일한 부호를 붙여 세부의 설명을 생략한다.
- [0080] D-FF (31d) 및 D-FF (31u) 는, 모두 내부에 풀다운 저항 및 풀업 저항을 구비하고 있다. D-FF (31d) 는, 신호를 High 측으로 변동시키는 노이즈에 대한 내성을 강화한 구성이다. 한편, D-FF (31u) 는, 신호를 Low 측으로 변동시키는 노이즈에 대한 내성을 강화한 구성이다.
- [0081] 따라서, 신호 ($Q_{11d} \sim Q_{17d}$) 는 High 측으로 변동시키는 노이즈의 영향을 받기 어렵고, 신호 ($Q_{11u} \sim Q_{17u}$) 는 Low 측으로 변동시키는 노이즈의 영향을 받기 어려워지고 있다. 또한, 신호 (Q_{nd}) (n 은 11 ~ 17 의 정수) 와 신호 (Q_{nu}) (n 은 11 ~ 17 의 정수) 의 반전 신호가 OR 회로 (15) 에 입력되고, OR 회로 (15) 는 그들의 논리합을 신호 (Q_m) (m 은 1 ~ 7 의 정수) 로서 출력한다. 따라서, 외부로부터의 노이즈에 의해, 시프트 레지스터 (30d?30u) 일방의 출력이 소멸되었을 경우에도 신호 ($Q_1 \sim Q_7$) 는 소멸되지 않는다.
- [0082] 계속해서, D-FF (31d?31u) 의 구체적인 구성에 대해 설명한다.
- [0083] 도 8 은, D-FF (31d) 의 상세한 구성을 나타내는 회로도이다. D-FF (31d) 는, 8 개의 P 채널 MOS 트랜지스터 ($P_1 \sim P_8$) (이하, 트랜지스터 ($P_1 \sim P_8$)), 8 개의 N 채널 MOS 트랜지스터 ($N_1 \sim N_8$) (이하, 트랜지스터 ($N_1 \sim N_8$)), 3 개의 인버터 (INV3) 및 버퍼 (BUFF) 를 구비하고 있다. 클록 입력 단자 (CK) 에 입력된 동작 클록 (CLK) 의 일방은, 2 개의 인버터 (INV3) 를 통하여, 신호 (CKD) 가 된다. 또, 클록 입력 단자 (CK) 에 입력된 동작 클록 (CLK) 의 타방은, 1 개의 인버터 (INV3) 를 통하여 신호 (CKDB) 가 된다.
- [0084] 2 개의 트랜지스터 ($P_1?N_1$) 는 트랜스퍼 게이트 (제 1 트랜스퍼 게이트) 를 구성하고 있고, 데이터 입력 단자 (D) 로부터의 신호가 제 1 트랜스퍼 게이트에 입력된다. 트랜지스터 (P_1) 의 게이트에는 신호 (CKD) 가 입력되고, 트랜지스터 (N_1) 의 게이트에는 신호 (CKDB) 가 입력된다.
- [0085] 2 개의 트랜지스터 ($P_2?N_2$) 는 인버터 (제 1 인버터) 를 구성하고 있다. 또, 4 개의 트랜지스터 ($P_5?P_6?N_6?N_5$) 는 직렬로 접속되어 있다. 구체적으로는, 트랜지스터 (P_5) 의 소스가 전원 전위에 접속되고, 트랜지스터 (P_5) 의 드레인이 트랜지스터 (P_6) 의 소스에 접속되고, 트랜지스터 (P_6) 의 드레인은 트랜지스터 (N_6) 의 드레인에 접속되고, 트랜지스터 (N_6) 의 소스는 트랜지스터 (N_5) 의 드레인에 접속되고, 트랜지스터 (N_5) 의 소스는 접지되어 있다. 트랜지스터 (P_5) 의 게이트에는 신호 (CKD) 가 입력되고, 트랜지스터 (N_5) 의 게이트에는 신호 (CKDB) 가 입력된다.
- [0086] 트랜지스터 ($P_1?N_1$) 로 구성되는 제 1 트랜스퍼 게이트의 출력은, 트랜지스터 ($P_2?N_2$) 로 구성되는 제 1

인버터, 트랜지스터 (P6) 의 드레인 및 트랜지스터 (N6) 의 드레인에 입력된다.

- [0087] 2 개의 트랜지스터 (P3?N3) 도 트랜스퍼 게이트 (제 2 트랜스퍼 게이트) 를 구성하고 있고, 트랜지스터 (P2) 의 드레인, 트랜지스터 (N2) 의 드레인, 트랜지스터 (P6) 의 게이트, 트랜지스터 (N6) 의 게이트 및 제 2 트랜스퍼 게이트의 입력이 서로 접속되어 있다. 트랜지스터 (P3) 의 게이트에는 신호 (CKDB) 가 입력되고, 트랜지스터 (N3) 의 게이트에는 신호 (CKD) 가 입력된다.
- [0088] 2 개의 트랜지스터 (P4?N4) 는 인버터 (제 2 인버터) 를 구성하고 있다. 또, 4 개의 트랜지스터 (P7?P8?N8?N7) 는 직렬로 접속되어 있다. 구체적으로는, 트랜지스터 (P7) 의 소스가 전원 전위에 접속되고, 트랜지스터 (P7) 의 드레인이 트랜지스터 (P8) 의 소스에 접속되고, 트랜지스터 (P8) 의 드레인은 트랜지스터 (N8) 의 드레인에 접속되고, 트랜지스터 (N8) 의 소스는 트랜지스터 (N7) 의 드레인에 접속되고, 트랜지스터 (N7) 의 소스는 접지되어 있다. 트랜지스터 (P7) 의 게이트에는 신호 (CKDB) 가 입력되고, 트랜지스터 (N7) 의 게이트에는 신호 (CKD) 가 입력된다.
- [0089] 트랜지스터 (P3?N3) 로 구성되는 제 2 트랜스퍼 게이트의 출력은 트랜지스터 (P4?N4) 로 구성되는 제 2 인버터, 트랜지스터 (P8) 의 드레인 및 트랜지스터 (N8) 의 드레인에 입력된다.
- [0090] 트랜지스터 (P4) 의 드레인, 트랜지스터 (N4) 의 드레인, 트랜지스터 (P8) 의 게이트 및 트랜지스터 (N8) 의 게이트는 모두 버퍼 (BUFF) 의 입력 단자에 접속되어 있다. 버퍼 (BUFF) 의 출력 단자는 D-FF (31d) 의 데이터 출력 단자 (Q) 로 되어 있다.
- [0091] 여기에서, 트랜지스터 (P1?N1) 로 구성되는 제 1 트랜스퍼 게이트와, 트랜지스터 (P2?N2) 로 구성되는 제 1 인버터 사이의 접속점을 포인트 a 로 한다. 또, 트랜지스터 (P2?N2) 로 구성되는 인버터와, 트랜지스터 (P3?N3) 로 구성되는 트랜스퍼 게이트 사이의 접속점을 포인트 b 로 한다. 또, 트랜지스터 (P3?N3) 로 구성되는 트랜스퍼 게이트와, 트랜지스터 (P4?N4) 로 구성되는 인버터 사이의 접속점을 포인트 c 로 한다. 또, 트랜지스터 (P4?N4) 로 구성되는 인버터와, 버퍼 (BUFF) 사이의 접속점을 포인트 d 로 한다.
- [0092] D-FF (31d) 에서는, 또한, 포인트 b 에서 풀업 저항 (Ru1) 이 형성되고, 포인트 d 에서 풀다운 저항 (Rd1) 이 형성되어 있다. 이로써, High 측으로 레벨 변동시키는 노이즈를 받아도, 버퍼 (BUFF) 로부터의 출력 신호, 즉, D-FF (31d) 로부터의 출력 신호가 레벨 변동되기 어려워진다. 즉, 풀업 저항 (Ru1) 및 풀다운 저항 (Rd1) 에 의해 D-FF (31d) 내부의 High 측으로 레벨 변동시키는 노이즈에 대한 내성이 향상되고 있다.
- [0093] 또한, 풀업 저항 (Ru1) 및 풀다운 저항 (Rd1) 을 형성하는 대신에, 트랜지스터 (P2) 및 트랜지스터 (N4) 의 게이트폭을 크게 하거나, 또는 게이트 길이를 짧게 하고, 트랜지스터 (P2) 및 트랜지스터 (N4) 의 구동 능력을 높임으로써, 상기와 마찬가지로, D-FF (31d) 내부의 High 측으로 레벨 변동시키는 노이즈에 대한 내성을 향상시킬 수 있다.
- [0094] 또, 포인트 a 에 풀다운 저항 (Rd1) 을 형성하고, 포인트 c 에 풀업 저항 (Ru1) 을 형성함으로써, 동일하게, D-FF (31d) 내부의 High 측으로 레벨 변동시키는 노이즈에 대한 내성을 향상시킬 수 있다.
- [0095] 도 9 는, D-FF (31u) 의 상세한 구성을 나타내는 회로도이다. D-FF (31u) 는, 도 8 에 나타내는 D-FF (31d) 에서, 포인트 b 에 풀업 저항 (Ru1) 을 형성하고, 포인트 d 에 풀다운 저항 (Rd1) 을 형성하는 대신에, 포인트 b 에 풀다운 저항 (Rd2) 을 형성하고, 포인트 d 에 풀업 저항 (Ru2) 을 형성하는 구성이다. 이로써, D-FF (31d) 와는 반대로, D-FF (31u) 는 Low 측으로 레벨 변동시키는 노이즈를 받아도, 버퍼 (BUFF) 로부터의 출력 신호, 즉, D-FF (31u) 로부터의 출력 신호는 레벨 변동되기 어려워진다. 즉, 풀업 저항 (Ru2) 및 풀다운 저항 (Rd2) 에 의해, D-FF (31u) 내부의 Low 측으로 레벨 변동시키는 노이즈에 대한 내성을 향상시킬 수 있다.
- [0096] 또한, 풀업 저항 (Ru2) 및 풀다운 저항 (Rd2) 을 형성하는 대신에, 트랜지스터 (N2) 및 트랜지스터 (P4) 의 게이트폭을 크게 하거나, 또는 게이트 길이를 짧게 하고, 트랜지스터 (N2) 및 트랜지스터 (P4) 의 구동 능력을 높임으로써, 상기와 마찬가지로, D-FF (31u) 내부의 Low 측으로 레벨 변동시키는 노이즈에 대한 내성을 향상시킬 수 있다.
- [0097] 또, 포인트 a 에 풀업 저항 (Ru2) 을 형성하고, 포인트 c 에 풀다운 저항 (Rd2) 을 형성함으로써, 마찬가지로, D-FF (31u) 내부의 Low 측으로 레벨 변동시키는 노이즈에 대한 내성을 향상시킬 수 있다.
- [0098] 또, 도 1 에 나타내는 게이트 드라이버 (4) 에서, D-FF (11) 를 D-FF (31d) 로 치환하는 구성으로 해도 된다. 또, 이 경우, 풀다운 저항 (Rd) 을 형성하지 않는 구성으로 해도 된다. 어느 구성이든, 종래의 구성에

비해, High 로 레벨 변동시키는 노이즈에 대한 내성을 향상시킬 수 있다.

[0099] [실시형태 4]

[0100] 본 발명의 제 4 실시형태에 대해 도 10 및 도 11 에 기초하여 설명하면 이하와 같다.

[0101] 도 10 은, 본 실시형태에 관련된 게이트 드라이버 (44) 의 구성을 나타내는 회로도이다. 게이트 드라이버 (44) 는, 도 3 에 나타내는 게이트 드라이버 (24) 에서, 추가로 시프트 레지스터 (10e) 를 형성하고, OR 회로 (15) 대신에 다수결 회로 (25) 를 형성한 구성이다.

[0102] 시프트 레지스터 (10e) 는, 시프트 레지스터 (10d) 와 동일하게, 캐스케이드 접속된 7 개의 D-FF (11) 를 구비하고 있고, 시프트 레지스터 (10e) 초단의 D-FF (11) 의 데이터 입력 단자 (D) 에는, 게이트 드라이버 (44) 의 입력 신호 (IN) 가 입력된다. 또, 시프트 레지스터 (10e) 의 각 D-FF (11) 의 클록 단자 (CK) 에도 동작 클록 (CLK) 이 입력되고, 각 D-FF (11) 의 데이터 출력 단자 (Q) 로부터 신호 (Q1e ~ Q7e) 가 출력된다.

[0103] 또한, 시프트 레지스터 (10e) 의 각 D-FF (11) 의 데이터 출력 단자 (Q) 에는, 시프트 레지스터 (10d) 와 동일하게, 풀다운 저항 (Rd) 이 접속되어 있다. 보다 구체적으로는, D-FF (11) 의 데이터 출력 단자 (Q) 에 풀다운 저항 (Rd) 의 일단이 접속되고, 풀다운 저항 (Rd) 의 타단은 접지되어 있다.

[0104] 다수결 회로 (25) 는 3 개의 입력 단자 (A ~ C) 및 출력 단자 (Q) 를 갖고 있고, 입력 단자 (A ~ C) 중 2 이상이 High 인 경우, 출력은 High 가 되고, 입력 단자 (A ~ C) 중 2 이상이 Low 인 경우, 출력은 Low 가 된다. 각 다수결 회로 (25) 의 입력 단자 (A ~ C) 에는, 시프트 레지스터 (10d) 로부터의 신호 (Qmd) (m 은 1 ~ 7 의 정수) 와, 시프트 레지스터 (10u) 로부터의 신호 (Qmu) 의 반전 신호와, 시프트 레지스터 (10e) 로부터의 신호 (Qme) 가 입력된다. 다수결 회로 (25) 는, 이들의 입력 신호 중 2 이상의 동일 파형의 신호를 신호 (Qm) (m 은 1 ~ 7 의 정수) 로서 출력한다.

[0105] 이로써, 외부로부터의 노이즈를 받지 않은 상태에서는, 신호 (Qmd), 신호 (Qmu) 및 신호 (Qme) 는, 모두 동일한 파형이 된다. 여기에서, 노이즈에 의해, 시프트 레지스터 (10d?10u?10e) 중, 어느 1 개가 오동작을 일으킨 경우에도, 다수결 회로 (25) 에 입력되는 신호는 정상적인 파형의 신호가 다수를 차지하기 때문에, 다수결 회로 (25) 로부터의 신호 (Qm) 는 노이즈를 받지 않은 상태와 변함없다. 이와 같이, 게이트 드라이버 (44) 에서도 노이즈에 대한 내성이 향상되고 있다.

[0106] 또한, 시프트 레지스터 (10d) 및 시프트 레지스터 (10e) 는 집적 회로로부터 먼 위치에 배치되고, 전원이나 GND 배선도 서로 분리되어 있는 것이 바람직하다. 이로써, 게이트 드라이버 (44) 가 Low 측으로 레벨 변동시키는 노이즈를 받았을 경우에, 시프트 레지스터 (10d?10e) 의 양방에 오동작을 일으키는 리스크를 저감시킬 수 있다.

[0107] 도 11 은, 다수결 회로 (25) 의 구체적인 구성을 나타내는 회로도이다. 다수결 회로 (25) 는, 3 개의 AND 회로 (25a?25b?25c) 및 OR 회로 (25d) 를 구비하고 있다. 입력 단자 (A) 로부터의 신호는 AND 회로 (25a) 및 AND 회로 (25b) 에 입력되고, 입력 단자 (B) 로부터의 신호는 AND 회로 (25b) 및 AND 회로 (25c) 에 입력되고, 입력 단자 (C) 로부터의 신호는 AND 회로 (25b) 및 AND 회로 (25c) 에 입력된다. 각 AND 회로 (25a?25b?25c) 로부터의 출력은 OR 회로 (25d) 에 입력되고, OR 회로 (25d) 의 출력 단자가 다수결 회로 (25) 의 출력 단자 (Q) 가 된다.

[0108] 또한, 도 11 에 나타내는 구성은, 다수결 회로의 일례이고, 다른 공지된 다수결 회로도 적용할 수 있다. 또, 다수결 회로 (25) 를 형성하는 대신에 OR 회로를 형성하고, 당해 OR 회로가 신호 (Qmd), 신호 (Qmu) 및 신호 (Qme) (m 은 1 ~ 7 의 정수) 의 논리합을 출력하는 구성으로 해도 된다.

[0109] 또, 본 실시형태에서는, 시프트 레지스터의 계통수가 3 계통이었는데, 5 이상의 홀수 계통의 시프트 레지스터를 형성하고, 각 시프트 레지스터로부터의 신호의 다수결을 취하는 구성으로 해도 된다.

[0110] [실시형태의 총괄]

[0111] 본 발명은 상기 서술한 각 실시형태에 한정되는 것이 아니고, 청구항에 나타낸 범위에서 여러가지 변경이 가능하고, 상이한 실시형태에 각각 개시된 기술적 수단을 적절히 조합하여 얻어지는 실시형태에 대해서도 본 발명의 기술적 범위에 포함된다.

[0112] 산업상 이용가능성

[0113] 본 발명은, 예를 들어 액정 디스플레이 등의 표시 장치에 바람직하게 적용할 수 있다.

[0114] 또한, 발명을 실시하기 위한 최선의 형태의 항에서 이룬 구체적인 실시형태 또는 실시예는, 어디까지나, 본 발명의 기술 내용을 명백히 하는 것으로서, 그러한 구체예에만 한정하여 협의로 해석되어야 할 것이 아니고, 본 발명의 정신과 다음에 기재하는 특허 청구범위 내에서 여러가지 변경하여 실시할 수 있는 것이다.

부호의 설명

[0115] 1 TFT 액정 패널 (표시 장치)
 4, 24, 34, 44 게이트 드라이버 (주사 신호선 구동 회로)
 6 게이트 라인 (주사 신호선)
 10d?10e 시프트 레지스터 (제 1 시프트 레지스터)
 10u 시프트 레지스터 (제 2 시프트 레지스터)
 10d?10u?10e 시프트 레지스터
 11 D-FF (플립플롭)
 12 레벨 시프터 회로
 15 OR 회로 (논리 회로)
 16 AND 회로 (논리 회로)
 25 다수결 회로
 30d 시프트 레지스터 (제 1 시프트 레지스터)
 30u 시프트 레지스터 (제 2 시프트 레지스터)
 31d?31u D-FF (플립플롭)
 BUFF 버퍼 (제 1 버퍼 회로, 제 2 버퍼 회로)
 CLK 동작 클록 (클록 신호)
 D 데이터 입력 단자
 IN 입력 신호
 N2 트랜지스터 (제 2 트랜지스터, 제 6 트랜지스터)
 N4 트랜지스터 (제 4 트랜지스터, 제 8 트랜지스터)
 P2 트랜지스터 (제 1 트랜지스터, 제 5 트랜지스터)
 P4 트랜지스터 (제 3 트랜지스터, 제 7 트랜지스터)
 Q 데이터 출력 단자
 Q1 ~ Q7 신호 (제 3 시프트 펄스)
 Q1d ~ Q7d 신호 (제 1 시프트 펄스)
 Q1u ~ Q7u 신호 (제 2 시프트 펄스)
 Q1e ~ Q7e 신호 (제 1 시프트 펄스)
 Q11d ~ Q17d 신호 (제 1 시프트 펄스)
 Q11u ~ Q17u 신호 (제 2 시프트 펄스)
 Rd 풀다운 저항
 Rd1 풀다운 저항 (제 1 풀다운 저항)

Rd2 풀다운 저항 (제 2 풀다운 저항)

Ru 폴업 저항

Ru1 폴업 저항 (제 1 폴업 저항)

Ru2 풀업 저항 (제 2 풀업 저항)

a 포인트 (제 4 접속점, 제 8 접속점)

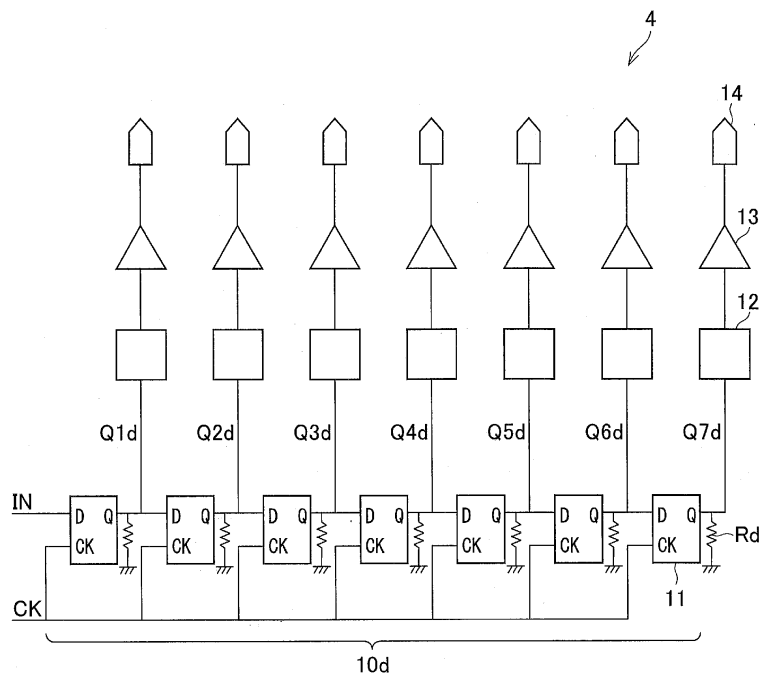
b 포인트 (제 1 접속점, 제 5 접속점)

c 포인트 (제 3 접속점, 제 7 접속점)

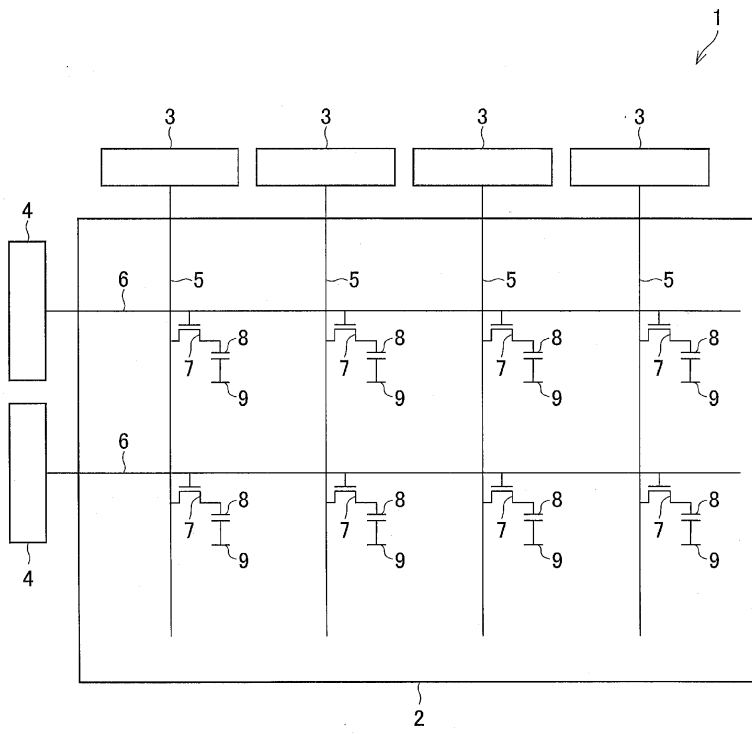
d 포인트 (제 2 접속점, 제 6 접속점)

도면

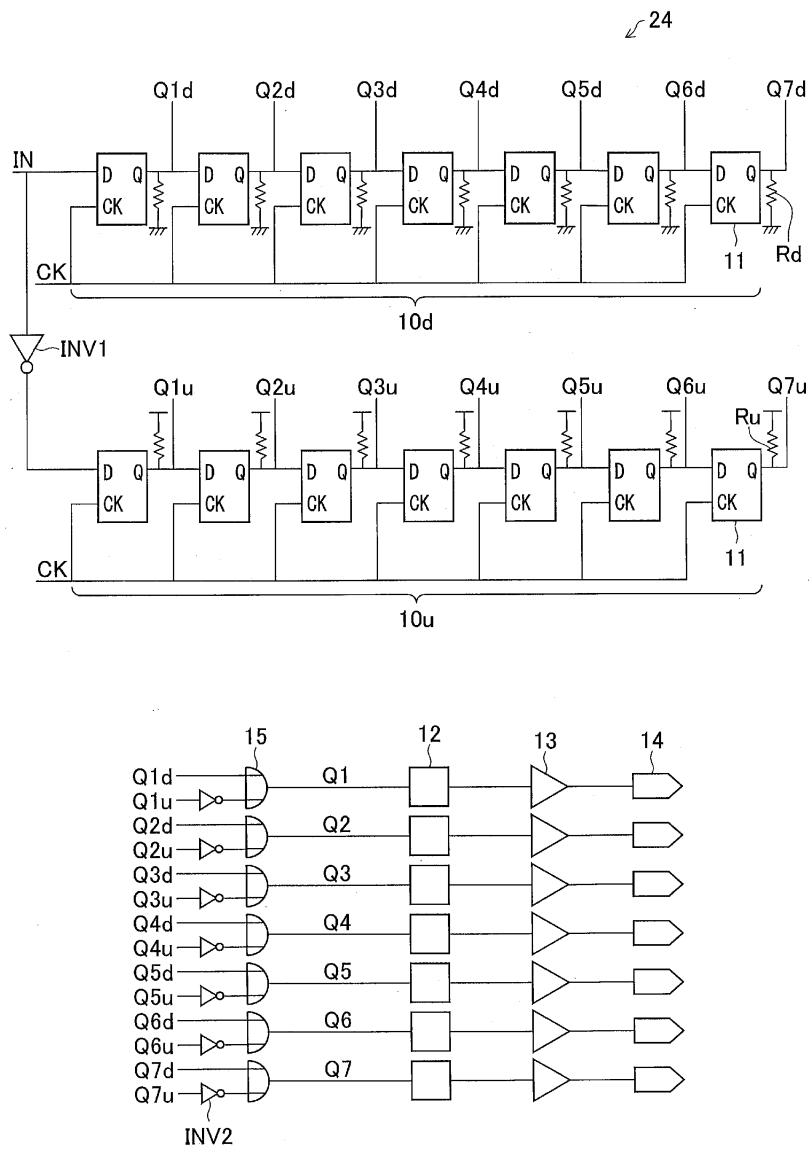
도면1



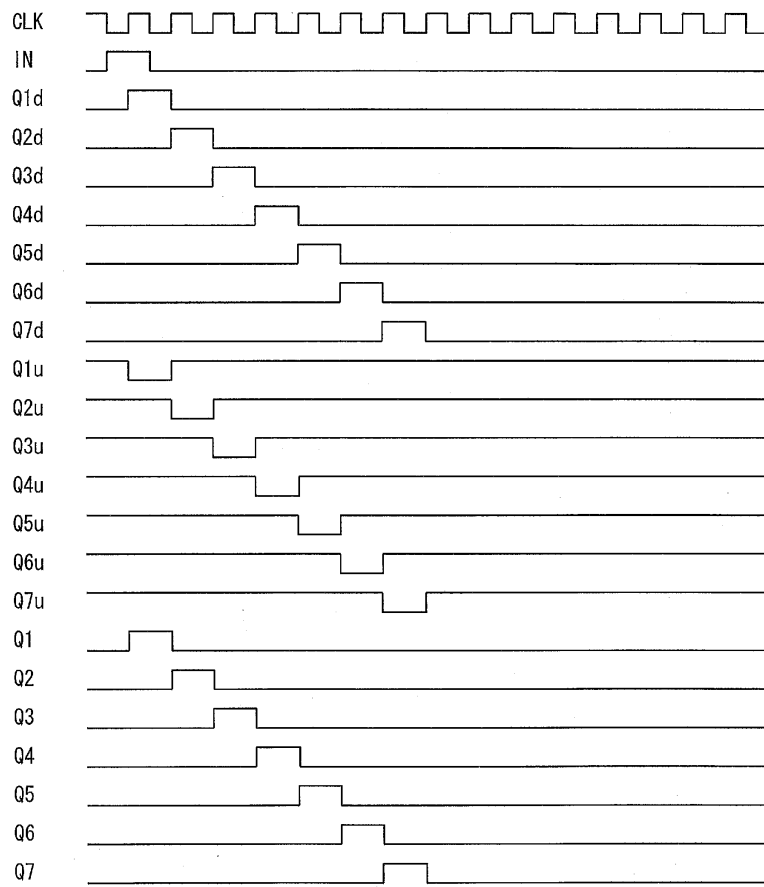
도면2



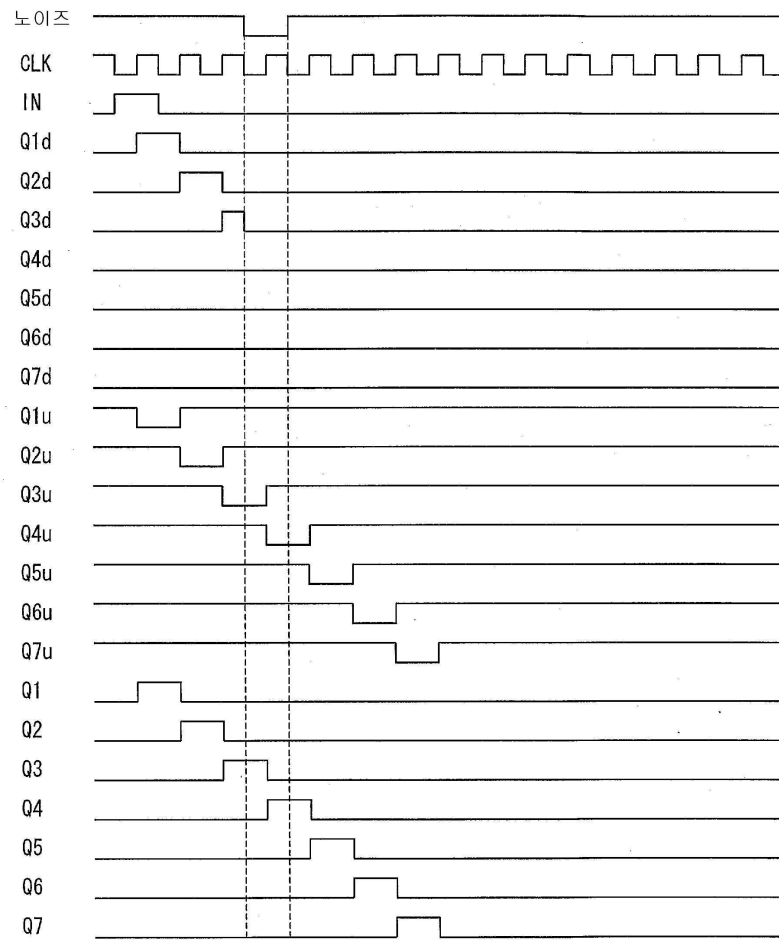
도면3



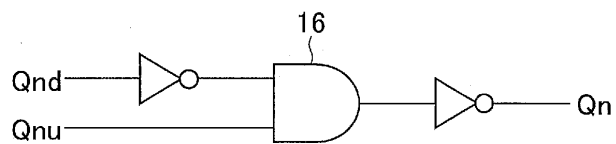
도면4



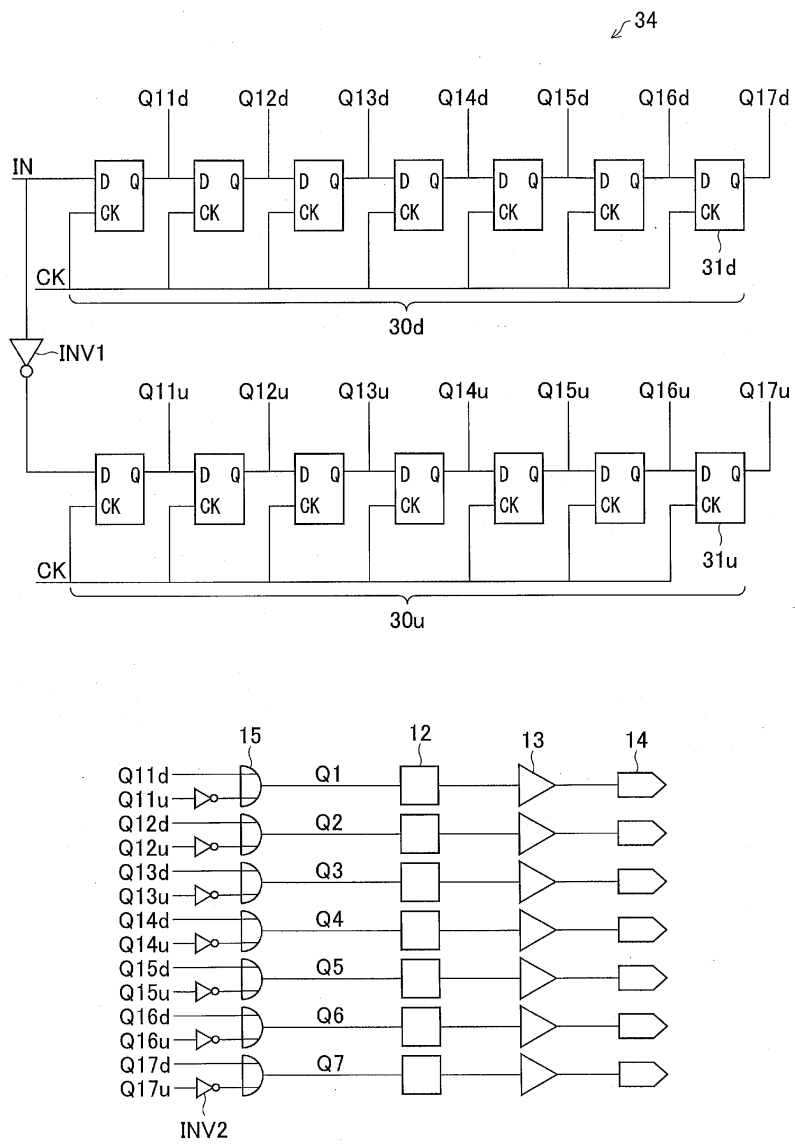
도면5



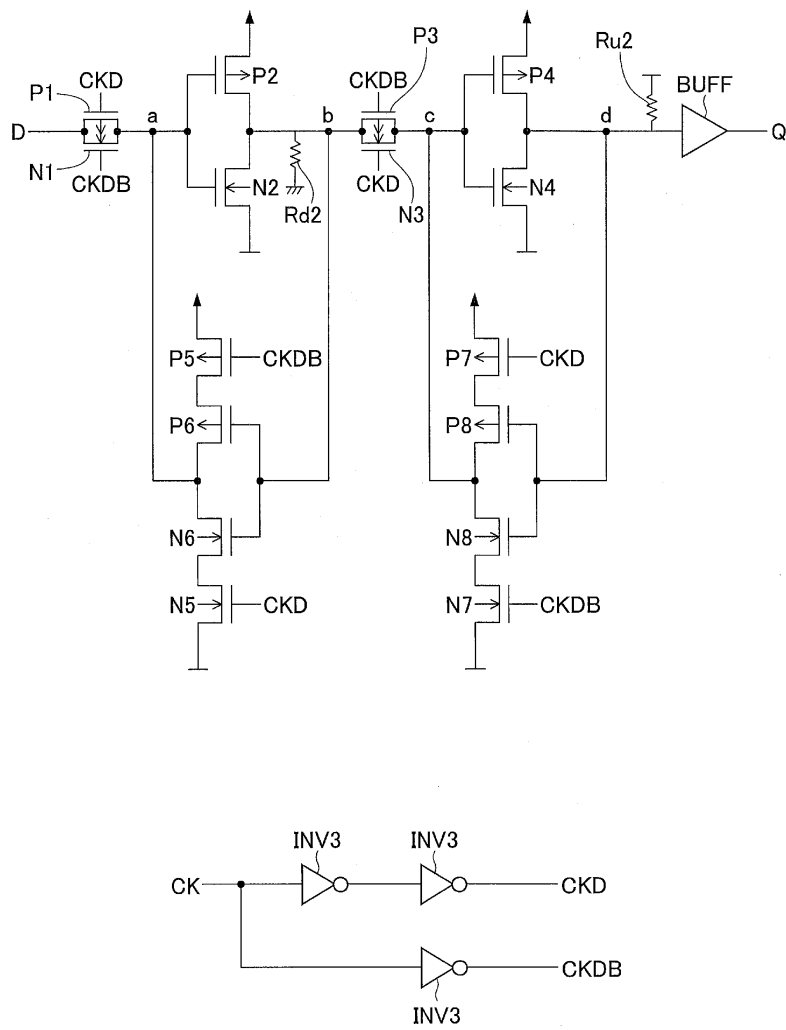
도면6



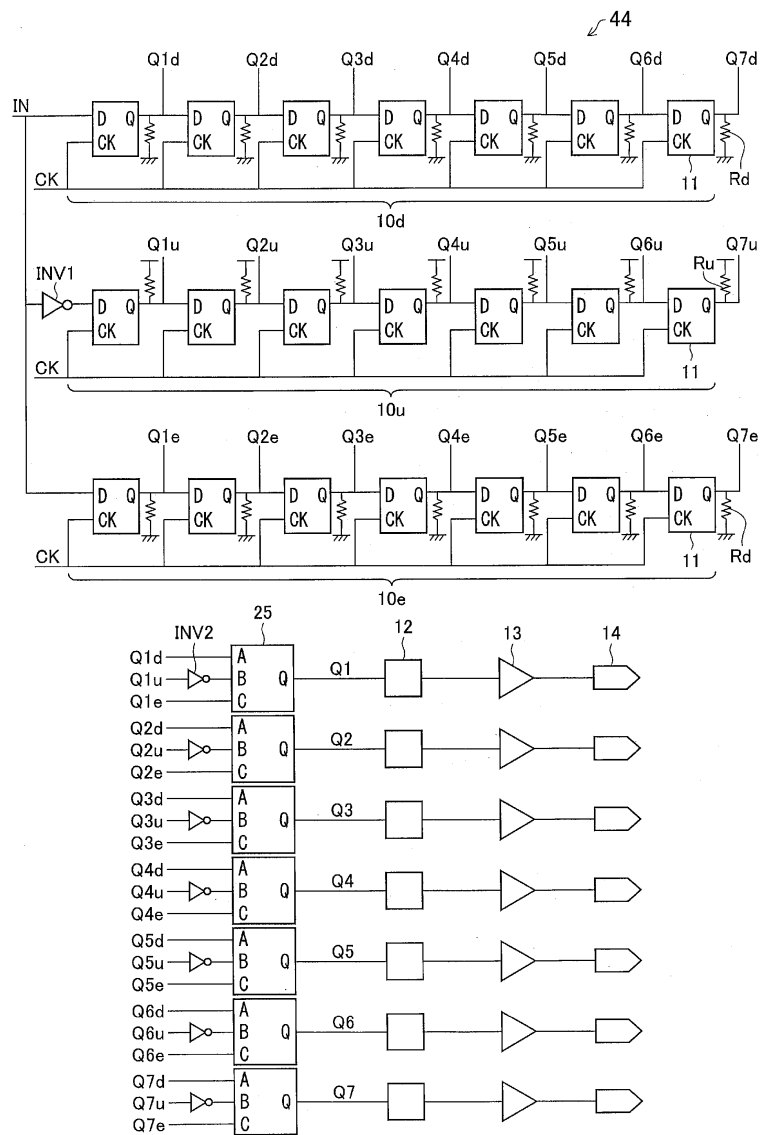
도면7



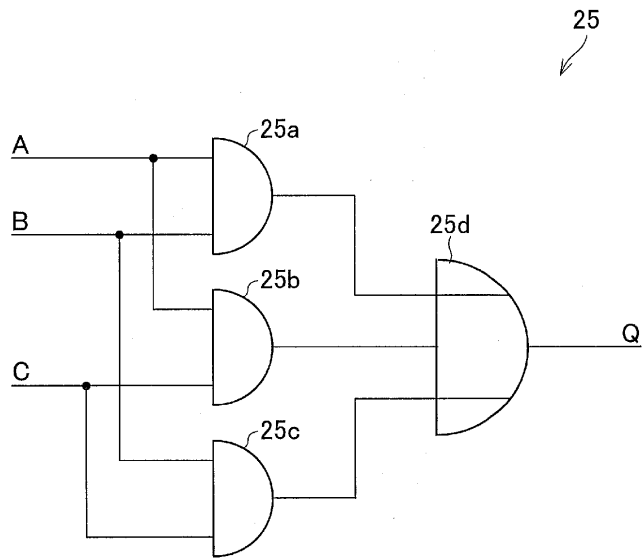
도면9



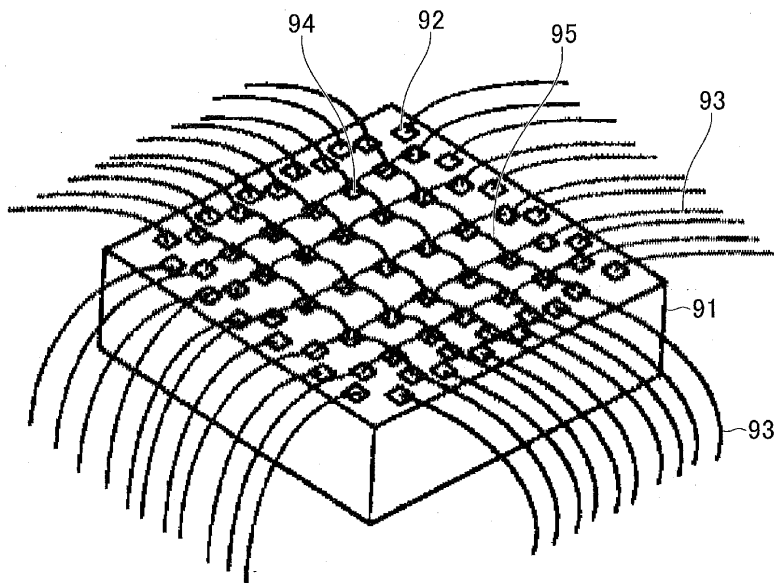
도면10



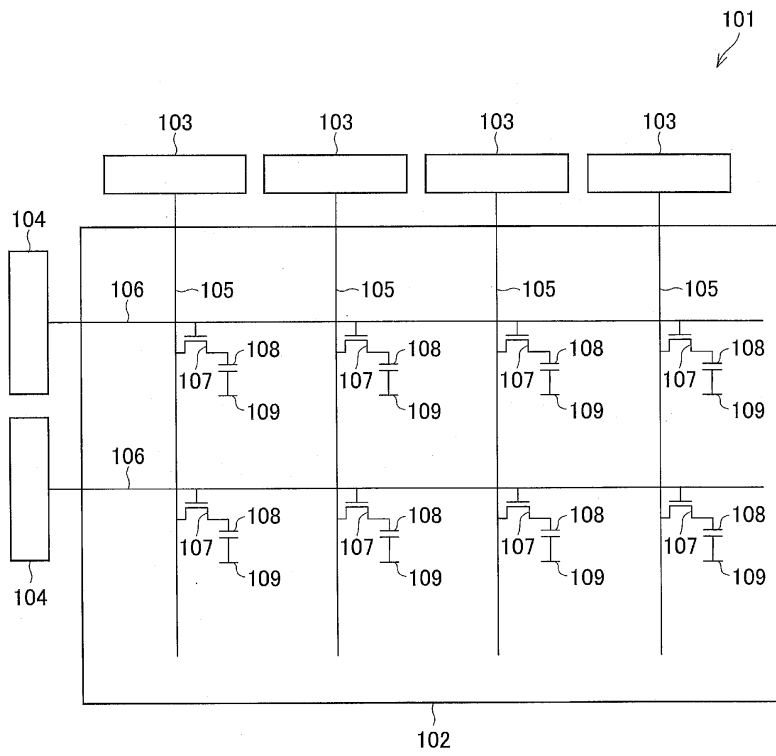
도면11



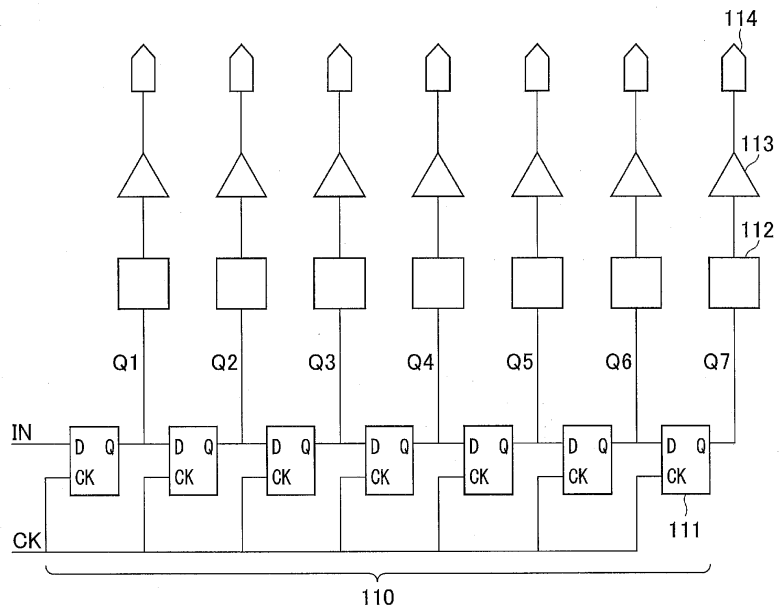
도면12



도면13



도면14



专利名称(译)	标题：扫描信号线驱动电路和显示设备		
公开(公告)号	KR101128306B1	公开(公告)日	2012-03-23
申请号	KR1020107010643	申请日	2008-10-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	WATANABE TOSHIO		
发明人	WATANABE, TOSHIO		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2330/06 G09G2320/0233 G11C19/28		
代理人(译)	韩国专利公司		
优先权	2007279670 2007-10-26 JP		
其他公开文献	KR1020100075638A		
外部链接	Espacenet		

摘要(译)

本发明的目的在于实现一种扫描信号线驱动电路，该电路具有高的抗噪声性能，并且不会引起显示问题。形成在本发明的TFT液晶面板中的栅极驱动器4设置有移位寄存器10d，其中D-FF 11级联连接并连接到D-的数据输出端子Q.输出信号。由于下拉电阻Rd连接到D-FF11的数据输出端Q，所以即使接收到高电平波动的噪声，可以防止信号的电平波动。这使得可以通过接通栅极线来防止由于接通原本未显示噪声的栅极线而引起的显示问题的发生。

