



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월18일
(11) 등록번호 10-2034049
(24) 등록일자 2019년10월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2012-0154776

(22) 출원일자 2012년12월27일

심사청구일자 2017년12월14일

(65) 공개번호 10-2014-0084838

(43) 공개일자 2014년07월07일

(56) 선행기술조사문헌

KR1020120078762 A*

KR1020090115431 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김민규

경기 고양시 일산서구 대산로 184, 108동 1203호
(주엽동, 문촌마을1단지아파트)

(74) 대리인

박영복

전체 청구항 수 : 총 8 항

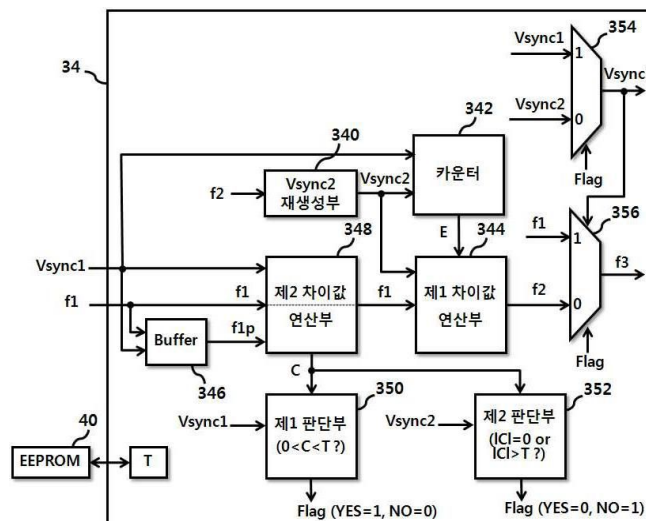
심사관 : 추장희

(54) 발명의 명칭 액정 표시 장치의 백라이트 드라이버 및 그 구동 방법

(57) 요약

본 발명은 입력 동기 신호를 필터링하여 백라이트 플리커 및 웨이비 노이즈를 동시에 해결할 수 있는 백라이트 드라이버 및 그 구동 방법에 관한 것으로, 본 발명의 백라이트 드라이버는 입력되는 제1 수직 동기 신호의 주파수 가변에 따라 주파수가 가변되면서 상기 제1 수직 동기 신호와 동기화되어가는 제2 수직 동기 신호를 재생성하고, 인접한 제1 수직 동기 신호간의 주파수 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 상기 제1 수직 동기 신호 및 상기 제2 수직 동기 신호 중 하나를 선택하여 제3 수직 동기 신호로 출력하는 수직 동기 신호 필터와; 입력 PWM 신호의 듀티비를 검출하는 듀티비 검출부와; 상기 수직 동기 신호 필터로부터 출력된 상기 제3 수직 동기 신호와 동기화하면서 상기 듀티비를 갖는 출력 PWM 신호를 생성하여 백라이트 유닛으로 출력하는 PWM 생성부를 구비한다.

대표도



명세서

청구범위

청구항 1

입력되는 제1 수직 동기 신호의 주파수 가변에 따라 주파수가 가변되면서 상기 제1 수직 동기 신호와 동기화되어가는 제2 수직 동기 신호를 재생성하기 위하여, 상기 제1 수직 동기 신호와 그 이후에 발생하는 상기 제2 수직 동기 신호의 시간차를 이용하여 상기 제2 수직 동기 신호를 재생성하고, 인접한 제1 수직 동기 신호간의 주파수 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 상기 제1 수직 동기 신호 및 상기 제2 수직 동기 신호 중 하나를 선택하여 제3 수직 동기 신호로 출력하는 수직 동기 신호 필터와;

입력 펄스폭변조(이하 PWM) 신호의 듀티비를 검출하는 듀티비 검출부와;

상기 수직 동기 신호 필터로부터 출력된 상기 제3 수직 동기 신호와 동기하면서 상기 듀티비를 갖는 출력 PWM 신호를 생성하여 백라이트 유닛으로 출력하는 PWM 생성부와;

상기 수직 동기 신호 필터의 입력단에 접속되어 상기 제1 수직 동기 신호의 제1 주기를 검출하여 출력하는 주파수 분석부를 구비하고,

상기 수직 동기 신호 필터는

상기 재생성을 위해 공급받은 이전 제2 주기를 갖는 상기 제2 수직 동기 신호를 재생성하여 출력하는 제2 수직 동기 신호 재생성부와;

상기 제1 수직 동기 신호와 상기 제2 수직 동기 신호 재생성부로부터의 상기 제2 수직 동기 신호의 시간차를 검출하는 카운터와;

상기 제2 수직 동기 신호 재생성부로부터의 상기 제2 수직 동기 신호에 동기하여 상기 제1 수직 동기 신호의 상기 제1 주기와, 상기 카운터로부터의 상기 시간차 사이의 제1 차이값을 연산하여 상기 제2 수직 동기 신호의 제2 주기로 출력함과 아울러 상기 제2 수직 동기 신호 재생성부에 상기 재생성을 위한 이전 제2 주기로 공급하는 제1 차이값 연산부와;

상기 제1 수직 동기 신호에 동기하여 상기 인접한 제1 수직 동기 신호간의 제1 주기의 제2 차이값을 연산하여 출력하는 제2 차이값 연산부와;

상기 제1 수직 동기 신호에 동기하여 상기 제2 차이값 연산부로부터의 상기 제2 차이값이 제1 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제1 판단부와;

상기 제2 수직 동기 신호에 동기하여 상기 제2 차이값 연산부로부터의 상기 제2 차이값이 제2 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제2 판단부와;

상기 제1 판단부 및 제2 판단부 중 어느 하나로부터 발생된 플래그 신호에 응답하여 상기 제1 수직 동기 신호와 상기 제2 수직 동기 신호 중 하나를 선택하여 상기 제3 수직 동기 신호로 출력하는 제1 멀티플렉서와;

상기 제1 판단부 및 제2 판단부 중 어느 하나로부터 발생된 플래그 신호에 응답하여 상기 제1 수직 동기 신호의 제1 주기와 상기 제2 수직 동기 신호의 제2 주기 중 하나를 선택하여 상기 제1 멀티플렉서로부터의 상기 제3 수직 동기 신호에 동기하여 상기 제3 수직 동기 신호의 제3 주기로 출력하는 제2 멀티플렉서를 포함하는 백라이트 드라이버.

청구항 2

삭제

청구항 3

삭제

청구항 4

청구항 1에 있어서,

상기 제2 차이값이 상기 제1 판단부의 제1 임계 범위를 만족하거나, 상기 제2 판단부의 제2 임계 범위를 만족하지 않으면, 상기 제1 멀티플렉서는 상기 제1 수직 동기 신호를 선택하고, 상기 제2 멀티플렉서는 상기 제1 수직 동기 신호의 제1 주기를 선택하고;

상기 제2 차이값이 상기 제1 판단부의 제1 임계 범위를 만족하지 않거나 상기 제2 판단부의 제2 임계 범위를 만족하면, 상기 제1 멀티플렉서는 상기 제2 수직 동기 신호를 선택하고, 상기 제2 멀티플렉서는 상기 제2 수직 동기 신호의 제2 주기를 선택하는 백라이트 드라이버.

청구항 5

청구항 4에 있어서,

상기 제1 판단부는 상기 제2 차이값이 미리 설정된 최소 임계값과 최대 임계값으로 설정된 상기 제1 임계 범위 이내인지 여부를 판단하고,

상기 제2 판단부는 상기 제2 차이값의 절대값이 상기 최소 임계값과 동일한지 여부 또는 상기 제2 차이값의 절대값이 상기 최대 임계값보다 큰지 여부를 판단하는 백라이트 드라이버.

청구항 6

청구항 4에 있어서,

상기 제1 및 제2 수직 동기 신호가 동기하면 상기 제2 판단부의 플래그 신호가 우선 순위로 상기 제1 및 제2 멀티플렉서로 공급되는 백라이트 드라이버.

청구항 7

입력되는 제1 수직 동기 신호의 제1 주기를 검출하여 출력하는 단계와;

상기 제1 수직 동기 신호의 주파수 가변에 따라 주파수가 가변되면서 상기 제1 수직 동기 신호와 동기화되어가는 제2 수직 동기 신호를 재생성하기 위하여, 상기 제1 수직 동기 신호와 그 이후에 재생성된 상기 제2 수직 동기 신호의 시간차를 이용하여 상기 제2 수직 동기 신호를 재생성하고, 인접한 제1 수직 동기 신호간의 주파수 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 상기 제1 수직 동기 신호 및 상기 제2 수직 동기 신호 중 하나를 선택하여 제3 수직 동기 신호로 출력하는 단계와;

입력 PWM 신호의 듀티비를 검출하는 단계와;

상기 제3 수직 동기 신호와 동기하면서 상기 듀티비를 갖는 출력 PWM 신호를 생성하여 백라이트 유닛으로 출력하는 단계를 포함하고;

상기 제3 수직 동기 신호를 출력하는 단계는

상기 재생성을 위해 공급받은 이전 제2 주기를 갖는 상기 제2 수직 동기 신호를 재생성하여 출력하는 단계와;

상기 제1 수직 동기 신호와 상기 재생성된 제2 수직 동기 신호의 시간차를 검출하는 단계와;

상기 제2 수직 동기 신호에 동기하여 상기 제1 수직 동기 신호의 상기 제1 주기와, 상기 시간차 사이의 제1 차이값을 연산하여 상기 제2 수직 동기 신호의 상기 제2 주기로 출력함과 아울러 상기 재생성을 위한 이전 제2 주기로 공급하는 단계와;

상기 제1 수직 동기 신호에 동기하여 상기 인접한 제1 수직 동기 신호간의 제1 주기 제2 차이값을 연산하여 출력하는 단계와;

상기 제1 수직 동기 신호에 동기하여 상기 제2 차이값이 제1 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제1 판단 단계와;

상기 제2 수직 동기 신호에 동기하여 상기 제2 차이값이 제2 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제2 판단 단계와;

상기 제1 판단 단계 및 제2 판단 단계 중 어느 하나로부터 발생된 플래그 신호에 응답하여 상기 제1 수직 동기

신호와 상기 제2 수직 동기 신호 중 하나를 선택하여 상기 제3 수직 동기 신호로 출력하는 단계와;

상기 제1 판단 단계 및 제2 판단 단계 중 어느 하나로부터 발생된 플래그 신호에 응답하여 상기 제1 수직 동기 신호의 제1 주기와 상기 제2 수직 동기 신호의 제2 주기 중 하나를 선택하여 상기 제3 수직 동기 신호에 동기하여 상기 제3 수직 동기 신호의 제3 주기로 출력하는 단계를 포함하는 백라이트 드라이버의 구동 방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

청구항 7에 있어서,

상기 제2 차이값이 상기 제1 임계 범위를 만족하거나, 상기 제2 임계 범위를 만족하지 않으면 제1 수직 동기 신호와 상기 제1 수직 동기 신호의 제1 주기를 선택하고;

상기 제2 차이값이 제1 임계 범위를 만족하지 않거나 상기 제2 임계 범위를 만족하면 상기 제2 수직 동기 신호와 상기 제2 수직 동기 신호의 제2 주기를 선택하는 백라이트 드라이버의 구동 방법.

청구항 11

청구항 10에 있어서,

상기 제1 판단 단계는 상기 제2 차이값이 미리 설정된 최소 임계값과 최대 임계값으로 설정된 상기 제1 임계 범위 이내인지 여부를 판단하고,

상기 제2 판단 단계는 상기 제2 차이값의 절대값이 상기 최소 임계값과 동일한지 여부 또는 상기 제2 차이값의 절대값이 상기 최대 임계값보다 큰지 여부를 판단하는 백라이트 드라이버의 구동 방법.

청구항 12

청구항 10에 있어서,

상기 제1 및 제2 수직 동기 신호가 동기하면 상기 제2 판단 단계의 플래그 신호가 우선 순위로 이용되는 백라이트 드라이버의 구동 방법.

발명의 설명

기술 분야

[0001] 본원 발명은 액정 표시 장치의 백라이트 드라이버에 관한 것으로, 특히 입력 동기 신호를 필터링하여 백라이트 플리커 및 웨이비 노이즈를 동시에 해결할 수 있는 액정 표시 장치의 백라이트 드라이버 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 디지털 데이터를 이용하여 영상을 표시하는 평판 표시 장치로는 액정을 이용한 액정 표시 장치(Liquid Crystal Display; LCD), 불활성 가스의 방전을 이용한 플라스마 디스플레이 패널(Plasma Display Panel; PDP), 유기 발광 다이오드를 이용한 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 표시 장치 등이 대표적이다. 이중 액정 표시 장치는 TV, 모니터, 노트북 및 휴대 전화기 등과 같은 여러 응용 분야에서 널리 사용되고 있다.

[0003] 액정 표시 장치는 굴절률 및 유전율 등의 이방성을 갖는 액정의 전기적 및 광학적 특성을 이용한 화소 매트릭스를 통해 화상을 표시한다. 액정 표시 장치의 각 화소는 데이터 신호에 따른 액정 배열 방향의 가변으로 편광판을 투과하는 광 투과율을 조절함으로써 계조를 구현한다. 액정 표시 장치는 화소 매트릭스를 통해 화상을 표시하는 액정 패널과, 액정 패널을 구동하는 구동 회로와, 액정 패널에 광을 조사하는 백라이트 유닛과, 백라이트 유닛을 구동하는 백라이트 드라이버를 구비한다.

- [0004] 백라이트 유닛을 구동하는 백라이트 드라이버는 TV 세트 또는 타이밍 컨트롤러로부터 입력되는 펄스폭변조(Pulse Width Modulation; PWM) 신호의 듀티비에 따라 백라이트 유닛의 턴-온 및 턴-오프 시간을 조절함으로써 백라이트 유닛의 휘도를 제어한다.
- [0005] 이때, 백라이트 드라이버는 백라이트 유닛을 액정 패널에 맞게 구동하기 위하여, 입력 PWM 신호의 듀티비를 검출하고, 타이밍 컨트롤러로부터 입력되는 수직 동기 신호에 검출된 듀티비를 반영하여서 백라이트 유닛을 제어할 출력 PWM 신호를 생성하여 이용한다.
- [0006] 백라이트 드라이버는 백라이트를 액정 패널과 동기화시켜 구동하기 위하여, 영상 데이터의 프레임을 구분하는 수직 동기 신호(이하 Vsync)를 외부 시스템 또는 타이밍 컨트롤러로부터 입력하여 이용한다.
- [0007] 그런데, 종래의 백라이트 드라이버에서는 입력 영상의 주파수, 즉 입력 Vsync 주파수 변경에 따라 PWM 구동 주파수가 변경되는 과정에서 도 1a와 같이 PWM 듀티비가 인지 수준 이상으로 틀어짐에 따라 백라이트 플리커가 발생하는 문제점이 있다.
- [0008] 이를 해결하기 위하여, 도 1b와 같이 입력 Vsync의 주파수 변경시 PWM 구동 주파수를 서서히 변경함으로써 백라이트 플리커를 개선하는 방법이 제안되었으나, PWM 구동 주파수를 서서히 변경하는 동안 입력 영상(Vsync)과의 동기가 틀어지기 때문에 웨이비 노이즈(wavy noise)가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 전술한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 해결하려는 과제는 입력 동기 신호를 필터링하여 백라이트 플리커 및 웨이비 노이즈를 동시에 해결할 수 있는 백라이트 드라이버 및 그 구동 방법을 제공하는 것이다.

과제의 해결 수단

- [0010] 상기 과제를 해결하기 위하여, 본 발명의 실시예에 따른 백라이트 드라이버는 입력되는 제1 수직 동기 신호의 주파수 가변에 따라 주파수가 가변되면서 상기 제1 수직 동기 신호와 동기화되어가는 제2 수직 동기 신호를 재생성하기 위하여, 상기 제1 수직 동기 신호와 그 이후에 발생하는 상기 제2 수직 동기 신호의 시간차를 이용하여 상기 제2 수직 동기 신호를 재생성하고, 인접한 제1 수직 동기 신호간의 주파수 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 상기 제1 수직 동기 신호 및 상기 제2 수직 동기 신호 중 하나를 선택하여 제3 수직 동기 신호로 출력하는 수직 동기 신호 필터; 입력 PWM 신호의 듀티비를 검출하는 듀티비 검출부와; 상기 수직 동기 신호 필터로부터 출력된 상기 제3 수직 동기 신호와 동기하면서 상기 듀티비를 갖는 출력 PWM 신호를 생성하여 백라이트 유닛으로 출력하는 PWM 생성부; 및 수직 동기 신호 필터의 입력단에 접속되어 제1 수직 동기 신호의 제1 주기를 검출하여 출력하는 주파수 분석부를 구비한다.
- [0011] 삭제
- [0012] 상기 수직 동기 신호 필터는 상기 재생성을 위해 공급받은 이전 제2 주기를 갖는 상기 제2 수직 동기 신호를 재생성하여 출력하는 제2 수직 동기 신호 재생성부와; 상기 제1 수직 동기 신호와 상기 제2 수직 동기 신호 재생성부로부터의 상기 제2 수직 동기 신호의 시간차를 검출하는 카운터와; 상기 제2 수직 동기 신호 재생성부로부터의 상기 제2 수직 동기 신호에 동기하여 상기 제1 수직 동기 신호의 상기 제1 주기와, 상기 카운터로부터의 상기 시간차 사이의 제1 차이값을 연산하여 상기 제2 수직 동기 신호의 제2 주기로 출력함과 아울러 상기 제2 수직 동기 신호 재생성부에 상기 재생성을 위한 이전 제2 주기로 공급하는 제1 차이값 연산부와; 상기 제1 수직 동기 신호에 동기하여 상기 인접한 제1 수직 동기 신호간의 제1 주기의 제2 차이값을 연산하여 출력하는 제2 차이값 연산부와; 상기 제1 수직 동기 신호에 동기하여 상기 제2 차이값 연산부로부터의 상기 제2 차이값이 제1 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제1 판단부와; 상기 제2 수직 동기 신호에 동기하여 상기 제2 차이값 연산부로부터의 상기 제2 차이값이 제2 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제2 판단부와; 상기 제1 판단부 및 제2 판단부 중 어느 하나의 플래그 신호에 응답하여 상기 제1 수직 동기 신호와 상기 제2 수직 동기 신호 중 하나를 선택하여 상기 제3 수직 동기 신호로 출력하는 제1 멀티플렉서와; 상기 제1 판단부 및 제2 판단부 중 어느 하나의 플래그 신호에 응답하여 상기 제1 수직 동기 신호의 제1 주기와 상기 제2 수직 동기 신호의 제2 주기 중 하나를 선택하여 상기 제1 멀티플렉서로부터의 상기

제3 수직 동기 신호에 동기하여 상기 제3 수직 동기 신호의 제3 주기로 출력하는 제2 멀티플렉서를 구비한다.

[0013] 상기 제2 차이값이 상기 제1 판단부의 제1 임계 범위를 만족하거나, 상기 제2 판단부의 제2 임계 범위를 만족하지 않으면, 상기 제1 멀티플렉서는 상기 제1 수직 동기 신호를 선택하고, 상기 제2 멀티플렉서는 상기 제1 수직 동기 신호의 제1 주기를 선택한다. 상기 제2 차이값이 상기 제1 판단부의 제1 임계 범위를 만족하지 않거나 상기 제2 판단부의 제2 임계 범위를 만족하면, 상기 제1 멀티플렉서는 상기 제2 수직 동기 신호를 선택하고, 상기 제2 멀티플렉서는 상기 제2 수직 동기 신호의 제2 주기를 선택한다.

[0014] 상기 제1 판단부는 상기 제2 차이값이 미리 설정된 최소 임계값과 최대 임계값으로 설정된 상기 제1 임계 범위 이내인지 여부를 판단하고, 상기 제2 판단부는 상기 제2 차이값의 절대값이 상기 최소 임계값과 동일한지 여부 또는 상기 제2 차이값의 절대값이 상기 최대 임계값보다 큰지 여부를 판단한다.

[0015] 상기 제1 및 제2 수직 동기 신호가 동기하면 상기 제2 판단부의 플래그 신호가 우선 순위로 상기 제1 및 제2 멀티플렉서로 공급된다.

[0016] 본 발명의 실시예에 따른 백라이트 드라이버의 구동 방법은 입력되는 제1 수직 동기 신호의 제1 수직 동기 신호의 제1 주기를 검출하여 출력하는 단계와; 상기 제1 수직 동기 신호의 주파수 가변에 따라 주파수가 가변되면서 상기 제1 수직 동기 신호와 동기화되어가는 제2 수직 동기 신호를 재생성하기 위하여, 상기 제1 수직 동기 신호와 그 이후에 발생하는 상기 제2 수직 동기 신호의 시간차를 이용하여 상기 제2 수직 동기 신호를 재생성하고, 인접한 제1 수직 동기 신호간의 주파수 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 상기 제1 수직 동기 신호 및 상기 제2 수직 동기 신호 중 하나를 선택하여 제3 수직 동기 신호로 출력하는 단계와; 입력 PWM 신호의 듀티비를 검출하는 단계와; 상기 제3 수직 동기 신호와 동기하면서 상기 듀티비를 갖는 출력 PWM 신호를 생성하여 백라이트 유닛으로 출력하는 단계를 포함한다.

[0017] 상기 제3 수직 동기 신호를 출력하는 단계는, 상기 재생성을 위해 공급받은 이전 제2 주기를 갖는 상기 제2 수직 동기 신호를 재생성하여 출력하는 단계와; 상기 제1 수직 동기 신호와 상기 재생성된 제2 수직 동기 신호의 시간차를 검출하는 단계와; 상기 제2 수직 동기 신호에 동기하여 상기 제1 수직 동기 신호의 상기 제1 주기와, 상기 시간차 사이의 제1 차이값을 연산하여 상기 제2 수직 동기 신호의 제2 주기로 출력함과 아울러 상기 재생성을 위한 이전 제2 주기로 공급하는 단계와; 상기 제1 수직 동기 신호에 동기하여 상기 인접한 제1 수직 동기 신호간의 제1 주기의 제2 차이값을 연산하여 출력하는 단계와; 상기 제1 수직 동기 신호에 동기하여 상기 제2 차이값이 제1 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제1 판단 단계와; 상기 제2 수직 동기 신호에 동기하여 상기 제2 차이값이 제2 임계 범위를 만족하는지 여부를 판단하여 플래그 신호를 발생하는 제2 판단 단계와; 상기 제1 판단 단계 및 제2 판단 단계 중 어느 하나로부터 발생된 플래그 신호에 응답하여 상기 제1 수직 동기 신호와 상기 제2 수직 동기 신호 중 하나를 선택하여 상기 제3 수직 동기 신호로 출력하는 단계와; 상기 제1 판단 단계 및 제2 판단 단계 중 어느 하나로부터 발생된 플래그 신호에 응답하여 상기 제1 수직 동기 신호의 제1 주기와 상기 제2 수직 동기 신호의 제2 주기 중 하나를 선택하여 상기 제3 수직 동기 신호에 동기하여 상기 제3 수직 동기 신호의 제3 주기로 출력하는 단계를 포함한다.

[0018] 삭제

[0019] 삭제

[0020] 삭제

발명의 효과

[0021] 본 발명에 따른 백라이트 드라이버 및 그 구동 방법은 입력되는 제1 수직 동기 신호의 주파수 가변에 따라 주파수가 가변되면서 상기 제1 수직 동기 신호와 동기화되어가는 제2 수직 동기 신호를 재생성하고, 인접한 제1 수직 동기 신호간의 주파수 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 상기 제1 수직 동기 신호 및 상기 제2 수직 동기 신호 중 하나를 선택하여 제3 수직 동기 신호로 출력하고, 제2 수직 동기 신호에 동기하여 입력 듀티비를 갖는 PWM 신호를 생성하여 백라이트를 구동한다.

[0022] 이에 따라, 본 발명에 따른 백라이트 드라이버 및 그 구동 방법은 입력 제1 수직 동기 신호의 주파수가 가변하

더라도 입력 수직 동기 신호 또는 재생성 제2 수직 동기 신호와 동기하는 제3 수직 동기 신호를 이용하여 PWM 출력의 듀티비를 일정하게 유지함으로써 트레이드-오프(trade-off) 관계에 있는 백라이트 플리커 및 웨이비 노이즈를 모두 방지할 수 있다.

[0023] 또한, 본 발명에 따른 백라이트 드라이버 및 그 구동 방법은 인접한 제1 수직 동기 신호간의 주파수 차이값이 임계값 이내이면 그 주파수 차이로 인한 듀티비 차이는 인지되지 않으므로 제1 수직 동기 신호를 선택하여 제3 수직 동기 신호로 출력함으로써 불필요한 연산 과정을 생략할 수 있다.

도면의 간단한 설명

[0024] 도 1a 및 도 1b는 종래 기술에 따른 PWM 신호의 주파수 변경 과정을 나타낸 파형도이다.

도 2는 본 발명의 실시예에 따른 백라이트 드라이버를 포함하는 액정 표시 장치를 개략적으로 나타낸 블록도이다.

도 3은 도 2에 나타난 백라이트 드라이버의 내부 구성을 나타낸 블록도이다.

도 4는 도 3에 나타난 Vsync 필터의 내부 구성을 구체적으로 나타낸 블록도이다.

도 5는 도 4에 나타난 Vsync 필터에서 입력 Vsync1의 주파수가 증가하고 인접한 입력 Vsync1의 주파수 차이가 최대 임계값보다 큰 경우 Vsync 필터링 과정 및 그에 따라 PWM 출력을 보여주는 파형도이다.

도 6은 도 4에 나타난 Vsync 필터에서 입력 Vsync1의 주파수가 감소하고 인접한 입력 Vsync1의 주파수 차이가 최대 임계값보다 큰 경우 Vsync 필터링 과정 및 그에 따라 PWM 출력을 보여주는 파형도이다.

도 7은 도 4에 나타난 Vsync 필터에서 입력 Vsync1의 주파수가 증가하고 인접한 입력 Vsync1의 주파수 차이가 최대 임계값보다 작은 경우 Vsync 필터링 과정 및 그에 따라 PWM 출력을 보여주는 파형도이다.

도 8은 도 4에 나타난 Vsync 필터에서 입력 Vsync1의 주파수가 감소하고 인접한 입력 Vsync1의 주파수 차이가 최대 임계값보다 작은 경우 Vsync 필터링 과정 및 그에 따라 PWM 출력을 보여주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 설명한다.

[0026] 도 2는 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.

[0027] 도 2에 도시된 액정 표시 장치는 액정 패널(28) 및 백라이트 유닛(50)과, 액정 패널(28)을 구동하는 데이터 드라이버(24) 및 게이트 드라이버(26)를 포함하는 패널 드라이버(22)와, 백라이트 유닛(50)을 구동하는 백라이트 드라이버(30)와, 패널 구동부(22) 및 백라이트 드라이버(30)의 구동을 제어하는 타이밍 컨트롤러(20)와, 타이밍 컨트롤러(20) 및 백라이트 드라이버(30)와 접속된 호스트 세트(10)를 구비한다. 여기서, 백라이트 드라이버(30)는 타이밍 컨트롤러(20)에 내장될 수 있다.

[0028] 호스트 세트(10)는 외부로부터 입력된 영상 데이터를 액정 패널(28)의 해상도에 맞게 스케일링하여 다수의 동기 신호와 함께 타이밍 컨트롤러(20)로 공급한다. 다수의 동기 신호는 적어도 도트 클럭 및 데이터 이네이블 신호를 포함하며, 추가로 수평 동기 신호 및 수직 동기 신호가 더 포함될 수 있다. 또한, 호스트 세트(10)는 설계치에 따라 미리 설정되거나, 사용자 등의 휘도 조절에 따라 설정된 듀티비를 갖는 PWM 신호를 백라이트 드라이버(30)로 공급하거나, 타이밍 컨트롤러(20)를 통해 백라이트 드라이버(30)로 공급한다.

[0029] 타이밍 컨트롤러(20)는 화질 향상이나 소비 전력 감소를 위한 다양한 데이터 처리 방법을 이용하여 호스트 세트(10)로부터 입력된 데이터를 보정하여 패널 구동부(22)인 데이터 드라이버(24)로 출력한다. 예를 들면, 타이밍 컨트롤러(20)는 액정의 응답 속도를 향상시키기 위하여 인접 프레임간의 데이터 차에 따라 록업 테이블로부터 선택한 오버슈트(Overshoot) 값 또는 언더슈트(Undershoot) 값을 적용하여 입력 데이터를 오버드라이빙(Overdriving) 데이터로 보정하여 출력할 수 있다. 또한, 타이밍 컨트롤러(20)는 콘트라스트비를 향상시키거나 소비 전력을 감소시키기 위하여 입력 데이터의 휘도를 분석하고, 휘도 분석 결과에 따라 백라이트 유닛(50)의 휘도를 제어함과 아울러 데이터를 보정하여 출력할 수 있다. 타이밍 컨트롤러(20)가 백라이트 유닛(50)의 휘도를 제어하는 경우 호스트 세트(10)로부터의 PWM 신호를 중계하거나, 휘도 분석 결과에 따른 디밍값을 반영하여 입력 PWM 신호의 듀티비를 조정하고, 듀티비가 조정된 PWM 신호를 백라이트 유닛(50)으로 공급할 수 있다.

[0030] 또한, 타이밍 컨트롤러(20)는 호스트 세트(10)로부터 입력된 다수의 동기 신호를 이용하여 데이터 드라이버(2

4)의 구동 타이밍을 제어하는 데이터 제어 신호와, 게이트 드라이버(26)의 구동 타이밍을 제어하는 게이트 제어 신호를 생성한다. 호스트 세트(10)로부터의 동기 신호가 도트 클럭 및 데이터 이네이블 신호를 포함하는 경우, 타이밍 컨트롤러(20)는 도트 클럭 및 데이터 이네이블 신호를 이용한 입력 데이터의 주파수 분석을 통해 수평 동기 신호 및 수직 동기 신호(Vsync)를 생성하여 이용할 수 있다. 타이밍 컨트롤러(20)는 생성된 데이터 제어 신호 및 게이트 제어 신호를 데이터 드라이버(24) 및 게이트 드라이버(26)로 각각 공급한다. 데이터 제어 신호는 데이터 신호의 래치를 제어하는 소스 스타트 펄스 및 소스 샘플링 클럭과, 데이터 신호의 극성을 제어하는 극성 제어 신호와, 데이터 신호의 출력 기간을 제어하는 소스 출력 이네이블 신호 등을 포함한다. 게이트 제어 신호는 게이트 신호의 스캐닝을 제어하는 게이트 스타트 펄스 및 게이트 쉬프트 클럭과, 게이트 신호의 출력 기간을 제어하는 게이트 출력 이네이블 신호 등을 포함한다. 또한, 타이밍 컨트롤러(20)는 액정 패널(28)과 백라이트 유닛(50)의 동기화를 위하여 수직 동기 신호(Vsync)를 백라이트 드라이버(30)로 공급한다.

[0031] 패널 구동부(22)는 액정 패널(28)의 박막 트랜지스터 어레이에 형성된 데이터 라인(DL)을 구동하는 데이터 드라이버(24)와, 액정 패널(28)의 박막 트랜지스터 어레이에 형성된 게이트 라인(GL)을 구동하는 게이트 드라이버(26)를 포함한다.

[0032] 데이터 드라이버(24)는 타이밍 컨트롤러(20)로부터의 데이터 제어 신호에 응답하여 타이밍 컨트롤러(20)로부터의 영상 데이터를 액정 패널(28)의 다수의 데이터 라인(DL)에 공급한다. 데이터 드라이버(24)는 타이밍 컨트롤러(20)로부터 입력되는 디지털 데이터를 감마 전압을 이용하여 정극성/부극성 아날로그 데이터 신호로 변환하고, 각 게이트 라인(GL)이 구동될 때마다 데이터 신호를 데이터 라인(DL)으로 공급한다. 데이터 드라이버(24)는 적어도 하나의 데이터 IC로 구성되어 TCP(Tape Carrier Package), COF(Chip On Film), FPC(Flexible Print Circuit) 등과 같은 회로 필름에 실장되어 액정 패널(28)에 TAB(Tape Automatic Bonding) 방식으로 부착되거나, COG(Chip On Glass) 방식으로 액정 패널(28) 상에 실장될 수 있다.

[0033] 게이트 드라이버(26)는 타이밍 컨트롤러(20)로부터의 게이트 제어 신호에 응답하여 액정 패널(28)의 게이트 라인(GL)을 순차 구동한다. 게이트 드라이버(26)는 각 게이트 라인(GL)에 해당 스캔 기간마다 게이트 온 전압의 스캔 펄스를 공급하고, 다른 게이트 라인(GL)이 구동되는 나머지 기간에는 게이트 오프 전압을 공급한다. 게이트 드라이버(26)는 적어도 하나의 게이트 IC로 구성되고 TCP, COF, FPC 등과 같은 회로 필름에 실장되어 액정 패널(28)에 TAB 방식으로 부착되거나, COG 방식으로 액정 패널(28) 상에 실장될 수 있다. 이와 달리, 게이트 드라이버(26)는 GIP(Gate In Panel) 방식으로 액정 패널(28)의 박막 트랜지스터 어레이와 함께 동일한 공정으로 박막 트랜지스터 기판 상에 형성되어 액정 패널(28)에 내장될 수 있다.

[0034] 액정 패널(28)은 컬러 필터 어레이가 형성된 컬러 필터 기판과, 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과, 컬러 필터 기판 및 박막 트랜지스터 기판 사이의 액정층과, 컬러 필터 기판 및 박막 트랜지스터 기판의 외측면에 각각 부착된 편광판을 구비한다. 액정 패널(28)은 다수의 화소들이 배열된 화소 매트릭스를 통해 영상을 표시한다. 각 화소는 데이터 신호에 따른 액정 배열의 가변으로 광투과율을 조절하는 적색/녹색/청색(R/G/B) 서브화소의 조합으로 원하는 색을 구현하고, 휘도 향상을 위한 백색(W) 서브화소를 추가로 구비하기도 한다. 각 서브화소는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)와 병렬 접속된 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 구비한다. 액정 커패시터(Clc)는 박막 트랜지스터(TFT)를 통해 화소 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압(Vcom)과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절한다. 스토리지 커패시터(Cst)는 액정 커패시터(Clc)에 충전된 전압을 안정적으로 유지시킨다. 액정층은 TN(Twisted Nematic) 모드 또는 VA(Vertical Alignment) 모드와 같이 수직 전계에 의해 구동되거나, IPS(In-Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드와 같이 수평 전계에 의해 구동된다.

[0035] 백라이트 유닛(50)은 백라이트 드라이버(30)에 의해 구동되는 CCFL(Cold Cathode Fluorescent Lamp), EEFL(External Electrode Fluorescent Lamp) 등과 같은 형광 램프나, LED(Light Emitting Diode)를 광원으로 포함하는 직하형 또는 예지형 백라이트를 이용한다. 직하형 백라이트는 액정 패널(28)의 배면과 대면하도록 표시 영역 전체에 배치된 광원 및 광원 상에 배치된 다수의 광학 시트를 포함하고, 광원으로부터 방출된 광은 다수의 광학 시트를 통해 액정 패널(28)에 조사된다. 예지형 백라이트는 액정 패널(28)의 배면과 대면하는 도광판과, 도광판의 적어도 1개의 예지와 마주하도록 배치된 광원과, 도광판 상에 배치된 다수의 광학 시트를 포함하고, 광원으로부터 방출된 광은 도광판을 통해 면광원으로 변환되어서 다수의 광학 시트를 통해 액정 패널(28)에 조사된다.

[0036] 백라이트 드라이버(30)는 호스트 세트(10) 또는 타이밍 컨트롤러(20)로부터 입력되는 PWM 신호의 듀티비에 응답

하여 백라이트 유닛(50)을 구동함과 아울러 휘도를 제어한다. 백라이트 유닛(50)이 다수의 영역으로 분할 구동되는 경우 다수의 분할 영역을 독립적으로 구동하기 위한 다수의 백라이트 드라이버(30)를 구비할 수 있다.

[0037] 백라이트 드라이버(30)는 백라이트 유닛(50)을 액정 패널(28)에 표시되는 영상과 동기화시켜 구동하기 위하여 호스트 세트(10) 또는 타이밍 컨트롤러(20)로부터 입력되는 프레임 구분 신호인 Vsync를 이용한다. 백라이트 드라이버(30)는 호스트 세트(10) 또는 타이밍 컨트롤러(20)로부터 입력되는 PWM 신호를 샘플링하여 듀티비를 검출한다. 백라이트 드라이버(30)는 Vsync 및 검출된 듀티비를 이용하여 출력 PWM 신호를 생성하고, 생성된 출력 PWM 신호를 이용하여 백라이트 유닛(50)을 구동한다.

[0038] 한편, 백라이트 드라이버(30)는 입력 PWM 신호로부터 검출된 입력 듀티비를 필터링하여 미리 설정된 기준치(또는 기준 범위)를 벗어나는 불안정한 경우로 검출되면, 불안정한 입력 듀티비를 배제하고 안정된 이전 주기의 입력 듀티비를 선택하여 출력함으로써 불안정한 듀티비를 제거할 수 있다.

[0039] 특히, 백라이트 드라이버(30)는 입력되는 Vsync1의 주파수 가변에 적응적으로 대응하기 위하여 Vsync1의 주파수(주기) 가변에 따라 주파수(주기)가 가변되면서 상기 Vsync1과 동기화되어가는 Vsync2를 재생성하고, 인접한 Vsync1간의 주파수(주기) 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 입력 Vsync1 및 재생성 Vsync2 중 하나를 선택하여 Vsync3로 출력하고, Vsync3에 동기하여 입력 듀티비를 갖는 PWM 신호를 생성하여 백라이트 유닛(50)을 구동한다.

[0040] 이에 따라, 백라이트 드라이버(30)는 입력 영상에 따라 입력 Vsync1의 주파수가 가변하더라도 입력 Vsync1 또는 재생성 Vsync2와 동기하는 출력 Vsync3를 이용하여 PWM 출력의 듀티비를 일정하게 유지함으로써 트레이드-오프(trade-off) 관계에 있는 백라이트 플리커 및 웨이비 노이즈를 모두 방지할 수 있다.

[0041] 또한, 인접한 Vsync1간의 주기(주파수) 차이값이 임계값 이내이면 그 주파수 차이로 인한 듀티비 차이는 인지되지 않으므로 불필요한 연산 과정없이 Vsync1을 Vsync3로 출력할 수 있다. 상기 임계값은 설계자가 다수의 실험을 통해 해당 액정 표시 장치에 적합한 범위를 미리 설정하여 액정 표시 장치의 내장 메모리에 저장하고, 필요에 따라 업데이트될 수 있다.

[0042] 한편, 백라이트 드라이버(30)는 입력 Vsync1과 재생성 Vsync2는 적어도 한 프레임(한 주기) 정도의 지연 시간을 갖는다.

[0043] 도 3은 도 2에 도시된 백라이트 드라이버(30)의 내부 구성을 나타낸 블록도이고, 도 4는 도 3에 도시된 백라이트 드라이버(30)의 Vsync 필터(34)의 내부 구성을 나타낸 블록도이다.

[0044] 도 3에 도시된 백라이트 드라이버(30)는 입력 Vsync1의 주파수를 분석하여 주기(f1)를 검출하여 출력하는 주파수 분석부(32)와, 입력 Vsync1과 주파수 분석부(32)로부터의 Vsync1의 주기(f1)를 필터링하여 Vsync3 및 그 주기(f3)를 출력하는 Vsync 필터(34)와, 입력 PWM 신호를 샘플링 및 카운트하여 입력 듀티비를 검출하는 듀티비 검출부(36)와, Vsync 필터(34)로부터의 Vsync3 및 그 주기(f3)를 이용하여 듀티비 필터(36)로부터의 듀티비를 갖는 출력 PWM 신호를 생성하여 백라이트 유닛(50)으로 출력하는 PWM 생성부(38)를 구비한다.

[0045] 주파수 분석부(32)는 호스트 세트(10) 또는 타이밍 컨트롤러(20)로부터 입력되는 Vsync1의 주파수를 분석하여 각 프레임(주기)마다 입력 Vsync1 주기(f1)를 검출하여 출력한다.

[0046] Vsync 필터(34)는 입력 Vsync1의 주파수 가변에 적응적으로 대응하기 위하여 프레임마다 Vsync1을 필터링하여 Vsync2를 재생성하고, 인접한 입력 Vsync1 간의 주파수(주기) 차이가 미리 설정된 조건을 만족하는지 여부에 따라 입력 Vsync1 및 재생성 Vsync2 중 하나를 선택하여 Vsync3로 출력한다.

[0047] 다시 말하여, Vsync 필터(34)는 각 프레임마다 입력되는 Vsync1의 주기(f1)를 필터링하여 Vsync2의 주기(f2)를 생성하고, 생성된 주기(f2)를 갖는 Vsync2를 재생성한다. 이때, Vsync 필터(34)는 입력되는 Vsync1과 재생성된 Vsync2의 시간차에 따라 입력 Vsync1의 주기(f1)를 조정하여 Vsync2의 주기(f2)를 생성한다. 또한, Vsync 필터(34)는 Vsync1 및 Vsync2와 동기하여 인접한 Vsync1간의 주기 차이값을 산출하고, 산출된 차이값이 미리 설정된 임계값 이내인지 여부에 따라 Vsync1 및 Vsync2 중 하나를 선택하여 Vsync3로 출력함과 아울러 입력 Vsync1의 주기(f1) 및 재생성 Vsync2의 주기(f2) 중 어느 하나를 선택하여 Vsync3과 동기하는 Vsync3의 주기(f3)를 출력한다.

[0048] 듀티비 검출부(36)는 호스트 세트(10) 또는 타이밍 컨트롤러(20)로부터 입력되는 입력 PWM 신호를 샘플링하여 입력 듀티비를 검출한다. 듀티비 검출부(36)는 내부 클럭을 이용하여 입력 PWM 신호를 샘플링 및 카운트함으로써 입력 PWM 신호의 각 주기를 검출함과 아울러 각 주기의 하이 펄스 폭을 검출한다. 그리고, 듀티비 검출부는

각 주기마다 검출된 주기 대 하이 펄스폭의 비를 백분율로 산출함으로써 입력 PWM 신호의 각 주기마다 입력 듀티비를 검출하여 출력한다.

- [0049] PWM 생성부(36)는 Vsync 필터(34)로부터의 Vsync3 및 그 주기(f3)를 이용하여 듀티비 검출부(36)로부터의 듀티비에 따른 PWM 신호를 생성하여 출력한다. 예를 들면, PWM 생성부(36)는 Vsync 필터(34)로부터의 Vsync3의 제3 주기(f3)를 기준으로 내부 클럭을 생성한 다음, 내부 클럭을 이용하여 듀티비를 갖는 PWM 신호를 생성하여 백라이트 유닛(50)으로 출력한다.
- [0050] 도 4는 도 3에 나타낸 Vsync 필터(34)의 내부 구성을 나타낸 블록도이다.
- [0051] 도 4에 나타낸 Vsync 필터(34)는 재생성 주기(f2)를 갖는 Vsync2를 생성하는 Vsync2 생성부(340)와; 입력 Vsync1과 Vsync2 생성부(340)로부터의 Vsync2의 시간차(E)를 검출하는 카운터(342)와; Vsync2 생성부(340)로부터의 Vsync2에 동기하여 입력 Vsync1의 주기(f1)와 카운터(342)로부터의 시간차(E)의 차이값(f1-E=f2)을 연산하여 Vsync2의 주기(f2)로 출력하는 제1 차이값 연산부(344)와; 입력 Vsync1에 동기하여 입력 Vsync1의 현재 주기(f1)와, 버퍼(346)로부터의 이전 주기(f1p)의 차이값(f1-f1p=C)을 연산하여 출력하는 제2 차이값 연산부(344)와; Vsync1에 동기하여 제2 차이값 연산부(344)로부터의 차이값(C)이 임계 범위 이내인지를 판단하여 플래그 신호를 발생하는 제1 판단부(350)와; Vsync2에 동기하여 제2 차이값 연산부(344)로부터의 차이값(C)이 임계 범위 이내인지를 판단하여 플래그 신호를 발생하는 제2 판단부(350)와; 제1 판단부(350) 또는 제2 판단부(352)로부터의 플래그 신호에 응답하여 Vsync1과 Vsync2 중 하나를 선택하여 Vsync3로 출력하는 제1 멀티플렉서(이하 MUX1; 354)와, 상기 플래그 신호에 응답하여 Vsync1의 주기(f1)과 Vsync2의 주기(f2) 중 하나를 선택하여 MUX1(354)으로부터의 Vsync3와 동기하는 Vsync3의 주기(f3)를 출력하는 제2 멀티플렉서(이하, MUX2; 356)를 구비한다.
- [0052] Vsync2 생성부(340)는 제1 차이값 연산부(344)로부터 공급되는 이전 주기(f2)를 갖는 Vsync2를 생성하여 출력한다.
- [0053] 카운터(342)는 입력 Vsync1과 Vsync2 생성부(340)로부터의 Vsync2의 시간차(E)를 카운트하여 검출하고 검출된 시간차(E)를 출력한다. 다시 말하여, 카운터(342)는 입력 Vsync1의 시작점으로부터 Vsync2의 시작점까지의 시간차(E)를 카운트함으로써 Vsync1의 현재 주기(f1)과 Vsync2의 이전 주기(f2)의 차이값에 해당하는 시간차(E)를 검출하여 출력한다.
- [0054] 제1 차이값 연산부(344)는 Vsync2 생성부(340)로부터의 Vsync2에 동기하여 입력 Vsync2의 현재 주기(f1)와 카운터(342)로부터의 시간차(E)의 차이값(f1-E=f2)을 연산하여 Vsync2의 다음 주기(f2)로 출력한다.
- [0055] 제2 차이값 연산부(344)는 인접한 입력 Vsync1간의 주기 차이값(C)을 산출하여 출력한다. 다시 말하여, 제2 차이값 연산부(344)는 입력 Vsync1에 동기하여 입력 Vsync1의 현재 주기(f1)와, 버퍼(346)로부터 공급되는 이전 주기(f1p)의 차이값(f1-f1p=C)을 연산하여 출력한다.
- [0056] 제1 판단부(350)는 입력 Vsync1에 동기하여 제2 차이값 연산부(344)로부터 공급되는 차이값(C), 즉 인접한 Vsync1간의 주기 차이값(C)이 미리 설정된 임계 범위($0 < C < T$) 이내인지를 판단하여 플래그를 발생한다. 제1 판단부(350)는 인접한 Vsync1간의 주기 차이값(C)이 임계 범위($0 < C < T$) 이내이면(YES), 즉 차이값(C)이 최소 임계값인 0보다 크고 최대 임계값인 T보다 작으면, 플래그 신호 "1"을 발생하고, 반면에 인접한 Vsync1간의 주기 차이값(C)이 임계 범위($0 < C < T$) 이외의 조건이면(NO), 플래그 신호 "0"을 발생한다.
- [0057] 제2 판단부(352)는 입력 Vsync1에 동기하여 제2 차이값 연산부(344)로부터 공급되는 인접한 Vsync1간의 주기 차이값(C)의 절대치($|C|$)가 미리 설정된 임계 범위($|C| = 0$ or $|C| > T$) 이내인지를 판단하여 플래그를 발생한다. 제1 판단부(350)는 인접한 Vsync1간의 주기 차이값(C)의 절대치($|C|$)가 임계 범위($|C| = 0$ or $|C| > T$) 이내이면(YES) 플래그 신호 "0"을 발생하고, 반면에 인접한 Vsync1간의 주기 차이값(C)의 절대치($|C|$)가 임계 범위($|C| = 0$ or $|C| > T$) 이외의 조건이면(NO) 플래그 신호 "1"을 발생한다.
- [0058] MUX1(354)은 제1 판단부(350) 또는 제2 판단부(352)로부터의 플래그 신호에 응답하여 제1 판단부(350) 또는 제2 판단부(352)로부터의 플래그 신호에 응답하여 Vsync1과 Vsync2 중 하나를 선택하여 Vsync3로 출력한다. MUX1(354)은 제1 판단부(350) 또는 제2 판단부(352)로부터의 플래그 신호가 "1"이면(즉, 임계 범위 이내이면) Vsync1을 선택하고, 플래그 신호가 "0"이면(즉, 임계 범위를 벗어나면) Vsync2를 선택하여 Vsync3로 출력한다.
- [0059] MUX2(356)는 제1 판단부(350) 또는 제2 판단부(352)로부터의 플래그 신호에 응답하여 제1 판단부(350) 또는 제2 판단부(352)로부터의 플래그 신호에 응답하여 Vsync1의 주기(f1)과 Vsync2의 주기(f2) 중 하나를 선택하여

MUX1(354)으로부터의 Vsync3와 동기하는 Vsync3의 주기(f3)로 출력한다. MUX1(354)은 제1 판단부(350) 또는 제2 판단부(352)로부터의 플래그 신호가 "1"이면(즉, 임계 범위 이내이면) Vsync1의 제1 주기(f1)를 선택하고, 플래그 신호가 "0"이면(즉, 임계 범위를 벗어나면) Vsync2의 주기(f2)를 선택하여 MUX1(354)으로부터의 Vsync3와 동기하는 Vsync3의 주기(f3)로 출력한다.

- [0060] 한편, Vsync1과 Vsync2가 동기하는 경우 제2 판단부(352)로부터의 플래그 신호가 우선 순위로 MUX1(354) 및 MUX2(356)에 공급된다.
- [0061] 제1 및 제2 판단부(350, 352)에서 설정되는 임계 범위를 결정하는 임계값(T)는 설계자에 의해 해당 액정 표시 장치에 맞게 미리 설정되어 액정 표시 장치의 내장 메모리인 EEPROM(40)에 미리 저장된다. EEPROM(40)에 저장된 임계값(T)는 호스트 세트(10)에서 I2C 통신을 통해 사용자가 원하는 값으로, 즉 호스트 세트(10)에서 의도하는 값으로 업데이트될 수 있으므로, 임계값(T) 조정의 자유도를 넓힐 수 있다.
- [0062] 이러한 임계값(T)를 설정하는 이유는 인접한 입력 Vsync1간의 주파수 차이가 인지 수준 이하로 작다면 그 주파수 차이에 의해 실제 들어지는 듀티가 크지 않아 인지되지 않기 때문에 재생성 Vsync2를 이용하는 것과 같은 불필요한 수행을 방지할 수 있다.
- [0063] 도 5는 도 4에 도시된 Vsync 필터(34)를 이용하여 입력 Vsync1의 주파수가 증가하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 최대 임계값(T)보다 클 때, Vsync의 필터링 과정과 PWM 출력을 보여주는 파형도이다.
- [0064] 통상 현재 프레임의 영상과 이전 프레임의 영상의 주파수 차이, 즉 주기(시간) 차이가 1ms 이하인 경우엔 플리커 현상이 인지되지 않으므로 최대 임계값(T)은 1ms로 설정하기로 한다. 도 5는 입력 Vsync1의 주파수가 100Hz에서 120Hz로 증가한 경우를 나타낸다.
- [0065] 도 5의 ① 시점에 있어서, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 10ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.
- [0066] 도 5의 ② 시점에 있어서, 현재 Vsync1의 주기 f1은 8.3ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 1.7ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 아직 재생성 Vsync2가 시작되지 않았으므로 업데이트되지 않아 그대로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 그대로 10ms가 된다. 차이값 C가 1.7ms로 임계값(T)인 1ms보다 크므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로 출력하지만 출력 Vsync3가 로우 상태이므로 출력 Vsync3의 주기 f3는 업데이트되지 않고 이전값을 유지한다.
- [0067] 도 5의 ③ 시점에 있어서, 현재 Vsync1의 주기 f1은 8.3ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 1.7ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 재생성 Vsync2의 시작점까지의 시간인 1.7ms가 된다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 6.6ms가 된다. 차이값 C가 1.7ms로 임계값(T)인 1ms보다 크므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로 출력되고, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.
- [0068] 도 5의 ④ 시점에 있어서, 현재 Vsync1의 주기 f1은 8.3ms, 이전 Vsync1의 주기 f1p는 8.3ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 8.3ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.
- [0069] 이에 따라, 입력 Vsync1의 주파수가 증가하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 임계값(T)보다 클 때, Vsync1의 필터링으로 재생성된 Vsync2 및 그 주기 f2를 출력 Vsync3 및 그 주기 f3으로 출력함으로써 Vsync1 및 Vsync2와 동기하면서 듀티비(50%)를 일정하게 유지하는 PWM 출력을 얻을 수 있음을 알 수 있다.
- [0070] 도 6은 도 4에 도시된 Vsync 필터(34)를 이용하여 입력 Vsync1의 주파수가 감소하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 임계값(T)보다 클 때, Vsync1의 필터링 과정과 PWM 출력을 보여주는 파형도이다.
- [0071] 도 6은 입력 Vsync1의 주파수가 120Hz에서 100Hz로 감소하고, 최대 임계값 T는 1ms로 설정된 경우를 나타낸다.
- [0072] 도 6의 ① 시점에 있어서, 현재 Vsync1의 주기 f1은 8.3ms, 이전 Vsync1의 주기 f1p는 8.3ms이므로, 그 차이값

C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 8.3ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.

[0073] 도 6의 ② 시점에 있어서, 현재 Vsync1의 주기 f1은 8.3ms, 이전 Vsync1의 주기 f1p는 8.3ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 이미 상기 ① 시점에서 사용한 후 ② 시점에서 재생성 Vsync2는 발생하였으나 입력 Vsync1이 아직 입력되지 않았으므로 업데이트되지 못하고 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 그대로 8.3ms가 된다. 차이값 C의 절대값이 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.

[0074] 도 6의 ③ 시점에 있어서, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 8.3ms이므로, 그 차이값 C는 -1.7ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 재생성 Vsync2가 아직 입력되지 않았으므로 업데이트되지 않아 그대로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 그대로 8.3ms가 된다. 차이값 C가 -1.7ms로 0보다 작으므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로 출력하지만 출력 Vsync3가 로우 상태이므로 출력 Vsync3의 주기 f3은 업데이트되지 않고 이전값을 유지한다.

[0075] 도 6의 ④ 시점에 있어서, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 8.3ms이므로, 그 차이값 C는 -1.7ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 재생성 Vsync2의 시작점까지의 시간인 6.6ms가 된다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 3.4ms가 된다. 차이값 C가 1.7ms로 임계값(T)인 1ms보다 크므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로 출력되고, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.

[0076] 도 6의 ⑤ 시점에서 보면, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 10ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.

[0077] 이에 따라, 입력 Vsync1의 주파수가 감소하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 임계값(T)보다 클 때, Vsync1의 필터링으로 재생성된 Vsync2 및 그 주기 f2를 출력 Vsync3 및 그 주기 f3으로 출력함으로써 Vsync1 및 Vsync2와 동기하면서 듀티비(50%)를 일정하게 유지하는 PWM 출력을 얻을 수 있음을 알 수 있다.

[0078] 도 7은 도 4에 도시된 Vsync 필터(34)를 이용하여 입력 Vsync1의 주파수가 증가하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 최대 임계값(T)보다 작을 때, Vsync1의 필터링 과정과 PWM 출력을 보여주는 파형도이다.

[0079] 도 7은 입력 Vsync1의 주파수가 100Hz에서 105Hz로 증가하고, 최대 임계값 T는 1ms로 설정된 경우를 나타낸다.

[0080] 도 7의 ① 시점에 있어서, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 10ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.

[0081] 도 7의 ② 시점에 있어서, 현재 Vsync1의 주기 f1은 9.5ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 0.5ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 아직 재생성 Vsync2가 시작되지 않았으므로 업데이트되지 않아 그대로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 9.5ms가 된다. 차이값 C가 0.5ms로 임계값(T)인 1ms보다 작고 0보다 크므로 플래그 신호는 1이 되고, 이에 따라 입력 Vsync1이 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.

[0082] 도 7의 ③ 시점에 있어서, 현재 Vsync1의 주기 f1은 9.5ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 0.5ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 재생성 Vsync2의 시작점까지의 시간인 0.5ms가 된다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 9ms가 된다. 차이값 C의 절대값이 0.5ms로 임계값(T)인 1ms보다 작으므로 플래그 신호는 1이 되고, 이에 따라 입력 Vsync1가 출력 Vsync3로 출력되지만 출력 Vsync3가 로우 상태이므로 출력 Vsync3의 주기 f3은 업데이트되지 않고 이전값을 유지한다.

- [0083] 도 7의 ④ 시점에 있어서, 현재 Vsync1의 주기 f1은 9.5ms, 이전 Vsync1의 주기 f1p는 9.5ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 9.5ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.
- [0084] 이에 따라, 입력 Vsync1의 주파수가 증가하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 임계 범위에 포함될 때, Vsync1 및 주기 f1을 출력 Vsync3 및 그 주기 f3으로 출력함으로써 Vsync1과 동기하면서 인지 수준 이하의 듀티비 차이를 갖거나 듀티비(50%)를 일정하게 유지하는 PWM 출력을 얻을 수 있음을 알 수 있다.
- [0085] 도 8은 도 4에 도시된 Vsync 필터(34)를 이용하여 입력 Vsync1의 주파수가 감소하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 임계값(T)보다 작을 때, Vsync1의 필터링 과정과 PWM 출력을 보여주는 파형도이다.
- [0086] 도 8은 입력 Vsync1의 주파수가 105Hz에서 100Hz로 감소하고, 최대 임계값 T는 1ms로 설정된 경우를 나타낸다.
- [0087] 도 8의 ① 시점에 있어서, 현재 Vsync1의 주기 f1은 9.5ms, 이전 Vsync1의 주기 f1p는 9.5ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 9.5ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.
- [0088] 도 8의 ② 시점에 있어서, 현재 Vsync1의 주기 f1은 9.5ms, 이전 Vsync1의 주기 f1p는 9.5ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 이미 상기 ① 시점에서 사용한 후 ② 시점에서 재생성 Vsync2는 발생하였으나 입력 Vsync1이 아직 입력되지 않았으므로 업데이트되지 못하고 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 그대로 9.5ms가 된다. 차이값 C의 절대값이 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.
- [0089] 도 8의 ③ 시점에 있어서, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 9.5ms이므로, 그 차이값 C는 -0.5ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 재생성 Vsync2가 아직 입력되지 않았으므로 업데이트되지 않아 그대로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 그대로 9.5ms가 된다. 차이값 C가 -0.5ms로 0보다 작으므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로 출력하지만 출력 Vsync3가 로우 상태이므로 출력 Vsync3의 주기 f3은 업데이트되지 않고 이전값을 유지한다.
- [0090] 도 8의 ④ 시점에 있어서, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 9.5ms이므로, 그 차이값 C는 -0.5ms이고, 카운트값 E는 Vsync1의 시작점을 기준으로 재생성 Vsync2의 시작점까지의 시간인 9ms가 된다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 1ms가 된다. 차이값 C의 절대값이 0.5ms로 임계값(T)인 1ms보다 작으므로 플래그 신호는 1이 되고, 이에 따라 입력 Vsync1이 출력 Vsync3로 출력하지만 출력 Vsync3가 로우 상태이므로 출력 Vsync3의 주기 f3은 업데이트되지 않고 이전값을 유지한다.
- [0091] 도 8의 ⑤ 시점에서 보면, 현재 Vsync1의 주기 f1은 10ms, 이전 Vsync1의 주기 f1p는 10ms이므로, 그 차이값 C는 0ms이고, 카운트값 E는 Vsync1의 시작점과 재생성 Vsync2의 시작점이 동일하므로 0이다. 따라서, Vsync1의 주기 f1과 카운트값 E의 차이값 f2는 10ms가 된다. 차이값 C가 0이므로 플래그 신호는 0이 되고, 이에 따라 재생성 Vsync2가 출력 Vsync3로, 그 출력 Vsync3와 동기하여 재생성 Vsync2의 주기 f2가 출력 Vsync3의 주기 f3으로 출력된다.
- [0092] 이에 따라, 입력 Vsync1의 주파수가 감소하고, 인접한 입력 Vsync1간의 주기 차이값(C)이 임계 범위에 포함될 때, Vsync1 및 주기 f1을 출력 Vsync3 및 그 주기 f3으로 출력함으로써 Vsync1과 동기하면서 인지 수준 이하의 듀티비 차이(5%)를 갖거나 듀티비(50%)를 일정하게 유지하는 PWM 출력을 얻을 수 있음을 알 수 있다.
- [0093] 이와 같이, 본 발명에 따른 백라이트 드라이버 및 그 구동 방법은 입력 Vsync1의 주파수 가변에 적응적으로 대응하기 위하여 프레임마다 Vsync1의 주파수가 반영된 Vsync2를 재생성하고, Vsync1과 그 이후에 발생하는 Vsync2와의 시간차를 반영하여 Vsync1의 주파수(주기)를 조정하여 Vsync2의 주파수(주기)를 생성한다. 또한, 인접한 입력 Vsync1 간의 주파수(주기) 차이가 미리 설정된 임계 범위를 만족하는지 여부에 따라 입력 Vsync1 및 재생성 Vsync2 중 하나를 선택하여 출력 Vsync3으로 출력함과 아울러 입력 Vsync1의 주파수(주기) 및 재생성 Vsync2의 주파수(주기) 중 하나를 선택하여 출력 Vsync3의 주파수(주기)로 출력하고, 출력 Vsync3를 이용하여

입력 듀티비에 따른 PWM 신호를 생성하여 출력한다. 이에 따라, 입력되는 Vsync1의 주파수가 가변하더라도 입력 Vsync1 또는 재생성 Vsync2와 동기하는 출력 Vsync3를 이용하여 PWM 출력의 듀티비를 일정하게 유지함으로써 트레이트-오프(trade-off) 관계에 있는 백라이트 플리커 및 웨이비 노이즈를 모두 방지할 수 있다.

[0094] 또한, 인접한 Vsync1간의 주기(주파수) 차이값이 임계값 이내이면 그 주파수 차이로 인한 듀티비 차이는 인지되지 않으므로 불필요한 연산 과정없이 Vsync1을 Vsync3로 출력할 수 있다.

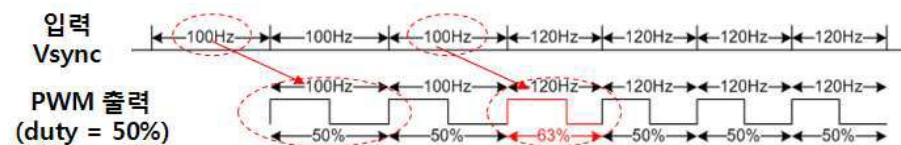
[0095] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

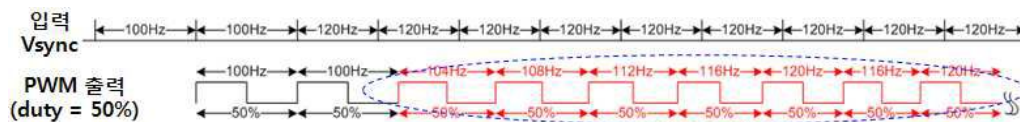
[0096]	10: 호스트 세트	20: 타이밍 컨트롤러
	22: 패널 구동부	24: 데이터 드라이버
	26: 게이트 드라이버	28: 액정 패널
	30: 백라이트 드라이버	40: EEPROM
	50: 백라이트 유닛	32: 주파수 분석부
	34: Vsync 필터	36: 듀티비 검출부
	36: PWM 생성부	340: Vsync2 재생성부
	342: 카운터	344: 제1 차이값 연산부
	346: 버퍼	348: 제2 차이값 연산부
	350: 제1 판단부	352: 제2 판단부
	354: MUX1	356: MUX2

도면

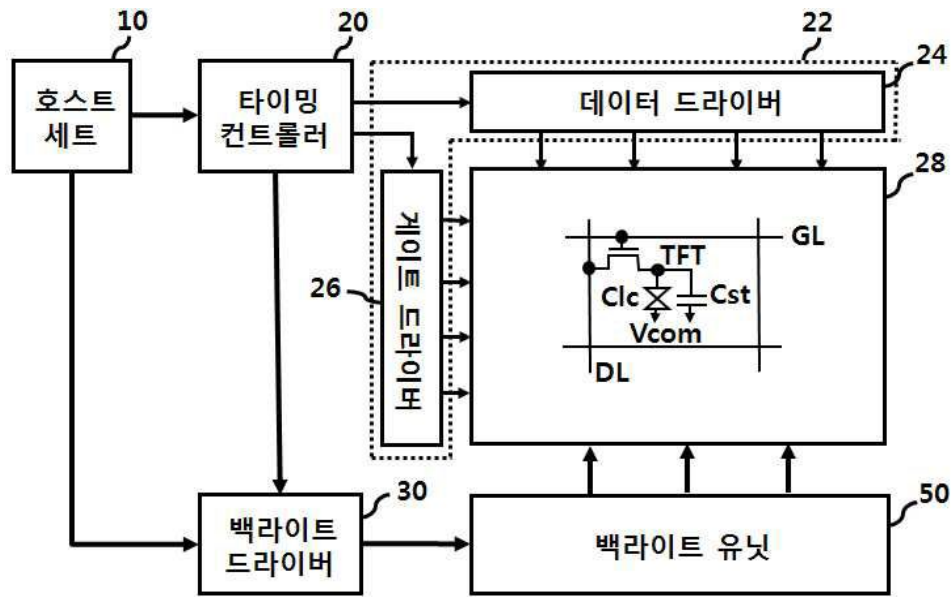
도면1a



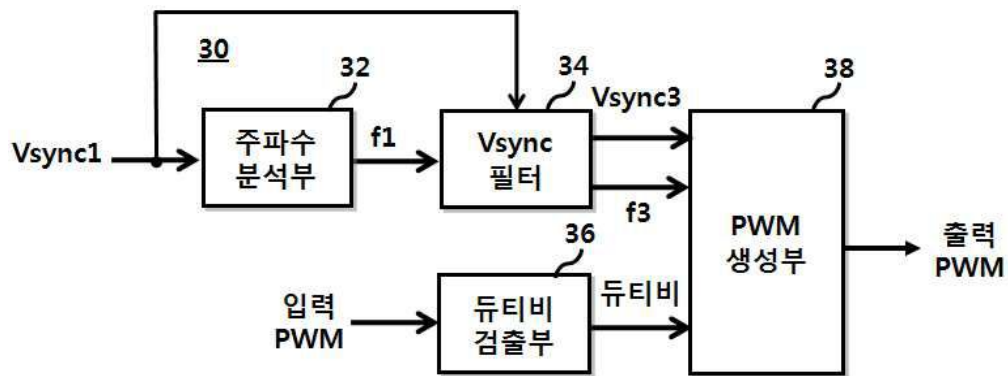
도면1b



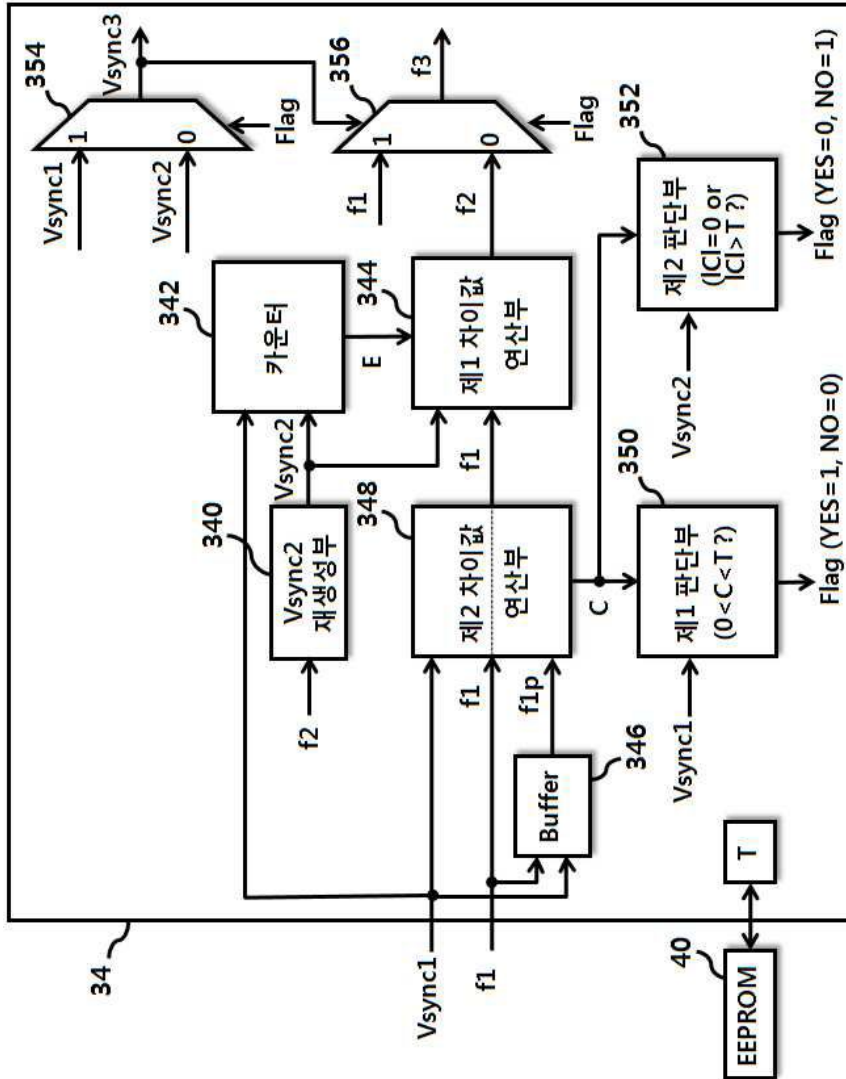
도면2



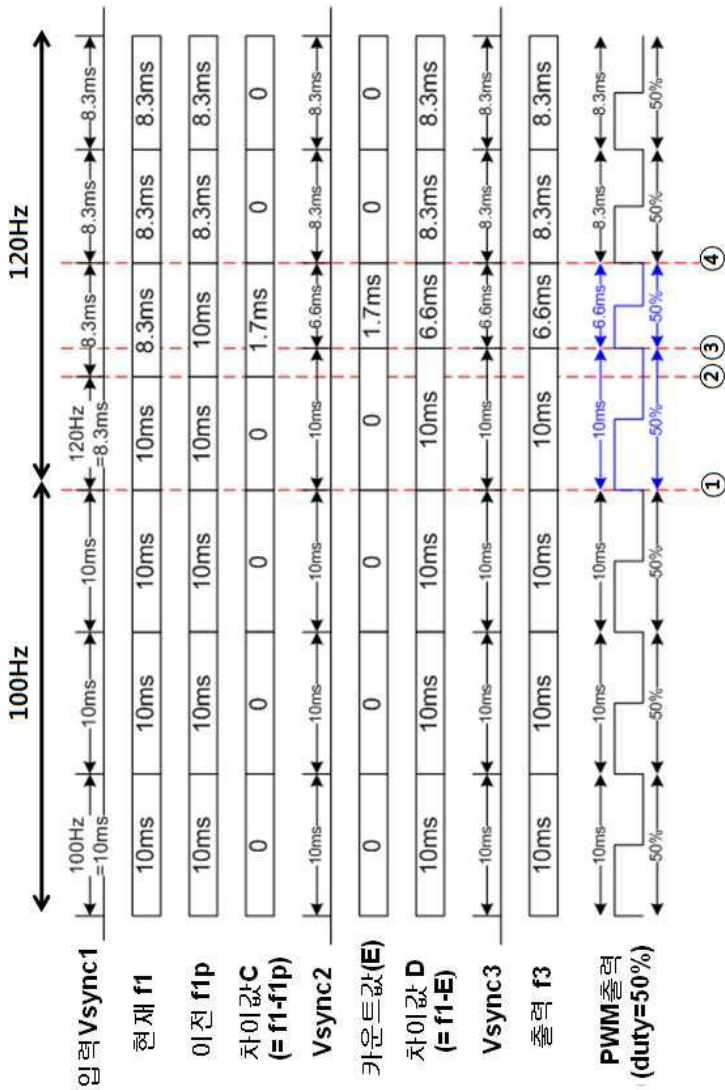
도면3



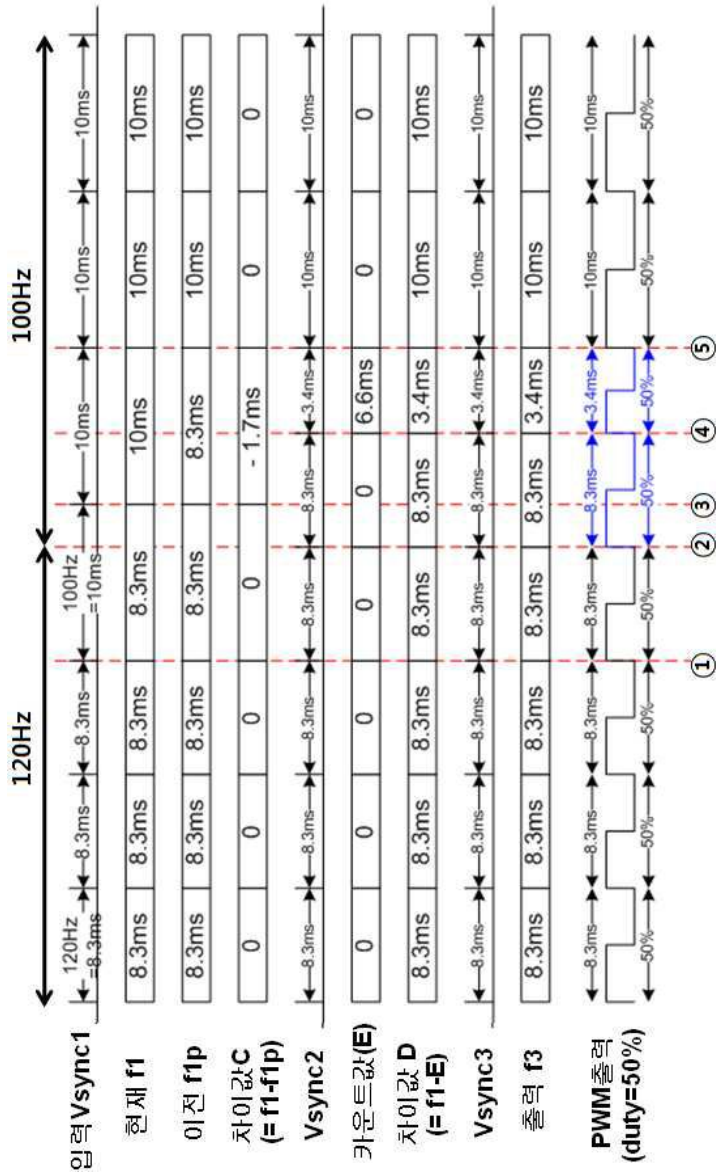
도면4



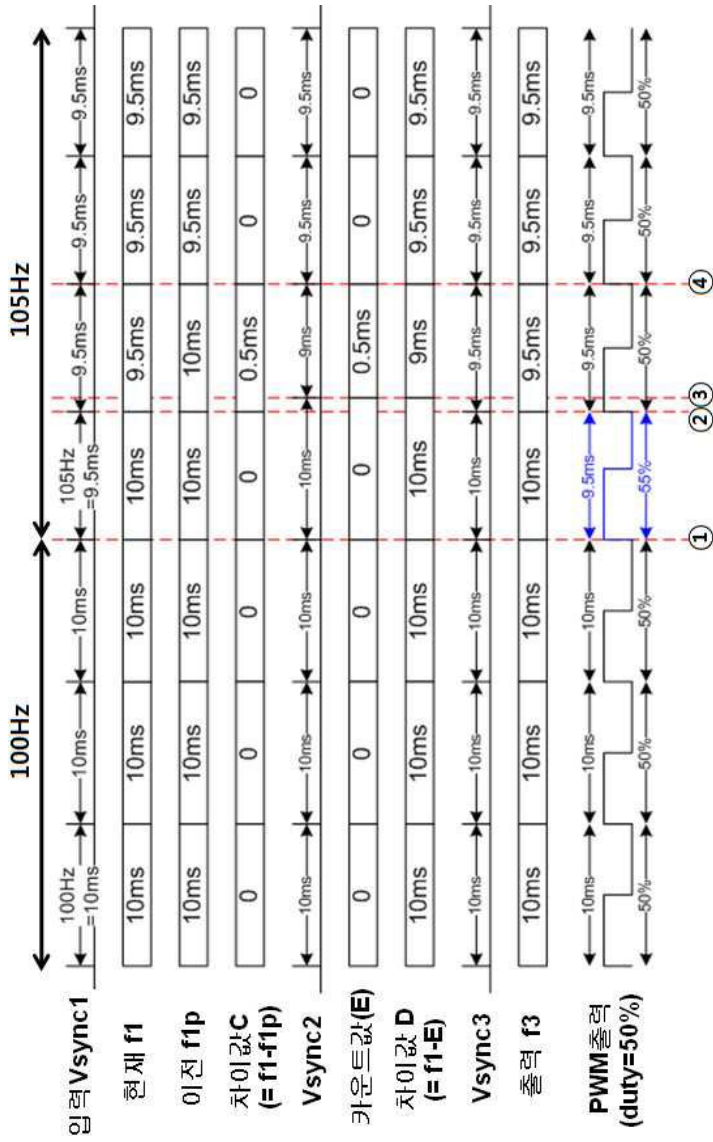
도면5



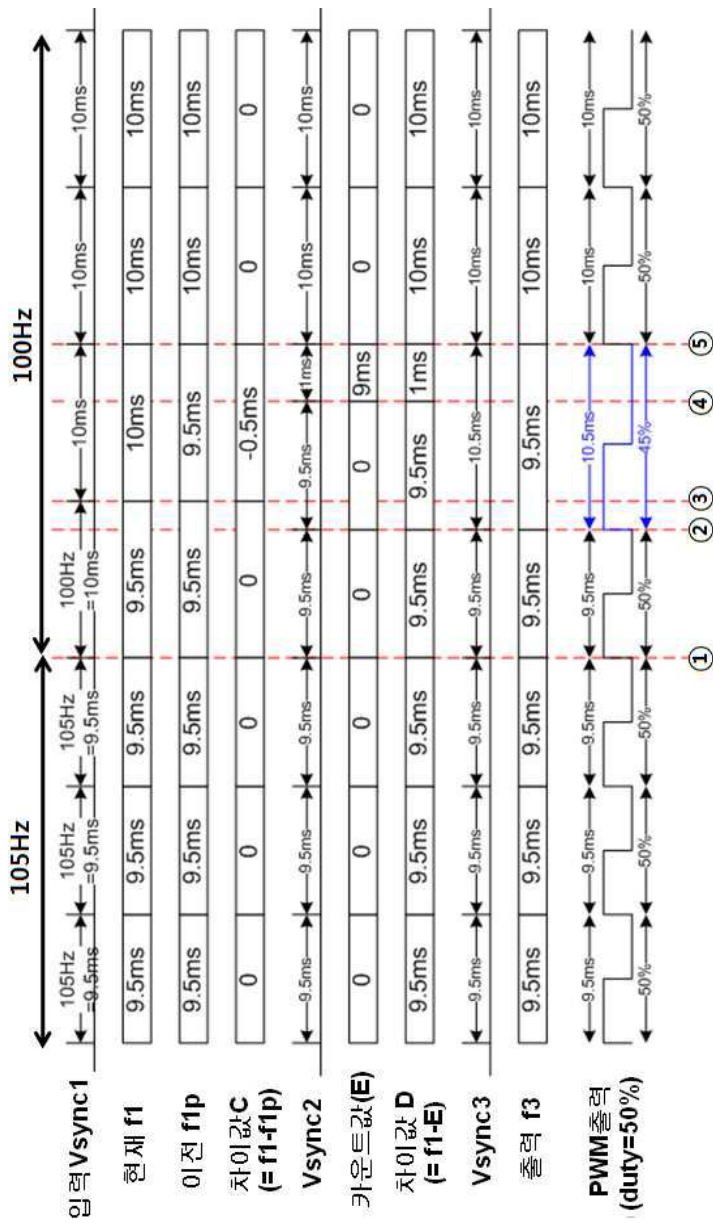
도면6



도면7



도면8



专利名称(译)	液晶显示器的背光驱动器及其驱动方法		
公开(公告)号	KR102034049B1	公开(公告)日	2019-10-18
申请号	KR1020120154776	申请日	2012-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김민규		
发明人	김민규		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3406 G09G2320/0247 G09G2320/064 G09G2340/0435		
代理人(译)	Bakyoungbok		
审查员(译)	酋长姬		
其他公开文献	KR1020140084838A		
外部链接	Espacenet		

摘要(译)

公开了一种背光驱动器及其驱动方法。背光驱动器包括垂直同步信号滤波器，该垂直同步信号滤波器用于基于输入的第一垂直同步信号来生成第二垂直同步信号，并且根据是否将第一垂直同步信号和第二垂直同步信号中的一个选择为第三垂直同步信号。相邻的第一垂直同步信号之间的周期差满足预设阈值范围，用于检测输入脉宽调制(PWM)信号的占空比的占空比检测器，用于生成与第三垂直同步信号同步的输出PWM信号的PWM发生器从垂直同步信号滤波器输出并具有占空比，并且将输出的PWM信号输出到背光单元。

