



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0120149
(43) 공개일자 2019년10월23일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1362 (2006.01)
H01L 27/12 (2006.01)
- (52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/136227 (2013.01)
- (21) 출원번호 10-2019-0128959(분할)
(22) 출원일자 2019년10월17일
심사청구일자 2019년10월17일
- (62) 원출원 특허 10-2012-0126962
원출원일자 2012년11월09일
심사청구일자 2017년11월09일
- (30) 우선권주장
JP-P-2011-247258 2011년11월11일 일본(JP)
JP-P-2011-247256 2011년11월11일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- 고야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 3 항

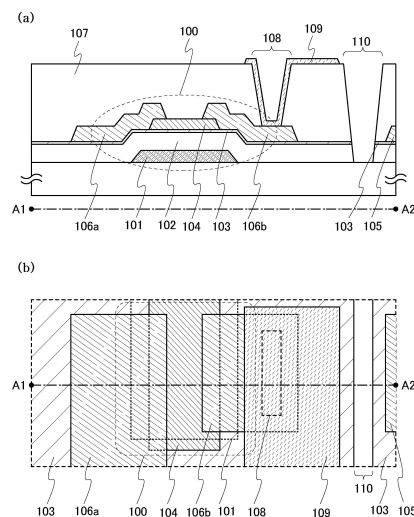
(54) 발명의 명칭 표시 장치 및 그 제조 방법

(57) 요약

적은 매수의 마스크로 제조할 수 있고, 또한 신뢰성이 높은 액정 표시 장치 및 발광 장치가 제공된다.

게이트 전극과, 게이트 전극 위에 위치하는 게이트 절연막과, 게이트 절연막 위에 위치하고, 게이트 전극과 중첩되는 반도체막과, 반도체막 위에 위치하고, 게이트 전극과 중첩되는 섬 형상의 제1 절연막과, 반도체막 위에 위치하는 제1 도전막과, 제1 절연막을 개재하고, 또한 반도체막 위에 위치하는 한 쌍의 제2 도전막과, 제1 절연막, 제1 도전막 및 한 쌍의 제2 도전막 위에 위치하는 제2 절연막과, 제2 절연막 위에 위치하고, 제2 절연막에 설치된 제1 개구부를 통하여, 한 쌍의 제2 도전막 중 어느 하나에 접속되는 화소 전극을 갖고, 제2 절연막 및 반도체막에는, 제1 도전막과, 한 쌍의 제2 도전막 중 어느 하나 또는 다른 하나의 사이에 위치하는 제2 개구부가 설치되어 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/1225 (2013.01)

H01L 27/1248 (2013.01)

H01L 27/1255 (2013.01)

H01L 27/1259 (2013.01)

G02F 2001/136231 (2013.01)

명세서

청구범위

청구항 1

전자 기기로서,

제1 도전막 및 제2 도전막과,

상기 제1 도전막 위 및 상기 제2 도전막 위에 위치하는 제1 절연막과,

상기 제1 절연막 위에 위치하고, 상기 제1 도전막과 중첩되는 채널 형성 영역을 포함하는 제1 산화물 반도체막과,

상기 제1 절연막 위에 위치하고, 상기 제2 도전막과 중첩되는 영역을 포함하는 제2 산화물 반도체막과,

상기 제1 산화물 반도체막 위에 위치하는 제3 도전막과,

상기 제1 산화물 반도체막 위에 위치하는 제4 도전막과,

상기 제2 산화물 반도체막 위에 위치하는 제5 도전막과,

상기 제1 산화물 반도체막 위, 상기 제2 산화물 반도체막 위, 상기 제3 도전막 위, 상기 제4 도전막 위, 및 상기 제5 도전막 위에 위치하는 제2 절연막과,

상기 제2 절연막 위에 위치하고, 상기 제3 도전막 또는 상기 제4 도전막과 전기적으로 접속되는 화소 전극을 포함하고,

상기 제3 도전막 및 상기 제4 도전막은, 상기 제1 산화물 반도체막과 전기적으로 접속되고,

상기 제5 도전막은, 상기 제2 산화물 반도체막과 전기적으로 접속되고,

상기 제1 절연막은, 개구부를 포함하고,

상기 제2 도전막은, 상기 개구부와 중첩되는 제1 영역을 포함하고,

상기 제1 산화물 반도체막은, 상기 제3 도전막 또는 상기 제4 도전막과 중첩되는 제2 영역을 포함하고,

상기 제2 산화물 반도체막은, 상기 제5 도전막과 중첩되는 제3 영역을 포함하고,

상기 제1 영역은, 상기 제2 영역과 상기 제3 영역 사이에 위치하는, 전자 기기.

청구항 2

전자 기기로서,

제1 도전막 및 제2 도전막과,

상기 제1 도전막 위 및 상기 제2 도전막 위에 위치하는 제1 절연막과,

상기 제1 절연막 위에 위치하고, 상기 제1 도전막과 중첩되는 채널 형성 영역을 포함하는 제1 산화물 반도체막과,

상기 제1 절연막 위에 위치하고, 상기 제2 도전막과 중첩되는 영역을 포함하는 제2 산화물 반도체막과,

상기 제1 산화물 반도체막 위에 위치하는 제3 도전막과,

상기 제1 산화물 반도체막 위에 위치하는 제4 도전막과,

상기 제2 산화물 반도체막 위에 위치하는 제5 도전막과,

상기 제3 도전막 또는 상기 제4 도전막과 전기적으로 접속되는 화소 전극을 포함하고,

상기 제3 도전막 및 상기 제4 도전막은, 상기 제1 산화물 반도체막과 전기적으로 접속되고,

상기 제5 도전막은, 상기 제2 산화물 반도체막과 전기적으로 접속되고,
 상기 제1 절연막은, 개구부를 포함하고,
 상기 제2 도전막은, 상기 개구부와 중첩되는 제1 영역을 포함하고,
 상기 제1 산화물 반도체막은, 상기 제3 도전막 또는 상기 제4 도전막과 중첩되는 제2 영역을 포함하고,
 상기 제2 산화물 반도체막은, 상기 제5 도전막과 중첩되는 제3 영역을 포함하고,
 상기 제1 영역은, 상기 제2 영역과 상기 제3 영역 사이에 위치하는, 전자 기기.

청구항 3

전자 기기로서,
 제1 도전막 및 제2 도전막과,
 상기 제1 도전막 위 및 상기 제2 도전막 위에 위치하는 제1 절연막과,
 상기 제1 절연막 위에 위치하고, 상기 제1 도전막과 중첩되는 채널 형성 영역을 포함하는 제1 산화물 반도체막과,
 상기 제1 절연막 위에 위치하고, 상기 제2 도전막과 중첩되는 영역을 포함하는 제2 산화물 반도체막과,
 상기 제1 산화물 반도체막 위에 위치하는 제3 도전막과,
 상기 제1 산화물 반도체막 위에 위치하는 제4 도전막과,
 상기 제2 산화물 반도체막 위에 위치하는 제5 도전막과,
 상기 제3 도전막 또는 상기 제4 도전막과 전기적으로 접속되는 화소 전극을 포함하고,
 상기 제3 도전막 및 상기 제4 도전막은, 상기 제1 산화물 반도체막과 전기적으로 접속되고,
 상기 제5 도전막은, 상기 제2 산화물 반도체막과 전기적으로 접속되고,
 상기 제1 절연막은, 개구부를 포함하고,
 상기 제2 도전막은, 상기 개구부와 중첩되는 제1 영역을 포함하고,
 상기 제1 산화물 반도체막은, 상기 제3 도전막 또는 상기 제4 도전막과 중첩되는 제2 영역을 포함하고,
 상기 제2 산화물 반도체막은, 상기 제5 도전막과 중첩되는 제3 영역을 포함하고,
 상기 제1 영역은, 상기 제2 영역과 상기 제3 영역 사이에 위치하고,
 상기 제1 산화물 반도체막은, 상기 제1 도전막과 중첩되고, 상기 제3 도전막과 중첩되는 제4 영역을 포함하고,
 상기 제4 영역은, 상기 채널 형성 영역과 떨어져 있는, 전자 기기.

발명의 설명

기술 분야

[0001] 본 발명은 각 화소에 트랜지스터를 갖는 액정 표시 장치와, 그 제조 방법에 관한 것이다. 본 발명은 각 화소에 트랜지스터를 갖는 발광 장치와, 그 제조 방법에 관한 것이다.

배경 기술

[0002] 결정성을 갖는 실리콘에 의해 얻어지는 높은 이동도와, 비정질 실리콘에 의해 얻어지는 균일한 소자 특성을 겸비한 새로운 반도체 재료로서, 산화물 반도체라고 불리는, 반도체 특성을 나타내는 금속 산화물이 주목받고 있다. 금속 산화물은 여러가지 용도에 사용되고 있으며, 예를 들어, 잘 알려진 금속 산화물인 산화 인듐은 액정 표시 장치 등에서 투광성을 갖는 화소 전극에 사용되고 있다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역에 사용하는 트랜지스터가 이미 알려져 있다(특허문헌 1 및 특허문헌 2).

선행기술문헌

특허문헌

- [0003] (특허문헌 0001) 일본 특허 공개 제2007-123861호 공보
(특허문헌 0002) 일본 특허 공개 제2007-96055호 공보

발명의 내용

해결하려는 과제

- [0004] 그런데, 액정 표시 장치에 사용되는 트랜지스터는, 경시 열화에 의한 전기적 특성(임계값 전압, 이동도, S값 등)의 변화가 작을 것, 또한, 경시 열화에 의해 발생하는 전기적 특성의 편차가 작을 것이 요망된다. 경시 열화에 의한 전기적 특성의 변화가 작은 트랜지스터, 또한, 경시 열화에 의해 발생하는 전기적 특성의 편차가 작은 트랜지스터를 사용함으로써 액정 표시 장치의 신뢰성을 높일 수 있어, 표시하는 화상의 품질을 높일 수 있다.
- [0005] 또한, 포토리소그래피법에서 사용되는 노광용 마스크는 일반적으로 고가이고, 또한, 포토리소그래피법에서는, 1매의 마스크에 대해서, 포토레지스트의 성막, 노광, 현상, 에칭, 박리 등의 일련의 공정이 필요해진다. 따라서, 액정 표시 장치의 제조에 필요한 마스크의 매수가 증가하면, 그만큼 제조 공정수가 증가하고, 또한 제조에 소비되는 비용이 높아지기 쉽다.
- [0006] 상술한 바와 같은 기술적 배경 하에서, 본 발명은 신뢰성이 높은 액정 표시 장치의 제공을 과제의 하나로 한다. 또한, 본 발명은 적은 매수의 마스크로 제조할 수 있고, 또한 신뢰성이 높은 액정 표시 장치의 제공을 과제의 하나로 한다.
- [0007] 또는, 본 발명은 적은 매수의 마스크를 사용하여 신뢰성이 높은 액정 표시 장치를 얻을 수 있는, 액정 표시 장치의 제조 방법의 제공을 과제의 하나로 한다.
- [0008] 또한, OLED(Organic Light Emitting Diode) 등의 발광 소자를 사용한 액티브 매트릭스형의 발광 장치에 있어서, 각 화소에 설치된 트랜지스터는, 경시 열화에 의한 전기적 특성의 변화가 작을 것, 또한, 경시 열화에 의해 발생하는 전기적 특성의 편차가 작을 것이 요망된다. 경시 열화에 의한 전기적 특성의 변화가 작은 트랜지스터, 또한, 경시 열화에 의해 발생하는 전기적 특성의 편차가 작은 트랜지스터를 사용함으로써 발광 장치의 신뢰성을 높일 수 있어, 표시하는 화상의 품질을 높일 수 있다.
- [0009] 또한, 포토리소그래피법에서 사용되는 노광용 마스크는 일반적으로 고가이고, 또한, 포토리소그래피법에서는, 1매의 마스크에 대해서, 포토레지스트의 성막, 노광, 현상, 에칭, 박리 등의 일련의 공정이 필요해진다. 따라서, 발광 장치의 제조에 필요한 마스크의 매수가 증가하면, 그만큼 제조 공정수가 증가하고, 또한 제조에 소비되는 비용이 높아지기 쉽다.
- [0010] 상술한 바와 같은 기술적 배경 하에서, 본 발명은 신뢰성이 높은 발광 장치의 제공을 과제의 하나로 한다. 또한, 본 발명은 적은 매수의 마스크로 제조할 수 있고, 또한 신뢰성이 높은 발광 장치의 제공을 과제의 하나로 한다.
- [0011] 또는, 본 발명은 적은 매수의 마스크를 사용하여 신뢰성이 높은 발광 장치를 얻을 수 있는 발광 장치의 제조 방법의 제공을 과제의 하나로 한다.

과제의 해결 수단

- [0012] 본 발명의 일 형태에서는 화소 전극과 소스 전극 또는 드레인 전극을 접속하기 위한 개구부를, 소스 전극 및 드레인 전극 위의 절연막에 형성하는 공정에 있어서, 상기 절연막의 형상 뿐만 아니라, 반도체막의 형상까지도 가공한다. 구체적으로, 본 발명의 일 형태에 따른 액정 표시 장치의 제조 방법에서는, 게이트 전극을 형성하는 공정과, 반도체막이 갖는 채널 형성 영역을 보호하는 기능을 갖는 절연막(이하, 채널 보호막이라고도 칭함)을 형성하는 공정과, 소스 전극 또는 드레인 전극을 형성하는 공정과, 소스 전극 및 드레인 전극 위의 절연막에 개구부를 형성하고, 또한 반도체막의 형상을 가공하는 공정과, 화소 전극을 형성하는 공정에 있어서, 마스크를 이

용한 포토리소그래피법을 사용한다. 따라서, 반도체막의 형상을 단독으로 가공하기 위해서만 행해지는 포토리소그래피법을 사용한 공정을, 본 발명의 일 형태에서는 생략할 수 있다.

[0013] 또한, 구체적으로, 본 발명의 일 형태에 따른 발광 장치의 제조 방법에서는, 게이트 전극을 형성하는 공정과, 반도체막이 갖는 채널 형성 영역을 보호하는 기능을 갖는 절연막을 형성하는 공정과, 소스 전극 또는 드레인 전극을 형성하는 공정과, 소스 전극 및 드레인 전극 위의 절연막에 개구부를 형성하고, 또한 반도체막의 형상을 가공하는 공정과, 화소 전극을 형성하는 공정과, 화소 전극 위의 절연막에 개구부를 형성함으로써 격벽을 형성하는 공정에 있어서, 마스크를 이용한 포토리소그래피법을 사용한다. 따라서, 반도체막의 형상을 단독으로 가공하기 위해서만 행해지는 포토리소그래피법을 사용한 공정을 본 발명의 일 형태에서는 생략할 수 있다.

[0014] 또한, 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극과 동일한 층에 형성된 도전막은, 소스 전극 및 드레인 전극 위의 절연막과, 반도체막의 사이에 존재한다. 그로 인해, 상술한 바와 같은, 소스 전극 및 드레인 전극 위의 절연막의 형상과 반도체막의 형상을 동일한 마스크로 가공하는 제조 방법을 사용하는 경우, 반도체막 중 상기 도전막의 하부에 위치하는 부분은, 그의 형상을 가공하는 것이 어렵다. 그리고, 복수의 도전막이 반도체막과 중첩되어 있으면, 화소 전극으로부터 반도체막에 인가되는 전계에 의해, 도전막들 사이에서 반도체막에 채널(이하, 기생 채널이라 칭함)이 형성되는 경우가 있다. 기생 채널이 형성되면, 전기적으로 분리되어야 할 도전막끼리가 반도체막을 통하여 전기적으로 접속되기 때문에, 표시되는 화질의 저하가 발생된다.

[0015] 따라서, 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치에서는, 복수의 도전막 사이에서 복수의 도전막 위의 절연막이 개구부를 갖고, 반도체막은 상기 개구부와 중첩되는 영역에서 제거되어 있는 구성으로 한다. 따라서, 복수의 각 도전막과 중첩되는 위치에 설치된 반도체막끼리는, 상기 개구부에서 이격되어 있는 구성으로 된다. 상기 구성에 의해, 기생 채널의 형성이 억제되어, 도전막끼리가 전기적으로 접속되는 것을 방지할 수 있다.

[0016] 또한, 채널 보호막을 형성하는 공정, 또는, 소스 전극 또는 드레인 전극을 형성하는 공정에 있어서, 에칭에 의해 노출된 반도체막 또는 채널 보호막의 표면에 불순물이 부착되면, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기적 특성의 열화가 초래되기 쉽다. 또한, 반도체막에 기생 채널이 발생하기 쉬워져, 전기적으로 분리되어야 할 도전막끼리가 반도체막을 통하여 전기적으로 접속되기 쉬워진다. 구체적으로, 상기 불순물에는, 소스 전극 또는 드레인 전극을 구성하는 원소, 에칭을 행한 처리실 내에 존재하는 원소, 또는, 에칭에 사용한 에칭 가스나 에칭액을 구성하는 원소 등이 포함된다. 따라서, 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치의 제조 방법에서는, 채널 보호막을 형성하기 위한 에칭이 종료한 후, 또는, 소스 전극 또는 드레인 전극을 형성하기 위한 에칭이 종료한 후에, 반도체막 또는 채널 보호막의 표면에 부착되게 되는 불순물을 제거하는 공정도 갖는다.

[0017] 구체적으로, 본 발명의 일 형태에 따른 액정 표시 장치는, 게이트 전극과, 게이트 전극 위에 위치하는 게이트 절연막과, 게이트 절연막 위에 위치하고, 게이트 전극과 중첩되는 반도체막과, 반도체막 위에 위치하고, 게이트 전극과 중첩되는 섬 형상의 제1 절연막과, 반도체막 위에 위치하는 제1 도전막과, 섬 형상의 제1 절연막을 개재하고, 또한 반도체막 위에 위치하는 한 쌍의 제2 도전막과, 반도체막, 섬 형상의 제1 절연막, 제1 도전막 및 한 쌍의 제2 도전막 위에 위치하는 제2 절연막과, 제2 절연막 위에 위치하고, 제2 절연막에 설치된 제1 개구부를 통하여, 한 쌍의 제2 도전막 중 어느 하나에 접속되는 화소 전극을 갖고, 제2 절연막 및 반도체막에는, 제1 도전막과, 한 쌍의 제2 도전막 중 어느 하나 또는 다른 하나의 사이에 위치하는 제2 개구부가 설치되어 있다.

[0018] 구체적으로, 본 발명의 일 형태에 따른 액정 표시 장치의 제조 방법은, 게이트 절연막 위에서 게이트 전극과 중첩되도록 반도체막을 형성하는 공정과, 반도체막 위에서 게이트 전극과 중첩되도록 섬 형상의 제1 절연막을 포토리소그래피법에 의해 형성하는 공정과, 제1 도전막과, 섬 형상의 제1 절연막을 개재한 한 쌍의 제2 도전막을 포토리소그래피법에 의해 반도체막 위에 형성하는 공정과, 제2 절연막을, 반도체막, 섬 형상의 제1 절연막, 제1 도전막 및 한 쌍의 제2 도전막 위에 형성하는 공정과, 한 쌍의 제2 도전막 중의 하나를 부분적으로 노출시키는 제1 개구부와, 제2 절연막 및 반도체막에, 제1 도전막과 한 쌍의 제2 도전막 중 어느 하나 또는 다른 하나의 사이에 위치하는 제2 개구부를 포토리소그래피법에 의해 형성하는 공정과, 제2 절연막 위에 제1 개구부를 통하여 한 쌍의 제2 도전막 중의 하나에 접속되는 화소 전극을 포토리소그래피법에 의해 형성하는 공정을 갖는다.

[0019] 구체적으로, 본 발명의 일 형태에 따른 발광 장치는, 게이트 전극과, 게이트 전극 위에 위치하는 게이트 절연막과, 게이트 절연막 위에 위치하고, 게이트 전극과 중첩되는 반도체막과, 반도체막 위에 위치하고, 게이트 전극과 중첩되는 섬 형상의 제1 절연막과, 반도체막 위에 위치하는 제1 도전막과, 섬 형상의 제1 절연막을 개재하고, 또한 반도체막 위에 위치하는 한 쌍의 제2 도전막과, 반도체막, 섬 형상의 제1 절연막, 제1 도전막

및 한 쌍의 제2 도전막 위에 위치하는 제2 절연막과, 제2 절연막 위에 위치하고, 제2 절연막에 설치된 제1 개구부를 통하여, 한 쌍의 제2 도전막 중 어느 하나에 접속되는 화소 전극과, 화소 전극 위의 제3 절연막을 갖고, 제2 절연막 및 반도체막에는, 제1 도전막과, 한 쌍의 제2 도전막 중 어느 하나 또는 다른 하나의 사이에 위치하는 제2 개구부가 설치되어 있고, 제3 절연막에는, 화소 전극이 부분적으로 노출되는 제3 개구부가 설치되어 있다.

[0020] 구체적으로, 본 발명의 일 형태에 따른 발광 장치의 제조 방법은, 게이트 절연막 위에서 게이트 전극과 중첩되도록 반도체막을 형성하는 공정과, 반도체막 위에서 게이트 전극과 중첩되도록 섬 형상의 제1 절연막을 포토리소그래피법에 의해 형성하는 공정과, 제1 도전막과, 섬 형상의 제1 절연막을 개재한 한 쌍의 제2 도전막을 포토리소그래피법에 의해 반도체막 위에 형성하는 공정과, 제2 절연막을, 반도체막, 섬 형상의 제1 절연막, 제1 도전막 및 한 쌍의 제2 도전막 위에 형성하는 공정과, 한 쌍의 제2 도전막 중의 하나를 부분적으로 노출시키는 제1 개구부와, 제2 절연막 및 반도체막에, 제1 도전막과 한 쌍의 제2 도전막 중 어느 하나 또는 다른 하나의 사이에 위치하는 제2 개구부를 포토리소그래피법에 의해 형성하는 공정과, 제2 절연막 위에 제1 개구부를 통하여 한 쌍의 제2 도전막 중의 하나에 접속되는 화소 전극을 포토리소그래피법에 의해 형성하는 공정과, 화소 전극 위에, 화소 전극과 중첩되는 위치에 개구부를 갖는 제3 절연막을 포토리소그래피법에 의해 형성하는 공정을 갖는다.

발명의 효과

[0021] 본 발명의 일 형태에서는 신뢰성이 높은 액정 표시 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에서는 적은 매수의 마스크로 신뢰성이 높은 액정 표시 장치를 제공할 수 있다.

[0022] 또한, 본 발명의 일 형태에 따른 액정 표시 장치의 제조 방법에서는, 적은 매수의 마스크로 신뢰성이 높은 액정 표시 장치를 제조할 수 있다.

[0023] 본 발명의 일 형태에서는 신뢰성이 높은 발광 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에서는 적은 매수의 마스크로 신뢰성이 높은 발광 장치를 제공할 수 있다.

[0024] 또한, 본 발명의 일 형태에 따른 발광 장치의 제조 방법에서는, 적은 매수의 마스크로 신뢰성이 높은 발광 장치를 제조할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 액정 표시 장치의 구조를 도시하는 도면.
- 도 2는 액정 표시 장치의 구조를 도시하는 도면.
- 도 3은 액정 표시 장치의 구조를 도시하는 도면.
- 도 4는 액정 표시 장치의 구조를 도시하는 도면.
- 도 5는 액정 표시 장치의 화소의 상면도.
- 도 6은 액정 표시 장치의 화소의 단면도.
- 도 7은 액정 표시 장치의 구조를 도시하는 도면.
- 도 8은 액정 표시 장치의 화소부의 구조와, 화소의 회로도.
- 도 9는 액정 표시 장치의 제조 방법을 도시하는 도면.
- 도 10은 액정 표시 장치의 제조 방법을 도시하는 도면.
- 도 11은 액정 표시 장치의 제조 방법을 도시하는 도면.
- 도 12는 액정 표시 장치의 제조 방법을 도시하는 도면.
- 도 13은 액정 표시 장치의 제조 방법을 도시하는 도면.
- 도 14는 패널의 구조를 도시하는 도면.
- 도 15는 액정 표시 장치의 사시도.

도 16은 전자 기기의 도면.
 도 17은 발광 장치의 구조를 도시하는 도면.
 도 18은 발광 장치의 구조를 도시하는 도면.
 도 19는 발광 장치의 구조를 도시하는 도면.
 도 20은 발광 장치의 구조를 도시하는 도면.
 도 21은 발광 장치의 화소의 상면도.
 도 22는 발광 장치의 화소의 단면도.
 도 23은 발광 장치의 화소의 단면도.
 도 24는 발광 장치의 화소부의 구조와, 화소의 회로도.
 도 25는 발광 장치의 구조를 도시하는 도면.
 도 26은 발광 장치의 제조 방법을 도시하는 도면.
 도 27은 발광 장치의 제조 방법을 도시하는 도면.
 도 28은 발광 장치의 제조 방법을 도시하는 도면.
 도 29는 발광 장치의 제조 방법을 도시하는 도면.
 도 30은 발광 장치의 제조 방법을 도시하는 도면.
 도 31은 화소의 단면도.
 도 32는 패널의 구조를 도시하는 도면.
 도 33은 발광 장치의 사시도.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하에서는, 본 발명의 실시 형태에 대하여 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그의 범위로부터 이탈하지 않고 그의 형태 및 상세를 다양하게 변경할 수 있음은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0027] 또한, 본 명세서에 있어서 액정 표시 장치란 액정 소자가 각 화소에 형성된 패널과, 구동 회로 또는 컨트롤러를 포함하는 IC 등을 상기 패널에 실장한 상태에 있는 모듈을 그의 범주에 포함한다. 또한, 본 발명의 일 형태에 따른 액정 표시 장치는, 상기 액정 표시 장치를 제조하는 과정에 있어서의, 액정 소자가 완성되기 전의 일 형태에 상당하는 소자 기관을 그의 범주에 포함하고, 상기 소자 기관은 트랜지스터와, 트랜지스터를 통하여 전압이 공급되는 화소 전극을 복수의 각 화소에 구비한다.
- [0028] 또한, 본 명세서에 있어서 발광 장치란 발광 소자가 각 화소에 형성된 패널과, 구동 회로 또는 컨트롤러를 포함하는 IC 등을 상기 패널에 실장한 상태에 있는 모듈을 그의 범주에 포함한다. 또한, 본 발명의 일 형태에 따른 발광 장치는, 상기 발광 장치를 제조하는 과정에 있어서의, 발광 소자가 완성되기 전의 일 형태에 상당하는 소자 기관을 그의 범주에 포함하고, 상기 소자 기관은, 트랜지스터와, 트랜지스터를 통하여 전압이 공급되는 화소 전극을 복수의 각 화소에 구비한다.
- [0029] (실시 형태 1)
- [0030] 도 1에 본 발명의 일 형태에 따른 액정 표시 장치의 구조를 예시한다. 도 1의 (a)는 화소가 갖는 트랜지스터(100)의, 채널 길이 방향에 있어서의 단면도의 일레이다.
- [0031] 도 1의 (a)에서는, 절연 표면 위의 게이트 전극(101)과, 게이트 전극(101) 위에 위치하는 게이트 절연막(102)과, 게이트 절연막(102) 위에 위치하고, 게이트 전극(101)과 중첩되는 반도체막(103)과, 반도체막(103) 위에 위치하고, 게이트 전극(101)과 중첩되는 섬 형상의 절연막(104)과, 반도체막(103) 위에 위치하는 도전막(105)과, 절연막(104)을 개재하고, 또한 반도체막(103) 위에 위치하는 도전막(106a) 및 도전막(106b)과, 반

도체막(103), 절연막(104), 도전막(105), 도전막(106a) 및 도전막(106b) 위에 위치하는 절연막(107)과, 절연막(107) 위에 위치하고, 절연막(107)에 형성된 개구부(108)를 통하여 도전막(106b)에 접속되는 화소 전극(109)과, 절연막(107) 및 반도체막(103)에 형성된 개구부(110)가 도시되어 있다.

[0032] 그리고, 도 1의 (a)에서는, 게이트 전극(101), 게이트 절연막(102), 반도체막(103), 채널 보호막으로서 기능하는 절연막(104), 도전막(106a) 및 도전막(106b)이 트랜지스터(100)를 구성하고 있다. 그리고, 도전막(106a) 및 도전막(106b)은 어느 하나가 소스 전극, 다른 하나가 드레인 전극으로서 기능한다.

[0033] 본 발명의 일 형태에 따른 액정 표시 장치의 제조 방법에서는, 게이트 전극(101)을 형성하는 공정과, 절연막(104)을 형성하는 공정과, 도전막(105), 도전막(106a) 및 도전막(106b)을 형성하는 공정과, 절연막(107)에 개구부(108)를 형성하고, 또한 절연막(107) 및 반도체막(103)에 개구부(110)를 형성하는 공정과, 화소 전극(109)을 형성하는 공정에 있어서, 마스크를 사용한 포토리소그래피법을 사용한다. 즉, 본 발명의 일 형태에서는 절연막(107)에 개구부(110)를 형성하는 공정에 있어서, 반도체막(103)의 형상을 가공하고 있기 때문에, 반도체막(103)의 형상을 단독으로 가공하기 위해서만 행해지는 포토리소그래피법을 사용한 공정을 생략할 수 있다. 따라서, 본 발명의 일 형태에 따른 액정 표시 장치에서는, 포토리소그래피법에서 행하여지는 포토레지스트의 성막, 노광, 현상, 에칭, 박리 등의 일련의 공정을 일부 생략할 수 있다. 그리고, 고가인 노광용 마스크의 매수를 억제할 수 있으므로, 액정 표시 장치의 제조에 소비되는 비용을 억제할 수 있다.

[0034] 또한, 도전막(105), 도전막(106a) 및 도전막(106b)은 절연막(107)과, 반도체막(103)의 사이에 존재한다. 그로 인해, 절연막(107)에 개구부(108)를 형성하는 공정에 있어서 반도체막(103)의 형상도 가공하는 제조 방법을 사용하는 경우, 도전막(105), 도전막(106a) 및 도전막(106b)의 하부에 위치하는 반도체막(103)의 형상을 가공하는 것이 어렵다. 그리고, 도전막(105), 도전막(106a) 및 도전막(106b)이 반도체막(103)과 중첩되어 있으면, 화소 전극(109)로부터 반도체막(103)에 인가되는 전계에 의해 반도체막(103)에 기생 채널이 형성되는 경우가 있다. 기생 채널이 형성되면, 전기적으로 분리되어야 할 도전막(105)과, 도전막(106a) 또는 도전막(106b)이 반도체막(103)을 통하여 전기적으로 접속되기 때문에, 표시되는 화질의 저하가 야기된다.

[0035] 따라서, 본 발명의 일 형태에 따른 액정 표시 장치에서는, 개구부(110)의 위치를 도전막(105)과, 도전막(106a) 또는 도전막(106b)의 사이로 정하고, 그에 의하여, 반도체막(103)을 부분적으로 제거하는 구성으로 한다. 또한, 도 1의 (a)에서는, 개구부(110)에 있어서 반도체막(103) 및 절연막(107) 뿐만 아니라, 게이트 절연막(102)이 제거되어 있는 경우를 예시하고 있다. 본 발명의 일 형태에서는 개구부(110)에 있어서 게이트 절연막(102)을 반드시 제거할 필요는 없고, 개구부(110)에 있어서 게이트 절연막(102)이 잔존하고 있어도 된다.

[0036] 도 1의 (b)에 도 1의 (a)에 도시된 단면 구조를 갖는 액정 표시 장치의 상면도의 일례를 도시한다. 단, 도 1의 (b)에서는, 액정 표시 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(102) 및 절연막(107)을 생략한 상면도를 도시한다. 또한, 도 1의 (b)의 일점쇄선 A1-A2에 있어서의 단면도가 도 1의 (a)에 상당한다.

[0037] 도 1의 (a) 및 도 1의 (b)에 도시한 바와 같이, 본 발명의 일 형태에서는 반도체막(103) 및 절연막(107)에 도전막(105)과, 도전막(106a) 또는 도전막(106b)의 사이에 위치하는 개구부(110)가 설치되어 있다.

[0038] 개구부(110)에 의해, 본 발명의 일 형태에서는 도 1의 (a) 및 도 1의 (b)에 도시한 바와 같이, 도전막(106a) 또는 도전막(106b) 아래에 위치하는 반도체막(103)과, 도전막(105) 아래에 위치하는 반도체막(103)이 이격된 상태에 있다. 따라서, 본 발명의 일 형태에서는 화소 전극(109) 등으로부터 반도체막(103)에 전계가 인가되어도, 개구부(110)가 도전막(105)과, 도전막(106a) 또는 도전막(106b)의 사이에 존재함으로써, 반도체막(103)에 기생 채널이 형성되는 것을 억제할 수 있다. 그리고, 기생 채널의 형성이 억제됨으로써, 도전막(105)과, 도전막(106a) 또는 도전막(106b)이 의도하지 않게 전기적으로 접속되는 것을 방지하여, 액정 표시 장치에 표시되는 화질의 저하를 방지할 수 있다.

[0039] 또한, 도 1의 (b)에서는, 도전막(106a) 또는 도전막(106b) 아래에 위치하는 반도체막(103)과 도전막(105) 아래에 위치하는 반도체막(103)이 완전히 이격되어 있는 경우를 예시하고 있다. 그러나, 본 발명의 일 형태에서는 반도체막(103)이 반드시 완전히 이격되어 있을 필요는 없고, 도전막(105)과, 도전막(106a) 또는 도전막(106b)의 사이에서, 반도체막(103)이 부분적으로 이격되어 있어도 된다.

[0040] 도 2에, 도 1의 (a)에 도시된 단면 구조를 갖는 액정 표시 장치의 상면도의 일례를 도시한다. 단, 도 2에서는, 액정 표시 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(102) 및 절연막(107)을 생략한 상면도를 도시한다.

[0041] 도 2에 도시하는 액정 표시 장치에서는, 개구부(110)의 형상이 도 1의 (b)의 경우와 상이하다. 도 2에서는, 개

개구부(110)가 도 1의 (b)의 경우와 마찬가지로 도전막(105)과, 도전막(106a) 또는 도전막(106b)의 사이에 위치하고 있지만, 도전막(106a) 또는 도전막(106b) 아래에 위치하는 반도체막(103)과 도전막(105) 아래에 위치하는 반도체막(103)이 개구부(110) 이외의 영역에서 연결되어 있다. 즉, 도 2에서는, 도전막(105)과, 도전막(106a) 또는 도전막(106b)의 사이에서, 반도체막(103)이 부분적으로 이격된 상태에 있다. 반도체막(103)이 부분적으로 이격된 상태에 있어도, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.

[0042] 또한, 개구부(110)가 형성되는 영역의 일부는 도전막(106a) 또는 도전막(106b)과 중첩되어 있어도 된다. 또는, 개구부(110)가 형성되는 영역의 일부는 도전막(105)이 형성되는 영역과 중첩되어 있어도 된다.

[0043] 도 3의 (a)에 화소가 갖는 트랜지스터(100)의, 채널 길이 방향에 있어서의 단면도의 일례를 도시한다. 또한, 도 3의 (b)에 도 3의 (a)에 도시된 단면 구조를 갖는 액정 표시 장치의 상면도의 일례를 도시한다. 단, 도 3의 (b)에서는, 액정 표시 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(102) 및 절연막(107)을 생략한 상면도를 도시한다. 또한, 도 3의 (b)의 일점쇄선 B1-B2에 있어서의 단면도가 도 3의 (a)에 상당한다.

[0044] 도 3의 (a) 및 도 3의 (b)에 도시하는 액정 표시 장치에서는, 개구부(110)가 형성되는 영역이 도 1의 (a) 및 도 1의 (b)의 경우와 상이하다. 도 3의 (a) 및 도 3의 (b)에서는, 개구부(110)가 형성되는 영역의 일부가 도전막(106b)이 형성되는 영역과 중첩되어 있다. 도전막(106b) 아래에 위치하는 반도체막(103)은 개구부(110)의 형성시에 제거되지 않는다. 따라서, 개구부(110)가 형성되어 있는 영역 내에 있어서, 반도체막(103)은 부분적으로 잔존하고 있는 상태에 있고, 개구부(110)에 있어서의 반도체막(103)의 단부와 절연막(107)의 단부는 일치하지 않는다.

[0045] 본 발명의 일 형태에서는 도 3의 (a) 및 도 3의 (b)에 도시한 바와 같이, 개구부(110)가 형성되는 영역의 일부가 도전막(106b)이 형성되는 영역과 중첩되어 있어도, 도전막(106b) 아래에 위치하는 반도체막(103)과, 도전막(105) 아래에 위치하는 반도체막(103)을 이격된 상태로 할 수 있다. 따라서, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.

[0046] 또한, 개구부(110)가 형성되는 영역의 일부와, 도전막(106a)이 형성되는 영역이 중첩되어 있는 경우에도, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다. 또는, 개구부(110)가 형성되는 영역의 일부와, 도전막(105)이 형성되는 영역이 중첩되어 있는 경우에도, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.

[0047] 그리고, 개구부(110)가 형성되는 영역이, 도전막(106b)이 형성되는 영역과 부분적으로 중첩되어 있는 경우, 도전막(106b)과 화소 전극(109)을 접속하기 위한 개구부(108)를 설치할 필요가 없다. 따라서, 개구부(108)를 형성하기 위한 영역을 확보할 필요가 없기 때문에, 화소부의 고정밀화를 실현할 수 있다.

[0048] 또한, 도 4의 (a)에 화소가 갖는 트랜지스터(100)의, 채널 길이 방향에 있어서의 단면도의 일례를 도시한다. 또한, 도 4의 (b)에 도 4의 (a)에 도시된 단면 구조를 갖는 액정 표시 장치의 상면도의 일례를 도시한다. 단, 도 4의 (b)에서는, 액정 표시 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(102) 및 절연막(107)을 생략한 상면도를 도시한다. 또한, 도 4의 (b)의 일점쇄선 C1-C2에 있어서의 단면도가 도 4의 (a)에 상당한다.

[0049] 도 4의 (a) 및 도 4의 (b)에 도시하는 액정 표시 장치는, 게이트 전극(101)과 같은 층에 도전막(111)이 설치되어 있는 점에 있어서, 도 1의 (a) 및 도 1의 (b)에 도시하는 액정 표시 장치와 구조가 상이하다. 구체적으로, 도 4의 (a) 및 도 4의 (b)에서는, 절연 표면 위에 도전막(111)이 위치하고, 도전막(111) 위에 게이트 절연막(102) 및 반도체막(103)이 순서대로 적층되도록 설치되어 있고, 반도체막(103) 위에 있어서 도전막(111)과 중첩되는 위치에 도전막(105)이 설치되어 있다.

[0050] 그리고, 도 4의 (a) 및 도 4의 (b)에서는, 개구부(110)가 형성되는 영역과, 도전막(111)이 형성되는 영역이 부분적으로 중첩되어 있고, 개구부(110)에 있어서 도전막(111)의 일부가 노출된 상태에 있다. 그리고, 도전막(111)은 반도체막(103) 아래에 위치하기 때문에, 개구부(110)에 있어서 반도체막(103)은 부분적으로 제거된 상태에 있다. 따라서, 도 4의 (a) 및 도 4의 (b)의 경우에도, 도전막(106a) 또는 도전막(106b) 아래에 위치하는 반도체막(103)과, 도전막(105) 아래에 위치하는 반도체막(103)이 이격된 상태에 있기 때문에, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.

[0051] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서는, 트랜지스터(100)가 갖는 반도체막(103)이 산화물 반도체 등의 와이드갭 반도체를 포함하고 있다.

[0052] 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 저감시키기 위한 스테빌라이저(stabilizer)로서, 그들 외에 갈륨

(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 포함하는 것이 바람직하다.

[0053] 또한, 다른 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유토포(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 한종 또는 복수종을 포함하고 있어도 된다.

[0054] 예를 들어, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 반도체막(103)에 사용할 수 있다.

[0055] 또한, 예를 들어, In-Ga-Zn계 산화물이란 In과 Ga와 Zn을 포함하는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 묻지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소를 포함하고 있어도 된다. In-Ga-Zn계 산화물은 무전계 시의 저항이 충분히 높아 오프 전류를 충분히 작게 하는 것이 가능하고, 또한, 이동도도 높다.

[0056] 예를 들어, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자비의 In-Ga-Zn계 산화물이나 그의 조성의 근방의 산화물을 사용할 수 있다. 또는, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 된다.

[0057] 예를 들어, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도, 벌크내 결함 밀도를 저감함으로써 이동도를 높일 수 있다.

[0058] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)는 i형(진성 반도체) 또는 i형에 한없이 가깝다. 그로 인해, 상기 산화물 반도체를 사용한 트랜지스터는 오프 전류가 현저하게 낮다는 특성을 갖는다. 또한, 산화물 반도체의 밴드갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 사용함으로써 트랜지스터의 오프 전류를 낮출 수 있다.

[0059] 구체적으로, 고순도화된 산화물 반도체를 반도체막에 사용한 트랜지스터의 오프 전류가 낮은 것은 다양한 실험에 의해 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 10 μm 인 소자여도, 소스 단자와 드레인 단자 간의 전압(드레인 전압)이 1 V부터 10 V의 범위에서, 오프 전류가 반도체 파라미터 애널리저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라고 하는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 수치에 상당하는 오프 전류는, 100 zA/ μm 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출하는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여 오프 전류의 측정을 행하였다. 상기 측정에서는, 상기 트랜지스터에 고순도화된 산화물 반도체막을 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당의 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 그 결과, 트랜지스터의 소스 단자와 드레인 단자 간의 전압이 3 V의 경우에, 수십 yA/ μm 이라고 하는, 더 낮은 오프 전류가 얻어지는 것을 알았다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터는, 오프 전류가 결정성을 갖는 실리콘을 사용한 트랜지스터에 비하여 현저하게 낮다.

[0060] 또한, 특별히 언급이 없는 한, 본 명세서에서 오프 전류란 n 채널형 트랜지스터에 있어서는, 드레인 단자를 소스 단자와 게이트 전극보다도 높은 전위로 한 상태에 있어서, 소스 단자의 전위를 기준으로 했을 때의 게이트 전극의 전위가 0 이하일 때에, 소스 단자와 드레인 단자의 사이에 흐르는 전류를 의미한다. 또는, 본 명세서에서 오프 전류란 p 채널형 트랜지스터에 있어서는, 드레인 단자를 소스 단자와 게이트 전극보다도 낮은 전위로 한 상태에 있어서, 소스 단자의 전위를 기준으로 했을 때의 게이트 전극의 전위가 0 이상일 때에, 소스 단자와 드레인 단자의 사이에 흐르는 전류를 의미한다.

- [0061] 또한, 트랜지스터의 소스 단자란 활성층의 일부인 소스 영역, 또는 활성층에 접속된 소스 전극을 의미한다. 마찬가지로, 트랜지스터의 드레인 단자란 활성층의 일부인 드레인 영역, 또는 활성층에 접속된 드레인 전극을 의미한다.
- [0062] 또한, 산화물 반도체막은, 단결정, 다결정(폴리크리스탈이라고도 함) 또는 비정질 등의 상태를 취한다. 바람직하게는, 산화물 반도체막은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.
- [0063] CAAC-OS막은, 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는, 1변이 100 nm 미만인 입방체 내에 수용되는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지는 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인 바운더리라고도 함)는 확인할 수 없다. 그로 인해, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0064] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직인 방향으로부터 보아서 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c축에 수직인 방향으로부터 보아서 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부 사이에서, 각각 a축 및 b축의 방향이 상이해진다. 본 명세서에 있어서, 간단히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되게 한다. 또한, 간단히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0065] 또한, CAAC-OS막에 있어서, 결정부의 분포가 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체막의 표면측으로부터 결정 성장시킬 경우, 피형성면의 근방에 대하여 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써, 상기 불순물 첨가 영역에서 결정부가 비정질화하기도 한다.
- [0066] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는 성막함으로써, 또는 성막 후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.
- [0067] CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감하는 것이 가능하다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0068] CAAC-OS막은, 예를 들어, 다결정인 산화물 반도체 스퍼터링용 타깃을 사용하여, 스퍼터링법에 의해 성막한다. 상기 스퍼터링용 타깃에 이온이 충돌하면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개하여, a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자로서 박리되는 경우가 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, CAAC-OS막을 성막할 수 있다.
- [0069] 또한, CAAC-OS막을 성막하기 위해서 이하의 조건을 적용하는 것이 바람직하다.
- [0070] 성막 시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 및 질소 등)를 저감하면 된다. 또한, 성막 가스 중의 불순물 농도를 저감하면 된다. 구체적으로는, 노점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 사용한다.
- [0071] 또한, 성막 시의 기판 가열 온도를 높임으로써, 기판 도달 후에 스퍼터링 입자의 마이그레이션이 발생된다. 구체적으로는, 기판 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 하여 성막한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 발생하여, 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0072] 또한, 성막 가스 중의 산소 비율을 높여서, 전력을 최적화함으로써 성막 시의 플라즈마데미지를 경감하면 바람직하다. 성막 가스 중의 산소 비율은 30 체적% 이상, 바람직하게는 100 체적%로 한다.
- [0073] 스퍼터링용 타깃의 일례로서, In-Ga-Zn계 산화물 타깃에 대하여 이하에 나타내었다.
- [0074] InO_x 분말, GaO_y 분말 및 ZnO_z 분말을 소정의 mol수비로 혼합하고, 가압 처리 후, 1000℃ 이상 1500℃ 이하의 온

도로 가열 처리를 함으로써 다결정인 In-Ga-Zn계 산화물 타깃으로 한다. 또한, X, Y 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는, 예를 들어, InO_x 분말, GaO_y 분말 및 ZnO_z 분말이, 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 또한, 분말의 종류 및 그의 혼합하는 mol수비는 제조하는 스퍼터링용 타깃에 따라 적절히 변경하면 된다.

[0075] (실시 형태 2)

[0076] 이어서, 본 발명의 일 형태에 따른 액정 표시 장치의, 화소부의 구체적인 구성에 대해서 일례를 들어 설명한다.

[0077] 도 8의 (a)에 화소부(10)의 구성예를 도시한다. 도 8의 (a)에서는, 화소부(10)에 주사선 구동 회로에 의해 전위가 제어되는 y개의 주사선 GL(GL1 내지 GLy)과, 신호선 구동 회로에 의해 전위가 제어되는 x개의 신호선 SL(SL1 내지 SLx)이 설치되어 있다.

[0078] 그리고, 주사선 GL은 복수의 화소(11)에 각각 접속되어 있다. 구체적으로, 각 주사선 GL은 매트릭스 형상으로 설치된 복수의 화소(11) 중, 어느 하나의 행에 설치된 x개의 화소(11)에 접속된다.

[0079] 또한, 신호선 SL은 화소부(10)에 있어서 x열 y행에 설치된 복수의 화소(11) 중, 어느 하나의 열에 설치된 y개의 화소(11)에 접속된다.

[0080] 또한, 본 명세서에 있어서 접속이란 전기적인 접속을 의미하고 있고, 전류, 전압 또는 전위가, 공급 가능, 또는 전송 가능한 상태에 상당한다. 따라서, 접속하고 있는 상태란 직접 접속하고 있는 상태를 반드시 가리키는 것은 아니고, 전류, 전압 또는 전위가, 공급 가능, 또는 전송 가능하도록, 배선, 저항, 다이오드, 트랜지스터 등의 회로 소자를 통하여 간접적으로 접속하고 있는 상태도 그의 범주에 포함한다.

[0081] 또한, 회로도 상에는 독립하고 있는 구성 요소끼리가 접속되어 있는 경우에도, 실제로는, 예를 들어 배선의 일부가 전극으로서도 기능하는 경우 등, 하나의 도전막이 복수의 구성 요소의 기능을 겸비하고 있는 경우도 있다. 본 명세서에 있어서 접속이란 이러한 하나의 도전막이 복수의 구성 요소의 기능을 겸비하고 있는 경우도 그의 범주에 포함한다.

[0082] 도 8의 (b)에 화소(11)의 회로도의 일례를 도시한다. 도 8의 (b)에 도시하는 화소(11)는 스위칭 소자로서 기능하는 트랜지스터(12)와, 트랜지스터(12)를 통하여 부여된 화상 신호의 전위에 따라, 그의 투과율이 제어되는 액정 소자(13)와, 용량 소자(14)를 갖는다.

[0083] 액정 소자(13)는 화소 전극과, 공통 전극과, 화소 전극과 공통 전극 간의 전압이 인가되는 액정을 포함한 액정층을 갖고 있다. 그리고, 용량 소자(14)는 액정 소자(13)가 갖는 화소 전극과 공통 전극 간의 전압을 유지하는 기능을 갖고 있다.

[0084] 액정층에는, 예를 들어, 서모트로픽 액정 또는 리�트로픽 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는, 예를 들어, 네마틱 액정, 스멕틱 액정, 콜레스테릭 액정, 또는, 디스코틱 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는, 예를 들어, 강유전성 액정, 또는 반강유전성 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는, 예를 들어, 주쇄형 고분자 액정, 측쇄형 고분자 액정, 또는, 복합형 고분자 액정 등의 고분자 액정, 또는 저분자 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는, 예를 들어, 고분자 분산형 액정(PDLC)으로 분류되는 액정 재료를 사용할 수 있다.

[0085] 또한, 배향막을 사용하지 않는 블루상을 나타내는 액정을 액정층에 사용해도 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 키랄제나 자외선 경화 수지를 첨가하여 온도 범위를 개선한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요해서, 시야각 의존성이 작기 때문에 바람직하다.

[0086] 또한 액정의 구동 방법으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드, MVA(Multi-domain Vertical Alignment) 모드, IPS(In-Plane Switching) 모드, OCB(Optically Compensated Birefringence) 모드, FFS(Fringe Field Switching) 모드, 블루상 모드, TBA(Transverse Bend Alignment) 모드, VAIPS 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed LiquidCrystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등을 적용하는 것이 가능하다.

- [0087] 화소(11)는 필요에 따라 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕터 등의 기타 회로 소자를 더 갖고 있어도 된다.
- [0088] 구체적으로, 도 8의 (b)에서는, 트랜지스터(12)의 게이트 전극이 주사전 GL에 접속되어 있다. 트랜지스터(12)는 그의 소스 단자 또는 드레인 단자 중의 하나가 신호선 SL에 접속되고, 다른 하나가 액정 소자(13)의 화소 전극에 접속되어 있다. 용량 소자(14)는 어느 하나의 전극이 액정 소자(13)의 화소 전극에 접속되어 있고, 다른 하나의 전극이 특정한 전위가 부여되어 있는 노드에 접속되어 있다. 또한, 액정 소자(13)가 갖는 공통 전극에도 특정한 전위가 부여되어 있다. 그리고, 공통 전극에 부여되는 전위는 용량 소자(14)가 갖는 다른 하나의 전극에 부여되는 전위와 공통이어도 된다.
- [0089] 또한, 도 8의 (b)에서는, 화소(11)에 있어서, 하나의 트랜지스터(12)를 스위칭 소자로서 사용하고 있는 경우에 대하여 도시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 하나의 스위칭 소자로서 기능하는 복수의 트랜지스터를 사용하고 있어도 된다. 복수의 트랜지스터가 하나의 스위칭 소자로서 기능하는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 되고, 직렬로 접속되어 있어도 되고, 직렬과 병렬이 조합되어서 접속되어 있어도 된다.
- [0090] 본 명세서에 있어서, 트랜지스터가 직렬로 접속되어 있는 상태란 예를 들어 제1 트랜지스터의 소스 단자 또는 드레인 단자 중의 하나만이 제2 트랜지스터의 소스 단자 또는 드레인 단자 중의 하나에만 접속되어 있는 상태를 의미한다. 또한, 트랜지스터가 병렬로 접속되어 있는 상태란 제1 트랜지스터의 소스 단자 또는 드레인 단자 중의 하나가 제2 트랜지스터의 소스 단자 또는 드레인 단자 중의 하나에 접속되고, 제1 트랜지스터의 소스 단자 또는 드레인 단자의 다른 하나가 제2 트랜지스터의 소스 단자 또는 드레인 단자의 다른 하나에 접속되어 있는 상태를 의미한다.
- [0091] 트랜지스터(12)가 산화물 반도체를 채널 형성 영역에 포함함으로써, 오프 전류가 지극히 작고, 또한 고내압인 트랜지스터(12)를 실현할 수 있다. 그리고, 상기 구성을 갖는 트랜지스터(12)를 스위칭 소자로서 사용함으로써 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여, 액정 소자(13)에 축적된 전하의 누설을 방지할 수 있다.
- [0092] 오프 전류가 지극히 작은 트랜지스터(12)를 사용함으로써 액정 소자(13)에 부여되는 전압이 유지되는 기간을 오래 확보할 수 있다. 그로 인해, 정지 화상과 같이, 연속하는 몇개의 프레임 기간에 걸쳐서, 화소부(10)에 동일한 화상 정보를 갖는 화상 신호가 기입되는 경우 등에는, 구동 주파수를 낮게 하는, 바꾸어 말하면 일정 기간 내에 있어서의 화소부(10)에의 화상 신호의 기입 횟수를 적게 해도 화상의 표시를 유지할 수 있다. 예를 들어, 고순도화된 산화물 반도체를 활성층에 사용한 트랜지스터(12)를 사용함으로써 화상 신호의 기입의 간격을 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상으로 할 수 있다. 그리고, 화상 신호가 기입되는 간격을 길게 하면 할수록 소비 전력을 보다 저감할 수 있다.
- [0093] 또한, 화상 신호의 전위를 보다 긴 기간에 걸쳐서 유지할 수 있기 때문에, 화상 신호의 전위를 유지하기 위해서, 액정 소자(13)에 용량 소자(14)를 접속하지 않아도, 표시되는 화질이 저하하는 것을 방지할 수 있다. 따라서, 용량 소자(14)를 설치하지 않음으로써, 또는 용량 소자(14)의 크기를 작게 함으로써 개구율을 높일 수 있기 때문에, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.
- [0094] 또한, 화상 신호의 전위의 극성을 공통 전극의 전위를 기준으로 하여 반전시키는 반전 구동을 행함으로써, 번인(burn-in)이라고 불리는 액정 재료의 열화를 방지할 수 있다. 그러나, 반전 구동을 행하면, 화상 신호의 극성이 변화할 때에 신호선 SL에 부여되는 전위의 변화가 커지기 때문에, 스위칭 소자로서 기능하는 트랜지스터(12)의 소스 단자와 드레인 단자의 전위차가 커진다. 따라서, 트랜지스터(12)는 임계값 전압이 시프트하는 등의 특성 열화가 발생하기 쉽다. 또한, 액정 소자(13)에 유지되어 있는 전압을 유지하기 위해서, 소스 단자와 드레인 단자의 전위차가 커도, 오프 전류가 낮을 것이 요구된다. 트랜지스터(12)에 실리콘 또는 게르마늄보다도 밴드갭이 크고, 진성 캐리어 밀도가 낮은 산화물 반도체 등의 반도체를 사용함으로써 트랜지스터(12)의 내압성을 높여서, 오프 전류를 현저하게 작게 할 수 있다. 따라서, 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여 트랜지스터(12)의 열화를 방지하여, 액정 소자(13)에 유지되어 있는 전압을 유지할 수 있다.
- [0095] 계속해서, 도 8의 (b)에 도시된 화소(11)의 레이아웃에 대해서, 도 5 및 도 6을 사용하여 설명한다. 도 5는 화소(11)의 상면도의 일례이다. 또한, 도 6의 (a)는 도 5에 도시하는 상면도의, 일점쇄선 D1-D2에 있어서의 단면도의 일례에 상당한다. 도 6의 (b)는 도 5에 도시하는 상면도의, 일점쇄선 D3-D4에 있어서의 단면도의 일례에

상당한다. 단, 도 5에서는, 화소(11)의 레이아웃을 명확하게 도시하기 위해서, 각종 절연막을 생략하고, 화소(11)의 상면도를 도시한다. 또한, 도 5에서는, 화소(11)가 갖는 각종 반도체 소자의 레이아웃을 명확하게 도시하기 위해서, 액정 소자(13)가 갖는 액정층 및 공통 전극을 생략하고, 화소(11)의 상면도를 도시한다.

- [0096] 도 5 및 도 6에 도시하는 화소(11)에 있어서, 트랜지스터(12)는 절연 표면을 갖는 기관(202) 위에 게이트 전극으로서 기능하는 도전막(203)과, 도전막(203) 위의 게이트 절연막(204)과, 도전막(203)과 중첩되는 위치에 있어서 게이트 절연막(204) 위에 위치하는 반도체막(205)과, 도전막(203)과 중첩되는 위치에 있어서 반도체막(205) 위에 위치하고, 채널 보호막으로서 기능하는 절연막(206)과, 소스 단자 또는 드레인 단자로서 기능하고, 반도체막(205) 위에 위치하는 도전막(207) 및 도전막(208)을 갖는다.
- [0097] 도전막(203)은 트랜지스터(12)의 게이트 전극에 전위를 부여하는 주사선으로서도 기능한다. 또한, 도전막(207)은 화상 신호의 전위를 화소(11)에 부여하는 신호선으로서도 기능한다.
- [0098] 용량 소자(14)는 절연 표면을 갖는 기관(202) 위에 도전막(210)과, 도전막(210) 위의 게이트 절연막(204) 및 반도체막(205)과, 도전막(210)과 중첩되는 위치에 있어서 게이트 절연막(204) 및 반도체막(205) 위에 위치하는 도전막(211)을 갖는다.
- [0099] 또한, 도전막(207), 도전막(208) 및 도전막(211) 위에는 절연막(212)이 설치되어 있다. 그리고, 절연막(212), 반도체막(205) 및 게이트 절연막(204)에는 개구부(213) 및 개구부(214)가 설치되어 있다.
- [0100] 개구부(213)는 도전막(207) 또는 도전막(208)과, 도전막(211) 사이에 설치되어 있다. 또한, 개구부(213)가 형성되어 있는 영역의 일부는 도전막(208)이 형성되어 있는 영역의 일부 및 도전막(210)이 형성되어 있는 영역의 일부와 중첩되어 있다. 개구부(213)에 있어서, 도전막(208) 위의 절연막(212)과, 도전막(210) 위의 절연막(212), 반도체막(205) 및 게이트 절연막(204)이 제거되어 있고, 도전막(208) 및 도전막(210)은 도전막(208) 및 도전막(210) 위의 도전막(215)에 의해 전기적으로 접속되어 있다.
- [0101] 또한, 개구부(214)에 있어서, 도전막(210) 위의 절연막(212), 반도체막(205) 및 게이트 절연막(204)이 제거되어 있고, 도전막(210)은 화소 전극으로서 기능하는 도전막(216)과 접속되어 있다. 또한, 도전막(216)은 개구부(214)에 있어서의 도전막(210) 위 뿐만 아니라, 절연막(212) 위에도 설치되어 있다.
- [0102] 또한, 개구부(214)에 있어서, 도전막(203) 위의 절연막(212), 반도체막(205) 및 게이트 절연막(204)도 제거되어 있다. 상기 구성에 의해, 도전막(203), 게이트 절연막(204) 및 반도체막(205)이 중첩되는 영역에 형성되는 기생 용량을 작게 할 수 있다.
- [0103] 또한, 절연막(212) 위에 있어서 도전막(211)과 중첩되는 위치에 스페이서로서 기능하는 절연막(217)이 설치되어 있다.
- [0104] 또한, 도 5 및 도 6에서는, 개구부(213)가 형성되어 있는 영역의 일부는 도전막(208)이 형성되어 있는 영역의 일부 및 도전막(210)이 형성되어 있는 영역의 일부와 중첩되어 있는 경우를 예시하고 있다. 이 경우, 도전막(208) 및 도전막(215)의 접속과, 도전막(210) 및 도전막(215)의 접속은 모두 개구부(213)에서 행해지게 된다. 그러나, 본 발명의 일 형태에서는 도전막(208) 및 도전막(215)의 접속과, 도전막(210) 및 도전막(215)의 접속이 서로 다른 개구부에서 행해지고 있어도 된다.
- [0105] 도 7에 도전막(208) 및 도전막(210)과 도전막(215)의 접속 개소에 있어서의, 화소(11)의 단면도의 일례를 도시한다. 도 7에서는, 절연막(212)에 설치한 개구부(213a)에 있어서, 도전막(208)과 도전막(215)이 접속되어 있다. 또한, 절연막(212), 반도체막(205) 및 게이트 절연막(204)에 설치한 개구부(213b)에 있어서, 도전막(210)과 도전막(215)이 접속되어 있다.
- [0106] 단, 도 5 및 도 6과 같이, 도전막(208) 및 도전막(215)의 접속과, 도전막(210) 및 도전막(215)의 접속이 모두 개구부(213)에서 행하여지는 경우, 복수의 개구부를 형성하기 위한 영역을 확보할 필요가 없기 때문에, 화소부(10)의 고정밀화를 실현할 수 있다.
- [0107] 또한, 도 5 및 도 6에서는, 화소 전극으로서 기능하는 도전막(216) 위에 액정층 및 공통 전극이 순서대로 설치되는 경우의 화소(11)의 레이아웃을 나타내고 있지만, 본 발명의 일 형태에 따른 액정 표시 장치는 이 구성에 한정되지 않는다. 화소(11)는 IPS형의 액정 소자나 블루상을 사용한 액정 소자와 같이, 화소 전극과 공통 전극 위에 액정층이 설치되어 있는 구조를 갖고 있어도 된다.
- [0108] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.

- [0109] (실시 형태 3)
- [0110] 본 실시 형태에서는, 도 5 및 도 6에 도시된 화소(11)를 예로 들어 본 발명의 일 형태에 따른 액정 표시 장치의 제조 방법에 대하여 설명한다.
- [0111] 우선, 도 9의 (a)에 도시한 바와 같이, 절연 표면을 갖는 기판(202) 위에 게이트 전극으로서 기능하는 도전막(203)과, 용량 소자(14)의 전극으로서 기능하는 도전막(210)을 형성한다.
- [0112] 절연 표면을 갖는 기판(202)로서 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 갖고 있을 필요가 있다. 예를 들어, 퓨전법이나 플로트법으로 제조되는 유리 기판을 사용할 수 있다. 유리 기판으로서, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730℃ 이상인 것을 사용하면 된다. 또한, 유리 기판에는, 예를 들어, 알루미늄실리케이트 유리, 알루미늄붕규산 유리, 바륨붕규산 유리 등의 유리 재료가 사용되고 있다.
- [0113] 또한, 상기 유리 기판 대신에, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 사용해도 된다. 그 밖에도, 결정화 유리 등을 사용할 수 있다. 스테인리스 합금 등의 금속 기판의 표면에 절연막을 설치한 기판을 적용해도 된다. 단, 액정 표시 장치가 투과형 또는 반투과형일 경우, 기판(202)에 투광성을 갖는 기판을 사용한다.
- [0114] 도전막(203), 도전막(210)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐, 니오븀 등의 금속 재료, 이들 금속 재료를 주성분으로 하는 합금 재료를 사용한 도전막, 또는 이들 금속의 질화물을, 단층으로 또는 적층으로 사용할 수 있다. 또한, 후의 공정에서 행해지는 가열 처리의 온도에 견딜 수 있는 것이라면, 상기 금속 재료로서 알루미늄, 구리를 사용할 수도 있다. 알루미늄 또는 구리는 내열성이나 부식성의 문제를 피하기 위해서, 고용점 금속 재료와 조합하여 사용하면 된다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등을 사용할 수 있다.
- [0115] 예를 들어, 2층의 구조를 갖는 도전막(203), 도전막(210)으로서, 티타늄막 위에 구리막이 적층된 2층의 구조, 알루미늄막 위에 몰리브덴막이 적층된 2층의 구조, 구리막 위에 몰리브덴막을 적층한 2층의 구조, 구리막 위에 질화티타늄막 또는 질화탄탈막을 적층한 2층의 구조, 또는, 질화티타늄막과 몰리브덴막을 적층한 2층의 구조로 하는 것이 바람직하다. 3층의 구조를 갖는 도전막(203), 도전막(210)으로서, 예를 들어, 질화티타늄막과, 구리막과, 텅스텐막을 적층한 3층의 구조로 하는 것이 바람직하다.
- [0116] 또한, 도전막(203), 도전막(210)에 산화 인듐, 산화 인듐-산화 주석, 산화 인듐-산화 아연, 산화 아연, 산화 아연알루미늄, 산질화아연알루미늄, 또는 산화 아연갈륨 등의 투광성을 갖는 금속 산화물을 사용할 수도 있다.
- [0117] 도전막(203), 도전막(210)의 막두께는 10 nm 내지 400 nm, 바람직하게는 100 nm 내지 200 nm로 한다. 본 실시 형태에서는, 스퍼터링법에 의해 막두께 200 nm의 텅스텐막을 형성한 후, 상기 텅스텐막을 포토리소그래피법을 사용한 에칭에 의해 원하는 형상으로 가공(패터닝)함으로써, 도전막(203), 도전막(210)을 형성한다. 또한, 형성된 도전막(203) 및 도전막(210)의 단부가 테이퍼 형상이면 위에 적층하는 게이트 절연막(204)의 피복성이 향상되기 때문에 바람직하다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0118] 또한, 본 실시 형태에서는, 기판(202) 위에 직접 도전막(203) 및 도전막(210)을 형성하는 경우를 예시하고 있지만, 기판(202) 위에 바탕막으로서 기능하는 절연막을 형성하고나서, 상기 바탕막 위에 도전막(203) 및 도전막(210)을 형성해도 된다. 바탕막으로서, 예를 들어, 산화규소막, 산화질화규소막, 질화규소막, 질화산화규소막, 질화알루미늄막, 또는 질화산화알루미늄막 중 어느 하나를 단층으로, 또는 복수를 적층시켜서 사용할 수 있다. 특히, 바탕막에 배리어성이 높은 절연막, 예를 들어 질화규소막, 질화산화규소막, 질화알루미늄막, 산화알루미늄막, 또는 질화산화알루미늄막 등을 사용함으로써 수분, 또는 수소 등의 분위기 중의 불순물, 또는 기판(202) 내에 포함되는 알칼리 금속, 중금속 등의 불순물이, 후에 형성되는 반도체막(205) 내, 게이트 절연막(204) 내, 또는, 반도체막(205)과 다른 절연막의 계면과 그의 근방에 인입하는 것을 방지할 수 있다.
- [0119] 또한, 본 명세서에 있어서 산화질화물이란, 그의 조성으로서, 질소보다도 산소의 함유량이 많은 물질이며, 또한, 질화산화물이란, 그의 조성으로서, 산소보다도 질소의 함유량이 많은 물질을 의미한다.
- [0120] 또한, 도 11은 상술한 공정이 종료된 시점에서의, 액정 표시 장치의 상면도이다. 도 11의 일점쇄선 A1-A2에 있어서의 단면도가 도 9의 (a)에 상당한다.
- [0121] 계속해서, 도 9의 (b)에 도시한 바와 같이, 도전막(203) 및 도전막(210) 위에 게이트 절연막(204)을 형성한다.

게이트 절연막(204)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 질화산화알루미늄막, 산화하프늄막, 산화이트륨막, 산화갈륨막, 산화란탄막, 또는 산화탄탈막을 단층으로 또는 적층시켜서 형성할 수 있다. 게이트 절연막(204)은 수분, 수소 등의 불순물을 최대한 포함하지 않는 것이 바람직하다.

[0122] 게이트 절연막(204)은 단층의 절연막으로 구성되어 있어도 되고, 복수의 절연막이 적층됨으로써 구성되어 있어도 된다. 어쨌든, 화학양론적 조성을 초과하는 양의 산소를 포함하는 절연막이, 후에 형성되는 반도체막(205)과 접하도록 게이트 절연막(204)을 형성하는 것이 바람직하다. 상기 구성에 의해, 게이트 절연막(204)으로부터 반도체막(205)에 산소를 공급할 수 있으므로, 양호한 전기적 특성을 갖는 트랜지스터(12)를 얻을 수 있다.

[0123] 또한, 배리어성이 높은 절연막과, 산소를 포함하는 절연막을 적층시킨 구조를 갖는 게이트 절연막(204)을 형성하는 경우, 배리어성이 높은 절연막은, 산소를 포함하는 절연막과, 도전막(203) 및 도전막(210) 사이에 설치하는 것이 바람직하다. 배리어성이 높은 절연막을 사용함으로써 수분 또는 수소 등의 분위기 중의 불순물, 또는 기판(202) 내에 포함되는 알칼리 금속, 중금속 등의 불순물이, 반도체막(205) 내, 게이트 절연막(204) 내, 또는, 반도체막(205)과 다른 절연막의 계면과 그의 근방에 인입하는 것을 방지할 수 있다. 배리어성이 높은 절연막으로서, 예를 들어 질화규소막, 질화산화규소막, 질화알루미늄막, 산화알루미늄막, 또는 질화산화알루미늄막 등을 들 수 있다.

[0124] 게이트 절연막(204)의 막두께는 트랜지스터에 요구되는 특성에 따라 적절히 설정하면 되고, 예를 들어 1 nm 이상 800 nm 이하, 바람직하게는 200 nm 이상 500 nm 이하로 한다. 게이트 절연막(204)을 두껍게 형성함으로써, 트랜지스터(12)의 내압을 향상시킬 수 있다. 본 실시 형태에서는, 플라즈마 CVD법으로 형성된 막두께 100 nm의 산화질화규소막을 게이트 절연막(204)으로서 사용한다.

[0125] 계속해서, 도 9의 (b)에 도시한 바와 같이, 게이트 절연막(204) 위에 막두께 2 nm 이상 200 nm 이하, 바람직하게는 막두께 3 nm 이상 50 nm 이하, 더욱 바람직하게는 막두께 3 nm 이상 20 nm 이하의 반도체막(205)을 형성한다. 반도체막(205)은 산화물 반도체를 타깃으로서 사용하여, 스퍼터링법에 의해 형성한다. 또한, 반도체막(205)은 희가스(예를 들어 아르곤) 분위기 하에서, 산소 분위기 하에서, 또는 희가스(예를 들어 아르곤) 및 산소 혼합 분위기 하에서 스퍼터링법에 의해 형성할 수 있다.

[0126] 또한, 산화물 반도체막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연막(204)의 표면에 부착되어 있는 잔여물을 제거하는 것이 바람직하다. 역스퍼터링 타깃 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 아산화질소 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 염소, 사불화탄소 등을 첨가한 분위기에서 행해도 된다.

[0127] 반도체막(205)에 사용하는 산화물 반도체로서, 상술한 바와 같이, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등을 들 수 있다.

[0128] 또한, 예를 들어, 반도체막(205)은 In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 타깃을 사용한 스퍼터링법에 의해 형성할 수 있다. In-Ga-Zn계의 반도체막(205)을 스퍼터링법으로 형성하는 경우, 바람직하게는, 원자수비가 In:Ga:Zn=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 또는 3:1:4로 나타나는 In-Ga-Zn계 산화물의 타깃을 사용한다. 전술한 원자수비를 갖는 In-Ga-Zn계 산화물의 타깃을 사용하여 산화물 반도체막을 형성함으로써, 다결정 또는 CAAC가 형성되기 쉬워진다. 또한, In, Ga 및 Zn을 포함하는 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충전율이 높은 타깃을 사용함으로써, 형성한 산화물 반도체막은 치밀한 막이 된다.

[0129] 또한, 산화물 반도체로서 In-Zn계 산화물을 사용하는 경우, 사용하는 타깃의 조성은 원자수비로 In:Zn=50:1 내지 1:2(몰수비로 환산하면 In₂O₃:ZnO=25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면

$\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 내지 $1:2$), 더욱 바람직하게는 $\text{In}:\text{Zn}=1.5:1$ 내지 $15:1$ (몰수비로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ 내지 $15:2$)로 한다. 예를 들어, In-Zn 계 산화물인 반도체막(205)의 형성에 사용하는 타깃은, 원자수비가 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 인 때, $\text{Z}>1.5\text{X}+\text{Y}$ 로 한다. Zn 의 비율을 상기 범위에 들어가게 함으로써 이동도의 향상을 실현할 수 있다.

[0130] 또한, 산화물 반도체로서 In-Sn-Zn 계 산화물의 재료를 사용하는 경우, 사용하는 타깃의 조성은, $\text{In}:\text{Sn}:\text{Zn}$ 의 원자수비를, $1:2:2$, $2:1:3$, $1:1:1$, 또는 $20:45:35$ 로 하면 된다.

[0131] 본 실시 형태에서는, 감압 상태로 유지된 처리실 내에 기판을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 도입하고, 상기 타깃을 사용하여 기판(202) 위에 산화물 반도체막을 형성한다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 첨가한 것이어도 된다. 크라이오 펌프를 사용하여 처리실을 배기하면, 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 배기되기 때문에, 상기 처리실에서 형성한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.

[0132] 또한, CAAC-OS로 구성되는 반도체막(205)을 형성하는 방법으로서 세가지의 들 수 있다. 첫째는 성막 온도를 200°C 이상 450°C 이하로 하여 반도체막(205)의 형성을 행하는 방법이다. 둘째는 반도체막(205)을 얇은 막두께로 형성한 후, 200°C 이상 700°C 이하의 열처리를 행하는 방법이다. 셋째는 1층째의 산화물 반도체막을 얇게 형성한 후, 200°C 이상 700°C 이하의 열처리를 행하고, 또한 2층째의 산화물 반도체막의 형성을 행함으로써 반도체막(205)을 형성하는 방법이다.

[0133] 본 실시 형태에서는, 기판(202)과 타깃의 거리를 100 mm , 압력 0.4 Pa , 직류(DC) 전원 0.5 kW , 기판 온도 250°C 로 하고, 아르곤과 산소의 유량이 각각 30 sccm , 15 sccm 의 분위기 하에서, In-Ga-Zn 계 산화물 반도체를 포함하는, 막두께 25 nm 의 반도체막(205)의 형성을 행한다.

[0134] 또한, 반도체막(205)에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서, 형성의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연막(204)까지가 형성된 기판(202)을 예비 가열하여, 기판(202)에 흡착된 수분 또는 수소 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는 100°C 이상 400°C 이하, 바람직하게는 150°C 이상 300°C 이하이다.

[0135] 또한, 스퍼터 등으로 형성된 반도체막(205) 내에는, 불순물로서의 수분 또는 수소(수산기를 포함함)가 다량으로 포함되어 있는 경우가 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서는 불순물이다. 따라서, 본 발명의 일 형태에서는 반도체막(205)을 형성한 후, 반도체막(205) 내의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)하기 위해서, 반도체막(205)에 대하여 감압 분위기 하, 질소나 회가스 등의 불활성 가스 분위기 하에서 가열 처리를 실시한다.

[0136] 반도체막(205)에 가열 처리를 실시함으로써, 반도체막(205) 내의 수분 또는 수소를 탈리시킬 수 있다. 구체적으로는, 250°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 변형점 미만의 온도에서 가열 처리를 행하면 된다. 가열 처리에 RTA법을 사용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 유리 기판의 변형점을 초과하는 온도에서도 처리할 수 있다. 본 실시 형태에서는, 조건조 에어 분위기 하에서, 450°C 에서 1시간 정도 가열 처리를 행한다.

[0137] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비하고 있어도 된다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 회가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0138] 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 회가스에 수분 또는 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를, $6\text{ N}(99.9999\%)$ 이상, 바람직하게는 $7\text{ N}(99.99999\%)$ 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다.

- [0139] 이상의 공정에 의해, 반도체막(205) 내의 수분 또는 수소의 농도를 저감할 수 있다. 또한, 반도체막(205)에서는, 상기 가열 처리에 의해 수분 또는 수소가 제거됨과 함께, 산소의 탈리에 의한 산소 결손이 증가하고 있을 우려가 있다. 따라서, 상기 가열 처리 후에, 반도체막(205)에 산소를 공급하는 처리를 행하여, 산소 결손을 저감시키는 것이 바람직하다.
- [0140] 수분 또는 수소의 농도가 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 반도체막(205)을 사용함으로써 내압성이 높고, 오프 전류가 현저하게 작은 트랜지스터(12)를 제조할 수 있다.
- [0141] 예를 들어, 산소를 포함하는 가스 분위기 하에서 가열 처리를 행함으로써, 반도체막(205)에 산소를 공급할 수 있다. 산소를 공급하기 위한 가열 처리는, 상술한, 수분 또는 수소의 농도를 저감하기 위한 가열 처리와 동일한 조건으로 행하면 된다. 단, 산소를 공급하기 위한 가열 처리는, 산소 가스, 또는 초진조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20 ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1 ppm 이하, 바람직하게는 10 ppb 이하의 공기) 등의 분위기 하에서 행한다.
- [0142] 상기 산소를 포함하는 가스에는, 물, 수소 등의 농도가 낮은 것이 바람직하다. 구체적으로는, 산소를 포함하는 가스 내에 포함되는 불순물 농도를, 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 하는 것이 바람직하다.
- [0143] 또는, 이온 주입법, 이온 도핑법, 플라즈마 이멀전 이온 임플랜테이션법, 플라즈마 처리 등을 사용하여 반도체막(205)에 산소를 공급할 수 있다. 상기 방법을 사용하여 산소를 반도체막(205)에 공급한 후, 반도체막(205)에 포함되는 결정부가 손상을 받은 경우에는, 가열 처리를 행하여, 손상을 받은 결정부를 수복하도록 해도 된다.
- [0144] 반도체막(205)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0145] 계속해서, 도 9의 (c)에 도시한 바와 같이, 반도체막(205) 위에 절연막을 형성한 후, 포토리소그래피법을 사용한 에칭에 의해 원하는 형상으로 가공함으로써 채널 보호막으로서 기능하는 섬 형상의 절연막(206)을 형성한다. 절연막(206)은 반도체막(205) 위에 있어서 도전막(203)과 중첩되는 위치에 설치한다.
- [0146] 절연막(206)의 막두께는 50 nm 이상 600 nm 이하, 바람직하게는 100 nm 이상 400 nm 이하로 한다. 그리고, 절연막(206)은 게이트 절연막(204)과 동일한 구조, 재료를 사용하여 형성할 수 있다. 그리고, 절연막(206)은 게이트 절연막(204)과 마찬가지로, 수분, 수소 등의 불순물을 최대한 포함하지 않는 것이 바람직하고, 또한, 화학양론적 조성을 초과하는 양의 산소를 포함하는 것이 바람직하다. 상기 구성에 의해, 반도체막(205) 내에 있어서의 수분, 수소 등의 불순물의 농도를 낮게 억제하고, 또한 절연막(206)으로부터 반도체막(205)에 산소를 공급할 수 있으므로, 양호한 전기적 특성을 갖는 트랜지스터(12)를 얻을 수 있다.
- [0147] 본 실시 형태에서는, 플라즈마 CVD법으로 형성한 막두께 300 nm의 산화질화규소막을 절연막(206)으로서 사용한다.
- [0148] 또한, 절연막(206)으로서, 적어도 In 또는 Zn 중의 하나를 포함하는 금속 산화물이며, 또한, Ti, Zr, Hf, Ge, Ce 등을 포함함으로써, 반도체막(205)보다도 절연성이 높아진 금속 산화물을 사용해도 된다.
- [0149] 예를 들어, In-M₁-M₂-Zn계 산화물을 절연막(206)에 사용해도 된다. 단, 원소 M₁은, 3A족, 3B족 및 4A족에 포함되는 원소 중, 3가의 원소이다. 원소 M₂는 4A족 및 4B족에 포함되는 원소 중, 4가의 원소이다. 구체적으로, 원소 M₁에 Ga를 사용하는 경우, In-M₁-M₂-Zn계 산화물에 있어서, 3가의 Ga의 일부가 4가의 원소로 치환되게 된다. 4가의 원소는 3가의 원소보다도 결합손이 1개 많으므로, 3가의 원소의 일부를 4가의 원소로 치환함으로써 In-M₁-M₂-Zn계 산화물을 구성하는 금속 원소(M₁ 또는 M₂)와 산소의 결합력을 높일 수 있다. 따라서, In-M₁-M₂-Zn계 산화물을 절연막(206)에 사용함으로써 절연막(206)의 절연성을 높일 수 있다. 구체적으로, 원소 M₂로서, Ti, Zr, Hf, Ge, Ce 등을 들 수 있다.
- [0150] 예를 들어, In:Zr:Ga:Zn=3:0.05:0.95:2의 타깃을 사용하여, 스퍼터링법에 의해 In-M₁-M₂-Zn계 산화물을 사용한 절연막(206)을 형성하면 된다.
- [0151] 또한, 예를 들어, 화학식 InMZnO_x로 표현되는 In-M-Zn계 산화물을 절연막(206)에 사용해도 된다. 원소 M으로서, In-M-Zn계 산화물의 절연성이 반도체막(205)을 구성하는 금속 산화물의 절연성보다도 높아지는 원소를 적용한다. 예를 들어, 원소 M으로서, Ti, Zr, Hf, Ge, Ce 등의 4가의 원소를 적용할 수 있다. 4가의 원소는 3

가의 원소보다도 결합손이 1개 많으므로, 이들 4가의 원소를 원소 M으로서 사용한 In-M-Zn계 산화물은 원소 M과 산소의 결합력이 높다. 따라서, In-M-Zn계 산화물을 절연막(206)에 사용함으로써 절연막(206)의 절연성을 높일 수 있다.

[0152] 예를 들어, 원소 M으로서 Zr를 사용한 In-Zr-Zn계 산화물의 에너지갭은 In-Ga-Zn계 산화물의 에너지갭(약 3.2 eV)보다도 커진다. 즉, In-Zr-Zn계 산화물은 In-Ga-Zn계 산화물보다도 절연성이 높다고 할 수 있다.

[0153] 또한, 이트륨은 Ga보다도 전기 음성도가 작다. 그로 인해, In-M₁-M₂-Zn계 산화물에 있어서, 원소 M₂를 이트륨으로 하면, 산소와 원소 M₂의 전기 음성도의 차를 크게 할 수 있어, 금속 산화물 중에서의 산소와의 이온 결합에 의한 결합을 보다 강하게 할 수 있다. 따라서, 원소 M₂를 이트륨으로 하여도 In-M₁-M₂-Zn계 산화물을 사용한 절연막(206)의 절연성을 높일 수 있다. 또한, In-M-Zn계 산화물에 있어서, 원소 M을 이트륨으로 하면, 산소와 원소 M의 전기 음성도의 차를 크게 할 수 있어, 금속 산화물 중에서의 산소와의 이온 결합에 의한 결합을 보다 강하게 할 수 있다. 따라서, 원소 M을 이트륨으로 하여도 In-M-Zn계 산화물을 사용한 절연막(206)의 절연성을 높일 수 있다.

[0154] 또한, 본 명세서에 있어서, 「에너지갭」이라고 하는 용어는, 「밴드갭」이나, 「금계대폭」과 동일한 의미로 사용하고 있다. 또한, 밴드갭의 값은 재료의 단막의 엘립소메트리로 측정하여 얻어지는 값을 사용한다.

[0155] 또한, In-M-Zn계 산화물 중의 원소 M의 함유량은, In의 함유량의 0.3배 이상 1.3배 미만이다. 또한, In-M-Zn계 산화물 중의 원소 M의 함유량은, Zn의 함유량의 0.3배 이상 1.3배 미만이다. 원소 M에 대한 In 또는 Zn의 상대적인 수가 적을수록, 보다 절연성이 높은 절연막(206)을 얻을 수 있다.

[0156] 구체적으로는, 원소 M을 포함시킨 금속 산화물 재료를 스퍼터링법으로 형성하는 경우, 바람직하게는 원자수비가 In:M:Zn=1:1:1, 3:1:3, 3:2:4, 2:1:3, 4:5:4, 또는 4:2:3으로 나타나는 금속 산화물 타겟을 사용한다.

[0157] In-M-Zn계 산화물이나, In-M₁-M₂-Zn계 산화물을 절연막(206)에 사용함으로써 절연막(206)과 반도체막(205)의 계면의 상태를 양호하게 유지할 수 있어, 트랜지스터(12)의 전기적 특성을 양호하게 할 수 있다.

[0158] 또한, 절연막(206)을 형성하기 위한 에칭에 의해 노출된 반도체막(205)의 표면에는 불순물이 부착되기 쉽다. 상기 불순물에는 에칭에 사용한 에칭 가스 또는 에칭액을 구성하는 원소, 또는 에칭을 행한 처리실 내에 존재하는 원소 등이 포함된다. 상기 불순물로서, 구체적으로는, 붕소, 염소, 불소, 탄소, 알루미늄 등을 들 수 있다.

[0159] 상기 불순물이 반도체막(205)의 표면에 부착되면, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기적 특성의 열화가 초래되기 쉽다. 또한, 반도체막(205)에 기생 채널이 발생하기 쉬워져, 전기적으로 분리되어야 할 도전막이 반도체막(205)을 통하여 전기적으로 접속되기 쉬워진다. 따라서, 본 발명의 일 형태에서는 절연막(206)을 형성하기 위한 에칭이 종료한 후, 반도체막(205) 및 절연막(206)의 표면에 부착된 불순물을 제거하기 위한 세정 처리를 행한다.

[0160] 세정 처리는 TMAH(수산화 테트라메틸암모늄) 용액 등의 알칼리성의 용액, 물, 또는 희석 불산 등을 사용하여 행할 수 있다. 구체적으로, 희석 불산을 세정 처리에 사용하는 경우, 50 중량% 불산을, 물로 1/10² 내지 1/10⁵로 희석하여 세정 처리에 사용하는 것이 바람직하다. 즉, 농도가 0.5 중량% 내지 5×10⁻⁴ 중량%인 희석 불산을 세정 처리에 사용하는 것이 바람직하다. 세정 처리에 의해 반도체막(205) 및 절연막(206)의 표면에 부착된 상기 불순물을 제거할 수 있다. 또한, 세정 처리에 희석 불산을 사용하면, 반도체막(205)에 부착된 불순물을 반도체막(205)의 일부와 함께 제거할 수 있다.

[0161] 계속해서, 반도체막(205) 위에 스퍼터링법이나 진공 증착법에서 도전막을 형성한 뒤, 포토리소그래피법을 사용한 에칭에 의해 상기 도전막을 패터닝함으로써, 도 9의 (d)에 도시한 바와 같이, 반도체막(205) 위에 있어서, 절연막(206)을 사이에 개재하여 설치된 도전막(207) 및 도전막(208)과, 도전막(210)과 중첩되는 위치에 있어서 게이트 절연막(204) 및 반도체막(205) 위에 설치된 도전막(211)을 각각 형성한다. 도전막(207) 및 도전막(208)은 트랜지스터(12)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도전막(211)은 용량 소자(14)의 전극으로서 기능한다.

[0162] 도전막(207), 도전막(208) 및 도전막(211)은 도전막(203) 및 도전막(210)과 동일한 구조, 재료를 사용할 수 있다. 도전막(207), 도전막(208) 및 도전막(211)의 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 견디는 내열성을 도전막에 갖게 하는 것이 바람직하다. 본 실시 형태에서는, 도전막(207), 도전막(208) 및 도전

막(211)으로서 막두께 150 nm의 텅스텐막을 사용한다.

- [0163] 또한, 도전막(207), 도전막(208) 및 도전막(211)을 형성하기 위한 에칭 시에, 반도체막(205)이 가능한 한 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 에칭 조건에 따라서는, 반도체막(205)이 노출된 부분이 일부 에칭됨으로써, 홈부(오목부)가 형성되는 경우도 있다.
- [0164] 본 실시 형태에서는, ICP 에칭법에 의한 건식 에칭을 사용하여 도전막(207), 도전막(208) 및 도전막(211)을 형성한다. 구체적으로는, 에칭 가스인 육불화황의 유량을 50 sccm, 반응 압력 1.5 Pa, 하부 전극의 온도 70℃, 코일형의 전극에 투입하는 RF(13.56 MHz) 전력을 500 W, 하부 전극(바이어스측)에 투입하는 전력을 50 W로 한 후, 에칭 가스인 삼염화붕소의 유량을 60 sccm, 염소의 유량 20 sccm, 반응 압력 1.9 Pa, 하부 전극의 온도 21℃, 코일형의 전극에 투입하는 RF(13.56 MHz) 전력 450 W, 하부 전극(바이어스측)에 투입하는 전력 100 W가 되도록 도중에 조건을 변경하여 건식 에칭을 행한다.
- [0165] 또한, 포토리소그래피법에서 사용하는 마스크수 및 공정수를 삭감하기 위해서, 투과한 광에 다단계의 강도를 갖게 하는 다계조 마스크에 의해 형성된 레지스트 마스크를 사용하여 에칭 공정을 행해도 된다. 다계조 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막두께를 갖는 형상으로 되고, 에칭을 행함으로써 더욱 형상을 변형할 수 있기 때문에, 서로 다른 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 1매의 다계조 마스크에 의해 적어도 2종류 이상의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있어, 공정의 간략화가 가능해진다.
- [0166] 또한, 도전막(207), 도전막(208) 및 도전막(211)을 형성하기 위한 에칭에 의해 노출된 반도체막(205) 및 절연막(206)의 표면에는, 붕소, 염소, 불소, 탄소, 알루미늄 등의 불순물이 부착되기 쉽다. 또한, 상기 불순물에는, 도전막(207), 도전막(208) 및 도전막(211)을 구성하는 원소도 포함되는 경우가 있다.
- [0167] 상기 불순물이 반도체막(205)의 표면에 부착되면, 상술한 바와 같이, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기적 특성의 열화가 초래되기 쉽다. 또한, 반도체막(205)에 기생 채널이 발생하기 쉬워져, 전기적으로 분리되어야 할 도전막이 반도체막(205)을 통하여 전기적으로 접속되기 쉬워진다. 따라서, 본 발명의 일 형태에서는 도전막(207), 도전막(208) 및 도전막(211)을 형성하기 위한 에칭이 종료한 후, 반도체막(205) 및 절연막(206)의 표면에 부착된 불순물을 제거하기 위한 세정 처리를 행한다.
- [0168] 세정 처리는 TMAH 용액 등의 알칼리성의 용액, 물, 또는 희석 불산 등을 사용하여 행할 수 있다. 구체적으로, 희석 불산을 세정 처리에 사용하는 경우, 50 중량% 불산을, 물로 $1/10^2$ 내지 $1/10^5$ 로 희석하여 세정 처리에 사용하는 것이 바람직하다. 즉, 농도가 0.5 중량% 내지 5×10^{-4} 중량%인 희석 불산을 세정 처리에 사용하는 것이 바람직하다. 세정 처리에 의해 반도체막(205) 및 절연막(206)의 표면에 부착된 상기 불순물을 제거할 수 있다. 또한, 세정 처리에 희석 불산을 사용하면, 반도체막(205)에 부착된 불순물을 반도체막(205)의 일부와 함께 제거할 수 있다.
- [0169] 또한, 본 실시 형태에서는, 에칭 후에 있어서의 불순물 제거를 목적으로 한 세정 처리를, 절연막(206)의 형성 후와, 도전막(207), 도전막(208) 및 도전막(211)의 형성 후의 2회 행하는 경우에 대하여 설명했지만, 본 발명의 일 형태에서는 상기 세정 처리를 어느쪽이든 1회만 해도 된다.
- [0170] 또한, 도 12는, 상술한 공정이 종료된 시점에서의, 액정 표시 장치의 상면도이다. 도 12의 일점쇄선 A1-A2에 있어서의 단면도가 도 9의 (d)에 상당한다.
- [0171] 계속해서, 도 10의 (a)에 도시한 바와 같이, 반도체막(205)과, 절연막(206)과, 도전막(207) 및 도전막(208)과, 도전막(211)을 덮도록 절연막(212)을 형성한다. 절연막(212)은 수분이나, 수소 등의 불순물을 최대한 포함하지 않는 것이 바람직하고, 단층의 절연막이어도 되고, 적층된 복수의 절연막으로 구성되어 있어도 된다. 절연막(212)에 수소가 포함되면, 그 수소가 반도체막(205)에 침입하거나, 또는 수소가 반도체막(205) 내의 산소를 뽑아내어, 반도체막(205)의 표면 근방이 저저항화(n형화)되어버린다. 그리고, 저저항화한 반도체막(205)의 표면 근방에는 기생 채널이 형성되기 쉬워, 기생 채널에 의해 도전막(208)과 도전막(211)이 전기적으로 접속될 우려가 있다. 따라서, 절연막(212)은 가능한 한 수소를 포함하지 않는 막이 되도록 성막 방법에 수소를 사용하지 않는 것이 중요하다.
- [0172] 또한, 상기 세정 처리를 행한 경우에도, 절연막(212)을 형성하기 전에 기판(202)을 대기에 노출시키면, 대기 중에 포함되는 탄소 등의 불순물이 반도체막(205) 및 절연막(206)의 표면에 부착되는 경우가 있다. 따라서, 본 발명의 일 형태에서는 절연막(212)을 형성하기 위한 처리실 내에서, 절연막(212)을 형성하기 전에, 반도체막

(205) 및 절연막(206)의 표면에 부착된 탄소 등의 불순물을, 산소, 일산화이질소, 또는 회가스(대표적으로는 아르곤) 등을 사용한 플라즈마 처리에 의해 세정하여 탄소 등의 불순물을 제거하도록 해도 된다. 그리고, 플라즈마 처리에 의한 불순물의 제거를 행한 후, 기판(202)을 대기에 노출시키지 않고, 절연막(212)을 형성함으로써, 반도체막(205) 및 절연막(206)과 절연막(212)의 계면 근방에 불순물이 인입하는 것을 방지하여, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기적 특성의 열화를 방지할 수 있다.

[0173] 또한, 상기 절연막(212)에는 배리어성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어, 배리어성이 높은 절연막으로서, 질화규소막, 질화산화규소막, 질화알루미늄막, 산화알루미늄막, 또는 질화산화알루미늄막 등을 사용할 수 있다. 복수의 적층된 절연막을 사용하는 경우, 산소를 포함하는 산화규소막, 산화질화규소막 등의 절연막을, 상기 배리어성이 높은 절연막보다도, 반도체막(205)에 가까운 측에 형성한다. 그리고, 산소를 포함하는 절연막을 개재하여, 반도체막(205)과 중첩되도록 배리어성이 높은 절연막을 형성한다. 배리어성이 높은 절연막을 사용함으로써 반도체막(205) 내, 게이트 절연막(204) 내, 또는, 반도체막(205)과 다른 절연막의 계면과 그의 근방에 수분 또는 수소 등의 불순물이 인입하는 것을 방지할 수 있다.

[0174] 또한, 복수의 적층된 절연막을 절연막(212)으로서 사용하는 경우, 1층째 이외의 절연막으로서, 예를 들어, 아크릴 수지, 폴리이미드 수지, 벤조시클로부텐계 수지, 폴리아미드 수지, 에폭시 수지 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 이외에, 실록산계 수지, 산화규소, 질화규소, 산화질화규소, 질화산화규소, 알루미늄 등을 사용할 수 있다. 실록산계 수지는, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성되는 재료이다. 치환기로서, 수소 외에, 불소, 플루오로기, 유기기(예를 들어 알킬기, 방향족 탄화수소) 중 적어도 1종을 갖고 있어도 된다. 그리고, 절연막(212)의 형성에는, 그의 재료에 따라, CVD법, 스퍼터링법, 스핀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법), 인쇄법(스크린 인쇄, 오프셋 인쇄 등) 등의 방법으로 형성한다. 또한, 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 기구를 사용하여 형성해도 된다. 또는, 1층째 이외의 절연막으로서, 유기 실란을 사용하여 화학 기상 성장법에 의해 제조되는 산화규소막을 사용할 수도 있다. 유기 실란으로서, 규산에틸($\text{TEOS:Si(OC}_2\text{H}_5)_4$), 트리메틸실란($\text{TMS:(CH}_3)_3\text{SiH}$), 테트라메틸실클로테트라실록산(TMCTS), 옥타메틸실클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH(OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH(N(CH}_3)_2)_3$) 등을 사용할 수 있다.

[0175] 본 실시 형태에서는, 스퍼터링법으로 형성된 막두께 300 nm의 산화규소막을 절연막(212)으로서 사용한다. 성막시의 기판 온도는 실온 이상 300℃ 이하로 하면 되고, 본 실시 형태에서는 100℃로 한다.

[0176] 계속해서, 도 10의 (b)에 도시한 바와 같이, 게이트 절연막(204), 반도체막(205) 및 절연막(212)을 포토리소그래피법을 사용한 에칭에 의해 원하는 형상으로 가공함으로써 개구부(213) 및 개구부(214)를 형성한다.

[0177] 본 실시 형태에서는, ICP 에칭법에 의한 건식 에칭을 사용하여 게이트 절연막(204), 반도체막(205) 및 절연막(212)을 패터닝한다. 구체적으로는, 에칭 가스인 트리플루오로메탄, 헬륨, 메탄의 유량을 각각 22.5 sccm, 127.5 sccm, 5 sccm, 반응 압력을 3.5 Pa, 하부 전극의 온도 21℃, 코일형의 전극에 투입하는 RF(13.56 MHz) 전력을 475 W, 하부 전극(바이어스측)에 투입하는 전력을 300 W로 하여 건식 에칭을 행한다.

[0178] 개구부(213)가 형성되는 영역은, 도전막(208)이 형성되어 있는 영역의 일부 및 도전막(210)이 형성되어 있는 영역의 일부와 중첩되어 있기 때문에, 개구부(213)에 있어서 도전막(208) 및 도전막(210)은 부분적으로 노출된다. 또한, 개구부(214)가 형성되는 영역은, 도전막(210)이 형성되어 있는 영역의 일부와 중첩되어 있기 때문에, 개구부(214)에 있어서 도전막(210)은 부분적으로 노출된다.

[0179] 또한, 도 13은 상술한 공정이 종료된 시점에서의, 액정 표시 장치의 상면도이다. 도 13의 일점쇄선 A1-A2에 있어서의 단면도가 도 10의 (b)에 상당한다.

[0180] 계속해서, 도 10의 (c)에 도시한 바와 같이, 개구부(213)에 있어서 도전막(208) 및 도전막(210)과 접하는 도전막(215)과, 개구부(214)에 있어서 도전막(210)과 접하는 도전막(216)을 형성한다. 도전막(216)은 화소 전극으로서 기능하고, 그의 일부는 절연막(212) 위에도 설치되어 있다.

[0181] 도전막(215) 및 도전막(216)은 투과형의 액정 표시 장치의 경우, 투광성을 갖는 도전성 재료로 형성하는 것이 바람직하다. 또한, 도전막(215) 및 도전막(216)은 반사형의 액정 표시 장치의 경우, 광을 반사하는 도전성 재료로 형성하는 것이 바람직하다.

[0182] 구체적으로 도전막(215) 및 도전막(216)으로서, 산화 인듐, 산화 인듐-산화 주석(ITO: Indium Tin Oxide), 규소 또는 산화규소를 함유한 산화 인듐-산화 주석, 산화 인듐-산화 아연(Indium Zinc Oxide), 산화 텅스텐 및 산

화 아연을 함유한 산화 인듐, 질소를 포함시킨 Al-Zn계 산화물 반도체, 질소를 포함시킨 Zn계 산화물 반도체, 질소를 포함시킨 Sn-Zn계 산화물 반도체, 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 티타늄(Ti) 외에, 원소 주기율표의 제1족 또는 제2족에 속하는 원소, 즉 리튬(Li)이나 세슘(Cs) 등의 알칼리 금속 및 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr) 등의 알칼리 토금속 및 이들을 포함하는 합금(MgAg, AlLi), 유로퓸(Eu), 이테르븀(Yb) 등의 희토류 금속 및 이들을 포함하는 합금 등을 사용할 수 있다. 또한, 도전막(215) 및 도전막(216)은 예를 들어 스퍼터링법이나 증착법(진공 증착법을 포함함) 등에 의해 상기 재료를 사용하여 도전막을 형성한 후, 포토리소그래피법을 사용한 에칭에 의해 상기 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다.

[0183] 상기 공정 후, 스페이서로서 기능하는 절연막을 절연막(212) 위에 형성하고, 화소 전극으로서 기능하는 도전막(216)과, 별도 준비한 대향 전극을, 액정층이 개재되도록 대치시킴으로써 액정 표시 장치를 제조할 수 있다.

[0184] 또한, 본 실시 형태에서는, 트랜지스터(12)가 싱글 게이트 구조인 경우를 예시하고 있지만, 필요에 따라, 전기적으로 접속된 복수의 도전막(203)을 가짐으로써, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 트랜지스터도 형성할 수 있다.

[0185] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.

[0186] (실시 형태 4)

[0187] 이어서, 본 발명의 일 형태에 따른 액정 표시 장치의 패널의 외관에 대해서, 도 14를 사용하여 설명한다. 도 14의 (a)는 기관(4001)과 대향 기관(4006)을 시일재(4005)에 의해 접착시킨 패널의 상면도이며, 도 14의 (b)는 도 14의 (a)의 일점쇄선 E1-E2에 있어서의 단면도에 상당한다.

[0188] 기관(4001) 위에 설치된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 시일재(4005)가 설치되어 있다. 또한, 화소부(4002), 주사선 구동 회로(4004) 위에 대향 기관(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 기관(4001)과 시일재(4005)와 대향 기관(4006)에 의해, 액정층(4007)과 함께 밀봉되어 있다.

[0189] 또한, 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에 신호선 구동 회로(4003)가 형성된 기관(4021)이 실장되어 있다. 도 14에서는, 신호선 구동 회로(4003)에 포함되는 트랜지스터(4009)를 예시하고 있다. 또한, 본 실시 형태에서는, 주사선 구동 회로(4004)가 화소부(4002)와 함께 기관(4001) 위에 형성되어 있는 경우를 예시하고 있지만, 다른 기관에 형성된 주사선 구동 회로(4004)가 기관(4001)에 실장되어 있어도 된다. 또한, 본 실시 형태에서는, 기관(4021)에 형성된 신호선 구동 회로(4003)가 기관(4001)에 실장되어 있는 경우를 예시하고 있지만, 신호선 구동 회로(4003)가 화소부(4002)와 함께 기관(4001) 위에 형성되어 있어도 된다. 또는, 신호선 구동 회로(4003)의 일부, 또는 주사선 구동 회로(4004)의 일부가 화소부(4002)와 함께 기관(4001) 위에 형성되어 있어도 된다.

[0190] 또한, 기관(4001) 위에 설치된 화소부(4002), 주사선 구동 회로(4004)는 트랜지스터를 복수 갖고 있다. 도 14의 (b)에서는, 화소부(4002)에 포함되는 트랜지스터(4010)를 도시하고 있다. 액정 소자(4011)가 갖는 화소 전극(4030)은 트랜지스터(4010)에 접속되어 있다. 그리고, 액정 소자(4011)의 대향 전극(4031)은 대향 기관(4006)에 형성되어 있다. 화소 전극(4030)과 대향 전극(4031)과 액정층(4007)이 중첩되어 있는 부분이 액정 소자(4011)에 상당한다.

[0191] 또한, 대향 기관(4006)에 형성되어 있는 차폐막(4040)은 트랜지스터(4010)가 형성되어 있는 영역과 중첩되어 있다. 또한, 대향 기관(4006)에는 컬러 필터로서 기능하는, 특정한 파장 영역의 가시광만을 우선적으로 투과하는 착색층(4041)이 형성되어 있고, 착색층(4041)은 액정 소자(4011)가 형성되어 있는 영역과 중첩되어 있다.

[0192] 적색, 청색, 녹색에 대응하는 파장 영역의 광을, 각각 우선적으로 투과하는 착색층(4041)을 화소마다 설치함으로써 풀컬러의 화상을 표시할 수 있다. 이 경우, 백색의 광이 얻어지는 백라이트를 사용하는 것이, 화상이 갖는 색의 순도를 높이는 점에서 바람직하다. 백색의 광이 얻어지는 백라이트로서, 예를 들어, 적색의 광원과 청색의 광원과 녹색의 광원을 조합한 구성, 황색 또는 오렌지색의 광원과 청색의 광원을 조합한 구성, 백색의 광원을 단체(單體)로 사용하는 구성, 시안의 광원과 마젠타의 광원과 황색의 광원을 조합한 구성 등을 사용할 수 있다.

[0193] 또는, 백라이트로부터, 적색, 청색, 녹색에 대응하는 파장 영역의 광을 순서대로 출력하도록 해도 된다. 이 경우, 컬러 필터를 사용하지 않더라도 풀컬러의 화상을 표시할 수 있어, 액정 표시 장치의 발광 효율을 높일 수

있다.

- [0194] 또한, 백라이트에 사용하는 광원으로서, 냉음극관 외에, LED, OLED 등의 발광 소자를 사용할 수 있다. 단, 광원에 의해 얻어지는 광의 파장이 상이하므로, 필요로 하는 색에 맞춰서 적절히 사용할 광원을 선택하면 된다.
- [0195] 또한, 도 14에서는, 차폐막(4040)과 착색층(4041)을 대향 기관(4006) 측에 설치한 경우를 예시하고 있지만, 차폐막(4040) 또는 착색층(4041)을 기관(4001) 측에 설치해도 된다. 액정 소자(4011)에의 광의 입사 방향과, 액정 소자(4011)를 투과한 광의 사출 방향에 맞춰서, 적절히, 차폐막(4040)과 착색층(4041)이 설치되는 위치를 정할 수 있다.
- [0196] 또한, 스페이서(4035)가 화소 전극(4030)과 대향 전극(4031) 사이의 거리(셀 갭)을 제어하기 위하여 설치되어 있다. 또한, 도 14의 (b)에서는, 스페이서(4035)가 절연막을 패터닝함으로써 형성되어 있는 경우를 예시하고 있지만, 구 형상 스페이서를 사용하고 있어도 된다.
- [0197] 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 화소부(4002)에 부여되는 각종 신호 및 전위는, 배치 배선(4014 및 4015)을 통하여 접속 단자(4016)로부터 공급되고 있다. 접속 단자(4016)는 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.
- [0198] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0199] (실시 형태 5)
- [0200] 도 15는 액정 표시 장치의 구조를 도시하는 사시도의 일례이다. 도 15에 도시하는 액정 표시 장치는, 한 쌍의 기관 사이에 화소부가 형성된 패널(1601)과, 제1 확산판(1602)과, 프리즘 시트(1603)와, 제2 확산판(1604)과, 도광판(1605)과, 복수의 광원(1607)을 갖는 백라이트(1620)와, 반사판(1606)과, 회로 기관(1608)과, 신호선 구동 회로가 형성된 기관(1611)을 갖고 있다.
- [0201] 패널(1601)과, 제1 확산판(1602)과, 프리즘 시트(1603)와, 제2 확산판(1604)과, 도광판(1605)과, 반사판(1606)은 순서대로 적층되어 있다. 백라이트(1620)는 도광판(1605)의 단부에 배치되어 있다. 도광판(1605) 내부에 확산된 광원(1607)으로부터의 광은, 제1 확산판(1602), 프리즘 시트(1603) 및 제2 확산판(1604)에 의해 균일하게 패널(1601)에 조사된다.
- [0202] 또한, 본 실시 형태에서는, 제1 확산판(1602)과 제2 확산판(1604)을 사용하고 있지만, 확산판의 수는 이것에 한정되지 않고, 단수이거나 3개 이상이어도 된다. 그리고, 확산판은 도광판(1605)과 패널(1601)의 사이에 설치되어 있으면 된다. 따라서, 프리즘 시트(1603)보다도 패널(1601)에 가까운 측에만 확산판이 설치되어 있어도 되고, 프리즘 시트(1603)보다도 도광판(1605)에 가까운 측에만 확산판이 설치되어 있어도 된다.
- [0203] 또한 프리즘 시트(1603)는 도 15에 도시한 단면이 톱니 형상의 형상에 한정되지 않고, 도광판(1605)으로부터의 광을 패널(1601) 측에 집광할 수 있는 형상을 갖고 있으면 된다.
- [0204] 회로 기관(1608)에는 패널(1601)에 입력되는 각종 신호를 생성하는 회로, 또는 이들 신호에 처리를 실시하는 회로 등이 설치되어 있다. 그리고, 도 15에서는, 회로 기관(1608)과 패널(1601)이 COF 테이프(1609)을 통하여 접속되어 있다. 또한, 신호선 구동 회로가 형성된 기관(1611)이 COF(Chip On Film)법을 사용하여 COF 테이프(1609)에 접속되어 있다.
- [0205] 도 15에서는, 백라이트(1620)의 구동을 제어하는 제어계의 회로가 회로 기관(1608)에 설치되어 있고, 상기 제어계의 회로와 백라이트(1620)가 FPC(1610)을 통하여 접속되어 있는 예를 나타내고 있다. 단, 상기 제어계의 회로는 패널(1601)에 형성되어 있어도 되고, 이 경우에는 패널(1601)과 백라이트(1620)가 FPC 등에 의해 접속되도록 한다.
- [0206] 또한, 도 15에서는, 패널(1601)의 단부에 배치된 에지 라이트형의 백라이트(1620)를 사용하고 있는 경우를 예시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 본 발명의 일 형태에서는 패널(1601)의 바로 아래에 배치되는 직하형의 백라이트를 사용하고 있어도 된다. 또는, 본 발명의 일 형태에서는 프론트라이트를 사용하고 있어도 된다.
- [0207] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0208] (실시 형태 6)
- [0209] 도 17에, 본 발명의 일 형태에 따른 발광 장치의 구조를 예시한다. 도 17의 (a)는 화소가 갖는 트랜지스터

(300)의, 채널 길이 방향에 있어서의 단면도의 일례이다.

- [0210] 도 17의 (a)에서는, 절연 표면 위의 게이트 전극(301)과, 게이트 전극(301) 위에 위치하는 게이트 절연막(302)과, 게이트 절연막(302) 위에 위치하고, 게이트 전극(301)과 중첩되는 반도체막(303)과, 반도체막(303) 위에 위치하고, 게이트 전극(301)과 중첩되는 섬 형상의 절연막(304)과, 반도체막(303) 위에 위치하는 도전막(305)과, 절연막(304)을 개재하고, 또한 반도체막(303) 위에 위치하는 도전막(306a) 및 도전막(306b)과, 반도체막(303), 절연막(304), 도전막(305), 도전막(306a) 및 도전막(306b) 위에 위치하는 절연막(307)과, 절연막(307) 위에 위치하고, 절연막(307)에 형성된 개구부(308)를 통하여 도전막(306a)에 접속되는 화소 전극(309)과, 절연막(307) 및 반도체막(303)에 형성된 개구부(310)와, 화소 전극(309) 위에 위치하는 절연막(320)과, 절연막(320)에 형성된 개구부(321)에 있어서 화소 전극(309) 위에 순서대로 적층된 EL층(322) 및 대향 전극(323)이 도시되어 있다.
- [0211] 그리고, 도 17의 (a)에서는, 게이트 전극(301), 게이트 절연막(302), 반도체막(303), 채널 보호막으로서 기능하는 절연막(304), 도전막(306a) 및 도전막(306b)이 트랜지스터(300)를 구성하고 있다. 그리고, 도전막(306a) 및 도전막(306b)은 어느 하나가 소스 전극, 다른 하나가 드레인 전극으로서 기능한다.
- [0212] 또한, 도 17의 (a)에서는, 개구부(321)에 있어서 화소 전극(309), EL층(322) 및 대향 전극(323)이 적층되어 있는 부분이 발광 소자(324)에 상당한다.
- [0213] 본 발명의 일 형태에 따른 발광 장치의 제조 방법에서는, 게이트 전극(301)을 형성하는 공정과, 절연막(304)을 형성하는 공정과, 도전막(305), 도전막(306a) 및 도전막(306b)을 형성하는 공정과, 절연막(307)에 개구부(308)를 형성하고, 또한 절연막(307) 및 반도체막(303)에 개구부(310)을 형성하는 공정과, 화소 전극(309)을 형성하는 공정과, 절연막(320)에 개구부(321)을 형성하는 공정에 있어서, 마스크를 사용한 포토리소그래피법을 사용한다. 즉, 본 발명의 일 형태에서는 절연막(307)에 개구부(310)을 형성하는 공정에 있어서, 반도체막(303)의 형상을 가공하고 있기 때문에, 반도체막(303)의 형상을 단독으로 가공하기 위해서만 행해지는 포토리소그래피법을 사용한 공정을 생략할 수 있다. 따라서, 본 발명의 일 형태에 따른 발광 장치에서는, 포토리소그래피법에서 행하여지는 포토레지스트의 성막, 노광, 현상, 에칭, 박리 등의 일련의 공정을 일부 생략할 수 있다. 그리고, 고가인 노광용 마스크의 매수를 억제할 수 있으므로, 발광 장치의 제조에 소비되는 비용을 억제할 수 있다.
- [0214] 또한, 도전막(305), 도전막(306a) 및 도전막(306b)은 절연막(307)과, 반도체막(303)의 사이에 존재한다. 그로 인해, 절연막(307)에 개구부(308)를 형성하는 공정에 있어서 반도체막(303)의 형상도 가공하는 제조 방법을 사용하는 경우, 도전막(305), 도전막(306a) 및 도전막(306b)의 하부에 위치하는 반도체막(303)의 형상을 가공하는 것이 어렵다. 그리고, 도전막(305), 도전막(306a) 및 도전막(306b)이 반도체막(303)과 중첩되어 있으면, 화소 전극(309)로부터 반도체막(303)에 인가되는 전계에 의해 반도체막(303)에 기생 채널이 형성되는 경우가 있다. 기생 채널이 형성되면, 전기적으로 분리되어야 할 도전막(305)과, 도전막(306a) 또는 도전막(306b)이 반도체막(303)을 통하여 전기적으로 접속되기 때문에, 표시되는 화질의 저하가 발생된다.
- [0215] 따라서, 본 발명의 일 형태에 따른 발광 장치에서는, 개구부(310)의 위치를, 도전막(305)과, 도전막(306a) 또는 도전막(306b)의 사이로 정하고, 그에 의하여, 반도체막(303)을 부분적으로 제거하는 구성으로 한다. 또한, 도 17의 (a)에서는, 개구부(310)에 있어서 반도체막(303) 및 절연막(307) 뿐만 아니라, 게이트 절연막(302)이 제거되어 있는 경우를 예시하고 있다. 본 발명의 일 형태에서는 개구부(310)에 있어서 게이트 절연막(302)을 반드시 제거할 필요는 없고, 개구부(310)에 있어서 게이트 절연막(302)이 잔존하고 있어도 된다.
- [0216] 도 17의 (b)에 도 17의 (a)에 도시된 단면 구조를 갖는 발광 장치의 상면도의 일례를 도시한다. 단, 도 17의 (b)에서는, 발광 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(302), 절연막(307), 절연막(320), EL층(322) 및 대향 전극(323)을 생략한 상면도를 도시한다. 또한, 도 17의 (b)의 일점쇄선 A1-A2에 있어서의 단면도가 도 17의 (a)에 상당한다.
- [0217] 도 17의 (a) 및 도 17의 (b)에 도시한 바와 같이, 본 발명의 일 형태에서는 반도체막(303) 및 절연막(307)에 도전막(305)과, 도전막(306a) 또는 도전막(306b)의 사이에 위치하는 개구부(310)가 설치되어 있다.
- [0218] 개구부(310)에 의해, 본 발명의 일 형태에서는 도 17의 (a) 및 도 17의 (b)에 도시한 바와 같이, 도전막(306a) 또는 도전막(306b) 아래에 위치하는 반도체막(303)과, 도전막(305) 아래에 위치하는 반도체막(303)이 이격된 상태에 있다. 따라서, 본 발명의 일 형태에서는 화소 전극(309) 등으로부터 반도체막(303)에 전계가 인가되어도, 개구부(310)가 도전막(305)과, 도전막(306a) 또는 도전막(306b)의 사이에 존재함으로써, 반도체막(303)에 기생 채널이 형성되는 것을 억제할 수 있다. 그리고, 기생 채널의 형성이 억제됨으로써, 도전막(305)과, 도전막(306a) 또는 도전막(306b)이 의도하지 않게 전기적으로 접속되는 것을 방지하여, 발광 장치에 표시되는 화질의

저하를 방지할 수 있다.

- [0219] 또한, 도 17의 (b)에서는, 도전막(306a) 또는 도전막(306b) 아래에 위치하는 반도체막(303)과 도전막(305) 아래에 위치하는 반도체막(303)이 완전히 이격되어 있는 경우를 예시하고 있다. 그러나, 본 발명의 일 형태에서는 반도체막(303)이 반드시 완전히 이격되어 있을 필요는 없고, 도전막(305)과, 도전막(306a) 또는 도전막(306b)의 사이에서, 반도체막(303)이 부분적으로 이격되어 있어도 된다.
- [0220] 도 18에, 도 17의 (a)에 도시된 단면 구조를 갖는 발광 장치의 상면도의 일례를 도시한다. 단, 도 18에서는, 발광 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(302), 절연막(307), 절연막(320), EL층(322) 및 대향 전극(323)을 생략한 상면도를 도시한다.
- [0221] 도 18에 도시하는 발광 장치에서는, 개구부(310)의 형상이 도 17의 (b)의 경우와 상이하다. 도 18에서는, 개구부(310)가 도 17의 (b)의 경우와 마찬가지로 도전막(305)과, 도전막(306a) 또는 도전막(306b)의 사이에 위치하고 있지만, 도전막(306a) 또는 도전막(306b) 아래에 위치하는 반도체막(303)과 도전막(305) 아래에 위치하는 반도체막(303)이 개구부(310) 이외의 영역에서 연결되어 있다. 즉, 도 18에서는, 도전막(305)과, 도전막(306a) 또는 도전막(306b)의 사이에서, 반도체막(303)이 부분적으로 이격된 상태에 있다. 반도체막(303)이 부분적으로 이격된 상태에 있어도, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.
- [0222] 또한, 개구부(310)가 형성되는 영역의 일부는 도전막(306a) 또는 도전막(306b)과 중첩되어 있어도 된다. 또는, 개구부(310)가 형성되는 영역의 일부는 도전막(305)이 형성되는 영역과 중첩되어 있어도 된다.
- [0223] 도 19의 (a)에 화소가 갖는 트랜지스터(300)의, 채널 길이 방향에 있어서의 단면도의 일례를 도시한다. 또한, 도 19의 (b)에 도 19의 (a)에 도시된 단면 구조를 갖는 발광 장치의 상면도의 일례를 도시한다. 단, 도 19의 (b)에서는, 발광 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(302), 절연막(307), 절연막(320), EL층(322) 및 대향 전극(323)을 생략한 상면도를 도시한다. 또한, 도 19의 (b)의 일점쇄선 B1-B2에 있어서의 단면도가 도 19의 (a)에 상당한다.
- [0224] 도 19의 (a) 및 도 19의 (b)에 도시하는 발광 장치에서는, 개구부(310)가 형성되는 영역이 도 17의 (a) 및 도 17의 (b)의 경우와 상이하다. 도 19의 (a) 및 도 19의 (b)에서는, 개구부(310)가 형성되는 영역의 일부가 도전막(306a)이 형성되는 영역과 중첩되어 있다. 도전막(306a) 아래에 위치하는 반도체막(303)은 개구부(310)의 형성 시에 제거되지 않는다. 따라서, 개구부(310)가 형성되어 있는 영역 내에 있어서, 반도체막(303)은 부분적으로 잔존하고 있는 상태에 있고, 개구부(310)에 있어서의 반도체막(303)의 단부와 절연막(307)의 단부는 일치하지 않는다.
- [0225] 본 발명의 일 형태에서는 도 19의 (a) 및 도 19의 (b)에 도시한 바와 같이, 개구부(310)가 형성되는 영역의 일부가 도전막(306a)이 형성되는 영역과 중첩되어 있어도, 도전막(306a) 아래에 위치하는 반도체막(303)과, 도전막(305) 아래에 위치하는 반도체막(303)을 이격된 상태로 할 수 있다. 따라서, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.
- [0226] 또한, 개구부(310)가 형성되는 영역의 일부와, 도전막(306b)이 형성되는 영역이 중첩되어 있는 경우에도, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다. 또는, 개구부(310)가 형성되는 영역의 일부와, 도전막(305)이 형성되는 영역이 중첩되어 있는 경우에도, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.
- [0227] 그리고, 개구부(310)가 형성되는 영역이 도전막(306a)이 형성되는 영역과 부분적으로 중첩되어 있는 경우, 도전막(306a)과 화소 전극(309)을 접속하기 위한 개구부(308)를 설치할 필요가 없다. 따라서, 개구부(308)를 형성하기 위한 영역을 확보할 필요가 없기 때문에, 화소부의 고정밀화를 실현할 수 있다.
- [0228] 또한, 도 20의 (a)에 화소가 갖는 트랜지스터(300)의, 채널 길이 방향에 있어서의 단면도의 일례를 도시한다. 또한, 도 20의 (b)에 도 20의 (a)에 도시된 단면 구조를 갖는 발광 장치의 상면도의 일례를 도시한다. 단, 도 20의 (b)에서는, 발광 장치의 레이아웃을 명확히 하기 위해서, 게이트 절연막(302), 절연막(307), 절연막(320), EL층(322) 및 대향 전극(323)을 생략한 상면도를 도시한다. 또한, 도 20의 (b)의 일점쇄선 C1-C2에 있어서의 단면도가 도 20의 (a)에 상당한다.
- [0229] 도 20의 (a) 및 도 20의 (b)에 도시하는 발광 장치는, 게이트 전극(301)과 같은 층에 도전막(311)이 설치되어 있는 점에 있어서, 도 17의 (a) 및 도 17의 (b)에 도시하는 발광 장치와 구조가 상이하다. 구체적으로, 도 20의 (a) 및 도 20의 (b)에서는, 절연 표면 위에 도전막(311)이 위치하고, 도전막(311) 위에 게이트 절연막(302) 및 반도체막(303)이 순서대로 적층되도록 설치되어 있고, 반도체막(303) 위에 있어서 도전막(311)과 중첩되는

위치에 도전막(305)이 설치되어 있다.

- [0230] 그리고, 도 20의 (a) 및 도 20의 (b)에서는, 개구부(310)가 형성되는 영역과, 도전막(311)이 형성되는 영역이 부분적으로 중첩되어 있고, 개구부(310)에 있어서 도전막(311)의 일부가 노출된 상태에 있다. 그리고, 도전막(311)은 반도체막(303) 아래에 위치하기 때문에, 개구부(310)에 있어서 반도체막(303)은 부분적으로 제거된 상태에 있다. 따라서, 도 20의 (a) 및 도 20의 (b)의 경우에도, 도전막(306a) 또는 도전막(306b) 아래에 위치하는 반도체막(303)과, 도전막(305) 아래에 위치하는 반도체막(303)이 이격된 상태에 있기 때문에, 기생 채널의 생성이 억제된다고 하는 효과를 얻을 수 있다.
- [0231] 또한, 본 발명의 일 형태에 따른 발광 장치에서는, 트랜지스터(300)가 갖는 반도체막(303)이 상술한 바와 같은 산화물 반도체 등의 와이드갭 반도체를 포함하고 있다.
- [0232] (실시 형태 7)
- [0233] 이어서, 본 발명의 일 형태에 따른 발광 장치의, 화소부의 구체적인 구성에 대해서 일례를 들어 설명한다.
- [0234] 도 24의 (a)에 화소부(510)의 구성예를 도시한다. 도 24의 (a)에서는, 화소부(510)에 주사선 구동 회로에 의해 전위가 제어되는 y개의 주사선 GL(GL1 내지 GLy)과, 신호선 구동 회로에 의해 전위가 제어되는 x개의 신호선 SL(SL1 내지 SLx)과, 화소 전극에의 전위의 공급을 행하는 x개의 전원선 VL(VL1 내지 VLx)이 설치되어 있다.
- [0235] 그리고, 주사선 GL은 복수의 화소(511)에 각각 접속되어 있다. 구체적으로, 각 주사선 GL은 매트릭스 형상으로 설치된 복수의 화소(511) 중, 어느 하나의 행에 설치된 x개의 화소(511)에 접속된다.
- [0236] 또한, 신호선 SL은 화소부(510)에 있어서 x열 y행에 설치된 복수의 화소(511) 중, 어느 하나의 열에 설치된 y개의 화소(511)에 접속된다. 전원선 VL은 화소부(510)에 있어서 x열 y행에 설치된 복수의 화소(511) 중, 어느 하나의 열에 설치된 y개의 화소(511)에 접속된다.
- [0237] 또한, 본 실시 형태에서는, 화소(511)가 주사선 GL, 신호선 SL, 전원선 VL에 각각 접속되어 있는 경우를 예시하고 있지만, 각 화소(511)에 접속되는 배선의 종류 및 그의 수는 화소(511)의 구성, 수 및 배치에 따라 적절히 정할 수 있다.
- [0238] 도 24의 (b)에 화소(511)의 회로도의 일례를 도시한다. 화소(511)는 화소(511)에의 화상 신호의 입력을 제어하는 트랜지스터(512)와, 화소 전극, 대향 전극 및 화소 전극과 대향 전극의 사이에 설치된 EL층을 갖는 발광 소자(515)와, 화상 신호에 따라서 발광 소자(515)가 갖는 화소 전극의 전위를 제어하는 트랜지스터(513)와, 화상 신호의 전위를 유지하기 위한 용량 소자(514)를 갖는다.
- [0239] 또한, 도 24의 (b)에서는, 화소(511)가 용량 소자(514)를 갖는 경우를 예시하고 있지만, 예를 들어 트랜지스터(513)의 게이트 전극과 활성층의 사이에 형성되는 게이트 용량이 충분히 큰 경우 등, 다른 용량에 의해 화상 신호의 전위를 충분히 유지할 수 있는 경우에는, 반드시 용량 소자(514)를 화소(511)에 설치할 필요는 없다.
- [0240] 발광 소자(515)는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그의 범주에 포함하고 있다. 예를 들어, OLED 소자 등을 발광 소자(515)로서 사용할 수 있다. OLED 소자는 EL층과, 양극과, 음극을 적어도 갖고 있다. 양극과 음극은, 어느 하나가 화소 전극으로서 기능하고, 다른 하나가 대향 전극으로서 기능한다. EL층은 양극과 음극 사이에 설치되어 있고, 단층 또는 복수의 층으로 구성되어 있다. 이들 층 중에 무기 화합물을 포함하고 있는 경우도 있다. EL층에 있어서의 루미네센스에는, 일중항 여기 상태로부터 기저 상태로 복귀될 때의 발광(형광)과 삼중항 여기 상태로부터 기저 상태로 복귀될 때의 발광(인광)이 포함된다.
- [0241] 발광 소자(515)의 화소 전극은, 화소(511)에 입력되는 화상 신호에 따라서 그의 전위가 제어된다. 또한, 발광 소자(515)의 휘도는 화소 전극과 대향 전극의 사이의 전위차에 의해 정해진다. 그리고, 화소부(510)가 갖는 복수의 화소(511) 각각에 있어서, 발광 소자(515)의 휘도가 화상 신호에 따라서 조정됨으로써, 화소부(510)에 화상이 표시된다.
- [0242] 화소(511)는 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕터 등의 기타 회로 소자를 더 갖고 있어도 된다.
- [0243] 계속해서, 화소(511)가 갖는 트랜지스터(512), 트랜지스터(513), 용량 소자(514), 발광 소자(515)의 접속 구성에 대하여 설명한다.
- [0244] 트랜지스터(512)는 소스 단자 또는 드레인 단자 중의 하나가 신호선 SL에 접속되고, 소스 단자 또는 드레인 단

자의 다른 하나가 트랜지스터(513)의 게이트 전극에 접속되어 있다. 트랜지스터(513)는 소스 단자 또는 드레인 단자 중의 하나가 전원선 VL에 접속되고, 소스 단자 또는 드레인 단자의 다른 하나가 발광 소자(515)에 접속되어 있다. 발광 소자(515)는 화소 전극과, 대향 전극과, 화소 전극과 대향 전극의 사이의 EL층을 갖고 있으며, 구체적으로, 트랜지스터(513)의 소스 단자 또는 드레인 단자의 다른 하나는 발광 소자(515)의 화소 전극에 접속된다. 발광 소자(515)의 대향 전극에는 전위(공통 전위)가 부여된다.

[0245] 전원 전위와 공통 전위는, 트랜지스터(513)가 온인 때에, 발광 소자(515)의 화소 전극과 대향 전극의 사이에 발광 소자(515)가 발광하는 정도에 큰 순방향 바이어스의 전압이 인가되는 전위차이다.

[0246] 또한, 트랜지스터(512), 트랜지스터(513)는 활성층의 편측에만 존재하는 게이트 전극을 적어도 갖고 있으면 되지만, 활성층을 개재하여 존재하는 한 쌍의 게이트 전극을 갖고 있어도 된다. 또한, 트랜지스터(512), 트랜지스터(513)는 단수의 게이트 전극과 단수의 채널 형성 영역을 갖는 싱글 게이트 구조여도 되고, 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 채널 형성 영역을 복수 갖는 멀티 게이트 구조여도 된다.

[0247] 이어서, 도 24의 (a) 및 도 24의 (b)에 도시된 발광 장치의 구동 방법에 대하여 설명한다.

[0248] 주사선 GL1 내지 주사선 GLy가 순서대로 선택된다. 예를 들어 주사선 GLj(j는 1 이상 y 이하의 자연수)이 선택되면, 주사선 GLj에 게이트 전극이 접속되어 있는 트랜지스터(512)가 온이 된다. 그리고, 신호선 SL1 내지 신호선 SLx에 입력된 화상 신호의 전위가, 트랜지스터(512)가 온이 됨으로써 트랜지스터(513)의 게이트 전극에 부여된다. 그리고, 주사선 GLj의 선택이 종료하면, 트랜지스터(512)가 오프가 되고, 화상 신호의 전위는 트랜지스터(513)의 게이트 전극에서 유지된다.

[0249] 그리고, 화상 신호의 전위에 따라서 트랜지스터(513)가 온인 경우, 발광 소자(515)에 전류가 공급됨으로써 발광 소자(515)가 점등한다. 발광 소자(515)에 흐르는 전류의 값은 트랜지스터(513)의 드레인 전류에 의해 정해지기 때문에, 발광 소자(515)의 휘도는 화상 신호의 전위에 따라서 정해진다. 반대로, 화상 신호의 전위에 따라, 트랜지스터(513)가 오프가 되어 있는 경우, 발광 소자(515)에의 전류의 공급은 행해지지 않고, 발광 소자(515)는 소등한다.

[0250] 상기 동작에 의해 화상을 표시할 수 있다.

[0251] 또한, 도 24의 (b)에서는, 하나의 트랜지스터(512)를 스위칭 소자로서 사용하고 있는 경우에 대하여 나타내고 있지만, 본 발명은 이 구성에 한정되지 않는다. 하나의 스위칭 소자로서 기능하는 복수의 트랜지스터를 화소(511)에 사용하고 있어도 된다. 복수의 트랜지스터가 하나의 스위칭 소자로서 기능하는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 되고, 직렬로 접속되어 있어도 되고, 직렬과 병렬이 조합되어서 접속되어 있어도 된다.

[0252] 트랜지스터(512)가 산화물 반도체를 채널 형성 영역에 포함함으로써, 오프 전류가 지극히 작고, 또한 고내압인 트랜지스터(512)를 실현할 수 있다. 그리고, 상기 구성을 갖는 트랜지스터(512)를 스위칭 소자로서 사용함으로써 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여, 트랜지스터(513)의 게이트 전극에 축적된 전하의 누설을 방지할 수 있다.

[0253] 오프 전류가 지극히 작은 트랜지스터(512)를 사용함으로써 트랜지스터(513)의 게이트 전극의 전위가 유지되는 기간을 오래 확보할 수 있다. 그로 인해, 정지 화상과 같이, 연속하는 몇개의 프레임 기간에 걸쳐서 화소부(510)에 동일한 화상 정보를 갖는 화상 신호가 기입되는 경우 등에는, 구동 주파수를 낮게 해도, 바꾸어 말하면 일정 기간 내에 있어서의 화소부(510)에의 화상 신호의 기입 횟수를 적게 해도, 화상의 표시를 유지할 수 있다. 예를 들어, 고순도화된 산화물 반도체를 활성층에 사용한 트랜지스터(512)를 사용함으로써 화상 신호의 기입의 간격을 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상으로 할 수 있다. 그리고, 화상 신호가 기입되는 간격을 길게 하면 할수록, 소비 전력을 보다 저감할 수 있다.

[0254] 또한, 화상 신호의 전위를 보다 긴 기간에 걸쳐서 유지할 수 있기 때문에, 화상 신호의 전위를 유지하기 위해서, 트랜지스터(513)의 게이트 전극에 용량 소자(514)를 접속하지 않아도, 표시되는 화질이 저하하는 것을 방지할 수 있다. 따라서, 용량 소자(514)를 설치하지 않음으로써, 또는 용량 소자(514)의 크기를 작게 함으로써, 개구율을 높일 수 있기 때문에, 발광 장치의 소비 전력을 저감시킬 수 있다.

[0255] 계속해서, 도 24의 (b)에 도시된 화소(511)의 레이아웃에 대해서, 도 21 내지 도 23을 사용하여 설명한다. 도 21은 화소(511)의 상면도의 일례이다. 또한, 도 22는 도 21에 도시하는 상면도의, 일점채선 D1-D2 및 일점채선 D3-D4에 있어서의 단면도의 일례에 상당한다. 도 23은 도 21에 도시하는 상면도의, 일점채선 D5-D6에 있어서의

단면도의 일례에 상당한다. 단, 도 21에서는, 화소(511)의 레이아웃을 명확하게 나타내기 위해서, 각종 절연막을 생략하고, 화소(511)의 상면도를 도시한다. 또한, 도 21에서는, 화소(511)가 갖는 각종 반도체 소자의 레이아웃을 명확하게 나타내기 위해서, 발광 소자(515)가 갖는 EL층 및 대향 전극을 생략하고, 화소(511)의 상면도를 도시한다.

- [0256] 도 21 내지 도 23에 도시하는 화소(511)에 있어서, 트랜지스터(512)는 절연 표면을 갖는 기판(400) 위에 게이트 전극으로서 기능하는 도전막(401)과, 도전막(401) 위의 게이트 절연막(402)과, 도전막(401)과 중첩되는 위치에 있어서 게이트 절연막(402) 위에 위치하는 반도체막(403)과, 도전막(401)과 중첩되는 위치에 있어서 반도체막(403) 위에 위치하고, 채널 보호막으로서 기능하는 절연막(404)과, 소스 단자 또는 드레인 단자로서 기능하고, 반도체막(403) 위에 위치하는 도전막(405) 및 도전막(406)을 갖는다.
- [0257] 도전막(401)은 트랜지스터(512)의 게이트 전극에 전위를 부여하는 주사선 GL로서도 기능한다. 또한, 도전막(405)은 화상 신호의 전위를 화소(511)에 부여하는 신호선 SL로서도 기능한다.
- [0258] 또한, 트랜지스터(513)는 절연 표면을 갖는 기판(400) 위에 게이트 전극으로서 기능하는 도전막(407)과, 도전막(407) 위의 게이트 절연막(402)과, 도전막(407)과 중첩되는 위치에 있어서 게이트 절연막(402) 위에 위치하는 반도체막(403)과, 도전막(407)과 중첩되는 위치에 있어서 반도체막(403) 위에 위치하고, 채널 보호막으로서 기능하는 절연막(408)과, 소스 단자 또는 드레인 단자로서 기능하고, 반도체막(403) 위에 위치하는 도전막(409) 및 도전막(410)을 갖는다.
- [0259] 용량 소자(514)는 절연 표면을 갖는 기판(400) 위에 도전막(407)과, 도전막(407) 위의 게이트 절연막(402) 및 반도체막(403)과, 도전막(407)과 중첩되는 위치에 있어서 게이트 절연막(402) 및 반도체막(403) 위에 위치하는 도전막(410)을 갖는다.
- [0260] 또한, 도전막(405), 도전막(406), 도전막(409) 및 도전막(410) 위에는 절연막(411)이 설치되어 있다. 그리고, 절연막(411), 반도체막(403) 및 게이트 절연막(402)에는 개구부(412), 개구부(413) 및 개구부(414)가 설치되어 있다.
- [0261] 개구부(412)는 도전막(406)과, 도전막(409)의 사이에 설치되어 있다. 또한, 개구부(412)가 형성되어 있는 영역의 일부는 도전막(406)이 형성되어 있는 영역의 일부와, 도전막(407)이 형성되어 있는 영역의 일부에 중첩되어 있다. 개구부(412)에 있어서, 도전막(406) 위의 절연막(411)과, 도전막(407) 위의 절연막(411), 반도체막(403) 및 게이트 절연막(402)이 제거되어 있고, 도전막(406) 및 도전막(407)은 도전막(406) 및 도전막(407) 위의 도전막(415)에 의해 전기적으로 접속되어 있다.
- [0262] 개구부(413)는 도전막(410)과, 도전막(405) 및 도전막(406) 사이에 설치되어 있다. 또한, 개구부(413)가 형성되어 있는 영역의 일부는 도전막(409)이 형성되어 있는 영역의 일부에 중첩되어 있다. 개구부(413)에 있어서, 도전막(409) 위의 절연막(411)이 제거되어 있고, 도전막(409)은 도전막(409) 및 절연막(411) 위의, 화소 전극으로서 기능하는 도전막(416)에 접속되어 있다.
- [0263] 개구부(414)는 인접하는 화소(511) 사이의, 도전막(410)과 도전막(405)의 사이에 설치되어 있다. 개구부(414)에 있어서, 절연막(411), 반도체막(403) 및 게이트 절연막(402)이 제거되어 있다.
- [0264] 또한, 도 21 내지 도 23에서는, 개구부(412)가 형성되어 있는 영역의 일부가 도전막(406)이 형성되어 있는 영역의 일부 및 도전막(407)이 형성되어 있는 영역의 일부와 중첩되어 있는 경우를 예시하고 있다. 이 경우, 도전막(406) 및 도전막(415)의 접속과, 도전막(407) 및 도전막(415)의 접속은 모두 개구부(412)에서 행해지게 된다. 그러나, 본 발명의 일 형태에서는 도전막(406) 및 도전막(415)의 접속과, 도전막(407) 및 도전막(415)의 접속이 서로 다른 개구부에서 행해지고 있어도 된다.
- [0265] 도 25에, 도전막(406) 및 도전막(407)과 도전막(415)의 접속 개소에 있어서의, 화소(511)의 단면도의 일례를 도시한다. 도 25에서는, 절연막(411)에 설치한 개구부(412a)에 있어서, 도전막(406)과 도전막(415)이 접속되어 있다. 또한, 절연막(411), 반도체막(403) 및 게이트 절연막(402)에 설치한 개구부(412b)에 있어서, 도전막(407)과 도전막(415)이 접속되어 있다.
- [0266] 단, 도 21 내지 도 23과 같이, 도전막(406) 및 도전막(415)의 접속과, 도전막(407) 및 도전막(415)의 접속이 모두 개구부(412)에서 행하여지는 경우, 복수의 개구부를 형성하기 위한 영역을 확보할 필요가 없기 때문에, 화소부(510)의 고정밀화를 실현할 수 있다.
- [0267] 또한, 도전막(416)을 일부 덮도록 절연막(411) 위에 절연막(417)이 설치되어 있다. 절연막(417)이 갖는 개구부

(418)이 도전막(416)의 일부와 중첩되어 있고, 개구부(418)에 있어서, 도전막(416) 위에 EL층(419) 및 대향 전극으로서 기능하는 도전막(420)이 순서대로 적층되어 있다. 도전막(416), EL층(419) 및 도전막(420)이 적층되어 있는 부분이 발광 소자(515)로서 기능한다.

[0268] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.

[0269] (실시 형태 8)

[0270] 본 실시 형태에서는, 도 21 내지 도 23에 도시된 화소(511)를 예로 들어, 본 발명의 일 형태에 따른 발광 장치의 제조 방법에 대하여 설명한다.

[0271] 우선, 도 26의 (a)에 도시한 바와 같이, 절연 표면을 갖는 기판(400) 위에 게이트 전극으로서 기능하는 도전막(407)을 형성한다.

[0272] 절연 표면을 갖는 기판(400)으로서 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 갖고 있을 필요가 있다. 예를 들어, 퓨전법이나 플로트법으로 제조되는 유리 기판을 사용할 수 있다. 유리 기판으로서는, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730℃ 이상인 것을 사용하면 된다. 또한, 유리 기판에는, 예를 들어, 알루미늄노실리케이트 유리, 알루미늄노붕규산 유리, 바륨붕규산 유리 등의 유리 재료가 사용되고 있다.

[0273] 또한, 상기 유리 기판 대신에, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 사용해도 된다. 그 밖에도, 결정화 유리 등을 사용할 수 있다. 스테인리스 합금 등의 금속 기판의 표면에 절연막을 설치한 기판을 적용해도 된다. 단, 발광 장치가, 발광 소자(515)로부터의 광이 기판(400) 측을 향하는 보텀 에미션 구조를 갖는 경우, 기판(400)에는 투광성을 갖는 기판을 사용한다.

[0274] 도전막(407)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐, 니오븀 등의 금속 재료, 이들 금속 재료를 주성분으로 하는 합금 재료를 사용한 도전막, 또는 이들 금속의 질화물을, 단층으로 또는 적층으로 사용할 수 있다. 또한, 후의 공정에서 행해지는 가열 처리의 온도에 견딜 수 있다면, 상기 금속 재료로서 알루미늄, 구리를 사용할 수도 있다. 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 피하기 위해서, 고용점 금속 재료와 조합하여 사용하면 된다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등을 사용할 수 있다.

[0275] 예를 들어, 2층의 구조를 갖는 도전막(407)으로서, 티타늄막 위에 구리막이 적층된 2층의 구조, 알루미늄막 위에 몰리브덴막이 적층된 2층의 구조, 구리막 위에 몰리브덴막을 적층한 2층의 구조, 구리막 위에 질화티타늄막 또는 질화탄탈막을 적층한 2층의 구조, 또는, 질화티타늄막과 몰리브덴막을 적층한 2층의 구조로 하는 것이 바람직하다. 3층의 구조를 갖는 도전막(407)으로서는, 예를 들어, 질화티타늄막과, 구리막과, 텅스텐막을 적층한 3층의 구조로 하는 것이 바람직하다.

[0276] 또한, 도전막(407)에 산화 인듐, 산화 인듐-산화 주석, 산화 인듐-산화 아연, 산화 아연, 산화 아연알루미늄, 산질화아연알루미늄, 또는 산화 아연갈륨 등의 투광성을 갖는 금속 산화물을 사용할 수도 있다.

[0277] 도전막(407)의 막두께는 10 nm 내지 400 nm, 바람직하게는 100 nm 내지 200 nm로 한다. 본 실시 형태에서는, 스퍼터링법에 의해 막두께 200 nm의 텅스텐막을 형성한 후, 상기 텅스텐막을 포토리소그래피법을 사용한 에칭에 의해 원하는 형상으로 가공(패터닝)함으로써 도전막(407)을 형성한다. 또한, 형성된 도전막(407)의 단부가 테이퍼 형상이면, 그 위에 적층하는 게이트 절연막(402)의 피복성이 향상되기 때문에 바람직하다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에 제조 비용을 저감할 수 있다.

[0278] 또한, 본 실시 형태에서는, 기판(400) 위에 직접 도전막(407)을 형성하는 경우를 예시하고 있지만, 기판(400) 위에 바탕막으로서 기능하는 절연막을 형성하고나서, 상기 바탕막 위에 도전막(407)을 형성해도 된다. 바탕막으로서, 예를 들어, 산화규소막, 산화질화규소막, 질화규소막, 질화산화규소막, 질화알루미늄막, 또는 질화산화알루미늄막 중 어느 하나를 단층으로, 또는 복수를 적층시켜서 사용할 수 있다. 특히, 바탕막에 배리어성이 높은 절연막, 예를 들어 질화규소막, 질화산화규소막, 질화알루미늄막, 산화알루미늄막, 또는 질화산화알루미늄막 등을 사용함으로써 수분, 또는 수소 등의 분위기 중의 불순물, 또는 기판(400) 내에 포함되는 알칼리 금속, 중금속 등의 불순물이, 후에 형성되는 반도체막(403) 내, 게이트 절연막(402) 내, 또는, 반도체막(403)과 다른 절연막의 계면과 그의 근방에 인입하는 것을 방지할 수 있다.

[0279] 또한, 본 명세서에 있어서 산화질화물이란, 그의 조성으로서, 질소보다도 산소의 함유량이 많은 물질이며,

또한, 질화산화물이란, 그의 조성으로서, 산소보다도 질소의 함유량이 많은 물질을 의미한다.

- [0280] 또한, 도 28은 상술한 공정이 종료된 시점에서의, 발광 장치의 상면도이다. 도 28의 일점쇄선 D5-D6에 있어서의 단면도가 도 26의 (a)에 상당한다.
- [0281] 계속해서, 도 26의 (b)에 도시한 바와 같이, 도전막(407) 위에 게이트 절연막(402)을 형성한다. 게이트 절연막(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 질화산화알루미늄막, 산화하프늄막, 산화이트륨막, 산화갈륨막, 산화탄탄막, 또는 산화탄탈막을 단층으로 또는 적층시켜서 형성할 수 있다. 게이트 절연막(402)은 수분, 수소 등의 불순물을 최대한 포함하지 않는 것이 바람직하다.
- [0282] 게이트 절연막(402)은 단층의 절연막으로 구성되어 있어도 되고, 복수의 절연막이 적층됨으로써 구성되어 있어도 된다. 어쨌든, 화학양론적 조성을 초과하는 양의 산소를 포함하는 절연막이, 후에 형성되는 반도체막(403)과 접하도록 게이트 절연막(402)을 형성하는 것이 바람직하다. 상기 구성에 의해, 게이트 절연막(402)으로부터 반도체막(403)에 산소를 공급할 수 있으므로, 양호한 전기적 특성을 갖는 트랜지스터(513)를 얻을 수 있다.
- [0283] 또한, 배리어성이 높은 절연막과, 산소를 포함하는 절연막을 적층시킨 구조를 갖는 게이트 절연막(402)을 형성하는 경우, 배리어성이 높은 절연막은, 산소를 포함하는 절연막과, 도전막(407) 사이에 설치하는 것이 바람직하다. 배리어성이 높은 절연막을 사용함으로써 수분 또는 수소 등의 분위기 중의 불순물, 또는 기판(400) 내에 포함되는 알칼리 금속, 중금속 등의 불순물이, 반도체막(403) 내, 게이트 절연막(402) 내, 또는, 반도체막(403)과 다른 절연막의 계면과 그의 근방에 인입하는 것을 방지할 수 있다. 배리어성이 높은 절연막으로서, 예를 들어 질화규소막, 질화산화규소막, 질화알루미늄막, 산화알루미늄막, 또는 질화산화알루미늄막 등을 들 수 있다.
- [0284] 게이트 절연막(402)의 막두께는 트랜지스터(513)에 요구되는 특성에 따라 적절히 설정하면 되고, 예를 들어 1 nm 이상 800 nm 이하, 바람직하게는 200 nm 이상 500 nm 이하로 한다. 게이트 절연막(402)을 두껍게 형성함으로써 트랜지스터(513)의 내압을 향상시킬 수 있다. 본 실시 형태에서는, 플라즈마 CVD법으로 형성된 막두께 100 nm의 산화질화규소막을 게이트 절연막(402)으로서 사용한다.
- [0285] 계속해서, 도 26의 (b)에 도시한 바와 같이, 게이트 절연막(402) 위에 막두께 2 nm 이상 200 nm 이하, 바람직하게는 막두께 3 nm 이상 50 nm 이하, 더욱 바람직하게는 막두께 3 nm 이상 20 nm 이하의 반도체막(403)을 형성한다. 반도체막(403)은 산화물 반도체를 타깃으로서 사용하여, 스퍼터링법에 의해 형성한다. 또한, 반도체막(403)은 회가스(예를 들어 아르곤) 분위기 하에서, 산소 분위기 하에서, 또는 회가스(예를 들어 아르곤) 및 산소 혼합 분위기 하에서 스퍼터링법에 의해 형성할 수 있다.
- [0286] 또한, 산화물 반도체막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연막(402)의 표면에 부착되어 있는 진애를 제거하는 것이 바람직하다. 역스퍼터란 타깃 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 아산화질소 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 염소, 사불화탄소 등을 첨가한 분위기에서 행해도 된다.
- [0287] 반도체막(403)에 사용하는 산화물 반도체로서, 상술한 바와 같이, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등을 들 수 있다.
- [0288] 또한, 예를 들어, 반도체막(403)은 In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 타깃을 사용한 스퍼터링법에 의해 형성할 수 있다. In-Ga-Zn계의 반도체막(403)을 스퍼터링법으로 형성하는 경우, 바람직하게는, 원자수비가 In:Ga:Zn=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 또는 3:1:4로 나타나는 In-Ga-Zn계 산화물의 타깃을 사용한다. 전술한 원자수비를 갖는 In-Ga-Zn계 산화물의 타깃을 사용하여 산화물 반도체막을 형성함으로써, 다결정 또는 CAAC가 형성되기 쉬워진다. 또한, In, Ga 및 Zn을 포함하는 타깃의 충전율은 90% 이상 100% 이하, 바람직하

게는 95% 이상 100% 미만이다. 충전율이 높은 타깃을 사용함으로써 형성한 산화물 반도체막은 치밀한 막이 된다.

[0289] 또한, 산화물 반도체로서 In-Zn계 산화물을 사용하는 경우, 사용하는 타깃의 조성은 원자수비로 In:Zn=50:1 내지 1:2(몰수비로 환산하면 In_2O_3 : ZnO =25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 In_2O_3 : ZnO =10:1 내지 1:2), 더욱 바람직하게는 In:Zn=1.5:1 내지 15:1(몰수비로 환산하면 In_2O_3 : ZnO =3:4 내지 15:2)로 한다. 예를 들어, In-Zn계 산화물인 반도체막(403)의 형성에 사용하는 타깃은, 원자수비가 In:Zn:O=X:Y:Z인 때, $Z > 1.5X+Y$ 로 한다. Zn의 비율을 상기 범위에 들어가게 함으로써, 이동도의 향상을 실현할 수 있다.

[0290] 또한, 산화물 반도체로서 In-Sn-Zn계 산화물의 재료를 사용하는 경우, 사용하는 타깃의 조성은, In:Sn:Zn의 원자수비를, 1:2:2, 2:1:3, 1:1:1, 또는 20:45:35로 하면 된다.

[0291] 본 실시 형태에서는, 감압 상태로 유지된 처리실 내에 기판을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 도입하고, 상기 타깃을 사용하여 기판(400) 위에 산화물 반도체막을 형성한다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 첨가한 것이어도 된다. 크라이오 펌프를 사용하여 처리실을 배기하면, 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 배기되기 때문에, 상기 처리실에서 형성한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.

[0292] 또한, CAAC-OS로 구성되는 반도체막(403)을 형성하는 방법으로서 세가지를 들 수 있다. 첫째는 성막 온도를 200℃ 이상 450℃ 이하로 하여 반도체막(403)의 형성을 행하는 방법이다. 둘째는 반도체막(403)을 얇은 막두께로 형성한 후, 200℃ 이상 700℃ 이하의 열처리를 행하는 방법이다. 셋째는 1층째의 산화물 반도체막을 얇게 형성한 후, 200℃ 이상 700℃ 이하의 열처리를 행하고, 또한 2층째의 산화물 반도체막의 형성을 행함으로써 반도체막(403)을 형성하는 방법이다.

[0293] 본 실시 형태에서는, 기판(400)과 타깃의 거리를 100 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 기판 온도 250℃로 하고, 아르곤과 산소의 유량이 각각 30 sccm, 15 sccm의 분위기 하에서, In-Ga-Zn계 산화물 반도체를 포함하는, 막두께 25 nm의 반도체막(403)의 형성을 행한다.

[0294] 또한, 반도체막(403)에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서, 형성의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연막(402)까지가 형성된 기판(400)을 예비 가열하여, 기판(400)에 흡착된 수분 또는 수소 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다.

[0295] 또한, 스퍼터 등으로 형성된 반도체막(403) 내에는, 불순물로서의 수분 또는 수소(수산기를 포함함)가 다량으로 포함되어 있는 경우가 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서는 불순물이다. 따라서, 본 발명의 일 형태에서는 반도체막(403)을 형성한 후, 반도체막(403) 내의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)하기 위해서, 반도체막(403)에 대하여 감압 분위기 하, 질소나 희가스 등의 불활성 가스 분위기 하에서 가열 처리를 실시한다.

[0296] 반도체막(403)에 가열 처리를 실시함으로써, 반도체막(403) 내의 수분 또는 수소를 탈리시킬 수 있다. 구체적으로는, 250℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만의 온도에서 가열 처리를 행하면 된다. 가열 처리에 RTA법을 사용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 유리 기판의 변형점을 초과하는 온도에서도 처리할 수 있다. 본 실시 형태에서는, 조건조 에어 분위기 하에서, 450℃에서 1시간 정도, 가열 처리를 행한다.

[0297] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비하고 있어도 된다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로젠 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 기체에는 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.

- [0298] 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 수분 또는 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다.
- [0299] 이상의 공정에 의해, 반도체막(403) 내의 수분 또는 수소의 농도를 저감할 수 있다. 또한, 반도체막(403)에서는, 상기 가열 처리에 의해 수분 또는 수소가 제거됨과 함께, 산소의 탈리에 의한 산소 결손이 증가하고 있을 우려가 있다. 따라서, 상기 가열 처리 후에, 반도체막(403)에 산소를 공급하는 처리를 행하여 산소 결손을 저감시키는 것이 바람직하다.
- [0300] 수분 또는 수소의 농도가 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 반도체막(403)을 사용함으로써 내압성이 높고, 오프 전류가 현저하게 작은 트랜지스터(513)를 제조할 수 있다.
- [0301] 예를 들어, 산소를 포함하는 가스 분위기 하에서 가열 처리를 행함으로써, 반도체막(403)에 산소를 공급할 수 있다. 산소를 공급하기 위한 가열 처리는 상술한, 수분 또는 수소의 농도를 저감하기 위한 가열 처리와 동일한 조건으로 행하면 된다. 단, 산소를 공급하기 위한 가열 처리는, 산소 가스, 또는 조건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20 ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1 ppm 이하, 바람직하게는 10 ppb 이하의 공기) 등의 분위기 하에서 행한다.
- [0302] 상기 산소를 포함하는 가스에는, 물, 수소 등의 농도가 낮은 것이 바람직하다. 구체적으로는, 산소를 포함하는 가스 내에 포함되는 불순물 농도를, 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 하는 것이 바람직하다.
- [0303] 또는, 이온 주입법, 이온 도핑법, 플라즈마 이멀전 이온 임플란테이션법, 플라즈마 처리 등을 사용하여 반도체막(403)에 산소를 공급할 수 있다. 상기 방법을 사용하여 산소를 반도체막(403)에 공급한 후, 반도체막(403)에 포함되는 결정부가 손상을 받은 경우에는, 가열 처리를 행하여 손상을 받은 결정부를 수복하도록 해도 된다.
- [0304] 반도체막(403)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0305] 계속해서, 도 26의 (c)에 도시한 바와 같이, 반도체막(403) 위에 절연막을 형성한 후, 포토리소그래피법을 사용한 에칭에 의해 원하는 형상으로 가공함으로써 채널 보호막으로서 기능하는 섬 형상의 절연막(408)을 형성한다. 절연막(408)은 반도체막(403) 위에 있어서 도전막(407)과 중첩되는 위치에 설치한다.
- [0306] 절연막(408)의 막두께는 50 nm 이상 600 nm 이하, 바람직하게는 100 nm 이상 400 nm 이하로 한다. 그리고, 절연막(408)은 게이트 절연막(402)과 동일한 구조, 재료를 사용하여 형성할 수 있다. 그리고, 절연막(408)은 게이트 절연막(402)과 마찬가지로, 수분, 수소 등의 불순물을 최대한 포함하지 않는 것이 바람직하고, 또한, 화학양론적 조성을 초과하는 양의 산소를 포함하는 것이 바람직하다. 상기 구성에 의해, 반도체막(403) 내에 있어서의 수분, 수소 등의 불순물의 농도를 낮게 억제하고, 또한 절연막(408)으로부터 반도체막(403)에 산소를 공급할 수 있으므로, 양호한 전기적 특성을 갖는 트랜지스터(513)를 얻을 수 있다.
- [0307] 본 실시 형태에서는, 플라즈마 CVD법으로 형성한 막두께 300 nm의 산화질화규소막을 절연막(408)으로서 사용한다.
- [0308] 또한, 절연막(408)으로서, 적어도 In 또는 Zn 중의 하나를 포함하는 금속 산화물이며, 또한, Ti, Zr, Hf, Ge, Ce 등을 포함함으로써, 반도체막(403)보다도 절연성이 높아진 금속 산화물을 사용해도 된다.
- [0309] 예를 들어, In-M₁-M₂-Zn계 산화물을 절연막(408)에 사용해도 된다. 단, 원소 M₁은, 3A족, 3B족 및 4A족에 포함되는 원소 중, 3가의 원소이다. 원소 M₂는 4A족 및 4B족에 포함되는 원소 중, 4가의 원소이다. 구체적으로, 원소 M₁에 Ga를 사용하는 경우, In-M₁-M₂-Zn계 산화물에 있어서, 3가의 Ga의 일부가 4가의 원소로 치환되게 된다. 4가의 원소는 3가의 원소보다도 결합손이 1개 많으므로, 3가의 원소의 일부를 4가의 원소로 치환함으로써 In-M₁-M₂-Zn계 산화물을 구성하는 금속 원소(M₁ 또는 M₂)와 산소의 결합력을 높일 수 있다. 따라서, In-M₁-M₂-Zn계 산화물을 절연막(408)에 사용함으로써 절연막(408)의 절연성을 높일 수 있다. 구체적으로, 원소 M₂로서 Ti, Zr, Hf, Ge, Ce 등을 들 수 있다.
- [0310] 예를 들어, In:Zr:Ga:Zn=3:0.05:0.95:2의 타깃을 사용하여, 스퍼터링법에 의해, In-M₁-M₂-Zn계 산화물을 사용한 절연막(408)을 형성하면 된다.

- [0311] 또한, 예를 들어, 화학식 InMZnO_x 로 표현되는 In-M-Zn계 산화물을 절연막(408)에 사용해도 된다. 원소 M으로서, In-M-Zn계 산화물의 절연성이 반도체막(403)을 구성하는 금속 산화물의 절연성보다도 높아지는 원소를 적용한다. 예를 들어, 원소 M으로서, Ti, Zr, Hf, Ge, Ce 등의 4가의 원소를 적용할 수 있다. 4가의 원소는 3가의 원소보다도 결합손이 1개 많으므로, 이들 4가의 원소를 원소 M으로서 사용한 In-M-Zn계 산화물은 원소 M과 산소의 결합력이 높다. 따라서, In-M-Zn계 산화물을 절연막(408)에 사용함으로써 절연막(408)의 절연성을 높일 수 있다.
- [0312] 예를 들어, 원소 M으로서 Zr를 사용한 In-Zr-Zn계 산화물의 에너지갭은 In-Ga-Zn계 산화물의 에너지갭(약 3.2 eV)보다도 커진다. 즉, In-Zr-Zn계 산화물은 In-Ga-Zn계 산화물보다도 절연성이 높다고 할 수 있다.
- [0313] 또한, 이트륨은 Ga보다도 전기 음성도가 작다. 그로 인해, In-M₁-M₂-Zn계 산화물에 있어서, 원소 M₂를 이트륨으로 하면, 산소와 원소 M₂의 전기 음성도의 차를 크게 할 수 있어, 금속 산화물 중에서의 산소와의 이온 결합에 의한 결합을 보다 강하게 할 수 있다. 따라서, 원소 M₂를 이트륨으로 하여도 In-M₁-M₂-Zn계 산화물을 사용한 절연막(408)의 절연성을 높일 수 있다. 또한, In-M-Zn계 산화물에 있어서, 원소 M을 이트륨으로 하면, 산소와 원소 M의 전기 음성도의 차를 크게 할 수 있어, 금속 산화물 중에서의 산소와의 이온 결합에 의한 결합을 보다 강하게 할 수 있다. 따라서, 원소 M을 이트륨으로 하여도 In-M-Zn계 산화물을 사용한 절연막(408)의 절연성을 높일 수 있다.
- [0314] 또한, In-M-Zn계 산화물 중의 원소 M의 함유량은, In의 함유량의 0.3배 이상 1.3배 미만이다. 또한, In-M-Zn계 산화물 중의 원소 M의 함유량은, Zn의 함유량의 0.3배 이상 1.3배 미만이다. 원소 M에 대한 In 또는 Zn의 상대적인 수가 적을수록, 보다 절연성이 높은 절연막(408)을 얻을 수 있다.
- [0315] 구체적으로는, 원소 M을 포함시킨 금속 산화물 재료를 스퍼터링법으로 형성하는 경우, 바람직하게는 원자수비가 In:M:Zn=1:1:1, 3:1:3, 3:2:4, 2:1:3, 4:5:4, 또는 4:2:3으로 나타나는 금속 산화물 타겟을 사용한다.
- [0316] In-M-Zn계 산화물이나, In-M₁-M₂-Zn계 산화물을 절연막(408)에 사용함으로써 절연막(408)과 반도체막(403)의 계면의 상태를 양호하게 유지할 수 있어, 트랜지스터(513)의 전기적 특성을 양호하게 할 수 있다.
- [0317] 또한, 절연막(408)을 형성하기 위한 에칭에 의해 노출된 반도체막(403)의 표면에는 불순물이 부착되기 쉽다. 상기 불순물에는 에칭에 사용한 에칭 가스 또는 에칭액을 구성하는 원소, 또는 에칭을 행한 처리실 내에 존재하는 원소 등이 포함된다. 상기 불순물로서, 구체적으로는, 붕소, 염소, 불소, 탄소, 알루미늄 등을 들 수 있다.
- [0318] 상기 불순물이 반도체막(403)의 표면에 부착되면, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기적 특성의 열화가 초래되기 쉽다. 또한, 반도체막(403)에 기생 채널이 발생하기 쉬워져, 전기적으로 분리되어야 할 도전막이 반도체막(403)을 통하여 전기적으로 접속되기 쉬워진다. 따라서, 본 발명의 일 형태에서는 절연막(408)을 형성하기 위한 에칭이 종료한 후, 반도체막(403) 및 절연막(408)의 표면에 부착된 불순물을 제거하기 위한 세정 처리를 행한다.
- [0319] 세정 처리는 TMAH(수산화 테트라메틸암모늄) 용액 등의 알칼리성의 용액, 물, 또는 희석 불산 등을 사용하여 행할 수 있다. 구체적으로, 희석 불산을 세정 처리에 사용하는 경우, 50 중량% 불산을, 물로 1/10² 내지 1/10⁵로 희석하여 세정 처리에 사용하는 것이 바람직하다. 즉, 농도가 0.5 중량% 내지 5×10⁻⁴ 중량%인 희석 불산을 세정 처리에 사용하는 것이 바람직하다. 세정 처리에 의해 반도체막(403) 및 절연막(408)의 표면에 부착된 상기 불순물을 제거할 수 있다. 또한, 세정 처리에 희석 불산을 사용하면, 반도체막(403)에 부착된 불순물을 반도체막(403)의 일부와 함께 제거할 수 있다.
- [0320] 계속해서, 반도체막(403) 위에 스퍼터링법이나 진공 증착법에서 도전막을 형성한 뒤, 포토리소그래피법을 사용한 에칭에 의해 상기 도전막을 패터닝함으로써, 도 26의 (d)에 도시한 바와 같이, 반도체막(403) 위에 있어서, 절연막(408)을 사이에 개재하여 설치된 도전막(409) 및 도전막(410)을 형성한다. 도전막(409) 및 도전막(410)은 트랜지스터(513)의 소스 전극 또는 드레인 전극으로서 기능한다.
- [0321] 도전막(409) 및 도전막(410)은 도전막(407)과 동일한 구조, 재료를 사용할 수 있다. 도전막(409) 및 도전막(410)의 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 견디는 내열성을 도전막(409) 및 도전막(410)에 갖게 하는 것이 바람직하다. 본 실시 형태에서는, 도전막(409) 및 도전막(410)으로서, 막두께 150 nm의 텅스텐막을 사용한다.

- [0322] 또한, 도전막(409) 및 도전막(410)을 형성하기 위한 에칭 시에, 반도체막(403)이 가능한 한 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 에칭 조건에 따라서는, 반도체막(403)이 노출된 부분이 일부 에칭됨으로써, 홈부(오목부)가 형성되는 경우도 있다.
- [0323] 본 실시 형태에서는, ICP 에칭법에 의한 건식 에칭을 사용하여 도전막(409) 및 도전막(410)을 형성한다. 구체적으로는, 에칭 가스인 육불화황의 유량을 50 sccm, 반응 압력 1.5 Pa, 하부 전극의 온도 70℃, 코일형의 전극에 투입하는 RF(13.56 MHz) 전력을 500 W, 하부 전극(바이어스측)에 투입하는 전력을 50 W로 한 후, 에칭 가스인 삼염화붕소의 유량을 60 sccm, 염소의 유량 20 sccm, 반응 압력 1.9 Pa, 하부 전극의 온도 21℃, 코일형의 전극에 투입하는 RF(13.56 MHz) 전력 450 W, 하부 전극(바이어스측)에 투입하는 전력 100 W가 되도록 도중에 조건을 변경하여 건식 에칭을 행한다.
- [0324] 또한, 포토리소그래피법에서 사용하는 마스크수 및 공정수를 삭감하기 위해서, 투과한 광에 다단계의 강도를 갖게 하는 다계조 마스크에 의해 형성된 레지스트 마스크를 사용하여 에칭 공정을 행해도 된다. 다계조 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막두께를 갖는 형상으로 되고, 에칭을 행함으로써 더욱 형상을 변형할 수 있기 때문에, 서로 다른 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 1매의 다계조 마스크에 의해 적어도 2종류 이상의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있어, 공정의 간략화가 가능해진다.
- [0325] 또한, 도전막(409) 및 도전막(410)을 형성하기 위한 에칭에 의해 노출된 반도체막(403) 및 절연막(408)의 표면에는, 붕소, 염소, 불소, 탄소, 알루미늄 등의 불순물이 부착되기 쉽다. 또한, 상기 불순물에는, 도전막(409) 및 도전막(410)을 구성하는 원소도 포함되는 경우가 있다.
- [0326] 상기 불순물이 반도체막(403)의 표면에 부착되면, 상술한 바와 같이, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기적 특성의 열화가 초래되기 쉽다. 또한, 반도체막(403)에 기생 채널이 발생하기 쉬워져, 전기적으로 분리되어야 할 도전막이 반도체막(403)을 통하여 전기적으로 접속되기 쉬워진다. 따라서, 본 발명의 일 형태에서는 도전막(409) 및 도전막(410)을 형성하기 위한 에칭이 종료한 후, 반도체막(403) 및 절연막(408)의 표면에 부착된 불순물을 제거하기 위한 세정 처리를 행한다.
- [0327] 세정 처리는 TMAH 용액 등의 알칼리성의 용액, 물, 또는 희석 불산 등을 사용하여 행할 수 있다. 구체적으로, 희석 불산을 세정 처리에 사용하는 경우, 50 중량% 불산을, 물로 $1/10^2$ 내지 $1/10^5$ 로 희석하여 세정 처리에 사용하는 것이 바람직하다. 즉, 농도가 0.5 중량% 내지 5×10^{-4} 중량%인 희석 불산을 세정 처리에 사용하는 것이 바람직하다. 세정 처리에 의해 반도체막(403) 및 절연막(408)의 표면에 부착된 상기 불순물을 제거할 수 있다. 또한, 세정 처리에 희석 불산을 사용하면, 반도체막(403)에 부착된 불순물을 반도체막(403)의 일부와 함께 제거할 수 있다.
- [0328] 또한, 본 실시 형태에서는, 에칭 후에 있어서의 불순물 제거를 목적으로 한 세정 처리를, 절연막(408)의 형성 후와, 도전막(409) 및 도전막(410)의 형성 후의 2회 행하는 경우에 대하여 설명했지만, 본 발명의 일 형태에서는 상기 세정 처리를 어느쪽이든 1회만 해도 된다.
- [0329] 또한, 도 29는 상술한 공정이 종료된 시점에서의, 발광 장치의 상면도이다. 도 29의 일점쇄선 D5-D6에 있어서의 단면도가 도 26의 (d)에 상당한다.
- [0330] 계속해서, 도 27의 (a)에 도시한 바와 같이, 반도체막(403)과, 절연막(408)과, 도전막(409) 및 도전막(410)을 덮도록 절연막(411)을 형성한다. 절연막(411)은 수분이나, 수소 등의 불순물을 최대한 포함하지 않는 것이 바람직하고, 단층의 절연막이어도 되고, 적층된 복수의 절연막으로 구성되어 있어도 된다. 절연막(411)에 수소가 포함되면, 그 수소가 반도체막(403)에 침입하거나, 또는 수소가 반도체막(403) 내의 산소를 뽑아내어, 반도체막(403)의 표면 근방이 저저항화(n형화)되어버린다. 그리고, 저저항화한 반도체막(403)의 표면 근방에는 기생 채널이 형성되기 쉬워, 기생 채널에 의해 도전막(409) 또는 도전막(410)과, 반도체막(403) 위의 다른 도전막이 전기적으로 접속될 우려가 있다. 따라서, 절연막(411)은 가능한 한 수소를 포함하지 않는 막이 되도록 성막 방법에 수소를 사용하지 않는 것이 중요하다.
- [0331] 또한, 상기 세정 처리를 행한 경우에도, 절연막(411)을 형성하기 전에 기판(400)을 대기에 노출시키면, 대기 중에 포함되는 탄소 등의 불순물이 반도체막(403) 및 절연막(408)의 표면에 부착되는 경우가 있다. 따라서, 본 발명의 일 형태에서는 절연막(411)을 형성하기 위한 처리실 내에서, 절연막(411)을 형성하기 전에, 반도체막(403) 및 절연막(408)의 표면에 부착된 탄소 등의 불순물을, 산소, 일산화이질소, 또는 희가스(대표적으로는 아

르곤) 등을 사용한 플라즈마 처리에 의해 세정하여 탄소 등의 불순물을 제거하도록 해도 된다. 그리고, 플라즈마 처리에 의한 불순물의 제거를 행한 후, 기관(400)을 대기에 노출시키지 않고, 절연막(411)을 형성함으로써, 반도체막(403) 및 절연막(408)과 절연막(411)의 계면 근방에 불순물이 인입하는 것을 방지하여, 트랜지스터의 오프 전류의 증가, 또는 트랜지스터의 전기적 특성의 열화를 방지할 수 있다.

[0332] 또한, 상기 절연막(411)에는 배리어성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어, 배리어성이 높은 절연막으로서, 질화규소막, 질화산화규소막, 질화알루미늄막, 산화알루미늄막, 또는 질화산화알루미늄막 등을 사용할 수 있다. 복수의 적층된 절연막을 사용하는 경우, 산소를 포함하는 산화규소막, 산화질화규소막 등의 절연막을, 상기 배리어성이 높은 절연막보다도, 반도체막(403)에 가까운 측에 형성한다. 그리고, 산소를 포함하는 절연막을 개재하여, 반도체막(403)과 중첩되도록 배리어성이 높은 절연막을 형성한다. 배리어성이 높은 절연막을 사용함으로써 반도체막(403) 내, 게이트 절연막(402) 내, 또는, 반도체막(403)과 다른 절연막의 계면과 그의 근방에 수분 또는 수소 등의 불순물이 인입하는 것을 방지할 수 있다.

[0333] 또한, 복수의 적층된 절연막을 절연막(411)으로서 사용하는 경우, 1층째 이외의 절연막으로서, 예를 들어, 아크릴 수지, 폴리이미드 수지, 벤조시클로부텐계 수지, 폴리아미드 수지, 에폭시 수지 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 이외에, 실록산계 수지, 산화규소, 질화규소, 산화질화규소, 질화산화규소, 알루미늄 등을 사용할 수 있다. 실록산계 수지는, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성되는 재료이다. 치환기로서, 수소 외에, 불소, 플루오로기, 유기기(예를 들어 알킬기, 방향족 탄화수소) 중 적어도 1종을 갖고 있어도 된다. 그리고, 절연막(411)의 형성에는, 그의 재료에 따라, CVD법, 스퍼터링법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법), 인쇄법(스크린 인쇄, 오프셋 인쇄 등) 등의 방법으로 형성한다. 또한, 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 기구를 사용하여 형성해도 된다. 또는, 1층째 이외의 절연막으로서, 유기 실란을 사용하여 화학 기상 성장법에 의해 제조되는 산화규소막을 사용할 수도 있다. 유기 실란으로서, 규산에틸(TEOS: $\text{Si}(\text{OC}_2\text{H}_5)_4$), 트리메틸실란(TMS: $(\text{CH}_3)_3\text{SiH}$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리시디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등을 사용할 수 있다.

[0334] 본 실시 형태에서는, 스퍼터링법으로 형성된 막두께 300 nm의 산화규소막을 절연막(411)으로서 사용한다. 성막시의 기관 온도는 실온 이상 300℃ 이하로 하면 되고, 본 실시 형태에서는 100℃로 한다.

[0335] 계속해서, 도 27의 (b)에 도시한 바와 같이, 게이트 절연막(402), 반도체막(403) 및 절연막(411)을 포토리소그래피법을 사용한 에칭에 의해 원하는 형상으로 가공함으로써 개구부(412) 내지 개구부(414)을 형성한다.

[0336] 본 실시 형태에서는, ICP 에칭법에 의한 건식 에칭을 사용하여 게이트 절연막(402), 반도체막(403) 및 절연막(411)을 패터닝한다. 구체적으로는, 에칭 가스인 트리플루오로메탄, 헬륨, 메탄의 유량을 각각 22.5 sccm, 127.5 sccm, 5 sccm, 반응 압력을 3.5 Pa, 하부 전극의 온도 21℃, 코일형의 전극에 투입하는 RF(13.56 MHz) 전력을 475 W, 하부 전극(바이어스측)에 투입하는 전력을 300 W로 하여 건식 에칭을 행한다.

[0337] 개구부(413)가 형성되는 영역은, 도전막(409)이 형성되어 있는 영역의 일부와 중첩되어 있기 때문에, 개구부(413)에 있어서 도전막(409)은 부분적으로 노출된다.

[0338] 또한, 도 30은 상술한 공정이 종료된 시점에서의 발광 장치의 상면도이다. 도 30의 일점쇄선 D5-D6에 있어서의 단면도가 도 27의 (b)에 상당한다.

[0339] 계속해서, 도 27의 (b)에 도시한 바와 같이, 개구부(413)에 있어서 도전막(409)과 접하는 도전막(416)을 형성한다. 도전막(416)은 화소 전극으로서 기능하고, 그의 일부는 절연막(411) 위에도 설치되어 있다.

[0340] 계속해서, 도 27의 (c)에 도시한 바와 같이, 도전막(416)의 일부를 덮도록 도전막(416) 위에 개구부(418)를 갖는 절연막(417)을 형성한다. 절연막(417)의 개구부(418)에 있어서 도전막(416)은 그의 일부가 노출되어 있다. 절연막(417)은 유기 수지막, 무기 절연막 또는 실록산계 절연막을 사용하여 형성할 수 있다. 유기 수지막이면, 예를 들어 아크릴 수지, 폴리이미드 수지, 폴리아미드 수지 등, 무기 절연막이면 산화규소, 질화산화규소 등을 사용할 수 있다. 특히 감광성의 유기 수지막을 절연막(417)에 사용하고, 도전막(416) 위에 개구부(418)를 형성하고, 그 개구부(418)의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성함으로써, 도전막(416)과, 후에 형성되는 도전막(420)이 접촉하는 것을 방지할 수 있다. 개구부(418)를 형성하기 위한 마스크를, 액적 토출법 또는 인쇄법으로 형성할 수 있다. 또한 절연막(417) 자체를, 액적 토출법 또는 인쇄법으로 형성할 수도 있다.

- [0341] 계속해서, 도전막(416) 및 절연막(417) 위에 EL층(419) 및 도전막(420)을 순서대로 적층하도록 형성한다. 상기 공정에 의해, 절연막(417)의 개구부(418)에 있어서 도전막(416), EL층(419) 및 도전막(420)이 순서대로 적층된 발광 소자(515)를 형성할 수 있다.
- [0342] 또한, 발광 소자(515)는 발광 소자(515)로부터의 광이 기관(400)의 방향으로 향하는 톱에미션 구조이거나, 발광 소자(515)로부터의 광이 기관(400)과 반대측의 방향으로 향하는 보텀 에미션 구조여도 된다. 또는, 발광 소자(515)로부터의 광이 기관(400)의 방향과, 기관(400)과 반대측의 방향으로 향하는 듀얼에미션 구조여도 된다. 상기 3개의 구조 중, 목적으로 하는 구조에 맞춰서, 도전막(416), 도전막(420)의, 각각의 재료 및 막두께를 선택하도록 한다.
- [0343] 구체적으로 도전막(416) 또는 도전막(420)으로서, 산화 인듐, 산화 인듐-산화 주석(ITO: Indium Tin Oxide), 규소 또는 산화규소를 함유한 산화 인듐-산화 주석, 산화 인듐-산화 아연(Indium Zinc Oxide), 산화 텅스텐 및 산화 아연을 함유한 산화 인듐, 질소를 포함시킨 Al-Zn계 산화물 반도체, 질소를 포함시킨 Zn계 산화물 반도체, 질소를 포함시킨 Sn-Zn계 산화물 반도체, 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 티타늄(Ti) 외에, 원소 주기율표의 제1족 또는 제2족에 속하는 원소, 즉 리튬(Li)이나 세슘(Cs) 등의 알칼리 금속 및 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr) 등의 알칼리 토금속 및 이들을 포함하는 합금(MgAg, AlLi), 유로퓸(Eu), 이테르븀(Yb) 등의 희토류 금속 및 이들을 포함하는 합금 등을 사용할 수 있다. 또한, 도전막(416)은 예를 들어 스퍼터링법이나 증착법(진공 증착법을 포함함) 등에 의해 상기 재료를 사용하여 도전막을 형성한 후, 포토리소그래피법을 사용한 에칭에 의해 상기 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다.
- [0344] 또한, 발광 소자(515)를 형성하면, 발광 소자(515)가 외기에 노출되지 않도록 발광 소자(515)를 기관(400)과 커버재의 사이에 봉입하는 것이 바람직하다.
- [0345] 또한, 본 실시 형태에서는, 트랜지스터(513)가 싱글 게이트 구조인 경우를 예시하고 있지만, 필요에 따라, 전기적으로 접속된 복수의 도전막(407)을 가짐으로써, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 트랜지스터도 형성할 수 있다.
- [0346] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0347] (실시 형태 9)
- [0348] 본 발명의 일 형태에 따른 발광 장치에서는, 백색 등의 단색의 광을 발하는 발광 소자와, 컬러 필터를 조합함으로써 풀컬러 화상의 표시를 행하는 컬러 필터 방식을 채용할 수 있다. 또는, 서로 다른 색상의 광을 발하는 복수의 발광 소자를 사용하여 풀컬러 화상의 표시를 행하는 방식을 채용할 수도 있다. 이 방식은 발광 소자가 갖는 한 쌍의 전극 사이에 설치되는 EL층을 대응하는 색마다 구분 도포하기 때문에, 구분 도포 방식이라고 불린다.
- [0349] 구분 도포 방식의 경우, EL층의 구분 도포는, 통상, 메탈 마스크 등의 마스크를 사용하여 증착법으로 행해진다. 그로 인해, 화소의 크기는 증착법에 의한 EL층의 구분 도포 정밀도에 의존한다. 한편, 컬러 필터 방식의 경우, 구분 도포 방식과는 달리, EL층의 구분 도포를 행할 필요가 없다. 따라서, 구분 도포 방식의 경우보다도 화소 크기의 축소화가 용이해서, 고정밀의 화소부를 실현할 수 있다.
- [0350] 또한, 발광 장치에는, 트랜지스터가 형성된 기관, 소위 소자 기관 측으로부터 발광 소자의 광을 취출하는 보텀 에미션 구조와, 소자 기관과는 반대인 측으로부터 발광 소자의 광을 취출하는 톱에미션 구조가 있다. 톱에미션 구조의 경우, 발광 소자로부터 발해지는 광을, 배선, 트랜지스터, 용량 소자 등의 각종 소자에 의해 차단되는 경우가 없기 때문에, 보텀 에미션 구조에 비하여 화소로부터의 광의 취출 효율을 높일 수 있다. 따라서, 톱에미션 구조는 발광 소자에 공급하는 전류값을 낮게 억제해도 높은 휘도를 얻을 수 있기 때문에, 발광 소자의 장수명화에 유리하다.
- [0351] 또한, 본 발명의 일 형태에 따른 발광 장치에서는, EL층으로부터 발해지는 광을 발광 소자 내에서 공진시키는, 마이크로캐비티(미소 광공진기) 구조를 갖고 있어도 된다. 마이크로캐비티 구조에 의해, 특정한 파장의 광에 대해서, 발광 소자로부터의 취출 효율을 높일 수 있으므로, 화소부의 휘도와 색순도를 향상시킬 수 있다.
- [0352] 도 31에 화소의 단면도를 일례로서 도시한다. 또한, 도 31에서는, 적색에 대응하는 화소의 단면의 일부, 청색에 대응하는 화소의 단면의 일부와, 녹색에 대응하는 화소의 단면의 일부를 나타내고 있다.
- [0353] 구체적으로, 도 31에서는, 적색에 대응한 화소(340r)와, 녹색에 대응한 화소(340g)와, 청색에 대응한 화소

(340b)가 나타나고 있다. 화소(340r), 화소(340g), 화소(340b)는 각각 양극(715r), 양극(715g), 양극(715b)을 갖는다. 상기 양극(715r), 양극(715g), 양극(715b)은 화소(340r), 화소(340g), 화소(340b) 각각에 있어서, 기관(740)에 형성된 절연막(750) 위에 설치되어 있다.

[0354] 그리고, 양극(715r), 양극(715g) 및 양극(715b) 위에는 절연막을 갖는 격벽(730)이 설치되어 있다. 격벽(730)은 개구부를 갖고, 상기 개구부에 있어서, 양극(715r), 양극(715g) 및 양극(715b)이 각각 일부 노출되어 있다. 또한, 상기 노출되어 있는 영역을 덮도록 격벽(730) 위에 EL층(731)과, 가시광에 대하여 투광성을 갖는 음극(732)이 순서대로 적층되어 있다.

[0355] 양극(715r)과, EL층(731)과, 음극(732)이 중첩되는 부분이 적색에 대응한 발광 소자(741r)에 상당한다. 양극(715g)과, EL층(731)과, 음극(732)이 중첩되는 부분이 녹색에 대응한 발광 소자(741g)에 상당한다. 양극(715b)과, EL층(731)과, 음극(732)이 중첩되는 부분이 청색에 대응한 발광 소자(741b)에 상당한다.

[0356] 또한, 기관(742)은 발광 소자(741r), 발광 소자(741g) 및 발광 소자(741b)를 사이에 개재하여 기관(740)과 대치하고 있다. 기관(742) 위에는, 화소(340r)에 대응한 착색층(743r), 화소(340g)에 대응한 착색층(743g), 화소(340b)에 대응한 착색층(743b)이 설치되어 있다. 착색층(743r)은 적색에 대응한 파장 영역의 광의 투과율이 다른 파장 영역의 광의 투과율보다 높은 층이며, 착색층(743g)은 녹색에 대응한 파장 영역의 광의 투과율이 다른 파장 영역의 광의 투과율보다 높은 층이며, 착색층(743b)은 청색에 대응한 파장 영역의 광의 투과율이 다른 파장 영역의 광의 투과율보다 높은 층이다.

[0357] 또한, 기관(742) 위에는, 착색층(743r), 착색층(743g), 착색층(743b)을 덮도록 오버코트(744)가 설치되어 있다. 오버코트(744)는 착색층(743r), 착색층(743g), 착색층(743b)을 보호하기 위한, 가시광에 대하여 투광성을 갖는 층이며, 평탄성이 높은 수지 재료를 사용하는 것이 바람직하다. 착색층(743r), 착색층(743g) 및 착색층(743b)과, 오버코트(744)를 합쳐서 컬러 필터라고 간주해도 되고, 착색층(743r), 착색층(743g) 및 착색층(743b) 각각을 컬러 필터라고 간주해도 된다.

[0358] 그리고, 도 31에서는, 양극(715r)에 가시광의 반사율이 높은 도전막(745r)과, 가시광의 투과율이 상기 도전막(745r)보다도 높은 도전막(746r)을 순서대로 적층하여 사용한다. 또한, 양극(715g)에 가시광의 반사율이 높은 도전막(745g)과, 가시광의 투과율이 상기 도전막(745g)보다도 높은 도전막(746g)을 순서대로 적층하여 사용한다. 도전막(746g)의 막두께는 도전막(746r)의 막두께보다도 작은 것으로 한다. 또한, 양극(715b)에 가시광의 반사율이 높은 도전막(745b)을 사용한다.

[0359] 따라서, 도 31에 도시하는 발광 장치에서는, 발광 소자(741r)에 있어서, EL층(731)로부터 발해진 광의 광로 길이는 도전막(745r)과 음극(732)의 거리에 의해 조절할 수 있다. 또한, 발광 소자(741g)에 있어서, EL층(731)로부터 발해진 광의 광로 길이는 도전막(745g)과 음극(732)의 거리에 의해 조절할 수 있다. 또한, 발광 소자(741b)에 있어서, EL층(731)로부터 발해진 광의 광로 길이는 도전막(745b)과 음극(732)의 거리에 의해 조절할 수 있다.

[0360] 본 발명의 일 형태에서는 발광 소자(741r)와, 발광 소자(741g)와, 발광 소자(741b)에 각각 대응하는 광의 파장에 맞춰서 상기 광로 길이를 조정함으로써, EL층(731)로부터 발해진 광을 상기 각 발광 소자 내에서 공진시키는, 마이크로캐비티 구조로 해도 된다.

[0361] 상기 마이크로캐비티 구조를, 본 발명의 일 형태에 따른 발광 장치에 채용함으로써, 발광 소자(741r)로부터 발해지는 광에 있어서, 적색에 대응한 파장을 갖는 광의 강도가 공진에 의해 높아진다. 따라서, 착색층(743r)을 통하여 얻어지는 적색의 광의 색순도 및 휘도가 높아진다. 또한, 발광 소자(741g)로부터 발해지는 광에 있어서, 녹색에 대응한 파장을 갖는 광의 강도가 공진에 의해 높아진다. 따라서, 착색층(743g)을 통하여 얻어지는 녹색의 광의 색순도 및 휘도가 높아진다. 또한, 발광 소자(741b)으로부터 발해지는 광에 있어서, 청색에 대응한 파장을 갖는 광의 강도가 공진에 의해 높아진다. 따라서, 착색층(743b)을 통하여 얻어지는 청색의 광의 색순도 및 휘도가 높아진다.

[0362] 또한, 도 31에서는, 적색, 녹색, 청색의 3색에 대응하는 화소를 사용하는 구성에 대하여 도시하였지만, 본 발명의 일 형태에서는 상기 구성에 한정되지 않는다. 본 발명의 일 형태에서 사용하는 색의 조합은, 예를 들어, 적색, 녹색, 청색, 황색의 4색, 또는, 시안, 마젠타, 옐로우의 3색을 사용하고 있어도 된다. 또는, 상기 색의 조합은, 담색의 적색, 녹색 및 청색 및 농색의 적색, 녹색 및 청색의 6색을 사용하고 있어도 된다. 또는, 상기 색의 조합은, 적색, 녹색, 청색, 시안, 마젠타, 옐로우의 6색을 사용하고 있어도 된다.

[0363] 또한, 예를 들어, 적색, 녹색 및 청색 화소를 사용하여 표현할 수 있는 색은, 색도도 상의 각각의 발광색에 대

응하는 3점이 그리는 삼각형의 내측에 나타나는 색에 한정된다. 따라서, 적색, 녹색, 청색, 황색의 화소를 사용한 경우와 같이, 색도도 상의 상기 삼각형의 외측에 발광색이 존재하는 발광 소자를 별도 추가함으로써, 상기 발광 장치에 있어서 표현할 수 있는 색 영역을 확대하여, 색 재현성을 풍부하게 할 수 있다.

[0364] 또한, 도 31에서는, 발광 소자(741r), 발광 소자(741g), 발광 소자(741b) 중, 광의 파장 λ 가 가장 짧은 발광 소자(741b)에 있어서, 가시광의 반사율이 높은 도전막(745b)을 양극으로서 사용하고, 다른 발광 소자(741r), 발광 소자(741g)에 있어서는, 막두께가 서로 다른 도전막(746r) 및 도전막(746g)을 사용함으로써 광로 길이를 조정하고 있다. 본 발명의 일 형태에서는 파장 λ 가 가장 짧은 발광 소자(741b)에 있어서도, 가시광의 반사율이 높은 도전막(745b) 위에 도전막(746r) 및 도전막(746g)과 같은, 투과율이 높은 도전막을 설치하고 있어도 된다. 단, 도 31에 도시한 바와 같이, 파장 λ 가 가장 짧은 발광 소자(741b)에 있어서, 가시광의 반사율이 높은 도전막(745b)으로 양극을 구성하는 경우, 모든 발광 소자에 있어서, 양극에 투과율이 높은 도전막을 사용하는 경우보다도 양극의 제조 공정이 간소화되기 때문에 바람직하다.

[0365] 또한, 가시광의 반사율이 높은 도전막(745b)은 가시광의 투과율이 높은 도전막(746r) 및 도전막(746g)에 비하여 일함수가 작은 경우가 많다. 따라서, 광의 파장 λ 가 가장 짧은 발광 소자(741b)에서는, 발광 소자(741r), 발광 소자(741g)에 비하여 양극(715b)으로부터 EL층(731)에의 정공 주입이 행해지기 어렵기 때문에, 발광 효율이 낮은 경향이 있다. 따라서, 본 발명의 일 형태에서는 광의 파장 λ 가 가장 짧은 발광 소자(741b)에 있어서, EL층(731) 중, 가시광의 반사율이 높은 도전막(745b)과 접하는 층에 있어서, 정공 수송성이 높은 물질에, 상기 정공 수송성이 높은 물질에 대하여 역셉터성(전자 수용성)을 나타내는 물질을 함유시킨 복합 재료를 사용하는 것이 바람직하다. 상기 복합 재료를 양극(715b)에 접하여 형성함으로써, 양극(715b)으로부터 EL층(731)에의 정공 주입이 행해지기 쉬워져, 발광 소자(741b)의 발광 효율을 높일 수 있다.

[0366] 역셉터성을 나타내는 물질로서는, 7,7,8,8-테트라시아노-2,3,5,6-테트라플루오로퀴노디메탄(약칭: F4-TCNQ), 클로라닐 등을 들 수 있다. 또한, 전이 금속 산화물을 들 수 있다. 또한, 원소 주기율표에 있어서의 제4족 내지 제8족에 속하는 금속의 산화물을 들 수 있다. 구체적으로는, 산화바나듐, 산화니오븀, 산화탄탈, 산화크롬, 산화몰리브덴, 산화 텅스텐, 산화망간, 산화레늄은 역셉터성이 높기 때문에 바람직하다. 그 중에서도 특히, 산화몰리브덴은 대기 중에서도 안정되고, 흡습성이 낮아, 취급하기 쉽기 때문에 바람직하다.

[0367] 복합 재료에 사용하는 정공 수송성이 높은 물질로서는, 방향족 아민 화합물, 카르바졸 유도체, 방향족 탄화수소, 고분자 화합물(올리고머, 덴드리머, 중합체 등) 등, 다양한 화합물을 사용할 수 있다. 또한, 복합 재료에 사용하는 유기 화합물로서는, 정공 수송성이 높은 유기 화합물인 것이 바람직하다. 구체적으로는, 10^{-6} cm²/Vs 이상의 정공 이동도를 갖는 물질인 것이 바람직하다. 단, 전자보다도 정공의 수송성이 높은 물질이면, 이들 이외의 것을 사용해도 된다.

[0368] 또한, 가시광의 반사율이 높은 도전막(745r), 도전막(745g), 도전막(745b)으로서, 예를 들어, 알루미늄, 은, 또는 이들 금속 재료를 포함하는 합금 등을, 단층으로, 또는 적층함으로써 형성할 수 있다. 또한, 도전막(745r), 도전막(745g), 도전막(745b)을 반사율이 높은 도전막과, 막두께가 얇은 도전막(바람직하게는 20 nm 이하, 더욱 바람직하게는 10 nm 이하)을 적층시켜서 형성해도 된다. 예를 들어, 반사율이 높은 도전막 위에 얇은 티타늄막이나 몰리브덴막을 적층하여 도전막(745b)을 형성함으로써, 반사율이 높은 도전막(알루미늄, 알루미늄을 포함하는 합금, 또는 은 등)의 표면에 산화막이 형성되는 것을 방지할 수 있다.

[0369] 또한, 가시광의 투과율이 높은 도전막(746r) 및 도전막(746g)에는 예를 들어, 산화 인듐, 산화 주석, 산화 아연, 인듐주석산화물, 인듐아연산화물 등을 사용할 수 있다.

[0370] 또한, 음극(732)은 예를 들어, 광을 투과시키는 정도가 얇은 도전막(바람직하게는 20 nm 이하, 더욱 바람직하게는 10 nm 이하)과, 도전성의 금속 산화물로 구성된 도전막을 적층함으로써 형성할 수 있다. 광을 투과시키는 정도가 얇은 도전막은 은, 마그네슘, 또는 이들 금속 재료를 포함하는 합금 등을, 단층으로, 또는 적층하여 형성할 수 있다. 도전성의 금속 산화물로서는, 산화 인듐, 산화 주석, 산화 아연, 인듐주석산화물, 인듐아연산화물, 또는 이들 금속 산화물 재료에 산화실리콘을 포함시킨 것을 사용할 수 있다.

[0371] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시할 수 있다.

[0372] (실시 형태 10)

[0373] 이어서, 본 발명의 일 형태에 따른 발광 장치의 패널의 외관에 대해서 도 32를 사용하여 설명한다. 도 32의 (a)는 기관(6001)과 기관(6006)을 시일재(6005)에 의해 접착시킨 패널의 상면도이며, 도 32의 (b)는 도 32의

(a)의 일점쇄선 E1-E2에 있어서의 단면도에 상당한다.

- [0374] 기관(6001) 위에 설치된 화소부(6002)와, 주사선 구동 회로(6004)를 둘러싸도록 시일재(6005)가 설치되어 있다. 또한, 화소부(6002), 주사선 구동 회로(6004) 위에 기관(6006)이 설치되어 있다. 따라서, 화소부(6002)와 주사선 구동 회로(6004)는 기관(6001)과 시일재(6005)와 기관(6006)에 의해, 충전재(6007)와 함께 밀봉되어 있다.
- [0375] 충전재(6007)로서는 질소나 아르곤 등의 불활성의 기체의 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있다. 시일재(6005)에는 수지(자외선 경화성 수지, 열경화성 수지 등), 또는 분말 유리 등을 사용할 수 있다.
- [0376] 또한, 기관(6001) 위의 시일재(6005)에 의해 둘러싸여 있는 영역과는 상이한 영역에 신호선 구동 회로(6003)가 형성된 기관(6021)이 실장되어 있다. 도 32에서는, 신호선 구동 회로(6003)에 포함되는 트랜지스터(6009)를 예시하고 있다. 또한, 본 실시 형태에서는, 주사선 구동 회로(6004)가 화소부(6002)와 함께 기관(6001) 위에 형성되어 있는 경우를 예시하고 있지만, 다른 기관에 형성된 주사선 구동 회로(6004)가 기관(6001)에 실장되어 있어도 된다. 또한, 본 실시 형태에서는, 기관(6021)에 형성된 신호선 구동 회로(6003)가 기관(6001)에 실장되어 있는 경우를 예시하고 있지만, 신호선 구동 회로(6003)가 화소부(6002)와 함께 기관(6001) 위에 형성되어 있어도 된다. 또는, 신호선 구동 회로(6003)의 일부, 또는 주사선 구동 회로(6004)의 일부가 화소부(6002)와 함께 기관(6001) 위에 형성되어 있어도 된다.
- [0377] 또한, 기관(6001) 위에 설치된 화소부(6002), 주사선 구동 회로(6004)는 트랜지스터를 복수 갖고 있다. 도 32의 (b)에서는, 화소부(6002)에 포함되는 트랜지스터(6008) 및 트랜지스터(6010)를 도시하고 있다. 발광 소자(6011)가 갖는 화소 전극(6030)은 트랜지스터(6010)에 접속되어 있다. 화소 전극(6030)과 대향 전극(6031)과 EL층(6029)이 중첩되어 있는 부분이 발광 소자(6011)에 상당한다.
- [0378] 또한, 기관(6006)에 형성되어 있는 차폐막(6040)은 트랜지스터(6008) 및 트랜지스터(6010)가 형성되어 있는 영역과 중첩되어 있다. 또한, 기관(6006)에는 컬러 필터로서 기능하는, 특정한 파장 영역의 가시광만을 우선적으로 투과하는 착색층(6041)이 형성되어 있고, 착색층(6041)은 발광 소자(6011)가 형성되어 있는 영역과 중첩되어 있다.
- [0379] 적색, 청색, 녹색에 대응하는 파장 영역의 광을 각각 우선적으로 투과하는 착색층(6041)을 화소마다 설치하고, 백색의 광이 얻어지는 발광 소자(6011)를 사용함으로써 풀컬러의 화상을 표시할 수 있다. 또는, 적색의 광이 얻어지는 발광 소자(6011)와 적색에 대응하는 착색층(6041)을 조합하고, 청색의 광이 얻어지는 발광 소자(6011)와 청색에 대응하는 착색층(6041)을 조합하고, 또한, 녹색의 광이 얻어지는 발광 소자(6011)와 녹색에 대응하는 착색층(6041)을 조합함으로써, 색순도가 높은 풀컬러의 화상을 표시할 수 있다. 또는, 착색층(6041)을 설치하지 않고, 적색, 청색, 녹색의 광이 각각 얻어지는 복수의 발광 소자(6011)를 화소부(6002)에 설치함으로써 풀컬러의 화상을 표시할 수 있다.
- [0380] 또한, 도 32에서는, 차폐막(6040)과 착색층(6041)을 기관(6006) 측에 설치한 경우를 예시하고 있지만, 차폐막(6040) 또는 착색층(6041)을 기관(6001) 측에 설치해도 된다. 발광 소자(6011)에의 광의 입사 방향과, 발광 소자(6011)를 투과한 광의 사출 방향에 맞춰서, 적절히, 차폐막(6040)과 착색층(6041)이 설치되는 위치를 정할 수 있다.
- [0381] 또한, 신호선 구동 회로(6003), 주사선 구동 회로(6004), 화소부(6002)에 부여되는 각종 신호 및 전위는, 배치 배선(6014 및 6015)을 통하여 접속 단자(6016)로부터 공급되고 있다. 접속 단자(6016)는 FPC(6018)가 갖는 단자 및 이방성 도전막(6019)을 통하여 전기적으로 접속되어 있다.
- [0382] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0383] (실시 형태 11)
- [0384] 도 33은 본 발명의 일 형태에 따른 발광 장치의 사시도의 일례이다.
- [0385] 도 33에 도시하는 발광 장치는, 패널(2601)과, 회로 기관(2602)과, COF 테이프(2603)와 신호선 구동 회로가 형성된 칩(2604)을 갖고 있다. 신호선 구동 회로가 형성된 칩(2604)은 COF(Chip On Film)법을 사용하여 COF 테이프(2603)에 접속되어 있다. 회로 기관(2602)에는 패널(2601)에 입력되는 각종 신호를 생성하는 회로, 또는 이들 신호에 처리를 실시하는 회로 등이 설치되어 있다. 그리고, 회로 기관(2602)으로부터, COF 테이프(2603)를 통하여 각종 신호 및 전위가 패널(2601)에 입력된다.

- [0386] 패널(2601)은 화소가 복수 설치된 화소부(2605)와, 주사선 구동 회로(2606)를 갖는다. 주사선 구동 회로(2606)는 화소부(2605)가 갖는 복수의 화소를 행마다 선택한다. 칩(2604)에 설치된 신호선 구동 회로는 주사선 구동 회로(2606)에 의해 선택된 행 내의 화소에의, 화상 신호의 입력을 제어한다.
- [0387] 또한, COF 테이프(2603) 대신에 FPC(Flexible Printed Circuit) 등을 사용하여, 회로 기관(2602)과 패널(2601)을 전기적으로 접속하는 것도 가능하다.
- [0388] 또한, COF 테이프(2603)를 사용하는 경우, 회로 기관(2602) 내의 일부의 회로를 별도 준비한 칩에 형성해 두고, COF법을 사용하여 상기 칩을 COF 테이프(2603)에 접속해 두어도 된다. 또한, 주사선 구동 회로(2606)의 일부 또는 모두, 또는 신호선 구동 회로의 일부를 칩에 형성하고, COF법을 사용하여 상기 칩을 COF 테이프(2603)에 접속해 두어도 된다.
- [0389] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0390] (실시 형태 12)
- [0391] 본 발명의 일 형태에 따른 액정 표시 장치는, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 밖에, 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체예를 도 16에 도시하였다.
- [0392] 도 16의 (a)는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 갖는다. 표시부(5003) 또는 표시부(5004)에 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치를 사용함으로써 신뢰성이 높은 휴대형 게임기를 제공할 수 있다. 또한, 도 16의 (a)에 도시된 휴대형 게임기는, 2개의 표시부(5003)와 표시부(5004)를 갖고 있지만, 휴대형 게임기가 갖는 표시부의 수는 이것에 한정되지 않는다.
- [0393] 도 16의 (b)는 표시 기기이며, 하우징(5201), 표시부(5202), 지지대(5203) 등을 갖는다. 표시부(5202)에 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치를 사용함으로써 신뢰성이 높은 표시 기기를 제공할 수 있다. 또한, 표시 기기에는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 기기가 포함된다.
- [0394] 도 16의 (c)는 노트북형 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다. 표시부(5402)에 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치를 사용함으로써 신뢰성이 높은 노트북형 퍼스널 컴퓨터를 제공할 수 있다.
- [0395] 도 16의 (d)는 휴대 정보 단말기이며, 제1 하우징(5601), 제2 하우징(5602), 제1 표시부(5603), 제2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 갖는다. 제1 표시부(5603)는 제1 하우징(5601)에 설치되어 있고, 제2 표시부(5604)는 제2 하우징(5602)에 설치되어 있다. 그리고, 제1 하우징(5601)과 제2 하우징(5602)은 접속부(5605)에 의해 접속되어 있고, 제1 하우징(5601)과 제2 하우징(5602) 사이의 각도는 접속부(5605)에 의해 변경이 가능하게 되어 있다. 제1 표시부(5603)에 있어서의 영상의 전환을, 접속부(5605)에 있어서의 제1 하우징(5601)과 제2 하우징(5602)의 사이의 각도에 따라 전환하는 구성으로 하여도 된다. 또한, 제1 표시부(5603) 및 제2 표시부(5604) 중 적어도 하나에, 위치 입력 장치로서의 기능이 부가된 액정 표시 장치 또는 발광 장치를 사용하도록 해도 된다. 또한, 위치 입력 장치로서의 기능은, 액정 표시 장치 또는 발광 장치에 터치 패널을 설치함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 액정 표시 장치 또는 발광 장치의 화소부에 설치함으로써도 부가할 수 있다. 제1 표시부(5603) 또는 제2 표시부(5604)에 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치를 사용함으로써 신뢰성이 높은 휴대 정보 단말기를 제공할 수 있다.
- [0396] 도 16의 (e)는 비디오 카메라이며, 제1 하우징(5801), 제2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 갖는다. 조작 키(5804) 및 렌즈(5805)는 제1 하우징(5801)에 설치되어 있고, 표시부(5803)는 제2 하우징(5802)에 설치되어 있다. 그리고, 제1 하우징(5801)과 제2 하우징(5802)은 접속부(5806)에 의해 접속되어 있고, 제1 하우징(5801)과 제2 하우징(5802) 사이의 각도는 접속부(5806)에 의해 변경

이 가능하게 되어 있다. 표시부(5803)에 있어서의 영상의 전환을, 접속부(5806)에 있어서의 제1 하우스징(5801)과 제2 하우스징(5802) 사이의 각도를 따라서 행하는 구성으로 하여도 된다. 표시부(5803)에 본 발명의 일 형태에 따른 액정 표시 장치 또는 발광 장치를 사용함으로써 신뢰성이 높은 비디오 카메라를 제공할 수 있다.

[0397] 본 실시 형태는 다른 실시 형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0398]

- 10: 화소부
- 11: 화소
- 12: 트랜지스터
- 13: 액정 소자
- 14: 용량 소자
- 100: 트랜지스터
- 101: 게이트 전극
- 102: 게이트 절연막
- 103: 반도체막
- 104: 절연막
- 105: 도전막
- 106a: 도전막
- 106b: 도전막
- 107: 절연막
- 108: 개구부
- 109: 화소 전극
- 110: 개구부
- 111: 도전막
- 202: 기판
- 203: 도전막
- 204: 게이트 절연막
- 205: 반도체막
- 206: 절연막
- 207: 도전막
- 208: 도전막
- 210: 도전막
- 211: 도전막
- 212: 절연막
- 213: 개구부
- 213a: 개구부
- 213b: 개구부

214: 개구부
215: 도전막
216: 도전막
217: 절연막
300: 트랜지스터
301: 게이트 전극
302: 게이트 절연막
303: 반도체막
304: 절연막
305: 도전막
306a: 도전막
306b: 도전막
307: 절연막
308: 개구부
309: 화소 전극
310: 개구부
311: 도전막
320: 절연막
321: 개구부
322: EL층
323: 대향 전극
324: 발광 소자
340b: 화소
340g: 화소
340r: 화소
400: 기관
401: 도전막
402: 게이트 절연막
403: 반도체막
404: 절연막
405: 도전막
406: 도전막
407: 도전막
408: 절연막
409: 도전막
410: 도전막

411: 절연막
 412: 개구부
 412a: 개구부
 412b: 개구부
 413: 개구부
 414: 개구부
 415: 도전막
 416: 도전막
 417: 절연막
 418: 개구부
 419: EL층
 420: 도전막
 510: 화소부
 511: 화소
 512: 트랜지스터
 513: 트랜지스터
 514: 용량 소자
 515: 발광 소자
 715b: 양극
 715g: 양극
 715r: 양극
 730: 격벽
 731: EL층
 732: 음극
 740: 기관
 741b: 발광 소자
 741g: 발광 소자
 741r: 발광 소자
 742: 기관
 743b: 착색층
 743g: 착색층
 743r: 착색층
 744: 오버코트
 745b: 도전막
 745g: 도전막
 745r: 도전막

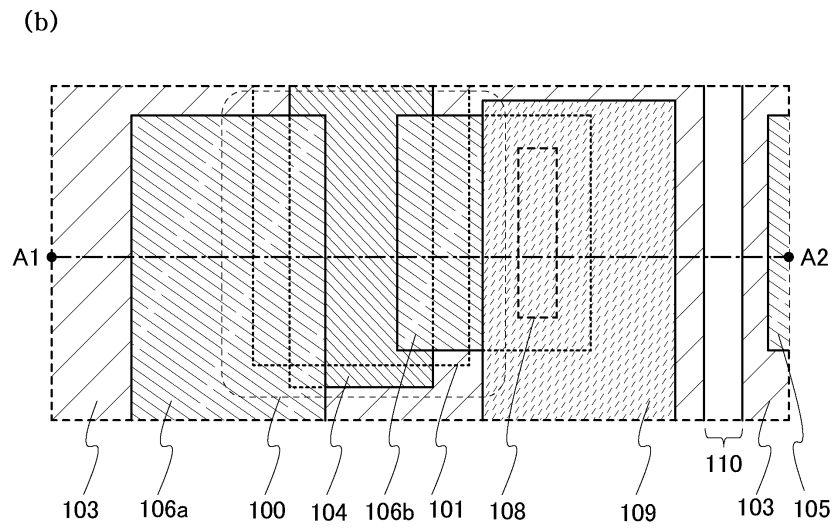
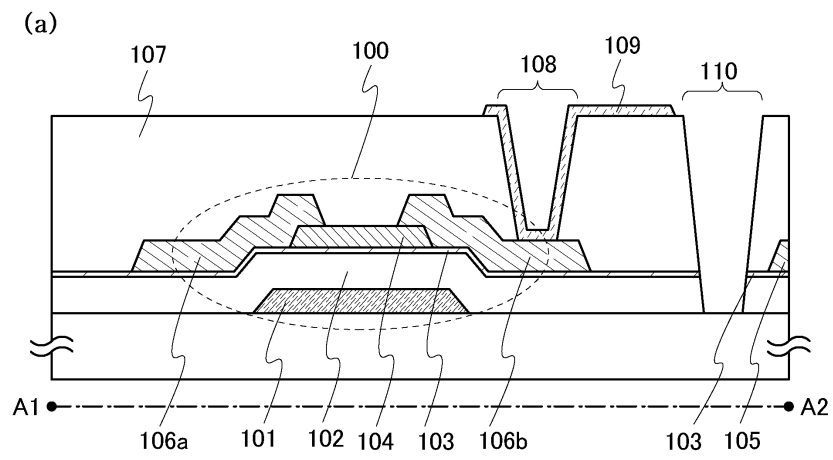
746g: 도전막
746r: 도전막
750: 절연막
1601: 패널
1602: 확산판
1603: 프리즘 시트
1604: 확산판
1605: 도광판
1606: 반사판
1607: 광원
1608: 회로 기판
1609: COF 테이프
1610: FPC
1611: 기판
1620: 백라이트
2601: 패널
2602: 회로 기판
2603: COF 테이프
2604: 칩
2605: 화소부
2606: 주사선 구동 회로
4001: 기판
4002: 화소부
4003: 신호선 구동 회로
4004: 주사선 구동 회로
4005: 시일재
4006: 대향 기판
4007: 액정층
4009: 트랜지스터
4010: 트랜지스터
4011: 액정 소자
4014: 배선
4016: 접속 단자
4018: FPC
4019: 이방성 도전막
4021: 기판

4030: 화소 전극
4031: 대향 전극
4035: 스페이서
4040: 차폐막
4041: 착색층
5001: 하우징
5002: 하우징
5003: 표시부
5004: 표시부
5005: 마이크로폰
5006: 스피커
5007: 조작 키
5008: 스타일러스
5201: 하우징
5202: 표시부
5203: 지지대
5401: 하우징
5402: 표시부
5403: 키보드
5404: 포인팅 디바이스
5601: 하우징
5602: 하우징
5603: 표시부
5604: 표시부
5605: 접속부
5606: 조작 키
5801: 하우징
5802: 하우징
5803: 표시부
5804: 조작 키
5805: 렌즈
5806: 접속부
6001: 기관
6002: 화소부
6003: 신호선 구동 회로
6004: 주사선 구동 회로

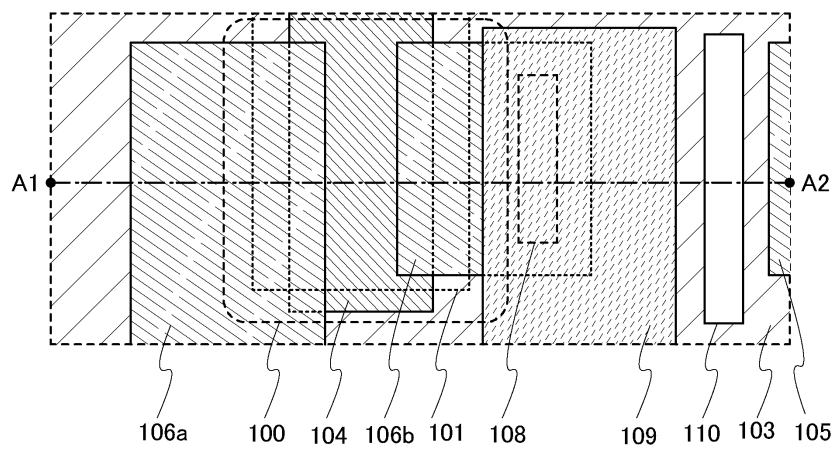
6005: 시일재
6006: 기관
6007: 충전재
6008: 트랜지스터
6009: 트랜지스터
6010: 트랜지스터
6011: 발광 소자
6014: 배선
6016: 접속 단자
6018: FPC
6019: 이방성 도전막
6021: 기관
6029: EL층
6030: 화소 전극
6031: 대향 전극
6040: 차폐막
6041: 착색층

도면

도면1

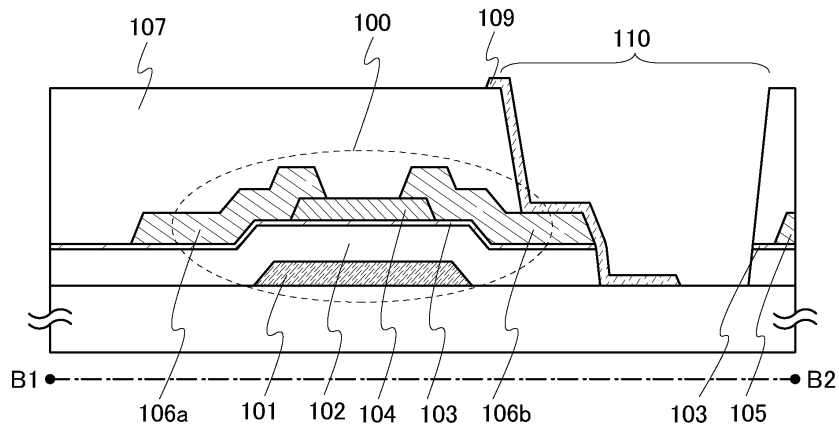


도면2

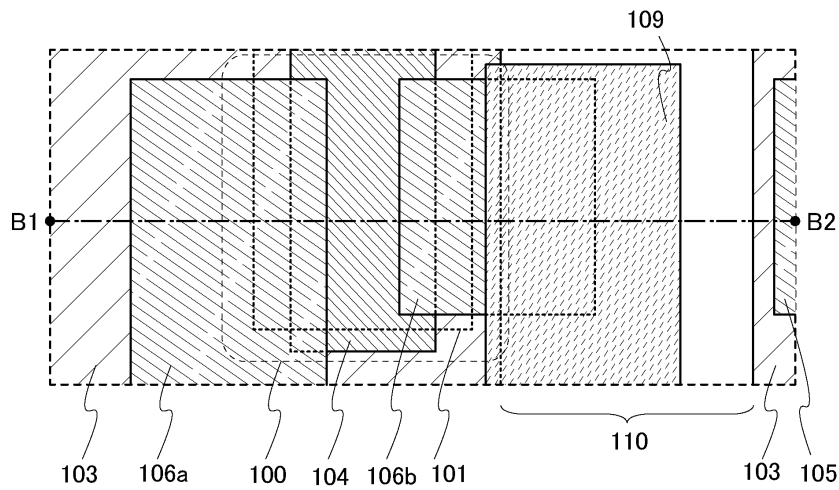


도면3

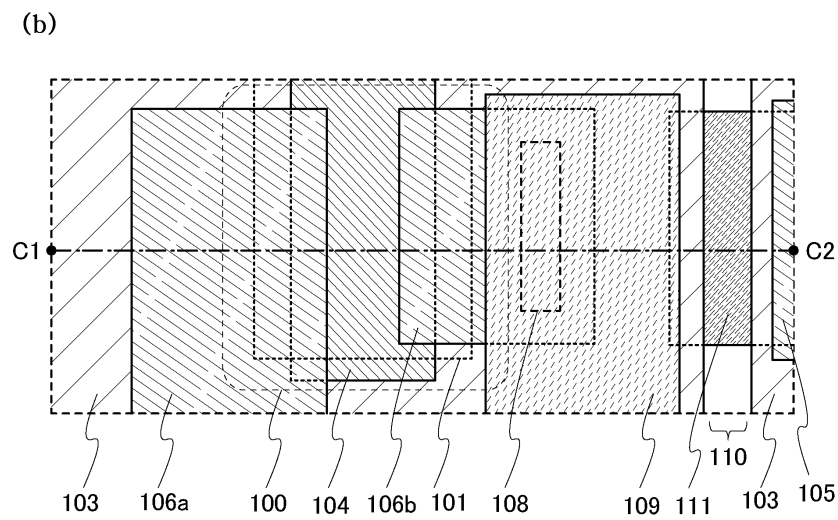
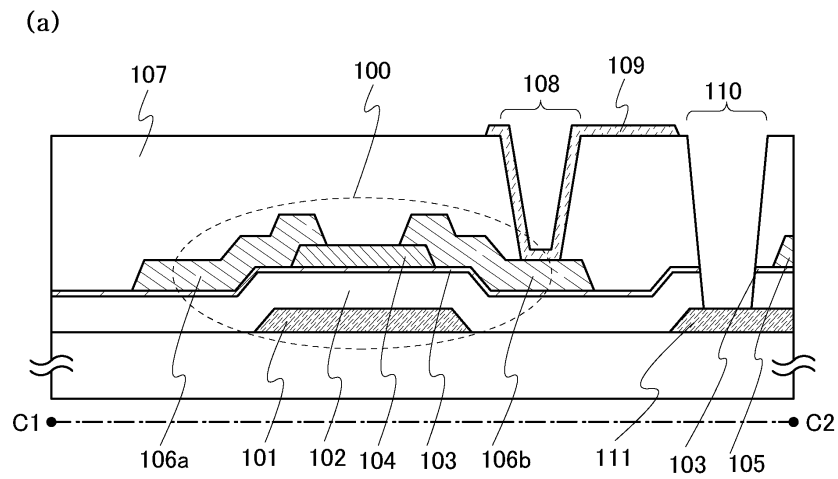
(a)



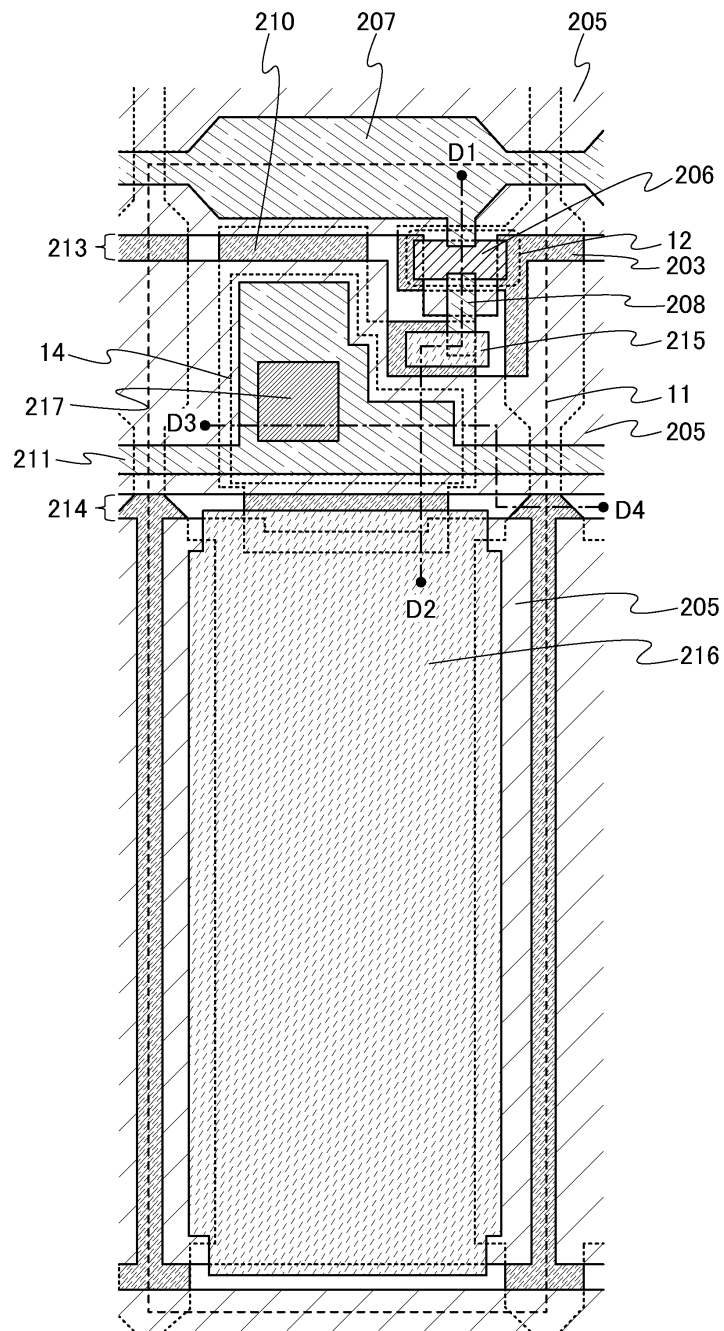
(b)



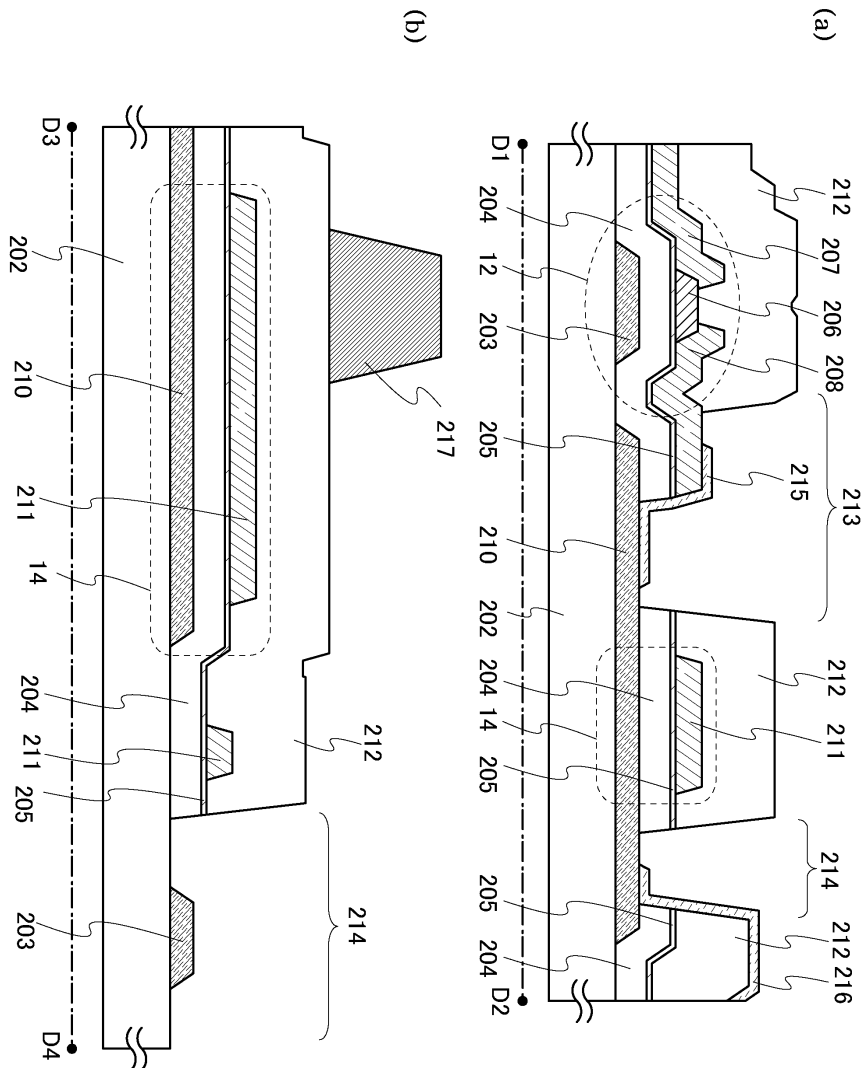
도면4



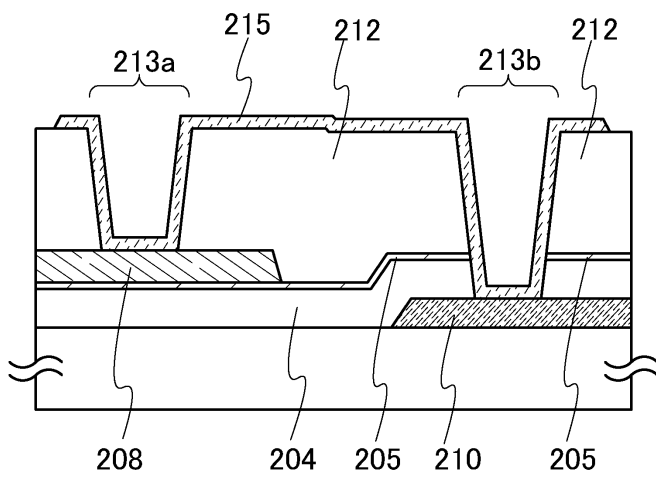
도면5



도면6

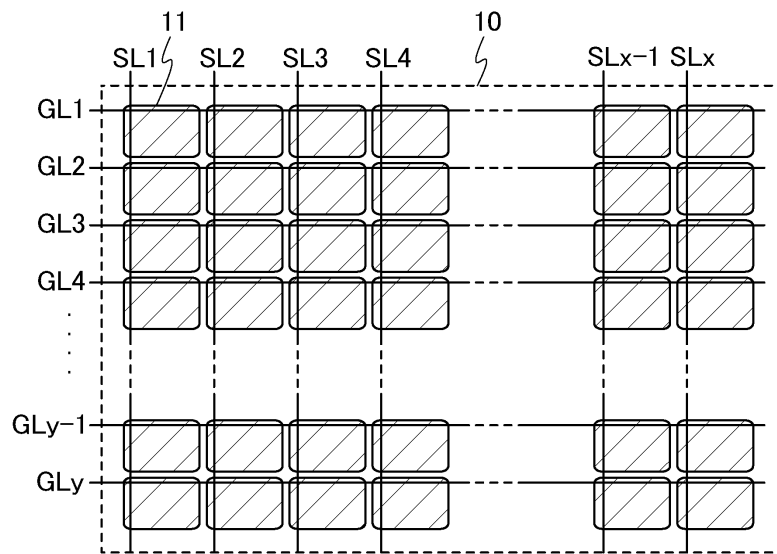


도면7

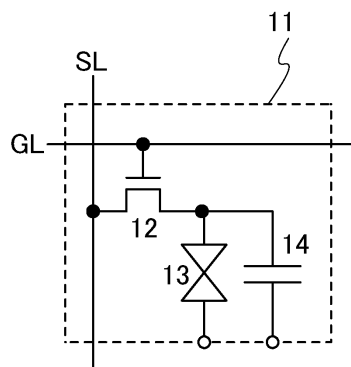


도면8

(a)

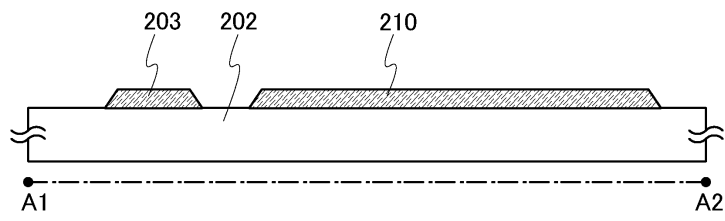


(b)

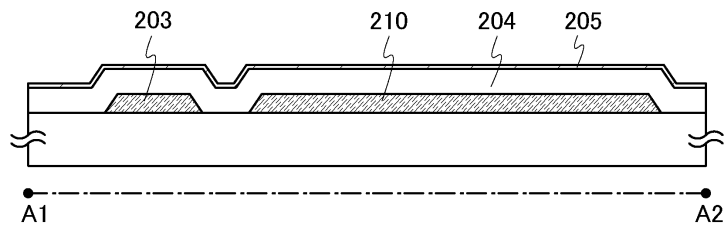


도면9

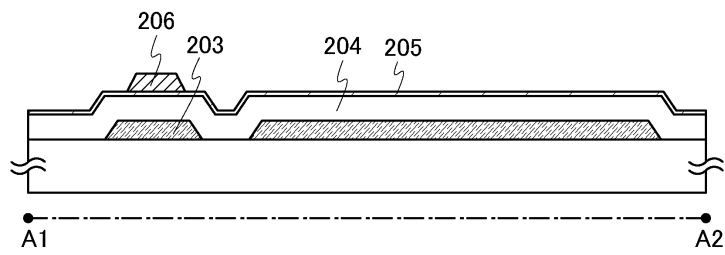
(a)



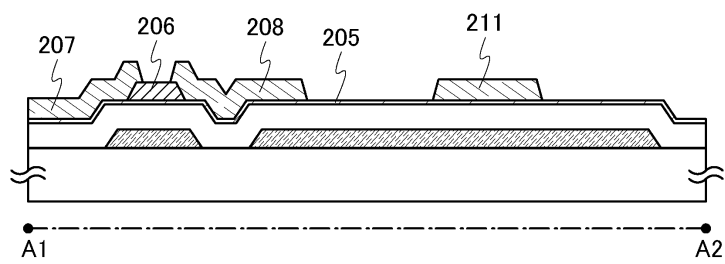
(b)



(c)

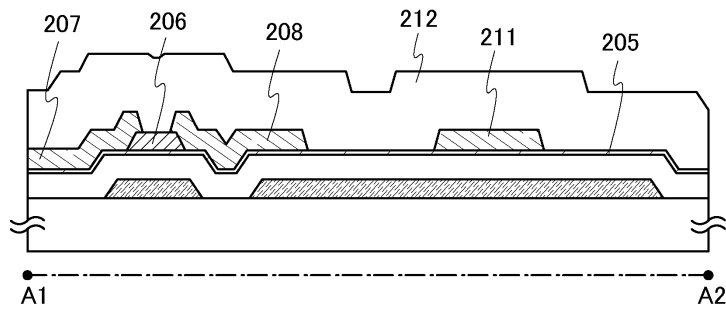


(d)

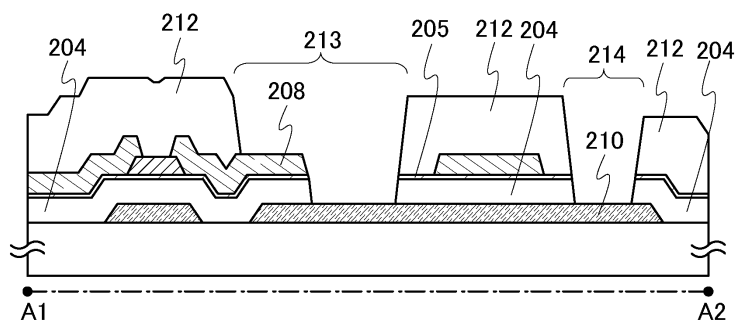


도면10

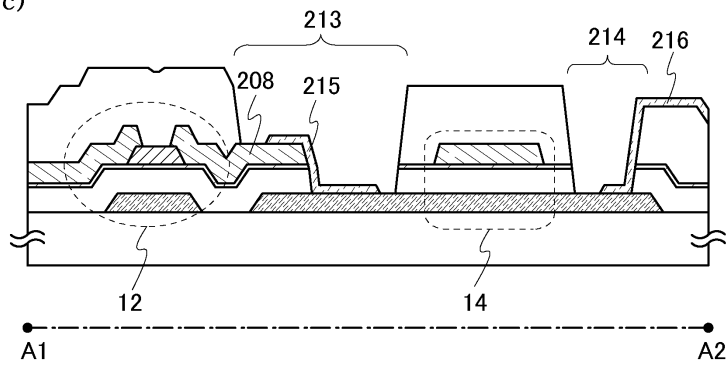
(a)



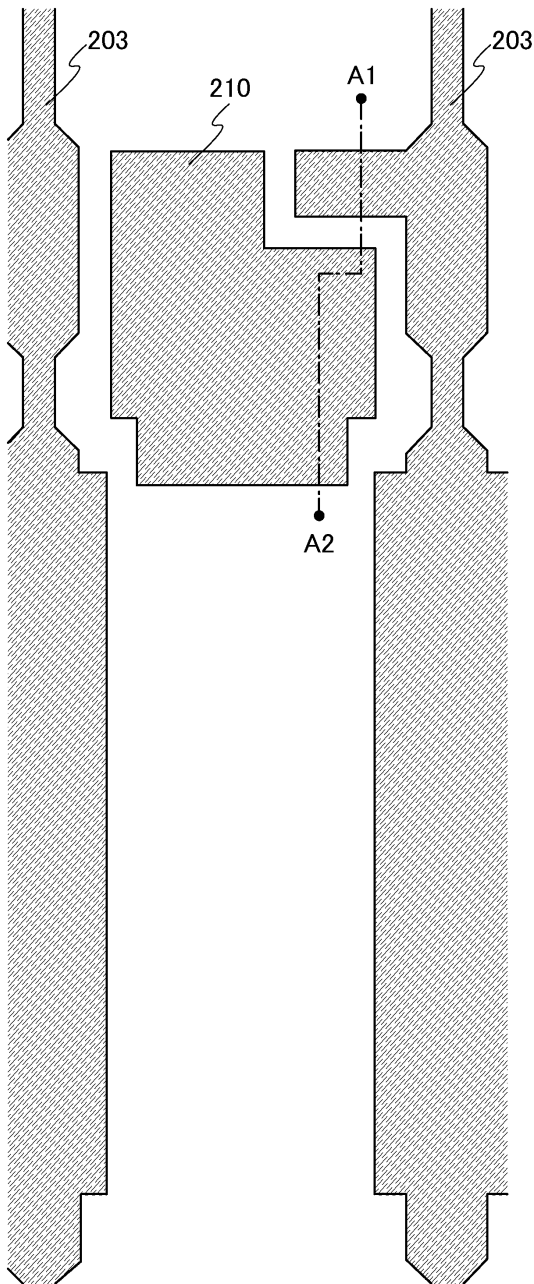
(b)



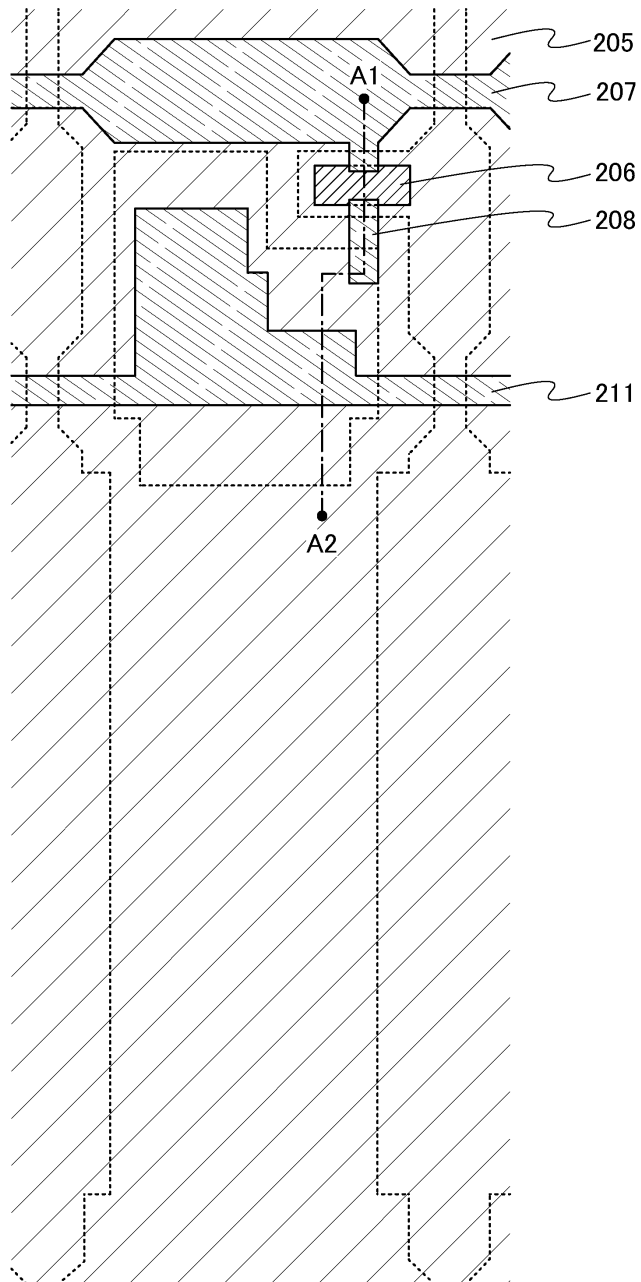
(c)



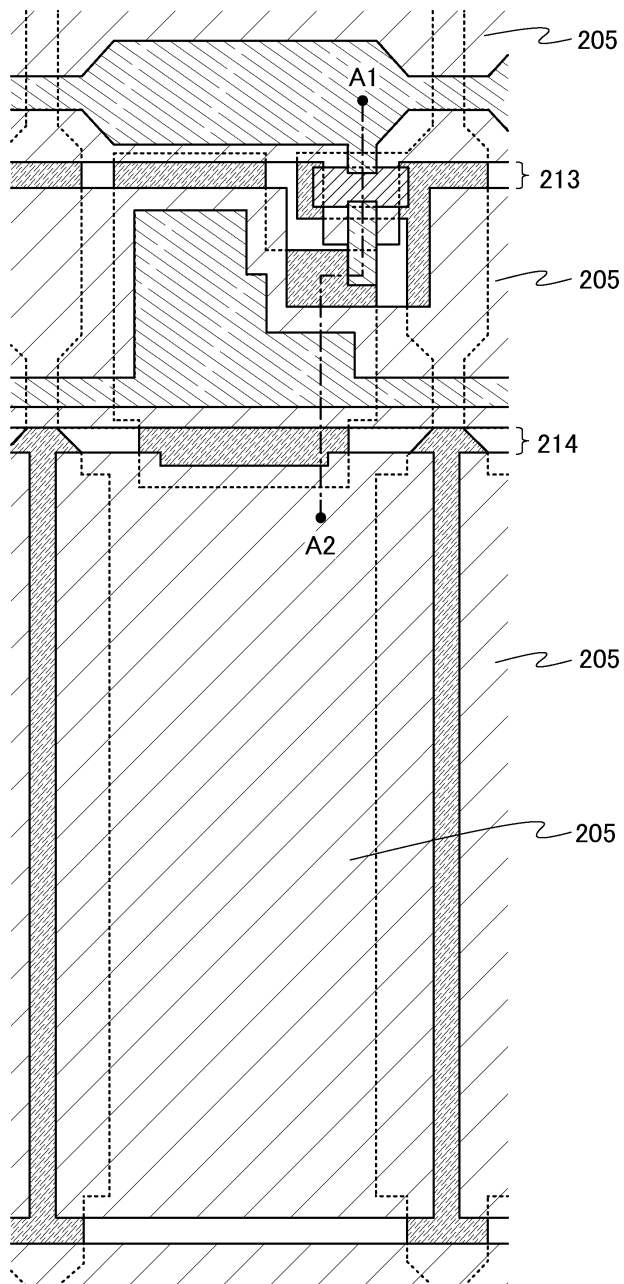
도면11



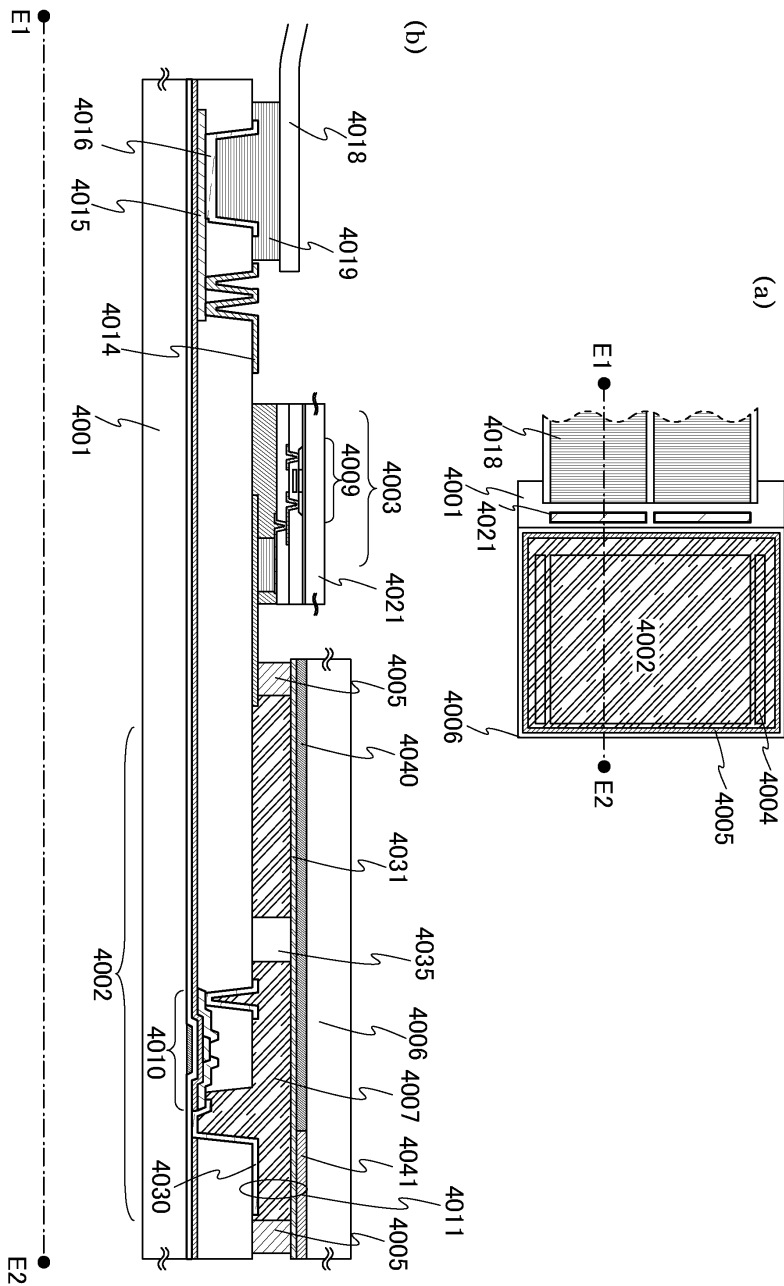
도면12



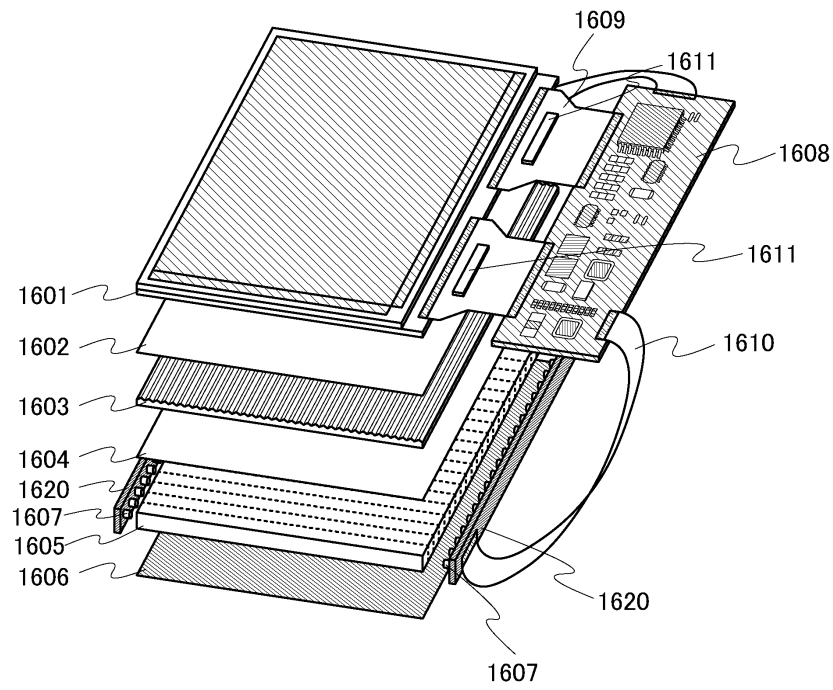
도면13



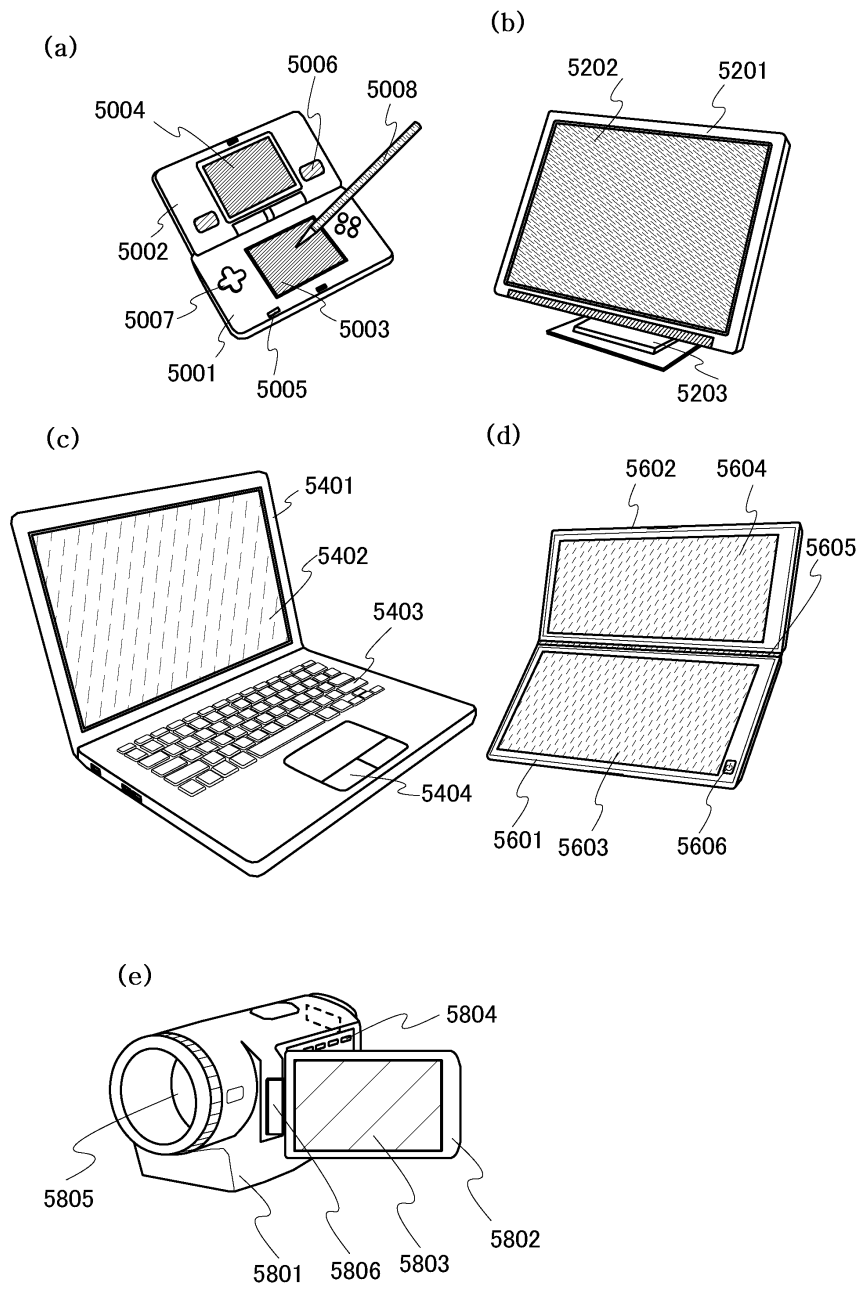
도면14



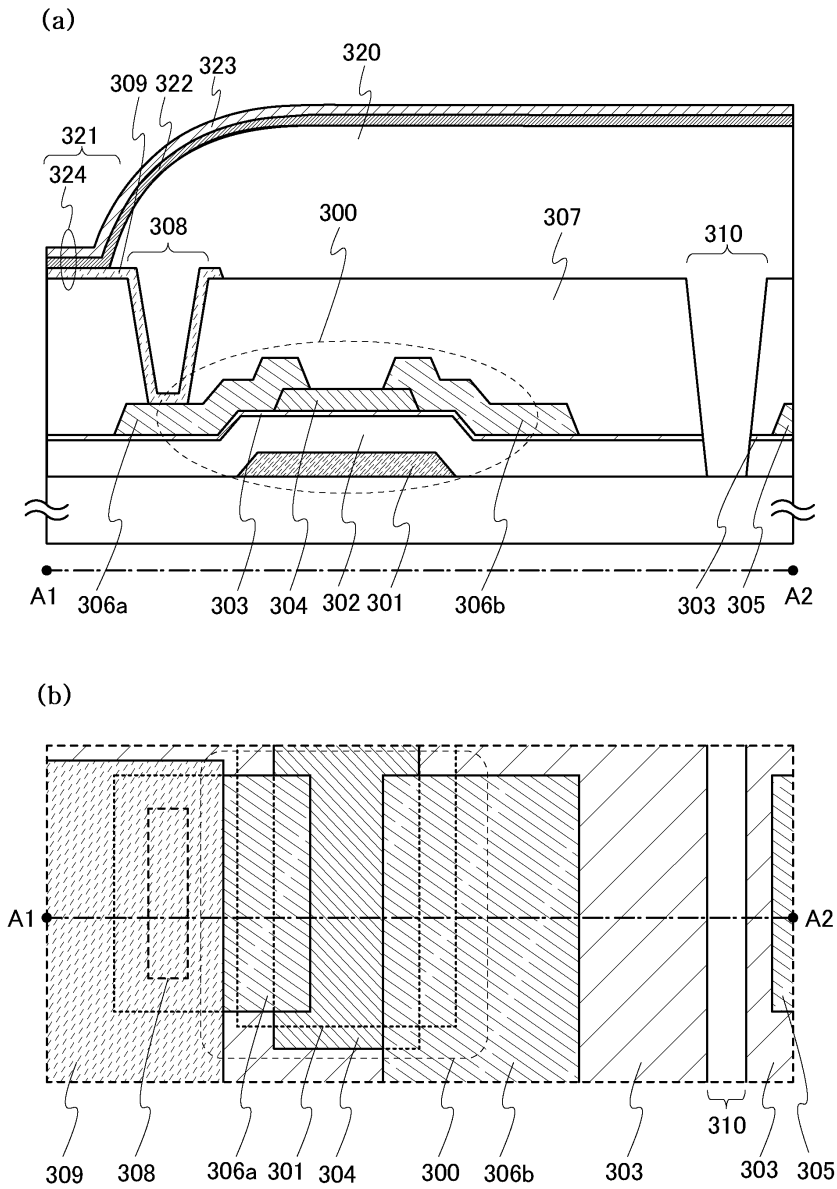
도면15



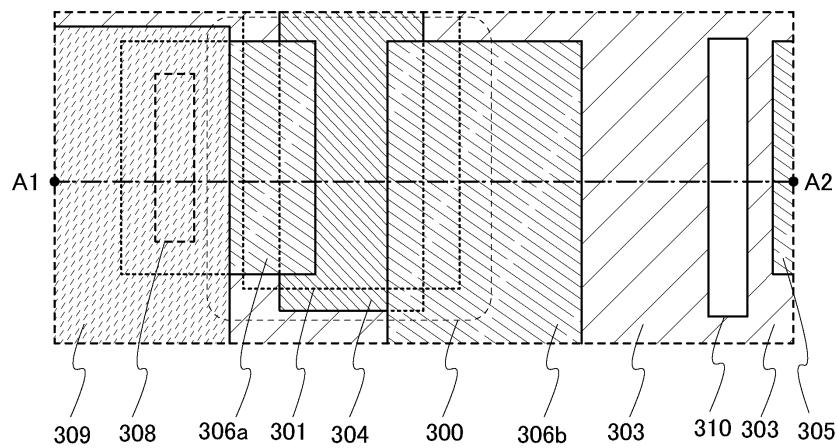
도면16



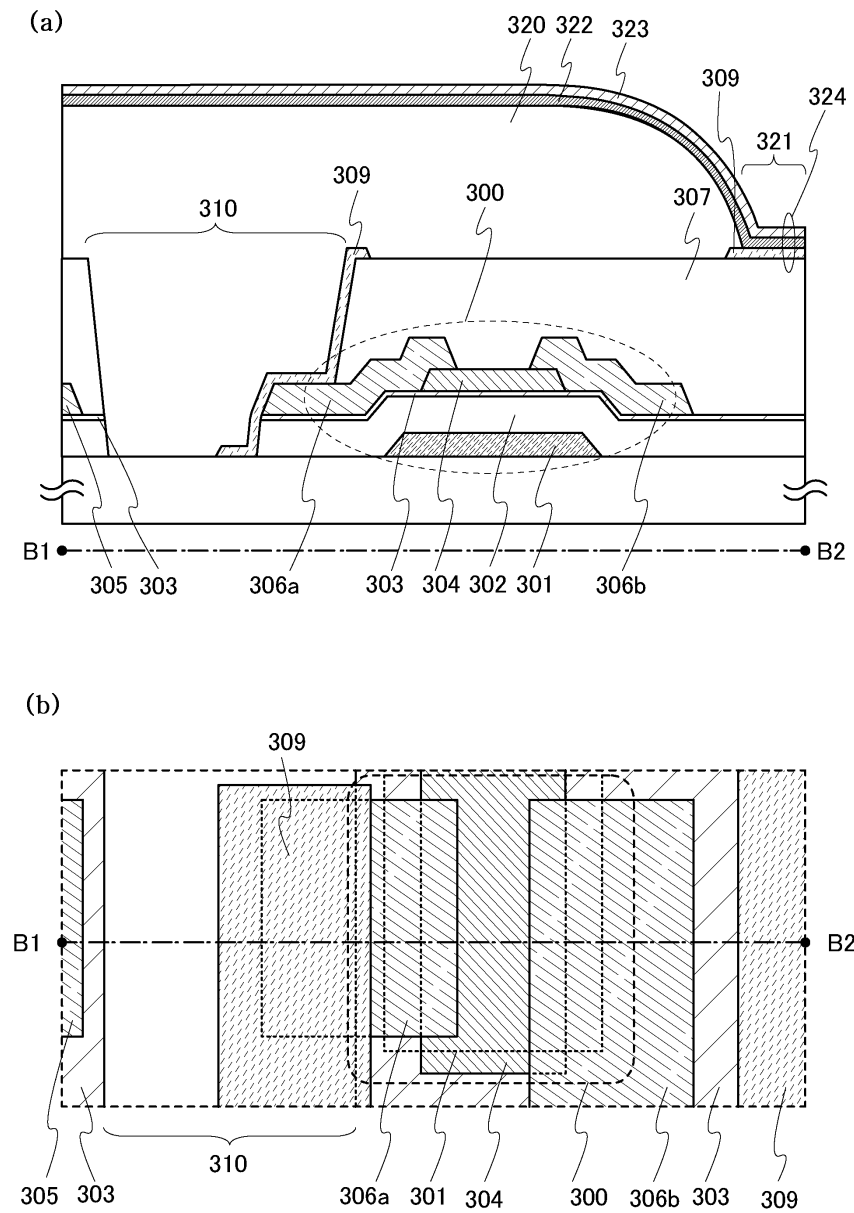
도면17



도면18

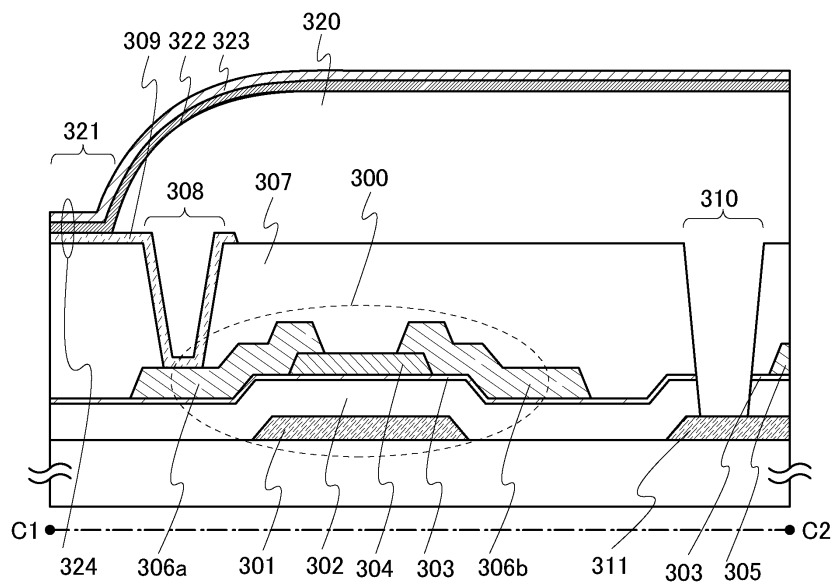


도면19

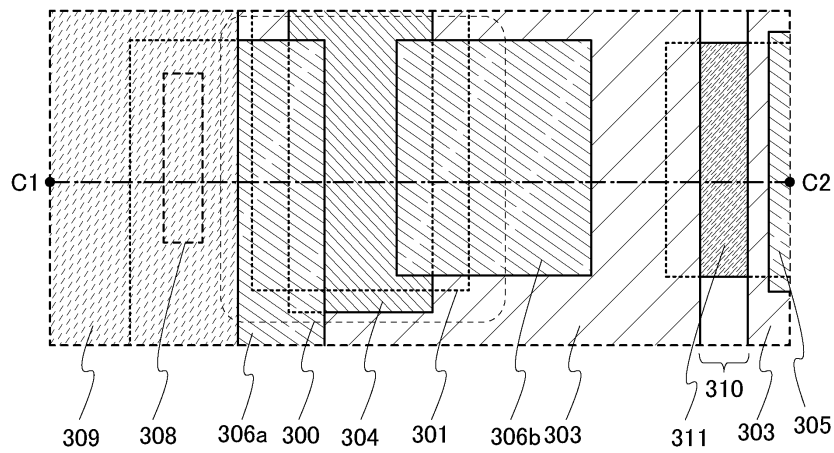


도면20

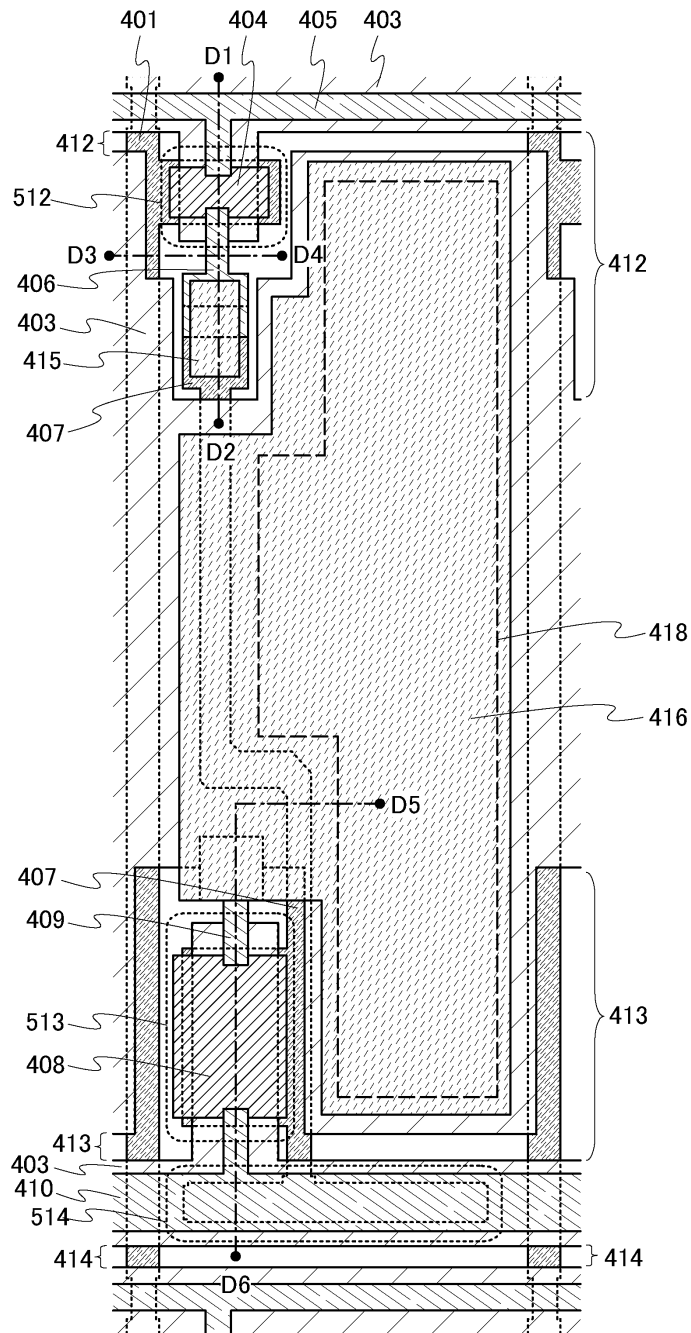
(a)



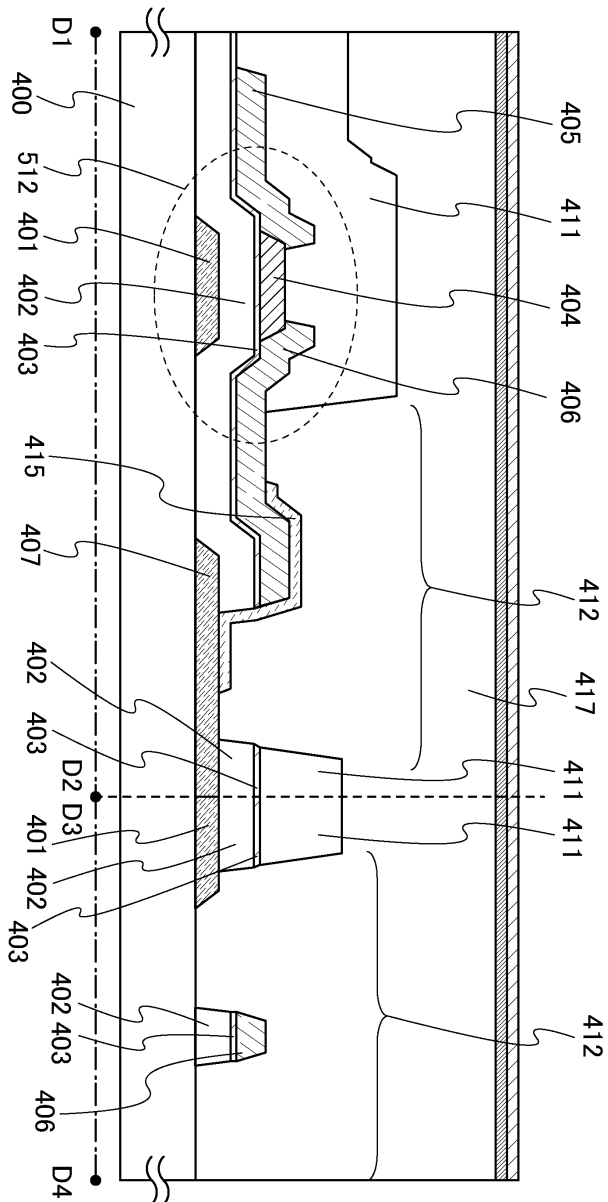
(b)



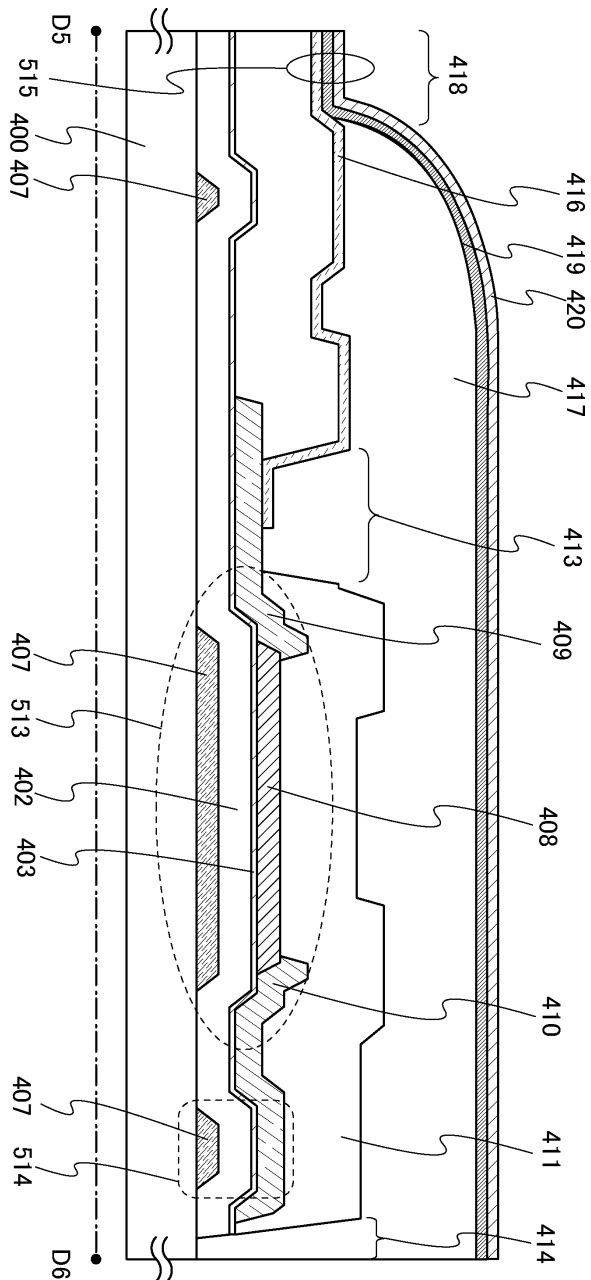
도면21



도면22

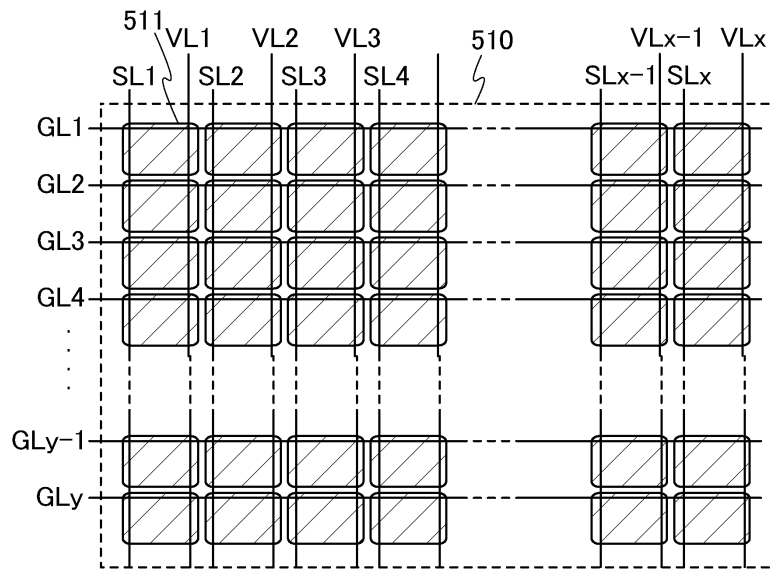


도면23

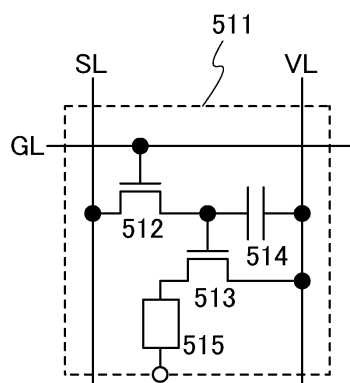


도면24

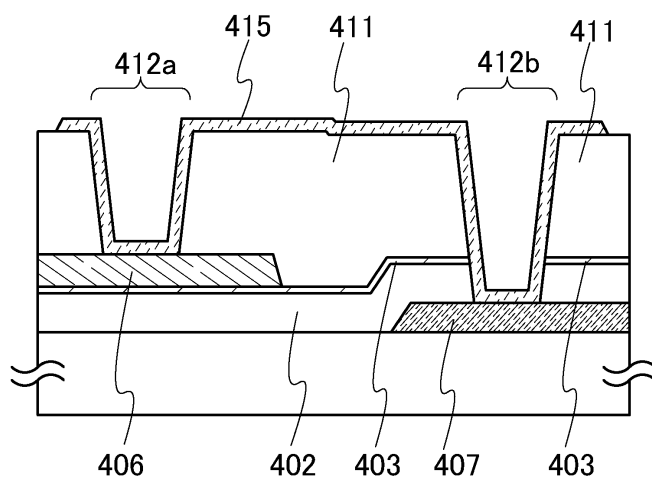
(a)



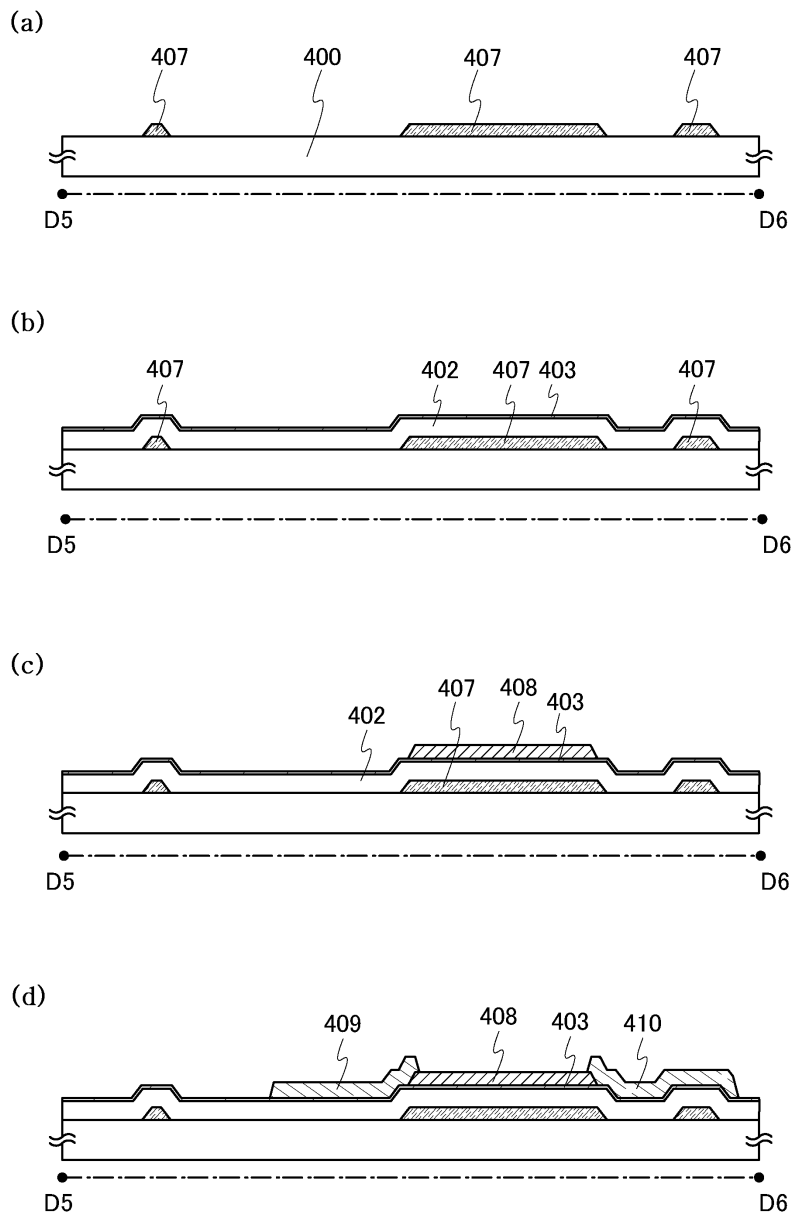
(b)



도면25

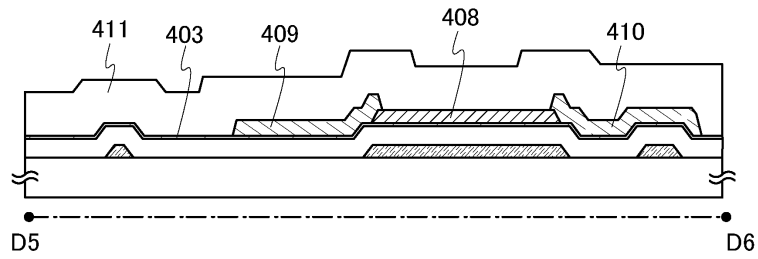


도면26

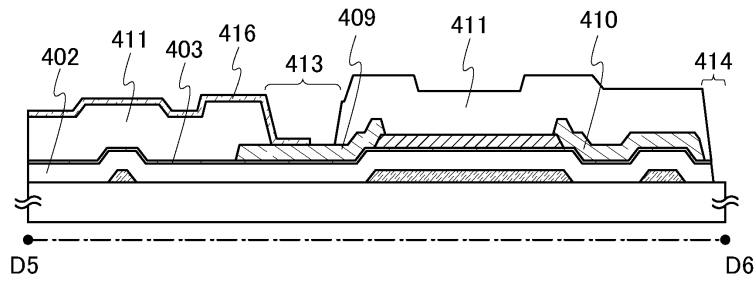


도면27

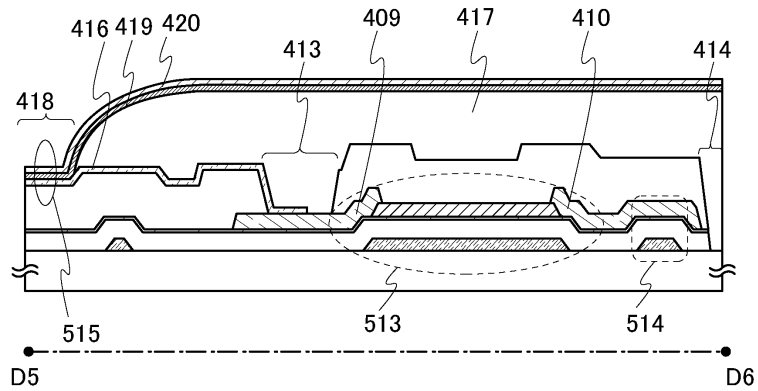
(a)



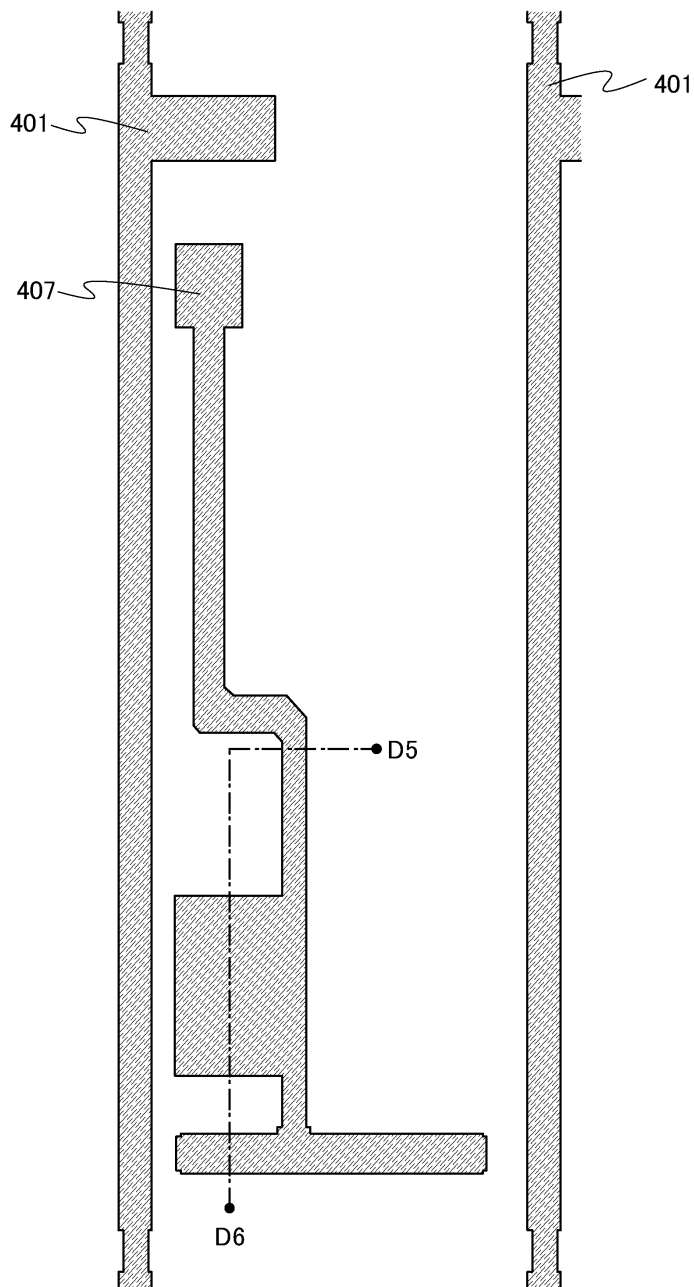
(b)



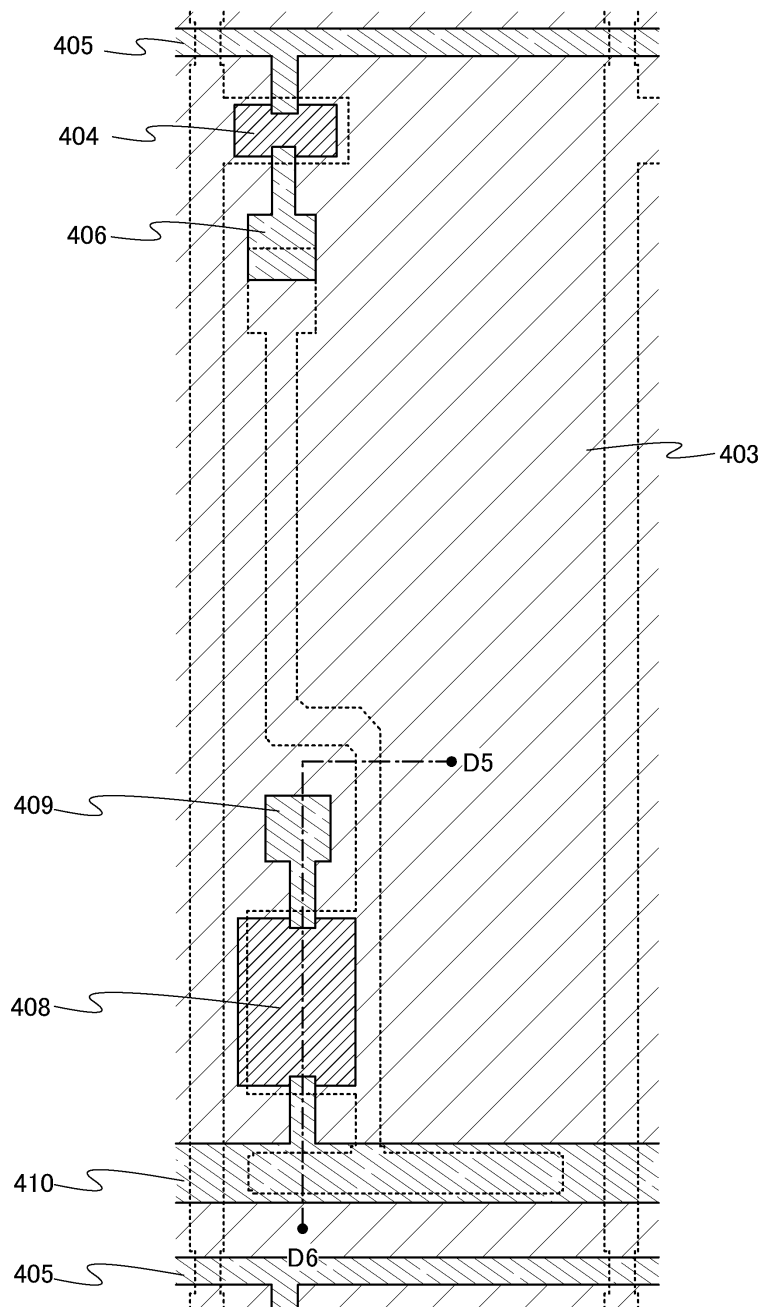
(c)



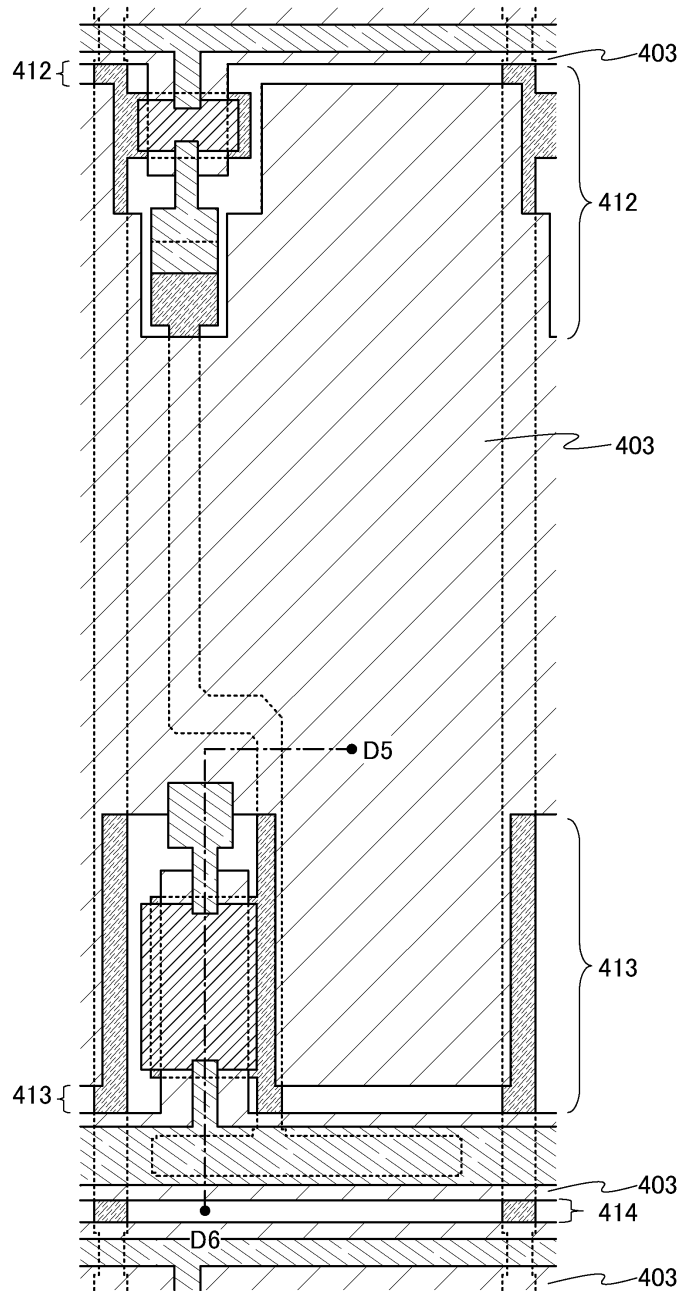
도면28



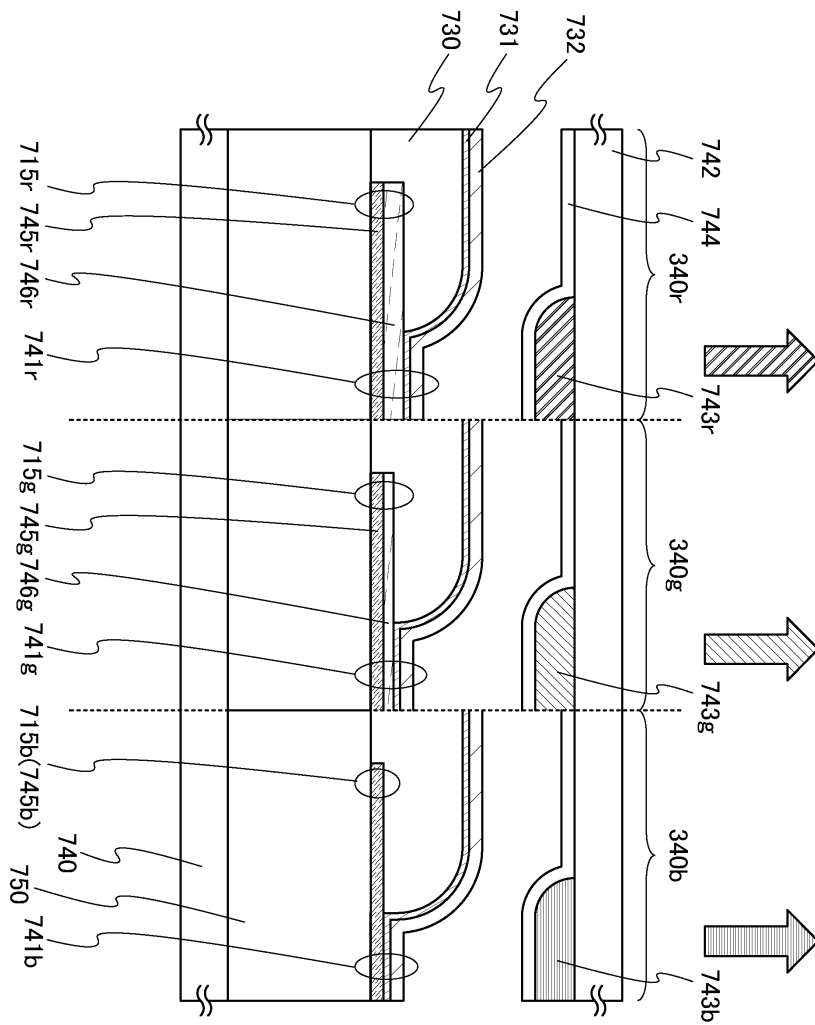
도면29



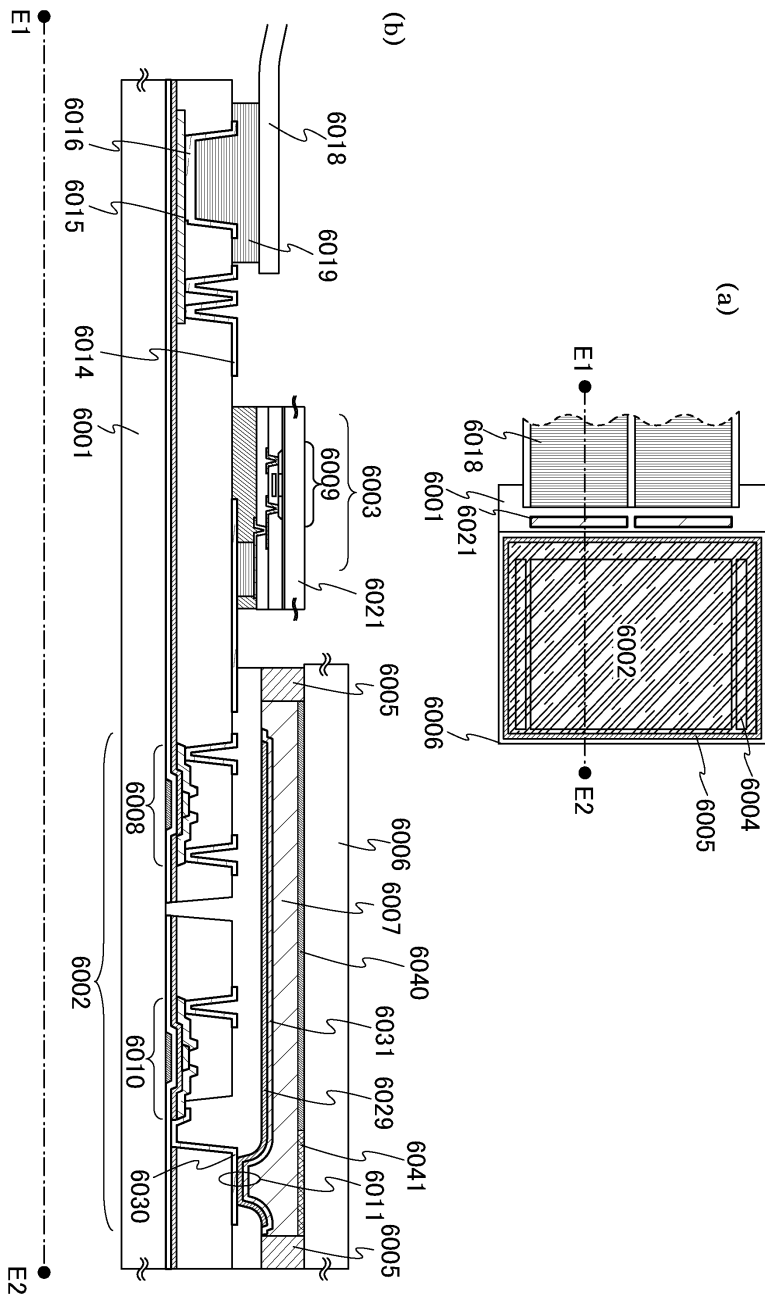
도면30



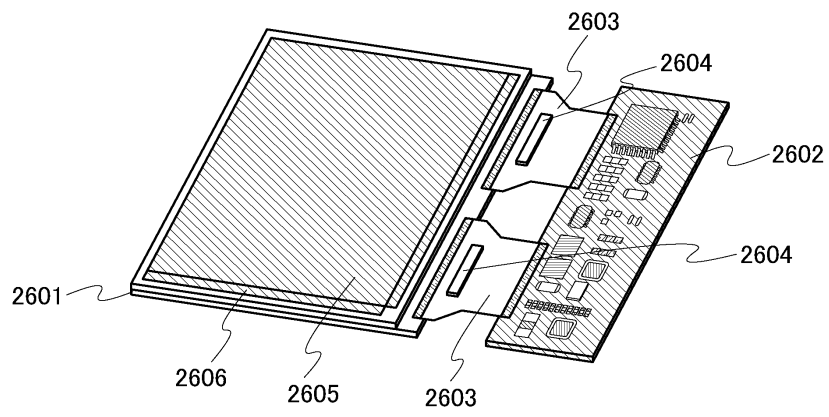
도면31



도면32



도면33



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020190120149A	公开(公告)日	2019-10-23
申请号	KR1020190128959	申请日	2019-10-17
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자끼순빼이 KOYAMA JUN 고야마준		
发明人	야마자끼순빼이 고야마준		
IPC分类号	G02F1/1368 G02F1/1362 H01L27/12		
CPC分类号	G02F1/1368 G02F2001/136231 H01L27/1225 H01L27/1255 H01L27/1259 G02F1/136227 H01L27/1248 H01L29/66969 H01L29/78606 H01L29/7869		
代理人(译)	Jangsugil Bakchungbeom Yijunghui		
优先权	2011247258 2011-11-11 JP 2011247256 2011-11-11 JP		
外部链接	Espacenet		

摘要(译)

提供了一种可以用少量的掩模制造并且高度可靠的液晶显示装置和发光装置。栅电极，位于栅电极上的栅绝缘膜，位于栅绝缘膜上并与栅电极重叠的半导体膜，位于半导体膜上并与栅电极重叠并位于半导体膜上的岛状的第一绝缘膜一对第二导电膜介于第一导电膜，第一绝缘膜和半导体膜之间，以及第二绝缘膜位于第一绝缘膜，第一导电膜和一对第二导电膜之间像素电极位于第二绝缘膜上，并且通过设置在第二绝缘膜中的第一开口连接至一对第二导电膜中的任何一个，其中，第二绝缘膜和半导体膜包括：第一导电膜；以及第二导电膜。第二开口位于一对第二导电膜中的任意一个之间。

