



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0078979
(43) 공개일자 2019년07월05일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
G02F 1/1337 (2006.01) G02F 1/1333 (2006.01)
G02F 1/1343 (2006.01)</p> <p>(52) CPC특허분류
G02F 1/1337 (2013.01)
G02F 1/1343 (2013.01)</p> <p>(21) 출원번호 10-2017-0180837</p> <p>(22) 출원일자 2017년12월27일
심사청구일자 없음</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
채희영
경기도 파주시 월롱면 엘지로 245</p> <p>(74) 대리인
특허법인인벤싱크</p> |
|--|---|

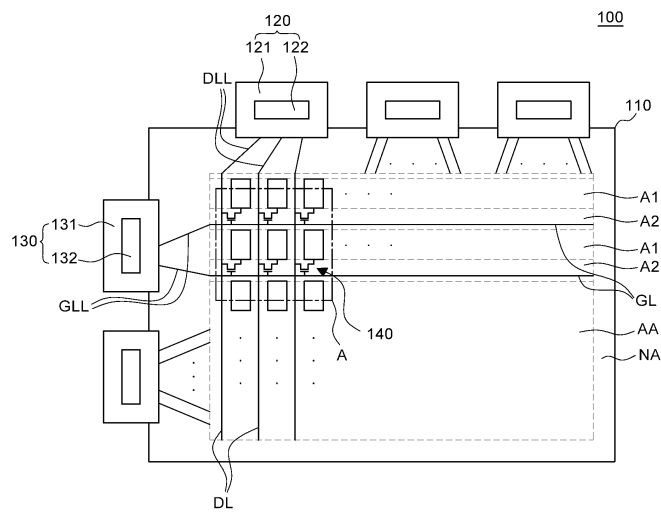
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 표시 장치에 관한 것으로서, 본 발명에 따른 표시 장치는 복수의 화소가 정의되는 표시 영역을 포함하는 기관, 기관 상에 배치되고, 복수의 화소와 중첩되며 제1 방향으로 연장되며 서로 이격된 복수의 제1 배향막, 복수의 제1 배향막 각각의 사이에 배치된 복수의 제1 배향막과 저항이 상이한 복수의 제2 배향막 및 복수의 제1 배향막 및 제2 복수의 배향막 상의 액정층을 포함하여, 표시 장치에 잔상이 시인되는 것을 저감시킬 수 있다.

대표도 - 도1a



(52) CPC특허분류
G02F 2001/133397 (2013.01)

명세서

청구범위

청구항 1

복수의 화소가 정의되는 표시 영역을 포함하는 기관;

상기 기관 상에 배치되고, 상기 복수의 화소와 중첩되며 제1 방향으로 연장되며 서로 이격된 복수의 제1 하부 배향막;

상기 복수의 제1 하부 배향막 각각의 사이에 배치되며, 상기 복수의 화소 사이에 배치된 복수의 트랜지스터와 중첩되고, 상기 복수의 제1 하부 배향막과 저항이 상이한 복수의 제2 하부 배향막; 및

상기 복수의 제1 하부 배향막 및 상기 복수의 제2 하부 배향막 상의 액정층을 포함하는, 표시 장치.

청구항 2

제1항에 있어서,

상기 복수의 제1 배향막은 개구 영역에 배치되고, 상기 복수의 제2 배향막은 구동부와 중첩되는, 표시 장치.

청구항 3

제1항에 있어서,

상기 복수의 제1 하부 배향막의 저항은 상기 복수의 제2 하부 배향막의 저항보다 큰, 표시 장치.

청구항 4

제1항에 있어서,

상기 복수의 제1 하부 배향막은 상기 복수의 제2 하부 배향막의 끝단을 덮는, 표시 장치.

청구항 5

제1항에 있어서,

상기 복수의 제1 하부 배향막의 하부에 배치되고 상기 복수의 제1 하부 배향막과 저항이 상이한 복수의 제3 하부 배향막을 더 포함하는, 표시 장치.

청구항 6

제5항에 있어서,

상기 복수의 제3 하부 배향막의 저항은 상기 복수의 제1 하부 배향막의 저항보다 작은, 표시 장치.

청구항 7

제5항에 있어서,

상기 복수의 제2 하부 배향막과 상기 복수의 제3 하부 배향막은 일체로 이루어지는, 표시 장치.

청구항 8

제5항에 있어서,

상기 복수의 제3 하부 배향막은 상기 복수의 제1 하부 배향막 및 상기 복수의 제2 하부 배향막 모두의 하부에 배치된, 표시 장치.

청구항 9

제1항에 있어서,

상기 액정층 상에 배치되며, 상기 복수의 제1 하부 배향막 및 상기 복수의 제2 하부 배향막 각각과 상기 액정층을 기준으로 대칭으로 배치된 복수의 제1 상부 배향막 및 복수의 제2 상부 배향막을 더 포함하며, 상기 복수의 제1 상부 배향막과 상기 복수의 제2 상부 배향막은 저항이 상이한, 표시 장치.

청구항 10

복수의 트랜지스터가 배치되고 일 방향으로 연장하는 복수의 제2 영역 및 상기 복수의 제2 영역 사이의 복수의 제1 영역이 정의된 표시 영역을 포함하는 기판;

상기 복수의 제1 영역에 배치된 복수의 제1 하부 배향막;

상기 복수의 제2 영역에 배치되고, 상기 복수의 제1 하부 배향막과 저항이 상이한 복수의 제2 하부 배향막; 및 상기 복수의 제1 하부 배향막 및 상기 복수의 제2 하부 배향막 상에 배치된 액정층을 포함하는, 표시 장치.

청구항 11

제10항에 있어서,

상기 복수의 제1 영역에 배치된 복수의 화소를 더 포함하는, 표시 장치.

청구항 12

제10항에 있어서,

상기 복수의 제1 하부 배향막의 구성 물질의 저항은 상기 복수의 제2 하부 배향막의 구성 물질의 저항보다 큰, 표시 장치.

청구항 13

제10항에 있어서,

상기 복수의 제1 하부 배향막의 하부에 배치되고, 상기 복수의 제1 하부 배향막보다 저항이 작은 복수의 제3 하부 배향막을 더 포함하는, 표시 장치.

청구항 14

제13항에 있어서,

상기 복수의 제3 하부 배향막은, 상기 복수의 제2 하부 배향막과 하나의 층으로 구성된, 표시 장치.

청구항 15

제13항에 있어서,

상기 복수의 제3 하부 배향막은 상기 복수의 제2 하부 배향막 하부에도 배치되는, 표시 장치.

청구항 16

제10항에 있어서,

상기 복수의 제1 영역에서 상기 액정층 상에 배치된 복수의 제1 상부 배향막; 및

상기 복수의 제2 영역에서 상기 액정층 상에 배치되고, 상기 복수의 제1 상부 배향막과 저항이 상이한 복수의 제2 상부 배향막을 더 포함하는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 보다 상세하게는 AC 잔상 및 DC 잔상 모두가 개선된 표시 장치에 관한 것이다.

배경 기술

[0003] 최근, 본격적인 정보화 시대로 접어들어 따라 전기적 정보 신호를 시각적으로 표현하는 디스플레이 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저 소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시 장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0004] 이와 같은 평판 표시 장치의 구체적인 예로는 액정 표시 장치(LCD), 유기 발광 표시 장치(OLED), 전기 영동 표시 장치(EPD), 플라즈마 표시 장치(PDP) 및 전기 습윤 표시 장치(EWD) 등을 들 수 있다. 액정 표시 장치는 소형화, 경량화, 박형화, 저전력 구동 등의 장점을 가지고 있어 널리 사용되고 있다.

[0005] 액정 표시 장치는 액정의 광학적 이방성과 분극 성질을 이용하는 것으로, 액정층 및 액정층이 포함하는 액정 분자의 초기 배열을 위한 배향막을 포함한다. 배향막의 표면은 일정한 방향성을 가지며, 배향막의 배향력에 의하여 액정의 틸트된 정도는 조절될 수 있다. 배향막은 표면을 물리적으로 러빙(rubbing)하거나 자외선을 조사함으로써 배향될 수 있으며, 배향 규제력을 가질 수 있다. 배향 규제력은 액정 분자들을 초기의 배향 방향으로 돌아가도록 한다.

[0006] 배향막의 배향 규제력이 약할 경우, 표시 장치가 오랜 시간 동일한 영상을 표시한 이후, 다른 영상으로 전환될 때, 액정은 초기의 배향 방향으로 완전히 돌아가지 못할 수 있어 문제된다. 그리고, 배향막에 전압이 인가된 이후, 배향막에 축적된 전하가 빠르게 방전되지 못할 경우, 표시 장치에 원하지 않는 영상이 표시될 수 있어 문제된다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는 서로 상이한 물질로 이루어진 복수의 화소와 중첩하여 배치되는 배향막과 복수의 트랜지스터에 중첩하여 배치되는 배향막을 포함하여, 표시 장치 표면에 발생하는 잔상이 개선된 표시 장치를 제공하는 것이다.

[0009] 본 발명이 해결하고자 하는 다른 과제는 복수의 화소와 중첩하여 배치되는 배향막이 서로 다른 물질로 이루어진 복수의 배향막을 포함하며, 다양한 종류의 잔상이 모두 개선된 표시 장치를 제공하는 것이다.

[0010] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 표시 장치는 복수의 화소가 정의되는 표시 영역을 포함하는 기관, 기관 상에 배치되고, 복수의 화소와 중첩되며 제1 방향으로 연장되며 서로 이격된 복수의 제1 배향막, 복수의 제1 배향막 각각의 사이에 배치된 복수의 제1 배향막과 저항이 상이한 복수의 제2 배향막 및 복수의 제1 배향막 및 제2 복수의 배향막 상의 액정층을 포함한다. 이에, AC 잔상 및 DC 잔상이 모두 개선될 수 있다.

[0013] 본 발명의 다른 실시예에 따른 표시 장치는 복수의 트랜지스터가 배치되고 일 방향으로 연장하는 복수의 제2 영역 및 복수의 제2 영역 사이의 복수의 제1 영역이 정의된 표시 영역을 포함하는 기관, 복수의 제1 영역에 배치된 복수의 제1 배향막, 복수의 제2 영역에 배치되고, 복수의 제1 배향막과 저항이 상이한 복수의 제2 배향막, 복수의 제1 배향막 및 복수의 제2 배향막 상에 배치된 액정층을 포함한다. 이에, 표시 장치에 시인되는 잔상을 효과적으로 개선할 수 있다.

[0014] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0016] 본 발명은 복수의 화소가 배치된 영역에 배치되는 배향막의 배향 규제력을 향상시켜 잔상을 개선하는 효과가 있다.

[0017] 또한, 본 발명은 복수의 트랜지스터가 배치된 영역에 배치되는 배향막에 축적된 전하를 빠르게 방전시켜 잔상을 개선하는 효과가 있다.

[0018] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0020] 도 1a는 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.

도 1b는 도 1a의 A영역에 대한 확대 평면도이다.

도 2는 도 1의 개략적인 단면도이다.

도 3은 본 발명의 다른 실시예에 따른 표시 장치의 단면도이다.

도 4는 본 발명의 또 다른 실시예에 따른 표시 장치의 단면도이다.

도 5는 본 발명의 또 다른 실시예에 따른 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0022] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0023] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0024] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0025] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0026] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0027] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0028] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기

및 두께에 반드시 한정되는 것은 아니다.

- [0029] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0031] 도 1a는 본 발명의 일 실시예에 따른 표시 장치의 평면도이다. 도 1b는 도 1a의 A영역에 대한 확대 평면도이다. 도 2는 도 1의 개략적인 단면도이다. 도 1a에서는 설명의 편의를 위해 표시 장치(100)의 제1 기관(110), 데이터 구동부(120), 게이트 구동부(130), 복수의 신호 배선(DL, GL), 복수의 링크 배선(DLL, GLL), 복수의 화소(PX) 및 복수의 트랜지스터(140)만을 도시하였다. 도 1a 및 도 1b의 평면도의 트랜지스터(140)는 액티브층(142)이 생략되어 도시되었다.
- [0032] 도 1a, 도 1b 및 도 2를 참조하면, 제1 기관(110)은 표시 장치(100)의 여러 구성 요소들을 지지하기 위한 베이스 부재로, 절연 물질로 이루어질 수 있다. 예를 들어, 제1 기관(110)은 유리 또는 폴리이미드(polyimide) 등과 같은 플라스틱 물질로 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0033] 제1 기관(110)에는 표시 영역(AA) 및 표시 영역(AA)을 둘러싸는 비표시 영역(NA)이 정의될 수 있다. 표시 영역(AA)은 표시 장치(100)에서 실제로 영상이 표시되는 영역이다. 표시 영역(AA)에는 표시부 및 표시부를 구동하기 위한 다양한 구동 소자 및 복수의 신호 배선(DL, GL)이 배치될 수 있다. 예를 들어, 표시부는 화소 전극(151)과 공통 전극(152)에 인가된 전압에 의해 발생하는 전계에 의해 액정을 구동하는 액정 표시부일 수 있다. 다만, 이에 제한되지 않고, 표시부는 애노드, 유기층, 및 캐소드를 포함하는 유기 발광 소자로 구성되는 유기 발광 표시부일 수도 있다. 또한, 표시부를 구동하기 위한 트랜지스터(140), 커패시터 등과 같은 다양한 구동 소자가 표시 영역(AA)에 배치될 수 있다. 본 명세서에서는 표시 장치(100)를 액정 표시 장치로 설명하였으나, 이에 제한되지 않으며, 표시 장치(100)는 유기 발광 표시 장치일 수도 있다.
- [0034] 비표시 영역(NA)은 영상이 표시되지 않는 영역으로, 표시 영역(AA)을 둘러싸는 영역이다. 비표시 영역(NA)에는 표시 영역(AA)에 배치된 복수의 화소(PX)를 구동하기 위한 다양한 구성 요소들이 배치될 수 있다. 예를 들어, 도 1a에 도시된 바와 같이, 데이터 구동부(120), 게이트 구동부(130), 표시 영역(AA)의 다양한 신호 배선(GL, DL)과 연결되는 링크 배선(GLL, DLL) 등이 비표시 영역(NA)에 배치될 수 있다. 데이터 구동부(120) 및 게이트 구동부(130)은 비표시 영역(NA)에 형성되는 복수의 패드와 본딩될 수 있다. 복수의 패드는 링크 배선(GLL, DLL)과 연결되고, 링크 배선(GLL, DLL)을 통하여 신호 배선(DL, GL)과 연결될 수 있다. 이에, 복수의 패드 각각은 복수의 화소(PX) 각각과 전기적으로 연결될 수 있다.
- [0035] 데이터 구동부(120)는 영상을 표시하기 위한 데이터와 이를 처리하기 위한 구동 신호를 처리하는 구성으로, 표시 영역(AA)의 복수의 화소(PX)로 신호를 공급하기 위한 구성이다. 데이터 구동부(120)는 비표시 영역(NA)에 배치된 다양한 배선을 통해 데이터 신호를 표시 영역(AA)의 복수의 화소(PX)로 공급한다. 도 1a에서는 데이터 구동부(120)가 복수인 것으로 도시되었으나, 이에 제한되지 않고, 1개의 데이터 구동부(120)가 제1 기관(110)에 배치될 수 있다.
- [0036] 도 1a를 참조하면, 데이터 구동부(120)는 베이스 필름(121), 구동 IC(122) 및 복수의 데이터 패드를 포함한다. 베이스 필름(121)은 데이터 구동부(120)를 지지하는 필름이다. 베이스 필름(121)은 절연 물질로 이루어질 수 있고, 예를 들어, 플렉서빌리티를 갖는 절연 물질로 이루어질 수 있다. 구동 IC(122)는 영상을 표시하기 위한 데이터 전압과 이를 처리하기 위한 구동 신호를 처리하는 구성이다. 구동 IC(122)는 표시 장치(100)의 제1 기관(110) 상에 실장되는 방식에 따라 COG(Chip On Glass), COF(Chip On Film), TCP(Tape Carrier Package) 등의 방식으로 배치될 수 있다. 도 1a에서는 설명의 편의를 위해 데이터 구동부(120)가 베이스 필름(121) 상에 실장된 COF 방식인 것으로 도시하였으나, 이에 제한되지 않는다.
- [0037] 게이트 구동부(130)는 타이밍 컨트롤러의 제어 하에 게이트 신호를 출력하고, 게이트 링크 배선(GLL)을 통해 데이터 전압이 충전되는 화소(PX)를 선택할 수 있다. 게이트 구동부(130)는 시프트 레지스터(shift register)를 이용하여 게이트 신호를 게이트 배선(GL)으로 순차적으로 공급할 수 있다. 게이트 구동부(130)는 베이스 필름(131), 구동 IC(132) 및 복수의 게이트 패드를 포함한다. 베이스 필름(131)은 게이트 구동부(130)를 지지하는 필름이다. 베이스 필름(131)은 절연 물질로 이루어질 수 있고, 예를 들어, 플렉서빌리티를 갖는 절연 물질로 이루어질 수 있다. 구동 IC(132)는 영상을 표시하기 위한 게이트 전압과 이를 처리하기 위한 구동 신호를 처리하는 구성이다. 구동 IC(132)는 표시 장치(100)의 제1 기관(110) 상에 실장되는 방식에 따라 COG(Chip On

Glass), COF(Chip On Film), TCP(Tape Carrier Package) 등의 방식으로 배치될 수 있다. 도 1a에서는 설명의 편의를 위해 게이트 구동부(130)가 베이스 필름(131) 상에 실장된 COF 방식인 것으로 도시하였으나, 이에 제한되지 않는다. 또한, 게이트 구동부(130)가 복수인 것으로 도시되었으나, 이에 제한되지 않고, 1개의 게이트 구동부(130)가 제1 기관(110)에 배치될 수 있다.

- [0038] 한편, 표시 영역(AA)은 복수의 제1 영역(A1) 및 복수의 제2 영역(A2)을 포함한다. 복수의 제1 영역(A1)은 영상이 표시되는 복수의 화소(PX)와 중첩되는 영역이며, 복수의 제2 영역(A2)은 복수의 트랜지스터(140)와 중첩되는 영역이다.
- [0039] 구체적으로, 복수의 제1 영역(A1)은 표시 영역(AA)에서 제1 방향으로 연장되며 서로 이격된다. 복수의 제1 영역(A1)에는 복수의 화소(PX)가 배치된다. 복수의 화소(PX)는 빛을 발광하는 최소 단위로, 적색 화소, 녹색 화소 및 청색 화소를 포함할 수 있다. 복수의 화소(PX)는 블랙 매트릭스(114)가 배치되지 않은 영역에서 정의되며, 영상이 표시되는 영역이다. 복수의 화소(PX) 각각은 신호 배선(DL, GL), 즉, 게이트 배선(GL) 및 데이터 배선(DL)과 연결될 수 있다.
- [0040] 복수의 제1 영역(A1)은 복수의 화소(PX)가 배치된 개구 영역과 복수의 트랜지스터(140)가 배치되지 않은 비개구 영역 중 일부 영역을 포함할 수 있다. 그리고, 복수의 제2 영역(A2)은 복수의 트랜지스터(140)가 배치된 비개구 영역 중 일부 영역을 포함할 수 있다. 구체적으로, 개구 영역이란 표시 영역(AA) 중 블랙 매트릭스(114)와 중첩하지 않는 영역을 의미할 수 있다. 그리고, 비개구 영역이란 표시 영역(AA) 중 블랙 매트릭스(114)와 중첩하는 영역을 의미할 수 있다. 복수의 화소(PX) 사이에는 복수의 트랜지스터(140) 등과 같은 구동부가 배치될 수 있다.
- [0041] 이때, 개구 영역은 복수의 제1 영역(A1)에만 포함될 수 있다. 그리고, 복수의 트랜지스터(140)는 복수의 제2 영역(A2)에만 포함될 수 있다. 복수의 제1 영역(A1)은 복수의 트랜지스터(140)가 배치된 영역은 포함하지 않을 수 있다.
- [0042] 복수의 신호 배선(DL, GL)은 복수의 데이터 배선(DL) 및 복수의 게이트 배선(GL)을 포함할 수 있다. 복수의 데이터 배선(DL)은 제1 방향으로 연장되며 복수의 화소(PX)에 데이터 신호를 전달한다. 복수의 게이트 배선(GL)은 제2 방향으로 연장되며 복수의 화소(PX)에 게이트 신호를 전달한다. 이때, 제1 방향과 제2 방향을 서로 수직인 방향일 수 있으며, 그러나, 이에 제한되지는 않는다.
- [0043] 복수의 제2 영역(A2)은 표시 영역(AA)에서 복수의 제1 영역(A1) 사이에 배치된다. 복수의 제2 영역(A2)은 복수의 제1 영역(A1)의 연장 방향인 제1 방향으로 연장되며, 복수의 제1 영역(A1) 각각의 사이에 배치된다. 복수의 제2 영역(A2)에는 복수의 트랜지스터(140)가 배치된다. 즉, 복수의 트랜지스터(140)는 복수의 화소(PX) 사이에 배치될 수 있다.
- [0044] 도 1a, 도 1b 및 도 2를 참조하면, 제2 영역(A2)의 제1 기관(110)의 상에는 트랜지스터(140)가 배치된다. 트랜지스터(140)는 게이트 전극(141), 게이트 전극(141) 상에 배치된 액티브층(142), 액티브층(142) 상에 배치된 소스 전극(143) 및 드레인 전극(144)을 포함한다. 보다 상세히 설명하면, 제2 영역(A2)의 제1 기관(110)상에는 게이트 전극(141)이 형성된다. 게이트 전극(141) 상에는 게이트 절연층(111)이 형성되고, 게이트 절연층(111) 상에는 트랜지스터(140)의 채널이 형성되는 액티브층(142)이 형성된다. 게이트 절연층(111)은 액티브층(142)과 게이트 전극(141)을 전기적으로 절연시킬 수 있다. 게이트 절연층(111)은 실리콘 나이트라이드(SiNx) 또는 실리콘 옥사이드(SiOx) 등과 같은 무기물로 이루어지고, 단일층이거나 이들의 복수의 층으로 이루어질 수 있으며, 이에 한정되는 것은 아니다. 액티브층(142) 상에는 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)이 형성될 수 있다. 트랜지스터(140)는 도 2에 도시된 바와 같이 바텀 게이트(bottom gate) 타입의 트랜지스터(140)일 수 있으나, 트랜지스터(140)의 적층 구조는 이에 제한되지 않으며, 탑 게이트(top gate) 타입의 트랜지스터(140)일 수도 있다.
- [0045] 복수의 트랜지스터(140) 각각은 복수의 게이트 배선(GL)과 전기적으로 연결될 수 있다. 구체적으로, 복수의 게이트 배선(GL)은 복수의 화소(PX) 사이에 배치되어 복수의 트랜지스터(140) 각각과 전기적으로 연결될 수 있다. 구체적으로, 도 1b를 참조하면, 복수의 트랜지스터(140)의 게이트 전극(141)은 게이트 배선(GL)과 연결된다. 복수의 트랜지스터(140)는 복수의 게이트 배선(GL) 각각으로부터 게이트 신호를 인가받고, 복수의 화소(PX) 각각으로 게이트 신호를 전달할 수 있다.
- [0046] 복수의 트랜지스터(140) 상에는 패시베이션층(112)이 배치된다. 패시베이션층(112)은 복수의 트랜지스터(140)를 보호하기 위한 절연층이다. 패시베이션층(112)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx) 등의 무기 물질로

이루어질 수 있다. 다만, 이에 제한되지 않고, 설계에 따라 패시베이션층(112)은 생략될 수도 있다.

- [0047] 패시베이션층(112) 상에는 평탄화층(113)이 배치된다. 평탄화층(113)은 표시 영역(AA)에 배치되는 트랜지스터(140) 등의 소자의 상부를 평탄화하기 위한 층이다. 평탄화층(113)은 유기 물질로 이루어진 절연층일 수 있다.
- [0048] 평탄화층(113) 상에는 화소 전극(151)이 배치된다. 화소 전극(151)은 액정층(180)에 전계를 형성하기 위한 전극이다. 화소 전극(151)은 평탄화층(113) 및 패시베이션층(112)에 형성된 콘택홀을 통하여 트랜지스터(140)의 드레인 전극(144)과 연결된다. 트랜지스터(140)는 화소 전극(151)에 전압을 인가할 수 있다. 화소 전극(151)은 ITO(Indium Tin Oxide)와 같은 투명 도전성 물질로 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0049] 그리고, 평탄화층(113) 상에는 공통 전극(152)이 배치된다. 공통 전극(152)은 화소 전극(151)과 함께 액정층(180)에 전계를 형성하기 위한 전극이다. 즉, 화소 전극(151)과 공통 전극(152)은 전계를 형성할 수 있고, 이 전계에 의하여 액정층(180)은 구동될 수 있다. 도 1b를 참조하면, 화소 전극(151)과 공통 전극(152)은 서로 맞물려 배치될 수 있다. 공통 전극(152)은 화소 전극(151)과 동일한 물질로 이루어질 수 있고, 예를 들면, ITO(Indium Tin Oxide)와 같은 투명 도전성 물질로 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0050] 도 2에서는 화소 전극(151)과 공통 전극(152)이 평탄화층(113) 상에서 동일한 층상에 배치되는 것으로 도시되었으나, 이에 제한되지 않고 화소 전극(151)과 공통 전극(152)은 서로 다른 층상에 배치될 수 있다. 예를 들면, 평탄화층(113) 상에는 화소 전극(151)이 배치되고, 화소 전극(151) 상에는 절연층이 배치될 수 있다. 그리고, 절연층 상에는 공통 전극이 배치될 수도 있다.
- [0051] 도 2를 참조하면, 복수의 제2 영역(A2)의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 복수의 제2 하부 배향막(162)이 형성된다. 복수의 제2 하부 배향막(162)은 액정층(180)이 포함하는 액정의 배향을 제어하기 위한 구성 요소이다. 구체적으로, 복수의 제2 하부 배향막(162)은 복수의 제2 하부 배향막(162)과 중첩하는 액정층(180)이 포함하는 액정 분자의 초기 배열을 일정한 방향으로 일치시킬 수 있다.
- [0052] 구체적으로, 복수의 제2 하부 배향막(162)은 제2 영역(A2)의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에 형성된다. 복수의 제2 하부 배향막(162)은 제1 방향으로 연장되어 서로 이격되어 배치된다. 복수의 제2 하부 배향막(162)은 제2 영역(A2)에 배치되는 복수의 트랜지스터(140)와 중첩된다. 이에, 복수의 제2 하부 배향막(162)은 복수의 트랜지스터(140)와 중첩되어 배치된 액정층(180)의 액정을 배향할 수 있다.
- [0053] 그리고, 복수의 제1 영역(A1)의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 복수의 제1 하부 배향막(161)이 형성된다. 복수의 제1 하부 배향막(161)은 액정층(180)이 포함하는 액정의 배향을 제어하기 위한 구성 요소이다. 구체적으로 복수의 제1 하부 배향막(161)은 복수의 제1 하부 배향막(161)과 중첩하는 액정층(180)이 포함하는 액정 분자의 초기 배열을 일정한 방향으로 일치시킬 수 있다. 복수의 제1 하부 배향막(161)은 제1 방향으로 연장되어 서로 이격되어 형성된다. 복수의 제1 하부 배향막(161)은 복수의 제2 하부 배향막(162) 사이에 형성될 수 있다. 그리고, 복수의 제1 하부 배향막(161)은 제1 영역(A1)에 정의되는 복수의 화소(PX)와 중첩된다. 이에, 복수의 제1 하부 배향막(161)은 복수의 화소(PX)에 배치된 액정층(180)의 액정을 배향할 수 있다.
- [0054] 이때, 복수의 제1 하부 배향막(161)은 복수의 제2 하부 배향막(162)의 끝단을 덮을 수 있다. 구체적으로, 복수의 제1 하부 배향막(161)은 복수의 제2 하부 배향막(162)이 형성된 이후에 형성될 수 있다. 복수의 제1 하부 배향막(161)의 끝단은 복수의 제2 영역(A2)의 일부에 형성될 수 있고, 복수의 제2 하부 배향막(162)의 끝단 상에 형성될 수 있다. 따라서, 복수의 제1 하부 배향막(161)의 끝단은 복수의 제2 하부 배향막(162)의 끝단을 덮을 수 있다.
- [0055] 그리고, 복수의 제1 하부 배향막(161)과 복수의 제2 하부 배향막(162)은 서로 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 하부 배향막(161)의 저항은 복수의 제2 하부 배향막(162)의 저항과 상이할 수 있다. 복수의 제1 하부 배향막(161)의 저항 및 복수의 제2 하부 배향막(162)의 저항은 복수의 제1 하부 배향막(161)의 체적 저항 및 복수의 제2 하부 배향막(162)의 체적 저항을 의미할 수 있다. 복수의 제1 하부 배향막(161)의 구성 물질의 저항은 복수의 제2 하부 배향막(162)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 하부 배향막(161)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 복수의 제2 하부 배향막(162)의 저항은 10^{13} Ω 미만일 수 있다.
- [0056] 예를 들면, 복수의 제1 하부 배향막(161)과 복수의 제2 하부 배향막(162)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 하부 배향막(161) 및 제2 하부 배향막(162)은 폴리아미산(polyamic acid), 폴리아믹산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합

물을 전구체로하여 이루어질 수 있다. 이때, 복수의 제1 하부 배향막(161)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 하부 배향막(162)은 저항이 낮은 단량체를 포함할 수 있다. 이에, 복수의 제1 하부 배향막(161)의 저항은 복수의 제2 하부 배향막(162)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다.

- [0057] 복수의 제1 하부 배향막(161)의 저항이 복수의 제2 하부 배향막(162)의 저항보다 클 경우, 복수의 제1 하부 배향막(161)의 배향 규제력은 복수의 제2 배향막(162)의 배향 규제력보다 높을 수 있다. 배향 규제력이 높은 복수의 제1 하부 배향막(161)은 액정층(180)의 액정 분자에 더 큰 배향력을 작용할 수 있다. 이에, 액정층(180)의 액정 분자들은 초기의 배열 방향으로 더 강하게 돌아올 수 있다.
- [0058] 제1 하부 배향막(161) 및 제2 하부 배향막(162) 상에는 액정층(180)이 배치된다. 액정층(180)은 액정을 포함하는 층으로서, 전계에 의하여 빛을 투과하거나 차단할 수 있는 층이다. 구체적으로, 공통 전극(152)과 화소 전극(151)에 의하여 전계가 형성될 수 있고, 전계에 의하여 액정층(180)은 구동되어 빛을 차단하거나 투과시킬 수 있다.
- [0059] 액정층(180) 상에는 제2 기관(115)이 배치된다. 제2 기관(115)은 제2 기관(115)의 하부에 배치되는 구성 요소들은 지지하는 기관이다. 제2 기관(115)은 절연 물질로 이루어질 수 있다. 구체적으로, 제2 기관(115)은 제1 기관(110)과 동일한 물질로 이루어질 수 있으며, 예를 들면, 유리 또는 폴리이미드(polyimide) 등과 같은 플라스틱 물질로 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0060] 제2 기관(115)의 하부에는 블랙 매트릭스(114)가 배치된다. 블랙 매트릭스(114)는 복수의 화소(PX)를 제외한 영역에 배치된 다양한 소자들이 표시 장치(100)의 표면에서 시인되는 것을 방지하는 층이다. 블랙 매트릭스(114)는 광이 투과되지 않는 물질로 이루어진 층이다. 블랙 매트릭스(114)가 배치되지 않은 영역에서 복수의 화소(PX)가 정의될 수 있다. 즉, 블랙 매트릭스(114)는 제1 영역(A1) 중 복수의 화소(PX)가 배치되지 않은 영역에 배치될 수 있고, 제2 영역(A2) 전체에 배치될 수 있다.
- [0061] 제2 기관(115) 및 블랙 매트릭스(114)의 하부에는 컬러 필터(190)가 배치된다. 컬러 필터(190)는 염료 또는 안료를 포함하는 구성 요소이다. 컬러 필터(190)는 적색 컬러 필터, 녹색 컬러 필터 및 청색 컬러 필터를 포함할 수 있다. 적색 컬러 필터는 적색 염료 또는 안료를 포함하며, 적색 화소에 배치되어 적색광만을 투과시킬 수 있다. 녹색 컬러 필터는 녹색 염료 또는 안료를 포함하며, 녹색 화소에 배치되어 녹색광만을 투과시킬 수 있다. 그리고, 청색 컬러 필터는 청색 염료 또는 안료를 포함하며, 청색 화소에 배치되어 청색광만을 투과시킬 수 있다.
- [0062] 복수의 제2 영역(A2)의 컬러 필터(190)의 하부 및 액정층(180)의 상부에는 복수의 제2 상부 배향막(172)이 배치된다. 복수의 제2 상부 배향막(172)은 액정층(180)이 포함하는 액정의 배향을 제어하기 위한 구성 요소이다. 구체적으로, 복수의 제2 상부 배향막(172)은 복수의 제2 상부 배향막(172)과 중첩하는 액정층(180)이 포함하는 액정 분자의 초기 배열을 일정한 방향으로 일치시킬 수 있다.
- [0063] 구체적으로, 복수의 제2 상부 배향막(172)은 제2 영역(A2)의 액정층(180)과 컬러 필터(190) 사이에 형성된다. 복수의 제2 상부 배향막(172)은 제1 방향으로 연장되어 서로 이격되어 배치된다. 복수의 제2 상부 배향막(172)은 제2 영역(A2)에 배치되는 복수의 트랜지스터(140)와 중첩된다. 이에, 복수의 제2 하부 배향막(162)은 복수의 트랜지스터(140)와 중첩되어 배치된 액정층(180)의 액정을 배향할 수 있다.
- [0064] 그리고, 복수의 제1 영역(A1)의 컬러 필터(190)의 하부 및 액정층(180)의 상부에는 복수의 제1 상부 배향막(171)이 배치된다. 복수의 제1 상부 배향막(171)은 액정층(180)이 포함하는 액정의 배향을 제어하기 위한 구성 요소이다. 구체적으로 복수의 제1 상부 배향막(171)은 복수의 제1 상부 배향막(171)과 중첩하는 액정층(180)이 포함하는 액정 분자의 초기 배열을 일정한 방향으로 일치시킬 수 있다. 복수의 제1 상부 배향막(171)은 제1 방향으로 연장되어 서로 이격되어 형성된다. 복수의 제1 상부 배향막(171)은 복수의 제2 상부 배향막(172) 사이에 형성될 수 있다. 그리고, 복수의 제1 상부 배향막(171)은 제1 영역(A1)에 정의되는 복수의 화소(PX)와 중첩된다. 이에, 복수의 제1 상부 배향막(171)은 복수의 화소(PX)에 배치된 액정층(180)의 액정을 배향할 수 있다.
- [0065] 이때, 복수의 제1 상부 배향막(171)은 복수의 제2 상부 배향막(172)의 끝단을 덮을 수 있다. 구체적으로, 복수의 제1 상부 배향막(171)은 복수의 제2 상부 배향막(172)이 형성된 이후에 형성될 수 있다. 복수의 제1 상부 배향막(171)의 끝단은 복수의 제2 영역(A2)의 일부에 형성될 수 있고, 복수의 제2 상부 배향막(172)의 끝단 상에 형성될 수 있다. 따라서, 복수의 제1 상부 배향막(171)의 끝단은 복수의 제2 상부 배향막(172)의 끝단을 덮을 수 있다.

- [0066] 그리고, 복수의 제1 상부 배향막(171)과 복수의 제2 상부 배향막(172)은 서로 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 상부 배향막(171)의 저항은 복수의 제2 상부 배향막(172)의 저항과 상이할 수 있다. 복수의 제1 상부 배향막(171)의 저항 및 복수의 제2 상부 배향막(172)의 저항은 복수의 제1 상부 배향막(171)의 체적 저항 및 복수의 제2 상부 배향막(172)의 체적 저항을 의미할 수 있다. 복수의 제1 상부 배향막(171)의 구성 물질의 저항은 복수의 제2 상부 배향막(172)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 상부 배향막(171)의 저항은 $10^{13}\Omega$ 이상일 수 있다. 그리고, 복수의 제2 상부 배향막(172)의 저항은 $10^{13}\Omega$ 이하일 수 있다.
- [0067] 예를 들면, 복수의 제1 상부 배향막(171)과 복수의 제2 상부 배향막(172)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 상부 배향막(171) 및 제2 상부 배향막(172)은 폴리아믹산(polyamic acid), 폴리아믹산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합물을 전구체로 하여 이루어질 수 있다. 이때, 복수의 제1 상부 배향막(171)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 상부 배향막(172)은 저항이 낮은 단량체를 포함할 수 있다. 이에, 복수의 제1 상부 배향막(171)의 저항은 복수의 제2 상부 배향막(172)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다.
- [0068] 그리고, 복수의 제1 상부 배향막(171)은 복수의 제1 하부 배향막(161)과 동일한 물질로 이루어질 수 있으며, 복수의 제2 상부 배향막(172)은 복수의 제2 하부 배향막(162)과 동일한 물질로 이루어질 수 있다. 그러나, 이에 제한되는 것은 아니다.
- [0069] 복수의 제1 상부 배향막(171)의 저항이 복수의 제2 상부 배향막(172)의 저항보다 클 경우, 복수의 제1 상부 배향막(171)의 배향 규제력은 복수의 제2 상부 배향막(172)의 배향 규제력보다 높을 수 있다. 배향 규제력이 높은 복수의 제1 상부 배향막(171)은 액정층(180)의 액정 분자에 더 큰 배향력을 작용할 수 있다. 이에, 액정층(180)의 액정 분자들은 초기의 배열 방향으로 더 강하게 돌아올 수 있다.
- [0070] 종래의 표시 장치의 경우, 액정층 하부 및 상부에는 하나의 물질로 이루어진 배향막이 배치되었다. 즉, 표시 장치의 표시 영역 전체에는 하나의 층으로 구성된 배향막이 배치되었고, 배향막은 동일한 저항을 갖는 구성 물질을 포함하였다. 이에, 종래의 표시 장치는 AC 잔상과 DC 잔상을 모두 개선할 수 없었다.
- [0071] 구체적으로, AC 잔상은 표시 장치에 특정 패턴이 오랜 시간 동안 표시된 후, 다른 패턴으로 전환될 경우, 액정의 초기 배향 방향이 표시 장치의 제조 당시의 방향과 상이하게 되어, 오랜 시간 동안 표시된 영상이 보이게 되는 현상을 의미한다. AC 잔상은 배향막의 낮은 저항으로 인하여 배향 규제력이 감소됨으로써 발생할 수 있다. 배향 규제력이란 액정 분자들의 배향을 제어하는 힘을 의미한다. 배향 규제력에 의하여 액정 분자들은 초기의 배향 방향으로 돌아올 수 있다. 배향막의 저항이 낮아질 경우, 배향막의 배향 규제력이 낮아질 수 있고, 이에, 오랜 시간 동일 표시된 동일한 영상이 다른 영상으로 변경되지 못할 수 있다. 따라서, 오랜 시간 동안 표시되었던 영상은 희미하게 AC 잔상으로 표시 장치에 표시될 수 있다.
- [0072] 그리고, DC 잔상은 표시 장치의 액정층으로의 전압 인가 이후 전압이 방전될 때, 배향막의 높은 저항으로 인하여 축적된 전하가 느리게 방전됨으로 인하여 발생하는 잔상을 의미한다. 배향막의 저항이 증가될 경우, 배향막에 축적된 전하가 방전되는 속도는 감소될 수 있다. 배향막에 축적된 전하가 느리게 방전될 경우, 표시 장치에 표시되던 영상이 다른 영상으로 전환되는 시간은 지연될 수 있고, 이에, 표시되던 영상이 DC 잔상으로 계속 표시될 수 있다.
- [0073] 이처럼, 배향막의 저항이 높아질 경우, AC 잔상은 개선될 수 있으나, DC 잔상은 더욱 심해질 수 있다. 그리고, 배향막의 저항이 낮아질 경우, DC 잔상은 개선될 수 있으나, AC 잔상은 더욱 심해질 수 있다. 따라서, 종래의 표시 장치의 경우, 배향막의 저항은 동일한 값일 수 있고, 이에 AC 잔상과 DC 잔상은 모두 개선될 수 없었다.
- [0074] 이와 달리, 본 발명의 일 실시예에 따른 표시 장치(100)는, 복수의 제1 영역(A1)에 배치된 복수의 제1 하부 배향막(161) 및 복수의 제1 상부 배향막(171)과 복수의 제2 영역(A2)에 배치된 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)을 포함함으로써, AC 잔상과 DC 잔상을 모두 개선할 수 있다. 구체적으로, 복수의 제1 하부 배향막(161) 및 복수의 제1 상부 배향막(171)은 복수의 제1 영역(A1) 각각에 배치되며 복수의 화소(PX)와 중첩될 수 있다. 복수의 화소(PX)는 블랙 매트릭스(114)가 배치되지 않는 개구 영역에 해당되며, 영상이 표시될 수 있다. 이때, 복수의 화소(PX)가 정의되는 개구 영역에서는 AC 잔상이 문제될 수 있다. 앞서 설명한 바와 같이 AC 잔상은 배향막의 배향 규제력이 감소됨에 의하여 액정층(180)이 포함하는 액정이 초기 배열 방향으로 돌아오지 못함에 따라 발생하는 잔상이다. 복수의 화소(PX)가 배치된 영역을 제외한 영역, 즉, 블랙 매트릭스(114)가 배치되어 영상이 표시되지 않는 비개구 영역의 경우, AC 잔상은 표시 장치(100)의 표면에 시인되지 않을 수 있다. 즉, AC 잔상은 복수의 화소(PX)가 정의되는 개구 영역에서 시인될 수 있고, 복수의 화소(PX)가

배치되지 않은 영역인 비개구 영역에서는 시인되지 않을 수 있다. 따라서, 본 발명의 일 실시예에 따른 표시 장치(100)는 복수의 화소(PX)가 배치된 복수의 제1 영역(A1)에 상대적으로 저항이 높은 복수의 제1 하부 배향막(161) 및 복수의 제1 상부 배향막(171)을 배치하며, 이에, AC 잔상을 효과적으로 개선할 수 있다.

[0075] 또한, 본 발명의 일 실시예에 따른 표시 장치(100)는, 복수의 제2 영역(A2)에 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)이 배치됨으로써 복수의 제1 영역(A1)에 발생하는 DC 잔상이 개선될 수 있다. 구체적으로, 복수의 트랜지스터(140)는 화소 전극(151)에 전압을 인가할 수 있다. 따라서, 복수의 트랜지스터(140)가 배치된 비개구 영역의 배향막은 복수의 트랜지스터(140)에 의하여 전하가 방전되는 속도가 느려질 수 있다. 이에, 복수의 제1 영역(A1)에는 DC 잔상이 발생할 수 있다. 따라서, 복수의 트랜지스터(140)가 배치된 비개구 영역인 복수의 제2 영역(A2)에는 복수의 제1 하부 배향막(161) 및 복수의 제1 상부 배향막(171)보다 저항이 낮은 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)이 배치된다. 이에, 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)에 의하여 전하의 방전 속도는 증가될 수 있고, DC 잔상은 효과적으로 개선될 수 있다.

[0076] 본 발명의 일 실시예에 따른 표시 장치(100)는 복수의 제1 하부 배향막(161)이 복수의 제2 하부 배향막(162)의 끝단을 덮고, 복수의 제1 상부 배향막(171)이 복수의 제2 상부 배향막(172)의 끝단을 덮음으로써, 복수의 제2 하부 배향막(162)의 끝단 및 복수의 제2 상부 배향막(172)의 끝단과 중첩되는 액정층에 미치는 배향 규제력을 향상시킬 수 있다. 구체적으로, 복수의 제1 하부 배향막(161) 및 복수의 제1 상부 배향막(172)의 저항은 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)의 저항보다 클 수 있고, 이에, 제1 하부 배향막(161) 및 제1 상부 배향막(171)의 배향 규제력은 제2 하부 배향막(162) 및 제2 상부 배향막(172)의 배향 규제력보다 클 수 있다. 따라서, 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)와 중첩되는 영역에 배치된 액정층(180)의 액정 분자는 초기의 배열 방향으로 완전히 돌아가지 못할 수 있다. 이에, 복수의 화소(PX)와 블랙 매트릭스(114)의 경계 부분에서의 휘도는 다른 부분의 휘도와 상이할 수 있다. 그러나, 본 발명의 일 실시예에 따른 표시 장치(100)는 복수의 제1 하부 배향막(161)이 복수의 제2 하부 배향막(162)의 끝단을 덮고, 복수의 제1 상부 배향막(171)이 복수의 제2 상부 배향막(172)의 끝단을 덮음으로써, 복수의 화소(PX)와 블랙 매트릭스(114)의 경계 부분에 배치된 액정층(180)에도 높은 배향력이 미치도록 할 수 있다. 이에, 표시 장치(100)의 휘도의 균일성은 더욱 향상될 수 있다.

[0077] 도 3은 본 발명의 다른 실시예에 따른 표시 장치의 단면도이다. 도 3의 표시 장치(300)는 도 1a, 도 1b 및 도 2의 표시 장치(100)와 비교하여 복수의 제1 하부 배향막(361), 복수의 제1 상부 배향막(371)이 상이하고, 복수의 제3 하부 배향막(363) 및 복수의 제3 상부 배향막(373)을 더 포함한다는 것을 제외하면 실질적으로 동일한 바, 중복 설명은 생략한다.

[0078] 도 3을 참조하면, 복수의 제2 영역(A2)의 평탄화층(113) 및 화소 전극(151) 상에는 복수의 제2 하부 배향막(162)이 형성된다. 복수의 제2 하부 배향막(162)은 복수의 제2 영역(A2)에서 제1 방향으로 연장되며 서로 이격된다. 복수의 제2 하부 배향막(162)은 제2 영역(A2)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제2 하부 배향막(162)은 복수의 트랜지스터(140)와 중첩된다.

[0079] 그리고, 복수의 제1 영역(A1)의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 복수의 제3 하부 배향막(363)이 형성된다. 복수의 제3 하부 배향막(363)은 복수의 제2 하부 배향막(162) 사이에서 복수의 제1 영역(A1)의 연장 방향과 동일한 방향으로 연장되어 배치된다. 복수의 제3 하부 배향막(363)은 복수의 제1 영역(A1)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제3 하부 배향막(363)은 복수의 화소(PX)와 중첩된다.

[0080] 이때, 복수의 제3 하부 배향막(363)은 복수의 제2 하부 배향막(162)의 끝단을 덮을 수 있다. 구체적으로, 복수의 제3 하부 배향막(363)은 복수의 제2 하부 배향막(162)이 형성된 이후에 형성될 수 있다. 복수의 제3 하부 배향막(363)의 끝단은 복수의 제2 영역(A2)의 일부에 형성될 수 있고, 복수의 제2 하부 배향막(162)의 끝단 상에 형성될 수 있다. 따라서, 복수의 제3 하부 배향막(363)의 끝단은 복수의 제2 하부 배향막(162)의 끝단을 덮을 수 있다.

[0081] 그리고, 복수의 제1 영역(A1)의 복수의 제3 하부 배향막(363) 상에는 복수의 제1 하부 배향막(361)이 형성된다. 복수의 제1 하부 배향막(361)은 복수의 제3 하부 배향막(363) 상에서 복수의 제1 영역(A1)의 연장 방향과 동일한 방향으로 연장되어 배치된다. 복수의 제1 하부 배향막(361)은 복수의 제1 영역(A1)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제1 하부 배향막(361)은 복수의 화소(PX)와 중첩된다.

- [0082] 그리고, 복수의 제1 하부 배향막(361)과 복수의 제2 하부 배향막(162)은 서로 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 하부 배향막(361)의 저항은 복수의 제2 하부 배향막(162)의 저항과 상이할 수 있다. 구체적으로, 복수의 제1 하부 배향막(361)의 구성 물질의 저항은 복수의 제2 하부 배향막(162)의 구성 물질의 저항보다 클 수 있다. 예를 들면, 복수의 제1 하부 배향막(361)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 복수의 제2 하부 배향막(162)의 저항은 10^{13} Ω 미만일 수 있다. 예를 들면, 복수의 제1 하부 배향막(361)과 복수의 제2 하부 배향막(162)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 하부 배향막(361) 및 제2 하부 배향막(162)은 폴리아미산(polyamic acid), 폴리아미산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합물을 전구체로 하여 이루어질 수 있다. 이때, 복수의 제1 하부 배향막(361)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 하부 배향막(162)은 저항이 낮은 단량체를 포함할 수 있다. 이에, 복수의 제1 하부 배향막(361)의 저항은 복수의 제2 하부 배향막(162)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다. 그리고, 복수의 제3 하부 배향막(363)과 복수의 제1 하부 배향막(361)은 서로 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 하부 배향막(361)의 저항은 복수의 제3 하부 배향막(363)의 저항과 상이할 수 있다. 구체적으로, 복수의 제1 하부 배향막(361)의 구성 물질의 저항은 복수의 제3 하부 배향막(363)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 하부 배향막(361)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 복수의 제3 하부 배향막(363)의 저항은 10^{13} Ω 미만일 수 있다.
- [0083] 이때 복수의 제2 하부 배향막(162)과 복수의 제3 하부 배향막(363)은 서로 상이한 물질로 이루어질 수 있다. 예를 들면, 복수의 화소(PX)와 중첩하는 복수의 제3 하부 배향막(363)은 광 투과율이 높은 물질로 이루어질 수 있고, 이에, 표시 장치의 휘도는 상승될 수 있다. 그리고, 블랙 매트릭스(114)와 중첩하는 복수의 제2 하부 배향막(162)은 광 투과율이 낮으나, 저항이 높은 물질로 이루어질 수 있다. 그러나, 이에 제한되지 않으며, 복수의 제3 하부 배향막(363)과 복수의 제2 하부 배향막(162)은 동일한 물질로 이루어질 수도 있다.
- [0084] 도 3을 참조하면, 복수의 제2 영역(A2)의 액정층(180)과 컬러 필터(190) 사이에는 복수의 제2 상부 배향막(172)이 형성된다. 복수의 제2 상부 배향막(172)은 복수의 제2 영역(A2)에서 제1 방향으로 연장되며 서로 이격된다. 복수의 제2 상부 배향막(172)은 제2 영역(A2)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제2 상부 배향막(172)은 복수의 트랜지스터(140)와 중첩된다.
- [0085] 그리고, 복수의 제1 영역(A1)의 액정층(180)과 컬러 필터(190) 사이에는 복수의 제3 상부 배향막(373)이 형성된다. 복수의 제3 상부 배향막(373)은 복수의 제2 상부 배향막(172) 사이에서 복수의 제1 영역(A1)의 연장 방향과 동일한 방향으로 연장되어 배치된다. 복수의 제3 상부 배향막(373)은 복수의 제1 영역(A1)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제3 상부 배향막(373)은 복수의 화소(PX)와 중첩된다.
- [0086] 이때, 복수의 제3 상부 배향막(373)은 복수의 제2 상부 배향막(172)의 끝단을 덮을 수 있다. 구체적으로, 복수의 제3 상부 배향막(373)은 복수의 제2 상부 배향막(172)이 형성된 이후에 형성될 수 있다. 복수의 제3 상부 배향막(373)의 끝단은 복수의 제2 영역(A2)의 일부에 형성될 수 있고, 복수의 제2 상부 배향막(172)의 끝단 하부에 형성될 수 있다. 따라서, 복수의 제3 상부 배향막(373)의 끝단은 복수의 제2 상부 배향막(172)의 끝단을 덮을 수 있다.
- [0087] 그리고, 복수의 제1 영역(A1)의 복수의 제3 상부 배향막(373) 하부에는 복수의 제1 상부 배향막(371)이 형성된다. 복수의 제1 상부 배향막(371)은 복수의 제3 상부 배향막(373) 하부에서 복수의 제1 영역(A1)의 연장 방향과 동일한 방향으로 연장되어 배치된다. 복수의 제1 상부 배향막(371)은 복수의 제1 영역(A1)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제1 상부 배향막(371)은 복수의 화소(PX)와 중첩된다.
- [0088] 그리고, 복수의 제1 상부 배향막(371)과 복수의 제2 상부 배향막(172)은 서로 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 상부 배향막(371)의 저항은 복수의 제2 상부 배향막(172)의 저항과 상이할 수 있다. 구체적으로, 복수의 제1 상부 배향막(371)의 구성 물질의 저항은 복수의 제2 상부 배향막(172)의 구성 물질의 저항보다 클 수 있다. 예를 들면, 복수의 제1 상부 배향막(371)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 복수의 제2 상부 배향막(172)의 저항은 10^{13} Ω 이하일 수 있다. 예를 들면, 복수의 제1 상부 배향막(371)과 복수의 제2 상부 배향막(172)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 상부 배향막(371) 및 제2 상부 배향막(172)은 폴리아미산(polyamic acid), 폴리아미산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합물을 전구체로 하여 이루어질 수 있다. 이때, 복수의 제1 상부 배향막(371)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 상부 배향막(172)은 저항이 낮은 단량

체를 포함할 수 있다. 이에, 복수의 제1 상부 배향막(371)의 저항은 복수의 제2 상부 배향막(172)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다. 그리고, 복수의 제3 상부 배향막(373)과 복수의 제1 상부 배향막(371)은 서로 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 상부 배향막(371)의 저항은 복수의 제3 상부 배향막(373)의 저항과 상이할 수 있다. 구체적으로, 복수의 제1 상부 배향막(371)의 구성 물질의 저항은 복수의 제3 상부 배향막(373)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 상부 배향막(371)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 복수의 제3 상부 배향막(373)의 저항은 10^{13} Ω 이하일 수 있다.

[0089] 이때 복수의 제2 상부 배향막(172)과 복수의 제3 상부 배향막(373)은 서로 상이한 물질로 이루어질 수 있다. 예를 들면, 복수의 화소(PX)와 중첩하는 복수의 제3 상부 배향막(373)은 광 투과율이 높은 물질로 이루어질 수 있고, 이에, 표시 장치의 휘도는 상승될 수 있다. 그리고, 블랙 매트릭스(114)와 중첩하는 복수의 제2 상부 배향막(172)은 광 투과율이 낮으나, 저항이 높은 물질로 이루어질 수 있다. 그러나, 이에 제한되지 않으며, 복수의 제3 상부 배향막(373)과 복수의 제2 상부 배향막(172)은 동일한 물질로 이루어질 수도 있다.

[0090] 그리고, 복수의 제1 상부 배향막(371), 복수의 제2 상부 배향막(172) 및 복수의 제3 상부 배향막(373) 각각은 복수의 제1 하부 배향막(361), 복수의 제2 하부 배향막(162) 및 복수의 제3 하부 배향막(363) 각각과 동일한 물질로 이루어질 수도 있다. 그러나, 이에 제한되지는 않는다.

[0091] 본 발명의 다른 실시예에 따른 표시 장치(300)는 복수의 제1 하부 배향막(361), 복수의 제2 하부 배향막(162), 복수의 제1 상부 배향막(371) 및 복수의 제2 상부 배향막(172)을 포함함으로써, AC 잔상과 DC 잔상을 모두 효과적으로 개선할 수 있다. 구체적으로, 복수의 트랜지스터(140)가 배치된 비개구 영역인 복수의 제2 영역(A2)에는 상대적으로 저항이 작은 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)이 배치된다. 그리고, 복수의 화소(PX)가 배치된 개구 영역을 포함하는 복수의 제1 영역(A1)에는 상대적으로 저항이 큰 복수의 제1 하부 배향막(361) 및 복수의 제1 상부 배향막(371)이 모두 배치된다. 이때, 복수의 제1 하부 배향막(361)은 복수의 제3 하부 배향막(363) 상에 배치되어 액정층(180)과 접한다. 그리고 복수의 제1 상부 배향막(371)은 복수의 제3 상부 배향막(373) 하부에 배치되어 액정층(180)과 접한다.

[0092] 앞서 설명한 바와 같이, 배향막의 배향 규제력이 감소함에 따라 액정층(180)의 액정 분자가 초기의 배열 방향으로 돌아오지 않아 발생하는 AC 잔상은 복수의 화소(PX)가 배치된 개구 영역을 포함하는 제1 영역(A1)에서 문제될 수 있다. 그리고, 제1 영역(A1)에서는 비개구 영역에 배치된 복수의 트랜지스터(140) 등의 구동부에 의하여 배향막에 충전된 전하가 빠르게 방전되지 않아 DC 잔상도 발생될 수 있다. 배향막의 저항이 높아질 경우, 배향막의 배향 규제력은 향상될 수 있고, 이에, 저항이 상대적으로 높은 복수의 제1 하부 배향막(361) 및 복수의 제1 상부 배향막(371)이 배치된 복수의 제1 영역(A1)의 AC 잔상은 개선될 수 있다. 그리고, 배향막의 저항이 낮아질수록 배향막에 충전된 전하의 방전 속도는 상승될 수 있고, 이에, 저항이 상대적으로 낮은 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)이 복수의 트랜지스터(140)이 배치된 복수의 제2 영역(A2)에 배치되어 제1 영역(A1)의 DC 잔상은 개선될 수 있다. 이처럼, 개구 영역에는 저항이 낮은 복수의 제1 하부 배향막(361) 및 복수의 제2 상부 배향막(371)이 배치되고, 비개구 영역 중 복수의 트랜지스터(140)가 배치된 영역에는 저항이 높은 복수의 제2 하부 배향막(162) 및 복수의 제2 상부 배향막(172)이 배치됨으로써, 표시 장치(300)의 AC 잔상 및 DC 잔상은 모두 개선될 수 있다.

[0093] 그리고, 본 발명의 다른 실시예에 따른 표시 장치(300)는 복수의 제1 하부 배향막(361)의 하부에 배치된 복수의 제3 하부 배향막(363) 및 복수의 제1 상부 배향막(371) 상에 배치된 복수의 제3 상부 배향막(373)을 포함함으로써, DC 잔상을 보다 효과적으로 개선할 수 있다. 구체적으로, 화소 전극(151) 및 공통 전극(152)에는 액정층(180)에 전계를 형성하기 위한 전압이 인가된다. 따라서, 배향막에 충전된 전하가 방전되지 못하는 현상은 화소 전극(151) 및 공통 전극(152)과 인접한 배향막의 하부 영역에서 더욱 문제될 수 있다. 복수의 제3 하부 배향막(363)은 복수의 제1 하부 배향막(361)보다 화소 전극(151) 및 공통 전극(152)과 더욱 인접하여 배치되고, 복수의 제3 하부 배향막(363)의 저항은 복수의 제1 하부 배향막(361)의 저항보다 작다. 따라서, 복수의 제3 하부 배향막(363)에 충전된 전하의 방전 속도는 증가될 수 있다. 따라서, 복수의 화소(PX)가 배치된 영역에서 발생하는 DC 잔상은 복수의 제3 하부 배향막(363) 및 복수의 제3 상부 배향막(373)에 의하여 보다 효과적으로 감소될 수 있다.

[0094] 도 4는 본 발명의 또 다른 실시예에 따른 표시 장치(400)의 단면도이다. 도 4의 표시 장치(400)는 도 3의 표시 장치(300)와 비교하여 복수의 제2 하부 배향막(462), 복수의 제3 하부 배향막(463), 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473)이 상이하다는 것을 제외하면 실질적으로 동일한 바, 중복 설명은 생략한

다.

- [0095] 도 4를 참조하면, 복수의 제1 영역(A1)의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 복수의 제3 하부 배향막(463)이 형성된다. 복수의 제3 하부 배향막(463)은 복수의 제1 영역(A1)에서 제1 방향으로 연장되며 서로 이격된다. 복수의 제3 하부 배향막(463)은 복수의 화소(PX)와 중첩된다.
- [0096] 그리고, 복수의 제2 영역(A2)의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 복수의 제2 하부 배향막(462)이 형성된다. 복수의 제2 하부 배향막(462)은 복수의 제2 영역(A2)에서 제1 방향으로 연장되며 서로 이격된다. 복수의 제2 하부 배향막(462)은 복수의 트랜지스터(140)와 중첩된다.
- [0097] 이때, 복수의 제2 하부 배향막(462)과 복수의 제3 하부 배향막(463)은 일체로 이루어질 수 있다. 구체적으로, 복수의 제2 하부 배향막(462)과 복수의 제3 하부 배향막(463)은 동일한 물질로 이루어 질 수 있으며, 동일한 공정을 통하여 형성될 수 있다. 예를 들면, 복수의 제1 영역(A1)과 복수의 제2 영역(A2) 전체의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 하나의 층으로 구성된 복수의 제2 하부 배향막(462)과 복수의 제3 하부 배향막(463)이 동시에 형성될 수 있다.
- [0098] 그리고, 복수의 제1 영역(A1)의 복수의 제3 하부 배향막(463) 상에는 복수의 제1 하부 배향막(361)이 형성된다. 복수의 제1 하부 배향막(361)은 복수의 제3 하부 배향막(463) 상에서 복수의 제1 영역(A1)의 연장 방향과 동일한 방향으로 연장되어 배치된다. 복수의 제1 하부 배향막(361)은 복수의 제1 영역(A1)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제1 하부 배향막(361)은 복수의 화소(PX)와 중첩된다.
- [0099] 복수의 제1 하부 배향막(361)은 복수의 제2 하부 배향막(462) 및 복수의 제3 하부 배향막(463)과 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 하부 배향막(361)의 구성 물질의 저항은 복수의 제2 하부 배향막(462)의 구성 물질의 저항 및 복수의 제3 하부 배향막(463)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 하부 배향막(361)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 복수의 제2 하부 배향막(462)의 저항 및 복수의 제3 하부 배향막(463)의 저항은 10^{13} Ω 미만일 수 있다.
- [0100] 예를 들면, 복수의 제1 하부 배향막(361), 복수의 제2 하부 배향막(462) 및 복수의 제3 하부 배향막(463)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 하부 배향막(361), 제2 하부 배향막(462) 및 복수의 제3 하부 배향막(463)은 폴리아미산(polyamic acid), 폴리아미산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합물을 전구체로하여 이루어질 수 있다. 이때, 복수의 제1 하부 배향막(361)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 하부 배향막(162) 및 복수의 제3 하부 배향막(463)은 저항이 낮은 단량체를 포함할 수 있다. 이에, 복수의 제1 하부 배향막(361)의 저항은 복수의 제2 하부 배향막(462)의 저항 및 복수의 제3 하부 배향막(463)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다.
- [0101] 이때 복수의 제2 하부 배향막(462)과 복수의 제3 하부 배향막(463)은 서로 상이한 물질로 이루어질 수 있다. 예를 들면, 복수의 화소(PX)와 중첩하는 복수의 제3 하부 배향막(463)은 광 투과율이 높은 물질로 이루어질 수 있고, 이에, 표시 장치의 휘도는 상승될 수 있다. 그리고, 블랙 매트릭스(114)와 중첩하는 복수의 제2 하부 배향막(462)은 광 투과율이 낮으나, 저항이 높은 물질로 이루어질 수 있다.
- [0102] 복수의 제1 영역(A1)의 컬러 필터(190) 하부에는 복수의 제3 상부 배향막(473)이 형성된다. 복수의 제3 상부 배향막(473)은 복수의 제1 영역(A1)에서 제1 방향으로 연장되며 서로 이격된다. 복수의 제3 상부 배향막(473)은 복수의 화소(PX)와 중첩된다.
- [0103] 그리고, 복수의 제2 영역(A2)의 컬러 필터(190) 하부에는 복수의 제2 상부 배향막(472)이 형성된다. 복수의 제2 상부 배향막(472)은 복수의 제2 영역(A2)에서 제1 방향으로 연장되며 서로 이격된다. 복수의 제2 상부 배향막(472)은 복수의 트랜지스터(140)와 중첩된다.
- [0104] 이때, 복수의 제2 상부 배향막(472)과 복수의 제3 상부 배향막(473)은 일체로 이루어질 수 있다. 구체적으로, 복수의 제2 상부 배향막(472)과 복수의 제3 상부 배향막(473)은 동일한 물질로 이루어 질 수 있으며, 동일한 공정을 통하여 형성될 수 있다. 예를 들면, 복수의 제1 영역(A1)과 복수의 제2 영역(A2) 전체의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 하나의 층으로 구성된 복수의 제2 상부 배향막(472)과 복수의 제3 상부 배향막(473)이 동시에 형성될 수 있다.
- [0105] 그리고, 복수의 제1 영역(A1)의 복수의 제3 상부 배향막(473) 하부에는 복수의 제1 상부 배향막(371)이 형성된

다. 복수의 제1 상부 배향막(371)은 복수의 제3 상부 배향막(473) 하부에서 복수의 제1 영역(A1)의 연장 방향과 동일한 방향으로 연장되어 배치된다. 복수의 제1 상부 배향막(371)은 복수의 제1 영역(A1)에 배치된 액정층(180)의 액정을 배향할 수 있다. 그리고, 복수의 제1 상부 배향막(371)은 복수의 화소(PX)와 중첩된다.

[0106] 복수의 제1 상부 배향막(371)은 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473)과 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 상부 배향막(371)의 구성 물질의 저항은 복수의 제2 상부 배향막(472)의 구성 물질의 저항 및 복수의 제3 상부 배향막(473)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 상부 배향막(371)의 저항은 $10^{13}\Omega$ 이상일 수 있다. 그리고, 복수의 제2 상부 배향막(472)의 저항 및 복수의 제3 상부 배향막(473)의 저항은 $10^{13}\Omega$ 이하일 수 있다.

[0107] 예를 들면, 복수의 제1 상부 배향막(371), 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 상부 배향막(371), 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473)은 폴리아미드산(polyamic acid), 폴리아미드산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합물을 전구체로 하여 이루어질 수 있다. 이때, 복수의 제1 상부 배향막(371)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473)은 저항이 낮은 단량체를 포함할 수 있다. 이에, 복수의 제1 상부 배향막(371)의 저항은 복수의 제2 상부 배향막(472)의 저항 및 복수의 제3 상부 배향막(473)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다.

[0108] 이때 복수의 제2 상부 배향막(472)과 복수의 제3 상부 배향막(473)은 서로 상이한 물질로 이루어질 수 있다. 예를 들면, 복수의 화소(PX)와 중첩하는 복수의 제3 상부 배향막(473)은 광 투과율이 높은 물질로 이루어질 수 있고, 이에, 표시 장치의 휘도는 상승될 수 있다. 그리고, 블랙 매트릭스(114)와 중첩하는 복수의 제2 상부 배향막(472)은 광 투과율이 낮으나, 저항이 높은 물질로 이루어질 수 있다.

[0109] 그리고, 복수의 제1 상부 배향막(371), 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473) 각각은 복수의 제1 하부 배향막(361), 복수의 제2 하부 배향막(462) 및 복수의 제3 하부 배향막(463) 각각과 동일한 물질로 이루어질 수 있다. 그러나, 이에 제한되는 것은 아니다.

[0110] 본 발명의 또 다른 실시예에 따른 표시 장치(400)는 복수의 제1 하부 배향막(361), 복수의 제2 하부 배향막(462), 복수의 제1 상부 배향막(371) 및 복수의 제2 상부 배향막(472)을 포함함으로써, AC 잔상과 DC 잔상 모두를 효과적으로 개선할 수 있다. 구체적으로, 복수의 트랜지스터(140)가 배치된 복수의 제2 영역(A2)에는 상대적으로 저항이 작은 복수의 제2 하부 배향막(462) 및 복수의 제2 상부 배향막(472)이 배치된다. 그리고, 복수의 화소(PX)가 배치된 복수의 제1 영역(A1)에는 상대적으로 저항이 큰 복수의 제1 하부 배향막(361) 및 복수의 제1 상부 배향막(371)이 모두 배치된다. 이때, 복수의 제1 하부 배향막(361)은 복수의 제3 하부 배향막(463) 상에 배치되어 액정층(180)과 접한다. 그리고, 복수의 제1 상부 배향막(371)은 복수의 제3 상부 배향막(473) 하부에 배치되어 액정층(180)과 접한다.

[0111] 앞서 설명한 바와 같이, AC 잔상은 복수의 화소(PX)가 배치된 제1 영역(A1)에서 더욱 문제될 수 있고, DC 잔상은 복수의 트랜지스터(140)가 배치된 제2 영역(A2)에서 더욱 문제될 수 있다. 배향막의 저항이 높아질 경우, 배향막의 배향 규제력은 향상될 수 있고, 이에, 저항이 상대적으로 높은 복수의 제1 하부 배향막(361) 및 복수의 제1 상부 배향막(371)이 배치된 복수의 제1 영역(A1)의 AC 잔상은 개선될 수 있다. 그리고, 배향막의 저항이 낮아질수록 배향막에 충전된 전하의 방전 속도는 상승될 수 있고, 이에, 저항이 상대적으로 낮은 복수의 제2 하부 배향막(462) 및 복수의 제2 상부 배향막(472)이 배치된 복수의 제2 영역(A2)의 DC 잔상은 개선될 수 있다.

[0112] 그리고, 본 발명의 또 다른 실시예에 따른 표시 장치(400)는 복수의 제1 하부 배향막(361)의 하부에 배치된 복수의 제3 하부 배향막(463) 및 복수의 제1 상부 배향막(371) 상에 배치된 복수의 제3 상부 배향막(473)을 포함함으로써, DC 잔상을 보다 효과적으로 개선할 수 있다. 앞서 설명한 바와 같이, 전압이 인가되는 화소 전극(151) 및 공통 전극(152)에 의하여, DC 잔상은 화소 전극(151) 및 공통 전극(152)과 인접한 배향막의 하부 영역에 의하여 더욱 발생될 수 있다. 복수의 제3 하부 배향막(463)은 복수의 제1 하부 배향막(361)보다 하부에 배치되는 바, 화소 전극(151) 및 공통 전극(152)과 더욱 인접하여 배치된다. 그리고, 복수의 제3 하부 배향막(463) 및 복수의 제3 상부 배향막(473)의 저항은 복수의 제1 하부 배향막(361) 및 복수의 제1 상부 배향막(371)의 저항보다 작다. 따라서, 복수의 제3 하부 배향막(463) 및 복수의 제3 상부 배향막(473)에 충전된 전하의 방전 속도는 증가될 수 있고, 복수의 화소(PX)가 배치된 영역에서 발생하는 DC 잔상은 복수의 제3 하부 배향막(463) 및 복수의 제3 상부 배향막(473)에 의하여 보다 효과적으로 감소될 수 있다.

- [0113] 그리고, 본 발명의 또 다른 실시예에 따른 표시 장치(400)는, 복수의 제2 하부 배향막(462)과 복수의 제3 하부 배향막(463)이 동일한 층상에서 일체로 형성되고, 복수의 제2 상부 배향막(472)과 복수의 제3 상부 배향막(473)이 동일한 층상에서 일체로 형성됨으로써, 공정 시간 및 공정 비용을 감소시킬 수 있다. 구체적으로, 복수의 제2 하부 배향막(462)과 복수의 제3 하부 배향막(463)을 동일한 공정을 통하여 일체로 형성하거나, 복수의 제2 상부 배향막(472)과 복수의 제3 상부 배향막(473)을 일체로 형성하지 않을 경우, 복수의 제2 하부 배향막(462), 복수의 제3 하부 배향막(463), 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473) 각각을 포토리소 그래피 공정을 통하여 형성하기 위하여 상이한 마스크가 필요할 수 있다. 따라서, 복수의 제2 하부 배향막(462), 복수의 제3 하부 배향막(463), 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473) 각각을 형성하기 위한 공정에 소요되는 시간 및 비용은 증가될 수 있다. 이와 달리, 본 발명의 또 다른 실시예에 따른 표시 장치(400)의 경우, 복수의 제2 하부 배향막(462)과 복수의 제3 하부 배향막(463)이 하나의 층으로 구성되고, 복수의 제2 상부 배향막(472)과 복수의 제3 상부 배향막(473)이 하나의 층으로 구성되기에 복수의 제2 하부 배향막(462), 복수의 제3 하부 배향막(463), 복수의 제2 상부 배향막(472) 및 복수의 제3 상부 배향막(473)을 형성하는데 필요한 마스크의 수를 감소시킬 수 있고, 이에 공정 비용이 감소되고, 공정 시간이 단축될 수 있다.
- [0114] 도 5는 본 발명의 또 다른 실시예에 따른 표시 장치(500)의 단면도이다. 도 5의 표시 장치(500)는 도 1a, 도 1b 및 도 2의 표시 장치(100)와 비교하여 복수의 제1 하부 배향막(561), 복수의 제2 하부 배향막(562), 복수의 제1 상부 배향막(571) 및 복수의 제2 상부 배향막(572)이 상이하고, 제3 하부 배향막(563) 및 제3 상부 배향막(573)을 포함한다는 것을 제외하면 실질적으로 동일한 바, 중복 설명은 생략한다.
- [0115] 도 5를 참조하면, 복수의 제1 영역(A1) 및 복수의 제2 영역(A2) 전체의 평탄화층(113), 화소 전극(151) 및 공통 전극(152) 상에는 제3 하부 배향막(563)이 배치된다. 구체적으로, 제3 하부 배향막(563)은 복수의 제1 영역(A1) 및 복수의 제2 영역(A2) 전체에 형성될 수 있다. 그리고, 제3 하부 배향막(563)은 화소 전극(151) 및 공통 전극(152) 모두를 덮으며, 액정층(180) 전체와 중첩될 수 있다. 따라서, 제3 하부 배향막(563)은 액정층(180) 전체 영역의 액정을 배향할 수 있다.
- [0116] 복수의 제2 영역(A2)의 제3 하부 배향막(563) 상에는 복수의 제2 하부 배향막(562)이 배치된다. 구체적으로, 복수의 제2 하부 배향막(562)은 복수의 트랜지스터(140)가 배치된 복수의 제2 영역(A2)에서 제1 방향으로 연장되어 배치된다. 따라서, 복수의 제2 하부 배향막(562)은 복수의 트랜지스터(140)와 중첩된다. 그리고, 복수의 제2 하부 배향막(562)은 복수의 제2 영역(A2)에 배치된 액정층(180)의 액정을 배향할 수 있다.
- [0117] 복수의 제1 영역(A1)의 제3 하부 배향막(563) 상에는 복수의 제1 하부 배향막(561)이 배치된다. 복수의 제1 하부 배향막(561)은 복수의 제1 영역(A1)의 연장 방향인 제1 방향으로 연장되며 서로 이격된다. 복수의 제1 하부 배향막(561)은 복수의 제2 하부 배향막(562) 사이에 배치된다.
- [0118] 이때, 복수의 제1 하부 배향막(561)은 복수의 제2 하부 배향막(562)의 끝단을 덮을 수 있다. 구체적으로, 복수의 제1 하부 배향막(561)은 복수의 제2 하부 배향막(562)이 형성된 이후에 형성될 수 있다. 복수의 제1 배향막의 끝단은 복수의 제2 영역(A2)의 일부에 형성될 수 있고, 복수의 제2 하부 배향막(562)의 끝단 상에 형성될 수 있다. 따라서, 복수의 제1 하부 배향막(561)의 끝단은 복수의 제2 하부 배향막(562)의 끝단을 덮을 수 있다.
- [0119] 그리고, 복수의 제1 하부 배향막(561)과 복수의 제2 하부 배향막(562)은 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 하부 배향막(561)의 저항과 복수의 제2 하부 배향막(562)의 저항은 상이할 수 있다. 예를 들면, 복수의 제1 하부 배향막(561)의 구성 물질의 저항은 복수의 제2 하부 배향막(562)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 하부 배향막(561)의 저항은 $10^{13}\Omega$ 이상일 수 있다. 그리고, 복수의 제2 하부 배향막(562)의 저항은 $10^{13}\Omega$ 미만일 수 있다. 예를 들면, 복수의 제1 하부 배향막(561)과 복수의 제2 하부 배향막(562)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 하부 배향막(561) 및 제2 하부 배향막(562)은 폴리아믹산(polyamic acid), 폴리아믹산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합물을 전구체로하여 이루어질 수 있다. 이때, 복수의 제1 하부 배향막(561)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 하부 배향막(562)은 저항이 낮은 단량체를 포함할 수 있다. 이에, 복수의 제1 하부 배향막(561)의 저항은 복수의 제2 하부 배향막(562)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다.
- [0120] 그리고, 복수의 제1 하부 배향막(561)과 제3 하부 배향막(563)은 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 하부 배향막(561)의 저항과 제3 하부 배향막(563)의 저항은 상이할 수 있다. 예를 들면, 복수의 제1 하부 배향막(561)의 구성 물질의 저항은 제3 하부 배향막(563)의 구성 물질의 저항보다 클 수 있다. 복수의 제1

하부 배향막(561)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 제3 하부 배향막(563)의 저항은 10^{13} Ω 미만일 수 있다.

- [0121] 이때, 복수의 제2 하부 배향막(562)과 제3 하부 배향막(563)은 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 화소(PX)와 중첩되는 제3 하부 배향막(563)은 복수의 화소(PX)와 중첩되지 않는 복수의 제2 하부 배향막(562)보다 광 투과율이 높은 물질로 이루어질 수 있다. 그러나, 복수의 제2 하부 배향막(562)과 제3 하부 배향막(563)은 동일한 물질로 이루어질 수도 있다.
- [0122] 도 5를 참조하면, 복수의 제1 영역(A1) 및 복수의 제2 영역(A2) 전체의 컬러 필터(190) 하부에는 제3 상부 배향막(573)이 배치된다. 구체적으로, 제3 상부 배향막(573)은 복수의 제1 영역(A1) 및 복수의 제2 영역(A2) 전체에 형성될 수 있다. 그리고, 제3 상부 배향막(573)은 액정층(180) 전체와 중첩될 수 있으며, 따라서, 제3 상부 배향막(573)은 액정층(180) 전체 영역의 액정을 배향할 수 있다.
- [0123] 복수의 제2 영역(A2)의 제3 상부 배향막(573) 하부에는 복수의 제2 상부 배향막(572)이 배치된다. 구체적으로, 복수의 제2 상부 배향막(572)은 복수의 트랜지스터(140)가 배치된 복수의 제2 영역(A2)에서 제1 방향으로 연장되어 배치된다. 따라서, 복수의 제2 상부 배향막(572)은 복수의 트랜지스터(140)와 중첩된다. 그리고, 복수의 제2 상부 배향막(572)은 복수의 제2 영역(A2)에 배치된 액정층(180)의 액정을 배향할 수 있다.
- [0124] 복수의 제1 영역(A1)의 제3 상부 배향막(573) 하부에는 복수의 제1 상부 배향막(571)이 배치된다. 복수의 제1 상부 배향막(571)은 복수의 제1 영역(A1)의 연장 방향인 제1 방향으로 연장되며 서로 이격된다. 복수의 제1 상부 배향막(571)은 복수의 제2 상부 배향막(572) 사이에 배치된다.
- [0125] 이때, 복수의 제1 상부 배향막(571)은 복수의 제2 상부 배향막(572)의 끝단을 덮을 수 있다. 구체적으로, 복수의 제1 상부 배향막(571)은 복수의 제2 상부 배향막(572)이 형성된 이후에 형성될 수 있다. 복수의 제1 배향막의 끝단은 복수의 제2 영역(A2)의 일부에 형성될 수 있고, 복수의 제2 상부 배향막(572)의 끝단 하부에 형성될 수 있다. 따라서, 복수의 제1 상부 배향막(571)의 끝단은 복수의 제2 상부 배향막(572)의 끝단을 덮을 수 있다.
- [0126] 그리고, 복수의 제1 상부 배향막(571)과 복수의 제2 상부 배향막(572)은 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 상부 배향막(571)의 저항과 복수의 제2 상부 배향막(572)의 저항은 상이할 수 있다. 예를 들면, 복수의 제1 상부 배향막(571)의 구성 물질의 저항은 복수의 제2 상부 배향막(572)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 상부 배향막(571)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 복수의 제2 상부 배향막(572)의 저항은 10^{13} Ω 이하일 수 있다. 예를 들면, 복수의 제1 상부 배향막(571)과 복수의 제2 상부 배향막(572)은 폴리이미드(polyimide)로 이루어질 수 있다. 구체적으로, 제1 상부 배향막(571) 및 제2 상부 배향막(572)은 폴리아미드산(polyamic acid), 폴리아미드산 에스테르(polyamic acid ester) 및 상온에서 액체로 존재하는 폴리이미드 중 적어도 하나 또는 이들의 혼합물을 전구체로 하여 이루어질 수 있다. 이때, 복수의 제1 상부 배향막(571)은 저항이 높은 단량체를 포함할 수 있으며, 복수의 제2 상부 배향막(572)은 저항이 낮은 단량체를 포함할 수 있다. 이에, 복수의 제1 상부 배향막(571)의 저항은 복수의 제2 상부 배향막(572)의 저항보다 클 수 있다. 그러나, 이에 제한되지는 않는다.
- [0127] 그리고, 복수의 제1 상부 배향막(571)과 제3 상부 배향막(573)은 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 제1 상부 배향막(571)의 저항과 제3 상부 배향막(573)의 저항은 상이할 수 있다. 예를 들면, 복수의 제1 상부 배향막(571)의 구성 물질의 저항은 제3 상부 배향막(573)의 구성 물질의 저항보다 클 수 있다. 복수의 제1 상부 배향막(571)의 저항은 10^{13} Ω 이상일 수 있다. 그리고, 제3 상부 배향막(573)의 저항은 10^{13} Ω 이하일 수 있다.
- [0128] 이때, 복수의 제2 상부 배향막(572)과 제3 상부 배향막(573)은 상이한 물질로 이루어질 수 있다. 구체적으로, 복수의 화소(PX)와 중첩되는 제3 상부 배향막(573)은 복수의 화소(PX)와 중첩되지 않는 복수의 제2 상부 배향막(572)보다 광 투과율이 높은 물질로 이루어질 수 있다. 그러나, 복수의 제2 상부 배향막(572)과 제3 상부 배향막(573)은 동일한 물질로 이루어질 수도 있다.
- [0129] 그리고, 복수의 제1 상부 배향막(571), 복수의 제2 상부 배향막(572) 및 제3 상부 배향막(573) 각각은 복수의 제1 하부 배향막(561), 복수의 제2 하부 배향막(562) 및 제3 하부 배향막(563) 각각과 동일한 물질로 이루어질 수 있다. 그러나, 이에 제한되는 것은 아니다.
- [0130] 본 발명의 또 다른 실시예에 따른 표시 장치(500)는, 복수의 제1 영역(A1)에 액정층(180) 하부에 배치된 복수의

제1 하부 배향막(561) 및 액정층(180) 상부에 배치된 복수의 제1 상부 배향막(571)을 포함한다. 복수의 제1 하부 배향막(561) 및 복수의 제1 상부 배향막(571)은 복수의 제2 하부 배향막(562), 제3 하부 배향막(563), 복수의 제2 상부 배향막(572) 및 제3 상부 배향막(573)과 비교하여 저항의 크기가 크다. 앞서 설명한 바와 같이, AC 잔상은 복수의 화소(PX)가 배치된 개구 영역에서 더욱 발생될 수 있으며, AC 잔상은 배향막의 저항이 증가될 경우, 개선될 수 있다. 따라서, 개구 영역을 포함하는 복수의 제1 영역(A1)에 저항의 크기가 상대적으로 큰 복수의 제1 하부 배향막(561) 및 복수의 제1 상부 배향막(571)이 배치됨으로써, 복수의 화소(PX)에서 발생하는 AC 잔상은 개선될 수 있다.

[0131] 또한, 본 발명의 또 다른 실시예에 따른 표시 장치(500)는 복수의 제1 영역(A1)에 제3 하부 배향막(563) 및 제3 상부 배향막(573)을 포함한다. 제3 하부 배향막(563) 및 제3 상부 배향막(573)은 복수의 제1 하부 배향막(561) 및 복수의 제1 상부 배향막(571)과 비교하여 저항의 크기가 작다. 앞서 설명한 바와 같이, 전압이 인가되는 화소 전극(151) 및 공통 전극(152)과 인접한 배향막의 하부 영역에는 충전된 전하가 방전되는 속도가 작을 수 있다. 따라서, 제3 하부 배향막(563) 및 제3 상부 배향막(573)의 저항의 크기가 상대적으로 작음으로써, 복수의 화소(PX)에서 발생하는 DC 잔상은 개선될 수 있다.

[0132] 그리고, 본 발명의 또 다른 실시예에 따른 표시 장치(500)는, 복수의 제2 영역(A2)에 복수의 제2 하부 배향막(562), 제3 하부 배향막(563), 복수의 제2 상부 배향막(572) 및 제3 상부 배향막(573)이 배치된다. 복수의 제2 하부 배향막(562), 제3 하부 배향막(563), 복수의 제2 상부 배향막(572) 및 제3 상부 배향막(573)은 복수의 제1 하부 배향막(561) 및 복수의 제1 상부 배향막(571)과 비교하여 저항의 크기가 작다. 따라서, 복수의 제2 영역(A2)에서 발생하는 DC 잔상은 보다 효과적으로 개선될 수 있다.

[0133] 그리고, 본 발명의 또 다른 실시예에 따른 표시 장치(500)는 제3 하부 배향막(563)이 복수의 제1 하부 배향막(561) 및 복수의 제2 하부 배향막(562) 모두의 하부에 배치되고, 제3 상부 배향막(573)이 복수의 제1 상부 배향막(571) 및 복수의 제2 상부 배향막(572) 모두의 하부에 배치된다. 따라서, 복수의 제1 영역(A1)과 복수의 제2 영역(A2)의 경계에서 표시되는 영상의 휘도 차이가 감소될 수 있다. 구체적으로, 복수의 제1 영역(A1)에 배치된 배향막의 두께와 복수의 제2 영역(A2)에 배치된 배향막의 두께의 차이가 증가하여 단차가 발생될 경우, 복수의 제1 영역(A1)과 복수의 제2 영역(A2)의 경계에는 휘도 차이가 발생될 수 있다. 복수의 제1 영역(A1)에 배치된 배향막과 복수의 제2 영역(A2)에 배치된 배향막 사이에 두께 차이가 발생될 경우, 복수의 제1 영역(A1)과 복수의 제2 영역(A2)의 경계에 배치된 액정층(180)의 액정은 효과적으로 틸트(tilt)되지 못할 수 있다. 따라서, 복수의 제1 영역(A1)과 복수의 제2 영역(A2)의 경계의 휘도는 복수의 제1 영역(A1)의 휘도 및 복수의 제2 영역(A2)의 휘도와 상이할 수 있다. 이와 달리, 본 발명의 또 다른 실시예에 따른 표시 장치(500)의 경우, 복수의 제1 영역(A1)에 복수의 제1 하부 배향막(561) 및 제3 하부 배향막(563)이 배치되며, 복수의 제2 영역(A2)에 복수의 제2 하부 배향막(562) 및 제3 하부 배향막(563)이 배치된다. 복수의 제1 영역(A1)에 복수의 제1 상부 배향막(571) 및 제3 상부 배향막(573)이 배치되며, 복수의 제2 영역(A2)에 복수의 제2 상부 배향막(572) 및 제3 상부 배향막(573)이 배치된다. 이에, 복수의 제1 영역(A1)에 배치된 배향막의 전체 두께와 복수의 제2 영역(A2)에 배치된 배향막의 전체 두께의 차이는 감소될 수 있다. 따라서, 복수의 제1 영역(A1)과 복수의 제2 영역(A2)의 경계에서의 휘도 차이는 감소될 수 있다.

[0134] 본 발명의 실시예들에 따른 표시 장치는 다음과 같이 설명될 수 있다.

[0135] 본 발명의 일 실시예에 따른 표시 장치는, 복수의 화소가 정의되는 표시 영역을 포함하는 기판, 기판 상에 배치되고, 복수의 화소와 중첩되며 제1 방향으로 연장되며 서로 이격된 복수의 제1 하부 배향막, 복수의 제1 하부 배향막 각각의 사이에 배치되며, 복수의 화소 사이에 배치된 복수의 트랜지스터와 중첩되고, 복수의 제1 하부 배향막과 저항이 상이한 복수의 제2 하부 배향막 및 복수의 제1 하부 배향막 및 복수의 제2 하부 배향막 상의 액정층을 포함할 수 있다.

[0136] 본 발명의 다른 특징에 따르면, 상기 복수의 제1 배향막은 개구 영역에 배치되고, 상기 복수의 제2 배향막은 구동부와 중첩될 수 있다.

[0137] 본 발명의 또 다른 특징에 따르면, 복수의 제1 하부 배향막의 저항은 복수의 제2 하부 배향막의 저항보다 클 수 있다.

[0138] 본 발명의 또 다른 특징에 따르면, 복수의 제1 하부 배향막은 복수의 제2 하부 배향막의 끝단을 덮을 수 있다.

[0139] 본 발명의 또 다른 특징에 따르면, 표시 장치는 복수의 제1 하부 배향막의 하부에 배치되고 복수의 제1 하부 배향막과 저항이 상이한 복수의 제3 하부 배향막을 더 포함할 수 있다.

- [0140] 본 발명의 또 다른 특징에 따르면, 복수의 제3 하부 배향막의 저항은 복수의 제1 하부 배향막의 저항보다 작을 수 있다.
- [0141] 본 발명의 또 다른 특징에 따르면, 복수의 제2 하부 배향막과 복수의 제3 하부 배향막은 일체로 이루어질 수 있다.
- [0142] 본 발명의 또 다른 특징에 따르면, 복수의 제3 하부 배향막은 복수의 제1 하부 배향막 및 복수의 제2 하부 배향막 모두의 하부에 배치될 수 있다.
- [0143] 본 발명의 또 다른 특징에 따르면, 표시 장치는 액정층 상에 배치되며, 복수의 제1 하부 배향막 및 복수의 제2 하부 배향막 각각과 액정층을 기준으로 대칭으로 배치된 복수의 제1 상부 배향막 및 복수의 제2 상부 배향막을 더 포함하며, 복수의 제1 상부 배향막과 복수의 제2 상부 배향막은 저항이 상이할 수 있다.
- [0144] 본 발명의 다른 실시예에 따른 표시 장치는, 복수의 트랜지스터가 배치되고 일 방향으로 연장하는 복수의 제2 영역 및 복수의 제2 영역 사이의 복수의 제1 영역이 정의된 표시 영역을 포함하는 기관, 복수의 제1 영역에 배치된 복수의 제1 하부 배향막, 복수의 제2 영역에 배치되고, 복수의 제1 하부 배향막과 저항이 상이한 복수의 제2 하부 배향막, 복수의 제1 하부 배향막 및 복수의 제2 하부 배향막 상에 배치된 액정층을 포함할 수 있다.
- [0145] 본 발명의 다른 특징에 따르면, 표시 장치는 복수의 제1 영역에 배치된 복수의 화소를 더 포함할 수 있다.
- [0146] 본 발명의 또 다른 특징에 따르면, 복수의 제1 하부 배향막의 구성 물질의 저항은 복수의 제2 하부 배향막의 구성 물질의 저항보다 클 수 있다.
- [0147] 본 발명의 또 다른 특징에 따르면, 복수의 제1 배향막의 하부에 배치되고, 복수의 제1 배향막보다 저항이 작은 복수의 제3 배향막을 더 포함할 수 있다.
- [0148] 본 발명의 또 다른 특징에 따르면, 복수의 제3 배향막은, 복수의 제2 배향막과 하나의 층으로 구성될 수 있다.
- [0149] 본 발명의 또 다른 특징에 따르면, 복수의 제3 배향막은 복수의 제2 배향막 하부에도 배치될 수 있다.
- [0150] 본 발명의 또 다른 특징에 따르면, 표시 장치는 복수의 제1 영역에서 액정층 상에 배치된 복수의 제1 상부 배향막 및 복수의 제2 영역에서 액정층 상에 배치되고, 복수의 제1 상부 배향막과 저항이 상이한 복수의 제2 상부 배향막을 더 포함할 수 있다.
- [0151] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

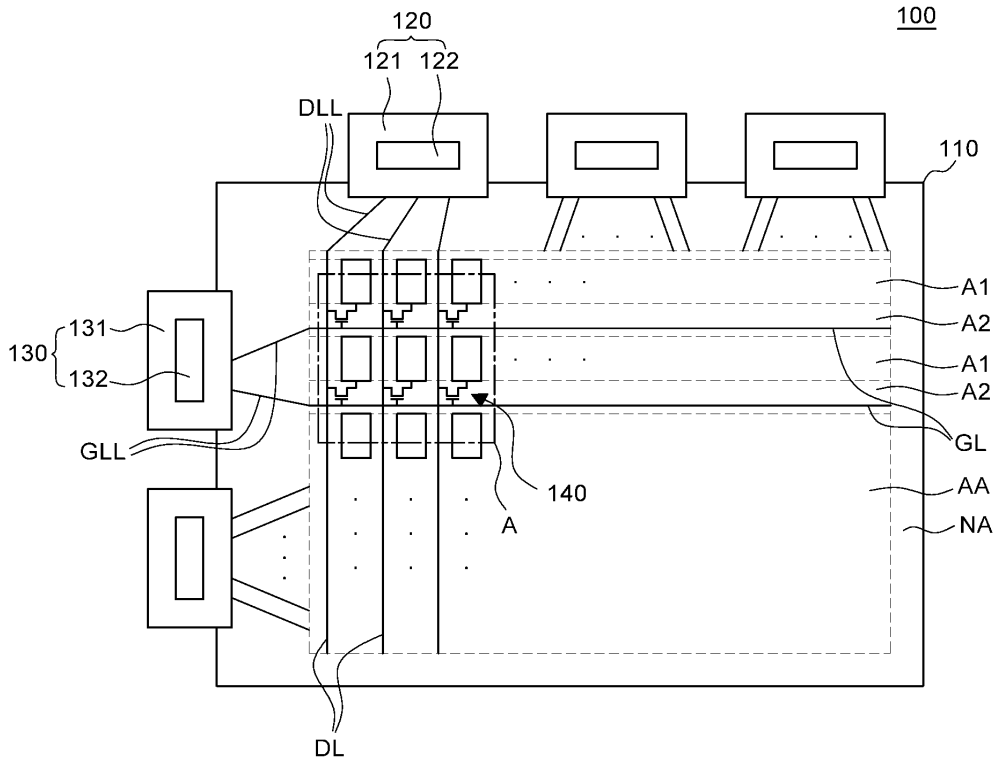
부호의 설명

- [0153] 100, 300, 400, 500: 표시 장치
- 110: 제1 기관
- 111: 게이트 절연층
- 112: 패시베이션층
- 113: 평탄화층
- 114: 블랙 매트릭스
- 115: 제2 기관
- 120: 데이터 구동부
- 121: 베이스 필름

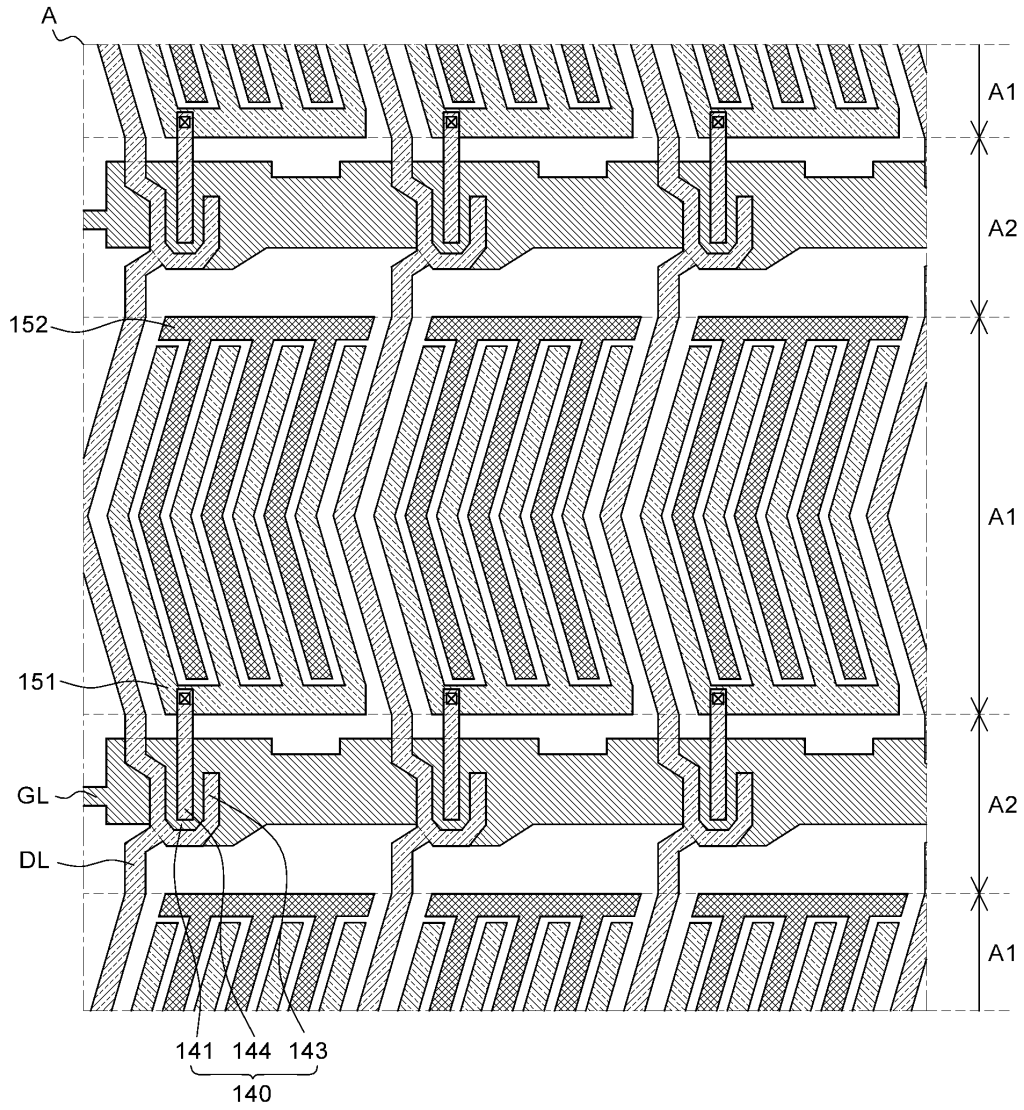
- 122: 구동 IC
- 130: 게이트 구동부
- 131: 베이스 필름
- 132: 구동 IC
- 140: 트랜지스터
- 141: 게이트 전극
- 142: 액티브층
- 143: 소스 전극
- 144: 드레인 전극
- 151: 화소 전극
- 152: 공통 전극
- 161, 361, 561: 제1 하부 배향막
- 162, 462, 562: 제2 하부 배향막
- 363, 463, 563: 제3 하부 배향막
- 171, 371, 571: 제1 상부 배향막
- 172, 472, 572: 제2 상부 배향막
- 373, 473, 573: 제3 상부 배향막
- 180: 액정층
- 190: 컬러 필터
- PX: 화소
- DL: 데이터 배선
- DLL: 데이터 링크 배선
- GL: 게이트 배선
- GLL: 게이트 링크 배선
- NA: 비표시 영역
- AA: 표시 영역
- A1: 제1 영역
- A2: 제2 영역

도면

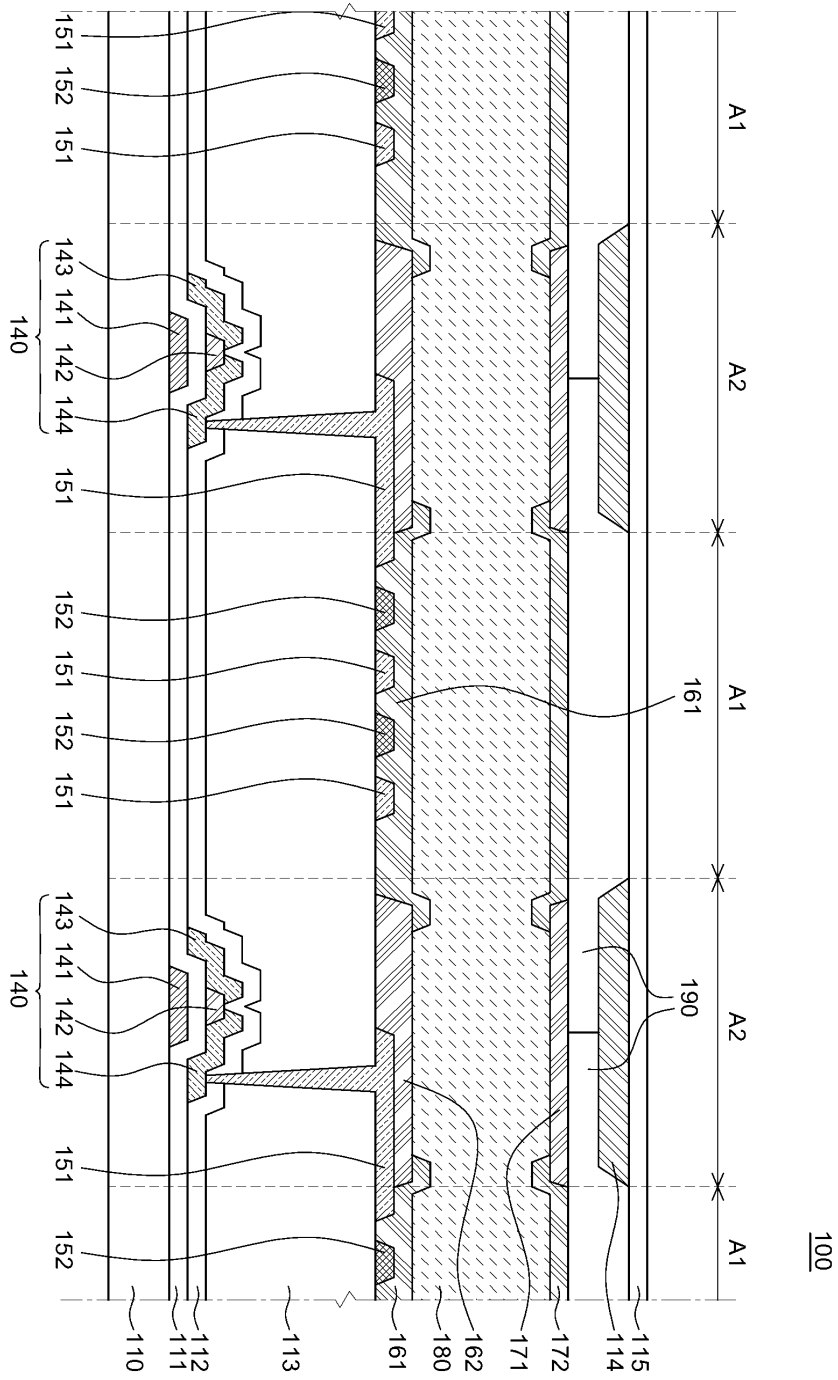
도면1a



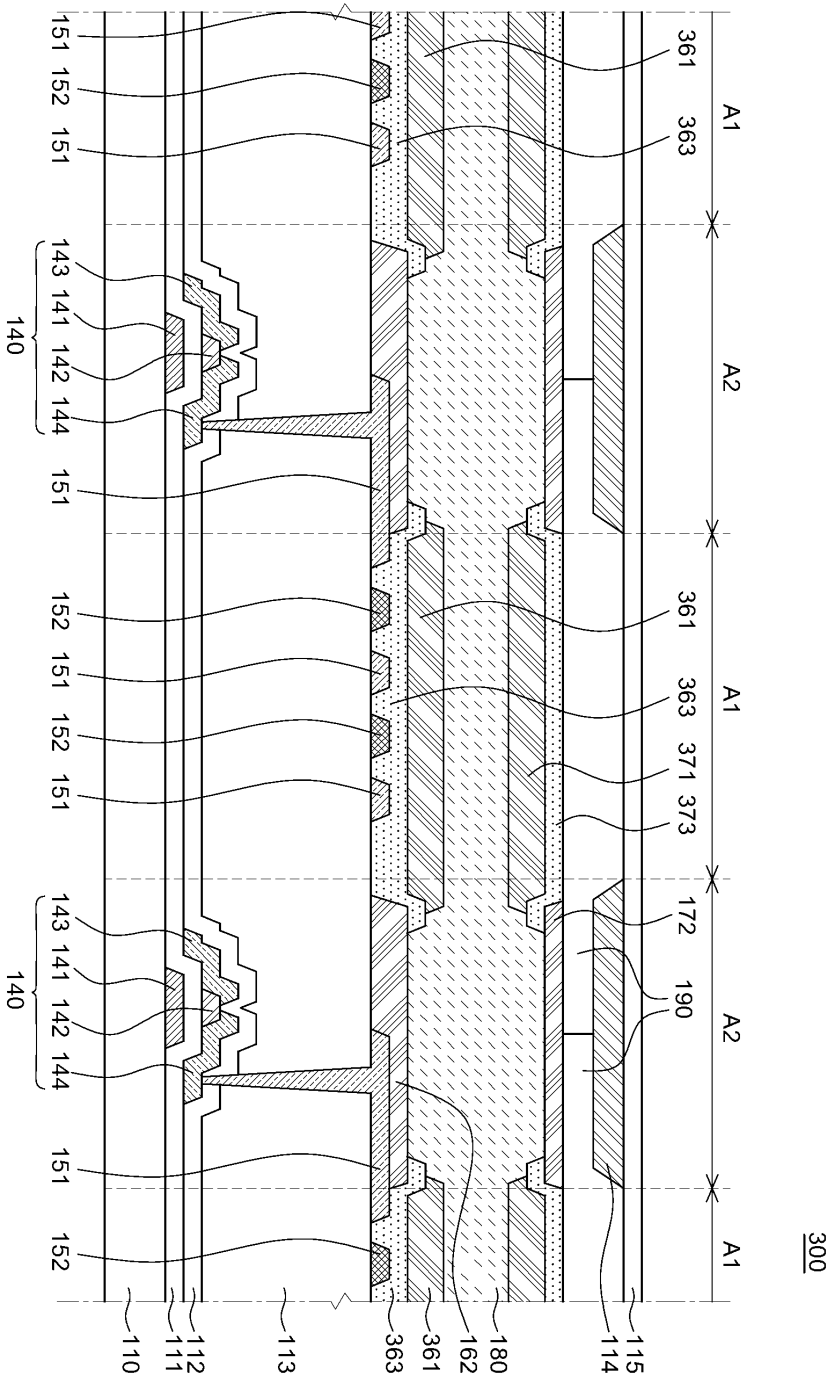
도면1b



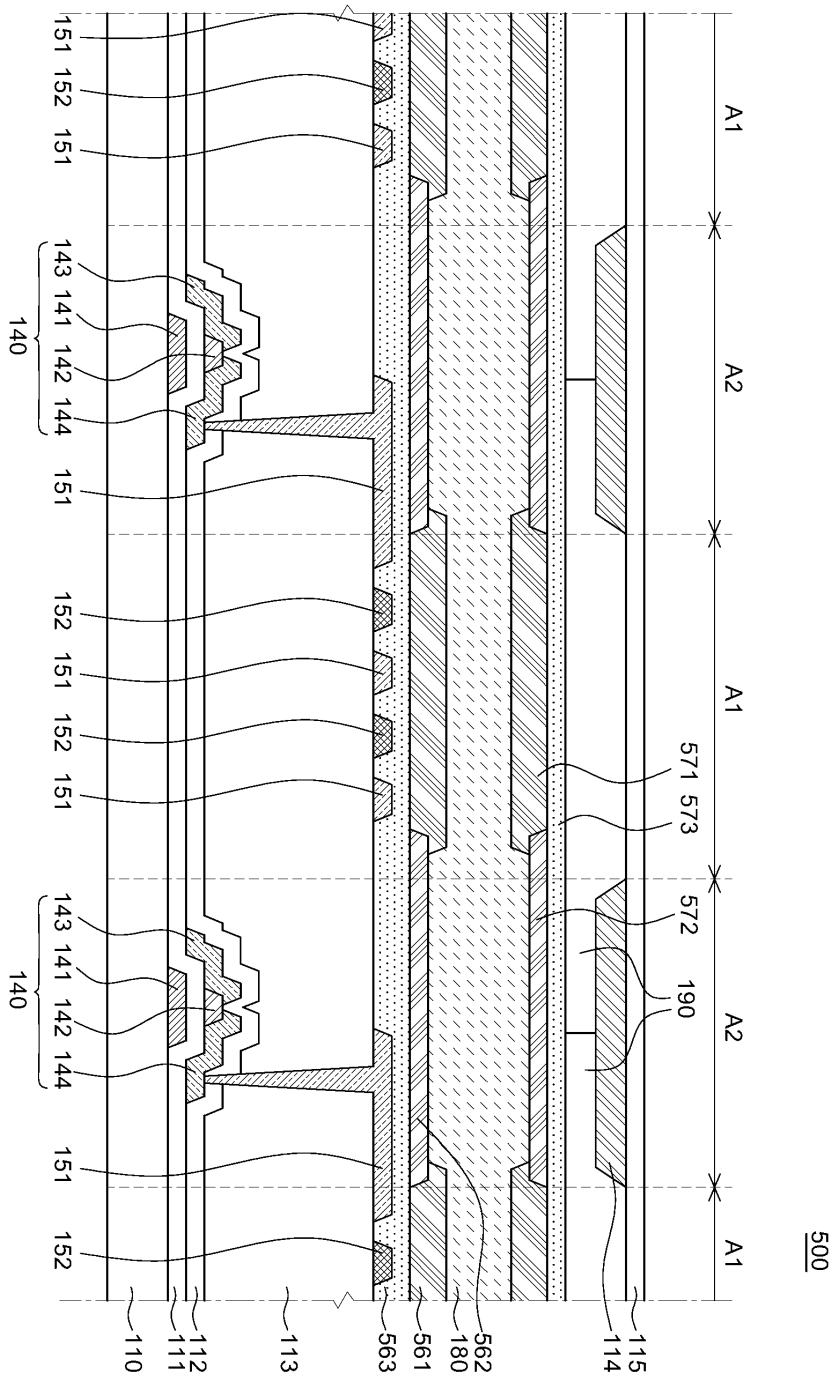
도면2



도면3



도면5



专利名称(译)	显示设备		
公开(公告)号	KR1020190078979A	公开(公告)日	2019-07-05
申请号	KR1020170180837	申请日	2017-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	채희영		
发明人	채희영		
IPC分类号	G02F1/1337 G02F1/1333 G02F1/1343		
CPC分类号	G02F1/1337 G02F1/1343 G02F2001/133397		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及显示装置。根据本发明的显示装置包括：基板，其包括其中限定了多个像素的显示区域；多个第一取向层设置在基板上，与多个像素交叠，在第一方向上延伸并且彼此间隔开；多个第二取向层，其具有与所述多个第一取向层不同的电阻，并且设置在所述多个第一取向层的每一个之间；液晶层形成在多个第一取向层和第二取向层上。可以减少显示装置上残像的产生。

