



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0049964
(43) 공개일자 2019년05월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)

(52) CPC특허분류
G02F 1/134309 (2013.01)
G02F 2001/134318 (2013.01)

(21) 출원번호 10-2017-0142818

(22) 출원일자 2017년10월30일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

이세현

경기도 화성시 영통로26번길 24 305동 606호 (반월동, 반달마을푸르지오아파트)

창학선

경기도 용인시 수지구 진산로66번길 10 526동 1506호 (풍덕천동, 삼성5차아파트)

(뒷면에 계속)

(74) 대리인

특허법인 고려

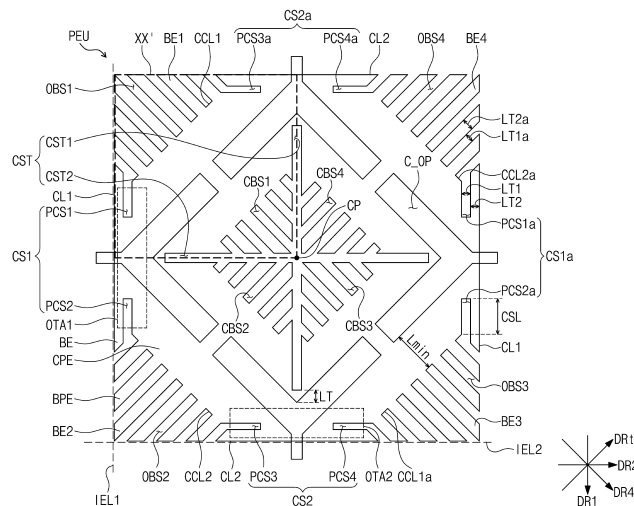
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치는 복수의 화소 전극들을 포함하는 제1 기관, 제2 기관, 및 상기 제1 기관 및 상기 제2 기관 사이에 배치된 액정층을 포함하고, 상기 복수의 화소 전극들 각각은 복수의 대각변들 및 복수의 연결변들을 포함하고, 내부에 제1 방향 및 제2 방향으로 연장된 십자 슬릿 및 상기 십자 슬릿으로부터 연장된 복수의 중심 가지 슬릿들이 제공된 중심 전극부 및 상기 복수의 대각변들 각각으로부터 돌출되어 연장되는 복수의 가지 전극들을 포함하는 가지 전극부를 포함하는 단위 화소 전극을 포함하고, 상기 복수의 연결변들은 상기 제1 방향으로 연장되는 제1 연결변들 및 상기 제2 방향으로 연장되는 제2 연결변들을 포함하고, 상기 제1 연결변들과 인접한 상기 중심 전극부의 제1 외곽 영역들 각각에는 상기 제1 방향으로 연장된 제1 제어 슬릿들이 제공될 수 있다.

대표도



(52) CPC특허분류

G02F 2201/121 (2013.01)

G02F 2201/123 (2013.01)

(72) 발명자

신철

경기도 화성시 동탄공원로 21-12 906동 1003호 (능동, 푸른마을포스코더샵아파트)

이승민

충청남도 아산시 탕정면 삼성로 261 (3/), 아름타운 기숙사 백옥동 1010호

나병선

서울특별시 강남구 삼성로 212 20동 1404호 (대치동, 은마아파트)

박기원

충남 아산시 탕정면 명암리 삼성전자(주)탕정사업장 크리스탈 기숙사 가넷동 1304호

명세서

청구범위

청구항 1

제1 방향 및 상기 제1 방향과 교차하는 제2 방향을 따라 배열된 복수의 화소 전극들을 포함하는 제1 기관;

개구 패턴이 제공된 공통 전극을 포함하는 제2 기관; 및

상기 제1 기관 및 상기 제2 기관 사이에 배치된 액정층을 포함하고,

상기 복수의 화소 전극들 각각은

복수의 대각변들 및 복수의 연결변들을 포함하고, 내부에 제1 방향 및 제2 방향으로 연장된 십자 슬릿 및 상기 십자 슬릿으로부터 연장된 복수의 중심 가지 슬릿들이 제공된 중심 전극부; 및

상기 복수의 대각변들 각각으로부터 돌출되어 연장되는 복수의 가지 전극들을 포함하는 가지 전극부를 포함하는 단위 화소 전극을 포함하고,

상기 복수의 연결변들은 상기 제1 방향으로 연장되는 제1 연결변들 및 상기 제2 방향으로 연장되는 제2 연결변들을 포함하고, 상기 제1 연결변들과 인접한 상기 중심 전극부의 제1 외곽 영역들 각각에는 상기 제1 방향으로 연장된 제1 제어 슬릿들이 제공된 표시 장치.

청구항 2

제1 항에 있어서,

상기 제2 연결변들과 인접한 상기 중심 전극부의 제2 외곽 영역들 각각에는 상기 제2 방향으로 연장된 제2 제어 슬릿들이 제공된 표시 장치.

청구항 3

제1 항에 있어서,

상기 복수의 화소 전극들 각각은 상기 제1 방향을 따라 배열된 3 개의 상기 단위 화소 전극을 포함하고, 상기 3 개의 단위 화소 전극들을 배열된 순서에 따라 제1 단위 화소 전극, 제2 단위 화소 전극 및 제3 단위 화소 전극이라 정의하는 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 단위 화소 전극의 상기 제2 연결변들과 인접한 상기 중심 전극부의 제2 외곽 영역들 각각에는 상기 제2 방향으로 연장된 제2 제어 슬릿들이 제공되고,

상기 제2 단위 화소 전극의 상기 제2 연결변들 중 상기 제3 단위 화소 전극과 인접하지 않은 제2 연결변과 인접한 상기 중심 전극부의 제3 외곽 영역에는 상기 제2 방향으로 연장된 제3 제어 슬릿들이 제공되고,

상기 제3 단위 화소 전극의 상기 제2 연결변들 중 상기 제2 단위 화소 전극과 인접하지 않은 제2 연결변과 인접한 상기 전극부의 제4 외곽 영역에는 상기 제2 방향으로 연장된 제4 제어 슬릿들이 제공되는 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 제어 슬릿들 각각은 상기 복수의 대각변들 중 상기 제1 연결변들 각각과 인접한 두 개의 대각변들 각각으로부터 제1 방향을 따라 연장되는 제1 부분 제어 슬릿 및 제2 부분 제어 슬릿을 포함하는 표시 장치.

청구항 6

제5 항에 있어서,

상기 제1 부분 제어 슬릿 및 상기 제2 부분 제어 슬릿 각각의 길이는 $x\sqrt{2}$ 미만이고, 상기 x 는 평면 상에서 상기 복수의 대각변들 중 어느 하나의 대각변과 상기 개구 패턴 사이의 최소 거리인 표시 장치.

청구항 7

제1 항에 있어서,

평면 상에서 상기 개구 패턴과 상기 십자 슬릿은 비중첩하는 표시 장치.

청구항 8

제7 항에 있어서,

평면 상에서 상기 개구 패턴과 상기 십자 슬릿 사이의 거리는 3 마이크로 미터 이상인 표시 장치.

청구항 9

제1 항에 있어서,

상기 중심 전극부는 상기 복수의 대각변들 및 상기 복수의 연결변들에 의해 정의된 팔각형 형상을 갖고, 상기 복수의 연결변들 각각의 가상의 연장선 상에 상기 복수의 가지 전극들의 끝 단이 배치되는 표시 장치.

청구항 10

제1 항에 있어서,

상기 제1 제어 슬릿들 각각의 폭은 상기 복수의 가지 전극들 중 서로 인접한 두 개의 가지 전극 사이의 거리와 동일한 표시 장치.

청구항 11

제1 항에 있어서,

상기 제1 연결변들과 상기 제1 제어 슬릿들 사이의 최소 거리는 상기 복수의 가지 전극들 각각의 폭과 동일한 표시 장치.

청구항 12

제1 항에 있어서,

상기 복수의 대각변들은 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로 연장되는 제1 대각변들 및 상기 제1 내지 제3 방향과 교차하는 제4 방향으로 연장되는 제2 대각변들을 포함하고,

상기 복수의 가지 전극들 중 상기 제1 대각변들로부터 연장되는 가지 전극들은 상기 제4 방향을 따라 연장되고, 상기 복수의 가지 전극들 중 상기 제2 대각변들로부터 연장되는 가지 전극들은 상기 제3 방향을 따라 연장되는 표시 장치.

청구항 13

제12 항에 있어서,

상기 개구 패턴은 평면 상에서 상기 복수의 중심 가지 슬릿들과 상기 복수의 가지 전극들 사이에 배치되는 표시 장치.

청구항 14

단위 화소 전극을 포함하는 제1 기판;

공통 전극을 포함하는 제2 기판; 및

상기 제1 기관 및 상기 제2 기관 사이에 배치된 액정층을 포함하고,

상기 단위 화소 전극에는

상기 단위 화소 전극의 중심에서 제1 방향 및 제2 방향으로 교차하며 연장된 십자 슬릿;

상기 십자 슬릿으로부터 상기 제1 및 제2 방향과 교차하는 제3 방향 및 제4 방향으로 연장되는 복수의 중심 가지 슬릿들;

상기 단위 화소 전극의 외곽으로부터 상기 복수의 중심 가지 슬릿들을 향해 상기 제3 방향 및 상기 제4 방향으로 연장되는 복수의 외곽 가지 슬릿들; 및

상기 단위 화소 전극의 외곽과 인접한 제1 외곽 영역에 상기 제1 방향을 따라 연장되는 제1 제어 슬릿들이 제공되고, 상기 제1 제어 슬릿들은 상기 제2 방향에서 상기 복수의 외곽 가지 슬릿들과 비중첩하는 표시 장치.

청구항 15

제14 항에 있어서,

상기 제1 외곽 영역은 상기 단위 화소 전극의 외곽과 상기 십자 슬릿 중 상기 제2 방향을 따라 연장된 슬릿의 끝단 사이에 정의되는 표시 장치.

청구항 16

제14 항에 있어서,

상기 단위 화소 전극에는 상기 단위 화소 전극의 외곽과 인접한 제2 외곽 영역에 상기 제2 방향을 따라 연장되는 제2 제어 슬릿들이 더 제공되고, 상기 제2 제어 슬릿들은 상기 제1 방향에서 상기 복수의 외곽 가지 슬릿들과 비중첩하는 표시 장치.

청구항 17

제16 항에 있어서,

상기 제2 외곽 영역은 상기 단위 화소 전극의 외곽과 상기 십자 슬릿 중 상기 제1 방향을 따라 연장된 슬릿의 끝단 사이에 정의되는 표시 장치.

청구항 18

제14 항에 있어서,

상기 공통 전극에는 개구 패턴이 제공되고, 상기 개구 패턴은 평면 상에서 상기 복수의 중심 가지 슬릿들 및 상기 복수의 외곽 가지 슬릿들 사이의 영역과 중첩하는 표시 장치.

청구항 19

제18 항에 있어서,

평면 상에서 상기 개구 패턴과 상기 십자 슬릿은 비중첩하고, 상기 개구 패턴과 상기 십자 슬릿 사이의 거리는 3 마이크로 미터 이상인 표시 장치.

청구항 20

제14 항에 있어서,

상기 제1 제어 슬릿들 각각의 폭은 상기 복수의 외곽 가지 슬릿들의 폭과 동일한 표시 장치.

발명의 설명

기술 분야

본 발명은 투과율 및 측면 시인성이 개선된 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 액정 표시 장치는 서로 마주하는 두 개의 기관들 및 기관들 사이에 개재된 액정층을 포함하는 액정 표시 패널을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성한다. 이에 따라 액정층의 액정 분자들의 배향 방향이 결정되고, 입사광의 편광을 제어함으로써 영상을 표시한다.
- [0003] 액정 표시 장치 중에서 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 두 개의 기관들에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하다.
- [0004] 수직 배향 방식의 액정 표시 장치의 경우, 광 시야각을 확보하기 위해 화소 전극에 미세 슬릿을 형성하여 복수의 도메인을 형성할 수 있다. 또한, 도메인의 안정성 확보를 위해 화소 전극과 마주하는 공통 전극에도 개구 패턴이 제공될 수 있다. 도메인 내의 액정 분자들 중 프린지 필드에 의해 제어되지 못한 액정 분자들은 편광판의 편광축과 소정의 각도를 이루지 못하여 회색 또는 블랙의 점으로 시인될 수 있고, 이에 의해 표시 장치의 투과율이 저하될 수 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 투과율 및 측면 시인성이 개선된 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 본 발명의 일 실시예에 따른 표시 장치는 제1 방향 및 상기 제1 방향과 교차하는 제2 방향을 따라 배열된 복수의 화소 전극들을 포함하는 제1 기관, 개구 패턴이 제공된 공통 전극을 포함하는 제2 기관, 및 상기 제1 기관 및 상기 제2 기관 사이에 배치된 액정층을 포함하고, 상기 복수의 화소 전극들 각각은 복수의 대각변들 및 복수의 연결변들을 포함하고, 내부에 제1 방향 및 제2 방향으로 연장된 십자 슬릿 및 상기 십자 슬릿으로부터 연장된 복수의 중심 가지 슬릿들이 제공된 중심 전극부, 및 상기 복수의 대각변들 각각으로부터 돌출되어 연장되는 복수의 가지 전극들을 포함하는 가지 전극부를 포함하는 단위 화소 전극을 포함하고, 상기 복수의 연결변들은 상기 제1 방향으로 연장되는 제1 연결변들 및 상기 제2 방향으로 연장되는 제2 연결변들을 포함하고, 상기 제1 연결변들과 인접한 상기 중심 전극부의 제1 외곽 영역들 각각에는 상기 제1 방향으로 연장된 제1 제어 슬릿들이 제공될 수 있다.
- [0007] 상기 제2 연결변들과 인접한 상기 중심 전극부의 제2 외곽 영역들 각각에는 상기 제2 방향으로 연장된 제2 제어 슬릿들이 제공될 수 있다.
- [0008] 상기 복수의 화소 전극들 각각은 상기 제1 방향을 따라 배열된 3 개의 상기 단위 화소 전극을 포함하고, 상기 3 개의 단위 화소 전극들을 배열된 순서에 따라 제1 단위 화소 전극, 제2 단위 화소 전극 및 제3 단위 화소 전극이라 정의할 수 있다.
- [0009] 상기 제1 단위 화소 전극의 상기 제2 연결변들과 인접한 상기 중심 전극부의 제2 외곽 영역들 각각에는 상기 제2 방향으로 연장된 제2 제어 슬릿들이 제공되고, 상기 제2 단위 화소 전극의 상기 제2 연결변들 중 상기 제3 단위 화소 전극과 인접하지 않은 제2 연결변과 인접한 상기 중심 전극부의 제3 외곽 영역에는 상기 제2 방향으로 연장된 제3 제어 슬릿들이 제공되고, 상기 제3 단위 화소 전극의 상기 제2 연결변들 중 상기 제2 단위 화소 전극과 인접하지 않은 제2 연결변과 인접한 상기 전극부의 제4 외곽 영역에는 상기 제2 방향으로 연장된 제4 제어 슬릿들이 제공될 수 있다.
- [0010] 상기 제1 제어 슬릿들 각각은 상기 복수의 대각변들 중 상기 제1 연결변들 각각과 인접한 두 개의 대각변들 각각으로부터 제1 방향을 따라 연장되는 제1 부분 제어 슬릿 및 제2 부분 제어 슬릿을 포함할 수 있다.
- [0011] 상기 제1 부분 제어 슬릿 및 상기 제2 부분 제어 슬릿 각각의 길이는 $x\sqrt{2}$ 미만이고, 상기 x 는 평면 상에서 상기 복수의 대각변들 중 어느 하나의 대각변과 상기 개구 패턴 사이의 최소 거리일 수 있다.
- [0012] 평면 상에서 상기 개구 패턴과 상기 십자 슬릿은 비중첩할 수 있다.

- [0013] 평면 상에서 상기 개구 패턴과 상기 십자 슬릿 사이의 거리는 3 마이크로 미터 이상일 수 있다.
- [0014] 상기 중심 전극부는 상기 복수의 대각변들 및 상기 복수의 연결변들에 의해 정의된 팔각형 형상을 갖고, 상기 복수의 연결변들 각각의 가상의 연장선 상에 상기 복수의 가지 전극들의 끝 단이 배치될 수 있다.
- [0015] 상기 제1 제어 슬릿들 각각의 폭은 상기 복수의 가지 전극들 중 서로 인접한 두 개의 가지 전극 사이의 거리와 동일할 수 있다.
- [0016] 상기 제1 연결변들과 상기 제1 제어 슬릿들 사이의 최소 거리는 상기 복수의 가지 전극들 각각의 폭과 동일할 수 있다.
- [0017] 상기 복수의 대각변들은 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로 연장되는 제1 대각변들 및 상기 제1 내지 제3 방향과 교차하는 제4 방향으로 연장되는 제2 대각변들을 포함하고, 상기 복수의 가지 전극들 중 상기 제1 대각변들로부터 연장되는 가지 전극들은 상기 제4 방향을 따라 연장되고, 상기 복수의 가지 전극들 중 상기 제2 대각변들로부터 연장되는 가지 전극들은 상기 제3 방향을 따라 연장될 수 있다.
- [0018] 상기 개구 패턴은 평면 상에서 상기 복수의 중심 가지 슬릿들과 상기 복수의 가지 전극들 사이에 배치될 수 있다.
- [0019] 본 발명의 일 실시예에 따른 표시 장치는 단위 화소 전극을 포함하는 제1 기관, 공통 전극을 포함하는 제2 기관, 및 상기 제1 기관 및 상기 제2 기관 사이에 배치된 액정층을 포함하고, 상기 단위 화소 전극에는 상기 단위 화소 전극의 중심에서 제1 방향 및 제2 방향으로 교차하며 연장된 십자 슬릿, 상기 십자 슬릿으로부터 상기 제1 및 제2 방향과 교차하는 제3 방향 및 제4 방향으로 연장되는 복수의 중심 가지 슬릿들, 상기 단위 화소 전극의 외곽으로부터 상기 복수의 중심 가지 슬릿들을 향해 상기 제3 방향 및 상기 제4 방향으로 연장되는 복수의 외곽 가지 슬릿들, 및 상기 단위 화소 전극의 외곽과 인접한 제1 외곽 영역에 상기 제1 방향을 따라 연장되는 제1 제어 슬릿들이 제공되고, 상기 제1 제어 슬릿들은 상기 제2 방향에서 상기 복수의 외곽 가지 슬릿들과 비중첩할 수 있다.
- [0020] 상기 제1 외곽 영역은 상기 단위 화소 전극의 외곽과 상기 십자 슬릿 중 상기 제2 방향을 따라 연장된 슬릿의 끝단 사이에 정의될 수 있다.
- [0021] 상기 단위 화소 전극에는 상기 단위 화소 전극의 외곽과 인접한 제2 외곽 영역에 상기 제2 방향을 따라 연장되는 제2 제어 슬릿들이 더 제공되고, 상기 제2 제어 슬릿들은 상기 제1 방향에서 상기 복수의 외곽 가지 슬릿들과 비중첩할 수 있다.
- [0022] 상기 제2 외곽 영역은 상기 단위 화소 전극의 외곽과 상기 십자 슬릿 중 상기 제1 방향을 따라 연장된 슬릿의 끝단 사이에 정의될 수 있다.
- [0023] 상기 공통 전극에는 개구 패턴이 제공되고, 상기 개구 패턴은 평면 상에서 상기 복수의 중심 가지 슬릿들 및 상기 복수의 외곽 가지 슬릿들 사이의 영역과 중첩할 수 있다.
- [0024] 평면 상에서 상기 개구 패턴과 상기 십자 슬릿은 비중첩하고, 상기 개구 패턴과 상기 십자 슬릿 사이의 거리는 3 마이크로 미터 이상일 수 있다.
- [0025] 상기 제1 제어 슬릿들 각각의 폭은 상기 복수의 외곽 가지 슬릿들의 폭과 동일할 수 있다.

발명의 효과

- [0026] 본 발명에 따르면, 단위 화소 전극의 외곽 영역에 제어 슬릿들이 제공되어 소정의 전계를 형성한다. 따라서, 상기 외곽 영역에 배치된 액정 분자들은 상기 소정의 전계에 의해 제어될 수 있다. 즉, 상기 소정의 전계에 의해 상기 외곽 영역에 배치된 액정 분자들의 배향 각도가 변화될 수 있고, 그 결과 표시 장치의 투과율 및 측면 시 인성이 개선될 수 있다.

도면의 간단한 설명

- [0027] 도 1a는 본 발명의 일 실시예에 따른 표시 장치의 사시도이다.
- 도 1b는 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 3은 본 발명의 일 실시예에 따른 단위 화소 전극의 평면도이다.

도 4는 도 3의 일부분을 확대하여 도시한 것이다.

도 5는 본 발명의 비교예에 따른 단위 화소 전극의 평면도이다.

도 6은 도 4의 A-A' 영역 및 도 5의 A-A' 영역에 배치된 액정 분자의 배향 각도를 도시한 그래프이다.

도 7a는 본 발명의 일 실시예에 따른 단위 화소 전극의 평면을 촬상한 도면이다.

도 7b는 본 발명의 비교예에 따른 단위 화소 전극의 평면을 촬상한 도면이다.

도 8은 본 발명의 일 실시예에 따른 화소를 도시한 평면도이다.

도 9는 본 발명의 일 실시예에 따른 화소 전극을 도시한 평면도이다.

도 10은 본 발명의 일 실시예에 따른 화소 전극을 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다. 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결 된다", 또는 "결합 된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0029] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0031] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0032] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 도 1a는 본 발명의 일 실시예에 따른 표시 장치(DD)의 사시도이다.
- [0034] 도 1a를 참조하면, 표시 장치(DD)는 표시면(IS)을 통해 영상을 표시할 수 있다. 도 1a에서는 표시면(IS)이 제1 방향(DR1) 및 제1 방향(DR1)과 교차하는 제2 방향(DR2)에 의해 정의되는 면을 포함하는 것으로 도시하였다. 하지만, 이는 예시적인 것으로, 다른 실시예에서 표시 장치(미도시)의 표시면(미도시)는 휘어진 형상을 가질 수 있다.
- [0035] 표시 장치(DD)의 두께 방향은 제3 방향(DR3)이 지시한다. 제1 내지 제3 방향들(DR1, DR2, DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향으로 변환될 수 있다.
- [0036] 표시 장치(DD)는 텔레비전, 모니터, 또는 외부 광고판과 같은 대형 전자장치를 비롯하여, 퍼스널 컴퓨터, 노트북 컴퓨터, 개인 디지털 단말기, 자동차 네비게이션 유닛, 게임기, 휴대용 전자 기기, 및 카메라와 같은 중소형 전자 장치 등에 사용될 수도 있다. 또한, 이것들은 단지 실시예로서 제시된 것들로서, 본 발명의 개념에서 벗어나지 않은 이상 다른 전자 기기에도 채용될 수 있음은 물론이다.
- [0037] 도 1b는 본 발명의 일 실시예에 따른 표시 장치(DD)의 블록도이다.
- [0038] 도 1b를 참조하면, 표시 장치(DD)는 표시 패널(DP), 신호 제어부(TC, 또는 타이밍 컨트롤러), 데이터 구동부(DDV), 및 게이트 구동부(GDV)를 포함할 수 있다. 신호 제어부(TC), 데이터 구동부(DDV) 및 게이트 구동부(GDV)들은 회로로 구성될 수 있다.

- [0039] 표시 패널(DP)은 액정 표시 패널(liquid crystal display panel)일 수 있다. 표시 장치(DD)는 표시 패널(DP)에 광을 제공하는 백라이트 유닛(미도시)을 더 포함할 수 있다. 표시 패널(DP)은 백라이트 유닛으로부터 생성된 광의 투과량을 제어하여 영상을 표시할 수 있다.
- [0040] 표시 패널(DP)은 복수의 데이터 라인들(DL1~DLm), 복수의 게이트 라인들(GL1~GLn) 및 복수의 화소들(PX)을 포함할 수 있다.
- [0041] 복수의 데이터 라인들(DL1~DLm)은 제1 방향(DR1)으로 연장되며, 제1 방향(DR1)과 교차하는 제2 방향(DR2)을 따라 배열될 수 있다. 복수의 게이트 라인들(GL1~GLn)은 제2 방향(DR2)으로 연장되며, 제1 방향(DR1)을 따라 배열될 수 있다. 복수의 데이터 라인들(DL1~DLm) 및 복수의 게이트 라인들(GL1~GLn)은 화소 영역들을 정의하며, 화소 영역들 각각에는 영상을 표시하는 화소(PX)가 구비될 수 있다. 화소들(PX) 각각은 화소 전극 및 화소 전극과 전기적으로 연결된 화소 회로를 포함할 수 있다. 화소 회로는 복수의 트랜지스터들을 포함할 수 있다.
- [0042] 복수의 화소들(PX)은 제1 방향(DR1) 및 제2 방향(DR2)을 따라 매트릭스 형태로 배열될 수 있다. 화소들(PX) 각각은 주요색(primary color) 중 하나 또는 혼합색 중 하나를 표시할 수 있다. 상기 주요색은 레드, 그린, 블루, 및 화이트를 포함할 수 있고, 상기 혼합색은 옐로우, 시안, 마젠타 등 다양한 색상을 포함할 수 있다. 다만, 화소들(PX)이 표시하는 색상이 이에 제한되는 것은 아니다. 신호 제어부(TC)는 외부로부터 제공되는 영상 데이터(RGB)를 수신한다. 신호 제어부(TC)는 영상 데이터(RGB)를 표시 패널(DP)의 동작에 부합하도록 변환하여 변환 영상데이터(R'G'B')를 생성하고, 변환 영상데이터(R'G'B')를 데이터 구동부(DDV)로 출력한다.
- [0043] 또한, 신호 제어부(TC)는 외부로부터 제공되는 제어 신호(CS)를 수신할 수 있다. 제어 신호(CS)는 수직동기신호, 수평동기신호, 메인 클럭신호, 및 데이터 인에이블 신호 등을 포함할 수 있다. 신호 제어부(TC)는 제1 제어 신호(CONT1)를 데이터 구동부(DDV)로 제공하고, 제2 제어 신호(CONT2)를 게이트 구동부(GDV)로 제공한다. 제1 제어 신호(CONT1)는 데이터 구동부(DDV)를 제어하기 위한 신호이고, 제2 제어 신호(CONT2)를 게이트 구동부(GDV)를 제어하기 위한 신호이다.
- [0044] 데이터 구동부(DDV)는 신호 제어부(TC)로부터 수신한 제1 제어 신호(CONT1)에 응답해서 복수의 데이터 라인들(DL1~DLm)을 구동할 수 있다. 데이터 구동부(DDV)는 독립된 집적 회로로 구현되어서 표시 패널(DP)의 일 측에 전기적으로 연결되거나, 표시 패널(DP) 상에 직접 실장될 수 있다. 또한, 데이터 구동부(DDV)는 단일 칩으로 구현되거나 복수의 칩들을 포함할 수 있다.
- [0045] 게이트 구동부(GDV)는 신호 제어부(TC)로부터의 제2 제어 신호(CONT2)에 응답해서 게이트 라인들(GL1~GLn)을 구동한다. 게이트 구동부(GDV)는 표시 패널(DP)의 소정 영역에 집적될 수 있다. 이 경우, 게이트 구동부(GDV)는 비정질-실리콘 박막 트랜지스터(amorphous Silicon Thin Film Transistor a-Si TFT)를 이용한 ASG(Amorphous silicon gate), 산화물 반도체, 결정질 반도체, 또는 다결정 반도체 등을 이용한 회로로 구현될 수 있다. 또한, 게이트 구동부(GDV)는 독립된 집적 회로 칩으로 구현되어 표시 패널(DP)의 일측에 전기적으로 연결될 수 있다.
- [0046] 복수의 게이트 라인들(GL1~GLn) 중 하나의 게이트 라인에 게이트 온 전압이 인가된 동안 이에 연결된 한 행의 화소들 각각의 스위칭 트랜지스터가 턴 온 된다. 이때 데이터 구동부(DDV)는 데이터 구동 신호들을 데이터 라인들(DL1~DLm)로 제공한다. 데이터 라인들(DL1~DLm)로 공급된 데이터 구동 신호들은 턴-온 된 스위칭 트랜지스터를 통해 해당 화소에 인가된다.
- [0047] 도 2는 본 발명의 일 실시예에 따른 표시 패널(DP)의 단면도이고, 도 3은 본 발명의 일 실시예에 따른 단위 화소 전극(PEU)의 평면도이다.
- [0048] 도 2 및 도 3을 참조하면, 표시 패널(DP)은 단면상에서 제1 기판(100), 제2 기판(200), 및 액정층(300)을 포함할 수 있다.
- [0049] 제1 기판(100)은 제1 베이스 기판(S1), 회로층(CL) 및 화소 전극(PE)을 포함할 수 있다.
- [0050] 제1 베이스 기판(S1)은 절연 물질을 포함할 수 있다. 제1 베이스 기판(S1)은 광학적으로 투명할 수 있다. 이에 따라, 제1 베이스 기판(S1)의 아래에 배치되는 백라이트 유닛(미도시)으로부터 생성된 광이 제1 베이스 기판(S1)을 투과하여 액정층(300)에 용이하게 도달할 수 있다. 예를 들어, 제1 베이스 기판(S1)은 플라스틱 기판, 유리 기판, 메탈 기판, 또는 유/무기 복합재료 기판을 포함할 수 있다. 제1 베이스 기판(S1)이 플라스틱 기판을 포함하는 경우, 제1 베이스 기판(S1)은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페틸렌계

수지 중 적어도 어느 하나를 포함할 수 있다.

- [0051] 회로층(CL)은 제1 베이스 기판(S1) 위에 배치된다. 회로층(CL)은 복수 개의 절연층들, 복수 개의 도전층들 및 반도체층을 포함할 수 있다. 예를 들어, 회로층(CL)은 유기/무기층들(12, 14, 16) 및 트랜지스터(TFT)를 포함할 수 있다.
- [0052] 트랜지스터(TFT)는 제어 전극(GED), 반도체 패턴(ALD), 입력 전극(SED) 및 출력 전극(DED)을 포함할 수 있다. 이하에서는 도 2에 도시된 트랜지스터(TFT)의 구조에 대해 설명하나, 본 발명의 일 실시예에 따른 트랜지스터(TFT)는 다양한 구조를 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0053] 제어 전극(GED)은 제1 베이스 기판(S1) 위에 배치될 수 있다. 도시하지 않았으나, 제1 베이스 기판(S1) 위에는 배리어층 또는 버퍼층과 같은 기능층이 배치될 수 있고, 이 경우, 제어 전극(GED)은 기능층 위에 배치될 수도 있다.
- [0054] 제1 베이스 기판(S1) 위에는 제어 전극(GED)을 커버하는 제1 절연층(12)이 배치된다. 제1 절연층(12)은 유기층 및/또는 무기층을 포함한다. 특히, 제1 절연층(12)은 복수 개의 무기 박막들을 포함할 수 있다. 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0055] 제1 절연층(12) 위에는 반도체 패턴(ALD)이 배치될 수 있다. 반도체 패턴(ALD)은 반도체 물질을 포함할 수 있다. 예를 들어, 반도체 물질은 비정질 실리콘, 다결정 실리콘, 단결정 실리콘, 산화물 반도체, 및 화합물 반도체 중 적어도 어느 하나를 포함할 수 있다.
- [0056] 반도체 패턴(ALD) 위에는 입력 전극(SED) 및 출력 전극(DED)이 배치된다. 도 2에서는 입력 전극(SED) 및 출력 전극(DED) 각각이 반도체 패턴(ALD)의 바로 위에 직접 접촉되는 것을 예시적으로 도시하였으나 이에 제한되는 것은 아니다. 예컨대, 반도체 패턴(ALD) 위에 절연층(미도시)이 배치되고, 상기 절연층 위에 입력 전극(SED) 및 출력 전극(DED)이 배치될 수 있다. 이 경우, 입력 전극(SED) 및 출력 전극(DED)은 상기 절연층을 관통하여 반도체 패턴(ALD)에 연결될 수 있다.
- [0057] 제1 절연층(12) 위에는 입력 전극(SED) 및 출력 전극(DED)을 커버하는 제2 절연층(14)이 배치된다. 제2 절연층(14)은 유기층 및/또는 무기층을 포함한다. 특히, 제2 절연층(14)은 복수 개의 무기 박막들을 포함할 수 있다. 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0058] 제2 절연층(14) 위에 제3 절연층(16)이 배치된다. 제3 절연층(16)은 유기층 및/또는 무기층을 포함한다. 특히, 제3 절연층(16)은 평탄면을 제공하기 위해서 유기물질을 포함할 수 있다.
- [0059] 제1 절연층(12), 제2 절연층(14), 및 제3 절연층(16) 중 어느 하나는 화소의 회로 구조에 따라 생략될 수 있다. 제1 절연층(12), 제2 절연층(14) 및 제3 절연층(16) 각각은 층간 절연층(interlayer)으로 정의될 수 있다. 층간 절연층은 층간 절연층을 기준으로 하부에 배치된 도전패턴과 상부에 배치된 도전패턴의 사이에 배치되어 도전패턴들을 절연시킬 수 있다.
- [0060] 제3 절연층(16) 위에는 화소 전극(PE)이 배치된다. 화소 전극(PE)은 복수로 제공될 수 있다. 복수로 제공된 화소 전극(PE)은 앞서 도 1b에서 설명한 화소들(PX)과 같이 제1 방향(DR1, 도 1b 참조) 및 제2 방향(DR2)을 따라 배열될 수 있다. 화소 전극(PE)은 제2 및 제3 절연층(14, 16)을 관통하여 출력 전극(DED)에 전기적으로 연결될 수 있다.
- [0061] 화소 전극(PE)은 단위 화소 전극(PEU)을 포함할 수 있다. 화소 전극(PE)은 하나의 단위 화소 전극(PEU)을 포함할 수도 있고, 둘 이상의 단위 화소 전극들(PEU)을 포함할 수도 있다. 단위 화소 전극(PEU)에 대해서는 도 3을 참조하여 설명한다.
- [0062] 단위 화소 전극(PEU)은 중심 전극부(CPE) 및 가지 전극부(BPE)를 포함할 수 있다.
- [0063] 중심 전극부(CPE)는 복수의 대각변들(CCL1, CCL2, CCL1a, CCL2a) 및 복수의 연결변들(CL1, CL2)을 포함할 수 있다. 도 3에서 복수의 연결변들(CL1, CL2)은 제1 방향(DR1) 또는 제2 방향(DR2)을 따라 연장되는 변들로 정의될 수 있다. 복수의 대각변들(CCL1, CCL2, CCL1a, CCL2a)은 제3 방향(DRt) 또는 제4 방향(DR4)을 따라 연장되는 변들로 정의될 수 있다.
- [0064] 제3 방향(DRt)은 제1 방향(DR1) 및 제2 방향(DR2)과 교차하는 방향이고, 제4 방향(DR4)은 제1 방향 내지 제3 방향(DR1, DR2, DRt)과 교차하는 방향일 수 있다. 제3 방향(DRt)은 앞서 표시 장치(DD, 도 1a 참조)의 두께 방향인 제3 방향(DR3, 도 1a 참조)과 구분하기 위해 부호를 달리 표시하였다.

- [0065] 복수의 연결변들(CL1, CL2)은 제1 방향(DR1)으로 연장되는 두 개의 제1 연결변들(CL1) 및 제2 방향(DR2)으로 연장되는 두 개의 제2 연결변들(CL2)을 포함할 수 있다. 복수의 대각변들(CCL1, CCL2, CCL1a, CCL2a)은 제3 방향(DRt)으로 연장되는 두 개의 제1 대각변들(CCL1, CCL1a) 및 제4 방향(DR4)으로 연장되는 두 개의 제2 대각변들(CCL2, CCL2a)을 포함할 수 있다.
- [0066] 중심 전극부(CPE)는 제1 연결변들(CL1), 제2 연결변들(CL2), 제1 대각변들(CCL1, CCL1a) 및 제2 대각변들(CCL2, CCL2a)에 의해 정의된 외곽 라인을 가질 수 있고, 외곽 라인은 팔각형 형상을 가질 수 있다.
- [0067] 중심 전극부(CPE)에는 십자 슬릿(CST) 및 복수의 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4)이 제공될 수 있다. 슬릿은 전극의 일부를 제거하여 제공될 수 있다. 예를 들어, 중심 전극부(CPE)에 제공된 슬릿에 의해 중심 전극부(CPE)의 아래에 배치된 구성이 노출될 수 있다. 예를 들어, 중심 전극부(CPE)에 제공된 슬릿에 의해 제3 절연층(16)이 노출될 수 있다.
- [0068] 십자 슬릿(CST)은 제1 방향(DR1)을 따라 연장된 제1 직선 슬릿(CST1) 및 제2 방향(DR2)을 따라 연장된 제2 직선 슬릿(CST2)을 포함할 수 있다. 제1 직선 슬릿(CST1) 및 제2 직선 슬릿(CST2)은 중심 전극부(CPE)의 중심(CP)에서 교차할 수 있다. 따라서, 제1 직선 슬릿(CST1)과 제2 직선 슬릿(CST2)은 십자 형태의 십자 슬릿(CST)을 구성할 수 있다.
- [0069] 복수의 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4)은 십자 슬릿(CST)으로부터 연장되어 제공될 수 있다. 복수의 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4)은 십자 슬릿(CST)에 의해 구분된 영역에 따라 제1 중심 가지 슬릿들(CBS1), 제2 중심 가지 슬릿들(CBS2), 제3 중심 가지 슬릿들(CBS3) 및 제4 중심 가지 슬릿들(CBS4)로 명칭될 수 있다.
- [0070] 제1 중심 가지 슬릿들(CBS1)은 제1 직선 슬릿(CST1)의 좌측 및 제2 직선 슬릿(CST2) 상측으로부터 연장되는 슬릿들이다. 제2 중심 가지 슬릿들(CBS2)은 제1 직선 슬릿(CST1)의 좌측 및 제2 직선 슬릿(CST2) 하측으로부터 연장되는 슬릿들이다. 제3 중심 가지 슬릿들(CBS3)은 제1 직선 슬릿(CST1)의 우측 및 제2 직선 슬릿(CST2) 하측으로부터 연장되는 슬릿들이다. 제4 중심 가지 슬릿들(CBS4)은 제1 직선 슬릿(CST1)의 우측 및 제2 직선 슬릿(CST2) 상측으로부터 연장되는 슬릿들이다. 제1 내지 제4 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4)에 의해 수평 전계가 형성되고, 액정 분자들은 특정 방향으로 기울어질 수 있다.
- [0071] 제1 중심 가지 슬릿들(CBS1) 및 제3 중심 가지 슬릿들(CBS3)은 제4 방향(DR4)을 따라 연장되고, 제2 중심 가지 슬릿들(CBS2) 및 제4 중심 가지 슬릿들(CBS4)은 제3 방향(DRt)을 따라 연장될 수 있다. 제1 내지 제4 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4) 각각의 끝 단을 연결하면 마름모 형상이 될 수 있다.
- [0072] 제1 직선 슬릿(CST1)을 기준으로 제1 중심 가지 슬릿들(CBS1)과 제4 중심 가지 슬릿들(CBS4) 및 제2 중심 가지 슬릿들(CBS2)과 제3 중심 가지 슬릿들(CBS3)은 서로 비대칭할 수 있다. 또한, 제2 직선 슬릿(CST2)을 기준으로 제1 중심 가지 슬릿들(CBS1)과 제2 중심 가지 슬릿들(CBS2) 및 제3 중심 가지 슬릿들(CBS3)과 제4 중심 가지 슬릿들(CBS4)은 서로 비대칭할 수 있다. 이 경우, 제1 직선 슬릿(CST1) 또는 제2 직선 슬릿(CST2)을 기준으로 중심 가지 슬릿들이 서로 대칭인 형상을 갖는 경우보다 액정이 충돌되는 현상이 감소될 수 있다. 따라서, 텍스처(texture) 현상이 완화될 수 있다.
- [0073] 제1 연결변들(CL1)과 인접한 중심 전극부(CPE)의 제1 외곽 영역들(OTA1) 각각에는 제1 방향(DR1)으로 연장된 제1 제어 슬릿들(CS1, CS1a)이 제공될 수 있다. 또한, 제2 연결변들(CL2)과 인접한 중심 전극부(CPE)의 제2 외곽 영역들(OTA2) 각각에는 제2 방향(DR2)으로 연장된 제2 제어 슬릿들(CS2, CS2a)이 제공될 수 있다. 도 3에서는 제1 외곽 영역들(OTA1) 중 하나의 제1 외곽 영역(OTA1), 제2 외곽 영역들(OTA2) 중 하나의 제2 외곽 영역(OTA2)에 대해서만 도면 부호를 표시하였다. 나머지 제1 외곽 영역 및 제2 외곽 영역에 대한 설명은 생략된다.
- [0074] 제1 외곽 영역들(OTA1)은 단위 화소 전극(PEU)의 외곽과 제2 방향(DR2)을 따라 연장되는 제2 직선 슬릿(CST2)의 끝 단 사이에 정의된 영역일 수 있고, 제2 외곽 영역들(OTA2)은 단위 화소 전극(PEU)의 외곽과 제1 방향(DR1)을 따라 연장되는 제1 직선 슬릿(CST1)의 끝 단 사이에 정의된 영역일 수 있다. 단위 화소 전극(PEU)의 외곽은 제1 연결변들(CL1) 또는 제2 연결변들(CL2)일 수 있다. 즉, 제1 외곽 영역들(OTA1)은 제1 연결변들(CL1) 각각과 제2 직선 슬릿(CST2)의 끝 단 사이에 정의된 영역일 수 있고, 제2 외곽 영역들(OTA2)은 제2 연결변들(CL2) 각각과 제1 직선 슬릿(CST1)의 끝 단 사이에 정의된 영역일 수 있다.
- [0075] 제1 제어 슬릿(CS1)은 제1 연결변(CL1)과 인접한 두 개의 대각변들(CCL1, CCL2) 각각으로부터 제1 방향(DR1)을 따라 연장되는 제1 부분 제어 슬릿(PCS1) 및 제2 부분 제어 슬릿(PCS2)을 포함할 수 있다. 제1 제어 슬릿(CS1

a)은 제1 연결변(CL1)과 인접한 두 개의 대각변들(CCL1a, CCL2a) 각각으로부터 제1 방향(DR1)을 따라 연장되는 제1 부분 제어 슬릿(PCS1a) 및 제2 부분 제어 슬릿(PCS2a)을 포함할 수 있다.

[0076] 제1 부분 제어 슬릿(PCS1)은 제1 대각변(CCL1)으로부터 제2 대각변(CCL2)을 향하는 방향으로 연장되고, 제2 부분 제어 슬릿(PCS2)은 제2 대각변(CCL2)으로부터 제1 대각변(CCL1)을 향하는 방향으로 연장될 수 있다. 제1 부분 제어 슬릿(PCS1a)은 제2 대각변(CCL2a)으로부터 제1 대각변(CCL1a)을 향하는 방향으로 연장되고, 제2 부분 제어 슬릿(PCS2a)은 제1 대각변(CCL1a)으로부터 제2 대각변(CCL2a)을 향하는 방향으로 연장될 수 있다.

[0077] 제2 제어 슬릿(CS2)은 제2 연결변(CL2)과 인접한 두 개의 대각변들(CCL2, CCL1a) 각각으로부터 제2 방향(DR2)을 따라 연장되는 제1 부분 제어 슬릿(PCS3) 및 제2 부분 제어 슬릿(PCS4)을 포함할 수 있다. 제2 제어 슬릿(CS2a)은 제2 연결변(CL2)과 인접한 두 개의 대각변들(CCL1, CCL2a) 각각으로부터 제2 방향(DR2)을 따라 연장되는 제1 부분 제어 슬릿(PCS3a) 및 제2 부분 제어 슬릿(PCS4a)을 포함할 수 있다.

[0078] 제1 부분 제어 슬릿(PCS3)은 제2 대각변(CCL2)으로부터 제1 대각변(CCL1a)을 향하는 방향으로 연장되고, 제2 부분 제어 슬릿(PCS4)은 제1 대각변(CCL1a)으로부터 제2 대각변(CCL2)을 향하는 방향으로 연장될 수 있다. 제1 부분 제어 슬릿(PCS3a)은 제1 대각변(CCL1)으로부터 제2 대각변(CCL2a)을 향하는 방향으로 연장되고, 제2 부분 제어 슬릿(PCS4a)은 제2 대각변(CCL2a)으로부터 제1 대각변(CCL1)을 향하는 방향으로 연장될 수 있다.

[0079] 가지 전극부(BPE)는 복수의 가지 전극들(BE1, BE2, BE3, BE4)을 포함할 수 있다. 복수의 가지 전극들(BE1, BE2, BE3, BE4)은 복수의 대각변들(CCL1, CCL2, CCL1a, CCL2a)로부터 연장될 수 있다.

[0080] 복수의 가지 전극들(BE1, BE2, BE3, BE4) 사이에는 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4)이 제공될 수 있다. 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4)은 단위 화소 전극(PEU)의 외곽으로부터 복수의 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4)을 향해 연장되어 제공될 수 있다.

[0081] 복수의 가지 전극들(BE1, BE2, BE3, BE4)은 십자 슬릿(CST)에 의해 구분된 영역에 따라 제1 가지 전극들(BE1), 제2 가지 전극들(BE2), 제3 가지 전극들(BE3) 및 제4 가지 전극들(BE4)로 명칭될 수 있다.

[0082] 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4)은 제1 가지 전극들(BE1) 사이에 제공된 제1 외곽 가지 슬릿들(OBS1), 제2 가지 전극들(BE2) 사이에 제공된 제2 외곽 가지 슬릿들(OBS2), 제3 가지 전극들(BE3) 사이에 제공된 제3 외곽 가지 슬릿들(OBS3), 및 제4 가지 전극들(BE4) 사이에 제공된 제4 외곽 가지 슬릿들(OBS4)을 포함할 수 있다.

[0083] 제1 가지 전극들(BE1)은 제1 대각변(CCL1)으로부터 제4 방향(DR4)을 따라 돌출되어 연장되고, 제2 가지 전극들(BE2)은 제2 대각변(CCL2)으로부터 제3 방향(DRt)을 따라 돌출되어 연장되고, 제3 가지 전극들(BE3)은 제1 대각변(CCL1a)으로부터 제4 방향(DR4)을 따라 돌출되어 연장되고, 제4 가지 전극들(BE4)은 제2 대각변(CCL2a)으로부터 제3 방향(DRt)을 따라 돌출되어 연장될 수 있다.

[0084] 제1 제어 슬릿들(CS1, CS1a) 및 제2 제어 슬릿들(CS2, CS2a) 각각의 폭(LT1)은 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4) 각각의 폭(LT1a)과 동일할 수 있다. 상기 폭(LT1a)은 복수의 가지 전극들(BE1, BE2, BE3, BE4) 중 서로 인접한 두 개의 가지 전극 사이의 거리와 동일할 수 있다.

[0085] 제1 연결변(CL1)과 제1 제어 슬릿들(CS1, CS1a) 사이의 최소 거리(LT2)는 복수의 가지 전극들(BE1, BE2, BE3, BE4) 각각의 폭(LT2a)과 동일할 수 있다. 상기 최소 거리(LT2)는 바 전극(BE)의 폭(LT2)과 동일할 수 있다. 바 전극(BE)은 제1 제어 슬릿들(CS1, CS1a) 및 제2 제어 슬릿들(CS2, CS2a)에 의해 제공된 중심 전극부(CPE)의 일부분일 수 있다. 예를 들면, 중심 전극부(CPE) 외곽과 인접한 제1 연결변(CL1)과 제1 부분 제어 슬릿(PCS1, PCS1a) 사이 영역, 제1 연결변(CL1)과 제2 부분 제어 슬릿(PCS2, PCS2a) 사이 영역, 제2 연결변(CL2)과 제1 부분 제어 슬릿(PCS3, PCS3a) 사이 영역 및 제2 연결변(CL2)과 제2 부분 제어 슬릿(PCS4, PCS4a) 사이 영역이 바 전극(BE)이라 정의될 수 있다.

[0086] 복수의 연결변들(CL1, CL2)로부터 복수의 연결변들(CL1, CL2) 각각의 가상의 연장선이 정의될 수 있다. 예를 들어, 제1 연결변(CL1)의 가상의 연장선(IEL1)은 제1 연결변(CL1)의 연장 방향과 동일한 제1 방향(DR1)을 따라 연장될 수 있다. 제2 연결변(CL2)의 가상의 연장선(IEL2)은 제2 연결변(CL2)의 연장 방향과 동일한 제2 방향(DR2)으로 연장될 수 있다. 가상의 연장선들(IEL1, IEL2) 상에는 복수의 가지 전극들(BE1, BE2, BE3, BE4) 각각의 끝 단이 배치될 수 있다.

[0087] 제1 제어 슬릿들(CS1, CS1a)과 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4)은 제2 방향(DR2)에서 서로 비중첩할 수 있다. 제2 제어 슬릿들(CS2, CS2a)과 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4)은 제1 방

향(DR1)에서 서로 비중첩 할 수 있다. 즉, 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4) 끝 단과 바 전극(BE)은 서로 마주하지 않을 수 있다.

[0088] 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4) 외곽에 바 전극(BE)이 배치된 경우와 비교하였을 때, 복수의 가지 전극들(BE1, BE2, BE3, BE4) 각각의 끝 단에서 액정의 회전에 따른 충돌이 보다 감소될 수 있다. 따라서, 응답속도 저하 및 투과율 저하가 방지될 수 있다.

[0089] 제2 기관(200)은 제2 베이스 기관(S2), 컬러 필터(CF), 차광층(BM), 및 공통 전극(CE)을 포함할 수 있다.

[0090] 제2 베이스 기관(S2)은 광학적으로 투명한 절연 기관일 수 있다. 제2 베이스 기관(S2)은 제1 베이스 기관(S1)과 동일한 물질을 포함할 수 있다. 따라서, 이에 대한 설명은 생략한다.

[0091] 공통 전극(CE)은 화소 전극(PE)과 전계를 형성한다. 따라서, 액정층(300)의 액정 분자들(LC)은 공통 전극(CE)과 화소 전극(PE) 사이에 형성된 전계에 따라 배열이 변화될 수 있다. 공통 전극(CE)에는 개구 패턴(C_OP)이 제공될 수 있다. 개구 패턴(C_OP)은 도 3에 도시된다.

[0092] 개구 패턴(C_OP)은 평면 상에서 복수의 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4)과 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4) 사이의 영역과 중첩하도록 배치될 수 있다. 개구 패턴(C_OP)은 평면 상에서 십자 슬릿(CST), 복수의 중심 가지 슬릿들(CBS1, CBS2, CBS3, CBS4) 및 복수의 외곽 가지 슬릿들(OBS1, OBS2, OBS3, OBS4)과 비중첩할 수 있다.

[0093] 본 발명의 실시예에 따르면, 평면 상에서 개구 패턴(C_OP)과 십자 슬릿(CST)은 소정 간격 이상 이격되어 배치될 수 있다. 예를 들어, 평면 상에서 개구 패턴(C_OP)과 십자 슬릿(CST) 사이의 거리(LT)는 3 마이크로 미터(μm) 이상일 수 있다. 따라서, 제1 기관(100)과 제2 기관(200) 사이의 정렬이 틀어지는 경우에 발생할 수 있는 투과율 변화가 감소될 수 있다.

[0094] 개구 패턴(C_OP)과 십자 슬릿(CST) 사이의 거리(LT)는 평면 상에서 십자 슬릿(CST)이 연장되는 방향의 끝단과 상기 끝단과 인접한 개구 패턴(C_OP) 사이의 거리(LT)이다. 또한, 거리(LT)는 십자 슬릿(CST)이 연장되는 방향에서의 최대 거리를 의미할 수 있다. 도 3에서는 제1 방향(DR1)으로 연장되는 제1 직선 슬릿(CST1)과 개구 패턴(C_OP) 사이의 제1 방향(DR1)에서의 최대 거리(LT)가 도시되었다.

[0095] 제1 및 제2 부분 제어 슬릿들(PCS1, PCS2, PCS3, PCS4, PCS1a, PCS2a, PCS3a, PCS4a) 각각의 길이(CSL)는

$x\sqrt{2}$ 미만일 수 있다. 따라서, 평면 상에서 제1 및 제2 부분 제어 슬릿들(PCS1, PCS2, PCS3, PCS4, PCS1a, PCS2a, PCS3a, PCS4a)과 개구 패턴(C_OP)은 비중첩할 수 있다.

[0096] 제2 부분 제어 슬릿(PCS2a)을 예로 들어 설명하면, 제2 부분 제어 슬릿(PCS2a)의 길이(CSL)는 제1 대각변(CCL1a)으로부터 제2 부분 제어 슬릿(PCS2a)의 끝 단까지의 길이(CSL)일 수 있고, 상기 x 는 평면 상에서 어느 하나의 대각변(예를 들어, CCL1a)과 개구 패턴(C_OP) 사이의 최소 거리(Lmin)일 수 있다.

[0097] 차광층(BM)은 트랜지스터(TFT)와 중첩하도록 배치될 수 있다. 차광층(BM)은 외부에서 트랜지스터(TFT)가 시인되는 것을 방지하고 트랜지스터들(TFT)을 통해 새어 나오는 광을 차단할 수 있다.

[0098] 컬러 필터(CF)는 화소 전극(PE)과 중첩하도록 배치될 수 있다. 컬러 필터(CF)는 표시되는 광을 컬러를 가진 광으로 필터링하여 외부에 제공한다.

[0099] 한편, 도시되지 않았으나, 공통 전극(CE), 컬러 필터(CF), 및 차광층(BM) 중 적어도 어느 하나는 제1 베이스 기관(S1)에 배치되어 제1 기관(100)을 구성할 수도 있다. 본 발명의 일 실시예에 따른 표시 패널(DP)은 다양한 구조를 가질 수 있으며 어느 하나의 실시예로 한정되지 않는다.

[0100] 또한, 도시되지 않았으나, 화소 전극(PE) 및 공통 전극(CE) 중 적어도 어느 하나와 액정층(300) 사이에는 배향막이 배치될 수 있다. 또한, 제1 베이스 기관(S1)의 아래 및/또는 제2 베이스 기관(S2)의 위에는 편광판이 배치될 수 있다.

[0101] 액정층(300)은 제1 기관(100)과 제2 기관(200) 사이에 배치될 수 있다. 액정층(300)은 액정 분자들(LC)을 포함할 수 있다. 액정 분자들(LC)은 화소 전극(PE)과 공통 전극(CE) 사이에 전기장이 없는 경우, 액정 분자들(LC)의

장축은 제3 방향(DR3)과 나란한 방향으로 배열될 수 있다. 하지만, 이에 제한되는 것은 아니다. 예를 들어, 액정 분자들(LC)의 장축은 제3 방향(DR3)에 대해 소정의 선경사(pretilt angle)를 가지며 배열될 수도 있다.

- [0102] 화소 전극(PE)과 공통 전극(CE) 사이에 전위차를 주어 액정층(300)에 전기장을 생성시키면, 액정 분자들(LC)의 장축은 전기장에 수직한 방향으로 배열될 수 있다. 액정 분자들(LC)의 기울어진 정도에 따라 액정층(300)에 입사된 광의 편광의 변화 정도가 달라질 수 있으며, 이는 투과율 변화로 나타날 수 있다.
- [0103] 도 4는 도 3의 일부분(XX')을 확대하여 도시한 것이다. 구체적으로, 도 4는 도 3의 제1 직선 슬릿(CST1)의 좌측 및 제2 직선 슬릿(CST2)의 상측 영역을 확대하여 도시한 것이다.
- [0104] 도 3 및 도 4를 참조하면, 액정 분자 배향이 간략하게 도시된다.
- [0105] 제1 가지 전극들(BE1)에 의해 수평 전계가 형성되고, 제1 가지 전극들(BE1)이 배치된 영역의 액정 분자들은 서로 유사한 방향으로 기울어질 수 있다. 제1 가지 전극들(BE1)이 배치된 영역에 4 개의 제1 액정 분자들(LCa)을 예시적으로 도시하였다. 제1 액정 분자들(LCa) 각각의 까맣게 표시된 점은 제1 액정 분자들(LCa)의 머리에 해당될 수 있다. 제1 액정 분자들(LCa)의 머리는 단면상에서 제2 기관(200, 도 2 참조)과 인접한 제1 액정 분자들(LCa)의 일 부분을 의미한다. 상기 점은 설명의 편의를 위해 도시한 것이지만, 실제 제1 액정 분자들(LCa)에 존재하는 것이 아니다.
- [0106] 제1 중심 가지 슬릿들(CBS1)에 의해 수평 전계가 형성되고, 제1 중심 가지 슬릿들(CBS1)이 배치된 영역의 액정 분자들은 서로 유사한 방향으로 기울어질 수 있다. 제1 중심 가지 슬릿들(CBS1)이 제공된 영역에 4 개의 제2 액정 분자들(LCb)을 예시적으로 도시하였다.
- [0107] 제1 액정 분자들(LCa) 및 제2 액정 분자들(LCb) 각각은 개구 패턴(C_OP)을 향하는 방향으로 기울어져 배열될 수 있다. 따라서, 제1 직선 슬릿(CST1) 및 제2 직선 슬릿(CST2)에 의해 구분된 영역 내에서 개구 패턴(C_OP)을 기준으로 도메인이 구분될 수 있다. 즉, 도 3을 참조하면, 하나의 단위 화소 전극(PEU)은 제1 직선 슬릿(CST1), 제2 직선 슬릿(CST2), 및 개구 패턴(C_OP)에 의해 총 여덟 개의 도메인으로 구분될 수 있다. 다수로 제공되는 도메인에 의해 액정 분자들이 기울어지는 방향을 고르게 분산시킴으로써 측면 시인성이 향상될 수 있다.
- [0108] 제1 및 제2 외곽 영역들(OTA1, OTA2) 각각에 배치된 액정 분자들(LCc, LCd)은 제1 및 제2 제어 슬릿들(CS1, CS1a, CS2, CS2a)에 의해 제어될 수 있다.
- [0109] 제1 및 제2 외곽 영역들(OTA1, OTA2) 각각에는 제1 및 제2 제어 슬릿들(CS1, CS1a, CS2, CS2a)에 의해 프린지 필드가 발생될 수 있다. 그 중, 액정 분자들(LCc, LCd)을 거동시켜주는 수평 전계 성분은 도 4에 도시하였다.
- [0110] 제1 외곽 영역(OTA1)에는 제1 수평 전계(FF1), 제2 수평 전계(FF2) 및 제3 수평 전계(FF3)가 발생될 수 있다. 제1 부분 제어 슬릿(PCS1)에 의해 제2 수평 전계(FF2) 및 제3 수평 전계(FF3)가 발생된다. 제1 수평 전계(FF1)와 제2 수평 전계(FF2)는 서로 상쇄될 수 있다. 따라서, 제1 부분 제어 슬릿(PCS1)에 인접한 액정 분자는 제3 수평 전계(FF3)에 의해 제1 부분 제어 슬릿(PCS1)의 연장 방향에 대해 수직한 방향으로 기울어 1차 거동될 수 있다. 1차 거동된 액정 분자(LCcb)는 점선으로 도시하였다. 1차 거동된 액정 분자(LCcb)는 주변의 액정 분자들(예를 들어, 제1 액정 분자들(LCa))과 서로 만나 변형이 최소화되는 방향으로 2차 배열될 수 있다. 2차 배열된 액정 분자(LCc)는 실선으로 도시하였다.
- [0111] 제2 외곽 영역(OTA2)에는 제1 수평 전계(FF1a), 제2 수평 전계(FF2a) 및 제3 수평 전계(FF3a)가 발생될 수 있다. 제1 부분 제어 슬릿(PCS3a)에 의해 제2 수평 전계(FF2a) 및 제3 수평 전계(FF3a)가 발생된다. 제1 부분 제어 슬릿(PCS3a)에 인접한 액정 분자는 제3 수평 전계(FF3a)에 의해 제1 부분 제어 슬릿(PCS1)의 연장 방향에 수직한 방향으로 기울어 1차 거동될 수 있다. 1차 거동된 액정 분자(LCdb)는 점선으로 도시하였다. 1차 거동된 액정 분자(LCdb)는 주변의 액정 분자들(예를 들어, 제1 액정 분자들(LCa))과 서로 만나 변형이 최소화되는 방향으로 2차 배열될 수 있다. 2차 배열된 액정 분자(LCd)는 실선으로 도시하였다.
- [0112] 도 5는 본 발명의 비교예에 따른 단위 화소 전극(PEUx)의 평면도이다.
- [0113] 도 5를 참조하면, 단위 화소 전극(PEUx)의 제1 외곽 영역들(OTA1a) 및 제2 외곽 영역들(OTA2a)에는 제1 및 제2 제어 슬릿들(CS1, CS1a, CS2, CS2a, 도 3 참조)이 제공되지 않을 수 있다. 따라서, 앞서 도 4에서 설명한 제2 수평 전계(FF2) 및 제3 수평 전계(FF3)가 발생되지 않을 수 있다.
- [0114] 도 6은 도 4의 A-A' 영역 및 도 5의 A-A' 영역에 배치된 액정 분자의 배향 각도를 도시한 그래프이다.

- [0115] 이하에서는 도 3 내지 도 6을 참조하여 설명된다. 도 6의 그래프는 단위 화소 전극에 소정의 전압(예를 들어, 8V)가 인가되었을 때 측정된 액정 분자의 배향 각도(azimuth angle)를 나타낸 것이다. 그래프의 액정 분자의 배향 각도(azimuth angle)는 제2 방향(DR2)에 대한 각도일 수 있다.
- [0116] 편광판(미도시)의 편광축과 나란한 방향으로 누운 액정 분자들에 의해 투과율이 저하될 수 있다. 예를 들어, 액정 분자의 배향 각도가 0도 또는 90도에 가까울수록 투과율이 저하될 수 있고, 액정 분자의 배향 각도가 45도일 때 투과율이 가장 높을 수 있다.
- [0117] 제1 그래프(GP1)는 비교예에 따른 액정 분자의 배향 각도를 나타낸 그래프이고, 제2 그래프(GP2)는 실시예에 따른 액정 분자의 배향 각도를 나타낸 그래프이다.
- [0118] 제1 그래프(GP1)를 보면, 액정 분자의 배향 각도는 A 지점에서 A' 지점으로 가까워질수록, 0도에서 45도를 향해 배향 각도가 서서히 증가하는 형태를 가질 수 있다. 이 경우, 액정 분자의 배향 각도가 45도보다 작은 소정의 영역에서는 광 투과율이 감소될 수 있다.
- [0119] 제2 그래프(GP2)를 보면, 액정 분자의 배향 각도는 A 지점에서 제1 제어 슬릿(CS1)이 형성된 영역과 가까워질수록 증가하고, 제1 제어 슬릿(CS1)이 형성된 영역에서 A' 지점으로 가까워질수록, 배향 각도가 서서히 감소하는 형태를 가질 수 있다.
- [0120] 즉, 본 발명의 실시예에 따르면 제1 및 제2 제어 슬릿들(CS1, CS1a, CS2, CS2a, 도 3 참조)에 의해 단위 화소 전극(PEU)의 외곽 영역에서 액정 분자의 배향 각도가 45도와 인접한 각도를 갖도록 조절할 수 있다. 따라서, 단위 화소 전극(PEU)의 외곽 영역에서의 투과율 저하를 방지할 수 있고, 투과율 및 측면 시인성이 개선된 표시 패널을 제공할 수 있다.
- [0121] 도 7a는 본 발명의 일 실시예에 따른 단위 화소 전극(PEU)의 평면을 활상한 도면이고, 도 7b는 본 발명의 비교예에 따른 단위 화소 전극(PEUx)의 평면을 활상한 도면이다.
- [0122] 도 7a 및 도 7b를 참조하면, 도 7b에는 제1 외곽 영역(OTA1) 및 제2 외곽 영역(OTA2)과 대응하는 영역을 제1 외곽 영역(OTA1a), 및 제2 외곽 영역(OTA2a)으로 표시하였다.
- [0123] 도 7a의 제1 외곽 영역(OTA1)과 도 7b의 제1 외곽 영역(OTA1a), 및 도 7a의 제2 외곽 영역(OTA2)과 도 7b의 제2 외곽 영역(OTA2a)을 비교하면 투과율의 개선됨을 볼 수 있다.
- [0124] 또한, 도 7a의 단위 화소 전극(PEU)의 측면 시인성 지수는 0.27이고, 도 7b의 비교예에 따른 단위 화소 전극(PEUx)의 측면 시인성 지수는 0.275로 측정되었다. 측면 시인성 지수(gamma distortion index, GDI)는 왜곡된 값을 보여주는 지수이므로 값이 클수록 왜곡되어 시인성이 떨어지는 것을 나타내며, 값이 작을수록 시인성이 좋은 것을 의미한다. 즉, 제1 외곽 영역(OTA1) 및 제2 외곽 영역(OTA2)에 제1 및 제2 제어 슬릿(CS1, CS2, 도 3 참조)들을 형성함에 따라 측면 시인성도 개선될 수 있다.
- [0125] 도 8은 본 발명의 일 실시예에 따른 화소를 도시한 평면도이다.
- [0126] 도 8을 참조하면, 화소(PX)는 화소 전극(PE) 및 화소 구동 회로들(TR1, TR2, TR3)을 포함할 수 있다.
- [0127] 화소 전극(PE)은 3 개의 단위 화소 전극들(PEU1, PEU2, PEU3)을 포함할 수 있다. 단위 화소 전극들(PEU1, PEU2, PEU3)은 제1 방향(DR1)을 따라 배열될 수 있다. 단위 화소 전극들(PEU1, PEU2, PEU3)은 배열된 순서에 따라 제1 단위 화소 전극(PEU1), 제2 단위 화소 전극(PEU2), 및 제3 단위 화소 전극(PEU3)이라 정의될 수 있다.
- [0128] 제1 단위 화소 전극(PEU1)은 상대적으로 높은 데이터 전압을 인가 받는 고계조 부화소일 수 있고, 제2 단위 화소 전극(PEU2) 및 제3 단위 화소 전극(PEU3)은 상대적으로 낮은 데이터 전압을 인가 받는 저계조 부화소일 수 있다.
- [0129] 제1 단위 화소 전극(PEU1)과 제2 단위 화소 전극(PEU2) 사이에는 화소 구동 회로들(TR1, TR2, TR3)이 배치될 수 있다. 화소 구동 회로들(TR1, TR2, TR3)은 제1 트랜지스터(TR1), 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)를 포함할 수 있다. 앞서 도 2에서 설명된 트랜지스터(TFT, 도 2 참조)는 제1 트랜지스터(TR1) 또는 제2 트랜지스터(TR2)일 수 있다.
- [0130] 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 각각의 제어 전극은 동일한 게이트 라인(GL)에 전기적으로 연결되고, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 각각의 입력 전극은 동일한 데이터 라인(DL)에 연결될 수 있다.

- [0131] 제1 트랜지스터(TR1)의 출력 전극은 제1 단위 화소 전극(PEU1)에 전기적으로 연결되고, 제2 트랜지스터(TR2)의 출력 전극은 제2 단위 화소 전극(PEU2) 및 제3 단위 화소 전극(PEU3)에 전기적으로 연결될 수 있다.
- [0132] 제1 단위 화소 전극(PEU1), 제2 단위 화소 전극(PEU2), 및 제3 단위 화소 전극(PEU3) 아래에는 유지 라인(RL)이 배치될 수 있다. 유지 라인(RL)에는 유지 전압이 제공될 수 있다. 유지 전압은 저항 분배 전압으로 명칭 될 수 있다.
- [0133] 제2 단위 화소 전극(PEU2), 및 제3 단위 화소 전극(PEU3)에 전달되는 데이터 전압은 제3 트랜지스터(TR3) 자체의 저항 및 유지 라인(RL)에 인가되는 유지 전압에 따라서 전압 분배되어 제공될 수 있다. 제3 트랜지스터(TR3)는 저항 분배 트랜지스터(TR3)로 명칭될 수 있다.
- [0134] 제1 단위 화소 전극(PEU1)은 앞서 도 3 및 도 4에서 설명한 단위 화소 전극(PEU, 도 3 참조)과 동일한 형상을 가질 수 있다. 하지만, 제2 단위 화소 전극(PEU2) 및 제3 단위 화소 전극(PEU3)은 단위 화소 전극(PEU)과 상이한 형상을 가질 수 있다.
- [0135] 제2 단위 화소 전극(PEU2)의 제2 연결변들(CL2a, CL2b) 중 제3 단위 화소 전극(PEU3)과 인접하지 않은 제2 연결변(CL2a)에 인접하여 정의된 제3 외곽 영역(OTaA)에만 제3 제어 슬릿(CS3)이 제공될 수 있다. 즉, 제2 연결변들(CL2a, CL2b) 중 제3 단위 화소 전극(PEU3)과 인접한 제2 연결변(CL2b)과 인접한 외곽 영역(OTaA1)에는 제어 슬릿이 제공되지 않을 수 있다.
- [0136] 제3 단위 화소 전극(PEU3)의 제2 연결변들(CL2c, CL2d) 중 제2 단위 화소 전극(PEU2)과 인접하지 않은 제2 연결변(CL2d)과 인접한 제4 외곽 영역(OTAb)에만 제4 제어 슬릿(CS4)이 제공될 수 있다. 즉, 제2 연결변들(CL2c, CL2d) 중 제2 단위 화소 전극(PEU2)과 인접한 제2 연결변(CL2c)과 인접한 외곽 영역(OTAb1)에는 제어 슬릿이 제공되지 않을 수 있다.
- [0137] 제2 단위 화소 전극(PEU2)과 제3 단위 화소 전극(PEU3)은 서로 인접하여 배치된다. 따라서, 제2 단위 화소 전극(PEU2)의 외곽 영역(OTaA1) 및 제3 단위 화소 전극(PEU3)의 외곽 영역(OTAb1)에 제어 슬릿이 제공되더라도 제어 슬릿에 의해 형성된 전계들이 서로 상쇄될 수 있다. 따라서, 제2 단위 화소 전극(PEU2)의 외곽 영역(OTaA1) 및 제3 단위 화소 전극(PEU3)의 외곽 영역(OTAb1)에는 제어 슬릿이 제공되지 않을 수 있다.
- [0138] 도 9는 본 발명의 일 실시예에 따른 화소 전극을 도시한 평면도이다. 도 9를 설명함에 있어서, 도 8에서 설명된 부분은 동일한 인용 부호를 병기하고 이에 대한 설명은 생략된다.
- [0139] 도 9를 참조하면, 화소 전극(PE1)은 3 개의 단위 화소 전극들(PEU1, PEU2a, PEU3a)을 포함 할 수 있다. 단위 화소 전극들(PEU1, PEU2a, PEU3a)은 제1 방향(DR1)을 따라 배열될 수 있다. 단위 화소 전극들(PEU1, PEU2a, PEU3a)은 배열된 순서에 따라 제1 단위 화소 전극(PEU1), 제2 단위 화소 전극(PEU2a), 및 제3 단위 화소 전극(PEU3a)이라 정의될 수 있다.
- [0140] 제1 단위 화소 전극(PEU1), 제2 단위 화소 전극(PEU2a), 및 제3 단위 화소 전극(PEU3a) 각각은 앞서 도 3 및 도 4에서 설명한 단위 화소 전극(PEU, 도 3 참조)과 동일한 형상을 포함할 수 있다.
- [0141] 도 10은 본 발명의 일 실시예에 따른 화소 전극을 도시한 평면도이다. 도 10을 설명함에 있어서, 도 8에서 설명된 부분은 동일한 인용 부호를 병기하고 이에 대한 설명은 생략된다.
- [0142] 도 10을 참조하면, 화소 전극(PE2)은 3 개의 단위 화소 전극들(PEU1b, PEU2, PEU3b)을 포함 할 수 있다. 단위 화소 전극들(PEU1b, PEU2, PEU3b)은 제1 방향(DR1)을 따라 배열될 수 있다. 단위 화소 전극들(PEU1b, PEU2, PEU3b)은 배열된 순서에 따라 제1 단위 화소 전극(PEU1b), 제2 단위 화소 전극(PEU2), 및 제3 단위 화소 전극(PEU3b)이라 정의될 수 있다.
- [0143] 도 10은 도 8과 비교하였을 때, 제1 단위 화소 전극(PEU1b) 및 제3 단위 화소 전극(PEU3b)에 차이가 있다.
- [0144] 제1 단위 화소 전극(PEU1b)의 제2 연결변들 중 화소 전극(PE2)의 가장 최외곽에 존재하는 제2 연결변(CL2e) 및 제3 단위 화소 전극(PEU3b)의 제2 연결변들 중 화소 전극(PE2)의 가장 최외곽에 존재하는 제2 연결변(CL2f)과 인접한 외곽 영역에는 제어 슬릿이 제공되지 않을 수 있다.
- [0145] 화소 전극(PE2)이 복수로 제공되고, 복수로 제공된 화소 전극들(PE2)이 제1 방향(DR1) 및 제2 방향(DR2)을 따라 매트릭스 형태로 제공되는 경우에, 하나의 화소 전극(PE2)의 제1 단위 화소 전극(PEU1b)의 제2 연결변(CL2e)은 인접한 다른 하나의 화소 전극(PE2)의 제3 단위 화소 전극(PEU3b)의 제2 연결변(CL2f)과 인접할 수 있다. 즉, 제2 연결변(CL2e) 및 제2 연결변(CL2f)과 인접한 외곽 영역에 제어 슬릿이 제공되더라도 제어 슬릿에 의해 형성

된 전계들이 서로 상쇄될 수 있다. 따라서, 제 제2 연결변(CL2e) 및 제2 연결변(CL2f)과 인접한 외곽 영역에 제어 슬롯이 제공되지 않을 수 있다.

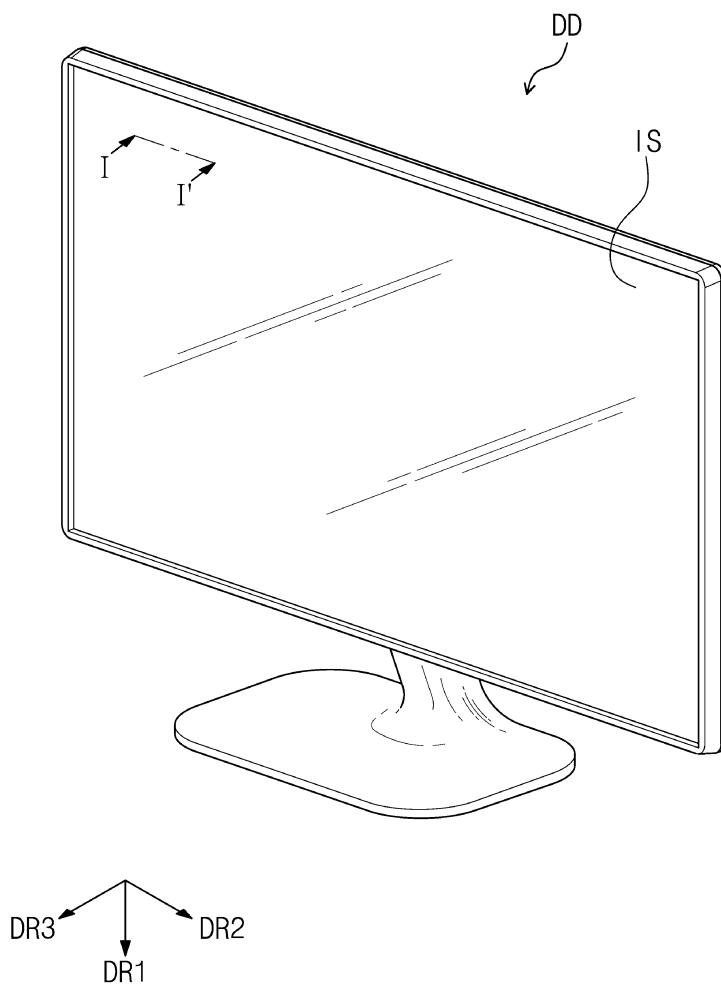
[0146] 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

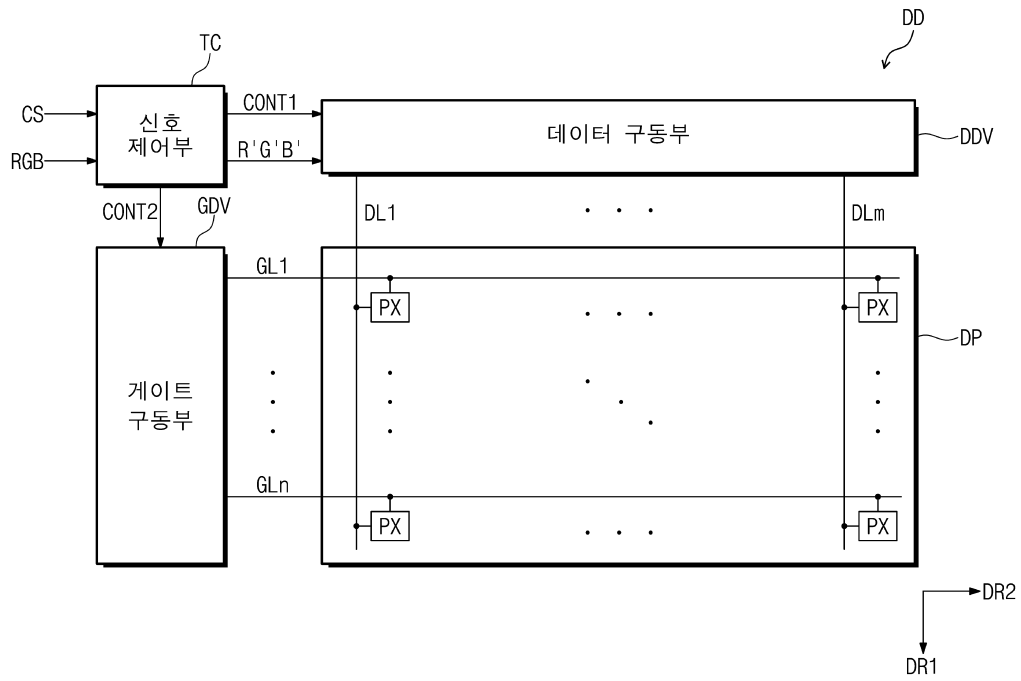
[0147] PE: 화소 전극 PEU: 단위 화소 전극
CPE: 중심 전극부 BPE: 가지 전극부
CST: 십자 슬롯
CBS1, CBS2, CBS3, CBS4: 중심 가지 슬롯들
CS1, CS1a: 제1 제어 슬롯들 CS2, CS2a: 제2 제어 슬롯들
BE1, BE2, BE3, BE4: 가지 전극들
OBS1, OBS2, OBS3, OBS4: 외곽 가지 슬롯들

도면

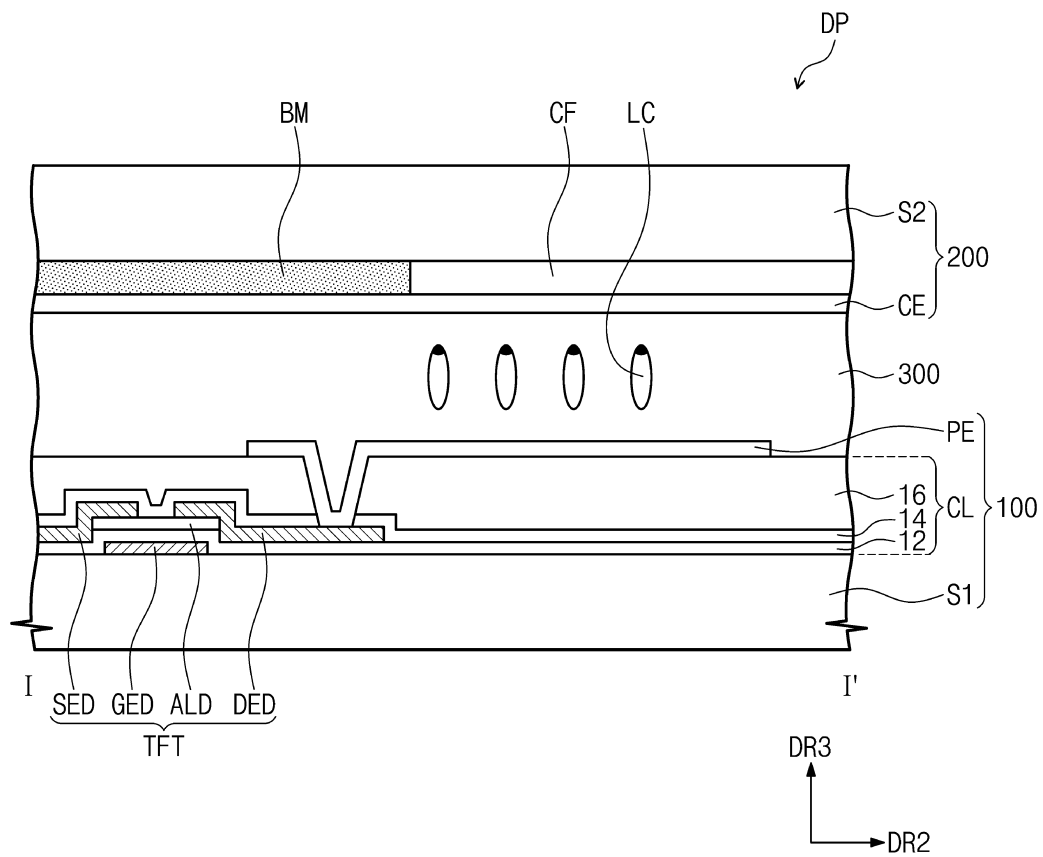
도면1a



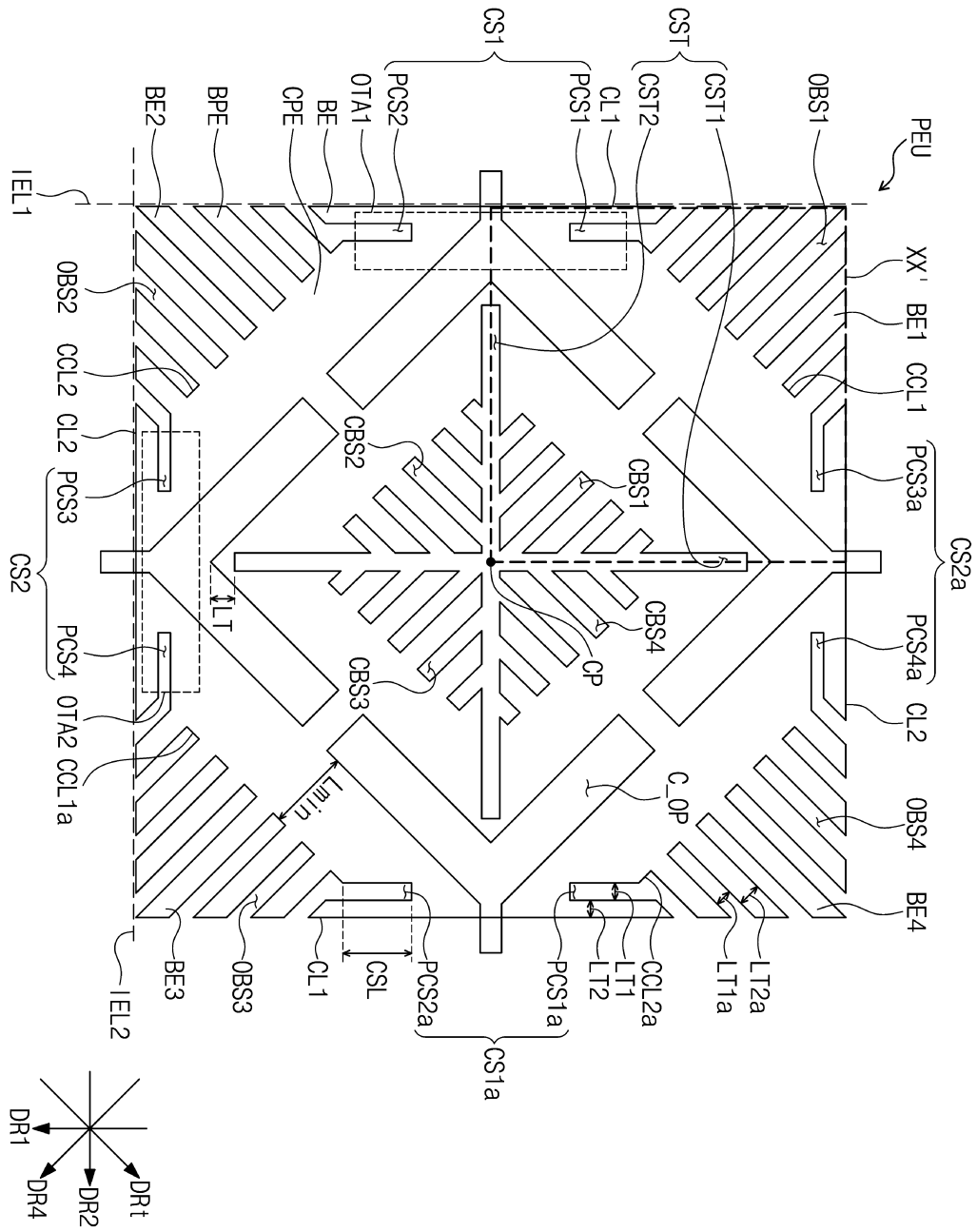
도면1b



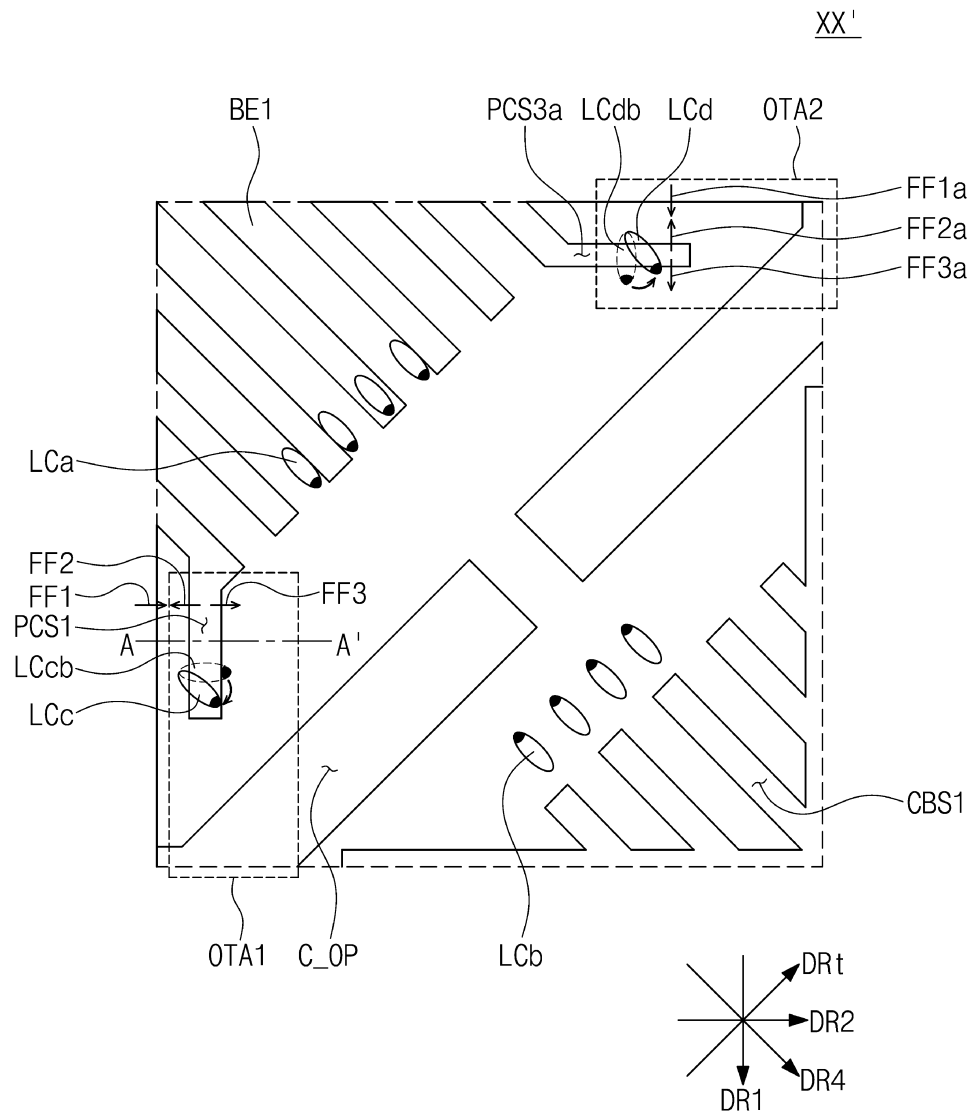
도면2



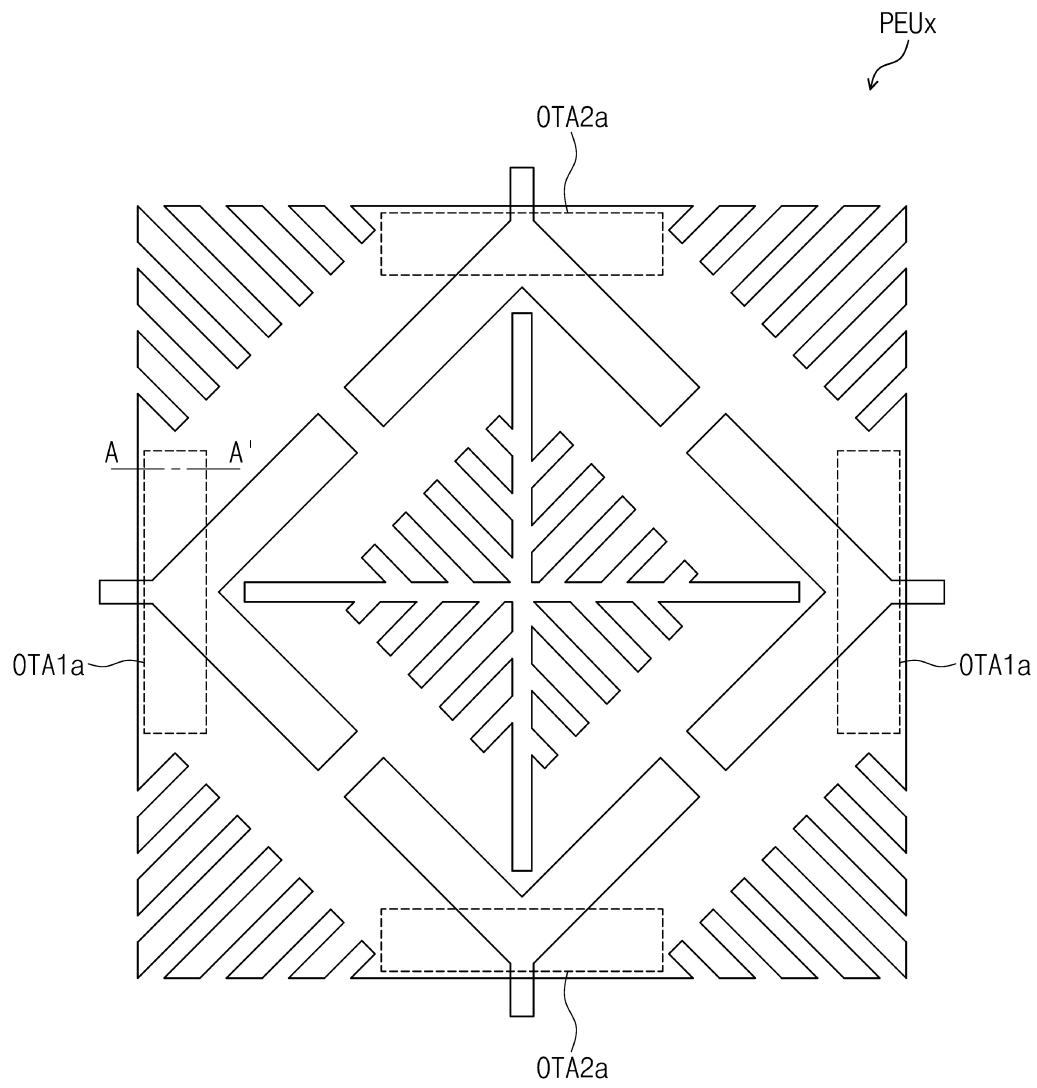
도면3



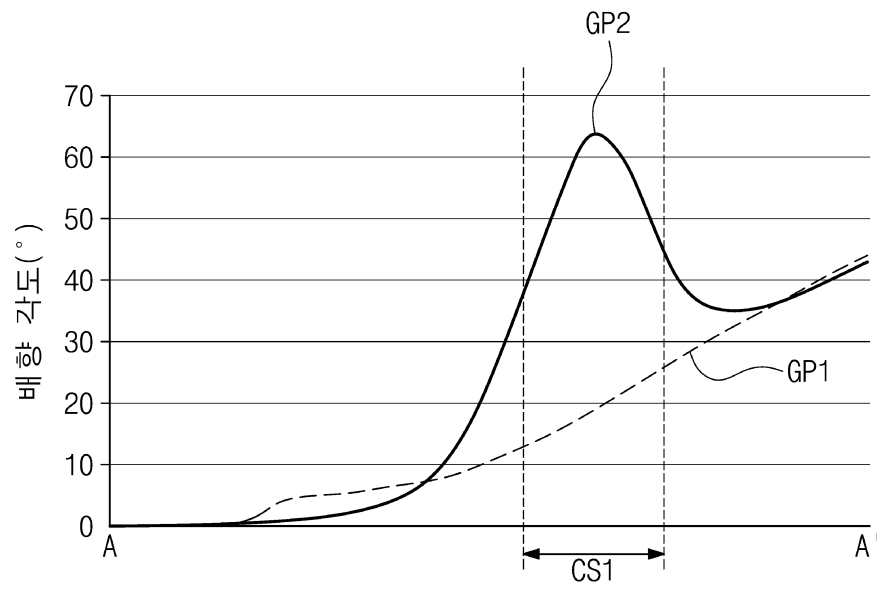
도면4



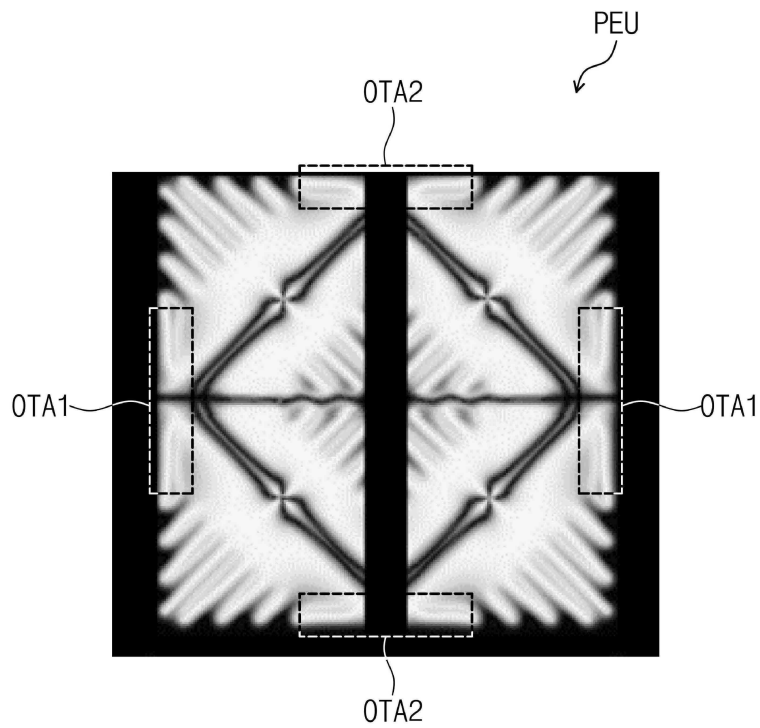
도면5



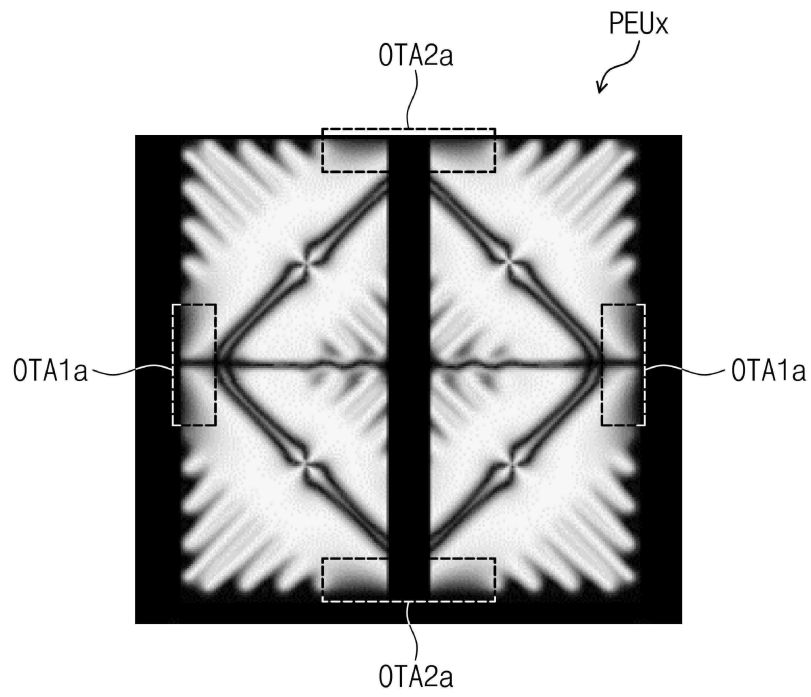
도면6



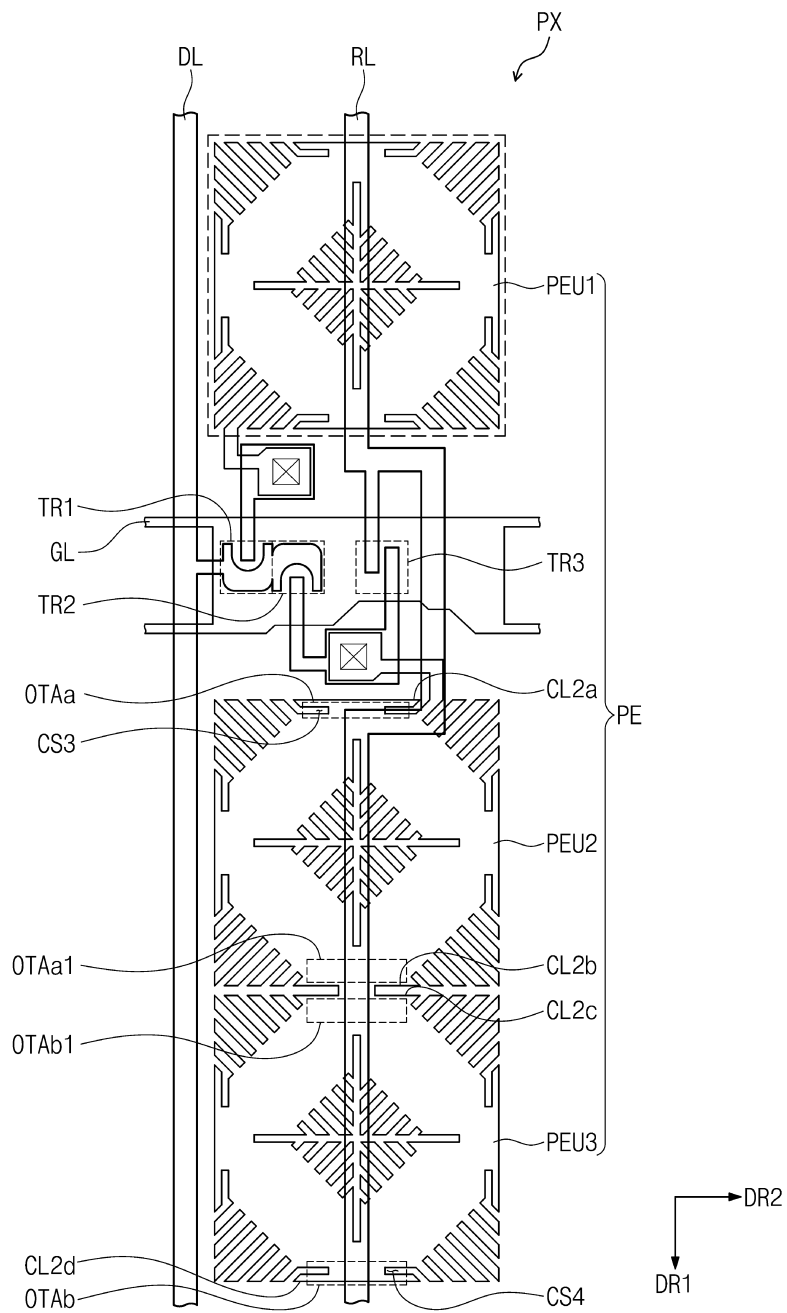
도면7a



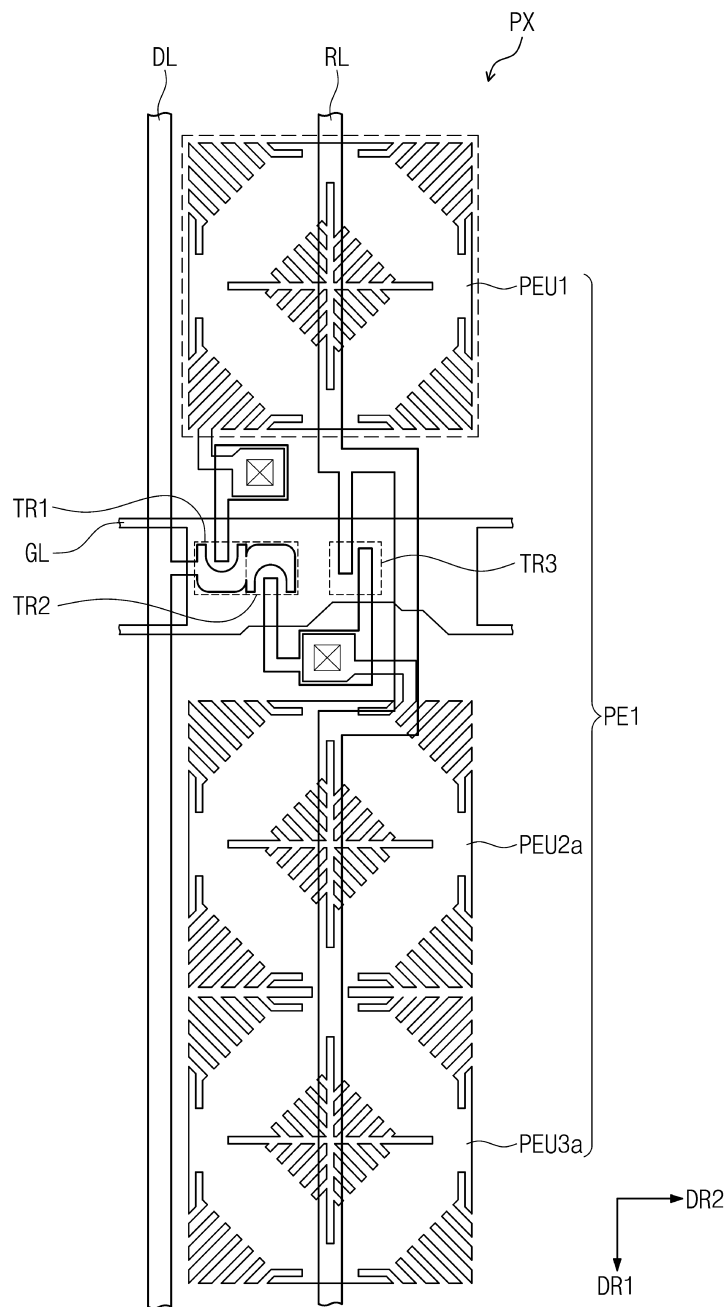
도면7b



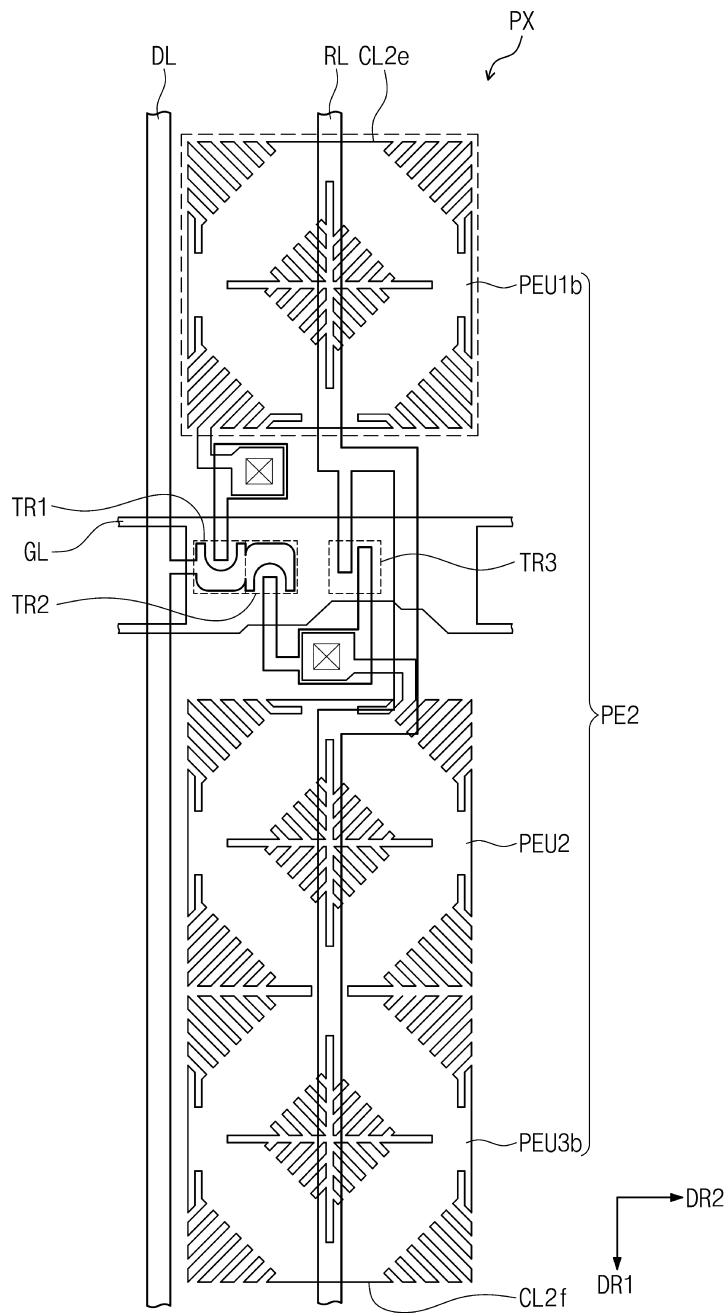
도면8



도면9



도면10



专利名称(译)	显示设备		
公开(公告)号	KR1020190049964A	公开(公告)日	2019-05-10
申请号	KR1020170142818	申请日	2017-10-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이세현 창학선 신철 이승민 나병선 박기원		
发明人	이세현 창학선 신철 이승민 나병선 박기원		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134309 G02F2001/134318 G02F2201/121 G02F2201/123 G02F1/133707 G02F1/133753 G02F2001/134345		
外部链接	Espacenet		

摘要(译)

该显示装置包括：第一基板，其包括多个像素电极；第二基板；以及液晶层，其设置在第一基板和第二基板之间，其中，多个像素电极中的每一个具有多个对角线侧。多个对角线侧中的每一个和中心电极部包括多个连接边缘并且在其中设置有在第一方向和第二方向上延伸的交叉缝以及从交叉缝延伸的多个中央分支缝。一种单位像素电极，包括：分支电极部，该分支电极部包括多个突出地延伸的分支电极，所述多个连接边缘具有：在第一方向上延伸的第一连接边缘；在第二方向上延伸的第二连接边缘；可以在中心电极部分的与第一连接侧相邻的每个第一外部区域中设置沿第一方向延伸的第一控制狭缝，第二控制侧包括两个连接侧。有。

