



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0058386
(43) 공개일자 2015년05월28일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1362 (2006.01)
G09G 3/36 (2006.01) H01L 27/12 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/136227 (2013.01)
(21) 출원번호 10-2015-7009815
(22) 출원일자(국제) 2013년11월14일
심사청구일자 2015년04월16일
(85) 번역문제출일자 2015년04월16일
(86) 국제출원번호 PCT/JP2013/080752
(87) 국제공개번호 WO 2014/080826
국제공개일자 2014년05월30일
(30) 우선권주장
JP-P-2012-255514 2012년11월21일 일본(JP)

(71) 출원인
샤프 가부시키키가이샤
일본 오사카후 오사카시 아베노구 나가이쵸 22
방 22고
(72) 발명자
다카니시 유다이
일본 5458522 오사카후 오사카시 아베노구 나가이
쵸 22방 22고 샤프 가부시키키가이샤 내
하라 요시히토
일본 5458522 오사카후 오사카시 아베노구 나가이
쵸 22방 22고 샤프 가부시키키가이샤 내
나카타 유키노부
일본 5458522 오사카후 오사카시 아베노구 나가이
쵸 22방 22고 샤프 가부시키키가이샤 내
(74) 대리인
장수길, 박충범

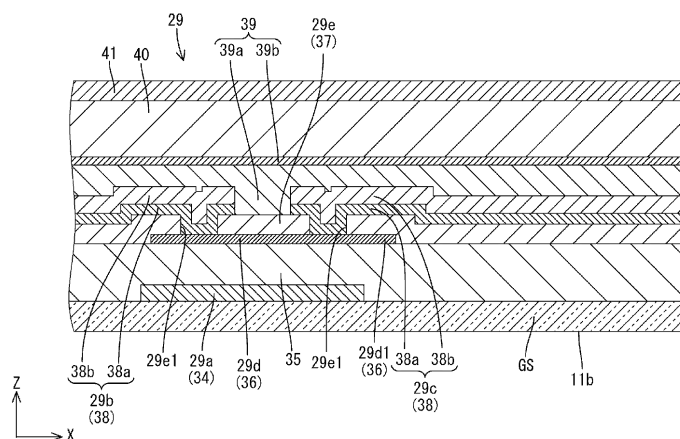
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시 장치

(57) 요약

액정 패널(11)은, 어레이 기판(11b)의 표시부 AA에 배치되는 표시부용 TFT(17)와, 비표시부 NAA에 배치되는 비표시부용 TFT(29)와, 비표시부용 TFT(29)를 구성하는 제2 게이트 전극부(29a)와, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)와, 제2 채널부(29d)에 접속되는 제2 소스 전극부(29b)와, 제2 채널부(29d)에 접속되는 제2 드레인 전극부(29c)와, 적어도 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c) 위에 적층되는 제1 층간 절연막(39)으로서, 상대적으로 하층측에 배치되어 적어도 규소 및 산소를 함유하는 하층측 제1 층간 절연막(39a)과, 상대적으로 상층측에 배치되어 적어도 규소 및 질소를 함유함과 함께 막 두께가 35nm 내지 75nm의 범위로 되는 상층측 제1 층간 절연막(39b)의 적층 구조로 되는 제1 층간 절연막(39)을 구비한다.

대표도



(52) CPC특허분류

G09G 3/3648 (2013.01)

G09G 3/3677 (2013.01)

H01L 27/1222 (2013.01)

H01L 29/7869 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

화상을 표시 가능하고 또한 중앙측에 배치되는 표시부, 및 상기 표시부를 둘러싸는 형태로 외주측에 배치되는 비표시부를 갖는 기관과,

상기 표시부에 배치되는 표시부용 트랜지스터와,

상기 비표시부에 배치되는 비표시부용 트랜지스터와,

상기 비표시부용 트랜지스터를 구성하는 게이트 전극부와,

상기 비표시부용 트랜지스터를 구성하고, 적어도 일부가 상기 게이트 전극부와 평면으로 볼 때 중첩되는 산화물 반도체막과,

상기 비표시부용 트랜지스터를 구성하고, 적어도 일부가 상기 산화물 반도체막 위에 적층됨과 함께 상기 산화물 반도체막에 접속되는 소스 전극부와,

상기 비표시부용 트랜지스터를 구성하고, 적어도 일부가 상기 산화물 반도체막 위에 적층됨과 함께 상기 소스 전극부와 사이에 간격을 두면서 상기 산화물 반도체막에 접속되는 드레인 전극부와,

적어도 상기 소스 전극부 및 상기 드레인 전극부 위에 적층되는 절연막으로서, 상대적으로 하층측에 배치되어 적어도 규소 및 산소를 함유하는 하층측 절연막과, 상대적으로 상층측에 배치되어 적어도 규소 및 질소를 함유함과 함께 막 두께가 35nm 내지 75nm의 범위로 되는 상층측 절연막의 적층 구조로 되는 절연막

을 구비하는, 표시 장치.

청구항 2

제1항에 있어서,

상기 절연막을 구성하는 상기 상층측 절연막은, 굴절률이 1.5 내지 1.9의 범위로 되는, 표시 장치.

청구항 3

제2항에 있어서,

상기 절연막을 구성하는 상기 상층측 절연막은, 굴절률이 1.5 내지 1.72의 범위로 되는, 표시 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 기관과 대향 형상을 이루는 대향 기관과, 상기 기관과 상기 대향 기관 사이에 끼움 지지되는 액정과, 상기 기관과 상기 대향 기관 사이에 개재됨과 함께 상기 액정을 둘러싸는 형태로 배치되어 상기 액정을 밀봉하는 시일부(sealing member)를 구비하고 있으며,

상기 비표시부용 트랜지스터는, 상기 표시부용 트랜지스터에 비하여 상기 시일부의 근처에 배치되어 있는, 표시 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 산화물 반도체막은, 상기 드레인 전극부가 접속되는 위치로부터 상기 소스 전극부측과는 반대측을 향해 연장됨과 함께, 적어도 그 일부가 상기 게이트 전극부와는 평면으로 볼 때 비중첩이 되는 연장부를 갖고 있는, 표시 장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 소스 전극부 및 상기 드레인 전극부와 상기 산화물 반도체막 사이에 개재되는 형태로 배치되고, 상기 소스 전극부 및 상기 드레인 전극부와 평면으로 볼 때 중첩되는 위치에 각각 형성되어 상기 소스 전극부 및 상기 드레인 전극부와 상기 산화물 반도체막을 각각 접촉하는 한 쌍의 개구부를 가짐과 함께, 상기 산화물 반도체막을 보호하는 보호막을 구비하고 있는, 표시 장치.

청구항 7

제6항에 있어서,

상기 보호막은 적어도 규소 및 산소를 함유하고 있는, 표시 장치.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체막은 적어도 인듐, 갈륨 및 아연을 함유하고 있는, 표시 장치.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 표시부에 배치되고, 상기 표시부용 트랜지스터에 접속됨으로써 상기 표시부용 트랜지스터에 대하여 주사 신호를 전송하는 주사 신호선과, 상기 비표시부에 배치되고, 상기 주사 신호선에 접속됨과 함께 상기 주사 신호를 공급하는 버퍼 회로부를 구비하고 있으며,

상기 비표시부용 트랜지스터는 상기 버퍼 회로부를 구성하고 있는, 표시 장치.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 소스 전극부 및 상기 드레인 전극부는 적어도 구리를 함유하고 있는, 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 표시 장치에 관한 것이다.

배경 기술

[0002]

액정 표시 장치에 사용되는 액정 패널에는, 각 화소의 동작을 제어하기 위한 스위칭 소자로서 TFT가 행렬 형상으로 다수 개 설치되어 있다. 종래에는, TFT에 사용되는 반도체막으로서, 아몰퍼스 실리콘 등의 실리콘 반도체가 사용되는 것이 일반적이었지만, 최근에는 반도체막으로서 보다 전자 이동도가 높은 산화물 반도체를 사용하는 것이 제안되고 있다. 이러한 산화물 반도체를 사용한 TFT를 스위칭 소자로서 사용한 액정 표시 장치의 일례가 하기 특허문헌 1에 기재되어 있다.

선행기술문헌

특허문헌

[0003]

(특허문헌 0001) 일본 특허공개 제2011-29373호 공보

발명의 내용

해결하려는 과제

[0004] 산화물 반도체는, 전자 이동도가 높기 때문에, TFT를 보다 소형화할 수 있어 액정 패널에 있어서의 개구율의 향상을 도모할 수 있는 것에 추가로, TFT가 설치된 어레이 기판 위에 다양한 회로부를 설치하는 것을 가능하게 한다. 그 한편, 산화물 반도체는, 수분을 끌어들이면 그 전기적인 특성이 변화되기 쉽고, 그에 기인하여 상기한 회로부가 정상적으로 작동하지 않게 될 우려가 있었다.

[0005] 본 발명은, 상기와 같은 사정에 기초하여 완성된 것으로서, 비표시부용 트랜지스터에 동작 불량이 발생하기 어렵게 하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 표시 장치는, 화상을 표시 가능하고 또한 중앙측에 배치되는 표시부, 및 상기 표시부를 둘러싸는 형태로 외주측에 배치되는 비표시부를 갖는 기판과, 상기 표시부에 배치되는 표시부용 트랜지스터와, 상기 비표시부에 배치되는 비표시부용 트랜지스터와, 상기 비표시부용 트랜지스터를 구성하는 게이트 전극부와, 상기 비표시부용 트랜지스터를 구성하고, 적어도 일부가 상기 게이트 전극부와 평면으로 볼 때 중첩되는 산화물 반도체막과, 상기 비표시부용 트랜지스터를 구성하고, 적어도 일부가 상기 산화물 반도체막 위에 적층됨과 함께 상기 산화물 반도체막에 접촉되는 소스 전극부와, 상기 비표시부용 트랜지스터를 구성하고, 적어도 일부가 상기 산화물 반도체막 위에 적층됨과 함께 상기 소스 전극부와 사이에 간격을 두면서 상기 산화물 반도체막에 접촉되는 드레인 전극부와, 적어도 상기 소스 전극부 및 상기 드레인 전극부 위에 적층되는 절연막으로서, 상대적으로 하층측에 배치되어 적어도 규소 및 산소를 함유하는 하층측 절연막과, 상대적으로 상층측에 배치되어 적어도 규소 및 질소를 함유함과 함께 막 두께가 35nm 내지 75nm의 범위로 되는 상층측 절연막의 적층 구조로 되는 절연막을 구비한다.

[0007] 이와 같이 하면, 비표시부용 트랜지스터는, 게이트 전극부에 전압이 인가되면, 산화물 반도체막을 개재하여 소스 전극부와 드레인 전극부의 사이에 전류가 흐르게 된다. 이 산화물 반도체막은, 예를 들어 아몰퍼스 실리콘 박막 등에 비하면, 전자 이동도가 높게 되어 있으므로, 소스 전극부와 드레인 전극부의 사이에 큰 전류를 흘리는 데 있어서 적합하다.

[0008] 그런데, 기판에 있어서 중앙측의 표시부를 둘러싸는 형태로 외주측에 비표시부가 배치되는 구성에서는, 비표시부에 배치되는 비표시부용 트랜지스터는, 표시부에 배치되는 표시부용 트랜지스터에 비하면, 외부에 존재하는 수분의 영향을 받기 쉽게 되어 있다. 가령, 비표시부용 트랜지스터를 구성하는 산화물 반도체막에 외부의 수분이 끌어들여져 열화가 발생하면, 산화물 반도체막의 전기적인 특성이 변화되어버려, 비표시부용 트랜지스터가 정상적으로 동작하지 않게 될 우려가 있다.

[0009] 그러한 점에서, 적어도 소스 전극부 및 드레인 전극부 위에 적층되는 절연막은, 상대적으로 하층측에 배치되어 적어도 규소 및 산소를 함유하는 하층측 절연막과, 상대적으로 상층측에 배치되어 적어도 규소 및 질소를 함유하는 상층측 절연막의 적층 구조로 되어 있기 때문에, 상층측 절연막에 의해 외부의 수분이 산화물 반도체막에 까지 도달하기 어려워지는 것 외에, 가령 상층측 절연막이 성막 시에 수소를 함유하고 있어 상층측 절연막으로부터 수소가 탈리한 경우라 해도 하층측 절연막에 의해 상층측 절연막으로부터 탈리한 수소가 산화물 반도체막에 까지 도달하기 어려워진다. 이에 의해, 산화물 반도체막이 수분이나 수소를 끌어들이는 데 기인하는 열화가 발생하기 어려워져서, 그 전기적인 특성이 변화되기 어려워지고, 따라서 비표시부용 트랜지스터에 동작 불량이 발생하기 어려워진다.

[0010] 그런데, 가령, 상층측 절연막의 막 두께가 75nm를 상회하면, 상층측 절연막을 성막할 때 상층측 절연막 중에 함유되는 수소의 함유량이 많아짐과 함께 상층측 절연막으로부터 탈리하는 수소의 탈리량도 많아지는 경향이 있기 때문에, 산화물 반도체막이 상층측 절연막으로부터 탈리한 수소에 의해 열화되어 전기적인 특성이 쉽게 변화될 우려가 있다. 한편, 가령, 상층측 절연막의 막 두께가 35nm를 하회하면, 하층측 절연막에 대한 커버리지가 약화되어 공동(간극)이 들어가기 쉬워지기 때문에, 방습성이 저하되어버려 산화물 반도체막에 수분이 끌어들여지기 쉬워질 우려가 있다. 그러한 점에서, 상층측 절연막의 막 두께를 35nm 내지 75nm의 범위로 함으로써, 상층측 절연막으로부터의 수소의 탈리량이 적어짐과 함께, 상층측 절연막의 방습성이 충분히 확보되므로, 산화물 반도체막의 전기적인 특성이 변화되기 어려워지고, 따라서 비표시부용 트랜지스터에 동작 불량이 발생하기 어려워진다. 또한, 상층측 절연막의 방습성이 충분히 유지됨으로써, 소스 전극부 및 드레인 전극부가 수분에 의해 부식되기 어려워진다.

- [0011] 본 발명의 실시 형태로서, 다음의 구성이 바람직하다.
- [0012] (1) 상기 절연막을 구성하는 상기 상층측 절연막은, 굴절률이 1.5 내지 1.9의 범위로 된다. 우선, 상층측 절연막은, 굴절률이 조성에 따라서 변화될 수 있게 되어 있으며, 구체적으로는 질소의 함유량이 적어지면 굴절률의 값이 작아지는 데 비하여, 질소의 함유량이 많아지면 굴절률의 값이 커지는 경향이 된다. 여기서, 가령, 상층측 절연막의 굴절률이 1.5 이하로 되는 경우에는, 질소의 함유량이 적기 때문에, 방습성이 저하되어 물이 쉽게 투과되어, 산화물 반도체막에 수분이 끌어들여지기 쉽게됨과 함께 산화물 반도체막의 전기적인 특성에 악영향이 미칠 우려가 있다. 한편, 가령, 상층측 절연막의 굴절률이 1.9 이상으로 되는 경우에는, 질소의 함유량이 많아지기 때문에, 범용적인 제조 설비에서의 성막이 곤란해질 우려가 있다. 따라서, 상층측 절연막의 굴절률을 1.5 내지 1.9의 범위로 함으로써, 충분한 방습성을 확보할 수 있어서 산화물 반도체막의 전기적인 특성이 변화되기 어려워짐과 함께, 범용적인 제조 설비에 의해 용이하게 성막하는 것이 가능해진다.
- [0013] (2) 상기 절연막을 구성하는 상기 상층측 절연막은, 굴절률이 1.5 내지 1.72의 범위로 된다. 상층측 절연막은, 질소의 함유량이 많아지는 데 수반하여, 성막 시에 상층측 절연막 중에 함유되는 수소의 함유량이 많아지는 경향이 된다. 그러한 점에서, 상층측 절연막에 있어서의 굴절률의 상한값이 1.72로 됨으로써, 상층측 절연막 중에 함유되는 수소의 양이 더 적어지므로, 상층측 절연막으로부터 탈리하는 수소의 탈리량도 적어지고, 따라서 상층측 절연막으로부터 탈리한 수소에 의해 산화물 반도체막의 전기적인 특성이 변화되기 어려워진다.
- [0014] (3) 상기 기판과 대향 형상을 이루는 대향 기판과, 상기 기판과 상기 대향 기판의 사이에 끼움 지지되는 액정과, 상기 기판과 상기 대향 기판의 사이에 개재됨과 함께 상기 액정을 둘러싸는 형태로 배치되어 상기 액정을 밀봉하는 시일부(sealing member)를 구비하고 있으며, 상기 비표시부용 트랜지스터는, 상기 표시부용 트랜지스터에 비하여 상기 시일부의 근처에 배치되어 있다. 이와 같이 하면, 기판과 대향 기판의 사이에 끼움 지지되는 액정은, 기판과 대향 기판의 사이에 개재됨과 함께 액정을 둘러싸는 형태로 배치되는 시일부에 의해 밀봉된다. 비표시부용 트랜지스터는, 표시부용 트랜지스터보다도 시일부의 근처에 배치되어 있기 때문에, 외부의 수분이 시일부를 투과한 경우, 그 수분의 영향을 받기 쉽게 되어 있지만, 상기한 바와 같이 절연막이 상층측 절연막과 하층측 절연막의 적층 구조로 됨과 함께 상층측 절연막의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 시일부를 투과한 수분이 비표시부용 트랜지스터를 구성하는 산화물 반도체막에 끌어들여지기 어렵게 되어 있으며, 따라서 비표시부용 트랜지스터에 동작 불량이 발생하기 어려워진다.
- [0015] (4) 상기 산화물 반도체막은, 상기 드레인 전극부가 접속되는 위치로부터 상기 소스 전극부측과는 반대측을 향해 연장됨과 함께, 적어도 그 일부가 상기 게이트 전극부와는 평면으로 볼 때 비중첩이 되는 연장부를 갖고 있다. 이와 같이, 산화물 반도체막은, 드레인 전극부가 접속되는 위치로부터 소스 전극부측과는 반대측을 향해 연장되는 연장부를 갖고 있으며, 이 연장부의 적어도 일부가 게이트 전극부와는 평면으로 볼 때 비중첩이 되면, 이 연장부에 있어서의 비중첩 부위는, 외부광이 게이트 전극부에 의해 차광되기 어렵기 때문에, 외부광의 조사를 받기 쉽게 되어 있으며, 그것에 의해 전기적인 특성이 열화될 우려가 있다. 구체적으로는, 산화물 반도체막은 광 에너지를 받으면, 전하 이동의 용이성에 영향이 생기기 쉬워지는 성질을 갖고 있으며, 비표시부용 트랜지스터를 동작시킬 때 상기한 연장부에 있어서의 비중첩 부위에 전하가 체류하기 쉬워진다는 문제가 발생할 가능성이 있다. 이 문제 외에 수분이나 수소가 산화물 반도체막에 끌어들여져 전기적인 특성이 변화된다는 문제가 발생하면, 비표시부용 트랜지스터에 동작 불량이 더 쉽게 발생하지만, 상기한 바와 같이 절연막이 상층측 절연막과 하층측 절연막의 적층 구조로 됨과 함께 상층측 절연막의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 수분이나 수소가 산화물 반도체막에 끌어들여지기 어렵게 되어 있으므로, 비표시부용 트랜지스터에 동작 불량이 발생하기 어려워진다.
- [0016] (5) 상기 소스 전극부 및 상기 드레인 전극부와 상기 산화물 반도체막의 사이에 개재되는 형태로 배치되고, 상기 소스 전극부 및 상기 드레인 전극부와 평면으로 볼 때 중첩되는 위치에 각각 형성되어 상기 소스 전극부 및 상기 드레인 전극부와 상기 산화물 반도체막을 각각 접속하는 한 쌍의 개구부를 가짐과 함께, 상기 산화물 반도체막을 보호하는 보호막을 구비하고 있다. 이와 같이 하면, 제조 과정에 있어서 소스 전극부 및 드레인 전극부를 형성하기 위해 에칭이 행해진 경우이더라도, 산화물 반도체막은, 그 상층측에 배치된 보호막에 의해 에칭으로부터 보호된다. 제조 후에 있어서도, 산화물 반도체막이 보호막에 의해 보호됨으로써, 수소 등이 산화물 반도체막에 의해 끌어들여지기 어려워지고, 따라서 비표시부용 트랜지스터에 동작 불량이 발생하기 어려워진다. 또한, 보호막에는, 소스 전극부 및 드레인 전극부와 평면으로 볼 때 중첩되는 위치에 한 쌍의 개구부가 형성되어 있으므로, 이들 개구부를 통해 소스 전극부 및 드레인 전극부와 산화물 반도체막의 접속이 도모되고 있다.
- [0017] (6) 상기 보호막은, 적어도 규소 및 산소를 함유하고 있다. 이와 같이, 보호막이 적어도 규소 및 산소를 함유

하는 구성으로 됨으로써, 보호막으로부터 탈리할 수 있는 수소의 양이 적어지므로, 산화물 반도체막에 수소가 끌어들여지기 어려워지고, 따라서 비표시부용 트랜지스터에 의해 동작 불량이 발생하기 어려워진다.

[0018]

(7) 상기 산화물 반도체막은, 적어도 인듐, 갈륨 및 아연을 함유하고 있다. 이와 같이, 적어도 인듐, 갈륨 및 아연을 함유하는 산화물 반도체막은, 수분이나 수소에 의해 열화가 더 발생하기 쉬운 성질을 갖고 있지만, 상기한 바와 같이 절연막이 상층측 절연막과 하층측 절연막의 적층 구조로 됨과 함께 상층측 절연막의 막 두께가 35 nm 내지 75nm의 범위로 됨으로써, 산화물 반도체막에 수분이나 수소가 끌어들여지는 사태가 발생하기 어렵게 되어 있으며, 따라서 비표시부용 트랜지스터에 동작 불량이 발생하기 어려워진다.

[0019]

(8) 상기 표시부에 배치되고, 상기 표시부용 트랜지스터에 접속됨으로써 상기 표시부용 트랜지스터에 대하여 주사 신호를 전송하는 주사 신호선과, 상기 비표시부에 배치되고, 상기 주사 신호선에 접속됨과 함께 상기 주사 신호를 공급하는 버퍼 회로부를 구비하고 있으며, 상기 비표시부용 트랜지스터는, 상기 버퍼 회로부를 구성하고 있다. 이와 같이 하면, 버퍼 회로부를 구성하는 비표시부용 트랜지스터에서는, 소스 전극부와 드레인 전극부의 사이를 흐르는 전류량이, 표시부용 트랜지스터에 비하여 더 커지는 경향이 있기 때문에, 비표시부용 트랜지스터의 산화물 반도체막이 수분이나 수소를 끌어들이는 데 기인하여 열화가 발생하여 전기적인 특성이 변화되면, 정상적으로 작동하지 않게 될 가능성이 더 높게 되어 있다. 그런데, 상기한 바와 같이 절연막이 상층측 절연막과 하층측 절연막의 적층 구조로 됨과 함께 상층측 절연막의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 산화물 반도체막에 수분이나 수소가 끌어들여지는 사태가 발생하기 어렵게 되어 있으며, 따라서 버퍼 회로부를 구성하는 비표시부용 트랜지스터에 동작 불량이 발생하기 어려워진다.

[0020]

(9) 상기 소스 전극부 및 상기 드레인 전극부는, 적어도 구리를 함유하고 있다. 이와 같이, 소스 전극부 및 드레인 전극부가 구리를 함유하고 있으면, 예를 들어 알루미늄을 함유하는 경우에 비하면, 도전성이 양호하게 되는 반면, 수분에 의해 부식되기 쉽다. 그러한 점에서, 상기한 바와 같이 절연막이 상층측 절연막과 하층측 절연막의 적층 구조로 됨과 함께 상층측 절연막의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 외부의 수분이 절연막을 투과하여 소스 전극부 및 드레인 전극부에 도달되기 어려워지고, 따라서 소스 전극부 및 드레인 전극부가 수분에 의해 부식되기 어려워진다.

발명의 효과

[0021]

본 발명에 의하면, 비표시부용 트랜지스터에 동작 불량이 발생하기 어렵게 할 수 있다.

도면의 간단한 설명

[0022]

도 1은, 본 발명의 실시 형태 1에 따른 드라이버를 실장한 액정 패널과 플렉시블 기관과 제어 회로 기관의 접속 구성을 나타내는 개략 평면도.

도 2는, 액정 표시 장치의 긴 변 방향을 따른 단면 구성을 나타내는 개략 단면도.

도 3은, 액정 패널 전체의 단면 구성을 나타내는 개략 단면도.

도 4는, 액정 패널의 표시부에 있어서의 단면 구성을 나타내는 개략 단면도.

도 5는, 액정 패널을 구성하는 어레이 기관의 배선 구성을 개략적으로 나타내는 평면도.

도 6은, 표시부용 TFT의 배선 구성을 나타내는 평면도.

도 7은, 표시부용 TFT의 평면 구성을 나타내는 평면도.

도 8은, 표시부용 TFT의 단면 구성을 나타내는, 도 7의 viii-viii선 단면도.

도 9는, 비표시부용 TFT의 단면 구성을 나타내는 단면도.

도 10은, 비교 실험 1에 따른 상층측 제1 층간 절연막의 굴절률과 탈리 수분량의 관계를 나타내는 그래프.

도 11은, 비교 실험 1에 따른 상층측 제1 층간 절연막의 굴절률과 탈리 수소량의 관계를 나타내는 그래프.

도 12는, 비교 실험 2에 따른 비표시부용 TFT의 전류-전압 특성을 나타내는 그래프.

도 13은, 비교 실험 3에 따른 비교예 1의 상층측 제1 층간 절연막의 단면 구조를 나타내는 사진.

도 14는, 비교 실험 3에 따른 실시예 1의 상층측 제1 층간 절연막의 단면 구조를 나타내는 사진.

도 15는, 본 발명의 실시 형태 2에 따른 액정 패널의 표시부에 있어서의 단면 구성을 나타내는 개략 단면도.

도 16은, 표시부용 TFT의 단면 구성을 나타내는 단면도.

도 17은, 본 발명의 실시 형태 3에 따른 표시부용 TFT의 평면 구성을 나타내는 평면도.

도 18은, 표시부용 TFT의 단면 구성을 나타내는, 도 17의 xviii-xviii선 단면도.

도 19는, 비표시부용 TFT의 단면 구성을 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

[0023]

<실시 형태 1>

[0024]

본 발명의 실시 형태 1을 도 1 내지 도 14에 의해 설명한다. 본 실시 형태에서는, 액정 표시 장치(10)에 대하여 예시한다. 또한, 각 도면의 일부에는 X축, Y축 및 Z축을 나타내고 있으며, 각 축 방향이 각 도면에서 도시한 방향이 되도록 그려져 있다. 또한, 상하 방향에 대해서는, 도 2 내지 도 4 등을 기준으로 하며, 또한 상기 도면 상측을 표측(表側)이라 함과 함께, 상기 도면 하측을 이측(裏側)이라 한다.

[0025]

액정 표시 장치(10)는, 도 1 및 도 2에 도시한 바와 같이, 화상을 표시 가능하며 또한 중앙측에 배치되는 표시부 AA, 및 표시부 AA를 둘러싸는 형태로 외주측에 배치되는 비표시부 NAA를 갖는 액정 패널(11: 표시 장치, 표시 패널)과, 액정 패널(11)을 구동하는 드라이버(21: 패널 구동부)와, 드라이버(21)에 대하여 각종 입력 신호를 외부로부터 공급하는 제어 회로 기관(12: 외부의 신호 공급원)과, 액정 패널(11)과 외부의 제어 회로 기관(12)을 전기적으로 접속하는 플렉시블 기관(13: 외부 접속 부품)과, 액정 패널(11)에 광을 공급하는 외부 광원인 백라이트 장치(14: 조명 장치)를 구비한다. 또한, 액정 표시 장치(10)는, 서로 조립한 액정 패널(11) 및 백라이트 장치(14)를 수용/유지하기 위한 표리 한 쌍의 외장 부재(15, 16)도 구비하고 있으며, 이 중 표측의 외장 부재(15)에는, 액정 패널(11)의 표시부 AA에 표시된 화상을 외부로부터 시인시키기 위한 개구부(15a)가 형성되어 있다. 본 실시 형태에 따른 액정 표시 장치(10)는, 휴대 전화(스마트폰 등을 포함함), 노트북 컴퓨터(태블릿형 노트북 컴퓨터 등을 포함함), 휴대형 정보 단말기(전자북이나 PDA 등을 포함함), 디지털 포토프레임, 휴대형 게임기, 전자 잉크 페이퍼 등의 각종 전자 기기(도시생략)에 사용되는 것이다. 이로 인해, 액정 표시 장치(10)를 구성하는 액정 패널(11)의 화면 사이즈는, 수 인치 내지 수십 인치 정도로 되고, 일반적으로는 소형 또는 중소형으로 분류되는 크기로 되어 있다.

[0026]

먼저, 백라이트 장치(14)에 대하여 간단히 설명한다. 백라이트 장치(14)는, 도 2에 도시한 바와 같이, 표측(액정 패널(11)측)을 향해 개구한 대략 상자형을 이루는 세시(14a)와, 세시(14a) 내에 배치된 도시를 생략한 광원(예를 들어 냉음극관, LED, 유기 EL 등)과, 세시(14a)의 개구부를 덮는 형태로 배치되는 도시를 생략한 광학 부재를 구비한다. 광학 부재는, 광원으로부터 발해지는 광을 먼 형상으로 변환하는 등의 기능을 갖는 것이다.

[0027]

계속해서, 액정 패널(11)에 대하여 설명한다. 액정 패널(11)은, 도 1에 도시한 바와 같이, 전체적으로 세로로 긴 사각형(직사각형)을 이루고 있으며, 그 긴 변 방향에 있어서의 한쪽 단부측(도 1에 도시한 상측)에 치우친 위치에 표시부(액티브 에리어) AA가 배치됨과 함께, 긴 변 방향에 있어서의 다른 쪽 단부측(도 1에 도시한 하측)에 치우친 위치에 드라이버(21) 및 플렉시블 기관(13)이 각각 설치되어 있다. 이 액정 패널(11)에 있어서 표시부 AA 외의 영역이, 화상이 표시되지 않은 비표시부(논액티브 에리어) NAA로 되고, 이 비표시부 NAA는, 표시부 AA를 둘러싸는 대략 프레임 형상의 영역(후술하는 CF 기관(11a)에 있어서의 프레임 부분)과, 긴 변 방향의 다른 쪽 단부측에 확보된 영역(후술하는 어레이 기관(11b) 중 CF 기관(11a)과는 중첩되지 않고 노출되는 부분)을 포함하고, 이 중 긴 변 방향의 다른 쪽 단부측에 확보된 영역에 드라이버(21) 및 플렉시블 기관(13)의 실장 영역(부착 영역)이 포함되어 있다. 액정 패널(11)에 있어서 대략 프레임 형상을 이루는 비표시부 NAA 중, 드라이버(21) 및 플렉시블 기관(13)의 실장 영역을 제외한 나머지 3변의 단부(비실장측 단부)에 있어서의 폭 치수, 상세하게는 유리 기관 GS의 외측 단부로부터 표시부 AA의 외측 단부까지의 직선 거리는, 예를 들어 2.0mm 이하, 보다 바람직하게는 1.8mm 이하로 되어 있으며, 매우 프레임이 좁은 협프레임 구조로 되어 있다. 액정 패널(11)에 있어서의 짧은 변 방향이 각 도면의 X축 방향과 일치하고, 긴 변 방향이 각 도면의 Y축 방향과 일치하고 있다. 또한, 도 1, 도 5 및 도 6에서는, CF 기관(11a)보다도 한 단계 작은 프레임 형상의 일점쇄선이 표시부 AA의 외형을 나타내고 있으며, 상기 일점쇄선보다도 외측의 영역이 비표시부 NAA로 되어 있다.

[0028]

계속해서, 액정 패널(11)에 접속되는 부재에 대하여 설명한다. 제어 회로 기관(12)은, 도 1 및 도 2에 도시한 바와 같이, 백라이트 장치(14)에 있어서의 세시(14a)의 이면(액정 패널(11)측과는 반대측의 외면)에 나사 등에 의해 부착되어 있다. 이 제어 회로 기관(12)은, 종이 페놀 내지는 유리 에폭시 수지계의 기관 위에, 드라이버

(21)에 각종 입력 신호를 공급하기 위한 전자 부품이 실장됨과 함께, 도시를 생략한 소정의 패턴의 배선(도전로)이 배정 형성되어 있다. 이 제어 회로 기관(12)에는, 플렉시블 기관(13)의 한쪽 단부(일단부측)가 도시를 생략한 ACF(Anisotropic Conductive Film)를 개재하여 전기적으로 또한 기계적으로 접속되어 있다.

[0029]

플렉시블 기관(13: FPC 기관)은, 도 2에 도시한 바와 같이, 절연성 및 가요성을 갖는 합성 수지 재료(예를 들어 폴리이미드계 수지 등)를 포함하는 기재를 구비하고, 그 기재 위에 다수 개의 배선 패턴(도시생략)을 갖고 있으며, 길이 방향의 한쪽 단부가 전술한 바와 같이 새시(14a)의 이면측에 배치된 제어 회로 기관(12)에 접속되는데 반하여, 다른 쪽 단부(타단부측)가 액정 패널(11)에 있어서의 어레이 기관(11b)에 접속되어 있기 때문에, 액정 표시 장치(10) 내에서는 단면 형상이 대략 U형이 되도록 접는 형상으로 굴곡되어 있다. 플렉시블 기관(13)에 있어서의 길이 방향의 양단부에서는, 배선 패턴이 외부에 노출되어 단자부(도시생략)를 구성하고 있으며, 이들 단자부가 각각 제어 회로 기관(12) 및 액정 패널(11)에 대하여 전기적으로 접속되어 있다. 이에 의해, 제어 회로 기관(12)측으로부터 공급되는 입력 신호를 액정 패널(11)측으로 전송하는 것이 가능하게 되어 있다.

[0030]

드라이버(21)는, 도 1에 도시한 바와 같이, 내부에 구동 회로를 갖는 LSI 칩을 포함하게 되고, 신호 공급원인 제어 회로 기관(12)으로부터 공급되는 신호에 기초하여 작동함으로써, 신호 공급원인 제어 회로 기관(12)으로부터 공급되는 입력 신호를 처리하여 출력 신호를 생성하고, 그 출력 신호를 액정 패널(11)의 표시부 AA를 향해 출력하게 된다. 이 드라이버(21)는, 평면으로 볼 때 가로로 긴 사각형을 이루는(액정 패널(11)의 짧은 변을 따라 길이 형상을 이루는) 동시에, 액정 패널(11)(후술하는 어레이 기관(11b))의 비표시부 NAA에 대하여 직접 실장되고, 즉 COG(Chip On Glass) 실장되어 있다. 또한, 드라이버(21)의 긴 변 방향이 X축 방향(액정 패널(11)의 짧은 변 방향)과 일치하고, 동일한 짧은 변 방향이 Y축 방향(액정 패널(11)의 긴 변 방향)과 일치하고 있다.

[0031]

재차 액정 패널(11)에 대하여 설명한다. 액정 패널(11)은, 도 3에 도시한 바와 같이, 한 쌍의 기관(11a, 11b)과, 양 기관(11a, 11b) 사이에 개재되고, 전계 인가에 수반하여 광학 특성이 변화하는 물질인 액정 분자를 포함하는 액정층(11c: 액정)과, 양 기관(11a, 11b) 사이에 개재됨으로써 액정층(11c)의 두께만큼의 갭을 유지한 상태에서 액정층(11c)을 밀봉하는 시일부(11j)를 적어도 갖고 있다. 한 쌍의 기관(11a, 11b) 중 표측(정면측)이 CF 기관(11a: 대향 기관)으로 되고, 이측(배면측)이 어레이 기관(11b: 기관)으로 된다. 시일부(11j)는, 액정 패널(11) 중 비표시부 NAA에 배치됨과 함께 평면으로 볼 때(어레이 기관(11b)의 관면에 대한 법선 방향에서 볼 때) 비표시부 NAA를 따른 세로로 긴 대략 프레임 형상을 이루고 있다(도 2). 시일부(11j) 중, 액정 패널(11)에 있어서의 드라이버(21) 및 플렉시블 기관(13)의 실장 영역을 제외한 나머지 3변의 단부(비실장 측단부)에 배치된 부분은, 비표시부 NAA에 있어서의 최외측 단부 위치에 배치되어 있다(도 2). 또한, 양 기관(11a, 11b)의 외면측에는, 각각 편광판(11f, 11g)이 접촉되어 있다.

[0032]

본 실시 형태에 따른 액정 패널(11)은, 동작 모드가 IPS(In-Plane Switching) 모드를 더 개량한 FFS(Fringe Field Switching) 모드이며, 도 4에 도시한 바와 같이, 한 쌍의 기관(11a, 11b) 중 어레이 기관(11b) 측에 후술하는 화소 전극부(18: 제2 투명 전극부) 및 공통 전극부(22: 제1 투명 전극부)를 모두 형성하며, 또한 이들 화소 전극부(18)와 공통 전극부(22)를 서로 다른 층에 배치하여 이루어지는 것이다. CF 기관(11a) 및 어레이 기관(11b)은, 거의 투명한(높은 투광성을 갖는) 유리 기관 GS를 구비하고 있으며, 상기 유리 기관 GS 위에 각종 막을 적층 형성하여 이루어지게 된다. 이 중, CF 기관(11a)은, 도 1 및 도 2에 도시한 바와 같이, 짧은 변 치수가 어레이 기관(11b)과 대략 동등하기는 하지만, 긴 변 치수가 어레이 기관(11b)보다도 작게 됨과 함께, 어레이 기관(11b)에 대하여 긴 변 방향의 한쪽(도 1에 도시한 상측) 단부를 일치시킨 상태로 접합되어 있다. 따라서, 어레이 기관(11b) 중 긴 변 방향의 다른 쪽(도 1에 도시한 하측) 단부는, 소정 범위에 걸쳐 CF 기관(11a)이 중첩되지 않고, 표리 양 관면이 외부에 노출된 상태로 되어 있으며, 여기에 드라이버(21) 및 플렉시블 기관(13)의 실장 영역이 확보되어 있다. 또한, 양 기관(11a, 11b)의 내면측에는, 액정층(11c)에 포함되는 액정 분자를 배향시키기 위한 배향막(11d, 11e)이 각각 형성되어 있다(도 4).

[0033]

우선, 어레이 기관(11b)의 내면측(액정층(11c)측, CF 기관(11a)과의 대향면측)에 기지의 포토리소그래피법에 의해 적층 형성된 각종 막에 대하여 설명한다. 어레이 기관(11b)에는, 도 8에 도시한 바와 같이, 하층(유리 기관 GS)측부터 순서대로 제1 금속막(34: 게이트 금속막), 게이트 절연막(35), 산화물 반도체막(36), 보호막(37: 에칭 스톱퍼막, ES막), 제2 금속막(38: 소스 금속막), 제1 층간 절연막(39: 절연막), 유기 절연막(40), 제1 투명 전극막(23), 제2 층간 절연막(41), 제2 투명 전극막(24)이 적층 형성되어 있다.

[0034]

제1 금속막(34)은, 예를 들어 구리(Cu)를 포함하는 단층막에 의해 구성되어 있다. 이에 의해, 가령 제1 금속막을 알루미늄(Al)의 단층막으로 한 경우에 비하여, 배선 저항이 낮아 도전성이 양호하게 된다. 게이트 절연막(35)은, 적어도 제1 금속막(34)의 상층측에 적층되는 것이며, 예를 들어 산화규소(SiO₂)를 포함하게 된다. 산

화물 반도체막(36)은, 게이트 절연막(35)의 상층측에 적층되는 것이며, 예를 들어 산화물 반도체의 일종인 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물 박막을 포함하게 된다. 산화물 반도체막(36)인 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물 박막은, 비정질 또는 결정질로 되어 있다. 이 산화물 반도체막(36)은, 표시부 AA에 있어서는 후술하는 표시부용 TFT(17)의 제1 채널부(17d) 등을 구성하는 데 반하여, 비표시부 NAA에 있어서는 후술하는 비표시부용 TFT(29)의 제2 채널부(29d) 등을 구성하고 있다. 보호막(37)은, 적어도 산화물 반도체막(36)의 상층측에 적층되는 것이며, 예를 들어 산화규소(SiO_2)를 포함하게 되어 있다.

[0035]

제2 금속막(38)은, 적어도 보호막(37)의 상층측에 적층되는 것이며, 예를 들어 티타늄(Ti)을 포함하는 하층측 금속막(38a)을 하층측에 배치함과 함께 구리(Cu)를 포함하는 상층측 금속막(38b)을 상층측에 배치한 적층 구조로 된다. 이에 의해, 가령 제2 금속막을 티타늄과 알루미늄(Al)의 적층 구조로 한 경우에 비하여, 배선 저항이 낮아 도전성이 양호하게 된다. 제1 층간 절연막(39)은, 적어도 제2 금속막(38)의 상층측에 적층되는 것이며, 예를 들어 적어도 규소 및 산소를 함유하는 하층측 제1 층간 절연막(39a: 하층측 절연막)과, 적어도 규소 및 질소를 함유하는 상층측 제1 층간 절연막(39b: 상층측 절연막)의 적층 구조로 되어 있다. 또한, 제1 층간 절연막(39)에 관해서는 후에 상세히 설명한다. 유기 절연막(40)은, 제1 층간 절연막(39)의 상층측에 적층되는 것이며, 예를 들어 유기 재료인 아크릴계 수지 재료(예를 들어 폴리메타크릴산메틸 수지(PMMA))를 포함하며, 평탄화막으로서 기능하는 것이다.

[0036]

제1 투명 전극막(23)은, 유기 절연막(40)의 상층측에 적층되는 것이며, 예를 들어 ITO(Indium Tin Oxide) 혹은 ZnO(Zinc Oxide) 등의 투명 전극 재료를 포함한다. 제2 층간 절연막(41)은, 적어도 제1 투명 전극막(23)의 상층측에 적층되는 것이며, 예를 들어 질화규소(SiN_x)를 포함하며, 상세는 후술하지만 평면으로 본 패턴이 상기한 제1 층간 절연막(39)과 동일하게 된다. 제2 투명 전극막(24)은, 적어도 제2 층간 절연막(41)의 상층측에 적층되는 것이며, 예를 들어 ITO(Indium Tin Oxide) 혹은 ZnO(Zinc Oxide) 등의 투명 전극 재료를 포함한다. 상기한 각 막 중, 제1 투명 전극막(23) 및 제2 투명 전극막(24)은, 어레이 기관(11b)의 표시부 AA에만 형성되고, 비표시부 NAA에는 형성되지 않은 데 반하여, 게이트 절연막(35), 보호막(37), 제1 층간 절연막(39) 및 제2 층간 절연막(41)과 같은 절연 재료를 포함하는 각 절연막(35, 37, 39, 41)에 대해서는, 어레이 기관(11b)의 거의 전체면에 걸치는 솔리드 형상의 패턴(일부에 개구를 가짐)으로서 형성되어 있다. 또한, 제1 금속막(34), 산화물 반도체막(36) 및 제2 금속막(38)은, 어레이 기관(11b)의 표시부 AA 및 비표시부 NAA의 양쪽에 소정의 패턴을 갖고 형성되어 있다.

[0037]

계속해서, 어레이 기관(11b)에 있어서는 표시부 AA 내에 존재하는 구성에 대하여 순차적으로 상세히 설명한다. 어레이 기관(11b)의 표시부 AA에는, 도 6 및 도 7에 도시한 바와 같이, 스위칭 소자인 표시부용 TFT(17: 표시부용 트랜지스터) 및 화소 전극부(18)가 다수 개씩 매트릭스 형상으로 배열되어 설치됨과 함께, 이들 표시부용 TFT(17) 및 화소 전극부(18)의 주위에는, 격자 형상을 이루는 게이트 배선(19: 주사 신호선, 행 제어선) 및 소스 배선(20: 열 제어선, 데이터선)을 둘러싸도록 하여 배치되어 있다. 다시 말하자면, 격자 형상을 이루는 게이트 배선(19) 및 소스 배선(20)의 교차부에, 표시부용 TFT(17) 및 화소 전극부(18)가 행렬 형상으로 병렬 배치되어 있다. 게이트 배선(19)은, 제1 금속막(34)을 포함하는 데 반하여, 소스 배선(20)은, 제2 금속막(38)을 포함하고, 상호 교차 부위 사이에는 게이트 절연막(35) 및 보호막(37)이 개재되는 형태로 배치되어 있다. 게이트 배선(19)과 소스 배선(20)이, 각각 표시부용 TFT(17)의 제1 게이트 전극부(17a)와 제1 소스 전극부(17b)에 접속되고, 화소 전극부(18)가 표시부용 TFT(17)의 제1 드레인 전극부(17c)에 접속되어 있다(도 8). 이 중, 제1 게이트 전극부(17a)는, 도 7에 도시한 바와 같이, X축 방향을 따라서 직선적으로 연장되는 게이트 배선(19)으로부터 Y축 방향을 따라서 돌출된 형태로 분기한 가지부에 의해 구성되는 데 반하여, 제1 소스 전극부(17b)는, Y축 방향을 따라서 직선적으로 연장되는 소스 배선(20)으로부터 X축 방향을 따라서 돌출된 형태로 분기한 가지부에 의해 구성된다.

[0038]

표시부용 TFT(17)는, 도 8에 도시한 바와 같이, 제1 금속막(34)을 포함하는 제1 게이트 전극부(17a)와, 산화물 반도체막(36)을 포함하고 제1 게이트 전극부(17a)와 평면으로 볼 때 중첩되는 제1 채널부(17d)와, 보호막(37)을 포함하고 제1 채널부(17d)와 평면으로 볼 때 중첩되는 위치에 2개의 제1 개구부(17e1, 17e2)가 관통 형성되어 이루어지는 제1 보호부(17e)와, 제2 금속막(38)을 포함하고 2개의 제1 개구부(17e1, 17e2) 중 한쪽의 제1 개구부(17e1)를 통해 제1 채널부(17d)에 접속되는 제1 소스 전극부(17b)와, 제2 금속막(38)을 포함하고 2개의 제1 개구부(17e1, 17e2) 중 다른 쪽의 제1 개구부(17e2)를 통해 제1 채널부(17d)에 접속되는 제1 드레인 전극부(17c)를 갖고 있다. 이 중, 제1 채널부(17d)는, X축 방향을 따라서 연장됨과 함께 제1 소스 전극부(17b)와 제1 드레인 전극부(17c)를 걸쳐 양 전극부(17b, 17c) 사이에서의 전하의 이동을 가능하게 하고 있다. 제1 소스 전극부(17b)와 제1 드레인 전극부(17c)는, 제1 채널부(17d)의 연장 방향(X축 방향)에 대하여 소정의 간격을 두면

서 대향 형상으로 배치되어 있다.

[0039]

제1 게이트 전극부(17a)는, 도 7에 도시한 바와 같이, 게이트 배선(19)으로부터 분기된 구조이며, 그 형성 범위가 제1 소스 전극부(17b)에 대해서는 그 거의 전역에 대하여 평면으로 볼 때 중첩되지만, 제1 드레인 전극부(17c)에 대해서는 그 일부(제1 채널부(17d)와의 접촉 부분 근방)에 대해서만 평면으로 볼 때 중첩되도록 설정되어 있다. 이에 의해, 가령, 제1 게이트 전극부를 제1 드레인 전극부(17c)의 거의 전역에 대하여 평면으로 볼 때 중첩되는 형성 범위로 한 경우에 비하면, 제1 게이트 전극부(17a)와, 제1 소스 전극부(17b), 제1 드레인 전극부(17c) 및 제1 채널부(17d)의 사이에 형성되는 기생 용량(이하, 'Cgd 용량'이라고 함)을 작게 할 수 있으므로, 표시 화소의 총 용량에 차지하는 Cgd 용량의 비율이 저하된다. 따라서, 화소 전극부(18)에 인가되는 전압값에 Cgd 용량이 영향을 미치기 어려워지고, 따라서 액정 패널(11)이 고정밀화되어, 표시 화소의 면적 및 총 용량이 작아진 경우에 보다 적합하게 된다. 제1 게이트 전극부(17a)의 형성 범위가 상기와 같은 설정으로 되는데 수반하여, 제1 채널부(17d)는, 도 7 및 도 8에 도시한 바와 같이, 제1 드레인 전극부(17c)가 접속되는 위치로부터 X축 방향을 따라서 제1 소스 전극부(17b)측과는 반대측(도 7 및 도 8에 도시한 우측)을 향해 연장됨과 함께, 그 선단부(일부)가 제1 게이트 전극부(17a)와는 평면으로 볼 때 비중첩이 되는 제1 연장부(17d1)를 갖고 있다. 또한, 제1 채널부(17d)를 이루는 산화물 반도체막(36)은, 전자 이동도가 아몰퍼스 실리콘 박막 등에 비하면, 예를 들어 20배 내지 50배 정도로 높아지게 되어 있으므로, 표시부용 TFT(17)를 용이하게 소형화하여 화소 전극부(18)의 투과광량을 극대화할 수 있고, 따라서 고정밀화 및 저소비 전력화 등을 도모하는 데 있어서 적합하게 된다. 이러한 산화물 반도체막(36)을 포함하는 제1 채널부(17d)를 갖는 표시부용 TFT(17)는, 제1 게이트 전극부(17a)가 최하층에 배치되고, 그 상층측에 게이트 절연막(35)을 개재하여 제1 채널부(17d)가 적층되어 이루어지는, 역 스택형태로 되어 있으며, 일반적인 아몰퍼스 실리콘 박막을 갖는 TFT와 마찬가지로 적층 구조로 된다.

[0040]

화소 전극부(18)는, 제2 투명 전극막(24)을 포함하고, 게이트 배선(19)과 소스 배선(20)으로 둘러싸인 영역에서 전체적으로 평면으로 볼 때 세로로 긴 사각형(직사각형)을 이루는 동시에, 도시를 생략한 세로로 긴 슬릿이 복수 개 설치됨으로써 대략 빗살 모양으로 형성되어 있다. 화소 전극부(18)는, 도 8에 도시한 바와 같이, 제2 층간 절연막(41) 위에 형성되어 있으며, 후술하는 공통 전극부(22)와의 사이에 제2 층간 절연막(41)이 개재되어 있다. 화소 전극부(18)의 하층측에 배치된 제1 층간 절연막(39), 유기 절연막(40) 및 제2 층간 절연막(41) 중, 제1 드레인 전극부(17c)와 평면으로 볼 때 중첩되는 위치에는, 콘택트 홀 CH가 상하로 관통되는 형태로 형성되어 있으며, 이 콘택트 홀 CH를 통해 화소 전극부(18)가 제1 드레인 전극부(17c)에 접속되어 있다. 이에 의해, 표시부용 TFT(17)의 제1 게이트 전극부(17a)를 통전하면, 제1 채널부(17d)를 개재하여 제1 소스 전극부(17b)와 제1 드레인 전극부(17c)의 사이에 전류가 흐르게 됨과 함께 화소 전극부(18)에 소정의 전위가 인가된다. 이 콘택트 홀 CH는, 제1 게이트 전극부(17a) 및 산화물 반도체층(36)을 포함하는 제1 채널부(17d)의 양쪽에 대하여 평면으로 볼 때 비중첩이 되는 위치에 배치되어 있다. 또한, 콘택트 홀 CH는, 제2 층간 절연막(41)을 성막할 때 마스크를 사용하여 제2 층간 절연막(41)에 개구부를 패터닝하고, 그 개구부가 형성된 제2 층간 절연막(41)을 레지스트로서 사용하여 하층측의 제1 층간 절연막(39) 및 유기 절연막(40)을 에칭함으로써, 제1 층간 절연막(39) 및 유기 절연막(40)에 제2 층간 절연막(41)의 개구부에 연통하는 개구부를 각각 형성하여 이루어지게 된다.

[0041]

공통 전극부(22)는, 제1 투명 전극막(23)을 포함하고, 어레이 기관(11b)의 표시부 AA에 있어서의 거의 전체면에 걸쳐, 소위 솔리드 형태의 패턴으로 된다. 공통 전극부(22)는, 도 8에 도시한 바와 같이, 유기 절연막(40)과 제2 층간 절연막(41)의 사이에 끼워지는 형태로 배치되어 있다. 공통 전극부(22)에는, 도시를 생략한 공통 배선으로부터 공통 전위(기준 전위)가 인가되므로, 상기와 같이 표시부용 TFT(17)에 의해 화소 전극부(18)에 인가되는 전위를 제어함으로써, 양 전극부(18, 22) 사이에 소정의 전위차를 발생시킬 수 있다. 양 전극부(18, 22) 사이에 전위차가 발생하면, 액정층(11c)에는, 화소 전극부(18)의 슬릿(18a)에 의해 어레이 기관(11b)의 판면을 따르는 성분 외에, 어레이 기관(11b)의 판면에 대한 법선 방향의 성분을 포함하는 프리지 전계(기울기 전계)가 인가되므로, 액정층(11c)에 포함되는 액정 분자 중, 슬릿(18a)에 존재하는 것 외에, 화소 전극부(18) 위에 존재하는 것도 그 배향 상태를 적절히 스위칭할 수 있다. 따라서, 액정 패널(11)의 개구율이 높아져서 충분한 투과광량이 얻어짐과 함께, 높은 시야각 성능을 얻을 수 있다. 또한, 어레이 기관(11b)에는, 게이트 배선(19)에 병행함과 함께 화소 전극부(18)를 가로지르면서, 게이트 절연막(35), 보호막(37), 제1 층간 절연막(39), 유기 절연막(40) 및 제2 층간 절연막(41)을 개재하여 중첩되는 용량 배선(도시생략)을 설치하는 것도 가능하다.

[0042]

계속해서, CF 기관(11a)에 있어서의 표시부 AA 내에 존재하는 구성에 대하여 상세히 설명한다. CF 기관(11a)에는, 도 4에 도시한 바와 같이, R(적색), G(녹색), B(청색) 등의 각 착색부가, 어레이 기관(11b) 측의 각 화소

전극부(18)와 평면으로 볼 때 중첩되도록 다수 개 매트릭스 형상으로 병렬하여 배치된 컬러 필터(11h)가 설치되어 있다. 컬러 필터(11h)를 이루는 각 착색부 간에는, 혼색을 방지하기 위한 대략 격자 형상의 차광층(11i: 블랙 매트릭스)이 형성되어 있다. 차광층(11i)은, 상기한 게이트 배선(19) 및 소스 배선(20)과 평면으로 볼 때 중첩되는 배치로 된다. 컬러 필터(11h) 및 차광층(11i)의 표면에는, 배향막(11d)이 설치되어 있다. 또한, 상기 액정 패널(11)에 있어서는, R(적색), G(녹색), B(청색)의 3색의 착색부 및 그들과 대향하는 3개의 화소 전극부(18)의 조에 의해 표시 단위인 하나의 표시 화소가 구성되어 있다. 표시 화소는, R의 착색부를 갖는 적색 화소와, G의 착색부를 갖는 녹색 화소와, B의 착색부를 갖는 청색 화소를 포함한다. 이들 각 색의 표시 화소는, 액정 패널(11)의 판면에 있어서 행 방향(X축 방향)을 따라 반복 배열하여 배치됨으로써, 화소군을 구성하고 있으며, 이 화소군이 열 방향(Y축 방향)을 따라 다수 배열하여 배치되어 있다(도 4 및 도 5).

[0043]

다음으로, 어레이 기관(11b)에 있어서의 비표시부 NAA 내에 존재하는 구성에 대하여 상세히 설명한다. 어레이 기관(11b)의 비표시부 NAA 중, 표시부 AA에 있어서의 짧은 변부에 인접하는 위치에는, 도 5에 도시한 바와 같이, 열 제어 회로부(27)가 설치되어 있는 데 반하여, 표시부 AA에 있어서의 긴 변부에 인접하는 위치에는, 행 제어 회로부(28)가 설치되어 있다. 열 제어 회로부(27) 및 행 제어 회로부(28)는, 드라이버(21)로부터의 출력 신호를 표시부용 TFT(17)에 공급하기 위한 제어를 행하는 것이 가능하게 되어 있다. 열 제어 회로부(27) 및 행 제어 회로부(28)는, 표시부용 TFT(17)와 동일한 산화물 반도체막(36)을 베이스로 하여 어레이 기관(11b) 위에 모놀리식으로 형성되어 있으며, 그것에 의해 표시부용 TFT(17)에의 출력 신호의 공급을 제어하기 위한 제어 회로를 갖고 있다. 이들 열 제어 회로부(27) 및 행 제어 회로부(28)는, 도 5 및 도 6에 도시한 바와 같이, 비표시부 NAA에 있어서 시일부(11j)보다도 중앙측, 즉 표시부 AA측에 배치되어 있으며, 다시 말하자면 표시부 AA에 배치된 표시부용 TFT(17)에 비하면 시일부(11j)의 근처에 배치되어 있다고 할 수 있다. 또한, 도 5에서는, 시일부(11j)를 이점쇄선으로, 도 6에서는, 시일부(11j)를 실선으로, 각각 도시하고 있다. 또한, 열 제어 회로부(27) 및 행 제어 회로부(28)는, 어레이 기관(11b)의 제조 공정에 있어서 표시부용 TFT(17) 등을 패터닝할 때 기지의 포토리소그래피법에 의해 동시에 어레이 기관(11b) 위에 패터닝되어 있다.

[0044]

이 중, 열 제어 회로부(27)는, 도 5에 도시한 바와 같이, 표시부 AA에 있어서의 도 5에 도시한 하측의 짧은 변부에 인접하는 위치, 다시 말하자면 Y축 방향에 대하여 표시부 AA와 드라이버(21)의 사이가 되는 위치에 배치되어 있으며, X축 방향을 따라서 연장되는 가로로 긴 대략 사각형의 범위에 형성되어 있다. 이 열 제어 회로부(27)는, 표시부 AA에 배치된 소스 배선(20)에 접속됨과 함께, 드라이버(21)로부터의 출력 신호에 포함되는 화상 신호를, 각 소스 배선(20)에 할당하는 스위치 회로(RGB 스위치 회로)를 갖고 있다. 구체적으로는, 소스 배선(20)은, 어레이 기관(11b)의 표시부 AA에 있어서 X축 방향을 따라서 다수 개가 병렬 배치됨과 함께, R(적색), G(녹색), B(청색)의 각 색의 표시 화소를 이루는 각 표시부용 TFT(17)에 각각 접속되어 있는 데 반하여, 열 제어 회로부(27)는, 스위치 회로에 의해 드라이버(21)로부터의 화상 신호를 R, G, B의 각 소스 배선(20)에 할당하여 공급하고 있다. 또한, 열 제어 회로부(27)는, 레벨 시프터 회로나 ESD 보호 회로 등의 부속 회로를 구비하는 것도 가능하다.

[0045]

이에 반하여, 행 제어 회로부(28)는, 도 5에 도시한 바와 같이, 표시부 AA에 있어서의 도 5에 도시한 좌측의 긴 변부에 인접하는 위치에 배치되어 있으며, Y축 방향을 따라서 연장되는 세로로 긴 대략 사각형의 범위에 형성되어 있다. 행 제어 회로부(28)는, 표시부 AA에 배치된 게이트 배선(19)에 접속됨과 함께, 드라이버(21)로부터의 출력 신호에 포함되는 주사 신호를, 각 게이트 배선(19)에 소정의 타이밍에 공급하여 각 게이트 배선(19)을 순차적으로 주사하는 주사 회로를 갖고 있다. 구체적으로는, 게이트 배선(19)은, 어레이 기관(11b)의 표시부 AA에 있어서 Y축 방향을 따라서 다수 개가 병렬 배치되어 있는 데 반하여, 행 제어 회로부(28)는, 주사 회로에 의해 드라이버(21)로부터의 제어 신호(주사 신호)를 표시부 AA에 있어서 도 5에 도시한 상단부 위치의 게이트 배선(19)으로부터 하단부 위치의 게이트 배선(19)에 이르기까지 순차적으로 공급함으로써, 게이트 배선(19)의 주사를 행하고 있다. 또한, 행 제어 회로부(28)에는, 레벨 시프터 회로나 ESD 보호 회로 등의 부속 회로를 구비하는 것도 가능하다. 또한, 열 제어 회로부(27) 및 행 제어 회로부(28)는, 어레이 기관(11b) 위에 형성된 도시를 생략한 접속 배선에 의해 드라이버(21)에 접속되어 있다.

[0046]

이 행 제어 회로부(28)에 구비되는 주사 회로에는, 도 5에 도시한 바와 같이, 게이트 배선(19)에 접속됨과 함께 주사 신호를 증폭시켜서 게이트 배선(19)으로 출력하는 버퍼 회로부(26)가 포함되어 있다. 그리고, 이 버퍼 회로부(26)에는, 비표시부용 TFT(29: 비표시부용 트랜지스터)가 구비되어 있다. 이 비표시부용 TFT(29)는, 어레이 기관(11b)의 판면 중 비표시부 NAA에 배치됨과 함께, 어레이 기관(11b)의 제조 공정에 있어서 표시부용 TFT(17)와 동시에 형성되어 있다. 비표시부용 TFT(29)는, 주사 회로에 있어서 행해지는 신호 처리의 최종단에 있어서 주사 신호를 출력하기 위한 것이기 때문에, 취급하는 전류량이 표시부용 TFT(17)가 취급하는 전류량보다

도 크게 되어 있다.

[0047] 비표시부용 TFT(29)의 적층 구조에 대하여 설명한다. 비표시부용 TFT(29)는, 도 9에 도시한 바와 같이, 제1 금속막(34)을 포함하는 제2 게이트 전극부(29a: 게이트 전극부)와, 산화물 반도체막(36)을 포함하고 제2 게이트 전극부(29a)와 평면으로 볼 때 중첩되는 제2 채널부(29d)와, 보호막(37)을 포함하고 제2 채널부(29d)와 평면으로 볼 때 중첩되는 위치에 2개의 제2 개구부(29e1, 29e2)가 관통 형성되어 이루어지는 제2 보호부(29e)와, 제2 금속막(38)을 포함하고 2개의 제2 개구부(29e1, 29e2) 중 한쪽 제2 개구부(29e1)를 통하여 제2 채널부(29d)에 접속되는 제2 소스 전극부(29b: 소스 전극부)와, 제2 금속막(38)을 포함하고 2개의 제2 개구부(29e1, 29e2) 중 다른 쪽 제2 개구부(29e2)를 통하여 제2 채널부(29d)에 접속되는 제2 드레인 전극부(29c: 드레인 전극부)를 갖고 있다. 이 중, 제2 채널부(29d)는, X축 방향을 따라서 연장됨과 함께 제2 소스 전극부(29b)와 제2 드레인 전극부(29c)를 걸쳐서 양 전극부(29b, 29c) 사이에서의 전하의 이동을 가능하게 하고 있다. 제2 소스 전극부(29b)와 제2 드레인 전극부(29c)는, 제2 채널부(29d)의 연장 방향(X축 방향)에 대하여 소정의 간격을 두면서 대향 형상으로 배치되어 있다.

[0048] 이 비표시부용 TFT(29)는, 제2 게이트 전극부(29a), 제2 소스 전극부(29b), 제2 드레인 전극부(29c), 제2 채널부(29d), 및 제2 보호부(29e)의 평면 배치가 전술한 표시부용 TFT(17)의 각 구성 부위와 마찬가지로, 도 7에 도시한 바와 같다. 제2 게이트 전극부(29a)는, 도 7에 도시한 바와 같이, 표시부용 TFT(17)의 제1 게이트 전극부(17a)와 마찬가지로, 게이트 배선(19)으로부터 분기된 구조이며, 그 형성 범위가 제2 소스 전극부(29b)에 대해서는 그 거의 전역에 대하여 평면으로 볼 때 중첩되지만, 제2 드레인 전극부(29c)에 대해서는 그 일부(제2 채널부(29d)와의 접속 부분 근방)에 대해서만 평면으로 볼 때 중첩되도록 설정되어 있다. 제2 게이트 전극부(29a)의 형성 범위가 상기와 같은 설정으로 되는 데 수반하여, 제2 채널부(29d)는, 도 7 및 도 9에 도시한 바와 같이, 제2 드레인 전극부(29c)가 접속되는 위치로부터 X축 방향을 따라서 제2 소스 전극부(29b)측과는 반대측(도 9에 도시한 우측)을 향해 연장됨과 함께, 그 선단부(일부)가 제2 게이트 전극부(29a)와는 평면으로 볼 때 비중첩이 되는 제2 연장부(29d1: 연장부)를 갖고 있다. 또한, 이 제2 채널부(29d)를 이루는 산화물 반도체막(36)은, 표시부용 TFT(17)의 제1 채널부(17d)와 동일하게 되며, 높은 전자 이동도를 갖고 있다. 또한, 비표시부용 TFT(29)는, 표시부용 TFT(17)와 마찬가지로, 제2 게이트 전극부(29a)가 최하층에 배치되고, 그 상층측에 게이트 절연막(35)을 개재하여 제2 채널부(29d)가 적층되어 이루어지는 역 스택거형으로 되어 있다. 이와 같이 비표시부용 TFT(29)의 각 구성 부위를 표시부용 TFT(17)의 각 구성 부위와 마찬가지로 배치 구성으로 함으로써, 수율의 향상 등을 도모하는 데 있어서 적합하게 된다.

[0049] 그런데, 비표시부 NAA에 배치되는 비표시부용 TFT(29)는, 도 4 및 도 5에 도시한 바와 같이, 표시부 AA에 배치되는 표시부용 TFT(17)에 비하면, 어레이 기판(11b)에 있어서 외주측에 배치됨과 함께 시일부(11j)의 근처에 배치되어 있기 때문에, 외부에 존재하는 수분이 시일부(11j)를 투과하는 등으로 내부에 침입한 경우에 그 수분의 영향을 받기 쉽게 되어 있다. 가령, 비표시부용 TFT(29)를 구성하는 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 외부의 수분이 끌어들여져 열화가 발생하면, 그 전기적인 특성이 변화되어버려, 비표시부용 TFT(29)가 정상적으로 동작하지 않게 될 우려가 있다. 게다가, 비표시부용 TFT(29)는, 행 제어 회로부(28)에 포함되는 버퍼 회로부(26)를 구성하고 있으며, 취급하는 전류값이 표시부용 TFT(17)에 비하여 크게 되어 있기 때문에, 제2 채널부(29d)가 열화되어 그 전기적인 특성이 변화한 경우에 발생하는 비표시부용 TFT(29)의 동작 불량에 의해, 액정 패널(11)에 표시 불량이 발생할 가능성이 높게 되어 있었다. 또한, 비표시부용 TFT(29)를 구성하는 제2 채널부(29d)는, 도 7 및 도 9에 도시한 바와 같이, 전술한 바와 같이 일부가 제2 게이트 전극부(29a)와는 비중첩이 되는 제2 연장부(29d1: 연장부)를 갖고 있으며, 이 제2 연장부(29d1)는, 백라이트 장치(14)로부터 액정 패널(11)을 향해 조사되는 광이 제2 게이트 전극부(29a)에 의해 차광되기 어렵기 때문에, 광의 조사를 받기 쉽게 되어 있다. 제2 채널부(29d)를 이루는 산화물 반도체막(36)은, 광 에너지를 받으면, 전하 이동의 용이성에 영향을 생기기 쉬워지는 성질을 갖고 있으며, 비표시부용 TFT(29)를 동작시킬 때 제2 연장부(29d1)에 전하가 체류하기 쉬워진다는 문제가 발생할 우려가 있다. 이로 인해, 산화물 반도체막(36)이 수분 등을 끌어들이는 데 수반하여 산화물 반도체막(36)이 열화되는 문제와도 아울러, 비표시부용 TFT(29)에 의해 동작 불량이 쉽게 발생하는 상황에 있었다.

[0050] 따라서, 본 실시 형태에 따른 어레이 기판(11b)에 있어서 비표시부용 TFT(29)에 있어서의 제2 소스 전극부(29b), 제2 드레인 전극부(29c), 및 제2 채널부(29d)를 상층측에서 덮는 형태로 배치되는 제1 층간 절연막(39)은, 상대적으로 하층측에 배치되어 적어도 규소 및 산소를 함유하는 하층측 제1 층간 절연막(39a)과, 상대적으로 상층측에 배치되어 적어도 규소 및 질소를 함유하는 상층측 제1 층간 절연막(39b)의 적층 구조로 된다. 이와 같은 구성에 의해 다음의 작용 및 효과를 얻을 수 있다. 우선, 제1 층간 절연막(39) 중 상대적으로 상층측

에 배치되는 상층측 제1 층간 절연막(39b)이 적어도 규소 및 질소를 함유하는 구성으로 됨으로써, 비표시부용 TFT(29)가 시일부(11j)의 근처에 배치됨에 기인하여 외부의 수분이 침입된 경우이더라도 그 외부의 수분이 상층측 제1 층간 절연막(39b)을 투과하기 어려워져서, 수분이 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에까지 도달되기 어려워진다. 이 상층측 제1 층간 절연막(39b)은, 규소 및 질소를 함유하고 있으며, 성막 공정에 있어서, 예를 들어 실란(SiH_4)과 암모니아(NH_3)를 반응시켜서 성막을 행하면, 그 공정에서 수소가 발생하게 된다. 이로 인해, 상층측 제1 층간 절연막(39b)은, 성막 시에 내부에 수소를 끌어들이는 경우가 있고, 그것에 의해 성막 후에 열 환경에 따라서는 수소가 탈리할 우려가 있다. 그 경우에도, 제1 층간 절연막(39) 중 상대적으로 하층측에 배치되는 하층측 제1 층간 절연막(39a)이 적어도 규소 및 산소를 함유하는 구성으로 됨으로써, 상층측 제1 층간 절연막(39b)으로부터 탈리한 수소가 하층측 제1 층간 절연막(39a)을 투과하기 어려워져서, 탈리 수소가 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에까지 도달되기 어렵게 되어 있다. 이에 의해, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)가 수분이나 수소를 끌어들이는 데 기인하는 열화가 발생하기 어려워짐과 함께 전기적인 특성이 변화되기 어려워지고, 따라서 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다.

[0051]

또한, 본 실시 형태에 따른 제1 층간 절연막(39)을 구성하는 상층측 제1 층간 절연막(39b)은, 그 막 두께가 35 nm 내지 75 nm의 범위로 됨으로써, 상층측 제1 층간 절연막(39b)으로부터의 수소의 탈리량이 적어짐과 함께, 상층측 제1 층간 절연막(39b)의 방습성이 충분히 확보된다. 이에 의해, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성이 변화되기 어려워지고, 따라서 비표시부용 TFT(29)에 의해 동작 불량이 발생하기 어려워진다. 이와 같이 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워짐으로써, 버퍼 회로부(26)의 정상적인 동작이 보장됨과 함께, 액정 패널(11)이 표시 불량을 발생하기 어려워 동작 신뢰성이 높아진다. 게다가, 비표시부용 TFT(29)는, 제2 채널부(29d)가 광의 조사를 받기 쉬운 제2 연장부(29d1)를 갖고 있음에 기인하여 동작 불량이 발생하기 쉬운 구성이지만, 상기과 같이 외부의 수분 등에 기인하는 동작 불량이 발생하기 어렵게 됨으로써, 동작 신뢰성이 충분히 보장된다. 또한, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)와 제2 채널부(29d)의 사이에는, 산화규소를 포함하는 보호막(37)(제2 보호부(29e))이 개재되는 형태로 배치되어 있기 때문에, 보호막(37)으로부터 탈리할 수 있는 수소의 양이 적어지게 되어 있으며, 그것에 의해 제2 채널부(29d)에 수소가 더 끌어들이지기 어려워지고, 따라서 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다. 또한, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)는, 구리를 포함하고 있기 때문에, 수분에 의해 부식이 발생하기 쉽지만, 상기한 상층측 제1 층간 절연막(39b)에 의해 수분의 투과가 억제됨으로써, 부식의 발생이 억제되고, 따라서 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다. 또한, 하층측 제1 층간 절연막(39a)은, 상층측 제1 층간 절연막(39b)보다도 막 두께가 상대적으로 크게 되어 있다.

[0052]

하층측 제1 층간 절연막(39a) 및 상층측 제1 층간 절연막(39b)의 조성에 대하여 상세히 설명한다. 하층측 제1 층간 절연막(39a)은, 예를 들어 산화규소(SiO_2)를 포함하게 되는 데 반하여, 상층측 제1 층간 절연막(39b)은, 예를 들어 질화규소(SiN_x)를 포함하게 된다. 이 상층측 제1 층간 절연막(39b)은, 규소 및 질소만을 포함하는 조성으로는 한정되지 않고, 다른 원소(산소)를 함유할 수 있게 된다. 상층측 제1 층간 절연막(39b)은, 질소의 함유량에 따라서 굴절률을 변동할 수 있게 되어 있으며, 질소의 함유량이 적어질수록 굴절률이 작아지는 데 반하여, 질소의 함유량이 많아질수록 굴절률이 커지는 경향이 된다. 구체적으로는, 상층측 제1 층간 절연막(39b)은, 굴절률이 2.0에 가까워질수록 조성이 순수한 질화규소에 가까워지는 데 반하여, 굴절률이 2.0으로부터 멀어질수록 질소의 함유량이 감소하여 산소의 함유량이 증가한다. 또한, 마찬가지로 하층측 제1 층간 절연막(39a)도, 규소 및 산소만을 포함하는 조성으로는 한정되지 않고, 규소 및 산소 이외의 원소(예를 들어 질소)를 함유할 수 있게 되어 있으며, 질소를 함유시키는 조성으로 한 경우에는, 상층측 제1 층간 절연막(39b)과 마찬가지로 굴절률과 질소의 함유량에 상관 관계를 갖게 된다. 그리고, 본 실시 형태에 따른 상층측 제1 층간 절연막(39b)은, 그 굴절률이 1.5 내지 1.9의 범위로 되어 있으며, 그것에 의해 충분한 방습성을 확보할 수 있어 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성이 변화되기 어려워짐과 함께, 범용적인 제조 설비에 의해 용이하게 성막하는 것이 가능해진다. 또한, 본 실시 형태에 따른 상층측 제1 층간 절연막(39b)은, 그 굴절률이 보다 바람직하게는 1.5 내지 1.72의 범위로 되어 있으며, 그것에 의해 상층측 제1 층간 절연막(39b) 중에 함유되는 수소의 양이 더 적어져서 상층측 제1 층간 절연막(39b)으로부터의 탈리 수소량도 적어지고, 따라서 탈리 수소에 의해 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성이 변화되기 어려워진다.

[0053]

이제까지, 버퍼 회로부(26)를 구성하는 비표시부용 TFT(29)에 관하여 상층측 제1 층간 절연막(39b)의 막 두께 및 굴절률의 수치 범위에 대하여 설명하였지만, 상층측 제1 층간 절연막(39b)은, 어레이 기판(11b)의 거의 전체

면에 걸쳐 거의 균일한 막 두께이며 또한 동일 재료에 의해 형성되어 있다. 이러한 점에서, 버퍼 회로부(26) 이외의 회로를 구성하는 비표시부용 TFT(29)나, 표시부 AA에 배치된 표시부용 TFT(17)가 갖는 상층측 제1 층간 절연막(39b)에 대해서도 막 두께 및 굴절률의 수치 범위가 버퍼 회로부(26)를 구성하는 비표시부용 TFT(29)와 마찬가지로 설정되어 있으며, 그것에 의해 상기한 버퍼 회로부(26)를 구성하는 비표시부용 TFT(29)와 마찬가지로 작용 및 효과가 얻어진다.

[0054] <비교 실험>

[0055] 계속해서, 본 실시 형태에 있어서 상층측 제1 층간 절연막(39b)에 있어서의 막 두께를 35nm 내지 75nm의 범위로 하고, 또한 굴절률을 1.5 내지 1.9의 범위, 보다 바람직하게는 1.5 내지 1.72의 범위로 한 근거가 되는 비교 실험 1 내지 3에 대하여 설명한다. 비교 실험 1에서는, 비표시부용 TFT(29)가 갖는 제1 층간 절연막(39)의 상층측 제1 층간 절연막(39b)에 대하여, 굴절률을 1.475 내지 1.9의 범위에서 변화시킴과 함께, 승온 탈리 분석(TDS: Thermal Disposition Spectroscopy)을 행함으로써, 상층측 제1 층간 절연막(39b)의 막 두께 1nm당 탈리 수분량 및 탈리 수소량을 측정하였다. 상세하게는, 비교 실험 1에서는, 상층측 제1 층간 절연막(39b)에 있어서의 굴절률을 1.475로 한 것을 비교예 1이라 하고, 이하 마찬가지로 굴절률을 1.51로 한 것을 실시예 1, 굴절률을 1.53으로 한 것을 실시예 2, 굴절률을 1.6으로 한 것을 실시예 3, 굴절률을 1.605로 한 것을 실시예 4, 굴절률을 1.65로 한 것을 실시예 5, 굴절률을 1.72로 한 것을 실시예 6, 굴절률을 1.815로 한 것을 실시예 7, 굴절률을 1.9로 한 것을 실시예 8이라 하였다. 그리고, 비교 실험 1의 측정 결과를 도 10 및 도 11에 도시한다. 도 10에서는, 횡축을 상층측 제1 층간 절연막(39b)의 굴절률로 하고, 종축을 상층측 제1 층간 절연막(39b)으로부터의 탈리 수분량으로 하고 있다. 도 11에서는, 횡축을 상층측 제1 층간 절연막(39b)의 굴절률로 하고, 종축을 상층측 제1 층간 절연막(39b)으로부터의 탈리 수소량으로 하고 있다. 또한, 도 10 및 도 11에 있어서의 탈리 수분량 및 탈리 수소량은, 모두 상층측 제1 층간 절연막(39b)의 막 두께 1nm당 탈리 분자수이며, 또한 실시예 1에서의 탈리 분자수를 기준(1.0)으로 한 경우의 상대값이다.

[0056] 비교 실험 2에서는, 비표시부용 TFT(29)가 갖는 제1 층간 절연막(39)의 상층측 제1 층간 절연막(39b)의 막 두께를 0nm 내지 100nm의 범위에서 변화시킴과 함께, 비표시부용 TFT(29)의 전류-전압 특성을 측정하였다. 상세하게는, 비교 실험 2에서는, 상층측 제1 층간 절연막(39b)에 있어서의 막 두께를 0nm로 한 것을 비교예 1이라 하고, 이하 마찬가지로 막 두께를 25nm로 한 것을 비교예 2, 막 두께를 50nm로 한 것을 실시예 1, 막 두께를 75nm로 한 것을 실시예 2, 막 두께를 85nm로 한 것을 비교예 3, 막 두께를 100nm로 한 것을 비교예 4라 하고 있다. 이 중, 비교예 1에 대해서는, 다시 말하자면, 제1 층간 절연막(39)으로부터 상층측 제1 층간 절연막(39b)을 제거하고, 하층측 제1 층간 절연막(39a)만으로 한 구성이라 할 수 있다. 또한, 비교 실험 2에 따른 각 비교예 및 각 실시예에 있어서 하층측 제1 층간 절연막(39a)의 막 두께는, 모두 265nm로 된다. 그리고, 비교 실험 2의 측정 결과를 도 12에 도시한다. 도 12에서는, 횡축을 제2 게이트 전극부(29a)에 인가되는 전압값(단위는 「V」)으로 하고, 종축을 제2 소스 전극부(29b)와 제2 드레인 전극부(29c)의 사이에 흐르는 전류값(단위는 「A」)으로 하고 있다. 또한, 도 12에서는, 비교예 1을 이점쇄선으로, 비교예 2를 간격이 좁은 파선으로, 실시예 1을 간격이 넓은 일점쇄선으로, 실시예 2를 실선으로, 비교예 3을 간격이 넓은 파선으로, 비교예 4를 간격이 좁은 일점쇄선으로 각각 나타내고 있다.

[0057] 비교 실험 3에서는, 비표시부용 TFT(29)가 갖는 제1 층간 절연막(39)의 상층측 제1 층간 절연막(39b)의 막 두께를 변화시킴과 함께, SEM(Scanning Electron Microscope) 등의 전자 현미경을 사용하여 단면 구조의 사진을 촬영하였다. 상세하게는, 비교 실험 2에서는, 상층측 제1 층간 절연막(39b)에 있어서의 막 두께 T1을 25nm로 한 것을 비교예 1이라 하고, 마찬가지로 막 두께 T2를 35nm로 한 것을 실시예 1이라 하고 있다. 또한, 비교 실험 3에 따른 비교예 1 및 실시예 1에 있어서 하층측 제1 층간 절연막(39a)의 막 두께는, 모두 150nm로 된다. 그리고, 비교 실험 3에 의해 촬영된 사진을 도 13 및 도 14에 도시한다. 이들 도 13 및 도 14는, 비표시부용 TFT(29)를 Y축 방향에 대하여 중앙 위치 부근에서 X축 방향을 따라서 절단한 단면 구조의 사진이며, 도 13이 비교예 1을, 도 14가 실시예 1을 각각 나타낸다.

[0058] 다음으로, 각 비교 실험의 실험 결과에 대하여 설명한다. 우선, 비교 실험 1에 관해서는, 도 10에 기재된 그래프로부터, 비교예 1에 있어서의 탈리 수분량이, 실시예 1 내지 8에 비하여 훨씬 많게 되어 있음을 알 수 있다. 이것은, 상층측 제1 층간 절연막(39b)의 굴절률이 1.5를 하회하면, 상층측 제1 층간 절연막(39b)에 함유되는 질소의 양이 지나치게 적어져서 방습성이 저하되고, 수분을 쉽게 투과하게 됨에 기인하는 것이라 생각된다. 이에 반하여, 상층측 제1 층간 절연막(39b)의 굴절률이 1.5 이상으로 되는 실시예 1 내지 8은, 탈리 수분량이 적게 억제되어 있으며, 충분한 방습성을 구비하고 있음을 알 수 있다. 따라서, 상층측 제1 층간 절연막(39b)의 굴절률은, 하한값이 1.5로 되는 것이 바람직하다고 할 수 있다. 또한, 상층측 제1 층간 절연막(39b)의 굴절률은

1.9 이상으로 하기 위해서는, 특수한 제조 장치 및 제조 방법을 이용하여 상층측 제1 층간 절연막(39b)에 함유되는 질소의 양을 많게 할 필요가 있어, 범용적인 제조 장치에서의 제조가 곤란해져버린다. 이러한 점에서, 상층측 제1 층간 절연막(39b)의 굴절률의 상한값을 1.9로 함으로써, 범용적인 제조 장치에서의 제조 용이성을 보장할 수 있는 것이다.

[0059]

한편, 비교 실험 1의 실험 결과인 도 11에 기재된 그래프로부터는, 실시예 7, 8에 있어서의 탈리 수소량이, 비교예 1 및 실시예 1 내지 실시예 6에 비하여 많아지게 되어 있음을 알 수 있다. 이것은, 상층측 제1 층간 절연막(39b)의 굴절률이 1.72를 상회하면, 상층측 제1 층간 절연막(39b)에 함유되는 질소의 양이 많기 때문에 성막시에 발생하는 수소를 더 많이 함유하는 경향을 나타내고 있다고 생각된다. 상세히 설명하자면, 상층측 제1 층간 절연막(39b)의 성막 공정에 있어서, 예를 들어 실란과 암모니아를 반응시켜서 성막을 행하면, 그 공정에서 수소가 발생하고, 이때의 수소 발생량은 암모니아의 양, 즉 상층측 제1 층간 절연막(39b)에 함유되는 질소의 양에 따라서 비례적으로 변화되는 관계에 있기 때문에, 상층측 제1 층간 절연막(39b)의 함유 질소량이 많아지면 함유 수소량도 많아진다고 생각된다. 이에 반하여, 상층측 제1 층간 절연막(39b)의 굴절률이 1.5 내지 1.72로 되는 실시예 1 내지 6은, 탈리 수소량이 적게 억제되어 있으며, 산화물 반도체층(36)을 포함하는 제2 채널부(29d)에 끌어들이지는 수소량도 충분히 적어짐을 알 수 있다. 이상과 같이 비교 실험 1의 실험 결과로부터, 상층측 제1 층간 절연막(39b)은, 굴절률이 1.5 내지 1.9의 범위로 되는 것이, 충분한 방습성을 확보하며 또한 범용적인 제조 설비에서의 성막 용이성을 보장하는 데 있어서 적합하고, 보다 바람직하게는 굴절률이 1.5 내지 1.72의 범위로 되는 것이, 탈리 수소량을 억제하는 데 있어서 적합하다고 할 수 있다.

[0060]

계속해서, 비교 실험 2에 관해서는, 도 12에 기재된 그래프로부터, 비교예 3, 4에서는, 비표시부용 TFT(29)가 임계값 전압을 갖지 않으며, 트랜지스터로서의 스위칭 특성이 얻어지지 않았음을 알 수 있다. 이것은, 상층측 제1 층간 절연막(39b)의 막 두께가 75nm를 상회하는 크기로 되면, 상층측 제1 층간 절연막(39b)에 함유되는 수소량의 절댓값이 너무 커져서, 상층측 제1 층간 절연막(39b)으로부터 탈리하여 산화물 반도체층(36)인 제2 채널부(29d)에 끌어들이지는 수소량도 많아지고, 결과적으로 제2 채널부(29d)의 전기적인 성질이 도체에 가까운 성질로 되어버려, 반도체로서 기능하지 않게 되기 때문이라고 생각된다. 이에 반하여, 상층측 제1 층간 절연막(39b)의 막 두께가 75nm 이하로 되는 실시예 1, 2 및 비교예 1, 2에서는, 함유하는 수소량의 절댓값이 너무 커지는 일이 없기 때문에, 산화물 반도체층(36)인 제2 채널부(29d)에 끌어들이지는 수소량도 적어짐과 함께, 제2 채널부(29d)를 반도체로서 정상적으로 기능시킬 수 있음을 알 수 있다.

[0061]

비교 실험 3에 관해서는, 도 13에 기재된 사진으로부터, 비교예 1과 같이 상층측 제1 층간 절연막(39b)의 막 두께 T1이 25nm로 되면, 상층측 제1 층간 절연막(39b)에 공동(42: 간극)이 복수 들어있음을 알 수 있다. 이것은, 상층측 제1 층간 절연막(39b)의 막 두께가 25nm 이하로 되면, 하층측 제1 층간 절연막(39a)에 대한 커버리지가 악화되기 때문에, 공동(42)을 통해 수분 등이 쉽게 투과하여 방습성이 저하될 우려가 있다. 이에 반하여, 도 14에 기재된 사진으로부터, 실시예 1과 같이 상층측 제1 층간 절연막(39b)의 막 두께 T2가 35nm로 되면, 상층측 제1 층간 절연막(39b)에 거의 공동(42)이 들어 있지 않음을 알 수 있다. 이러한 점에서, 상층측 제1 층간 절연막(39b)의 막 두께가 35nm 이상으로 되면, 하층측 제1 층간 절연막(39a)에 대한 커버리지가 양호하게 되어, 충분한 방습성이 보장된다고 할 수 있다. 이상과 같이 비교 실험 2, 3의 실험 결과로부터, 상층측 제1 층간 절연막(39b)의 막 두께는, 35nm 내지 75nm의 범위로 되는 것이, 탈리 수소량을 억제하며 또한 충분한 방습성을 확보한다는 관점에서 적합하다고 할 수 있다.

[0062]

이상 설명한 바와 같이 본 실시 형태의 액정 패널(11: 표시 장치)은, 화상을 표시 가능하고 또한 중앙측에 배치되는 표시부 AA, 및 표시부 AA를 둘러싸는 형태로 외주측에 배치되는 비표시부 NAA를 갖는 어레이 기관(11b: 기관)과, 표시부 AA에 배치되는 표시부용 TFT(17: 표시부용 트랜지스터)와, 비표시부 NAA에 배치되는 비표시부용 TFT(29: 비표시부용 트랜지스터)와, 비표시부용 TFT(29)를 구성하는 제2 게이트 전극부(29a: 게이트 전극부)와, 비표시부용 TFT(29)를 구성하고, 적어도 일부가 제2 게이트 전극부(29a)와 평면으로 볼 때 중첩되는 산화물 반도체막(36)을 포함하는 제2 채널부(29d)와, 비표시부용 TFT(29)를 구성하고, 적어도 일부가 산화물 반도체막(36)을 포함하는 제2 채널부(29d) 위에 적층됨과 함께 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 접속되는 제2 소스 전극부(29b: 소스 전극부)와, 비표시부용 TFT(29)를 구성하고, 적어도 일부가 산화물 반도체막(36)을 포함하는 제2 채널부(29d) 위에 적층됨과 함께 제2 소스 전극부(29b)의 사이에 간격을 두면서 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 접속되는 제2 드레인 전극부(29c: 드레인 전극부)와, 적어도 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c) 위에 적층되는 제1 층간 절연막(39: 절연막)으로서, 상대적으로 하층측에 배치되어 적어도 규소 및 산소를 함유하는 하층측 제1 층간 절연막(39a: 하층측 절연막)과, 상대적으로 상층측에 배치되어 적어도 규소 및 질소를 함유함과 함께 막 두께가 35nm 내지 75nm의 범위로 되는 상층측 제1

층간 절연막(상층측 절연막) (39b)의 적층 구조로 되는 제1 층간 절연막(39)을 구비한다.

[0063] 이와 같이 하면, 비표시부용 TFT(29)는, 제2 게이트 전극부(29a)에 전압이 인가되면, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)를 개재하여 제2 소스 전극부(29b)와 제2 드레인 전극부(29c)의 사이에 전류가 흐르게 된다. 이 산화물 반도체막(36)을 포함하는 제2 채널부(29d)는, 예를 들어 아몰퍼스 실리콘 박막 등에 비하면, 전자 이동도가 높게 되어 있으므로, 제2 소스 전극부(29b)와 제2 드레인 전극부(29c)의 사이에 큰 전류를 흘리는 데 있어서 적합하다.

[0064] 그런데, 어레이 기판(11b)에 있어서 중앙측의 표시부 AA를 둘러싸는 형태로 외주측에 비표시부 NAA가 배치되는 구성에서는, 비표시부 NAA에 배치되는 비표시부용 TFT(29)는, 표시부 AA에 배치되는 표시부용 TFT(17)에 비하면, 외부에 존재하는 수분의 영향을 받기 쉽게 되어 있다. 가령, 비표시부용 TFT(29)를 구성하는 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 외부의 수분이 끌어들여져 열화가 발생하면, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성이 변화되어버려, 비표시부용 TFT(29)가 정상적으로 동작하지 않게 될 우려가 있다.

[0065] 그러한 점에서, 적어도 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c) 위에 적층되는 제1 층간 절연막(39)은, 상대적으로 하층측에 배치되어 적어도 규소 및 산소를 함유하는 하층측 제1 층간 절연막(39a)과, 상대적으로 상층측에 배치되어 적어도 규소 및 질소를 함유하는 상층측 제1 층간 절연막(39b)의 적층 구조로 되어 있기 때문에, 상층측 제1 층간 절연막(39b)에 의해 외부의 수분이 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에까지 도달하기 어려워지는 것 외에, 가령 상층측 제1 층간 절연막(39b)이 성막 시에 수소를 함유하고 있어 상층측 제1 층간 절연막(39b)으로부터 수소가 탈리한 경우이더라도 하층측 제1 층간 절연막(39a)에 의해 상층측 제1 층간 절연막(39b)으로부터 탈리한 수소가 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에까지 도달하기 어려워진다. 이에 의해, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)가 수분이나 수소를 끌어들이는 데 기인하는 열화가 발생하기 어려워져서, 그 전기적인 특성이 변화되기 어려워지고, 따라서 비표시부용 TFT(29)에 동작 불량 발생하기 어려워진다.

[0066] 그런데, 가령, 상층측 제1 층간 절연막(39b)의 막 두께가 75nm를 상회하면, 상층측 제1 층간 절연막(39b)을 성막할 때 상층측 제1 층간 절연막(39b) 중에 함유되는 수소의 함유량이 많아짐과 함께 상층측 제1 층간 절연막(39b)으로부터 탈리하는 수소의 탈리량도 많아지는 경향이 있기 때문에, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)가 상층측 제1 층간 절연막(39b)으로부터 탈리한 수소에 의해 열화되어 전기적인 특성이 쉽게 변화될 우려가 있다. 한편, 가령, 상층측 제1 층간 절연막(39b)의 막 두께가 35nm를 하회하면, 하층측 제1 층간 절연막(39a)에 대한 커버리지가 악화되어 공동(42: 간극)이 들어가기 쉽기 때문에, 방습성이 저하되어버려, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 수분이 끌어들여지기 쉬워질 우려가 있다. 그러한 점에서, 상층측 제1 층간 절연막(39b)의 막 두께를 35nm 내지 75nm의 범위로 함으로써, 상층측 제1 층간 절연막(39b)으로부터의 수소의 탈리량이 적어짐과 함께, 상층측 제1 층간 절연막(39b)의 방습성이 충분히 확보되므로, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성이 변화되기 어려워지고, 따라서 비표시부용 TFT(29)에 동작 불량 발생하기 어려워진다. 또한, 상층측 제1 층간 절연막(39b)의 방습성이 충분히 유지됨으로써, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)가 수분에 의해 부식되기 어려워진다.

[0067] 또한, 제1 층간 절연막(39)을 구성하는 상층측 제1 층간 절연막(39b)은, 굴절률이 1.5 내지 1.9의 범위로 된다. 우선, 상층측 제1 층간 절연막(39b)은, 굴절률이 조성에 따라서 변화할 수 있게 되어 있으며, 구체적으로는 질소의 함유량이 적어지면 굴절률의 값이 작아지는 데 반하여, 질소의 함유량이 많아지면 굴절률의 값이 커지는 경향이 된다. 여기서, 가령, 상층측 제1 층간 절연막(39b)의 굴절률이 1.5 이하로 되는 경우에는, 질소의 함유량이 적기 때문에, 방습성이 저하되어 물을 쉽게 투과하고, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 수분이 쉽게 끌어들여짐과 함께 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성에 악영향이 미칠 우려가 있다. 한편, 가령, 상층측 제1 층간 절연막(39b)의 굴절률이 1.9 이상으로 되는 경우에는, 질소의 함유량이 많아지기 때문에, 범용적인 제조 설비에서의 성막이 곤란해질 우려가 있다. 따라서, 상층측 제1 층간 절연막(39b)의 굴절률을 1.5 내지 1.9의 범위로 함으로써, 충분한 방습성을 확보할 수 있어서 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성이 변화되기 어려워짐과 함께, 범용적인 제조 설비에 의해 용이하게 성막하는 것이 가능해진다.

[0068] 또한, 제1 층간 절연막(39)을 구성하는 상층측 제1 층간 절연막(39b)은, 굴절률이 1.5 내지 1.72의 범위로 된다. 상층측 제1 층간 절연막(39b)은, 질소의 함유량이 많아지는 데 수반하여, 성막 시에 상층측 제1 층간 절연막(39b) 중에 함유되는 수소의 함유량이 많아지는 경향이 된다. 그러한 점에서, 상층측 제1 층간 절연막

(39b)에 있어서의 굴절률의 상한값이 1.72로 됨으로써, 상층측 제1 층간 절연막(39b) 중에 함유되는 수소의 양이 더 적어지므로, 상층측 제1 층간 절연막(39b)으로부터 탈리하는 수소의 탈리량도 적어지고, 따라서 상층측 제1 층간 절연막(39b)으로부터 탈리한 수소에 의해 산화물 반도체막(36)을 포함하는 제2 채널부(29d)의 전기적인 특성이 변화되기 어려워진다.

[0069]

또한, 어레이 기판(11b)과 대향 형상을 이루는 CF 기판(11a: 대향 기판)과, 어레이 기판(11b)과 CF 기판(11a)의 사이에 끼움 지지되는 액정층(11c: 액정)과, 어레이 기판(11b)과 CF 기판(11a)의 사이에 개재됨과 함께 액정층(11c)을 둘러싸는 형태로 배치되어 액정층(11c)을 밀봉하는 시일부(11j)를 구비하고 있으며, 비표시부용 TFT(29)는, 표시부용 TFT(17)에 비하여 시일부(11j)의 근처에 배치되어 있다. 이와 같이 하면, 어레이 기판(11b)과 CF 기판(11a)의 사이에 끼움 지지되는 액정층(11c)은, 어레이 기판(11b)과 CF 기판(11a)의 사이에 개재됨과 함께 액정층(11c)을 둘러싸는 형태로 배치되는 시일부(11j)에 의해 밀봉된다. 비표시부용 TFT(29)는, 표시부용 TFT(17)보다도 시일부(11j)의 근처에 배치되어 있기 때문에, 외부의 수분이 시일부(11j)를 투과한 경우, 그 수분의 영향을 받기 쉽게 되어 있지만, 상기한 바와 같이 제1 층간 절연막(39)이 상층측 제1 층간 절연막(39b)과 하층측 제1 층간 절연막(39a)의 적층 구조로 됨과 함께 상층측 제1 층간 절연막(39b)의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 시일부(11j)를 투과한 수분이 비표시부용 TFT(29)를 구성하는 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 끌어들이지기 어렵게 되어 있으며, 따라서 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다.

[0070]

또한, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)는, 제2 드레인 전극부(29c)가 접속되는 위치로부터 제2 소스 전극부(29b)측과는 반대측을 향해 연장 됨과 함께, 적어도 그 일부가 제2 게이트 전극부(29a)와는 평면으로 볼 때 비중첩이 되는 제2 연장부(29d1: 연장부)를 갖고 있다. 이와 같이, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)는, 제2 드레인 전극부(29c)가 접속되는 위치로부터 제2 소스 전극부(29b)측과는 반대측을 향해 연장되는 제2 연장부(29d1)를 갖고 있으며, 이 제2 연장부(29d1)의 적어도 일부가 제2 게이트 전극부(29a)와는 평면으로 볼 때 비중첩이 되면, 이 제2 연장부(29d1)에 있어서의 비중첩 부위는, 외부광이 제2 게이트 전극부(29a)에 의해 차광되기 어렵기 때문에, 외부광의 조사를 받기 쉽게 되어 있으며, 그것에 의해 전기적인 특성이 열화될 우려가 있다. 구체적으로는, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)는, 광 에너지를 받으면, 전하 이동의 용이성에 영향이 생기기 쉬운 성질을 갖고 있으며, 비표시부용 TFT(29)를 동작시킬 때 상기한 제2 연장부(29d1)에 있어서의 비중첩 부위에 전하가 체류하기 쉬워진다는 문제가 발생할 가능성이 있다. 이 문제 외에 수분이나 수소가 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 끌어들이져 전기적인 특성이 변화된다는 문제가 발생하면, 비표시부용 TFT(29)에 동작 불량이 더 쉽게 발생하게 되지만, 상기한 바와 같이 제1 층간 절연막(39)이 상층측 제1 층간 절연막(39b)과 하층측 제1 층간 절연막(39a)의 적층 구조로 됨과 함께 상층측 제1 층간 절연막(39b)의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 수분이나 수소가 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 끌어들이지기 어렵게 되어 있으므로, 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다.

[0071]

또한, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)가 산화물 반도체막(36)을 포함하는 제2 채널부(29d)와의 사이에 개재되는 형태로 배치되고, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)와 평면으로 볼 때 중첩되는 위치에 각각 형성되어 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)가 산화물 반도체막(36)을 포함하는 제2 채널부(29d)를 각각 접속하는 한 쌍의 제2 개구부(29e1, 29e2: 개구부)를 가짐과 함께, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)를 보호하는 보호막(37)을 포함하는 제2 보호부(29e)를 구비하고 있다. 이와 같이 하면, 제조 과정에 있어서 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)를 형성하기 위해 에칭이 행해진 경우이더라도, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)는, 그 상층측에 배치된 보호막(37)을 포함하는 제2 보호부(29e)에 의해 에칭으로부터 보호된다. 제조 후에 있어서도, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)가 보호막(37)을 포함하는 제2 보호부(29e)에 의해 보호됨으로써, 수소 등이 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 의해 끌어들이지기 어려워지고, 따라서 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다. 또한, 보호막(37)을 포함하는 제2 보호부(29e)에는, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)와 평면으로 볼 때 중첩되는 위치에 한 쌍의 제2 개구부(29e1, 29e2)가 형성되어 있으므로, 이들 개구부를 통해 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)가 산화물 반도체막(36)을 포함하는 제2 채널부(29d)와의 접속이 도모되고 있다.

[0072]

또한, 보호막(37)을 포함하는 제2 보호부(29e)는, 적어도 규소 및 산소를 함유하고 있다. 이와 같이, 보호막(37)을 포함하는 제2 보호부(29e)가 적어도 규소 및 산소를 함유하는 구성으로 됨으로써, 보호막(37)으로부터 탈리할 수 있는 수소의 양이 적어지므로, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 수소가 끌어들이

지기 어려워지고, 따라서 비표시부용 TFT(29)에 의해 동작 불량이 발생하기 어려워진다.

[0073] 또한, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)는, 적어도 인듐, 갈륨 및 아연을 함유하고 있다. 이와 같이, 적어도 인듐, 갈륨 및 아연을 함유하는 산화물 반도체막(36)을 포함하는 제2 채널부(29d)는, 수분이나 수소에 의해 열화가 더 발생하기 쉬운 성질을 갖고 있지만, 상기한 바와 같이 제1 층간 절연막(39)이 상층측 제1 층간 절연막(39b)과 하층측 제1 층간 절연막(39a)의 적층 구조로 됨과 함께 상층측 제1 층간 절연막(39b)의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 수분이나 수소가 끌어들여지는 사태가 발생하기 어렵게 되어 있으며, 따라서 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다.

[0074] 또한, 표시부 AA에 배치되고, 표시부용 TFT(17)에 접속됨으로써 표시부용 TFT(17)에 대하여 주사 신호를 전송하는 게이트 배선(19: 주사 신호선)과, 비표시부 NAA에 배치되고, 게이트 배선(19)에 접속됨과 함께 주사 신호를 공급하는 버퍼 회로부(26)를 구비하고 있으며, 비표시부용 TFT(29)는, 버퍼 회로부(26)를 구성하고 있다. 이와 같이 하면, 버퍼 회로부(26)를 구성하는 비표시부용 TFT(29)에서는, 제2 소스 전극부(29b)와 제2 드레인 전극부(29c)의 사이를 흐르는 전류량이, 표시부용 TFT(17)에 비하여 더 커지는 경향이 있기 때문에, 비표시부용 TFT(29)의 산화물 반도체막(36)을 포함하는 제2 채널부(29d)가 수분이나 수소를 끌어들이는 데 기인하여 열화가 발생하여 전기적인 특성이 변화되면, 정상적으로 작동하지 않게 될 가능성이 더 높아지게 되어 있다. 그런데, 상기한 바와 같이 제1 층간 절연막(39)이 상층측 제1 층간 절연막(39b)과 하층측 제1 층간 절연막(39a)의 적층 구조로 됨과 함께 상층측 제1 층간 절연막(39b)의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 산화물 반도체막(36)을 포함하는 제2 채널부(29d)에 수분이나 수소가 끌어들여지는 사태가 발생하기 어렵게 되어 있으며, 따라서 버퍼 회로부(26)를 구성하는 비표시부용 TFT(29)에 동작 불량이 발생하기 어려워진다.

[0075] 또한, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)는, 적어도 구리를 함유하고 있다. 이와 같이, 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)가 구리를 함유하고 있으면, 예를 들어 알루미늄을 함유하는 경우에 비하면, 도전성이 양호하게 되는 반면, 수분에 의해 부식되기 쉽다. 그러한 점에서, 상기한 바와 같이 제1 층간 절연막(39)이 상층측 제1 층간 절연막(39b)과 하층측 제1 층간 절연막(39a)의 적층 구조로 됨과 함께 상층측 제1 층간 절연막(39b)의 막 두께가 35nm 내지 75nm의 범위로 됨으로써, 외부의 수분이 제1 층간 절연막(39)을 투과하여 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)에 도달하기 어려워지고, 따라서 제2 소스 전극부(29b) 및 제2 드레인 전극부(29c)가 수분에 의해 부식되기 어려워진다.

[0076] <실시 형태 2>

[0077] 본 발명의 실시 형태 2를 도 15 또는 도 16에 의해 설명한다. 이 실시 형태(2)에서는, 공통 전극부(122)를 CF 기관(111a) 측에 배치한 구성의 것을 나타낸다. 또한, 상기한 실시 형태 1과 마찬가지로의 구조, 작용 및 효과에 대하여 중복되는 설명은 생략한다.

[0078] 본 실시 형태에 따른 액정 패널(111)은, 도 15에 도시한 바와 같이, 공통 전극부(122)가 표시부용 TFT(117) 등을 갖는 어레이 기관(111b) 측이 아니라, CF 기관(111a) 측에 배치되어 있으며, 동작 모드가 VA(Vertical Alignment: 수직 배향) 모드로 되어 있다. 공통 전극부(122)는, 컬러 필터(111h) 및 차광층(111i)과 배향막(111d)의 사이에 개재되는 형태로 배치되어 있으며, CF 기관(111a)의 거의 전체면에 걸치는 솔리드 형상의 패턴으로 된다. 어레이 기관(111b)에 있어서는, 도 16에 도시한 바와 같이, 공통 전극부(122)가 제거되어 있고 그에 수반하여 제2 층간 절연막이 제거되어 있으며, 유기 절연막(140)의 상층측에 제2 투명 전극막(124)(화소 전극부(118))이 직접 적층되는 구성으로 되어 있다. 이러한 구성이더라도, 상기한 실시 형태 1에 기재한 것과 대략 마찬가지로의 작용 및 효과를 얻을 수 있다.

[0079] <실시 형태 3>

[0080] 본 발명의 실시 형태 3을 도 17 내지 도 19에 의해 설명한다. 이 실시 형태 3에서는, 각 TFT(217, 229)에 있어서의 각 게이트 전극부(217a, 229a)의 평면 배치를 변경한 것을 나타낸다. 또한, 상기한 실시 형태 1과 마찬가지로의 구조, 작용 및 효과에 대하여 중복되는 설명은 생략한다.

[0081] 표시부용 TFT(217)를 구성하는 제1 게이트 전극부(217a)는, 도 17 및 도 18에 도시한 바와 같이, 게이트 배선(219)으로부터 분기하지 않고, 일체로 형성되어 있다. 즉, 표시부용 TFT(217)는, 그 전체가 게이트 배선(219) 위에 얹히는 형태로 배치되어 있다. 따라서, 표시부용 TFT(217)를 구성하는 제1 채널부(217d)는, 그 전역에 걸쳐 제1 게이트 전극부(217a)(게이트 배선(219))에 대하여 평면으로 볼 때 중첩되는 배치로 된다. 마찬가지로, 비표시부용 TFT(229)를 구성하는 제2 게이트 전극부(229a)는, 도 17 및 도 19에 도시한 바와 같이, 게이트 배선

(219)으로부터 분기하지 않고, 일체로 형성되어 있다. 즉, 비표시부용 TFT(229)는, 그 전체가 게이트 배선(219) 위에 얹히는 형태로 배치되어 있다. 따라서, 비표시부용 TFT(229)를 구성하는 제2 채널부(229d)는, 그 전역에 걸쳐 제2 게이트 전극부(229a)(게이트 배선(219))에 대하여 평면으로 볼 때 중첩되는 배치로 된다. 이와 같이 하면, 도시를 생략한 백라이트 장치로부터의 광이, 각 게이트 전극부(217a, 229a)에 의해 양호하게 차광되어 산화물 반도체막(236)을 포함하는 각 채널부(217d, 229d)에 조사되기 어려워진다. 이에 의해, 각 채널부(217d, 229d)의 전기적인 특성이 변화되기 어려워지므로, 각 TFT(217, 229)에 동작 불량이 보다 발생하기 어려워진다. 이러한 구성이더라도, 상기한 실시 형태 1에 기재한 것과 대략 마찬가지로의 작용 및 효과를 얻을 수 있다.

[0082] <다른 실시 형태>

[0083] 본 발명은 상기 기술 및 도면에 의해 설명한 실시 형태에 한정되는 것이 아니라, 예를 들어 다음과 같은 실시 형태도 본 발명의 기술적 범위에 포함된다.

[0084] (1) 상기한 각 실시 형태에서는, 상층측 제1 층간 절연막에 있어서의 굴절률의 수치 범위를 1.5 내지 1.9로 하는 것을 나타내었지만, 예를 들어, 생산 기술의 진전에 수반하여, 굴절률이 1.9 이상이 되는 조성의 상층측 제1 층간 절연막을 범용적인 제조 장치에 의해 제조가 가능하게 된 경우에는, 상층측 제1 층간 절연막에 있어서의 굴절률의 상한값을 1.9 이상으로 변경하는 것이 가능하다.

[0085] (2) 상기한 각 실시 형태에서는, 상층측 제1 층간 절연막을 성막하는 데 있어서, 실란(SiH_4)과 암모니아(NH_3)의 혼합 가스를 사용한 경우를 예시하였지만, 그 이외의 물질을 사용하는 것도 가능하다. 예를 들어, 상층측 제1 층간 절연막을 성막하는 데 있어서, 실란(SiH_4)과 질소(N_2)의 혼합 가스를 사용하는 것이 가능하다. 또한, 실란 대신에 디클로로실란(SiH_2Cl_2)을 사용하는 것도 가능하다. 또한, 실란과 암모니아와 질소의 혼합 가스를 사용하여 상층측 제1 층간 절연막을 성막하는 것도 가능하다.

[0086] (3) 상기한 각 실시 형태에서는, 비표시부에 배치되는 비표시부용 TFT로서, 주사 회로에 있어서 행해지는 신호 처리의 최종단에 있어서 주사 신호를 출력하기 위한 것을 예시하였지만, 그 이외의 기능을 담당하는 비표시부용 TFT에 대해서도 본 발명을 적용하는 것이 가능하다.

[0087] (4) 비표시부에는, 버퍼 회로부를 구성하는 비표시부용 TFT 이외에도, 다양한 기능을 담당하는 비표시부용 TFT가 설치되어 있지만, 그러한 비표시부용 TFT의 모두에 대하여, 상층측 제1 층간 절연막의 막 두께 및 굴절률을 상기한 수치 범위로 한정할 필요는 없다. 즉, 상층측 제1 층간 절연막의 막 두께 및 굴절률이 상기 한 수치 범위에 들어가는 비표시부용 TFT와, 상기 한 수치 범위에 들어가지 않는 비표시부용 TFT가 혼재되는 구성이더라도 무방하다.

[0088] (5) 상기한 각 실시 형태에서는, 표시부용 TFT 및 비표시부용 TFT를 구성하는 상층측 제1 층간 절연막의 막 두께 및 굴절률이 상기한 수치 범위에 들어가는 구성에 대하여 나타내었지만, 표시부용 TFT를 구성하는 상층측 제1 층간 절연막의 막 두께 및 굴절률이 상기한 수치 범위에 들어가지 않는 구성으로 하는 것도 가능하다.

[0089] (6) 상기한 각 실시 형태에서는, 비표시부에 배치되는 행 제어 회로부가 갖는 비표시부용 TFT에 대하여 예시하였지만, 비표시부에 배치되는 열 제어 회로부가 갖는 비표시부용 TFT에 대해서도 본 발명은 마찬가지로 적용 가능하다.

[0090] (7) 상기한 각 실시 형태 이외에도, 어레이 기관에 있어서의 행 제어 회로부의 배치 및 설치수는 적절하게 변경 가능하다. 예를 들어, 행 제어 회로부가 어레이 기관에 있어서의 표시부에 대하여 도 5에 도시한 우측에 인접하는 배치로 되는 것이나, 행 제어 회로부가 어레이 기관에 있어서 표시부를 좌우로 사이에 끼운 위치에 한 쌍 배치되는 것도 본 발명에 포함된다.

[0091] (8) 상기한 각 실시 형태 이외에도, 게이트 절연막, 보호막, 유기 절연막, 및 제2 층간 절연막에 있어서의 구체적인 재료에 대해서는, 각각 적절하게 변경하는 것이 가능하다.

[0092] (9) 상기한 각 실시 형태에서는, 게이트 절연막이 단층막으로 되는 것을 나타내었지만, 서로 다른 재료를 포함하는 막을 적층하는 것도 가능하다. 예를 들어, 게이트 절연막을, 예를 들어 질화규소(SiN_x)를 포함하는 하층측 게이트 절연막과, 산화규소(SiO_2)를 포함하는 상층측 게이트 절연막의 적층 구조, 즉 제1 층간 절연막과는 상하의 적층순을 역회전시킨 적층 구조로 하는 것이 가능하다.

- [0093] (10) 상기한 각 실시 형태에서는, 산화물 반도체막을 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물 박막으로 한 경우를 나타내었지만, 다른 종류의 산화물 반도체 재료를 사용하는 것도 가능하다. 구체적으로는, 인듐(In), 실리콘(Si) 및 아연(Zn)을 포함하는 산화물, 인듐(In), 알루미늄(Al) 및 아연(Zn)을 포함하는 산화물, 주석(Sn), 실리콘(Si) 및 아연(Zn)을 포함하는 산화물, 주석(Sn), 알루미늄(Al) 및 아연(Zn)을 포함하는 산화물, 주석(Sn), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물, 갈륨(Ga), 실리콘(Si) 및 아연(Zn)을 포함하는 산화물, 갈륨(Ga), 알루미늄(Al) 및 아연(Zn)을 포함하는 산화물, 인듐(In), 구리(Cu) 및 아연(Zn)을 포함하는 산화물, 주석(Sn), 구리(Cu) 및 아연(Zn)을 포함하는 산화물 등을 사용할 수 있다.
- [0094] (11) 상기한 각 실시 형태에서는, 표시부용 트랜지스터에 있어서 콘택트 홀을 형성할 때, 개구부를 형성한 제2 층간 절연막을 레지스트로서 사용하여 제1 층간 절연막 및 유기 절연막을 에칭하도록 한 경우를 나타내었지만, 예를 들어 제1 층간 절연막, 유기 절연막 및 제2 층간 절연막을 성막할 때 각각에 별도로 개구부를 패터닝하도록 하여도 무방하다. 또한, 콘택트 홀의 평면 배치는 적절히 변경 가능하다.
- [0095] (12) 상기한 각 실시 형태에서는, 동작 모드가 FFS 모드 또는 VA 모드로 된 액정 패널에 대하여 예시하였지만, 그 이외에도 IPS(In-Plane Switching) 모드 등의 다른 동작 모드로 된 액정 패널에 대해서도 본 발명은 적용 가능하다.
- [0096] (13) 상기한 각 실시 형태에서는, 액정 패널에 있어서 표시부가 짧은 변 방향에 대해서는 중앙에 배치되기는 하지만 긴 변 방향의 한쪽 단부측에 치우친 배치로 된 것을 나타내었지만, 액정 패널에 있어서 표시부가 긴 변 방향에 대해서는 중앙에 배치되기는 하지만 짧은 변 방향에 대하여 한쪽 단부측에 치우친 배치로 되는 것도 본 발명에 포함된다. 또한, 액정 패널에 있어서 표시부가 긴 변 방향 및 짧은 변 방향에 대하여 각각 한쪽 단부측에 치우친 배치로 되는 것도 본 발명에 포함된다. 반대로, 액정 패널에 있어서 표시부가 긴 변 방향 및 짧은 변 방향에 대하여 중앙에 배치되는 것도 본 발명에 포함된다.
- [0097] (14) 상기한 각 실시 형태에서는, 제2 금속막이 티타늄(Ti) 및 구리(Cu)의 적층막에 의해 형성되는 경우를 나타내었지만, 예를 들어 티타늄 대신에 몰리브덴(Mo), 질화몰리브덴(MoN), 질화티타늄(TiN), 텅스텐(W), 니오븀(Nb), 몰리브덴-티타늄 합금(MoTi), 몰리브덴-텅스텐 합금(MoW) 등을 사용하는 것도 가능하다. 또한, 구리 대신에 알루미늄(Al) 등을 사용하는 것도 가능하다. 그 이외에도, 티타늄, 구리, 알루미늄 등의 단층의 금속막을 사용하는 것도 가능하다.
- [0098] (15) 상기한 각 실시 형태에서는, 드라이버를 어레이 기관 위에 직접 COG 실장한 것을 나타내었지만, 어레이 기관에 대하여 ACF를 개재하여 접속한 플렉시블 기관 위에 드라이버를 실장하도록 한 것도 본 발명에 포함된다.
- [0099] (16) 상기한 각 실시 형태에서는, 어레이 기관의 비표시부에 열 제어 회로부 및 행 제어 회로부를 설치하도록 한 경우를 나타내었지만, 열 제어 회로부와 행 제어 회로부 중 어느 하나를 생략하고, 그 기능을 드라이버에 맡기는 것도 가능하다.
- [0100] (17) 상기한 각 실시 형태에서는, 세로로 긴 사각형을 이루는 액정 패널을 예시하였지만, 가로로 긴 사각형을 이루는 액정 패널이나 정사각형을 이루는 액정 패널에도 본 발명은 적용 가능하다.
- [0101] (18) 상기한 각 실시 형태에 기재한 액정 패널에 대하여 터치 패널이나 시차 배리어 패널(스위치 액정 패널) 등의 기능성 패널을 적층하는 형태로 부착하도록 한 것도 본 발명에 포함된다. 또한, 액정 패널에 직접 터치 패널 패턴을 형성하도록 한 것도 본 발명에 포함된다.
- [0102] (19) 상기한 각 실시 형태에서는, 액정 표시 장치가 구비하는 백라이트 장치로서 에지 라이트형의 것을 예시하였지만, 직하형 백라이트 장치를 사용하도록 한 것도 본 발명에 포함된다.
- [0103] (20) 상기한 각 실시 형태에서는, 외부 광원인 백라이트 장치를 구비한 투과형 액정 표시 장치를 예시하였지만, 본 발명은 외광을 이용하여 표시를 행하는 반사형 액정 표시 장치에도 적용 가능하며, 그 경우에는 백라이트 장치를 생략할 수 있다.
- [0104] (21) 상기한 각 실시 형태에서는, 액정 표시 장치의 스위칭 소자로서 TFT를 사용하였지만, TFT 이외의 스위칭 소자(예를 들어 박막 다이오드(TFD))를 사용한 액정 표시 장치에도 적용 가능하며, 또한 컬러 표시하는 액정 표시 장치 이외에도, 흑백 표시하는 액정 표시 장치에도 적용 가능하다.
- [0105] (22) 상기한 각 실시 형태에서는, 표시 패널로서 액정 패널을 사용한 액정 표시 장치를 예시하였지만, 다른 종류의 표시 패널(PDP(플라즈마 디스플레이 패널)나 유기 EL 패널 등)을 사용한 표시 장치에도 본 발명은 적용 가

능하다. 그 경우, 백라이트 장치를 생략하는 것이 가능하다.

[0106] (23) 상기한 각 실시 형태에서는, 소형 또는 중소형으로 분류되고, 휴대형 정보 단말기, 휴대 전화, 노트북 컴퓨터, 디지털 포토프레임, 휴대형 게임기, 전자 잉크 페이퍼 등의 각종 전자 기기 등에 이용되는 액정 패널을 예시하였지만, 화면 사이즈가 예를 들어 20인치 내지 90인치이고, 중형 또는 대형(초대형)으로 분류되는 액정 패널에도 본 발명은 적용 가능하다. 그 경우, 액정 패널을 텔레비전 수신 장치, 전자 간판(디지털 사이니지), 전자 흑판 등의 전자 기기에 사용하는 것이 가능해진다.

[0107] (24) 상기한 실시 형태 1, 2에서는, 표시부용 TFT를 구성하는 제1 채널부가 제1 게이트 전극부에 대하여 평면으로 볼 때 비중첩이 되는 제1 연장부를 가짐과 함께, 비표시부용 TFT를 구성하는 제2 채널부가 제2 게이트 전극부에 대하여 평면으로 볼 때 비중첩이 되는 제2 연장부를 갖는 구성을 나타내었지만, 표시부용 TFT의 제1 채널부에 대해서는 실시 형태 1, 2와 마찬가지로의 배치 구성으로 한 후에, 비표시부용 TFT에 대해서는 제2 채널부의 전역이 제2 게이트 전극부에 대하여 평면으로 볼 때 중첩되는 배치 구성(상기한 실시 형태 3과 마찬가지로의 배치 구성)으로 하는 것이 가능하다. 반대로, 비표시부용 TFT의 제2 채널부에 대해서는 실시 형태 1, 2와 마찬가지로의 배치 구성으로 한 후에, 표시부용 TFT에 대해서는 제1 채널부의 전역이 제1 게이트 전극부에 대하여 평면으로 볼 때 중첩되는 배치 구성(상기한 실시 형태 3과 마찬가지로의 배치 구성)으로 하는 것이 가능하다.

[0108] (25) 상기한 실시 형태 1, 2에서는, 각 TFT에 있어서 각 게이트 전극부가 게이트 배선으로부터 분기되는 구조로 됨과 함께, 각 채널부가 각 게이트 전극부에 대하여 평면으로 볼 때 비중첩이 되는 각 연장부를 갖는 구성으로 되는 것을 나타내었지만, 게이트 배선으로부터 분기되는 구조의 각 게이트 전극부에 대하여 각 채널부의 전역이 각각 평면으로 볼 때 중첩되는 배치 구성을 취하는 것도 가능하다. 이 배치 구성은, 표시부용 TFT와 비표시부용 TFT 중 어느 한쪽만 또는 양쪽에 적용하는 것이 가능하다. 나아가, 상기 배치 구성을 표시부용 TFT와 비표시부용 TFT 중 어느 한쪽에만 적용한 경우, 비적용으로 된 측의 TFT 배치 구성을 상기한 실시 형태 1, 2와 마찬가지로 하는 것이 가능하다.

[0109] (26) 상기한 각 실시 형태에서는, 제1 금속막이 구리(Cu)의 단층막으로 되는 경우를 나타내었지만, 구리 대신에 티타늄(Ti)이나 알루미늄(Al) 등을 사용하는 것도 가능하다. 또한, 제1 금속막을 제2 금속막과 마찬가지로 티타늄(Ti) 및 구리(Cu) 등의 적층막으로 하는 것도 가능하다. 제1 금속막을 적층막으로 한 경우, 하층측의 티타늄 대신에 예를 들어 몰리브덴(Mo), 질화몰리브덴(MoN), 질화티타늄(TiN), 텅스텐(W), 니오븀(Nb), 몰리브덴-티타늄 합금(MoTi), 몰리브덴-텅스텐 합금(MoW) 등을 사용하는 것도 가능하다.

부호의 설명

[0110] 1, 111: 액정 패널(표시 장치)
 11a, 111a: CF 기관(대향 기관)
 11b, 111b: 어레이 기관(기관)
 11c: 액정층(액정)
 11j: 시일부
 17, 117, 217: 표시부용 TFT(표시부용 트랜지스터)
 19, 219: 게이트 배선(주사 신호선)
 26: 버퍼 회로부
 29, 229: 비표시부용 TFT(비표시부용 트랜지스터)
 29a, 229a: 제2 게이트 전극부(게이트 전극부)
 29b: 제2 소스 전극부(소스 전극부)
 29c: 제2 드레인 전극부(드레인 전극부)
 29d, 229d: 제2 채널부(산화물 반도체층)
 29d1: 제2 연장부(연장부)
 29e: 제2 보호부(보호막)

29e1, 29e2: 제2 개구부(개구부)

34: 제1 금속막(게이트 전극부)

36: 산화물 반도체층

37: 보호막

38: 제2 금속막(소스 전극부, 드레인 전극부)

39: 제1 층간 절연막(절연막)

39a: 하층측 제1 층간 절연막(하층측 절연막)

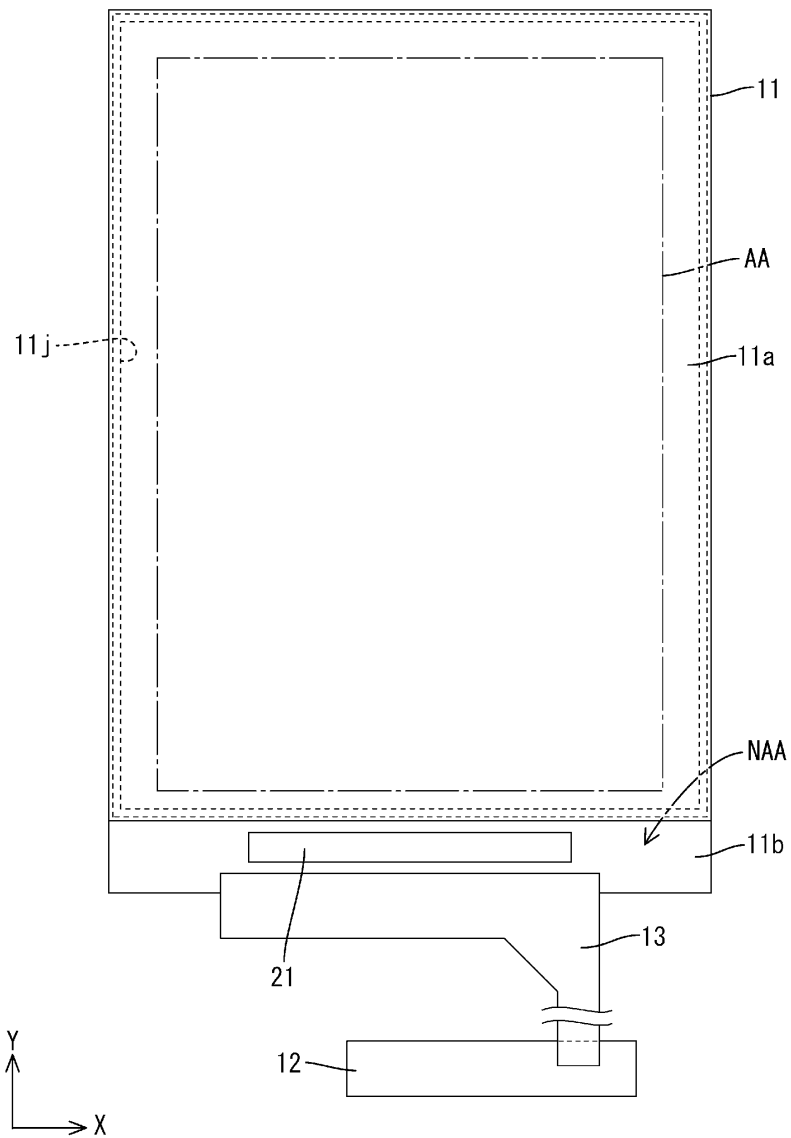
39b: 상층측 제1 층간 절연막(상층측 절연막)

AA: 표시부

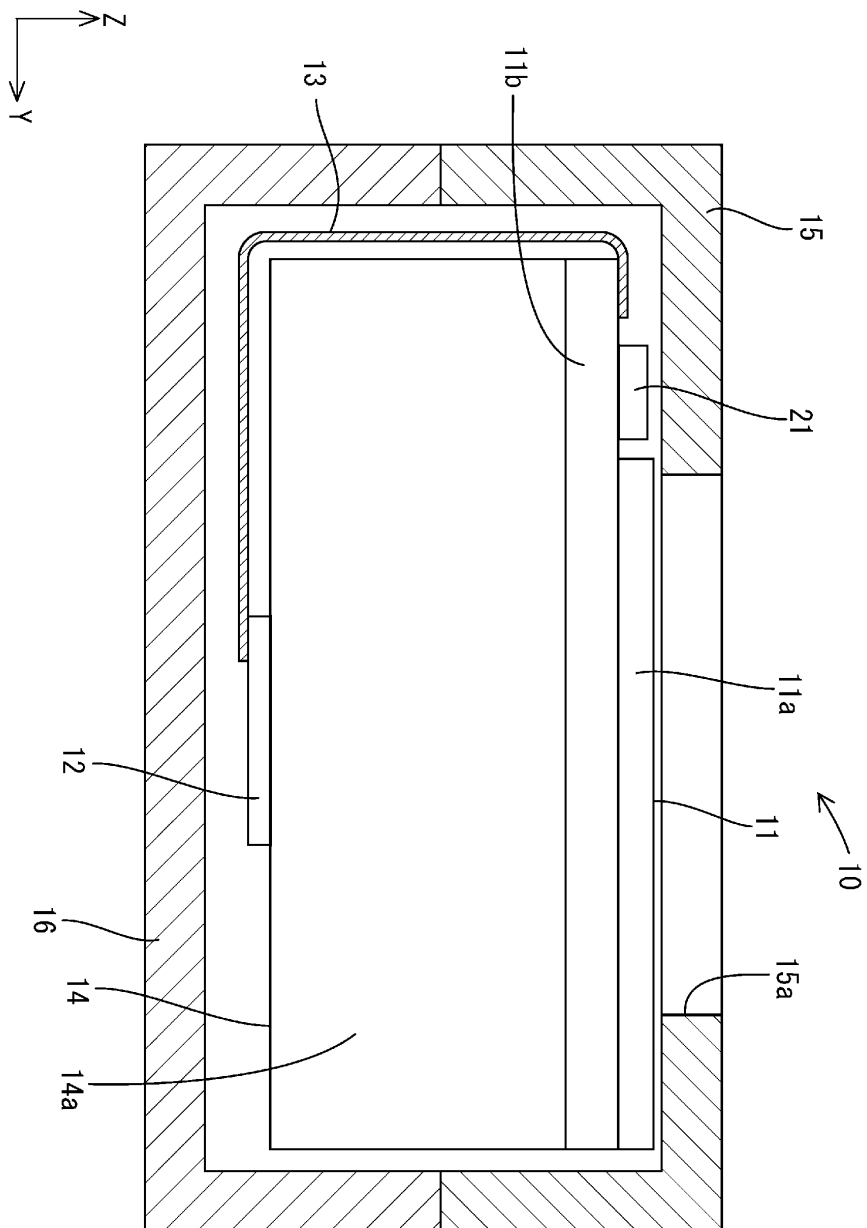
NAA: 비표시부

도면

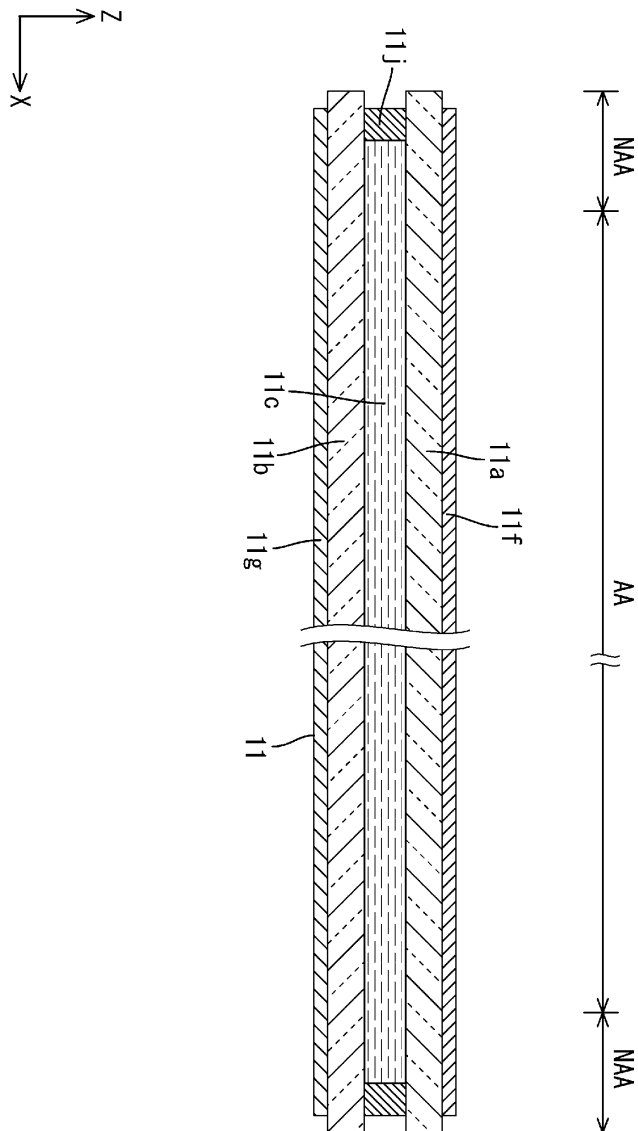
도면1



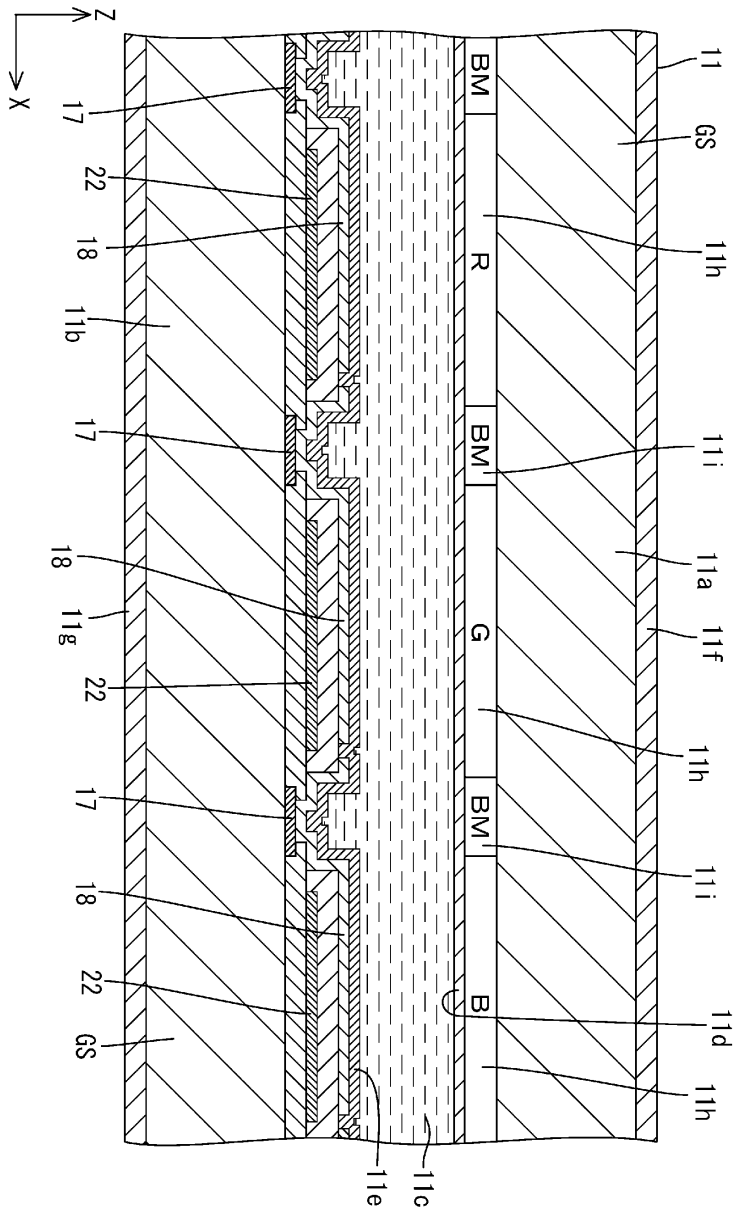
도면2



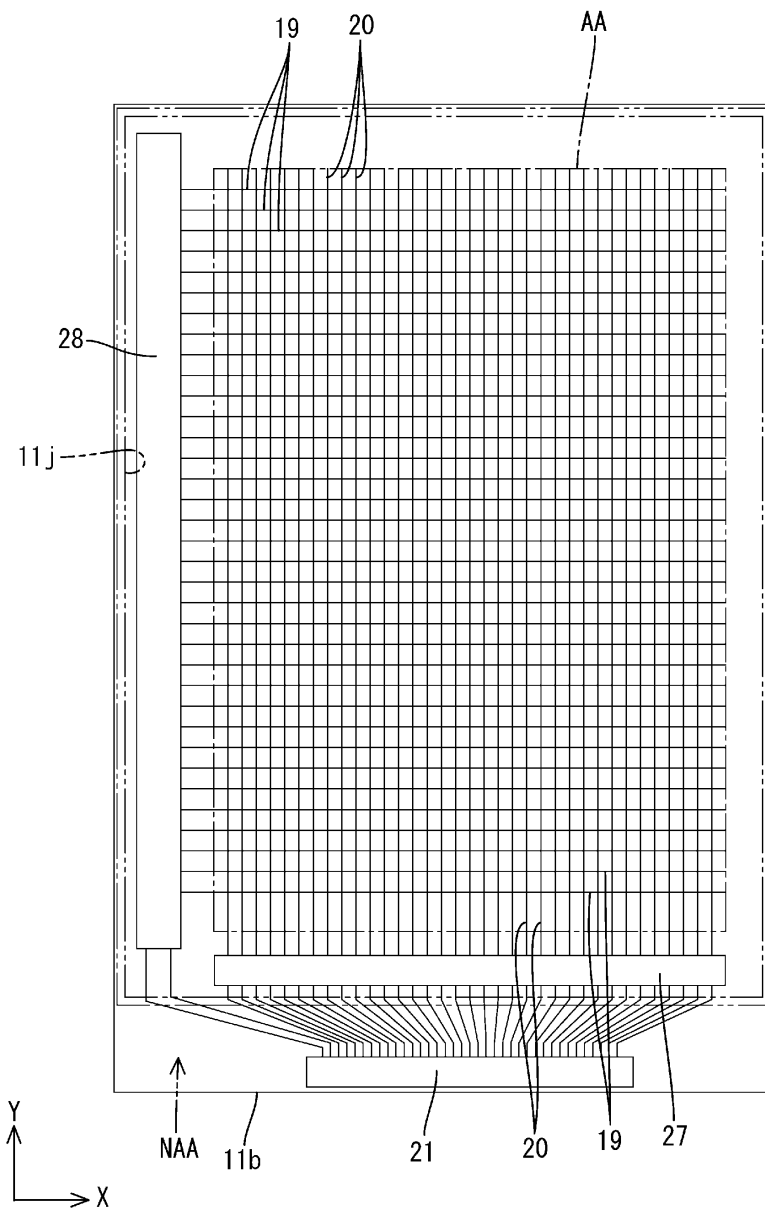
도면3



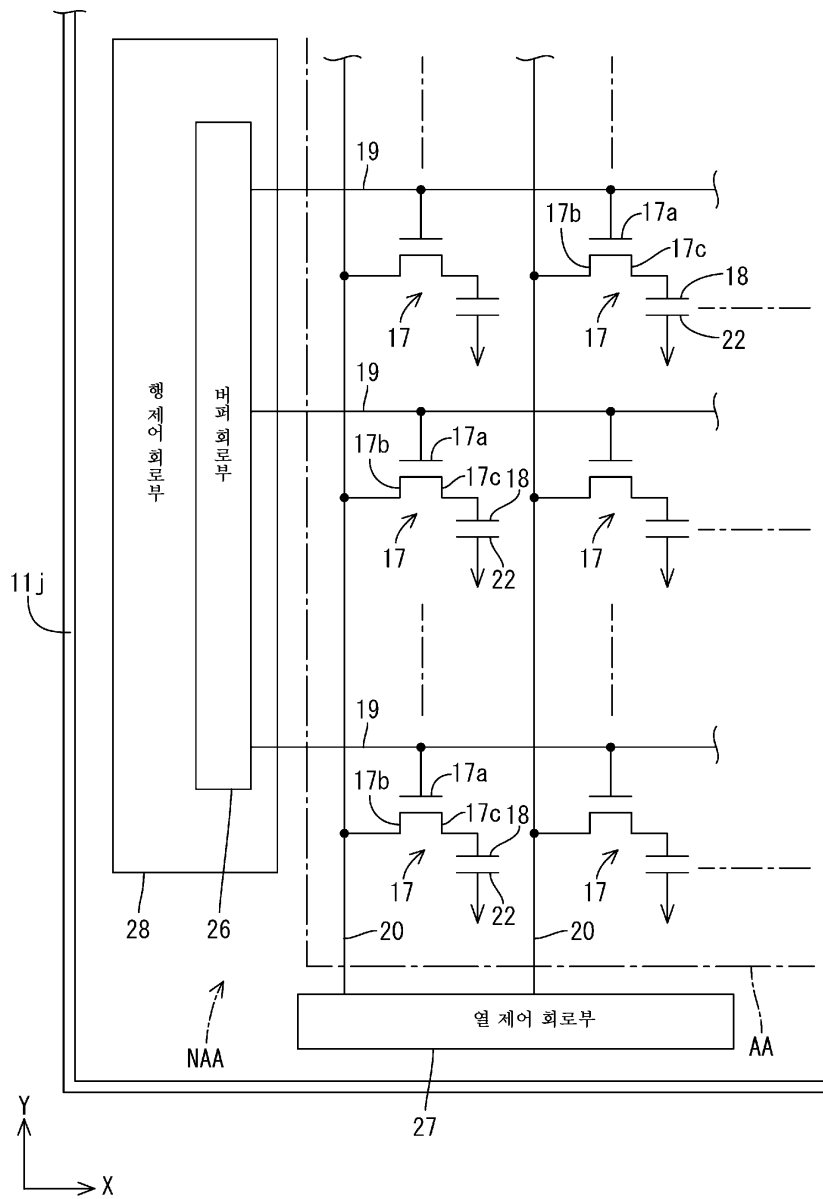
도면4



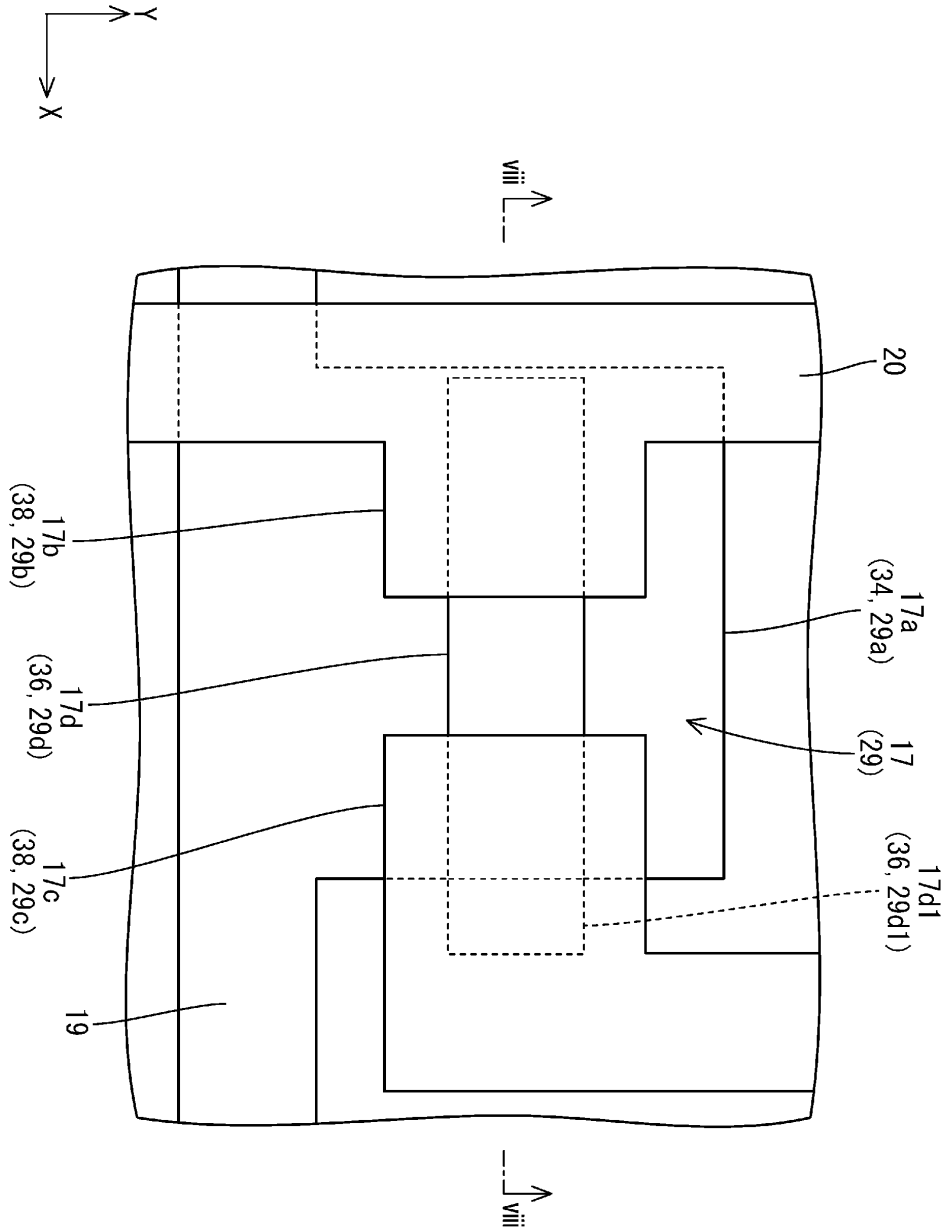
도면5



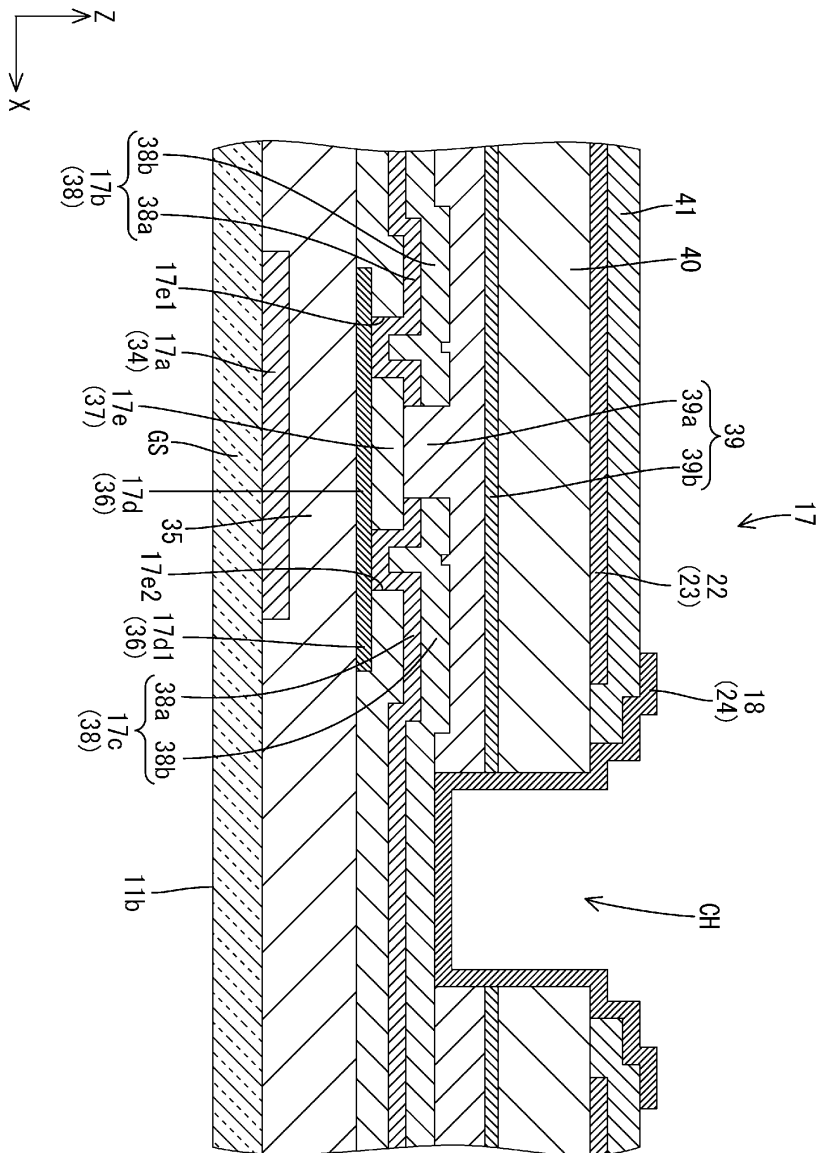
도면6



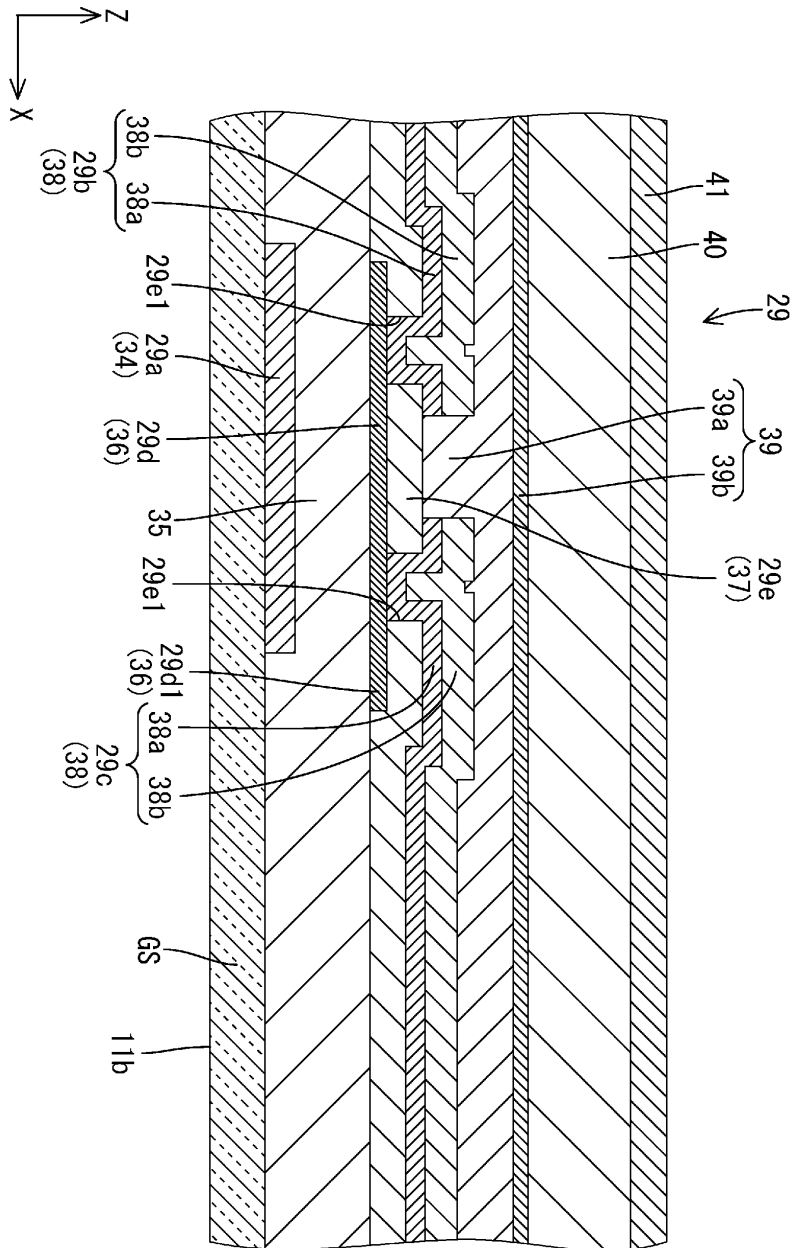
도면7



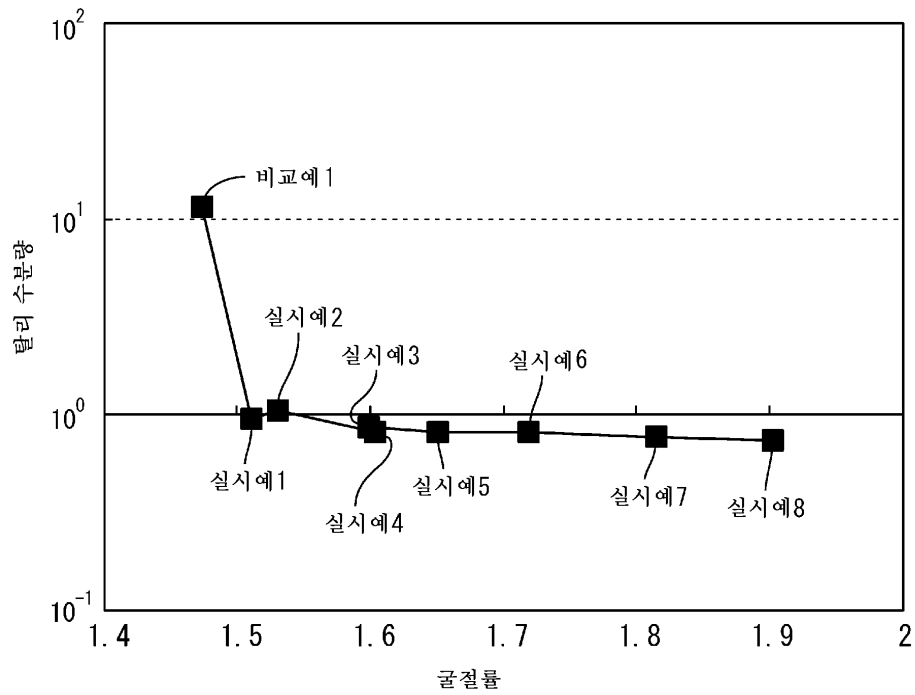
도면8



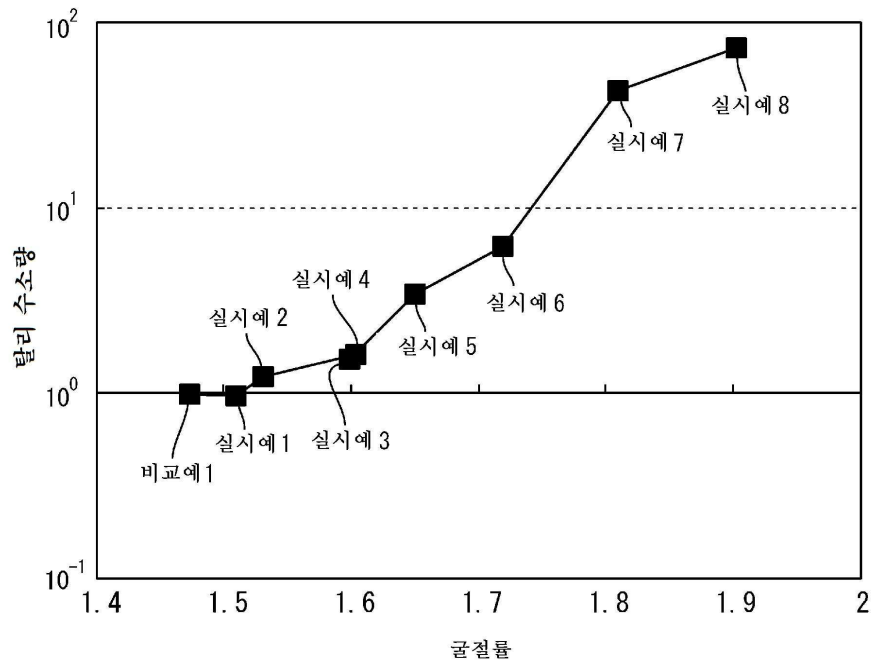
도면9



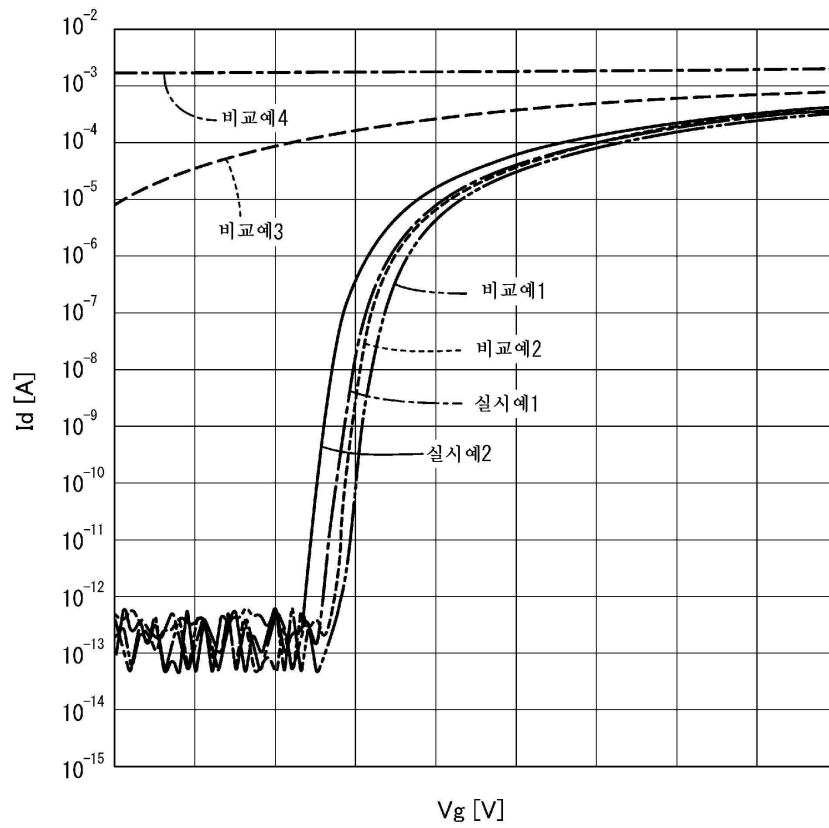
도면10



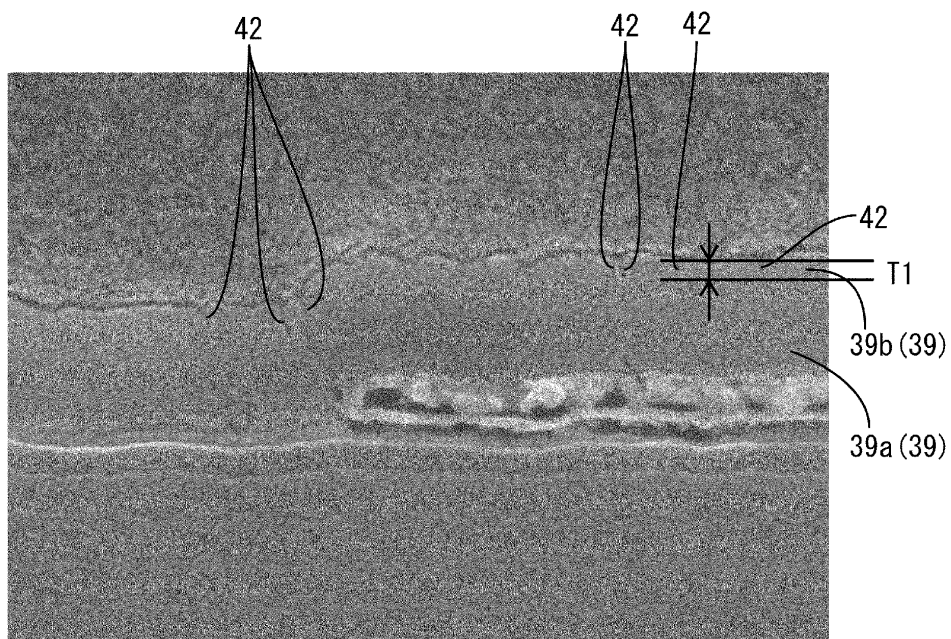
도면11



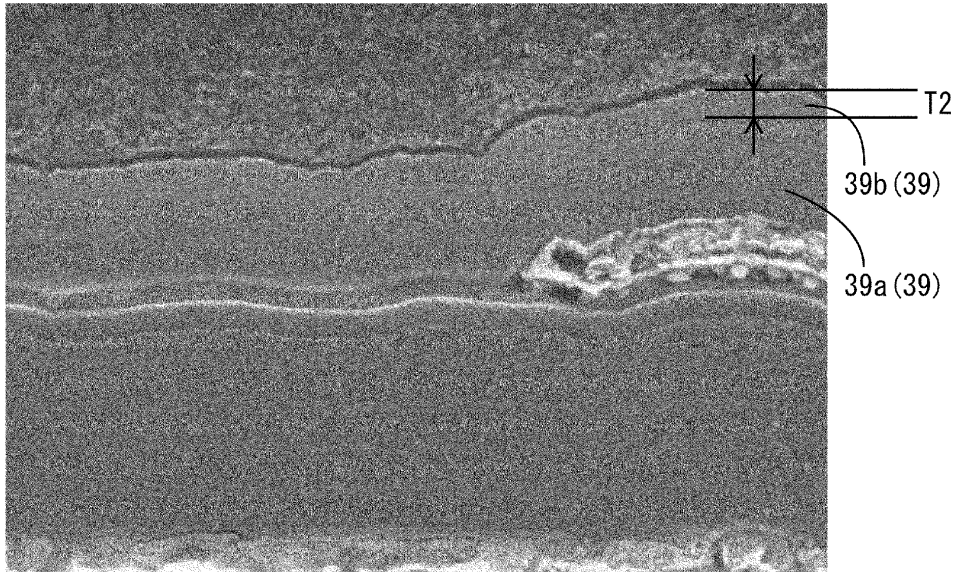
도면12



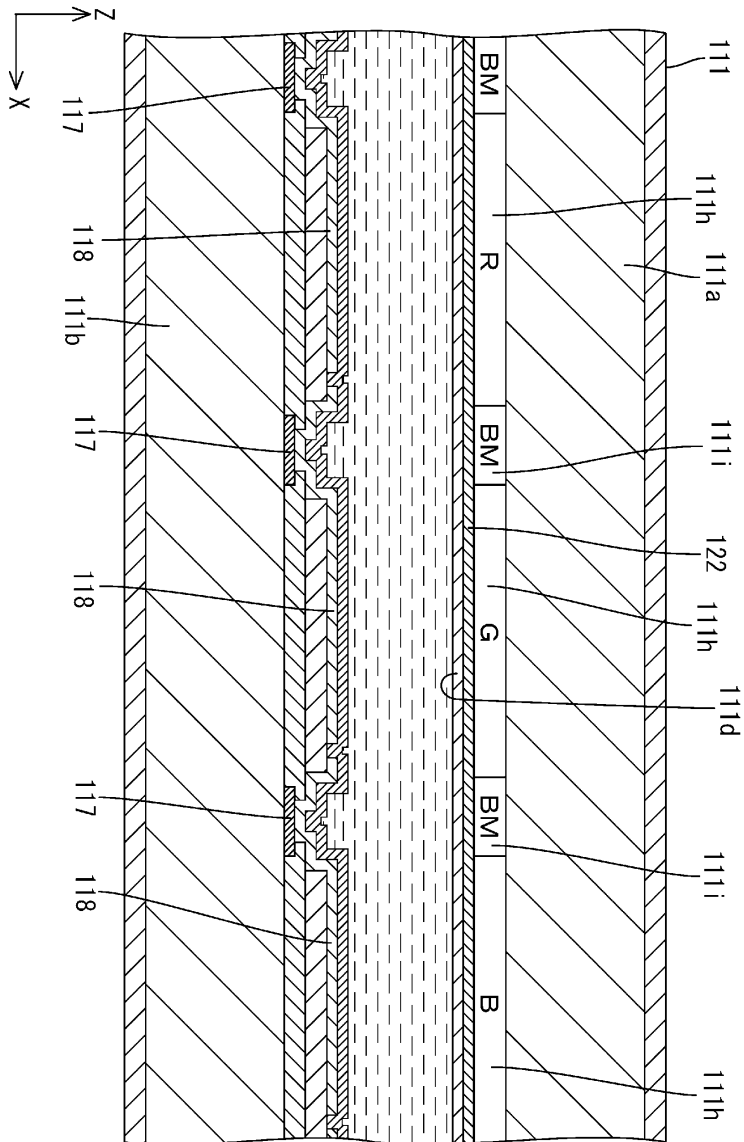
도면13



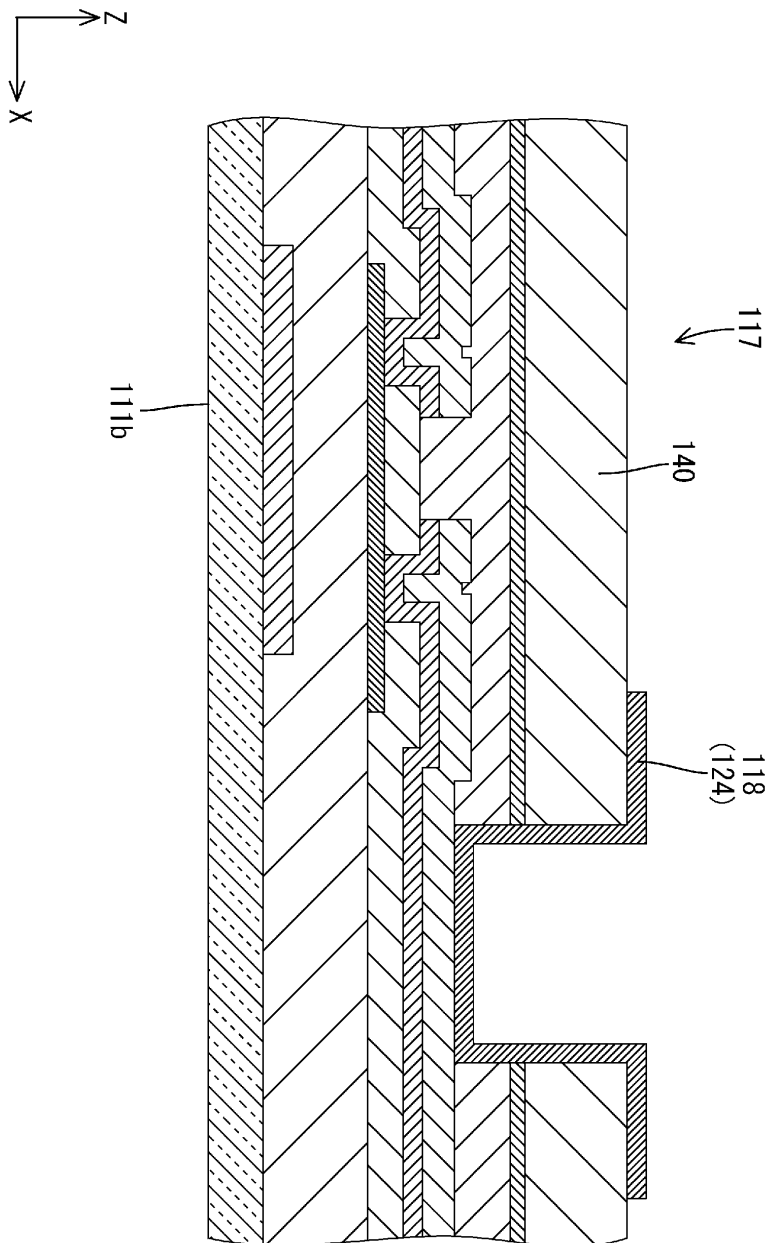
도면14



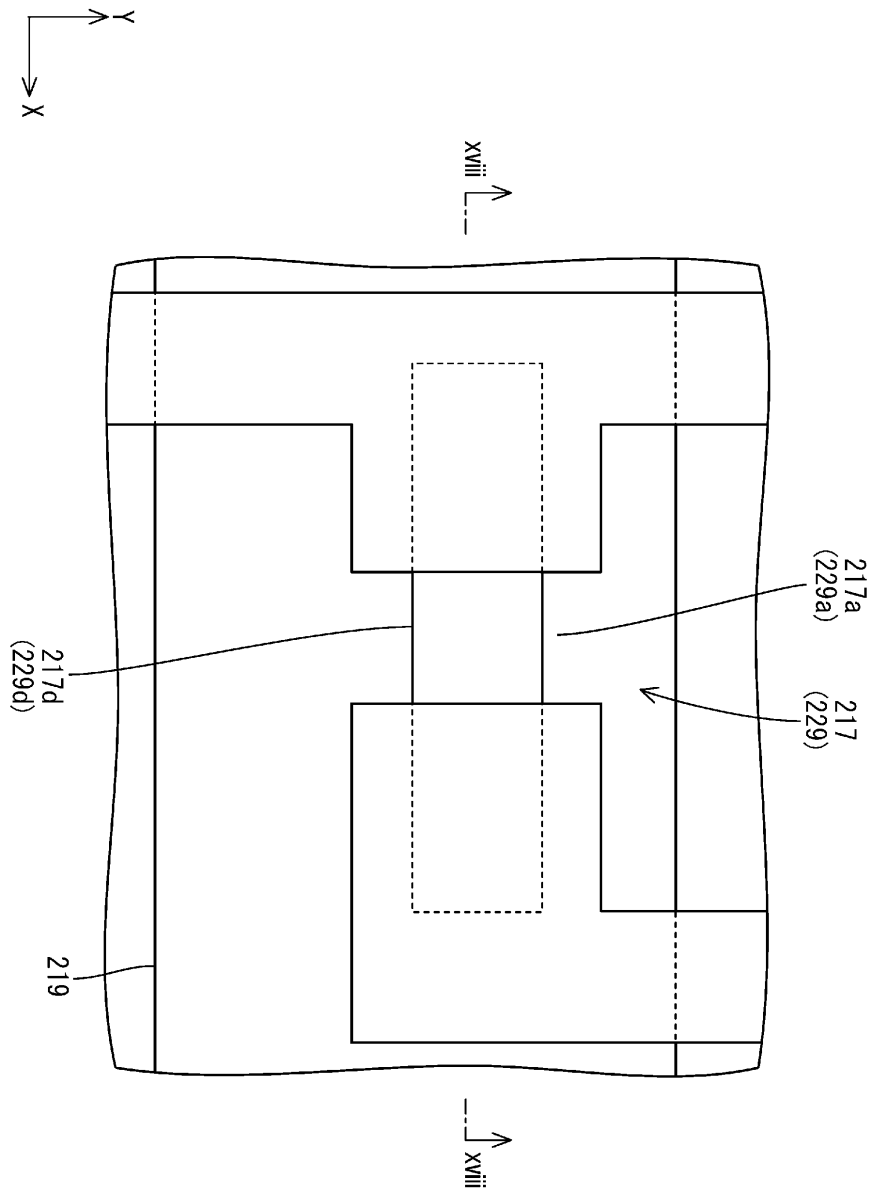
도면15



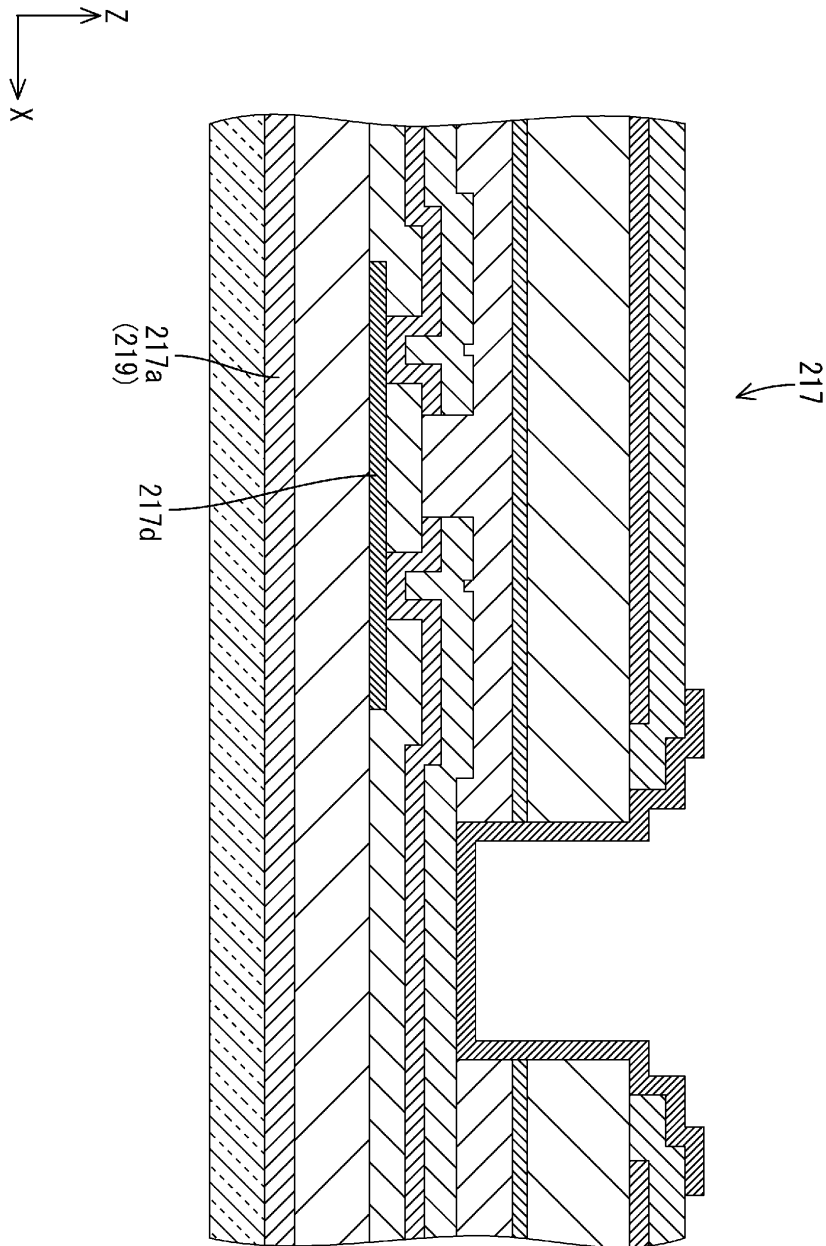
도면16



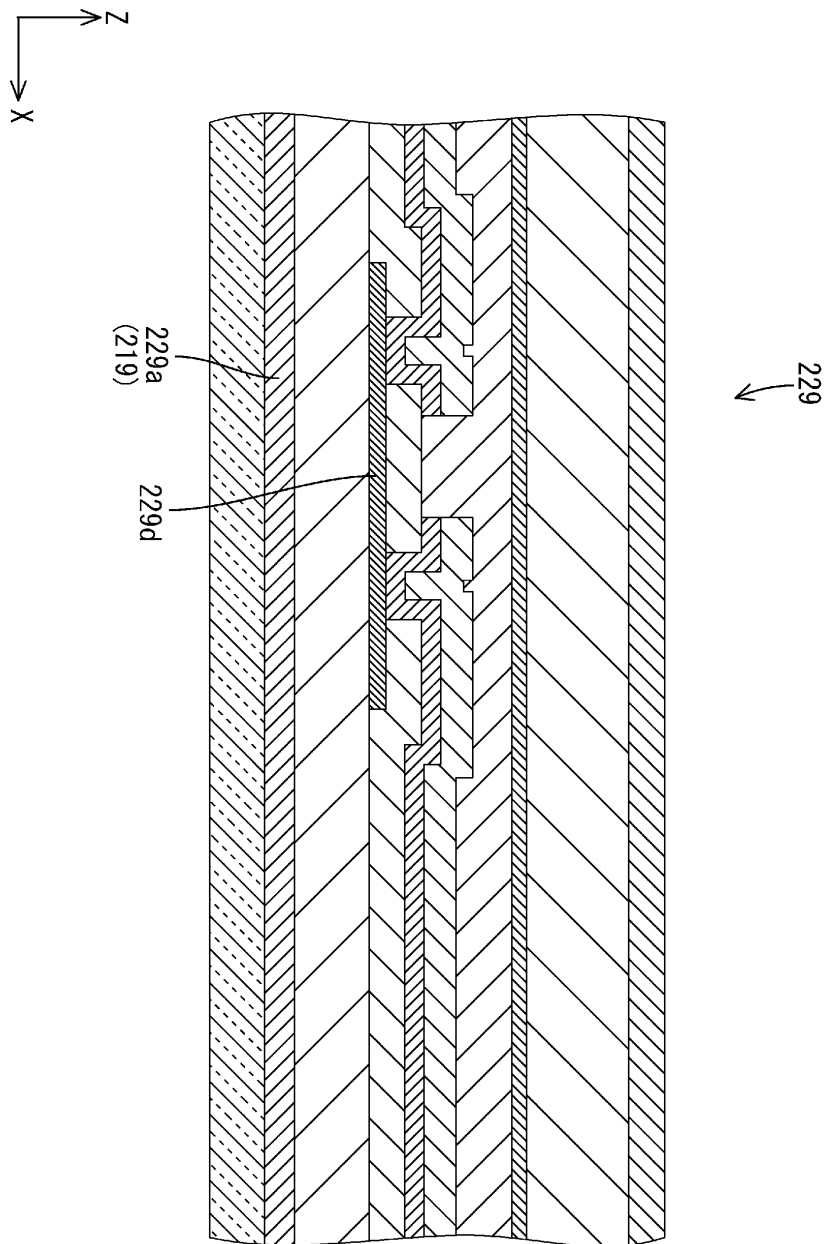
도면17



도면18



도면19



专利名称(译)	显示装置的标题		
公开(公告)号	KR1020150058386A	公开(公告)日	2015-05-28
申请号	KR1020157009815	申请日	2013-11-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	TAKANISHI YUDAI 다카니시유다이 HARA YOSHIHITO 하라요시히토 NAKATA YUKINOBU 나카타유키노부		
发明人	다카니시유다이 하라요시히토 나카타유키노부		
IPC分类号	G02F1/1368 G02F1/1362 G09G3/36 H01L27/12 H01L29/786		
CPC分类号	G02F1/1368 G02F1/136227 G02F1/136286 H01L27/1225 H01L27/124 H01L29/24 H01L29/45 H01L29/78606 H01L29/7869		
代理人(译)	CHANG, SOO KIL		
优先权	2012255514 2012-11-21 JP		
外部链接	Espacenet		

摘要(译)

液晶面板(11)具有:显示部分TFT(17),设置在阵列基板(11b)的显示部分(AA)上;非显示部分TFT(29),设置在非显示部分(NAA)上;构成非显示部分TFT(29)的第二栅电极部分(29a);第二沟道部分(29d),由氧化物半导体膜(36)形成;第二源电极部分(29b)连接到第二通道部分(29d);第二漏电极部分(29c)连接到第二通道部分(29d);和第一层间绝缘膜(39),其至少层叠在第二源电极部分(29b)和第二漏电极部分(29c)上。第一层间绝缘膜(39)具有层叠在其中的层叠结构:下层侧第一层间绝缘膜(39a),其相对地设置在下层侧,并且至少包含硅和氧;上层侧第一层间绝缘膜(39b),相对设置在上层侧,至少含有硅和氮,所述上层侧第一层间绝缘膜(39b)的膜厚在范围为35-75 nm。

