



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0036940

(43) 공개일자 2015년04월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2013-0116006

(22) 출원일자 2013년09월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김민주

서울 영등포구 선유로 207, 609동 1203호 (양평동3가, 양평동6차현대아파트)

노소영

경기 고양시 일산동구 무궁화로 8-28, 1214호 (장항동, 삼성메르헨하우스)

(뒷면에 계속)

(74) 대리인

특허법인로알

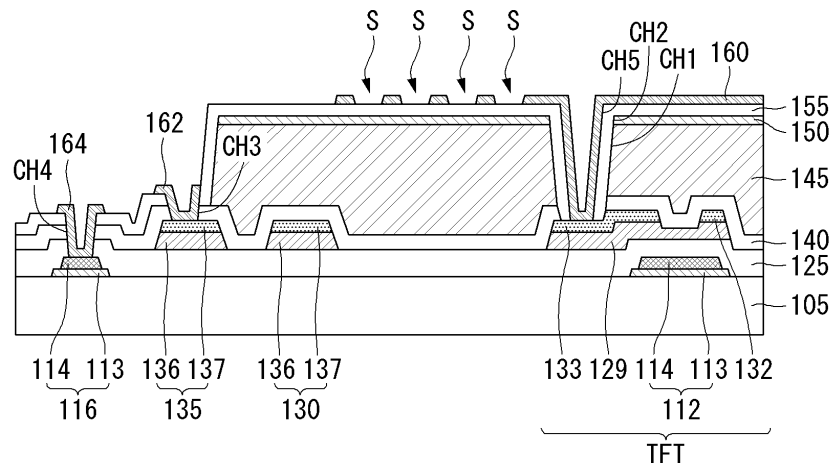
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 액정표시장치의 제조방법

(57) 요약

본 발명의 일 실시예에 따른 액정표시장치의 제조방법은 기판 상에 제1 마스크를 이용하여 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 제2 마스크를 이용하여 활성층, 소스 전극 및 드레인 전극을 형성하는 단계, 상기 활성층, 소스 전극 및 드레인 전극 상에 제1 보호막을 형성하는 단계, 상기 제1 보호막 상에 유기막과 투명전극층을 순차적으로 적층하고 제3 마스크를 이용하여 유기절연막과 공통 전극을 형성하는 단계, 상기 유기절연막과 공통 전극 상에 제2 보호막을 형성하고 제4 마스크를 이용하여 상기 드레인 전극을 노출시키는 단계, 및 상기 제2 보호막 상에 제5 마스크를 이용하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도 - 도3



(72) 발명자

김용일

충남 당진시 송악읍 여망길 19-4,

김태환

서울 양천구 중앙로49길 5-4, 401호 (신월동)

명세서

청구범위

청구항 1

기판 상에 제1 마스크를 이용하여 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 제2 마스크를 이용하여 활성층, 소스 전극 및 드레인 전극을 형성하는 단계;

상기 활성층, 소스 전극 및 드레인 전극 상에 제1 보호막을 형성하는 단계;

상기 제1 보호막 상에 유기막과 투명전극층을 순차적으로 적층하고 제3 마스크를 이용하여 유기절연막과 공통 전극을 형성하는 단계;

상기 유기절연막과 공통 전극 상에 제2 보호막을 형성하고 제4 마스크를 이용하여 상기 드레인 전극을 노출시키는 단계; 및

상기 제2 보호막 상에 제5 마스크를 이용하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 2

제1 항에 있어서,

상기 유기절연막과 공통 전극을 형성하는 단계는,

상기 투명전극층 상에 포토레지스트 패턴을 형성하는 단계;

상기 투명전극층을 식각하여 공통 전극을 형성하는 단계; 및

상기 유기막을 식각하여 유기절연막을 형성하는 단계;를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3

제2 항에 있어서,

상기 투명전극층의 식각은 습식식각을 이용하고, 상기 유기막의 식각은 건식식각을 이용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제3 항에 있어서,

상기 투명전극층을 식각할 시, 오버 식각(over etch)하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제3 항에 있어서,

상기 투명전극층을 식각한 후에 상기 유기막을 식각하는 것을 특징으로 하는 액정표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 횡전계형 액정표시장치에 관한 것으로, 보다 자세하게는 마스크의 개수를 저감하여 텍타임을 줄이고 생산성을 향상시킬 수 있는 액정표시장치의 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기관과 화소 전극이 형성된 어레이 기관과, 상기 두 기관 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다. 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.

[0004] 도 1a 내지 도 1e는 종래 횡전계형 액정표시장치의 제조방법을 공정별로 나타낸 단면도이다.

[0005] 도 1a를 참조하면, 기관(10) 상에 투명도전층(12)과 금속층(14)을 적층하고 제1 마스크로 패터닝하여, 게이트 패드전극(16)과 게이트 전극(18)을 형성한다. 이어, 도 1b를 참조하면, 기관(10) 상에 게이트 절연막(20)을 적층한 후, 활성층(22)과 금속층(24)을 적층하고 이들을 제2 마스크로 패터닝하여 활성층(21), 소스 전극(28), 드레인 전극(29), 데이터 패드전극(25) 및 데이터 라인(27)을 형성한다. 그리고, 도 1c를 참조하면, 기관(10) 상에 제1 보호막(30)을 적층하고, 제3 마스크로 패터닝하여 드레인 전극(28)을 노출하는 제1 콘택홀(CH1)을 형성하고, 이어, 유기막을 도포하고 제4 마스크로 패터닝하여 드레인 전극(28)을 노출하는 제1 콘택홀(CH1)을 가진 유기절연막(35)을 형성한다.

[0006] 이어, 도 1d를 참조하면, 유기절연막(35) 상에 투명도전물질을 적층하고 제5 마스크로 패터닝하여 공통 전극(45)을 형성한다. 이어, 도 1e를 참조하면, 기관(10) 상에 제2 보호막(50)을 형성하고, 제6 마스크로 패터닝하여 제2 콘택홀(CH2)을 노출하는 제3 콘택홀(CH3), 게이트 패드전극(16)을 노출하는 제4 콘택홀(CH4) 및 데이터 패드전극(27)을 노출하는 제5 콘택홀(CH5)을 형성한다. 마지막으로 기관(10) 상에 투명도전물질을 적층하고 제7 마스크로 패터닝하여 드레인 전극(28)과 연결된 화소 전극(60)을 형성하여 액정표시장치를 제조한다.

[0007] 전술한 종래 액정표시장치의 제조방법은 총 7매의 마스크가 사용되어 제조비용이 많이 들고 텍타임이 오래 소요되어 생산성이 낮은 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 마스크의 개수를 저감하여 텍타임을 줄이고 생산성을 향상시킬 수 있는 액정표시장치의 제조방법을 제공한다.

과제의 해결 수단

[0009] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법은 기관 상에 제1 마스크를 이용하여 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트

절연막 상에 제2 마스크를 이용하여 활성층, 소스 전극 및 드레인 전극을 형성하는 단계, 상기 활성층, 소스 전극 및 드레인 전극 상에 제1 보호막을 형성하는 단계, 상기 제1 보호막 상에 유기막과 투명전극층을 순차적으로 적층하고 제3 마스크를 이용하여 유기절연막과 공통 전극을 형성하는 단계, 상기 유기절연막과 공통 전극 상에 제2 보호막을 형성하고 제4 마스크를 이용하여 상기 드레인 전극을 노출시키는 단계, 및 상기 제2 보호막 상에 제5 마스크를 이용하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

- [0010] 상기 유기절연막과 공통 전극을 형성하는 단계는, 상기 투명전극층 상에 포토레지스트 패턴을 형성하는 단계, 상기 투명전극층을 식각하여 공통 전극을 형성하는 단계, 및 상기 유기막을 식각하여 유기절연막을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- [0011] 상기 투명전극층의 식각은 습식식각을 이용하고, 상기 유기막의 식각은 건식식각을 이용하는 것을 특징으로 한다.
- [0012] 상기 투명전극층을 식각할 시, 오버 식각(over etch)하는 것을 특징으로 한다.
- [0013] 상기 투명전극층을 식각한 후에 상기 유기막을 식각하는 것을 특징으로 한다.

발명의 효과

- [0014] 본 발명의 일 실시예에 따른 횡전계형 액정표시장치는 종래 7매의 마스크에서 2매의 마스크를 줄여 총 5매의 마스크로 제조된다. 따라서, 액정표시장치의 제조공정의 택타임을 줄이고 제조비용을 절감하여 생산성을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

- [0015] 도 1a 내지 도 1f는 종래 횡전계형 액정표시장치의 제조방법을 공정별로 나타낸 단면도.
- 도 2는 본 발명의 일 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도.
- 도 3은 본 발명의 일 실시예에 따른 횡전계형 액정표시장치를 나타낸 단면도.
- 도 4a 내지 도 4g는 본 발명의 횡전계형 액정표시장치의 제조방법을 공정별로 나타낸 도면.
- 도 5a 및 도 5b는 본 발명의 비교예에 따라 제조된 액정표시장치의 제1 및 제2 콘택홀 부분을 나타낸 SEM 이미지.
- 도 6a 및 도 6b는 본 발명의 실시예에 따라 제조된 액정표시장치의 제1 및 제2 콘택홀 부분을 나타낸 SEM 이미지.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예를 상세히 설명하면 다음과 같다.
- [0017] 도 2는 본 발명의 일 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도이고, 도 3은 본 발명의 일 실시예에 따른 횡전계형 액정표시장치를 나타낸 단면도이다. 하기에서는 설명의 편의를 위해 액정표시장치의 서브픽셀과 패드부의 일부를 도시하고 설명하기로 한다.
- [0018] 도 2를 참조하면, 본 발명의 실시 예에 따른 횡전계형 액정표시장치(100)는 기판(미도시) 상에 일 방향으로 배열된 게이트 라인(110), 상기 게이트 라인(110)과 인접하여 나란하게 배열된 공통 배선(120) 및 상기 게이트 라인(110)과 교차하여 복수의 서브픽셀(P)을 구획하는 데이터 라인(130)이 위치한다. 그리고, 서브픽셀(P)에서 상기 게이트 라인(110)과 데이터 라인(130)의 교차 영역에는 상기 게이트 라인(110)으로 이루어진 게이트 전극(112)이 위치하고, 데이터 라인(130)으로부터 연장된 소스 전극(132)과 소스 전극(132)으로부터 이격된 드레인 전극(133)이 위치한다.
- [0019] 그리고, 상기 서브픽셀(P) 내에 상기 드레인 전극(133)과 연결되며, 상기 공통 배선(120)과 중첩하는 화소 전극(160)이 위치한다. 화소 전극(160)은 서브픽셀(P) 내에서 복수의 슬릿(S)들을 구비하는 판상으로 이루어진다.

상기 공통 배선(120)과 중첩하는 화소 전극(160)은 공통 배선(120)과 스토리지 캐패시터(Cst)를 이룬다. 서브픽셀(P)의 화소 전극(160)과 중첩되는 공통 전극(150)이 위치한다. 공통 전극(150)은 공통 배선(120)과 연결되고 판상으로 이루어진다. 이렇게 구성된 액정표시장치(100)는 화소 전극(160)과 공통 전극(150) 사이에 수평 및 수직 전계를 형성하여 액정을 구동시킨다.

[0020] 보다 자세하게, 보다 자세하게, 본 발명의 일 실시예에 따른 횡전계형 액정표시장치의 구조를 도 3을 참조하여 설명하면 다음과 같다.

[0021] 도 3을 참조하면, 본 발명에 일 실시예에 따른 횡전계형 액정표시장치(100)는 기판(105) 상에 게이트 전극(112) 및 게이트 패드전극(116)이 위치한다. 게이트 전극(112)과 게이트 패드전극(116)은 투명도전층(113)과 제1 금속층(114)의 2층으로 이루어진다. 여기서, 투명도전층(113)은 ITO, IZO 및 ITZO 중 선택된 어느 하나로 이루어지며, 제1 금속층(114)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 금(Au) 및 티타늄(Ti) 중 선택된 어느 하나로 이루어진다.

[0022] 상기 게이트 전극(112) 및 게이트 패드전극(116) 상에 이들을 절연시키는 게이트 절연막(125)이 위치하고, 게이트 절연막(125) 상에 활성층(129)이 위치한다. 그리고, 활성층(129)에 각각 접속되는 소스 전극(132) 및 드레인 전극(133)이 위치하고, 일측에 데이터 라인(130)과 데이터 패드전극(135)이 위치한다. 데이터 라인(130)과 데이터 패드전극(135)은 반도체층(136)과 제2 금속층(137)의 2층으로 이루어진다. 여기서, 반도체층(136)은 비정질 실리콘, 다결정 실리콘 또는 금속산화물 중 선택된 어느 하나로 이루어지며, 제2 금속층(137)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 금(Au) 및 티타늄(Ti) 중 선택된 어느 하나로 이루어진다. 따라서, 활성층(129), 소스 전극(132), 드레인 전극(133) 및 게이트 전극(110)을 포함하는 박막트랜지스터(TFT)를 구성한다.

[0023] 박막트랜지스터(TFT) 상에 제1 보호막(140)이 위치하고, 제1 보호막(140) 상에 유기절연막(145)이 드레인 전극(133)을 노출하는 제1 콘택홀(CH1)을 가지고 위치한다. 유기절연막(145) 상에 공통 전극(150)이 위치한다. 공통 전극(150)은 제1 콘택홀(CH1)을 노출하는 제2 콘택홀(CH2)을 가지고 판상형으로 이루어진다. 공통 전극(150)은 빛을 투과시키는 투명한 전극으로 ITO, IZO 및 ITZO 중 선택된 어느 하나로 이루어진다. 공통 전극(150)을 절연시키는 제2 보호막(155)이 위치한다. 제2 보호막(155) 상에 화소 전극(160), 데이터 패드(162) 및 게이트 패드(164)가 위치한다. 화소 전극(160), 데이터 패드(162) 및 게이트 패드(164)는 공통 전극(150)과 동일하게 투명한 전극으로 ITO, IZO 및 ITZO 중 선택된 어느 하나로 이루어진다. 데이터 패드(162)는 제3 콘택홀(CH3)을 통해 데이터 패드전극(135)과 연결되고, 게이트 패드(164)는 제4 콘택홀(CH4)을 통해 게이트 패드전극(116)과 연결된다. 또한, 화소 전극(160)은 드레인 전극(133)을 노출하는 제5 콘택홀(CH5)을 통해 드레인 전극(133)과 연결된다. 따라서, 상하로 위치한 화소 전극(160)과 공통 전극(150)은 수평 및 수직 전계를 형성한다.

[0024] 이하, 본 발명의 일 실시예에 따른 횡전계형 액정표시장치의 제조방법을 설명하면 다음과 같다. 하기에서는 전술한 도 3의 구조에 따른 횡전계형 액정표시장치의 제조방법을 예로 설명한다.

[0025] 도 4a 내지 도 4g는 본 발명의 횡전계형 액정표시장치의 제조방법을 공정별로 나타낸 도면이다.

[0026] 도 4a를 참조하면, 본 발명의 일 실시예에 따른 횡전계형 액정표시장치의 제조방법은 기판(105) 상에 투명한 도전물질 예를 들어 ITO, IZO 및 ITZO 중 선택된 어느 하나를 증착하고, 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti) 및 금(Au) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 제1 마스크를 이용하여 상기 투명도전물질 및 금속물질을 패터닝하여 투명도전층(113)과 제1 금속층(114)의 2층으로 이루어진 게이트 전극(112) 및 게이트 패드전극(116)을 형성한다. 이때, 투명도전물질 및 금속물질을 동일하게 패터닝하여 게이트 전극(112) 및 게이트 패드전극(116)을 형성한다. 본 실시예에서는 투명도전층(113)이 하부에 위치하고, 제1 금속층(114)이 상부에 위치하는 것으로 설명하였지만, 이와는 달리, 투명도전층(113)이 상부에 위치하고, 제1 금속층(114)이 하부에 위치하게 형성할 수도 있다.

[0027] 이어, 도 4b를 참조하면, 게이트 전극(112) 및 게이트 패드전극(116)이 형성된 기판(105) 상에 무기 절연물질 예를 들면 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(125)을 형성한다. 다음, 게이트 절연막(125)이 형성된 기판(105) 상에 비정질 실리콘, 비정질 실리콘을 결정화한 다결정 실리콘 또는 금속산화물을 적층하고, 그 상부에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 크롬(Cr), 몰리브덴(Mo) 및 티타늄(Ti) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 하프톤 마스크인 제2 마스크를 이용하여 이들을 동시에 패터닝하여, 활성층(129), 소스 전극(132), 데이터 전극(133), 데이터 라인(130) 및 데이터 패드전극(135)을 형성한다. 이때, 데이터 라인(130) 및 데이터 패드전극(135)은 반도체

체층(136)과 제2 금속층(137)의 2층으로 형성된다. 활성층(129), 소스 전극(132) 및 드레인 전극(133)은 회절 노광되어 그 크기가 상이하나, 활성층(129)은 반도체층(136)의 단일층으로 형성되고, 소스 전극(132)과 드레인 전극(133)은 제2 금속층(137)의 단일층으로 형성된다. 따라서, 게이트 전극(112), 활성층(129), 소스 전극(132) 및 드레인 전극(133)을 포함하는 박막트랜지스터(TFT)가 형성된다.

[0028]

다음, 도 4c를 참조하면, 상기 박막트랜지스터(TFT)가 형성된 기판(105) 전면에 무기절연물질 예를 들면 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 제1 보호막(140)을 형성한다. 이어, 제1 보호막(140)이 형성된 기판(105) 전면에 유기절연물질을 도포하여 유기막(141)을 형성한다. 유기막(141)은 예를 들면, 포토아크릴(photo acryl, PAC), 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA), 폴리아크릴로니트릴(PAN), 폴리아미드(polyamide), 폴리이미드(polyimide), 폴리아릴에테르(polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 불소계 고분자, 에폭시 수지(epoxy resin), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 실록세인계 수지(siloxane series resin) 및 실란 수지(silane) 중 선택된 어느 하나로 이루어지나 이에 한정되지 않으며 고투명 및 저유전율을 가진 유기절연물질이라면 어떠한 것도 사용이 가능하다. 이어, 유기막(141)이 형성된 기판(105) 전면에 투명도전물질을 증착하여 투명전극층(142)을 형성한다. 투명전극층(142)은 IT0, IZO 및 ITZO 중 선택된 어느 하나로 이루어진다. 다음, 투명전극층(142)이 형성된 기판(105) 상에 포토레지스트(photoresist, PR)를 도포하고 제3 마스크로 포토레지스트를 패터닝하여 포토레지스트 패턴(143)을 형성한다. 이때, 포토레지스트 패턴(143)은 공통 전극이 형성될 위치에 남아있게 된다.

[0029]

다음, 도 4d를 참조하면, 포토레지스트 패턴(143)을 마스크로 하여 노출된 투명전극층(142)을 습식식각(wet etch)하여 공통 전극(150)을 형성한다. 이때, 습식식각의 특성 상 공통 전극(150)은 포토레지스트 패턴(143)보다 작은 크기로 형성되므로, 공정에서 이 마진을 고려하여 포토레지스트 패턴(143)을 형성한다. 또한, 공통 전극(150)에 박막트랜지스터(TFT)의 드레인 전극(133)에 대응되는 영역에 제2 콘택홀(CH2)이 형성되고

[0030]

이어, 도 4e를 참조하면, 습식식각이 완료되면 포토레지스트 패턴(143)을 마스크로 하여 노출된 유기막(141)을 건식식각(dry etch)하여 유기절연막(145)을 형성한다. 이때, 유기막(141)만을 선택적으로 건식식각하는 것이 어려울 수 있으므로 유기막(141) 일부를 남기거나 하부 제1 보호막(140)의 일부를 함께 식각할 수 있다. 또한, 유기막(141)을 건식식각하면 유기막(141) 상에 위치한 공통 전극(150)의 역테이퍼(reverse taper) 형상으로 식각될 여지가 있으므로 공통 전극(150)을 습식식각할 때 오버 식각(over etch)하여 공통 전극(150)이 정테이퍼(right taper) 형상으로 형성되도록 한다. 이때, 유기절연막(145)에 박막트랜지스터(TFT)의 드레인 전극(133)에 대응되는 영역에 제1 콘택홀(CH1)이 형성되고, 게이트 패드전극(116)과 데이터 패드전극(135)이 위치하는 패드부를 노출한다. 전술한 습식식각 및 건식식각이 모두 완료되면 포토레지스트 패턴(143)을 스트립(strip)하여 제거한다. 따라서, 투명전극층의 건식식각에 의해 공통 전극(150)이 형성되고, 유기막의 습식식각에 의해 유기절연막(145)이 형성된다.

[0031]

다음, 도 4f를 참조하면, 공통 전극(150)과 유기절연막(145)이 형성된 기판(105) 상에 무기 절연물질 예를 들면 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 제2 보호막(155)을 형성한다. 이어, 제4 마스크를 이용하여 상기 제2 보호막(155)과 제1 보호막(140)을 건식식각하여, 데이터 패드전극(135)을 노출하는 제3 콘택홀(CH3), 게이트 패드전극(116)을 노출하는 제4 콘택홀(CH4) 및 박막트랜지스터(TFT)의 드레인 전극(133)을 노출하는 제5 콘택홀(CH5)을 형성한다. 이때, 제4 콘택홀(CH4)의 경우 게이트 절연막(125)도 함께 건식식각한다.

[0032]

이어, 도 4g를 참조하면, 제3 내지 제5 콘택홀(CH3, CH4, CH5)이 형성된 기판(105) 전면 상에 IT0, IZO 및 ITZO 중 선택된 어느 하나인 투명도전물질을 증착하고 제5 마스크로 패터닝하여 화소 전극(160), 데이터 패드(162) 및 게이트 패드(164)를 형성한다. 이때, 화소 전극(160)은 복수의 슬릿(S)들이 형성되고 제5 콘택홀(CH5)을 통해 박막트랜지스터(TFT)의 드레인 전극(133)에 연결된다. 또한, 데이터 패드(162)는 제3 콘택홀(CH3)을 통해 데이터 패드전극(135)과 연결되고, 게이트 패드(164)는 제4 콘택홀(CH4)을 통해 게이트 패드전극(116)과 연결된다. 따라서, 본 발명의 일 실시예에 따른 횡전계형 액정표시장치(100)가 제조된다.

[0033]

상기와 같이, 본 발명의 일 실시예에 따른 횡전계형 액정표시장치는 종래 7매의 마스크에서 2매의 마스크를 줄여 총 5매의 마스크로 제조된다. 따라서, 액정표시장치의 제조공정의 텍타임을 줄이고 제조비용을 절감하여 생산성을 향상시킬 수 있는 이점이 있다.

[0034]

도 5a 및 도 5b는 본 발명의 비교예에 따라 제조된 액정표시장치의 제1 및 제2 콘택홀 부분을 나타낸 SEM 이미지이고, 도 6a 및 도 6b는 본 발명의 실시예에 따라 제조된 액정표시장치의 제1 및 제2 콘택홀 부분을 나타낸 SEM 이미지이다.

[0035] 본 발명의 비교예는 전술한 제조 공정 중 투명 전극층을 오버 식각하지 않고 공통 전극과 제2 콘택홀을 형성하고 이어 유기막을 습식식각하여 유기절연막과 제1 콘택홀을 형성하였다. 반면, 본 발명의 실시예는 투명 전극층을 오버 식각하여 공통 전극과 제2 콘택홀을 형성하였다.

[0036] 도 5a 및 도 5b를 참조하면, 본 발명의 비교예에 따라 제조된 액정표시장치는 ITO로 표시되는 공통 전극의 형상이 끝단이 돌출된 역테이퍼로 형성된 것을 확인하였다. 반면, 도 6a 및 도 6b를 참조하면, 본 발명의 실시예에 따라 제조된 액정표시장치는 공통 전극이 정테이퍼로 형성되었고, 하부의 보호막의 스텝 커버리지(step coverage)가 양호하며 테이퍼 또한 양호하게 형성된 것을 확인하였다.

[0037] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0038]

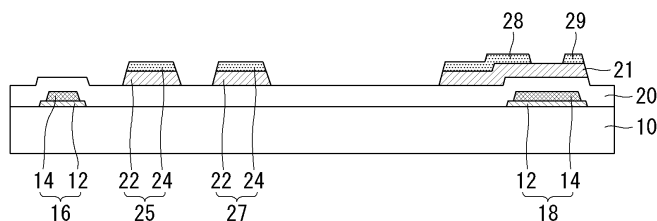
105 : 기관	112 : 게이트 전극
125 : 게이트 절연막	129 : 활성층
132 : 소스 전극	133 : 드레인 전극
140 : 제1 보호막	145 : 유기절연막
150 : 공통 전극	155 : 제2 보호막
160 : 화소 전극	

도면

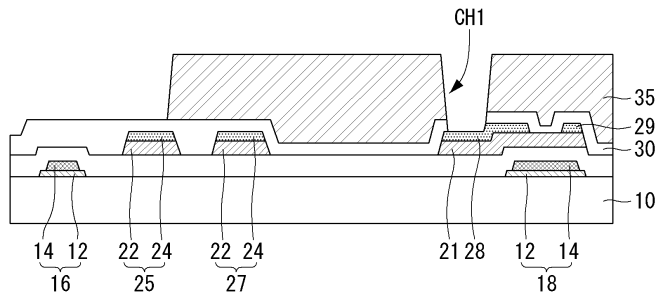
도면1a



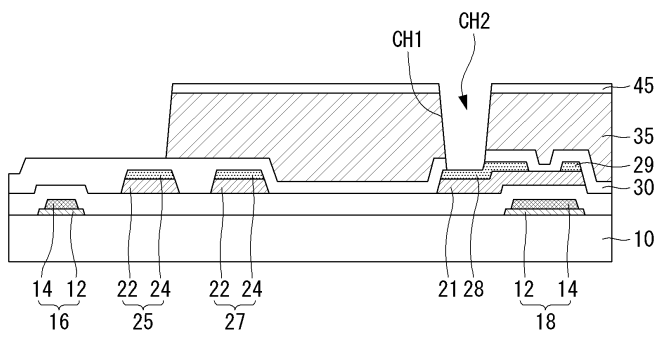
도면1b



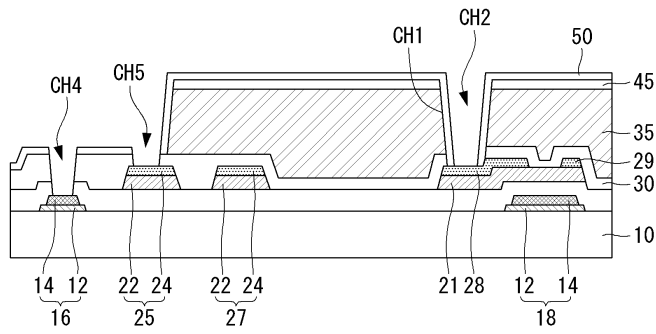
도면1c



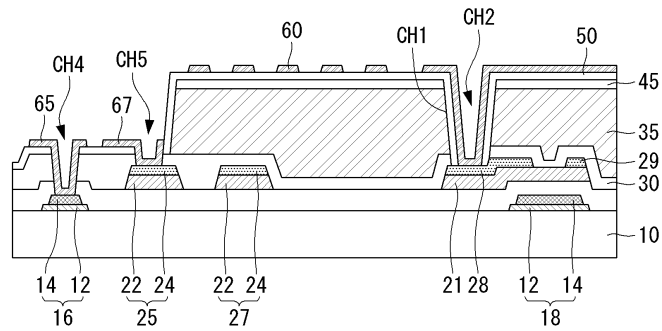
도면1d



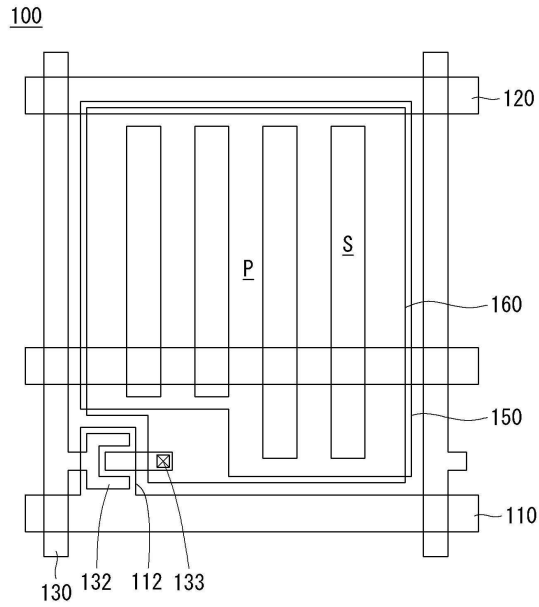
도면1e



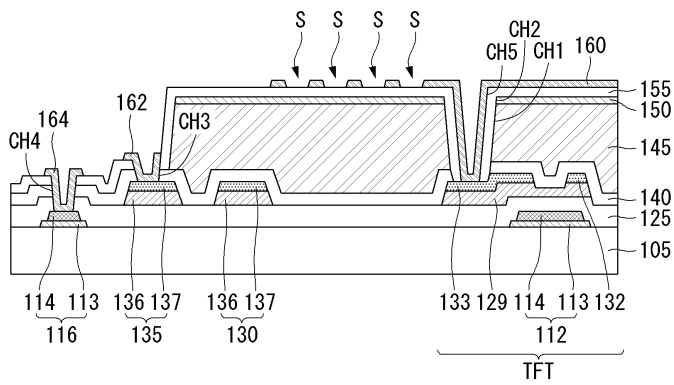
도면1f



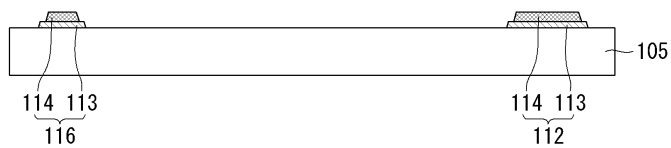
도면2



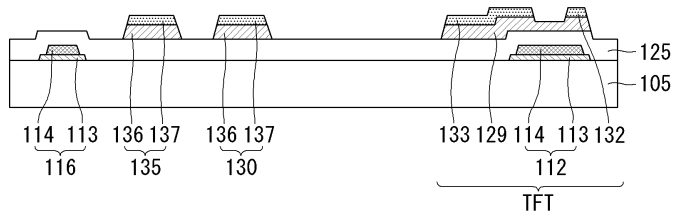
도면3



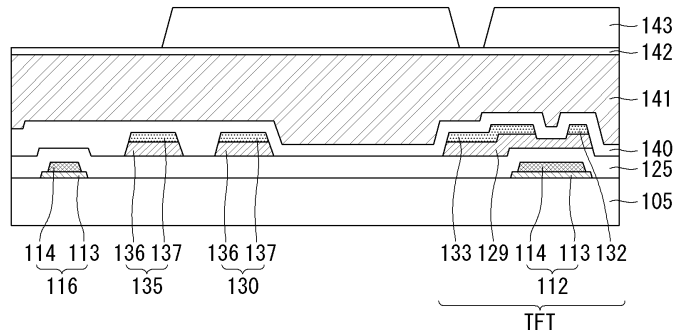
도면4a



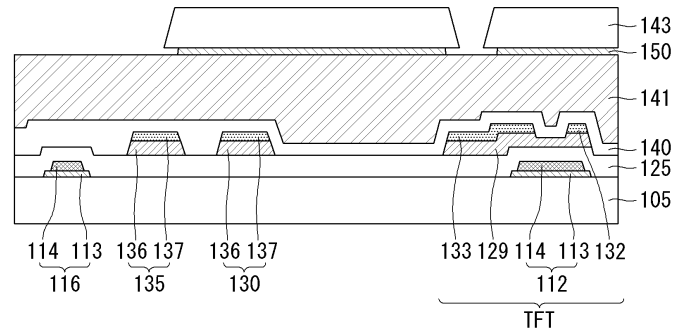
도면4b



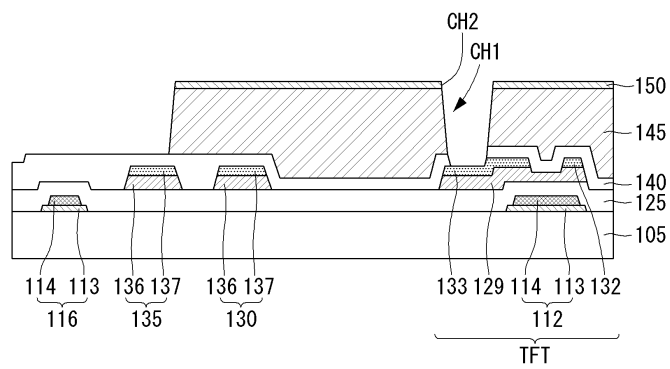
도면4c



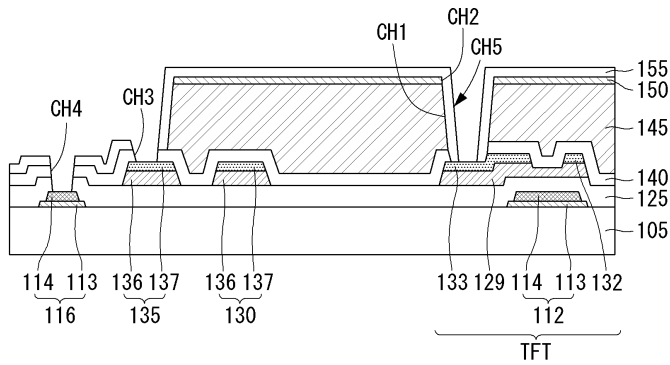
도면4d



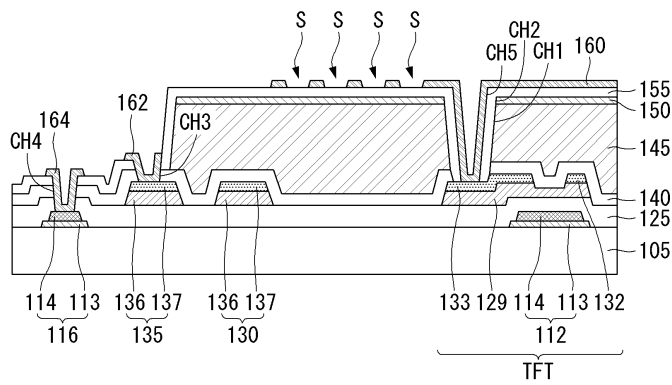
도면4e



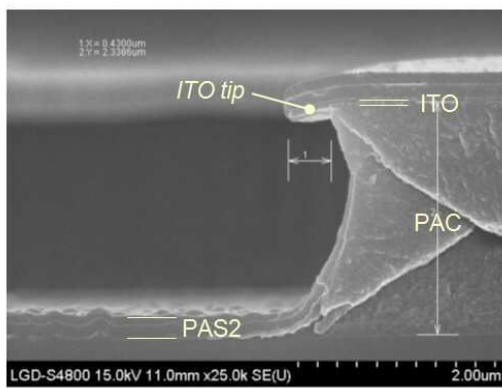
도면4f



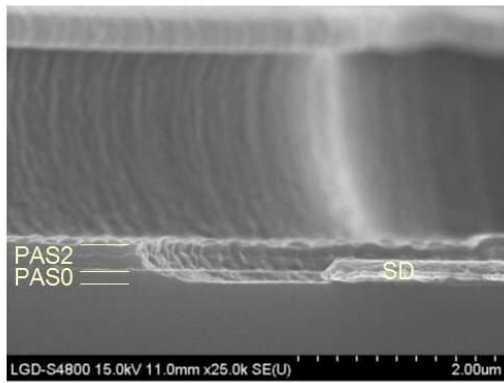
도면4g



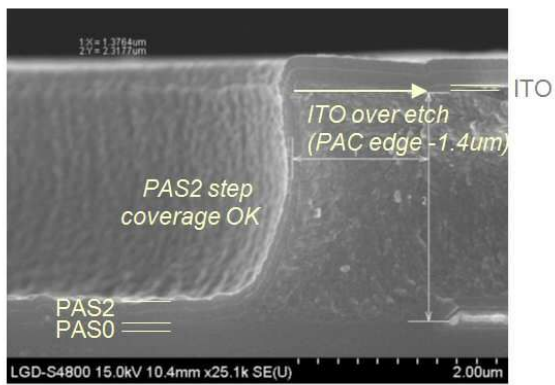
도면5a



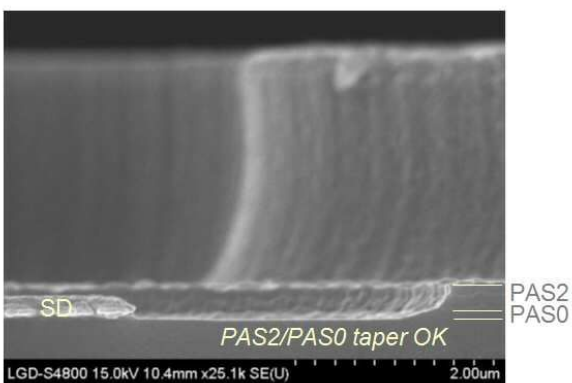
도면5b



도면6a



도면6b



公开的液晶显示器包括具有栅电极的基板，栅极绝缘膜，有源层，源电极，漏电极和形成在基板上的第一钝化膜。使用单个掩模在第一钝化膜上形成具有第一接触孔和具有第二接触孔的公共电极的有机绝缘膜。显示器还包括在公共电极上的第二钝化膜，以及在第二钝化膜上的像素电极，并且通过第二钝化膜经由接触孔连接到漏电极。与有机绝缘膜的侧边缘相邻的有机绝缘膜的顶表面未被公共电极覆盖。

