



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0077439
(43) 공개일자 2013년07월09일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2011-0146149
(22) 출원일자 2011년12월29일
심사청구일자 2011년12월29일
(71) 출원인
하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이희규
서울특별시 은평구 응암3동 339-17
(74) 대리인
나승택, 조영현

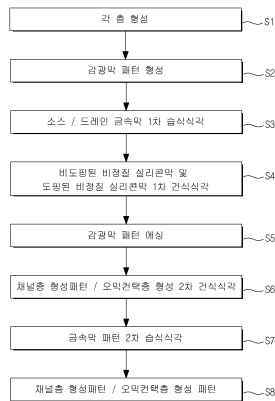
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 표시장치용 박막트랜지스터 제조방법

(57) 요약

본 발명은 박막트랜지스터 액정표시방법의 제조방법에 관한 것으로, 게이트 전극이 형성된 유리기관 상에 게이트 절연막, 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막 및 금속막을 차례로 증착하고, 상기 금속막 상에 감광막을 도포하는 단계; 상기 감광막을 노광 및 현상하여 소스 전극 및 드레인 전극이 형성될 영역의 두께에 비해 그 사이 영역의 두께가 상대적으로 얇은 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 식각마스크로 사용하여 상기 금속막을 1차 습식식각하여 금속막 패턴을 형성하는 단계; 상기 감광막 패턴을 식각마스크로 사용하여 상기 비도핑된 비정질 실리콘막 및 상기 도핑된 비정질 실리콘막을 1차 건식식각하여 각각 채널층형성패턴 및 오믹컨택층형성패턴을 형성하는 단계; 상기 소스 전극 및 드레인 전극이 형성될 영역의 사이 영역에서 상기 금속막 패턴이 노출되도록, 상기 감광막 패턴을 에칭하는 단계; 상기 에칭된 감광막 패턴 및 상기 금속막 패턴을 이용하여 상기 채널층형성패턴 및 오믹컨택층형성패턴을 2차 건식식각하는 단계; 상기 에칭된 감광막 패턴을 식각마스크로 이용하여 상기 금속막 패턴을 2차 습식식각하여 소스 전극 및 드레인 전극을 형성하는 단계; 상기 소스 전극과 드레인 전극의 사이 영역에서, 상기 2차 건식식각된 채널층형성패턴의 상부 일부와 상기 2차 건식식각된 오믹컨택층형성패턴의 전부를 3차 건식식각으로 제거하여, 채널층과 오믹컨택층을 각각 형성하는 단계를 포함하는 것을 특징으로 한다. 이에 의하여 액티브 테일의 발생을 최소화 할 수 있는 박막트랜지스터 액정표시장치의 제조방법이 제공된다.

대표도 - 도3



특허청구의 범위

청구항 1

게이트 전극이 형성된 유리기관 상에 게이트 절연막, 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막 및 금속막을 차례로 증착하고, 상기 금속막 상에 감광막을 도포하는 단계;

상기 감광막을 노광 및 현상하여 소스 전극 및 드레인 전극이 형성될 영역의 두께에 비해 그 사이 영역의 두께가 상대적으로 얇은 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각마스크로 사용하여 상기 금속막을 1차 습식식각하여 금속막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각마스크로 사용하여 상기 비도핑된 비정질 실리콘막 및 상기 도핑된 비정질 실리콘막을 1차 건식식각하여 각각 채널층형성패턴 및 오믹컨택층형성패턴을 형성하는 단계;

상기 소스 전극 및 드레인 전극이 형성될 영역의 사이 영역에서 상기 금속막 패턴이 노출되도록, 상기 감광막 패턴을 에칭하는 단계;

상기 에칭된 감광막 패턴 및 상기 금속막 패턴을 이용하여 상기 채널층형성패턴 및 오믹컨택층형성패턴을 2차 건식식각하는 단계;

상기 에칭된 감광막 패턴을 식각마스크로 이용하여 상기 금속막 패턴을 2차 습식식각하여 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극과 드레인 전극의 사이 영역에서, 상기 2차 건식식각된 채널층형성패턴의 상부 일부와 상기 2차 건식식각된 오믹컨택층형성패턴의 전부를 3차 건식식각으로 제거하여, 채널층과 오믹컨택층을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 표시장치용 박막트랜지스터의 제조방법.

청구항 2

제1항에 있어서,

상기 1차 건식식각하는 단계, 상기 감광막 패턴을 에칭하는 단계 및 상기 2차 건식식각하는 단계는 동일 챔버 내에서 이루어지는 것을 특징으로 하는 표시장치용 박막트랜지스터의 제조방법.

청구항 3

제2항에 있어서,

상기 1차 건식식각하는 단계는, 1500와트 내지 1800와트의 파워와 투입되는 SF₆기체의 양이 40sccm 내지 70sccm 인 조건하에서 진행되는 것을 특징으로 하는 표시장치용 박막트랜지스터의 제조방법.

청구항 4

제3항에 있어서,

상기 2차 건식식각하는 단계는 상기 1차 건식식각하는 단계에 비해 0.75배의 파워와 투입되는 SF₆기체의 양이 2배인 식각조건을 가지는 것을 특징으로 하는 표시장치용 박막트랜지스터의 제조방법.

명세서

기술분야

[0001] 본 발명은 표시장치용 박막트랜지스터의 제조방법으로서, 보다 구체적으로 하프톤마스크(Half-tone Mask) 공정을 이용하여 박막트랜지스터를 형성하는 경우 발생하는 액티브테일(Active tail)을 최소화할 수 있는 표시장치용 박막트랜지스터 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로 표시장치 등에 형성되는 박막트랜지스터는 다수의 마스크 공정을 통해 제조되고 있다. 하지만, 마스크

크 공정 수와 표시장치의 제조단가는 밀접한 관계가 있으므로 표시장치의 제조 단가를 낮추기 위해 마스크 공정 수를 줄이는 다양한 방법이 제안되고 있다. 그 중 마스크 공정 수를 줄이는 공정인 4-마스크 공정은 하프톤마스크 공정을 이용하여 박막트랜지스터의 액티브층과 소스/드레인 전극을 하나의 마스크공정으로 형성할 수 있도록 한 것이다.

[0003] 이하, 종래기술에 따른 표시장치용 박막트랜지스터의 제조방법에 대해서 설명한다. 도 1a 내지 도 1e는 종래기술에 따른 표시장치용 박막트랜지스터의 제조방법을 나탄낸 것이다. 도 1a에 도시된 바와 같이, 유리기관상에 게이트전극(10), 게이트절연막(20), 비도핑된 비정질 실리콘막(30), 도핑된 비정질 실리콘막(40) 및 금속막(50)을 차례로 형성한다. 이어, 금속막(50) 상에 감광막을 도포한 후 하프톤마스크로 감광막을 노광하여 채널층 상부가 상대적으로 얇은 두께가 되도록 감광막 패턴(60)을 형성한다.

[0004] 이어, 도 1b에 도시된 바와 같이, 감광막 패턴(60)을 이용하여 금속막(50)을 1차 습식식각하여 금속막 패턴(50')을 형성하고, 비도핑된 비정질 실리콘막(30)과 도핑된 비정질 실리콘막(40)을 1차 습식식각하여 채널층(30')과 오믹컨택층(40')을 형성한다. 다음으로 도 1c에 도시된 바와 같이, 감광막 패턴(60)을 에싱(Ashing)하여 채널 형성 영역 상부에 금속막(50') 부분이 노출된 감광막 패턴(60')을 형성한다.

[0005] 이어서, 도 1d에 도시된 바와 같이, 감광막 패턴(60')에 의해 노출된 금속막 패턴(50')을 2차 습식식각하여 소스전극(51) 및 드레인전극(52)를 형성하고, 도 1e에 도시된 바와 같이, 감광막 패턴(60')과 소스전극(51) 및 드레인전극(52)을 식각 마스크로 이용하여 오믹컨택층(40')을 2차 건식식각하여 소스전극(51)과 드레인전극(52)에 각각 대응되는 오믹컨택층(41, 42)을 형성하고, 이어 감광막 패턴(60')을 제거함으로써 박막트랜지스터를 완성하게 된다.

[0006] 여기서, 금속막(50)의 1차 습식식각은 습식식각의 특성으로 인해 식각 후 금속막 패턴(50')이 감광막 패턴(60')의 폭보다 더 좁게 형성된다. 이로 인해, 이어 1차 건식식각으로 형성되는 채널층(30')과 오믹컨택층(40')의 측부가 금속막 패턴(50')의 측부보다 외측로 노출되는 영역(C), 즉, 액티브테일이 발생된다. 따라서, 최종적으로 공정이 완료된 후에 채널층(30')과 오믹컨택층(41, 42)이 외부로 노출되는 액티브테일 현상이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명은 상기의 문제점을 해결하기 위해 도출된 것으로, 액티브 테일을 최소화할 수 있는 박막트랜지스터 액정표시장치 제조방법을 제공함에 있다.

과제의 해결 수단

[0008] 상기 목적은, 본 발명에 따라, 게이트 전극이 형성된 유리기관 상에 게이트 절연막, 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막 및 금속막을 차례로 증착하고, 상기 금속막 상에 감광막을 도포하는 단계; 상기 감광막을 노광 및 현상하여 소스 전극 및 드레인 전극이 형성될 영역의 두께에 비해 그 사이 영역의 두께가 상대적으로 얇은 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 식각마스크로 사용하여 상기 금속막을 1차 습식식각하여 금속막 패턴을 형성하는 단계; 상기 감광막 패턴을 식각마스크로 사용하여 상기 비도핑된 비정질 실리콘막 및 상기 도핑된 비정질 실리콘막을 1차 건식식각하여 각각 채널층형성패턴 및 오믹컨택층형성패턴을 형성하는 단계; 상기 소스 전극 및 드레인 전극이 형성될 영역의 사이 영역에서 상기 금속막 패턴이 노출되도록, 상기 감광막 패턴을 에싱하는 단계; 상기 에싱된 감광막 패턴 및 상기 금속막 패턴을 이용하여 상기 채널층형성패턴 및 오믹컨택층형성패턴을 2차 건식식각하는 단계; 상기 에싱된 감광막 패턴을 식각마스크로 이용하여 상기 금속막 패턴을 2차 습식식각하여 소스 전극 및 드레인 전극을 형성하는 단계; 상기 소스 전극과 드레인 전극의 사이 영역에서, 상기 2차 건식식각된 채널층형성패턴의 상부 일부와 상기 2차 건식식각된 오믹컨택층형성패턴의 전부를 3차 건식식각으로 제거하여, 채널층과 오믹컨택층을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 표시장치용 박막트랜지스터의 제조방법에 의해 달성된다.

[0009] 여기서, 상기 1차로 건식식각하는 단계, 상기 그레이톤을 갖는 감광막 패턴을 1차로 에싱하는 단계 및 상기 2차 건식식각하는 단계는 동일 챔버 내에서 이루어지는 것이 공정수를 늘이지 않고 상기의 목적을 달성할 수 있어 바람직하다.

[0010] 또한, 상기 1차 건식식각하는 단계는 1500와트 내지 1800와트의 파워와 투입되는 SF6기체의 양을 40~70sccm인

식각조건을 가지며, 상기 상기 2차 건식식각하는 단계는 상기 1차로 건식식각하는 단계에 비해 0.75배의 파워와 투입되는 SF6기체의 양이 2배인 식각조건을 가지는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명에 따르면 액티브 테일을 최소화할 수 있는 박막트랜지스터 액정표시장치 제조방법이 제공된다.

도면의 간단한 설명

[0012] 도 1a 내지 도 1e는 종래기술에 따른 박막트랜지스터 액정표시장치의 제조방법을 나타낸 도식도,
도 2a 내지 도 2는 본 발명에 따른 박막트랜지스터 액정표시장치의 제조방법을 나타낸 도식도,
도 3은 본 발명에 따른 박막트랜지스터 액정표시장치의 제조방법을 나타낸 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 설명에 앞서, 여러 실시예에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1실시예에서 설명하고, 그 외의 실시예에서는 제1실시예와 다른 구성에 대해서 설명하기로 한다.

[0014] 이하, 첨부한 도면을 참조하여 본 발명의 제1실시예에 따른 박막트랜지스터 액정표시장치의 제조방법에 대하여 상세하게 설명한다. 도 2a 내지 도 2h는 본 발명에 따른 박막트랜지스터 액정표시장치의 제조방법을 나타낸 도식도이며, 도 3은 본 발명에 따른 박막트랜지스터 액정표시장치의 제조방법을 나타낸 순서도이다. 도면에 도시된 바와 같이, 본 발명에 따른 박막트랜지스터 액정표시장치의 제조방법은 게이트 전극이 형성된 유리기판 상에 게이트 절연막, 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막 및 소스/드레인 금속막을 차례로 증착하고, 소스/드레인 금속막상에 감광막을 도포하는 단계(S1), 감광막 패터를 형성하는 단계(S2), 소스/드레인 금속막을 1차로 습식식각하여 금속막 패터를 형성하는 단계(S3), 비도핑된 비정질 실리콘막 및 도핑된 비정질 실리콘막을 1차로 건식식각하여 채널층형성패턴 및 오믹컨택층형성패턴을 형성하는 단계(S4), 감광막 패터를 1차로 에싱하는 단계(S5), 패터층형성패턴 및 오믹컨택층형성패턴을 2차로 건식식각하는 단계(S6), 금속막패터를 2차로 건식식각하는 단계(S7), 상기 2차 건식식각된 채널층형성패턴의 상부 일부와 상기 2차 건식식각된 오믹컨택층형성패턴을 3차로 건식식각하는 단계(S8)로 이루어진다.

[0015] 여기서, 각층을 증착하고 감광막을 도포하는 단계(S1)와 감광막 패터를 형성하는 단계(S2)는 일반적인 기술로 자세한 설명은 생략한다. 다음으로, 소스/드레인 금속막을 1차로 습식식각하는 단계(S3)가 이루어진다. 습식식각으로 소스/드레인 금속막(5)이 식각되기 때문에 식각 후 금속막 패터(5')의 폭은 감광막 패터(6)의 폭보다 작게 형성된다. 즉, 감광막 패터(6)의 측부(B)가 금속막 패터(5')의 측부에 대해 바깥으로 돌출되는 부분(B)이 형성된다.

[0016] 다음으로, 비도핑된 비정질 실리콘막 및 도핑된 비정질 실리콘막을 1차로 건식식각하는 단계(S4)에서는 비도핑된 비정질 실리콘막(3) 및 도핑된 비정질 실리콘막(4)의 감광막 패터(6)의 외부영역에 대응되는 부분이 식각되어 채널층형성패턴(3') 및 오믹컨택층형성패턴(4')이 형성된다. 이때의 식각조건은 파워를 1500W 내지 1800W로 하며, 공급되는 SF6의 양은 40sccm 내지 70sccm으로 한다. 이러한 식각단계를 거치게 되면, 건식식각후 채널층형성패턴(3') 및 오믹컨택층형성패턴(4')의 폭은 식각된 금속막 패터(5')의 폭보다 크게 형성되어 채널층형성패턴(3') 및 오믹컨택층형성패턴(4')의 측부(A)가 외부로 노출된다.

[0017] 이어, 감광막 패터의 에싱단계(S5)가 진행된다. 에싱단계(S6)에서는 소스 전극 및 드레인 전극이 형성될 영역의 사이 영역의 감광막 패터(6)이 제거되어 금속막 패터(5')가 노출된다. 또한, 감광막 패터(6')의 측부에 형성되는 금속막 패터(5') 외부로 약간 튀어나온 부분(B)도 함께 제거된다. 또한, 에싱단계(S5)는 상술한 채널층형성패턴 및 오믹컨택층형성패턴의 1차 건식 식각단계(S4)와 동일한 챔버에서 이루어진다.

[0018] 다음으로, 본 발명의 가장 큰 특징인 채널층형성패턴 및 오믹컨택층형성패턴의 2차 건식식각단계(S6)가 진행된다. 2차 건식식각단계의 조건은 1차 건식식각단계(S4)의 조건에 비해 파워가 약 0.75배, 공급되는 SF6의 양은 약 2배정도로 진행한다. 이러한 2차 건식식각단계(S6)에서는 앞서 진행된 1차 건식식각결과 외부로 노출된 채널층형성패턴(3') 및 오믹컨택층형성패턴(4')의 측부영역(A)이 제거된다.

[0019] 즉, 상술한 에싱단계(S5)에서 감광막 패터(6)의 금속막 패터(5') 외부로 튀어나온 부분(B)이 제거되므로, 감광막 패터(6')를 마스크로 하여 진행되는 2차 건식식각을 통하여 채널층형성패턴(3') 및 오믹컨택층형성패턴(4')의 노출된 측부(A)가 제거될 수 있게 된다.

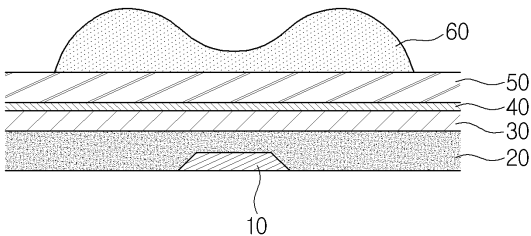
- [0020] 이러한 2차 건식식각단계(S6) 역시 1차 건식식각단계(S4) 및 에싱단계(S5)와 동일한 챔버에서 진행된다. 즉, 동일한 챔버에서 진행되기 때문에 종래에 비해 식각과정이 하나 더 늘었지만, 챔버를 옮기지 않고 진행되기 때문에 전체적인 공정손실을 막을 수 있게 된다.
- [0021] 다음으로, 에싱된 감광막 패턴(6')을 통해 금속막 패턴(5')을 2차로 습식식각한다. 이에 의해 소스 전극(5a) 및 드레인 전극(5b)이 형성된다. 다음으로, 소스 전극(5a) 와 드레인 전극(5b) 사이의 영역으로 노출된 채널층형성 패턴(3')의 상부 일부와 오믹컨택층형성패턴(4')의 전부를 3차로 건식식각하여 채널층(3") 및 소스전극(5a)과 드레인전극(5b)에 각각 대응되는 오믹컨택층(4a, 4b)를 형성하게 된다. 마지막으로 소스/드레인 전극(5a, 5b)상에 있는 감광막 패턴(6')을 제거하면 박막트랜지스터가 완성된다.
- [0022] 이상과 같은 단계를 거치게 되면 결과적으로 2번의 습식식각과 3번의 건식식각이 이루어지나, 1차건식식각단계(S4), 에싱단계(S5) 및 2차 건식식각단계(S6)는 동일한 챔버내에서 이루어지므로 전체 공정손실은 없이 효과적으로 소스/드레인 전극(5)의 측부로 채널층(3)이 노출되는 액티브 테일의 발생을 줄일 수 있게 된다.
- [0023] 본 발명의 권리범위는 상술한 실시예에 한정되는 것이 아니라 첨부된 특허청구범위 내에서 다양한 형태의 실시예로 구현될 수 있다. 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 변형 가능한 다양한 범위까지 본 발명의 청구범위 기재의 범위 내에 있는 것으로 본다.

부호의 설명

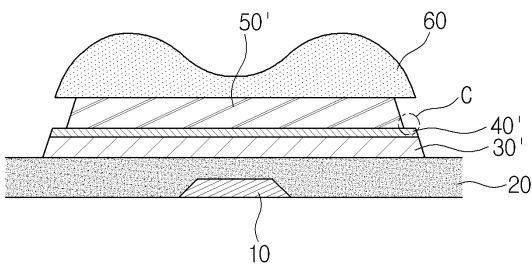
- [0024]
- | | |
|-----------|------------|
| 1: 게이트전극 | 2: 게이트 절연막 |
| 3a: 채널층 | 4a: 오믹컨택층 |
| 5a: 소스 전극 | 5b: 드레인 전극 |
| 6: 감광막 | |

도면

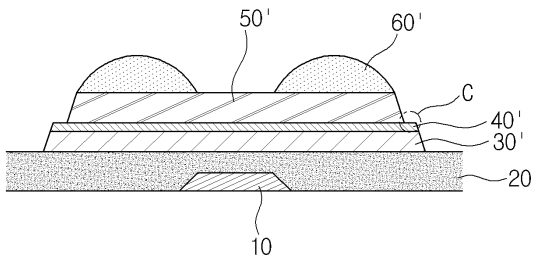
도면1a



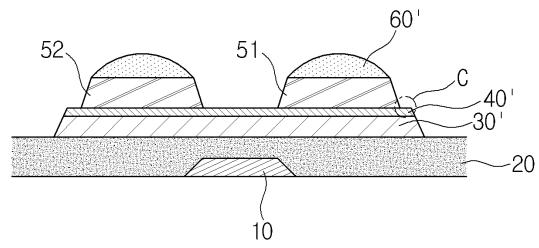
도면1b



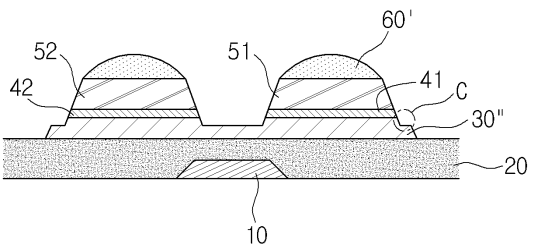
도면1c



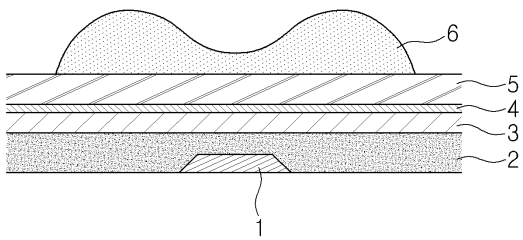
도면1d



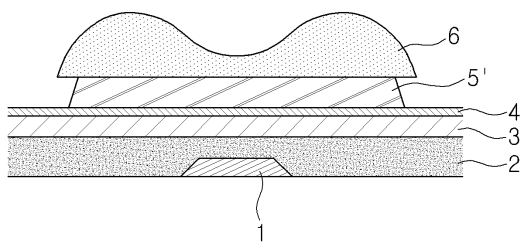
도면1e



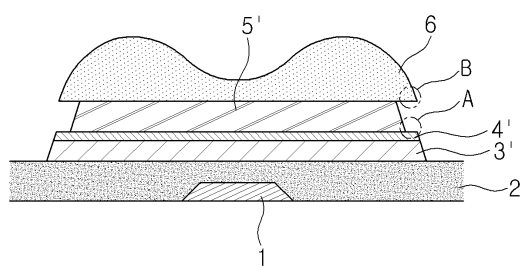
도면2a



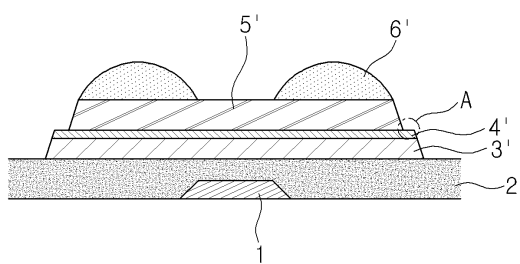
도면2b



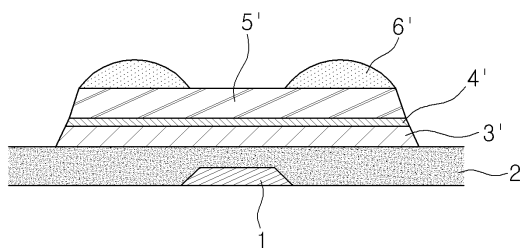
도면2c



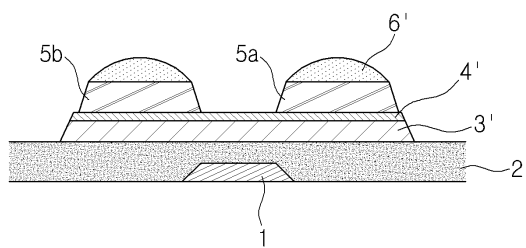
도면2d



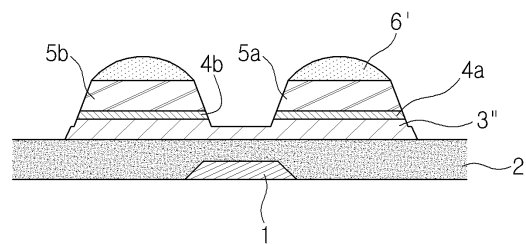
도면2e



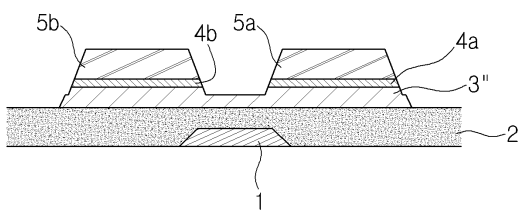
도면2f



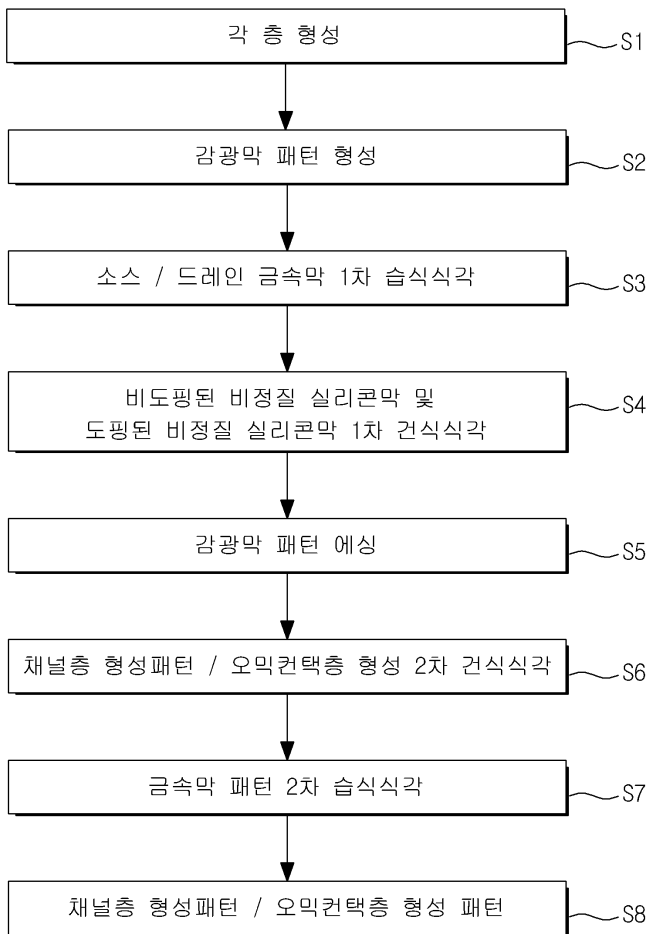
도면2g



도면2h



도면3



专利名称(译)	制造用于显示装置的薄膜晶体管的方法		
公开(公告)号	KR1020130077439A	公开(公告)日	2013-07-09
申请号	KR1020110146149	申请日	2011-12-29
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	LEE HEE GYU 이희규		
发明人	이희규		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L29/66765 H01L21/30621 G02F1/1368		
代理人(译)	赵, 杨 - 炫		
其他公开文献	KR101291896B1		
外部链接	Espacenet		

摘要(译)

本发明是一种薄膜的制造晶体管液晶显示器的方法的方法，在玻璃栅衬底上形成在绝缘膜上的栅电极，非掺杂的无定形硅膜，淀积膜掺杂的无定形硅膜和金属，然后，在金属膜上涂敷光刻胶膜;曝光和显影光致抗蚀剂膜以形成光致抗蚀剂图案，该光致抗蚀剂图案的厚度比要形成源电极和漏电极的区域的厚度薄;使用光致抗蚀剂图案作为蚀刻掩模，通过湿法蚀刻金属膜来形成金属膜图案;形成以一定图案形成的沟道层，并通过使用光致抗蚀剂图案作为蚀刻掩模形成的欧姆接触层图案中的每个步骤中，非掺杂的无定形硅膜和掺杂的非晶硅膜首先被干蚀刻;蚀刻光致抗蚀剂图案，使得金属膜图案暴露在将要形成源电极和漏电极的区域之间的区域中;使用灰化的光致抗蚀剂图案和金属膜图案，对沟道层形成图案和欧姆接触层形成图案进行第二次干法蚀刻;使用灰化的光致抗蚀剂图案作为蚀刻掩模，通过湿法蚀刻金属膜图案来形成源电极和漏电极;在源电极和漏电极之间的区域中，以去除整个蚀刻沟道层的二次干上部，形成具有图案的第二干蚀刻所述欧姆接触层形成在所述第三干蚀刻的图案，沟道层和并分别形成欧姆接触层。因此，提供了一种制造能够使有源尾部的发生最小化的薄膜晶体管液晶显示装置的方法。

