



특허청구의 범위

청구항 1

데이터 인에이블 신호의 활성화 구간 동안 외부로부터 R, G, B 데이터를 제공 받으며, 상기 데이터 인에이블 신호의 블랭킹 구간 동안 외부로부터 타이밍 정보를 제공 받는 데이터 수신부; 및

상기 타이밍 정보를 제공 받아 이를 분석하여 제어 신호를 생성하는 제어 신호 생성부를 포함하는 것을 특징으로 하는 데이터 구동부.

청구항 2

제1항에 있어서,

상기 타이밍 정보는 로직 레벨인 것을 특징으로 하는 데이터 구동부.

청구항 3

제1항에 있어서,

상기 타이밍 정보는 이피아이(Embedded Clock Point to Point Interface: EPI) 방식에 의해 전달되는 것을 특징으로 하는 데이터 구동부.

청구항 4

제1항에 있어서,

상기 타이밍 정보는 제1 내지 제4 제어 신호를 포함하는 것을 특징으로 하는 데이터 구동부.

청구항 5

제4항에 있어서,

상기 제1 제어 신호는 제1 엠베디드 클럭 신호 및 게이트 제어 스타트 신호의 정보를 포함하는 것을 특징으로 하는 데이터 구동부.

청구항 6

제5항에 있어서,

상기 게이트 제어 스타트 신호는 다음 데이터가 게이트 제어 신호임을 알려주는 신호인 것을 특징으로 하는 데이터 구동부.

청구항 7

제4항에 있어서,

상기 제2 제어 신호는 스타트 신호, 제1 내지 제4 게이트 클럭 신호의 정보를 포함하는 것을 특징으로 하는 데이터 구동부.

청구항 8

제4항에 있어서,

상기 제3 제어 신호는 제1 및 제2 전원전압과 제1 및 제2 게이트 변조 제어 신호의 정보를 포함하는 것을 특징으로 하는 데이터 구동부.

청구항 9

제8항에 있어서,

상기 제1 및 제2 전원전압은 게이트 구동부 내부의 짝수번째 및 홀수번째 쉬프트 레지스터들에 인가되는 것을

특징으로 하는 데이터 구동부.

청구항 10

제8항에 있어서,

상기 제1 및 제2 게이트 변조 제어 신호는 홀수번째 및 짝수번째 게이트 신호의 변조 시작 지점을 제어하는 것을 특징으로 하는 데이터 구동부.

청구항 11

제4항에 있어서,

상기 제4 제어 신호는 제2 엠베디드 클럭 신호 및 데이터 스타트 신호를 포함하는 것을 특징으로 하는 데이터 구동부.

청구항 12

제11항에 있어서,

상기 데이터 스타트 신호는 다음 데이터가 R, G, B 데이터임을 알려주는 신호인 것을 특징으로 하는 데이터 구동부.

청구항 13

제1항에 있어서,

상기 제어 신호는 게이트 제어 신호인 것을 특징으로 하는 데이터 구동부.

청구항 14

화상을 표시하는 액정패널;

외부로부터 제공되는 제어 신호에 의해 데이터 제어 신호를 생성하는 타이밍 제어부;

상기 데이터 제어 신호에 의해 상기 액정패널의 데이터 라인을 구동하며, 상기 타이밍 제어부로부터 제공되는 데이터 인에이블 신호의 활성화 구간 동안 외부로부터 R, G, B 데이터를 제공 받으며, 상기 데이터 인에이블 신호의 블랭킹 구간 동안 외부로부터 타이밍 정보를 제공 받는 데이터 수신부 및 상기 타이밍 정보를 제공 받아 이를 분석하여 게이트 제어 신호를 생성하는 게이트 제어 신호 생성부를 포함하는 데이터 구동부; 및 상기 데이터 구동부로부터 제공되는 상기 게이트 제어 신호에 의해 상기 액정패널의 게이트 라인을 구동하는 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 15

제14항에 있어서,

상기 타이밍 정보는 로직 레벨인 것을 특징으로 하는 액정표시장치.

청구항 16

제14항에 있어서,

상기 타이밍 정보는 이피아이(Embedded Clock Point to Point Interface: EPI) 방식에 의해 전달되는 것을 특징으로 하는 액정표시장치.

청구항 17

제14항에 있어서,

상기 타이밍 정보는 패킷 데이터(packet data)인 것을 특징으로 하는 액정표시장치.

청구항 18

제14항에 있어서,

상기 타이밍 정보는 제1 내지 제4 제어 신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 19

제18항에 있어서,

상기 제1 제어 신호는 제1 임베디드 클럭 신호 및 게이트 제어 스타트 신호의 정보를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 20

제18항에 있어서,

상기 제2 제어 신호는 스타트 신호, 제1 내지 제4 게이트 클럭 신호의 정보를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 21

제18항에 있어서,

상기 제3 제어 신호는 제1 및 제2 전원전압과 제1 및 제2 게이트 변조 제어 신호의 정보를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 22

제18항에 있어서,

상기 제4 제어 신호는 제2 임베디드 클럭 신호 및 데이터 스타트 신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 23

제14항에 있어서,

상기 제어 신호는 게이트 제어 신호인 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 데이터 구동부에 관한 것으로, 보다 상세하게는 타이밍 제어부의 핀 개수를 감소시킬 수 있는 데이터 구동부 및 이를 포함하는 액정표시장치에 관한 것이다.

배경기술

[0002] 디스플레이장치는 시각정보 전달매체로서, 브라운관 면에 문자나 도형의 형식으로 데이터를 시각적으로 표시하는 것을 말한다.

[0003] 일반적으로 평판디스플레이(Flat Panel Display: FPD)장치는 TV 또는 컴퓨터 모니터 브라운관을 이용하여 보다 두께가 얇고 가벼운 영상표시장치로서, 그 종류에는 액정을 이용한 LCD(Liquid Crystal Display), 가스 방전을 이용한 PDP(Plasma Display Panel : PDP), 형광성 유기화합물에 전류가 흐르면 빛을 내는 발광현상을 이용하여 만든 유기물질인 OLED(Organic Light Emitting) 및 전기장내 하전된 입자가 양극 또는 음극쪽으로 이동하는 현상을 이용하는 EDP(Electric Paper Display) 등이 있다.

[0004] 평판디스플레이장치 중 가장 대표적인 LCD는 액티브 매트릭스(Active Matrix) 형태로 배열된 화소들에 화상정보에 따른 데이터신호를 개별적으로 공급하여 화소들의 광투과율을 조절함으로써 원하는 화상을 표시한다.

[0005] 이러한 액정표시장치는 외부에서 입력되는 화상 데이터를 표시하는 액정패널과 액정패널을 구동하기 위한 구동회로를 포함한다.

[0006] 최근에는 구동회로를 액정패널 내에 실장하여 제조 원가를 절감하고 전력 소모를 최소화하는 게이트 인 패널(Gate In Panel 이하, GIP) 방식을 사용하는 액정표시장치가 제안되었다.

[0007] 일반적으로 액정표시장치는 다수의 게이트 라인과 데이터 라인이 교차로 마련된 영역에 형성된 다수의 액정셀을 갖는 액정패널과, 액정패널의 데이터 라인들에 데이터 전압을 공급하기 위한 데이터 구동부와, 액정패널의 게이트 라인들을 순차적으로 구동하기 위한 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하기 위한 타이밍 제어부와, 액정패널에 공통전압을 공급하기 위한 공통전압 생성부를 구비한다.

[0008] 타이밍 제어부는 R, G, B 데이터의 타이밍 재분배 등과 같은 데이터 처리를 수행한 뒤, 데이터 구동부로 전송한다. 또한 타이밍 제어부는 데이터 인에이블 신호(DE), 동기 신호(SYNC) 및 클럭 신호(CLK)를 이용하여 표시 동작을 제어하기 위한 각종 제어 신호를 생성하여 데이터 구동부와 게이트 구동부 등에 전송한다.

[0009] 최근, 타이밍 제어부의 기능이 다양해지면서 외부에서 제어할 수 있는 핀의 개수가 증가하고 있는 추세이다. 이렇게 핀의 개수가 증가하게 됨으로써 타이밍 제어부의 면적이 증가하게 되고, 이로 인해 인쇄회로기판 상에서 타이밍 제어부가 차지하는 면적이 증가하게 되며, 타이밍 제어부의 전력 소모가 증가하게 되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 상기한 문제를 해결하기 위한 것으로, 타이밍 제어부의 핀 개수를 감소시킬 수 있는 데이터 구동부 및 이를 포함하는 액정표시장치를 제공함에 있다.

[0011] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0012] 상기한 목적들을 달성하기 위하여, 본 발명의 일 실시예에 따른 데이터 구동부는 데이터 인에이블 신호의 활성화 구간 동안 외부로부터 R, G, B 데이터를 제공 받으며, 상기 데이터 인에이블 신호의 블랭킹 구간 동안 외부로부터 타이밍 정보를 제공 받는 데이터 수신부 및 상기 타이밍 정보를 제공 받아 이를 분석하여 제어 신호를 생성하는 제어 신호 생성부를 포함한다.

[0013] 상기 타이밍 정보는 로직 레벨이며, 상기 타이밍 정보는 이피아이(Embedded Clock Point to Point Interface: EPI) 방식에 의해 전달된다.

[0014] 상기 타이밍 정보는 제1 내지 제4 제어 신호를 포함한다.

[0015] 상기 제1 제어 신호는 제1 엠베디드 클럭 신호 및 게이트 제어 스타트 신호의 정보를 포함한다.

[0016] 상기 게이트 제어 스타트 신호는 다음 데이터가 게이트 제어 신호임을 알려주는 신호이다.

[0017] 상기 제2 제어 신호는 스타트 신호, 제1 내지 제4 게이트 클럭 신호의 정보를 포함한다.

[0018] 상기 제3 제어 신호는 제1 및 제2 전원전압과 제1 및 제2 게이트 변조 제어 신호의 정보를 포함한다.

[0019] 상기 제1 및 제2 전원전압은 게이트 구동부 내부의 짝수번째 및 홀수번째 쉬프트 레지스터들에 인가된다.

[0020] 상기 제1 및 제2 게이트 변조 제어 신호는 홀수번째 및 짝수번째 게이트 신호의 변조 시작 지점을 제어한다.

[0021] 상기 제4 제어 신호는 제2 엠베디드 클럭 신호 및 데이터 스타트 신호를 포함한다.

[0022] 상기 데이터 스타트 신호는 다음 데이터가 R, G, B 데이터임을 알려주는 신호이다.

[0023] 상기 제어 신호는 게이트 제어 신호이다.

[0024] 또한, 본 발명의 일 실시예에 따른 액정표시장치는 화상을 표시하는 액정패널, 외부로부터 제공되는 제어 신호에 의해 데이터 제어 신호를 생성하는 타이밍 제어부, 상기 데이터 제어 신호에 의해 상기 액정패널의 데이터 라인을 구동하며, 상기 타이밍 제어부로부터 제공되는 데이터 인에이블 신호의 활성화 구간 동안 외부로부터 R, G, B 데이터를 제공 받으며, 상기 데이터 인에이블 신호의 블랭킹 구간 동안 외부로부터 타이밍 정보를 제공 받는 데이터 수신부 및 상기 타이밍 정보를 제공 받아 이를 분석하여 제어 신호를 생성하는 제어 신호 생성부를 포함하는 데이터 구동부 및 상기 데이터 구동부로부터 제공되는 상기 제어 신호에 의해 상기 액정패널의 게이트 라인을 구동하는 게이트 구동부를 포함한다.

[0025] 상기 타이밍 정보는 로직 레벨이며, 상기 타이밍 정보는 이피아이(Embedded Clock Point to Point Interface:

EPI) 방식에 의해 전달된다.

- [0026] 상기 타이밍 정보는 패킷 데이터(packet data)이다.
- [0027] 상기 타이밍 정보는 제1 내지 제4 제어 신호를 포함한다.
- [0028] 상기 제1 제어 신호는 제1 임베디드 클럭 신호 및 게이트 제어 스타트 신호의 정보를 포함한다.
- [0029] 상기 제2 제어 신호는 스타트 신호, 제1 내지 제4 게이트 클럭 신호의 정보를 포함한다.
- [0030] 상기 제3 제어 신호는 제1 및 제2 전원전압과 제1 및 제2 게이트 변조 제어 신호의 정보를 포함한다.
- [0031] 상기 제4 제어 신호는 제2 임베디드 클럭 신호 및 데이터 스타트 신호를 포함한다.
- [0032] 상기 제어 신호는 게이트 제어 신호이다.

발명의 효과

- [0033] 상술한 바와 같이, 본 발명에 따른 데이터 구동부 및 이를 포함하는 액정표시장치는 타이밍 제어부의 핀 개수를 감소시켜 인쇄회로기판에서의 타이밍 제어부의 면적 및 전력 소모를 최소화 할 수 있는 효과를 제공한다.
- [0034] 본 발명에 따른 데이터 구동부 및 이를 포함하는 액정표시장치는 타이밍 제어부의 핀 개수를 감소시켜 인쇄회로기판의 라우팅(routing)을 간소화 할 수 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일 실시예에 따른 GIP 방식을 사용하는 액정표시장치를 나타내는 도면.
- 도 2는 도 1에 도시된 타이밍 제어부를 나타낸 블록도.
- 도 3은 본 발명의 일 실시예에 따른 게이트 제어신호를 생성하는 과정을 나타내는 블록도.
- 도 4 및 도 5는 본 발명의 일 실시예에 따른 데이터 인에이블 신호에 따라 패킷 데이터가 전송되는 것을 나타내는 파형도.
- 도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 타이밍 제어부로부터 데이터 구동부로 제공되는 타이밍 정보를 나타내는 표.
- 도 7은 본 발명의 일 실시예에 따른 데이터 구동부에서 생성되는 게이트 제어신호들의 파형도.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 첨부한 도면을 참조하여 본 발명에 따른 GIP 방식을 사용하는 액정표시장치의 바람직한 실시예를 상세히 설명한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 GIP 방식을 사용하는 액정표시장치를 나타내는 도면이다.
- [0038] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 GIP 방식을 사용하는 액정표시장치는 액정패널(10)과, 액정패널(10)에 형성된 게이트 라인(GL)을 순차적으로 구동하기 위한 게이트 구동부(20)와, 액정패널(10)에 형성된 데이터 라인(DL)에 데이터 전압을 공급하기 위한 데이터 구동부(30)와, 데이터 구동부(30) 및 게이트 구동부(20)를 제어하기 위한 타이밍 제어부(40)와, 액정패널(10)에 공통전압(Vcom)을 공급하기 위한 공통전압 생성부(50)를 포함한다.
- [0039] 액정패널(10)은 게이트 신호를 전달하는 다수의 게이트 라인(GL)과, 게이트 라인(GL)에 교차하며 데이터 전압을 전달하는 데이터 라인(DL)을 포함하며, 이들 게이트 라인(GL)과 데이터 라인(DL)과 접속하는 박막트랜지스터(Thin Film Transistor)와, 게이트 라인(GL)과 데이터 라인(DL)에 의해 둘러싸인 영역에 박막트랜지스터를 통해 연결되는 행렬 형태의 다수의 액정셀(Clc)를 포함한다.
- [0040] 게이트 구동부(20)는 데이터 구동부(30)로부터 제공되는 게이트 제어신호(CONT1)에 응답하여 게이트라인들(GL)에 순차적으로 게이트 신호를 공급한다. 이러한 게이트 신호에 의해 게이트 라인(GL)에 연결된 박막트랜지스터(TFT)가 게이트 라인(GL) 별로 구동되게 한다.
- [0041] 데이터 구동부(30)는 타이밍 제어부(40)로부터 제공된 데이터 제어신호(CONT2)에 응답하여 수평기간(H1, H2...)마다 1라인 분석의 데이터 전압을 데이터 라인(DL)에 공급한다. 또한, 데이터 구동부(30)는 타이밍 제어부(40)

로부터 제공된 R, G, B 데이터를 아날로그 데이터 전압으로 변환하여 데이터 라인(DL)에 공급한다. 본 발명에서는 타이밍 제어부(40)로부터 패킷 데이터(Packet Data: PD)를 제공 받아 게이트 제어신호(CONT1)를 생성하여 게이트 구동부(20)로 제공한다. 이에 대한 자세한 설명은 도 2 내지 도 5를 참조하여 설명하기로 한다.

- [0042] 타이밍 제어부(40)는 외부로부터 제공되는 R, G, B 데이터를 액정패널(20)의 구동에 알맞도록 정렬하여 데이터 구동부(30)에 공급한다. 그리고 외부로부터 제공되는 동기 신호(DCLK, DE, Hsync, Vsync)를 이용하여 데이터 제어신호(CONT2)를 생성하여 데이터 구동부(30)로 제공한다. 또한, 타이밍 제어부(40)는 게이트 제어신호(CONT1)를 생성하기 위한 패킷 데이터(Packet Data: PD)를 데이터 구동부(30)로 제공한다.
- [0043] 공통전압 생성부(50)는 DC/DC 컨버터부(미도시)에서 생성된 공급전압(Vdd)을 이용하여 액정패널(10)을 구동시키기 위한 공통전압(Vcom)을 생성한다.
- [0044] 상기와 같은 타이밍 제어부(40)의 구조에 대해서 도 2를 참조하여 보다 자세히 설명하도록 한다.
- [0045] 도 2는 도 1에 도시된 타이밍 제어부를 나타낸 블록도이다.
- [0046] 도 2에 도시된 바와 같이, 본 발명에 따른 타이밍 제어부(40)는 외부로부터 제공되는 R, G, B 데이터를 데이터 구동부(30)로 제공하는 데이터 처리부(110)와 데이터 제어신호(CONT2)를 생성하는 제어 신호 생성부(130)를 포함한다.
- [0047] 데이터 처리부(110)는 외부 시스템으로부터 제공되는 R, G, B 데이터 및 리셋 신호(RESET) 등을 입력 받아 액정패널(10)의 구동에 알맞도록 R, G, B 데이터를 정렬하여 데이터 구동부(30)로 R, G, B 데이터를 공급하고 데이터 극성 반전 신호(REV)를 생성한다.
- [0048] 제어 신호 생성부(110)는 외부 시스템으로부터 제공되는 도트 클럭 신호(DCLK), 데이터 인에이블 신호(DE), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 프리 런닝 방법 선택 신호(RBF)를 이용하여 데이터 제어신호(CONT2)를 생성한다. 이때, 데이터 제어신호(CONT2)로는 소스 출력 인에이블 신호(SOE), 소스 쉬프트 클럭 신호(SSC), 소스 스타트 펄스 라이트(SSPL), 소스 스타트 펄스 레프트(SSPL), 극성제어신호(POL)가 포함된다. 또한 이외에도 제어 신호 생성부(130)는 도면에 도시하지 않았으나, 전원관리신호(DPM) 및 인버터 레프트/라이트 신호(UDO)를 생성할 수 있다.
- [0049] 한편, 타이밍 제어부(40)와 데이터 구동부(30) 사이의 인터페이스로 전압 스윙 크기를 더욱 줄여 전류 소모량 및 정전기(EMI) 특성을 향상시킨 미니 엘브이디에스(mini-LVDS) 방식을 사용하고 있어 데이터 구동부(30)는 타이밍 제어부(40)로부터 별도의 타이밍(timing) 정보를 받을 수 없으므로, 제어 신호 생성부(110)에서 외부에서 제공되는 동기 신호(DCLK, DE, Hsync, Vsync)를 사용하여 게이트 구동부(20)에 제공되는 게이트 제어신호(CONT1)를 생성하였다.
- [0050] 그러나, 본 발명에서는 타이밍 제어부(40)의 핀 개수를 감소시키기 위해 도 2의 A에서와 같이, 타이밍 제어부(40)에서 게이트 제어 신호(CONT1)를 생성하지 않고, 데이터 구동부(30)가 타이밍 제어부(40)로부터 타이밍(timing) 정보를 제공 받아 데이터 구동부(30)의 내부에서 게이트 제어신호(CONT1)를 생성하여 게이트 구동부(20)로 전달한다. 이에 대한 자세한 설명은 도 3 내지 도 5를 참조하여 설명하기로 한다.
- [0051] 도 3은 본 발명의 일 실시예에 따른 게이트 제어신호를 생성하는 과정을 나타내는 블록도이고, 도 4 및 도 5는 본 발명의 일 실시예에 따른 데이터 인에이블 신호에 따라 패킷 데이터가 전송되는 것을 나타내는 파형도이고, 도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 타이밍 제어부로부터 데이터 구동부로 제공되는 타이밍 정보를 나타내는 표이고, 도 7은 본 발명의 일 실시예에 따른 데이터 구동부에서 생성되는 게이트 제어신호들의 파형도이다.
- [0052] 도 3 내지 도 5를 참조하면, 타이밍 제어부(40)는 데이터 인에이블 신호(DE)에 따라 패킷 데이터(PD)를 데이터 구동부(30)로 전달한다. 데이터 구동부(30)는 내부에 데이터 수신부(32)와 게이트 제어 신호 생성부(34)를 포함한다.
- [0053] 이때, 데이터 인에이블 신호(DE)의 활성화 구간(A)에서는 R, G, B 데이터를 데이터 구동부(30)로 전달하고, 이렇게 전달된 R, G, B 데이터는 데이터 수신부(32)로 전달된다. 그 다음, 데이터 인에이블 신호(DE)의 블랭킹(blanking) 구간(B)에서는 게이트 제어신호(CONT1)를 생성하기 위한 로직 레벨(logic level)의 타이밍 정보(timing information)를 게이트 제어 신호 생성부(34)로 전달한다.
- [0054] 여기서, 타이밍 정보는 이피아이(Embedded Clock Point to Point Interface: EPI) 방식에 의해 데이터 수신부

(32)로 전달되며, 게이트 제어 신호 생성부(34)는 데이터 수신부(32)로 전달되는 타이밍 정보를 분석하여 게이트 제어신호(CONT1)를 생성한다. 이때, 타이밍 정보는 제1 내지 제4 제어 신호(CTR_S 내지 DATA_S)를 포함한다.

[0055] 도 6a 내지 도 6d를 참조하면, 제1 제어 신호(CTR_S)는 엠베디드 클럭 신호(embedded clock, CK)과 다음 패킷 데이터가 게이트 제어 신호(CONT1)임을 알려주는 게이트 제어 스타트 신호(CTR_START)의 정보를 포함한다. 이때, 엠베디드 클럭(CK)은 2 비트로 할당될 수 있으며, 기본값으로 "HH"로 셋팅될 수 있다. 게이트 제어 스타트 신호(CTR_START)는 6 비트로 할당될 수 있으며, 기본값으로 "LHLHL"로 셋팅될 수 있다.

[0056] 제2 제어 신호(CTR_1)는 게이트 구동부(20) 내부의 쉬프트 레지스터(미도시)를 동작시키기 위한 스타트 신호(VST), 제1 게이트 클럭 신호(GCLK1), 제2 게이트 클럭 신호(GCLK2), 제3 게이트 클럭 신호(GCLK3) 및 제4 게이트 클럭 신호(GCLK4)의 정보를 포함한다. 이때, 스타트 신호(VST)는 2 비트로 할당될 수 있으며, 기본값으로 "LL"로 셋팅될 수 있다. 제1 게이트 클럭 신호(GCLK1)와 제2 게이트 클럭 신호(GCLK2)는 각각 2 비트로 할당될 수 있으며, 기본값으로 "LL"로 셋팅될 수 있다. 제3 게이트 클럭 신호(GCLK3) 및 제4 게이트 클럭 신호(GCLK4)는 각각 3비트로 할당될 수 있으며, 기본값으로 "LLL"로 셋팅될 수 있다.

[0057] 제3 제어 신호(CTR_2)는 게이트 구동부(20) 내부의 짝수번째 쉬프트 레지스터들(미도시)에 인가되는 제1 전원전압(VDD_E), 게이트 구동부(20) 내부의 홀수번째 쉬프트 레지스터들(미도시)에 인가되는 제2 전원전압(VDD_0), 홀수번째 게이트 신호의 변조 시작 지점을 제어하는 제1 게이트 변조 제어 신호(FLK_1) 및 짝수번째 게이트 신호의 변조 시작 지점을 제어하는 제2 게이트 변조 제어 신호(FLK_2)의 정보를 포함한다. 여기서, 제1 및 제2 게이트 변조 제어 신호(FLK_1, FLK_2)는 홀수 및 짝수번째 게이트 신호의 폴링 에지(falling edge)에서 신호를 완만하게 변조시키는 역할을 하며, 예를 들면, 제1 및 제2 게이트 변조 제어 신호(FLK_1, FLK_2)의 로우 구간에서 홀수 및 짝수번째 게이트 신호의 폴링 에지에서 신호를 완만하게 변조시킨다. 제1 전원전압(VDD_E)과 제2 전원전압(VDD_0)은 동일한 전압 레벨을 갖으며, 프레임 단위로 교대로 짝수번째 쉬프트 레지스터들 및 홀수번째 쉬프트 레지스터들에 인가된다.

[0058] 이때, 제1 및 제2 전원전압(VDD_E, VDD_0)는 각각 3 비트로 할당될 수 있으며, 기본값으로 "LLL"로 셋팅될 수 있다. 제1 및 제2 게이트 변조 제어 신호(FLK_1, FLK_2)는 각각 3 비트로 할당될 수 있으며, 기본값으로 "LLL"로 셋팅될 수 있다.

[0059] 제4 제어 신호(DATA_S)는 R, G, B 데이터를 전송하기 위한 엠베디드 클럭 신호(CK)와 다음 패킷 데이터가 R, G, B 데이터임을 알려주는 데이터 스타트 신호(DATA_START)의 정보를 포함한다. 이때, 엠베디드 클럭(CK)은 2 비트로 할당될 수 있으며, 기본값으로 "HH"로 셋팅될 수 있다. 데이터 스타트 신호(DATA_START)는 6 비트로 할당될 수 있으며, 기본값으로 "HLHLHL"로 셋팅될 수 있다.

[0060] 도 3 및 도 7을 참조하면, 데이터 구동부(30)는 타이밍 제어부(40)로부터 제1 내지 제4 제어 신호(CTR_S 내지 DATA_S)를 포함하는 타이밍 정보를 제공받아 내부에서 게이트 제어 신호(CONT1)를 생성한다.

[0061] 여기서, 게이트 제어 신호(CONT1)는 스타트 신호(VST), 제1 내지 제4 게이트 클럭 신호(GCLK1 내지 GCLK4), 제1 및 제2 전원전압(VDD_E, VDD_0) 및 제1 및 제2 게이트 변조 제어 신호(FLK_1, FLK_2)를 포함한다.

[0062] 데이터 구동부(30)에서 생성된 게이트 제어 신호(CONT1)는 레벨 쉬프터(60)로 입력되고, 레벨 쉬프터(60)는 게이트 제어 신호(CONT1)를 게이트 구동부(20)를 구동하기 위한 전압 레벨로 쉬프트시켜 출력한다. 실제로는 레벨 쉬프터(60)를 통해 출력되는 게이트 제어 신호(CONT1)가 게이트 구동부(20)에 인가된다. 게이트 구동부(20)는 레벨 쉬프터(60)로부터 제공되는 게이트 제어 신호(CONT1)에 응답하여 게이트라인들(GL)에 순차적으로 게이트 신호를 공급하고, 이러한 게이트 신호에 의해 게이트 라인(GL)에 연결된 박막트랜지스터(TFT)가 게이트 라인(GL) 별로 구동되게 한다.

[0063] 상기와 같이, 본 발명은 데이터 구동부(30)가 타이밍 제어부(40)로부터 패킷 데이터(PD)를 제공받아 게이트 제어신호(CONT1)를 생성하고, 이를 게이트 구동부(20)로 전달함으로써 도 2의 A에서와 같이, 타이밍 제어부(40)에서 게이트 제어신호(CONT1)를 위한 별도의 핀을 할당하지 않게 되어 타이밍 제어부(40)의 핀 개수를 감소시킬 수 있다. 이에 따라 인쇄회로기판에서의 타이밍 제어부(40)의 면적 및 전력 소모를 최소화 할 수 있게 된다.

[0064] 또한, 본 발명은 데이터 구동부(30)가 타이밍 제어부(40)로부터 패킷 데이터(PD)를 제공받아 게이트 제어신호(CONT1)를 생성하고, 이를 게이트 구동부(20)로 전달함으로써 인쇄회로기판의 라우팅(routing)을 간소화 할 수 있다.

[0065] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한

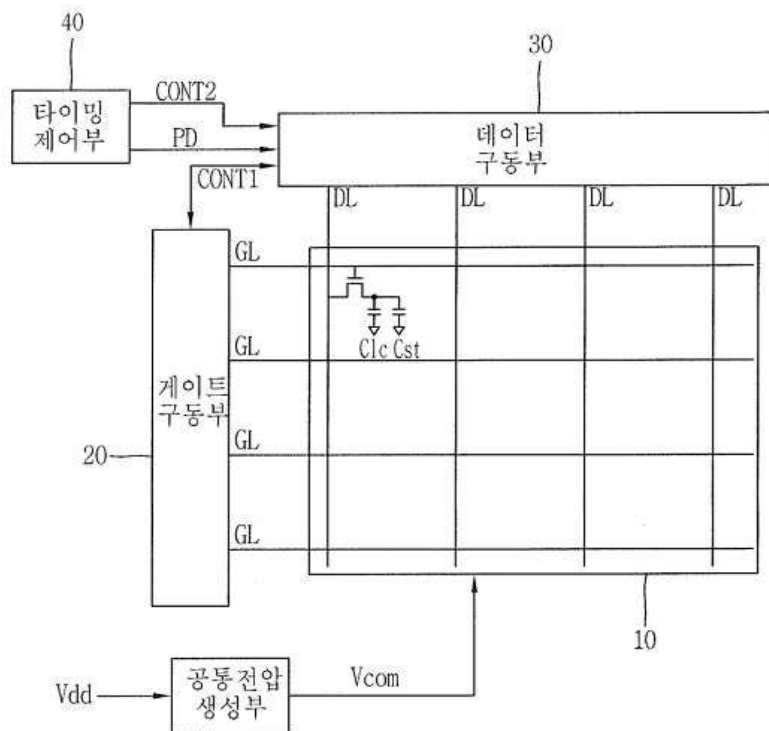
실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

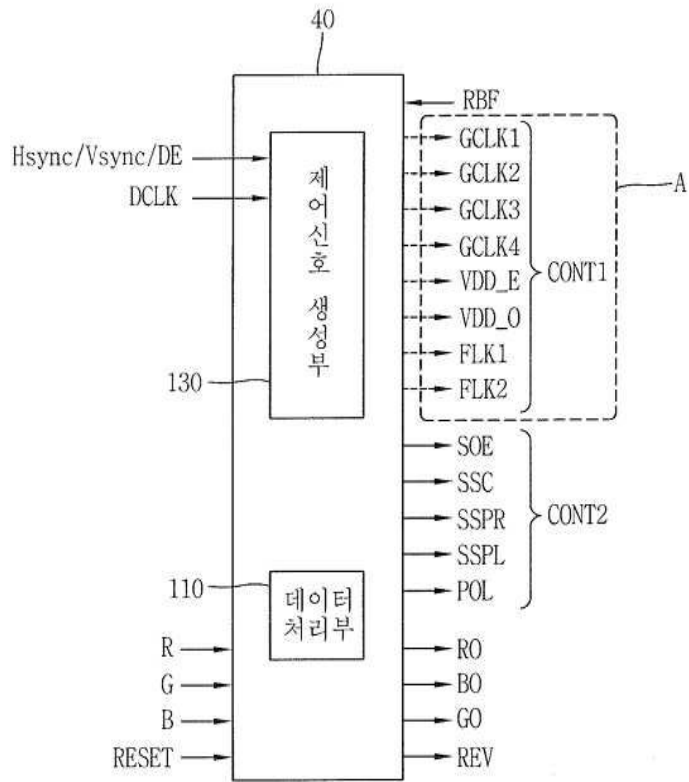
- [0066]
- | | |
|-------------------|---------------|
| 10: 액정패널 | 20: 게이트 구동부 |
| 30: 데이터 구동부 | 32: 데이터 수신부 |
| 34: 게이트 제어 신호 생성부 | 40: 타이밍 제어부 |
| 50: 공통전압 생성부 | 60: 레벨 쉬프터부 |
| 110: 데이터 처리부 | 130: 제어신호 생성부 |

도면

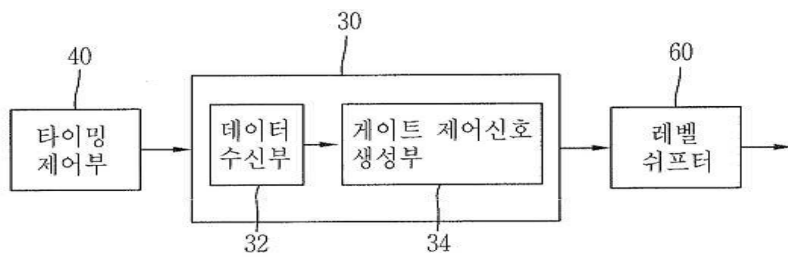
도면1



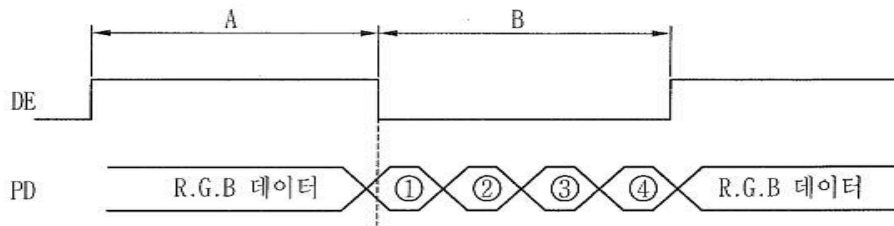
도면2



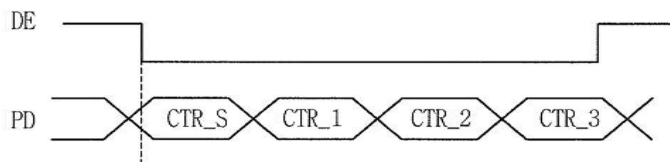
도면3



도면4



도면5



도면6a

CTR_S			
비트수	이름	기본값	기능
0~1	CK	HH	엠베디드 클럭(embedded clock)
2~7	CTR_START	HLHLHL	다음 패킷 데이터가 GIP 제어 신호임을 알려주는 신호

도면6b

CTR_1			
비트수	이름	기본값	기능
0~1	VST	LL	스타트 신호
2~3	GCLK1	LL	제1 게이트 클럭 신호
4~5	GCLK2	LL	제2 게이트 클럭 신호
6~8	GCLK3	LLL	제3 게이트 클럭 신호
9~11	GCLK4	LLL	제4 게이트 클럭 신호

도면6c

CTR_2			
비트수	이름	기본값	기능
0~2	VDD_E	LLL	제1 전원 전압
3~5	VDD_O	LLL	제2 전원 전압
6~8	FLK1	LLL	제1 게이트 변조 제어 신호
9~11	FLK2	LLL	제2 게이트 변조 제어 신호

도면6d

CTR_S			
비트수	이름	기본값	기능
0~1	CK	HH	엠베디드 클럭(embedded clock)
2~7	DATA_START	HLHLHL	다음 패킷 데이터가 R.G.B 데이터 신호임을 알려주는 신호

도면7

VST	0	0	0	0	0	0	0	0	0	0	0
GCLK1	0	0	0	0	0	0	0	0	0	0	0
GCLK2	0	0	0	0	0	0	0	0	0	0	0
GCLK3	0	0	0	0	0	0	0	0	0	0	0
GCLK4	0	0	0	0	0	0	0	0	0	0	0
VDD_E	0	0	0	0	0	0	0	0	0	0	0
VDD_O	1	1	1	1	1	1	1	1	1	1	1
FLK1	1	0	0	0	0	0	0	0	0	0	0
FLK2	1	0	0	0	0	0	0	0	0	0	0

专利名称(译)	标题数据驱动单元和包括其的液晶显示器		
公开(公告)号	KR1020130011481A	公开(公告)日	2013-01-30
申请号	KR1020110072656	申请日	2011-07-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO CHANG HUN 조창훈 HA SUNG CHUL 하성철 KANG JEONG HO 강정호		
发明人	조창훈 하성철 강정호		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2310/0286 G09G2310/08 G09G2330/00 G09G2370/10		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

提供了一种能够减少定时控制部分的引脚数量的数据驱动器。数据驱动器可以包括数据接收器，用于在数据使能信号的激活周期期间从外部接收R、G和B数据，以及在数据使能信号的消隐间隔期间从外部接收定时信息，并且栅极控制信号发生器用于产生栅极控制信号。

