



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0139749
(43) 공개일자 2012년12월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-7024495
(22) 출원일자(국제) 2011년02월03일
심사청구일자 없음
(85) 번역문제출일자 2012년09월19일
(86) 국제출원번호 PCT/JP2011/052801
(87) 국제공개번호 WO 2011/105218
국제공개일자 2011년09월01일
(30) 우선권주장
JP-P-2010-041987 2010년02월26일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
교야마 준
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 13 항

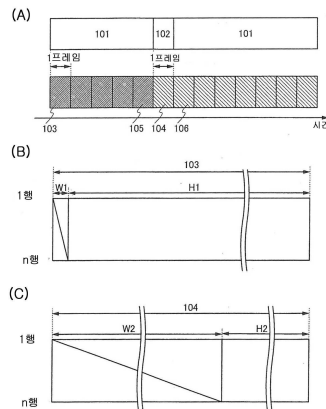
(54) 발명의 명칭 표시 장치 및 이 표시 장치를 구비하는 전자 서적

(57) 요약

표시 소자에 인가되는 전압이 변화하는데 따른 표시 품질의 저하, 표시 전환 시에서 종이 매체와의 위화감을 저감할 수 있는 액정 표시 장치를 제공하는 것을 과제의 하나로 한다.

제 1 화상 신호의 쓰기 기간 및 제 1 화상 신호의 유지 기간을 갖는 제 1 정지화 표시 기간과, 제 2 화상 신호의 쓰기 기간 및 제 2 화상 신호의 유지 기간을 갖는 제 2 정지화 표시 기간을 바꾸어 표시시키고, 제 1 정지화 표시 기간의 쓰기 기간과, 제 2 정지화 표시 기간의 쓰기 기간의 길이를 다르게 하는 디스플레이 컨트롤러를 갖는 구성으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

표시 장치에 있어서,

복수의 트랜지스터를 갖는 표시부와,

제 1 정지화 표시 기간과 제 2 정지화 표시 기간을 바꾸어 표시함으로써 상기 표시부를 표시시키기 위한 디스플레이 컨트롤러를 갖고,

상기 제 1 정지화 표시 기간은 제 1 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 1 화상 신호가 유지되는 유지 기간을 갖고,

상기 제 2 정지화 표시 기간은 제 2 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 2 화상 신호가 유지되는 유지 기간을 갖고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간의 쓰기 기간과, 상기 제 2 정지화 표시 기간의 쓰기 기간의 길이를 서로 다르게 하는, 표시 장치.

청구항 2

표시 장치에 있어서,

복수의 트랜지스터를 갖는 표시부와,

제 1 정지화 표시 기간과 제 2 정지화 표시 기간을 바꾸어 표시함으로써 상기 표시부를 표시시키기 위한 디스플레이 컨트롤러를 갖고,

상기 제 1 정지화 표시 기간은 제 1 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 1 화상 신호가 유지되는 유지 기간을 갖고,

상기 제 2 정지화 표시 기간은 제 2 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 2 화상 신호가 유지되는 유지 기간을 갖고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간의 쓰기 기간과, 상기 제 2 정지화 표시 기간의 쓰기 기간의 길이를 서로 다르게 하고,

상기 디스플레이 컨트롤러는, 전환 회로와 표시 모드 제어 회로를 갖고,

상기 전환 회로는, 제 1 클럭 신호와 제 2 클럭 신호를 전환하고, 상기 제 1 클럭 신호 또는 상기 제 2 클럭 신호를 출력하고,

상기 표시 모드 제어 회로는, 상기 전환 회로를 제어하는, 표시 장치.

청구항 3

표시 장치에 있어서,

복수의 트랜지스터를 갖는 표시부와,

제 1 정지화 표시 기간과 제 2 정지화 표시 기간을 바꾸어 표시함으로써 상기 표시부를 표시시키기 위한 디스플레이 컨트롤러를 갖고,

상기 제 1 정지화 표시 기간은 제 1 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 1 화상 신호가 유지되는 유지 기간을 갖고,

상기 제 2 정지화 표시 기간은 제 2 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 2 화상 신호가 유지되는 유지

기간을 갖고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간의 쓰기 기간과, 상기 제 2 정지화 표시 기간의 쓰기 기간의 길이를 서로 다르게 하고,

상기 디스플레이 컨트롤러는, 기준 클럭 생성 회로와, 분주 회로와, 전환 회로와, 표시 모드 제어 회로를 갖고,

상기 기준 클럭 생성 회로는 제 1 클럭 신호를 출력하고,

상기 분주 회로는 상기 제 1 클럭 신호를 분주하여 제 2 클럭 신호를 출력하고,

상기 전환 회로는, 상기 제 1 클럭 신호와 상기 제 2 클럭 신호를 전환하고, 상기 제 1 클럭 신호 또는 상기 제 2 클럭 신호를 출력하고,

상기 표시 모드 제어 회로는, 상기 전환 회로를 제어하는, 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 정지화 표시 기간의 쓰기 기간은, 16.6ms 이하이고, 상기 제 2 정지화 표시 기간의 쓰기 기간은, 1초 이상인, 표시 장치.

청구항 5

제 1 항에 있어서,

상기 복수의 트랜지스터 중 적어도 하나는, 산화물 반도체층을 포함하는, 표시 장치.

청구항 6

제 1 항에 있어서,

상기 복수의 트랜지스터 중 적어도 하나의 캐리어 농도는, $1 \times 10^{14} / \text{cm}^3$ 미만인, 표시 장치.

청구항 7

제 1 항에 있어서,

상기 복수의 트랜지스터 중 적어도 하나의 오프 전류는, $1 \times 10^{-17} \text{ A} / \mu\text{m}$ 이하인, 표시 장치.

청구항 8

제 1 항에 기재된 표시 장치를 포함하는 전자 서적(e-book reader).

청구항 9

표시 장치의 구동 방법에 있어서,

제 1 정지화 표시 기간에 제 1 정지화를 표시하고,

제 2 정지화 표시 기간에 제 2 정지화를 표시하도록, 상기 제 1 정지화 표시 기간을 제 2 정지화 표시 기간으로 전환하고,

상기 제 1 정지화 표시 기간은 제 1 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 1 화상 신호가 유지되는 유지 기간을 갖고,

상기 제 2 정지화 표시 기간은 제 2 화상 신호가 쓰여지는 쓰기 기간 및 상기 제 2 화상 신호가 유지되는 유지 기간을 갖고,

상기 제 1 정지화 표시 기간의 쓰기 기간의 길이와, 상기 제 2 정지화 표시 기간의 쓰기 기간의 길이를 서로 다르게 하는, 표시 장치의 구동 방법.

청구항 10

제 9 항에 있어서,

디스플레이 컨트롤러를 이용하여, 상기 제 1 정지화 표시 기간과 상기 제 2 정지화 표시 기간이 전환되고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간과 상기 제 2 정지화 표시 기간을 전환함으로써 상기 표시부를 표시시키고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간의 쓰기 기간의 길이와, 상기 제 2 정지화 표시 기간의 쓰기 기간의 길이를 서로 다르게 하는, 표시 장치의 구동 방법.

청구항 11

제 9 항에 있어서,

디스플레이 컨트롤러를 이용하여, 상기 제 1 정지화 표시 기간과 상기 제 2 정지화 표시 기간이 전환되고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간과 상기 제 2 정지화 표시 기간을 전환함으로써 상기 표시부를 표시시키고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간의 쓰기 기간의 길이와, 상기 제 2 정지화 표시 기간의 쓰기 기간의 길이를 서로 다르게 하고,

상기 디스플레이 컨트롤러는, 전환 회로와 표시 모드 제어 회로를 갖고,

상기 전환 회로는, 제 1 클럭 신호와 제 2 클럭 신호를 전환하고, 상기 제 1 클럭 신호 또는 상기 제 2 클럭 신호를 출력하고,

상기 표시 모드 제어 회로는, 상기 전환 회로를 제어하는, 표시 장치의 구동 방법.

청구항 12

제 9 항에 있어서,

디스플레이 컨트롤러를 이용하여, 상기 제 1 정지화 표시 기간과 상기 제 2 정지화 표시 기간이 전환되고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간과 상기 제 2 정지화 표시 기간을 전환함으로써 상기 표시부를 표시시키고,

상기 디스플레이 컨트롤러는, 상기 제 1 정지화 표시 기간의 쓰기 기간의 길이와, 상기 제 2 정지화 표시 기간의 쓰기 기간의 길이를 서로 다르게 하고,

상기 디스플레이 컨트롤러는, 기준 클럭 생성 회로와, 분주 회로와, 전환 회로와, 표시 모드 제어 회로를 갖고,

상기 기준 클럭 생성 회로는 제 1 클럭 신호를 출력하고,

상기 분주 회로는, 상기 제 1 클럭 신호를 분주하여 제 2 클럭 신호를 출력하고,

상기 전환 회로는, 상기 제 1 클럭 신호와 상기 제 2 클럭 신호를 전환하고, 상기 제 1 클럭 신호 또는 상기 제

2 클럭 신호를 출력하고,

상기 표시 모드 제어 회로는, 상기 전환 회로를 제어하는, 표시 장치의 구동 방법.

청구항 13

제 9 항에 있어서,

상기 제 1 정지화 표시 기간의 쓰기 기간은, 16.6m초 이하이고, 상기 제 2 정지화 표시 기간의 쓰기 기간은, 1초 이상인, 표시 장치의 구동 방법.

명세서

기술분야

[0001] 본 발명은, 표시 장치의 구동 방법에 관한 것이다. 또는, 표시 장치에 관한 것이다. 또는, 표시 장치를 구비하는 전자 서적에 관한 것이다.

배경기술

[0002] 최근, 디지털화 기술의 진보에 따라, 신문, 잡지 등의 문자 정보나 화상 정보를 전자 데이터로 제공할 수 있게 되었다. 이러한 종류의 전자 데이터는, 일반적으로, 텔레비전, 개인용 컴퓨터, 또는 휴대형 전자 단말 등이 구비하는 표시 장치에 표시됨으로써, 그 내용을 열람할 수 있다.

[0003] 액정 표시 장치 등의 표시 매체는, 신문, 잡지 등의 종이 매체와는 크게 다르다. 특히, 표시 장치의 화면상에서 페이지의 전환을 행하는 행위는, 종이 매체의 습관적인 취급 방법과는 동떨어진 것이다. 이와 같은 취급 방법의 차이에 기인하여, 문자의 읽기나 문장 이해, 화상의 인식 등에서의 시인 효율이 저하된다는 문제가 있다.

[0004] 액정 표시 장치 등의 표시 매체는, 시인 효율의 향상 외에도, 편리함을 도모하면서 소비 전력을 저감하는 것이 중요하다. 그 대책으로, 리프레쉬 레이트, 즉 화상 데이터의 다시 쓰기 회수를 삭감하여 소비 전력을 저감하는 것이 개시되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특개 2002-182619호 공보

발명의 내용

해결하려는 과제

[0006] 상기 특허문헌 1에서는, 정지화를 표시할 때의 리프레쉬 레이트를 삭감함으로써 저소비 전력화를 도모할 수 있다. 그러나 상기 특허문헌 1의 구성에서는, 화소에 이용하는 트랜지스터가 아몰퍼스 실리콘을 이용하여 제작된 것이므로, 트랜지스터의 오프 전류에 기인하여, 표시 소자인 액정 소자에 인가된 전압이 감소할 우려가 있다. 또한, 상기 특허문헌 1에서는, 화상의 다시 쓰기 시간이 짧으므로, 전후 기간에서 다른 화상 신호를 공급함으로써 다른 화상을 바꾸어 표시할 때, 새롭게 쓰여진 화상으로 순간적으로 갱신되므로, 위에서 설명한 종이 매체와의 위화감이 발생한다.

[0007] 따라서, 본 발명의 일 양태에서는, 표시 소자에 인가되는 전압이 변화하는데 따른 표시 품질의 저하를 감소시키고, 표시 전환 시에서 가시 효율의 저하를 방지할 수 있는 표시 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

- [0008] 본 발명의 일 양태는, 제 1 화상 신호의 쓰기 기간 및 제 1 화상 신호의 유지 기간을 갖는 제 1 정지화 표시 기간과, 제 2 화상 신호의 쓰기 기간 및 제 2 화상 신호의 유지 기간을 갖는 제 2 정지화 표시 기간을 바꾸어 표시시키고, 제 1 정지화 표시 기간의 쓰기 기간과, 제 2 정지화 표시 기간의 쓰기 기간의 길이를 다르게 하는 디스플레이 컨트롤러를 갖는 표시 장치이다.
- [0009] 본 발명의 일 양태는, 제 1 화상 신호의 쓰기 기간 및 제 1 화상 신호의 유지 기간을 갖는 제 1 정지화 표시 기간과, 제 2 화상 신호의 쓰기 기간 및 제 2 화상 신호의 유지 기간을 갖는 제 2 정지화 표시 기간을 바꾸어 표시시키고, 제 1 정지화 표시 기간의 쓰기 기간과, 제 2 정지화 표시 기간의 쓰기 기간의 길이를 다르게 하는 디스플레이 컨트롤러를 갖고, 디스플레이 컨트롤러는, 제 1 클럭 신호, 또는 제 2 클럭 신호를 바꾸어 출력하는 전환 회로와, 표시 모드 제어 회로를 갖고, 표시 모드 제어 회로는, 제 1 클럭 신호, 또는 제 2 클럭 신호를 바꾸어 출력함으로써, 제 1 정지화 표시 기간의 쓰기 기간과, 제 2 정지화 표시 기간의 쓰기 기간의 길이를 다르게 하는 표시 장치이다.
- [0010] 본 발명의 일 양태는, 제 1 화상 신호의 쓰기 기간 및 제 1 화상 신호의 유지 기간을 갖는 제 1 정지화 표시 기간과, 제 2 화상 신호의 쓰기 기간 및 제 2 화상 신호의 유지 기간을 갖는 제 2 정지화 표시 기간을 바꾸어 표시시키고, 제 1 정지화 표시 기간의 쓰기 기간과, 제 2 정지화 표시 기간의 쓰기 기간의 길이를 다르게 하는 디스플레이 컨트롤러를 갖고, 디스플레이 컨트롤러는, 제 1 클럭 신호를 출력하는 기준 클럭 생성 회로와, 제 1 클럭 신호를 분주하여 제 2 클럭 신호를 출력하는 분주 회로와, 제 1 클럭 신호 또는 제 2 클럭 신호를 바꾸어 출력하는 전환 회로와, 표시 모드 제어 회로를 갖고, 표시 모드 제어 회로는, 제 1 클럭 신호, 또는 제 2 클럭 신호를 바꾸어 출력함으로써, 제 1 정지화 표시 기간의 쓰기 기간과, 제 2 정지화 표시 기간의 쓰기 기간의 길이를 다르게 하는 표시 장치이다.
- [0011] 본 발명의 일 양태에서, 제 1 정지화 표시 기간에서의 제 1 화상 신호는, 직전의 제 1 정지화 표시 기간에서 기입한 제 1 화상 신호와 동일한 화상 신호이고, 제 2 정지화 표시 기간에서의 제 2 화상 신호는, 직전의 제 1 정지화 표시 기간에서 기입한 제 1 화상 신호, 또는 제 2 정지화 표시 기간에서 기입한 제 2 화상 신호와 다른 화상 신호인 표시 장치이어도 좋다.
- [0012] 본 발명의 일 양태에서, 제 1 정지화 표시 기간의 쓰기 기간은, 16.6m초 이하이고, 제 2 정지화 표시 기간의 쓰기 기간은, 1초 이상인 표시 장치이어도 좋다.

발명의 효과

- [0013] 본 발명의 일 양태에 의해, 표시 소자에 인가되는 전압이 변화하는데 따른 표시 품질의 저하를 저감시키고, 표시 전환 시의 낮은 가시 효율을 방지할 수 있는 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0014] 도 1은, 본 발명의 일 양태의 표시 장치의 동작을 설명하기 위한 개념도이다.
- 도 2는, 본 발명의 일 양태의 표시 장치의 동작을 설명하기 위한 타이밍 차트도이다.
- 도 3의 (A)는, 본 발명의 일 양태의 표시 장치의 동작을 설명하기 위한 개념도이고, 도 3의 (B)는 타이밍 차트도이다.
- 도 4는, 본 발명의 일 양태의 표시 장치의 동작을 설명하기 위한 블록도이다.
- 도 5는, 본 발명의 일 양태의 표시 장치의 동작을 설명하기 위한 플로우 차트이다.
- 도 6은, 본 발명의 일 양태의 표시 장치의 동작을 설명하기 위한 개념도이다.
- 도 7은, 본 발명의 일 양태의 표시 장치를 설명하기 위한 단면도이다.
- 도 8의 (A1)과 도 8의 (A2)는 본 발명의 일 양태의 표시 장치를 설명하기 위한 평면도이고, 도 8의 (B)는 단면

도이다.

도 9는, 본 발명의 일 양태의 표시 장치를 설명하기 위한 단면도이다.

도 10은, 본 발명의 일 양태의 표시 장치를 설명하기 위한 사시도이다.

도 11은, 본 발명의 일 양태의 전자 서적을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 실시형태에 대해 도면을 참조하여 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위에서 벗어나지 않는 한도 내에서 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것을 당업자라면 용이하게 이해할 수 있다. 따라서 본 실시형태의 기재 내용에 한정하여 해석되어서는 안 된다. 한편, 이하에 설명하는 본 발명의 구성에서, 동일한 것을 가리키는 부호는 다른 도면에서도 공통으로 적용한다.
- [0016] 한편, 각 실시형태의 도면 등에서 나타내는 각 구성의, 크기, 층의 두께, 신호 파형, 또는 영역은, 명료화를 위해 과장되어 표기된 경우도 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.
- [0017] 한편 본 명세서에서 이용하는 제 1, 제 2, 제 3 내지 제 N(N은 자연수) 등의 용어는, 구성 요소의 혼동을 피하기 위해 부여한 것으로, 수적으로 한정하는 것이 아님을 밝혀둔다.
- [0018] (실시형태 1)
- [0019] 본 실시형태에서는, 표시 장치 동작을 개념도, 타이밍 차트, 블록도, 플로우 차트도 등을 나타내어 설명한다.
- [0020] 우선, 도 1(A) 내지 (C)에서는, 표시 장치의 구동 방법의 개념도에 대해 나타낸다. 본 실시형태에서는 표시 장치로, 액정 표시 장치를 일 예로 들어 설명한다.
- [0021] 본 실시형태에서의 액정 표시 장치의 동작은, 도 1(A)에 나타난 바와 같이, 제 1 정지화 표시 기간(101)(제 1 기간이라고도 함)과 제 2 정지화 표시 기간(102)(제 2 기간이라고도 함)으로 크게 나뉜다.
- [0022] 제 1 정지화 표시 기간(101)은 1개의 화상을 표시하는 1 프레임 기간이 복수 연속하여 1개의 정지화를 표시하는 기간이다. 제 1 정지화 표시 기간(101)에서는, 일정한 리프레쉬 레이트에 의해 화상 신호(이하, 제 1 화상 신호)가 쓰여진다. 따라서, 어느 하나의 제 1 정지화 표시 기간(101)의 1 프레임 기간에서는, 직전의 프레임 기간에서의 화상 신호와 동일한 제 1 화상 신호가 쓰여지는 기간(103)이 연속하여 형성된다. 한편 여기서 1 프레임 기간이란, 표시 패널의 복수의 화소에 화상 신호를 순차적으로 기입하여 표시되는 화상이 갱신될 때의 기간을 말한다.
- [0023] 제 2 정지화 표시 기간(102)은, 직전의 프레임 기간의 화상 신호에 의한 화상과는 다른 화상을 표시하는 1 프레임 기간이 1개 또는 복수 연속하여 형성되어, 정지화를 표시하는 기간이다. 제 2 정지화 표시 기간(102)에서는, 직전의 프레임 기간에서 쓴 화상 신호가 제 1 화상 신호이면, 이와는 다른 화상 신호(제 2 화상 신호)가 쓰여진다. 따라서, 제 2 정지화 표시 기간(102)의 1 프레임 기간에서, 제 2 화상 신호가 쓰여지는 기간(104)에서는, 직전의 프레임 기간에 해당하는 기간(105)과는 다른 제 2 화상 신호가 쓰여진다. 한편, 도 1(A)의 기간(106)에서는, 직전의 프레임 기간의 화상 신호에 해당하는, 기간(104)과 동일한 화상 신호가 쓰여지는 점에서, 기간(103)과 동일하게 된다. 한편 다른 화상을 표시하는 프레임 기간이 연속하는 경우에는, 제 2 정지화 표시 기간에서의 기간(104)이 연속하여 형성되고, 직전의 프레임 기간의 제 2 화상 신호와는 다른 제 2 화상 신호가 쓰여진다.
- [0024] 이어서, 제 1 정지화 표시 기간(101)에서의 기간(103)에 대해, 도 1(B)을 이용하여 설명한다. 제 1 정지화 표시 기간(101)의 1 프레임 기간에 상당하는 기간(103)은, 쓰기 기간, 유지 기간으로 이루어진다. 한편, 도 1(B)에서, 기간(103)은 제 1 화상 신호를 화소에 쓰는 쓰기 기간(W1)(도 1(B)에 'W1'로 표기), 및 쓰여진 제 1 화상 신호를 화소에 유지하는 유지 기간(H1)(도 1(B)에 'H1'로 표기)을 갖는다. 쓰기 기간(W1)에서는, 표시 패널에서의 화소의 1행부터 순서대로 n행에 걸쳐 제 1 화상 신호를 쓴다. 쓰기 기간(W1)에서는, 전에 기입한 화상과 동일한 화상을 표시하기 위해, 표시 변경시 시인자가 더 낮은 가시 효율을 느끼지 않도록 단기간에 제 1 화상 신호를 쓰는 것이 바람직하다. 구체적으로는, 제 1 정지화 표시 기간(101)에서의 제 1 화상 신호의 쓰기 기간(W1)은, 플리커(눈부심)이 생기지 않는 정도의 쓰기 속도가 되는 16.6ms 이하인 것이 바람직하다. 또한

액정 소자에 인가된 제 1 화상 신호는, 유지 기간(H1)에서 트랜지스터를 오프 상태로 함으로써 계속 유지되는 것이 바람직하다. 즉 유지 기간(H1)에서는, 트랜지스터로부터의 리크 전류에 의한 전압 강하가 극단적으로 작은 것을 이용하여 제 1 화상 신호를 계속 유지하는 것이 바람직하다. 제 1 정지화 표시 기간(101)에서의 제 1 화상 신호의 유지 기간(H1)은, 누적 시간의 경과에 의해 액정 소자에 인가한 전압의 강하가 표시 품질의 저하를 초래하지 않을 정도로, 또한 사람의 눈의 피로감을 줄이는 정도의 기간인 1초 이상인 것이 바람직하다.

[0025] 이어서, 제 2 정지화 표시 기간(102)에서의 기간(104)에 대해, 도 1(C)를 이용하여 설명한다. 제 2 정지화 표시 기간(102)의 1 프레임 기간에 상당하는 기간(104)은, 쓰기 기간, 유지 기간으로 이루어진다. 한편 도 1(C)에서는, 기간(104)은 제 2 화상 신호를 화소에 쓰는 쓰기 기간 W2(도 1(C)에 'W2'로 표기), 및 제 2 화상 신호를 화소에 유지하는 유지 기간(H2)(도 1(C)에 'H2'로 표기)를 갖는다. 쓰기 기간(W2)에서는, 표시 패널에서의 화소의 1행부터 순서대로 n행까지 제 2 화상 신호를 쓴다. 쓰기 기간(W2)에서는 전에 기입한 화상과 다른 화상을 표시하기 위해, 쓰기 기간(W1)과는 다른 방법으로 시인자가 표시 전환을 인식할 수 있도록 하여 시인자가 종이 매체를 보는 경우에서와 같이, 표시 변경시의 더 낮은 가시 효율을 느끼지 않도록 한다. 따라서 쓰기 기간(W2)은, 시인자가 지각할 수 있는 정도로 쓰기 기간(W1)보다 긴 기간에 걸쳐서 제 2 화상 신호를 화소에 쓰는 것이 바람직하다. 구체적으로는, 제 2 정지화 표시 기간(102)에서의 제 2 화상 신호의 쓰기 기간(W2)은, 시인자가 표시 전환을 지각할 수 있는 정도의 쓰기 속도가 되는 1초 이상에 걸쳐 형성하는 것이 바람직하다. 또한 쓰여진 제 2 화상 신호는, 유지 기간(H2)에서 트랜지스터를 오프 상태로 함으로써 액정 소자에 인가된 전압을 계속 유지하는 것이 바람직하다. 즉 유지 기간(H2)에서는, 트랜지스터로부터의 리크 전류에 의한 전압 강하가 극단적으로 작은 것을 이용하여 제 2 화상 신호를 계속 유지하는 것이 바람직하다. 제 2 정지화 표시 기간(102)에서의 제 2 화상 신호의 유지 기간(H2)은, 누적 시간의 경과에 의해 액정 소자에 인가한 전압의 강하가 표시 품질의 저하를 초래하지 않는 정도로, 또한 사람의 눈의 피로를 줄이는 정도의 기간인 1초 이상인 것이 바람직하다.

[0026] 이어서, 제 1 정지화 표시 기간(101) 및 제 2 정지화 표시 기간(102)에서의 구동 회로에 공급하는 신호에 대해, 각 기간에서의 스타트 펄스 신호 및 클럭 신호의 타이밍 차트를 도 2(A), (B)에 도시하여 설명한다. 한편 도 2(A), (B)에 나타난 타이밍 차트에서의 각 신호의 파형은, 설명을 위해 과장되게 표기한 것이다.

[0027] 도 2(A)에 나타난 바와 같이, 제 1 정지화 표시 기간(101)에서의 기간(103)의 제 1 화상 신호의 쓰기 기간(W1)에서는, 표시 패널의 각 화소에 제 1 화상 신호를 공급하기 위한 시프트 레지스터 회로 등의 구동 회로를 구동하기 위한 스타트 펄스 및 클럭 신호가 공급된다. 상기 쓰기 기간의 길이 및 표시 패널에서의 주사하는 화소 수 등에 따라, 스타트 펄스 신호 및 클럭 신호의 주파수 등을 적절히 설정하면 된다. 한편 제 1 정지화 표시 기간(101)에서의 기간(103)의 제 1 화상 신호의 유지 기간(H1)에서는, 트랜지스터를 오프 상태로 함으로써 액정 소자에 인가된 전압을 계속 유지하는 구성으로 함으로써, 스타트 펄스 신호 및 클럭 신호를 정지할 수 있다. 이로 인해, 유지 기간(H1) 중의 소비 전력을 저감할 수 있다. 한편 스타트 펄스 신호 및 클럭 신호의 정지에 병행하여 제 1 화상 신호(D1)의 공급도 정지하고, 유지 기간(H1)에서는, 쓰기 기간(W1)에 기입한 전압의 유지만으로 화상을 표시하는 구성으로 하면 된다.

[0028] 또한, 도 2(B)에 나타난 바와 같이, 제 2 정지화 표시 기간(102)에서의 기간(104)의 제 2 화상 신호의 쓰기 기간(W2)에서는, 표시 패널의 각 화소에 제 2 화상 신호를 공급하기 위한 시프트 레지스터 회로 등의 구동 회로를 구동하기 위한 스타트 펄스 및 클럭 신호가 공급된다. 상기 쓰기 기간의 길이 및 표시 패널에서의 주사하는 화소 수 등에 따라, 스타트 펄스 및 클럭 신호의 주파수 등을 적절히 설정하면 된다. 한편 제 2 정지화 표시 기간(102)에서의 기간(104)의 제 2 화상 신호의 유지 기간(H2)에서는, 트랜지스터를 오프 상태로 함으로써 액정 소자에 인가된 전압을 계속 유지하는 구성으로 함으로써, 스타트 펄스 신호 및 클럭 신호를 정지할 수 있다. 이로 인해, 유지 기간(H2) 중의 소비 전력을 저감할 수 있다. 한편 스타트 펄스 신호 및 클럭 신호의 정지와 병행하여 제 2 화상 신호(D2)의 공급도 정지하고, 유지 기간(H2)에서는, 쓰기 기간(W2)에 기입한 전압의 유지만으로 화상을 표시하는 구성으로 하면 된다.

[0029] 한편 제 2 정지화 표시 기간(102)에서 구동 회로에 공급하는 클럭 신호는, 제 1 정지화 표시 기간(101)에서 구동 회로에 공급하는 클럭 신호를 분주함으로써 생성된 신호를 이용하면 된다. 이 구성에 의해, 클럭 신호를 생성하기 위한 클럭 생성 회로 등을 복수 형성하는 일 없이, 복수의 주파수의 클럭 신호를 생성할 수 있다. 한편 제 1 정지화 표시 기간(101)에서 구동 회로에 공급하는 클럭 신호의 주파수는, 제 2 정지화 표시 기간(102)에서 구동 회로에 공급하는 클럭 신호의 주파수보다 크게 하는 구성으로 하면 된다.

[0030] 상기과 같이, 제 2 정지화 표시 기간(102)에서의 기간(104)은, 쓰기 기간(W2)에서 화소를 1행부터 n행에서 1초

이상 주사하고, 제 2 화상 신호를 공급하는 구성으로 함으로써, 시인자는 화상의 전환을 확인할 수 있다. 이와 같이 종이 매체에서의 페이지 전환 시의 인식에 상당하는 것으로 함으로써, 표시 전환 시의 더 낮은 가시 효율을 방지할 수 있다.

[0031] 한편, 도 1(A) 내지 (C), 도 2(A) 및 (B)에서 설명한 제 1 정지화 표시 기간(101)과 제 2 정지화 표시 기간(102)의 전환은, 조작 등에 의해 외부에서 입력되는 전환 신호에 의해 이루어지는 구성이어도 좋으며, 화상 신호를 기초로 제 1 정지화 표시 기간(101)과 제 2 정지화 표시 기간(102)을 판정하여 전환하는 구성으로 하여도 좋다. 한편 제 1 정지화 표시 기간(101) 및 제 2 정지화 표시 기간(102) 외에 동화 표시 기간을 갖는 구성으로 하여도 좋다.

[0032] 동화 표시 기간을 설명한다. 도 3(A)에 나타난 기간(301)을 동화 표시 기간의 1 프레임 기간으로 하여 설명한다. 동화 표시 기간의 1 프레임 기간에 상당하는 기간(301)은, 화상 신호를 화소에 쓰는 쓰기 기간(W)(도 3(A)에 'W'로 표기)를 갖는다. 한편 동화 표시 기간에도 쓰기 기간(W) 외에 유지 기간을 갖고 있어도 좋으나, 플리커가 생기지 않을 정도로 짧은 기간인 것이 바람직하다. 쓰기 기간(W)에서는, 표시 패널에서의 화소의 1행부터 순서대로 n행까지 화상 신호를 쓴다. 쓰기 기간(W)에서는, 연속하는 프레임 기간에서 다른 화상 신호를 화소에 기입함으로써, 시인자에게 동화로 지각시키는 것이다. 구체적으로는, 동화 표시 기간에서의 화상 신호의 쓰기 기간(W)은, 플리커(눈부심)이 발생하지 않는 정도의 쓰기 속도가 되는 16.6m초 이하인 것이 바람직하다. 또한 도 3(B)에서는, 동화 표시 기간(301)에서의 구동 회로에 공급하는 신호에 대해 상기 도 2(A), 도 2(B)와 마찬가지로 설명하기 위해, 각 기간에서의 스타트 펄스 신호 및 클럭 신호의 모식도를 도시하였다. 도 3(B)에 나타난 바와 같이, 동화 표시 기간에서의 기간(301)에 상당하는 쓰기 기간(W)에서는, 표시 패널의 각 화소에 화상 신호(D_n , D_{n+1} , 내지 D_{n+3})를 공급하기 위한 시프트 레지스터 회로 등의 구동 회로를 구동하기 위한 스타트 펄스 및 클럭 신호가 공급된다. 상기 쓰기 기간의 길이 및 표시 패널에서의 주사하는 화소수 등에 따라, 스타트 펄스 및 클럭 신호의 주파수 등을 적절히 설정하면 된다.

[0033] 이어서, 도 1 및 도 2에서 설명한 제 1 정지화 표시 기간(101) 및 제 2 정지화 표시 기간(102)에 대해, 바꾸어 동작시키기 위한 액정 표시 장치의 블록도를 도 4에 나타내고 설명한다. 도 4에 나타난 액정 표시 장치(400)는, 표시 패널(401), 디스플레이 컨트롤러(402), 기억 회로(403), CPU(404)(연산 회로라고도 함), 및 외부 입력 기기(405)를 갖는다.

[0034] 표시 패널(401)은, 표시부(406), 및 구동 회로부(407)를 갖는다. 표시부(406)는, 복수의 게이트선(408)(주사선이라고도 함), 복수의 소스선(409)(신호선이라고도 함), 복수의 화소(410)가 형성되어 있다. 복수의 화소(410)는, 트랜지스터(411), 액정 소자(412), 용량 소자(413)를 갖는다. 구동 회로부(407)는, 게이트선 구동 회로(414)(주사선 구동 회로라고도 함), 소스선 구동 회로(415)(신호선 구동 회로라고도 함)를 갖는다.

[0035] 한편 트랜지스터(411)는, 반도체층으로 산화물 반도체를 이용하는 것이 바람직하다. 산화물 반도체는 반도체층의 캐리어를 매우 적게 함으로써, 오프 전류를 적게 할 수 있다. 따라서, 화소에서는 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 쓰기 간격도 길게 설정할 수 있다. 또한 트랜지스터의 구조에 대해서는 역스태거형의 구조이어도 좋으며, 순스태거형 구조이어도 좋다. 또는, 채널 영역이 복수의 영역으로 나뉘어 직렬로 접속된, 더블 게이트형 구조이어도 좋다. 또는, 게이트 전극이 채널 영역의 상하에 형성된 듀얼 게이트형 구조이어도 좋다. 또한, 트랜지스터를 구성하는 반도체층을 복수의 섬 모양의 반도체층으로 나누어 형성하고, 스위칭 동작을 실현할 수 있는 트랜지스터 소자로 하여도 좋다.

[0036] 한편 액정 소자(412)는, 제 1 전극과 제 2 전극 사이에 액정이 협지되어 형성된다. 한편, 액정 소자(412)의 제 1 전극은, 화소 전극에 상당한다. 한편 액정 소자(412)의 제 2 전극은, 대향 전극에 상당한다. 액정 소자의 제 1 전극 및 제 2 전극은, 다양한 개구 패턴을 갖는 형상으로 하여도 좋다. 한편 액정 소자에서 제 1 전극과 제 2 전극에 협지되는 액정 재료는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 폴리머 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용하면 된다. 이들 액정 재료는, 조건에 따라, 콜레스테르상, 스멕틱상, 큐빅상, 카이럴레마틱상, 등방상 등을 나타낸다. 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용하여도 좋다. 한편 액정 소자(412)의 제 1 전극은, 투광성을 갖는 재료, 또는 반사율이 높은 금속을 이용하여 형성한다. 투광성을 갖는 재료에는, 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 갈륨을 첨가한 산화 아연(GZO) 등이 있다. 반사율이 높은 금속 전극에는, 알루미늄, 은 등이 이용된다. 한편 제 1 전극, 제 2 전극, 및 액정 재료를 합쳐서 액정 소자라 부르는 경우도 있다.

[0037] 한편 용량 소자(413)는, 일 예로 화소 전극과 별도로 절연층을 통해 형성되는 용량선으로 구성된다. 한편 트랜지스터(411)에서의 오프 전류가 충분히 저감되면, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있으며

로, 의도적으로 형성하는 용량 소자를 없애는 것도 가능하다.

- [0038] 한편, 화소(410)에서는, 표시 소자로 액정 소자를 구비하는 액정 표시 장치를 상정하여 각 소자를 설명하였으나, 액정 소자에 한정되지 않고, EL 소자, 또는 전기 영동 소자 등의 다양한 표시 소자를 이용하는 것이 가능하다.
- [0039] 게이트선(408)에는, 게이트선 구동 회로(414)에서 트랜지스터(411)의 도통 또는 비도통을 제어하는 신호가 공급된다. 또한 소스선(409)에는, 소스선 구동 회로(415)에서 액정 소자(412)에 공급하는 화상 신호가 공급된다. 한편 도 4에서, 표시부(406)는, 게이트선 구동 회로(414) 및 소스선 구동 회로(415)와 동일한 기관 위에 형성하는 구성으로 하는 것이 바람직하나, 반드시 동일한 기관 위에 형성할 필요는 없다. 표시부(406)와 동일한 기관 위에 게이트선 구동 회로(414), 소스선 구동 회로(415)를 형성함으로써, 외부와의 접속 단자수를 삭감할 수 있고, 액정 표시 장치의 소형화를 도모할 수 있다.
- [0040] 이어서 디스플레이 컨트롤러(402)는, 기준 클럭 생성 회로(416), 분주 회로(417), 전환 회로(418), 표시 모드 제어 회로(419), 제어 신호 생성 회로(420), 및 화상 신호 출력 회로(421)를 갖는다.
- [0041] 기준 클럭 생성 회로(416)는, 일정한 주파수의 클럭 신호를 발진하기 위한 회로이다. 기준 클럭 생성 회로(416)는, 예를 들어 링 오실레이터 또는 수정 발진기 등을 갖는 구성으로 하면 된다. 또한 분주 회로(417)는 입력되는 클럭 신호의 주파수를 변화시키기 위한 회로이다. 분주 회로(417)는, 예를 들어 카운터 회로 등을 이용하여 구성하면 된다. 또한 전환 회로(418)는, 기준 클럭 생성 회로(416)로부터의 클럭 신호(이하, 제 1 클럭 신호) 또는 분주 회로(417)로부터의 클럭 신호(이하, 제 2 클럭 신호)를 바꾸어 출력하기 위한 회로이다. 전환 회로(418)는, 예를 들어 트랜지스터에 의해 도통 또는 비도통을 제어하는 구성으로 하면 된다.
- [0042] 표시 모드 제어 회로(419)는, CPU(404)로부터의 제어에 의해, 전환 회로(418)에서 출력되는 클럭 신호를 전환하도록 제어하기 위한 회로이다. 이 제어에 의해, 상기 제 1 클럭 신호 또는 제 2 클럭 신호를 전환할 수 있고, 상기 도 2(A) 또는 도 2(B)와 같은 제 1 정지화 표시 기간에 의한 모드와 제 2 정지화 표시 기간에 의한 모드를 전환할 수 있다.
- [0043] 제어 신호 생성 회로(420)는, 제 1 클럭 신호 또는 제 2 클럭 신호 중, 선택된 클럭 신호를 기초로 하여, 게이트선 구동 회로(414) 및 소스선 구동 회로(415)를 구동하기 위한 제어 신호(스타트 펄스(GSP, SSP) 및 클럭 신호(GCK, SCK))를 생성하기 위한 회로이다. 화상 신호 출력 회로(421)는, 제 1 클럭 신호 또는 제 2 클럭 신호의 선택된 클럭 신호를 기초로 하여, 소스선 구동 회로(415)에 공급하는 화상 신호(Data)를 기억 회로(403)에서 읽어 출력하기 위한 회로이다. 한편 화상 신호는, 도트 반전 구동, 소스 라인 반전 구동, 게이트 라인 반전 구동, 프레임 반전 구동 등에 따라 적절히 반전시켜 표시 패널(401)에 출력하는 구성으로 하여도 좋다. 한편, 도시하지 않았으나 전원 전위(고전원 전위(Vdd), 저전원 전위(Vss), 및 공통 전위(Vcom))도 표시 패널(401)에 공급된다.
- [0044] 기억 회로(403)는, 표시 패널(401)에서 표시하기 위한 화상 신호를 기억하기 위한 회로이다. 기억 회로(403)로는, 일 예로, 스테틱형 메모리(SRAM)나 다이내믹형 메모리(DRAM), 강유전체 메모리(FerAM), EEPROM, 플래시 메모리 등을 이용하여 구성하면 된다.
- [0045] CPU(404)는, 외부 입력 기기(405) 등으로부터의 신호에 따라, 표시 모드 제어 회로(419) 등의 제어를 하기 위한 것이다. 외부 입력 기기(405)는, 입력 버튼 또는 입력 키보드, 또는 터치 패널을 이용하면 된다.
- [0046] 이어서, 도 4의 블록도에서의 각 블록 사이에서의 구체적인 동작에 대해, 도 5에 나타난 플로우 차트와 병행하여 설명한다. 한편, 도 5에 나타난 플로우 차트에서는, 상기 도 1(A) 내지 (C), 도 2(A) 및 (B)에서 설명한 제 1 정지화 표시 기간과 제 2 정지화 표시 기간을 바꾸어 동작하는 구성에 대해 설명한 것이다. 또한, 도 5에 나타난 플로우 차트에서는, 제 1 정지화 표시 기간에서 제 2 정지화 표시 기간으로 전환하는 동작의 예에 대해 설명한다.
- [0047] 우선, 도 5의 스텝(501)에 대해 설명한다. 스텝(501)에서는, 제 1 정지화 표시 기간에서의 제 1 정지화 쓰기 동작이 이루어진다. 스텝(501)은 도 2(A)에서의 제 1 화상 신호의 쓰기 기간(W1)에서의 동작에 상당한다. 이때, 도 4에서는, 표시 모드 제어 회로(419)에 의해 전환 회로(418)에서 출력되는 클럭 신호로, 기준 클럭 생성 회로(416)로부터의 제 1 클럭 신호 출력이 선택된다. 이 제 1 클럭 신호를 이용하여, 화상 신호 출력 회로(421)에 의한 제 1 화상 신호의 기억 회로(403)로부터의 읽기, 및 제어 신호 생성 회로(420)에서의 제어 신호의 생성이 이루어진다. 그리고, 표시 패널(401)에서는 시인자가 쓰기를 알아차리지 못할 정도의 쓰기 속도로 화상

신호의 쓰기가 이루어지게 된다.

- [0048] 이어서, 도 5의 스텝(502)에 대해 설명한다. 스텝(502)에서는, 제 1 정지화 표시 기간에서의 제 1 정지화 유지 동작이 이루어진다. 스텝(502)은 도 2(A)에서의 제 1 화상 신호의 유지 기간(H1)에서의 동작에 상당한다. 이때, 도 4에서는, 제어 신호 생성 회로(420) 및 화상 신호 출력 회로(421)로부터의 제어 신호 및 화상 신호의 표시 패널(401)로의 출력을 정지한다. 이때 액정 소자에 인가된 제 1 화상 신호는, 산화물 반도체를 반도체층에 이용한 트랜지스터를 오프 상태로 함으로써 계속 유지될 수 있다. 이로 인해, 제어 신호 생성 회로(420) 및 화상 신호 출력 회로(421)를 정지하는 것에 의한 저소비 전력화를 도모할 수 있다. 한편 누적 시간의 경과에 의해 액정 소자에 인가한 전압의 강하가 표시 품질의 저하를 초래하지 않는 범위에서, 유지 기간을 1초 이상으로 하는 것은, 인간의 눈의 피로를 줄이는 효과도 있다.
- [0049] 이어서, 도 5의 스텝(503)에 대해 설명한다. 스텝(503)에서는, 표시 모드 제어 회로(419)가 전환 회로(418)의 동작을 전환하는지 여부의 판정이 이루어진다. 구체적으로는 전자 서적의 페이지를 전환하는 조작을 외부 입력 기기(405)에서 조작 버튼 등의 조작으로 행하는지 여부에 따라, CPU(404)에 의해 표시 모드 제어 회로(419)를 통해 전환 회로(418)의 동작을 전환하는지 여부가 결정된다. 스텝(503)에 나타난 예에서는, 외부 입력 기기(405)에 의한 조작이 없으면 CPU(404)가 표시 모드 제어 회로(419)에 의한 제어를 행하지 않으므로, 전환 회로(418)에서 출력되는 제 1 클럭 신호는 전환되지 않는다. 즉, 스텝(501)의 상태를 유지하는 것이 된다. 한편, 외부 입력 기기(405)에 의한 조작이 있는 경우, 즉 외부 입력 기기(405)에서 조작 버튼 등의 조작이 있는 경우에는, CPU(404)에 의해 표시 모드 제어 회로(419)를 통해 전환 회로(418)를 전환한다. 구체적으로는, 전환 회로(418)에서 출력되는 제 1 클럭 신호가 분주 회로(417)에서 출력되는 제 2 클럭 신호로 전환된다.
- [0050] 이어서, 도 5의 스텝(504)에 대해 설명한다. 스텝(504)에서는, 제 2 정지화 표시 기간에서의 제 2 정지화 쓰기 동작이 이루어진다. 스텝(504)은 도 2(B)에서의 제 2 화상 신호의 쓰기 기간(W2)에서의 동작에 상당한다. 이때, 도 4에서는, 표시 모드 제어 회로(419)에 의해 전환 회로(418)에서 출력되는 클럭 신호로, 분주 회로(417)로부터의 제 2 클럭 신호가 선택된다. 이 제 2 클럭 신호를 이용하여, 화상 신호 출력 회로(421)에 의한 제 2 화상 신호의 기억 회로(403)로부터의 읽기, 및 제어 신호 생성 회로(420)에서의 제어 신호 등의 생성이 이루어진다. 그리고 표시 패널(401)에서는, 시인자가 화상의 전환을 인식할 수 있는 정도의 다시 쓰기 속도로 할 수 있다. 이는 종이 매체에서의 페이지 전환 시의 인식에 상당하므로, 표시 전환 시의 더 낮은 가시 효율을 방지할 수 있다.
- [0051] 이어서, 도 5의 스텝(505)에 대해 설명한다. 스텝(505)에서는, 제 2 정지화 표시 기간에서의 제 2 정지화 유지 동작이 이루어진다. 스텝(505)은 도 2(B)에서의 제 2 화상 신호의 유지 기간(H2)에서의 동작에 상당한다. 이때, 도 4에서는, 제어 신호 생성 회로(420)부터의 제어 신호 및 화상 신호 출력 회로(421)로부터의 화상 신호가 표시 패널(401)로의 출력을 정지한다. 이때 액정 소자에 인가된 제 2 화상 신호는, 산화물 반도체를 반도체층에 이용한 트랜지스터를 오프 상태로 함으로써 계속 유지될 수 있다. 이로 인해, 제어 신호 생성 회로(420) 및 화상 신호 출력 회로(421)를 정지하는 것에 의한 저소비 전력화를 도모할 수 있다. 한편 누적 시간의 경과에 의해 액정 소자에 인가한 전압의 강하가 표시 품질의 저하를 초래하지 않을 정도로, 유지 기간을 1초 이상으로 하는 것은, 인간의 눈의 피로를 줄이는 효과도 있다.
- [0052] 한편 다시 스텝(501)과 같이 동일한 제 1 화상 신호를 표시하는 경우에는, 스텝(501) 및 스텝(502)과 마찬가지로의 처리를 하면 된다. 또한, 다시 스텝(503)에서와 같이 표시 모드 제어 회로(419)가 전환 회로(418)의 동작을 전환하는 경우에는, 스텝(504) 및 스텝(505)과 마찬가지로의 처리를 하면 된다.
- [0053] 이어서, 본 실시형태의 구성으로 하는 것에 의한 이점에 대해, 도 6(A) 내지 도 6(C)에 개념도를 나타내어 설명한다.
- [0054] 도 6(A)에는, 종이 매체인 서적의 사시도를 나타내고, 페이지를 넘기는 동작에 대해 시간 경과 양상을 나타낸다. 도시하지는 않았으나, 시인자에게는, 종이 매체 서적(601)에서는 페이지를 넘기는 시간을 거쳐 다음 페이지의 문자(602)가 시야에 들어온다.
- [0055] 한편, 액정 표시 장치를 구비하는 전자 서적은, 예를 들어 도 6(B)에 나타난 바와 같이 조작 버튼(611)과 표시 패널(612)을 갖는다. 도 6(B)과 같이 조작 버튼(611)을 누름으로써 순간적으로 표시가 바뀌는 구성에서는, 도 6(A)과 달리 표시의 전환에 의한 위화감이 생기는 경우가 있다. 또한 의도하지 않은 페이지의 전환이 발생하여도, 순간적으로 인식할 수 없게 되는 경우도 생길 수 있다.
- [0056] 도 6(B)의 개념도에 대해, 본 실시형태의 구성에서는, 도 6(C)에 나타난 바와 같이, 표시 패널에 표시되는 화상

을 갱신할 때, 화상 신호의 쓰기 기간에 일정한 시간에 걸쳐 행할 수 있으므로, 표시가 변화하는 영역(621)과, 표시가 변화하지 않는 영역(622)이 혼재하는 표시를 거쳐, 표시가 전환된다. 본 실시형태의 구성에서는, 통상의 쓰기 동작 시에는 기준 클럭 생성 회로에 의한 제 1 클럭 신호를 이용하여 표시하고, 페이지의 전환과 같이, 화상을 갱신할 때의 쓰기 동작 시에는 분주 회로를 이용한 제 2 클럭 신호를 이용함으로써 표시의 전환을 행한다. 그 결과, 페이지를 넘길 때에는 쓰기를 서서히 행하므로, 시인자가 페이지 넘기는 것을 시각적으로 포착할 수 있다.

[0057] 이상 설명한 바와 같이, 본 발명의 일 양태에 의해, 표시 소자에 인가되는 전압이 변화하는데 따른 표시 품질의 저하를 감소시키고, 표시 전환 시의 더 낮은 시각 효과를 방지할 수 있는 표시 장치를 제공할 수 있다.

[0058] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0059] (실시형태 2)

[0060] 본 실시형태에서는, 본 명세서에 개시하는 표시 장치에 적용할 수 있는 트랜지스터의 예를 나타낸다.

[0061] 도 7(A) 내지 도 7(D)에 트랜지스터의 단면 구조의 일 예를 나타낸다.

[0062] 도 7(A)에 나타낸 트랜지스터(1210)는, 보텀 게이트 구조의 트랜지스터의 하나로, 역스태거형 트랜지스터라고도 한다.

[0063] 트랜지스터(1210)는, 절연 표면을 갖는 기판(1200) 위에, 게이트 전극층(1201), 게이트 절연층(1202), 반도체층(1203), 소스 전극층(1205a), 및 드레인 전극층(1205b)을 포함한다. 또한, 트랜지스터(1210)를 덮고, 반도체층(1203)에 적층하는 절연층(1207)이 형성되어 있다. 절연층(1207) 위에는 추가로 보호 절연층(1209)이 형성되어 있다.

[0064] 도 7(B)에 나타낸 트랜지스터(1220)는, 채널 보호형(채널 스탑형이라고도 함)이라 불리는 보텀 게이트 구조의 하나로, 역스태거형 트랜지스터라고도 한다.

[0065] 트랜지스터(1220)는, 절연 표면을 갖는 기판(1200) 위에, 게이트 전극층(1201), 게이트 절연층(1202), 반도체층(1203), 반도체층(1203)의 채널 형성 영역 위에 형성된 채널 보호층으로 기능하는 절연층(1227), 소스 전극층(1205a), 및 드레인 전극층(1205b)을 포함한다. 또한, 트랜지스터(1220)를 덮기 위해, 보호 절연층(1209)이 형성되어 있다.

[0066] 도 7(C)에 나타낸 트랜지스터(1230)는 보텀 게이트형 트랜지스터로, 절연 표면을 갖는 기판인 기판(1200) 위에, 게이트 전극층(1201), 게이트 절연층(1202), 소스 전극층(1205a), 드레인 전극층(1205b), 및 반도체층(1203)을 포함한다. 또한, 트랜지스터(1230)를 덮고, 반도체층(1203)에 접하는 절연층(1207)이 형성되어 있다. 절연층(1207) 위에는 추가로 보호 절연층(1209)이 형성되어 있다.

[0067] 트랜지스터(1230)에서는, 게이트 절연층(1202)은 기판(1200) 및 게이트 전극층(1201)과 접하여 형성되고, 게이트 절연층(1202)과 소스 전극층(1205a), 드레인 전극층(1205b)이 접하여 형성되어 있다. 그리고, 게이트 절연층(1202), 및 소스 전극층(1205a), 드레인 전극층(1205b) 위에 반도체층(1203)이 형성되어 있다.

[0068] 도 7(D)에 나타낸 트랜지스터(1240)는, 탑게이트 구조의 트랜지스터의 하나이다. 트랜지스터(1240)는, 절연 표면을 갖는 기판(1200) 위에, 절연층(1247), 반도체층(1203), 소스 전극층(1205a), 및 드레인 전극층(1205b), 게이트 절연층(1202), 게이트 전극층(1201)을 포함하고, 소스 전극층(1205a), 드레인 전극층(1205b)에 각각 배선층(1246a), 배선층(1246b)이 접하여 형성되고 전기적으로 접속되어 있다.

[0069] 본 실시형태에서는, 반도체층(1203)으로 산화물 반도체를 이용한다.

[0070] 산화물 반도체로는, 사원계 금속 산화물인 In-Sn-Ga-Zn-O계 금속 산화물이나, 삼원계 금속 산화물인 In-Ga-Zn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물이나, 이원계 금속 산화물인 In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, Zn-Mg-O계 금속 산화물, Sn-Mg-O계 금속 산화물, In-Mg-O계 금속 산화물이나, In-O계 금속 산화물, Sn-O계 금속 산화물, Zn-O계 금속 산화물 등을 이용할 수 있다. 또한, 상기 금속 산화물의 반도체에 SiO₂를 포함하고 있어도 좋다. 여기서, 예를 들어, In-Ga-Zn-O계 금속 산화물이란, 적어도 In과 Ga와 Zn을 포함하는 산화물로, 그 조성비에 특별히 제한은 없다. 또한, In과 Ga와 Zn 이외의 원소를 포함하

고 있어도 좋다.

- [0071] 또한, 산화물 반도체는, 화학식 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 박막을 이용할 수 있다. 여기서, M은, Zn, Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0072] 한편 본 실시형태의 구성에서 산화물 반도체는, n형 불순물인 수소를 산화물 반도체에서 제거하고, 산화물 반도체의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화함으로써 진성(i형)으로 하거나, 또는 진성형으로 한 것이다. 즉, 불순물을 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물을 최대한 제거함으로써, 고순도화된 i형(진성 반도체) 또는 이에 가깝게 한 것이다. 나아가, 산화물 반도체는, 2.0eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3.0eV 이상의 밴드갭을 갖는다. 이로 인해, 산화물 반도체는, 열여기에 기인하는 캐리어의 발생을 억제할 수 있다. 그 결과, 산화물 반도체에 의해 채널 형성 영역이 구성된 트랜지스터의 동작 온도의 상승에 따른 오프 전류의 증감을 저감할 수 있다.
- [0073] 또한, 고순도화된 산화물 반도체 중에는 캐리어가 매우 적어(제로에 가까움), 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다.
- [0074] 산화물 반도체 중에 캐리어가 매우 적으므로, 트랜지스터의 오프 전류를 적게 할 수 있다. 구체적으로는, 상술한 산화물 반도체를 반도체층에 이용한 트랜지스터는, 채널 폭 $1\mu\text{m}$ 당 오프 전류를 $10\text{aA}/\mu\text{m}(1 \times 10^{-17}\text{A}/\mu\text{m})$ 이하로 하는 것, 나아가 $1\text{aA}/\mu\text{m}(1 \times 10^{-18}\text{A}/\mu\text{m})$ 이하, 더 나아가 $10\text{zA}/\mu\text{m}(1 \times 10^{-20}\text{A}/\mu\text{m})$ 로 하는 것이 가능하다. 즉 트랜지스터의 비도통 상태에서, 산화물 반도체는 절연체로 간주하여 회로 설계를 할 수 있다. 한편, 산화물 반도체는, 트랜지스터의 도통 상태에서는, 비정질 실리콘에서 형성되는 반도체층 보다도 높은 전류 공급 능력을 예상할 수 있다.
- [0075] 산화물 반도체를 반도체층(1203)에 이용한 트랜지스터(1210, 1220, 1230, 1240)는, 오프 상태에서의 전류치(오프 전류치)를 낮게 할 수 있다. 따라서, 화상 데이터 등의 전기 신호의 유지 시간을 길게 할 수 있고, 쓰기 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 레이트를 작게 할 수 있으므로, 소비 전력을 더욱 억제하는 효과를 높일 수 있다.
- [0076] 또한, 산화물 반도체를 반도체층(1203)에 이용한 트랜지스터(1210, 1220, 1230, 1240)는, 비정질 반도체를 이용한 것으로는 비교적 높은 전계 효과 이동도를 얻을 수 있으므로, 고속 구동이 가능하다. 따라서, 표시 장치의 고기능화 및 고속 응답화를 실현할 수 있다.
- [0077] 절연 표면을 갖는 기판(1200)에 사용할 수 있는 기판에 특별한 제한은 없으나, 적어도, 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖고 있을 필요가 있다. 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기판을 이용할 수 있다.
- [0078] 또한, 유리 기판으로는, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730°C 이상인 것을 이용하는 것이 좋다. 또한, 유리 기판에는, 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리 등의 유리 재료가 이용된다. 한편, 산화 붕소(B_2O_3)보다 산화 바륨(BaO)을 많이 포함하는 유리 기판을 이용하여도 좋다.
- [0079] 한편, 상기 유리 기판 대신, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어진 기판을 이용하여도 좋다. 그 외에도, 결정화 유리 등을 이용할 수 있다. 또한, 플라스틱 기판 등도 적절히 이용할 수 있다.
- [0080] 보텀 게이트 구조의 트랜지스터(1210, 1220, 1230)에서, 하지막이 되는 절연막을 기판과 게이트 전극층 사이에 형성하여도 좋다. 하지막은, 기판으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막에서 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0081] 게이트 전극층(1201)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여, 단층으로 또는 적층하여 형성할 수 있다.
- [0082] 예를 들어, 게이트 전극층(1201)의 2층의 적층 구조로는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티탄층 또는 질화 탄탈층을 적층한 2층 구조, 질화 티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로는, 텅

스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티탄의 합금층과, 질화 티탄층 또는 티탄층을 적층한 적층으로 하는 것이 바람직하다. 한편, 투광성을 갖는 도전막을 이용하여 게이트 전극층을 형성할 수도 있다. 투광성을 갖는 도전막으로는, 투광성 도전성 산화물 등을 그 예로 들 수 있다.

[0083] 게이트 절연층(1202)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 단층으로 또는 적층하여 형성할 수 있다.

[0084] 게이트 절연층(1202)은, 게이트 전극층 측에서 질화 실리콘층과 산화 실리콘층을 적층한 구조로 할 수도 있다. 예를 들어, 제 1 게이트 절연층으로 스퍼터링법에 의해 막후 50nm 이상 200nm 이하의 질화 실리콘층(SiN_y ($y>0$))을 형성하고, 제 1 게이트 절연층 위에 제 2 게이트 절연층으로 막후 5nm 이상 300nm 이하의 산화 실리콘층(SiO_x ($x>0$))을 적층하여, 막후 100nm의 게이트 절연층으로 한다. 게이트 절연층(1202)의 막후는, 트랜지스터에 요구되는 특성에 의해 적절히 설정하면 되고 350nm 내지 400nm 정도이어도 좋다.

[0085] 소스 전극층(1205a), 드레인 전극층(1205b)에 이용하는 도전막으로는, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 에서 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 합금막 등을 이용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 또는 상측 한쪽 또는 양쪽에 Cr, Ta, Ti, Mo, W 등의 고용점 금속층을 적층시킨 구성으로 하여도 좋다. 또한, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, Y 등 Al막에 생기는 힐록이나 위스커의 발생을 방지하는 원소가 첨가되어 있는 Al 재료를 이용함으로써 내열성을 향상시킬 수 있게 된다.

[0086] 또한, 소스 전극층(1205a), 드레인 전극층(1205b)은, 단층 구조이어도, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, Ti막과, 이 Ti막 위에 겹치도록 알루미늄막을 적층하고, 나아가 그 위에 Ti막을 성막하는 3층 구조 등을 들 수 있다.

[0087] 소스 전극층(1205a), 드레인 전극층(1205b)에 접속하는 배선층(1246a), 배선층(1246b)과 같은 도전막도, 소스 전극층(1205a), 드레인 전극층(1205b)과 동일한 재료를 이용할 수 있다.

[0088] 또한, 소스 전극층(1205a), 드레인 전극층(1205b)(이와 동일한 층으로 형성되는 배선층을 포함)이 되는 도전막을 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화인듐 주석, 산화인듐 산화아연 합금(In_2O_3 - ZnO) 또는 상기 금속 산화물 재료에 실리콘 또는 산화 실리콘을 포함시킨 것을 이용할 수 있다.

[0089] 절연층(1207, 1227, 1247), 보호 절연층(1209)으로는, 산화 절연층, 또는 질화 절연층 등의 무기 절연막을 적절히 이용할 수 있다.

[0090] 절연층(1207, 1227, 1247)은, 대표적으로는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등의 무기 절연막을 이용할 수 있다.

[0091] 보호 절연층(1209)은, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 질화산화 알루미늄막 등의 무기 절연막을 이용할 수 있다.

[0092] 또한, 보호 절연층(1209) 위에 트랜지스터 기인의 표면 요철을 저감하기 위해 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 이용할 수 있다. 한편, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성하여도 좋다.

[0093] 이와 같이, 본 실시형태에서, 산화물 반도체를 반도체층에 이용한 트랜지스터를 이용하는 표시 장치를 제공할 수 있다.

[0094] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0095] (실시형태 3)

[0096] 본 실시형태에서는, 액정 표시 장치의 외관 및 단면 등을 나타내고, 그 구성에 대해 설명한다. 구체적으로는, 트랜지스터를 제작하고, 이 트랜지스터를 화소부, 나아가 구동 회로에 이용하여 표시 기능을 갖는 액정 표시 장

치를 제작할 수 있다. 또한, 트랜지스터를 이용한 구동 회로의 일부 또는 전체를, 화소부와 동일한 기판 위에 일체로 형성하고, 시스템은 패널을 형성할 수 있다.

- [0097] 한편 액정 표시 장치란, 커넥터, 예를 들어 FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테일 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테일이나 TCP의 끝에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 모두 액정 표시 장치에 포함하는 것으로 한다.
- [0098] 액정 표시 장치의 외관 및 단면에 대해, 도 8의 (A1), 도 8의 (A2), 도 8의 (B)를 이용하여 설명한다. 도 8의 (A1)과 도 8의 (A2)는, 트랜지스터(4010, 4011), 및 액정 소자(4013)를, 제 1 기판(4001)과 제 2 기판(4006) 사이에 절재(4005)에 의해 봉지한, 패널의 평면도이고, 도 8의 (B)은, 도 8의 (A1)과, 도 8의 (A2)의 M-N에서의 단면도에 상당한다.
- [0099] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 절재(4005)가 형성되어 있다. 또한 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성되어 있다. 따라서 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기판(4001)과 절재(4005)와 제 2 기판(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 또한 제 1 기판(4001) 위의 절재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다.
- [0100] 한편, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것이 아니며, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 이용할 수 있다. 도 8(A1)은, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 8(A2)은, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0101] 또한 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는, 트랜지스터를 복수 가지며, 도 8(B)에서는, 화소부(4002)에 포함되는 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하고 있다. 트랜지스터(4010, 4011) 위에는 절연층(4041a, 4041b, 4042a, 4042b, 4020, 4021)이 형성되어 있다.
- [0102] 트랜지스터(4010, 4011)는, 산화물 반도체를 반도체층에 이용한 트랜지스터를 적용할 수 있다. 본 실시형태에서, 트랜지스터(4010, 4011)는 n채널형 트랜지스터이다.
- [0103] 절연층(4021) 상에서, 구동 회로용 트랜지스터(4011)의 산화물 반도체를 이용한 채널 형성 영역과 겹치는 위치에 도전층(4040)이 형성되어 있다. 도전층(4040)을 산화물 반도체를 이용한 채널 형성 영역과 겹치는 위치에 형성함으로써, BT(Bias Temperature) 시험 전후에서의 트랜지스터(4011)의 역치 전압의 변화량을 저감할 수 있다. 또한, 도전층(4040)은, 전위가 트랜지스터(4011)의 게이트 전극층과 동일하여도 좋고, 달라도 좋으며, 제 2 게이트 전극층으로 기능시킬 수도 있다. 또한, 도전층(4040)의 전위가 GND, 0V, 또는 플로팅 상태이어도 좋다.
- [0104] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은, 트랜지스터(4010)와 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006) 위에 형성되어 있다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 겹쳐진 부분이, 액정 소자(4013)에 상당한다. 한편, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 통해 액정층(4008)을 협지하고 있다.
- [0105] 한편, 제 1 기판(4001), 제 2 기판(4006)으로는, 투광성 기판을 이용할 수 있고, 유리, 세라믹, 플라스틱을 이용할 수 있다. 플라스틱으로는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다.
- [0106] 또한 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥형 스페이서로, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀갭)를 제어하기 위해 형성되어 있다. 한편 구형 스페이서를 이용하여도 좋다. 또한, 대향 전극층(4031)은, 트랜지스터(4010)와 동일 기판상에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 통해 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 한편, 도전성 입자는 절재(4005)에 함유시킬 수 있다.
- [0107] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용하여도 좋다. 블루상은 액정상의 하나로, 콜레스테릭 액정을 승온하면, 콜레스테릭상에서 등방상으로 전이되기 직전에 발현하는 상이다. 블루상은 좁은 온도

범위에서만 발현하므로, 온도 범위를 개선하기 위해 5중량% 이상의 카이랄제를 혼합시킨 액정 조성물을 이용하여 액정층(4008)에 이용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이므로 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0108] 한편 본 실시예는 투과형 액정 표시 장치 외에, 반투과형 액정 표시 장치에서도 적용할 수 있다.

[0109] 또한, 액정 표시 장치에서는, 기관의 외측(시인측)에 편광판을 형성하고, 내측에 착색층, 표시 소자에 이용하는 전극층 순서로 형성하는 예를 나타내나, 편광판은 기관 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 따라 적절히 설정하면 된다. 또한, 표시부 이외에 블랙 매트릭스로 기능하는 차광막을 형성하여도 좋다.

[0110] 트랜지스터(4011)는, 채널 보호층으로 기능하는 절연층(4041a)과, 산화물 반도체를 이용한 반도체층의 적층의 주연부(측면 포함)를 덮는 절연층(4041b)이 형성되어 있다. 마찬가지로 트랜지스터(4010)는, 채널 보호층으로 기능하는 절연층(4042a)과, 산화물 반도체를 이용한 반도체층의 적층의 주연부(측면 포함)를 덮는 절연층(4042b)이 형성되어 있다.

[0111] 산화물 반도체를 이용한 반도체층의 주연부(측면 포함)를 덮는 산화물 절연층인 절연층(4041b, 4042b)은, 게이트 전극층과, 그 상방 또는 주변에 형성되는 배선층(소스 배선층이나 용량 배선층 등)과의 거리를 크게 하고, 기생 용량의 저감을 도모할 수 있다. 또한, 트랜지스터의 표면 요철을 저감하기 위해 평탄화 절연막으로 기능하는 절연층(4021)으로 덮는 구성으로 되어 있다. 여기에서는, 절연층(4041a, 4041b, 4042a, 4042b)으로, 일 예로 스퍼터링법에 의해 산화 규소막을 형성한다.

[0112] 또한, 절연층(4041a, 4041b, 4042a, 4042b) 위에 절연층(4020)이 형성되어 있다. 절연층(4020)은, 일 예로 RF 스퍼터링법에 의해 질화 규소막을 형성한다.

[0113] 또한, 평탄화 절연막으로 절연층(4021)을 형성한다. 절연층(4021)으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 이용할 수 있다. 한편, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.

[0114] 한편 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로는 유기기(예를 들어 알킬기나 아릴기)나 플루오로기를 이용하여도 좋다. 또한, 유기기는 플루오로기를 갖고 있어도 좋다.

[0115] 본 실시형태에서는, 화소부의 복수의 트랜지스터를 합쳐서 질화물 절연막으로 둘러싼 구성으로 하여도 좋다. 절연층(4020)과 게이트 절연층에 질화물 절연막을 이용하여, 도 8(B)에 나타낸 바와 같이 적어도 액티브 매트릭스 기관의 화소부의 주연부를 둘러싸도록 절연층(4020)과 게이트 절연층이 접하는 영역을 형성하는 구성으로 하면 된다. 이 제조 프로세스에서는, 외부로부터의 수분의 침입을 방지할 수 있다. 또한, 액정 표시 장치로 디바이스가 완성된 후에도 장기적으로, 외부로부터의 수분 침입을 방지할 수 있고 디바이스의 장기 신뢰성을 향상할 수 있다.

[0116] 절연층(4021)의 형성법은, 특별히 한정되지 않으며, 그 재료에 따라, 스퍼터링법, SOG법, 스핀코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 방법, 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등의 툴을 이용할 수 있다. 절연층(4021)의 소성 공정과 반도체층의 어닐을 병행함으로써 효율성 좋게 액정 표시 장치를 제작하는 것이 가능해 진다.

[0117] 화소 전극층(4030), 대향 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 산화 인듐 주석, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성의 도전성 재료를 이용할 수 있다.

[0118] 또한, 화소 전극층(4030), 대향 전극층(4031)으로, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 조성물을 이용하여 형성한 화소 전극은, 시트 저항이 10000Ω/□ 이하, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω·cm 이하인 것이 바람직하다.

[0119] 도전성 고분자로는, 이른바 π 전자 공역계 도전성 고분자를 이용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤(pyrrole), 티오펜 또는 그

유도체 중의 이들 2종 이상의 공중합체 등을 들 수 있다.

- [0120] 또한 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC(4018)에서 공급되어 있다.
- [0121] 접속 단자 전극(4015)이, 액정 소자(4013)가 갖는 화소 전극층(4030)과 동일한 도전막에서 형성되고, 단자 전극(4016)은, 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로 형성되어 있다.
- [0122] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.
- [0123] 또한 도 8에서는, 신호선 구동 회로(4003)를 별도로 형성하고, 제 1 기판(4001)에 실장되어 있는 예를 도시하고 있으나 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋으며, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.
- [0124] 도 9는, 액정 표시 장치를 구성하는 일 예를 나타낸다.
- [0125] 도 9는 액정 표시 장치의 일 예로, TFT 기판(2600)과 대향 기판(2601)이 셀재(2602)에 의해 서로 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 기판 사이에 형성되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 하는 경우에 필요하고, RGB 방식의 경우는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 형성되어 있다. 대향 기판(2601)의 외측에는 편광판(2606)이, TFT 기판(2600)의 외측에는 편광판(2607)과 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의해 구성된다. 회로 기판(2612)은, 플렉서블 배선 기판(2609)에 의해 TFT 기판(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 내장되어 있다. 또한 편광판과, 액정층 사이에 위상차판을 가진 상태로 적층하여도 좋다.
- [0126] 액정 표시 장치의 구동 방식에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0127] 이상의 공정에 의해, 액정 표시 장치를 제작할 수 있다.
- [0128] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0129] (실시형태 4)
- [0130] 본 실시형태에서는, 상기 실시형태에서 나타난 액정 표시 장치에서, 터치 패널 기능을 부가한 액정 표시 장치의 구성에 대해, 도 10(A), (B)을 이용하여 설명한다.
- [0131] 도 10(A)은, 본 실시형태의 액정 표시 장치의 개략도이다. 도 10(A)에는, 상기 실시형태의 액정 표시 장치인 액정 표시 패널(1501)에 터치 패널 유닛(1502)을 중첩하여 형성하고, 하우징(1503)(케이스)으로 합착시킨 구성에 대해 나타낸다. 터치 패널 유닛(1502)으로, 저항막 터치 방식, 표면형 정전 용량 방식, 투영형 정전 용량 방식 등을 적절히 이용할 수 있다.
- [0132] 도 10(A)에 나타난 바와 같이, 액정 표시 패널(1501)과 터치 패널 유닛(1502)을 별도로 제작하고 중첩함으로써, 터치 패널 기능을 부가한 액정 표시 장치의 제작에 관한 비용 삭감을 도모할 수 있다.
- [0133] 도 10(A)과는 다른 터치 패널 기능을 부가한 액정 표시 장치의 구성에 대해, 도 10(B)에 나타낸다. 도 10(B)에 나타난 액정 표시 장치(1504)는, 복수 형성되는 화소(1505)에 광센서(1506), 액정 소자(1507)를 갖는다. 이로 인해, 도 10(A)과는 달리, 터치 패널 유닛(1502)을 중첩하여 제작할 필요가 없으며, 액정 표시 장치의 박형화를 도모할 수 있다. 한편, 화소(1505)와 함께 게이트선 구동 회로(1508), 신호선 구동 회로(1509), 광센서용 구동 회로(1510)를 화소(1505)와 동일한 기판 위에 제작함으로써, 액정 표시 장치의 소형화를 도모할 수 있다. 한편 광센서(1506)는, 아몰퍼스 실리콘 등으로 형성하고, 산화물 반도체를 이용한 트랜지스터와 중첩하여 형성하는 구성으로 하여도 좋다.

- [0134] 한편, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.
- [0135] (실시형태 5)
- [0136] 본 실시형태에서는, 상기 실시형태에서 설명한 액정 표시 장치를 구비하는 전자 기기의 예에 대해 설명한다.
- [0137] 도 11(A)은 전자 서적(E-book이라고도 함)으로, 하우징(9630), 표시부(9631), 조작키(9632), 태양 전지(9633), 충방전 제어 회로(9634) 등을 가질 수 있다. 도 11(A)에 나타난 전자 서적(e-book reader)은, 다양한 정보(정지화, 동화, 텍스트 화상 등)를 표시부에 표시하는 기능, 달력, 날짜 또는 시간 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 등을 가질 수 있다. 한편, 도 11(A)에서는 충방전 제어 회로(9634)의 일 예로 배터리(9635), DCDC 컨버터(이하, 컨버터(9636)로 약기함)를 갖는 구성에 대해 도시한다.
- [0138] 도 11(A)에 나타난 구성으로 함으로써, 표시부(9631)로 반투과형 액정 표시 장치를 이용하는 경우, 비교적 밝은 상황 하에서의 사용도 예상되고, 태양 전지(9633)에 의한 발전, 및 배터리(9635)에서의 충전을 효율성 좋게 행할 수 있어, 적합하다. 한편 태양 전지(9633)는, 하우징(9630)의 표면 및 뒷면에서 배터리(9635) 충전을 하는 구성으로 할 수 있으므로 적합하다. 한편 배터리(9635)로는, 리튬 이온 전지를 이용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0139] 또한 도 11(A)에 나타난 충방전 제어 회로(9634)의 구성, 및 동작에 대해 도 11(B)에 블록도를 도시하여 설명한다. 도 11(B)는, 태양 전지(9633), 배터리(9635), 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3), 표시부(9631)에 대해 나타내며, 배터리(9635), 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3)가 충방전 제어 회로(9634)에 대응하는 부분이 된다.
- [0140] 우선 외광에 의해 태양 전지(9633)에 의한 발전이 되는 경우의 동작의 예에 대해 설명한다. 태양 전지에서 발전한 전력은, 배터리(9635)를 충전하기 위한 전압이 되도록 컨버터(9636)에서 승압 또는 강압이 이루어진다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 이용될 때에는 스위치(SW1)를 온으로 하고, 컨버터(9637)에서 표시부(9631)에 필요한 전압으로 승압 또는 강압한다. 또한, 표시부(9631)에서의 표시를 하지 않을 때에는, 스위치(SW1)를 오프로 하고, 스위치(SW2)를 온으로 하여 배터리(9635)의 충전을 행하는 구성으로 하면 된다.
- [0141] 이어서 외광에 의해 태양 전지(9633)에 의해 발전이 이루어지지 않는 경우의 동작예에 대해 설명한다. 배터리(9635)에 충전된 전력은, 스위치(SW3)를 온으로 함으로써 컨버터(9637)에 의해 승압 또는 강압이 이루어진다. 그리고, 표시부(9631)의 동작에 배터리(9635)로부터의 전력이 이용된다.
- [0142] 한편 태양 전지(9633)에 대해서는, 충전 수단의 일 예로 나타내었으나, 다른 수단에 의한 배터리(9635)를 충전하는 구성이어도 좋다. 또한 다른 충전 수단을 조합하여 행하는 구성으로 하여도 좋다.
- [0143] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0144] 본 출원은 전문이 참조로서 본 명세서에 통합되고, 2010년 2월 26일 일본 특허청에 출원된, 일련 번호가 2010-041987인 일본 특허 출원에 기초한다.

부호의 설명

- | | | |
|--------|--------------------|--------------------|
| [0145] | 101; 제 1 정지화 표시 기간 | 102; 제 2 정지화 표시 기간 |
| | 103; 기간 | 104; 기간 |
| | 105; 기간 | 106; 기간 |
| | 301; 기간 | 400; 액정 표시 장치 |
| | 401; 표시 패널 | 402; 디스플레이 컨트롤러 |
| | 403; 기억 회로 | 404; CPU |
| | 405; 외부 입력 기기 | 406; 표시부 |

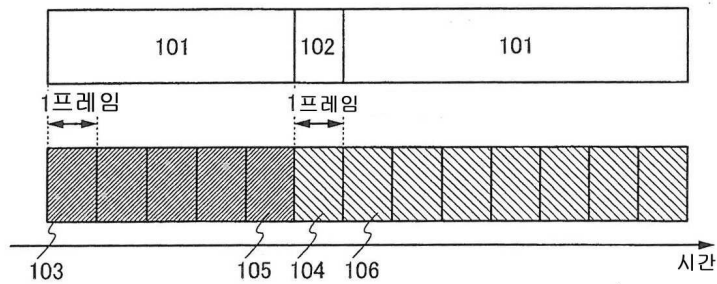
407; 구동 회로부	408; 게이트선
409; 소스선	410; 화소
411; 트랜지스터	412; 액정 소자
413; 용량 소자	414; 게이트선 구동 회로
415; 소스선 구동 회로	416; 기준 클럭 생성 회로
417; 분주 회로	418; 전환 회로
419; 표시 모드 제어 회로	420; 제어 신호 생성 회로
421; 화상 신호 출력 회로	501; 스텝
502; 스텝	503; 스텝
504; 스텝	505; 스텝
601; 서적	602; 문자
611; 조작 버튼	612; 표시 패널
621; 영역	622; 영역
1200; 기관	1201; 게이트 전극층
1202; 게이트 절연층	1203; 반도체층
1205a; 소스 전극층	1205b; 드레인 전극층
1246a; 배선층	1246b; 배선층
1207; 절연층	1209; 보호절연층
1210; 트랜지스터	1220; 트랜지스터
1227; 절연층	1230; 트랜지스터
1240; 트랜지스터	1247; 절연층
1501; 액정 표시 패널	1502; 터치 패널 유닛
1503; 하우징	1504; 액정 표시 장치
1505; 화소	1506; 광센서
1507; 액정 소자	1508; 게이트선 구동 회로
1509; 신호선 구동 회로	1510; 광센서용 구동 회로
2600; TFT기관	2601; 대향 기관
2602; 절재	2603; 화소부
2604; 표시 소자	2605; 착색층
2606; 편광판	2607; 편광판
2608; 배선 회로부	2609; 플렉서블 배선기관
2610; 냉음극관	2611; 반사판
2612; 회로기관	2613; 확산판
4001; 기관	4002; 화소부
4003; 신호선 구동 회로	4004; 주사선 구동 회로
4005; 절재	4006; 기관

4008; 액정층	4010; 트랜지스터
4011; 트랜지스터	4013; 액정 소자
4015; 접속 단자 전극	4016; 단자 전극
4018; FPC	4019; 이방성 도전막
4020; 절연층	4021; 절연층
4030; 화소 전극층	4031; 대향 전극층
4032; 절연층	4033; 절연층
4040; 도전층	4041a; 절연층
4041b; 절연층	4042a; 절연층
4042b; 절연층	9630; 하우징
9631; 표시부	9632; 조작키
9633; 태양 전지	9634; 충방전 제어 회로
9635; 배터리	9636; 컨버터
9637; 컨버터	

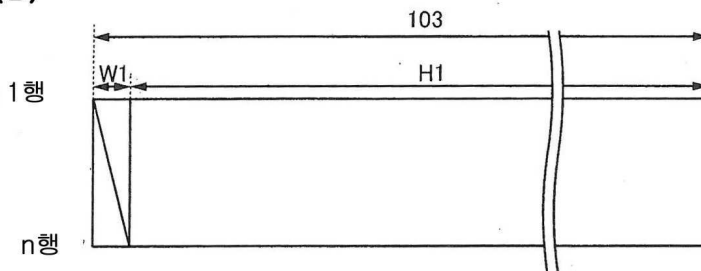
도면

도면1

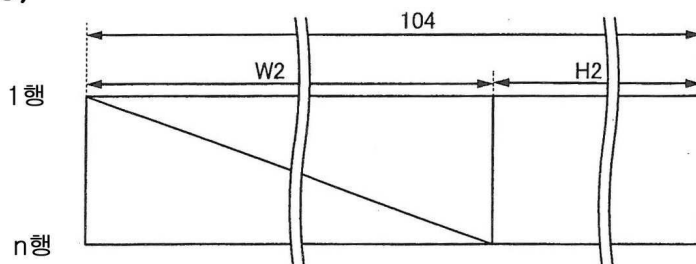
(A)



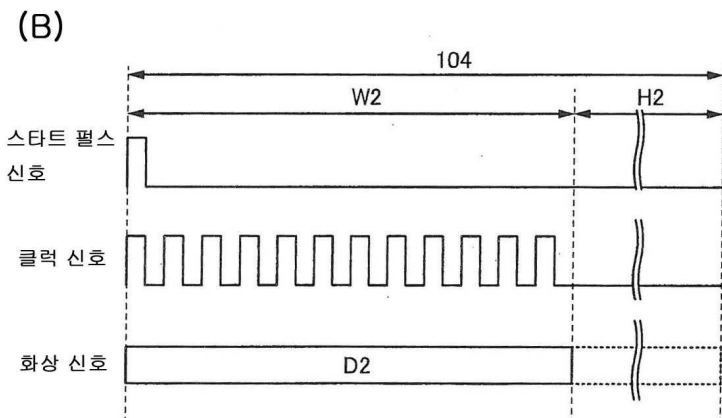
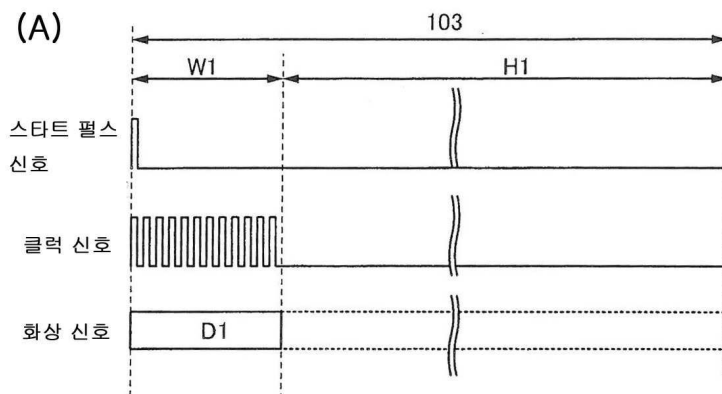
(B)



(C)

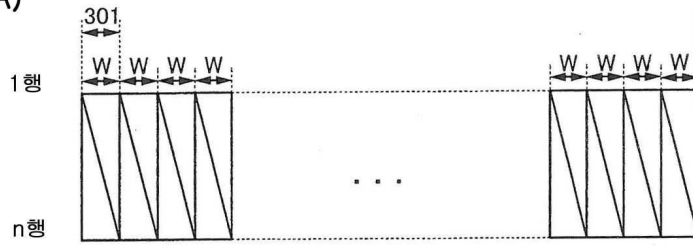


도면2

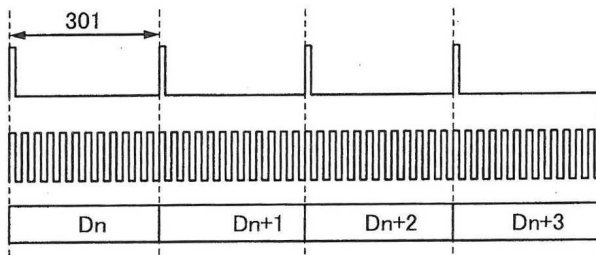


도면3

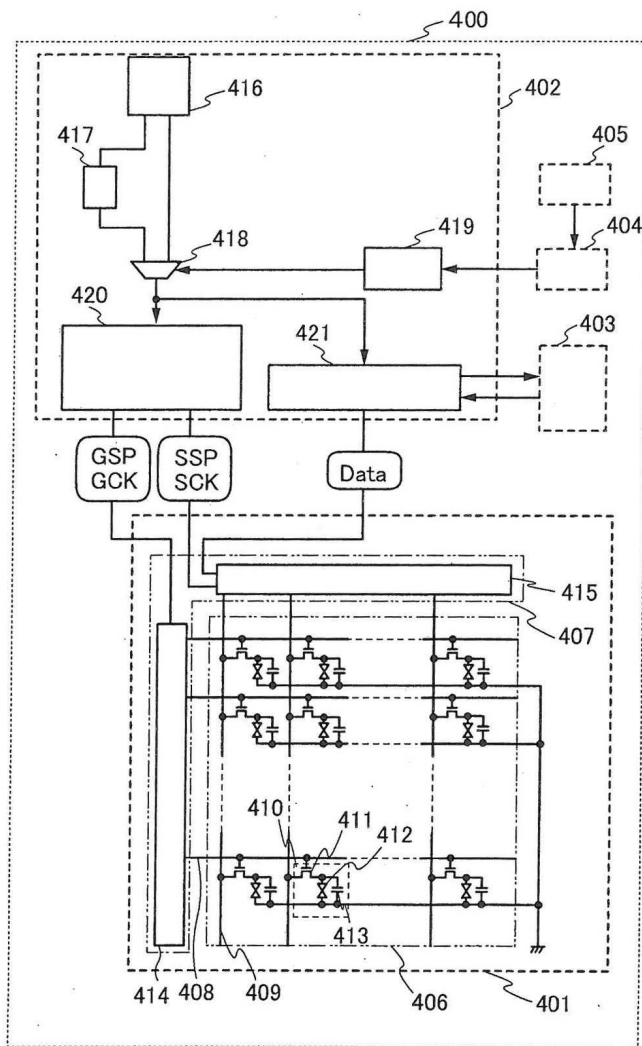
(A)



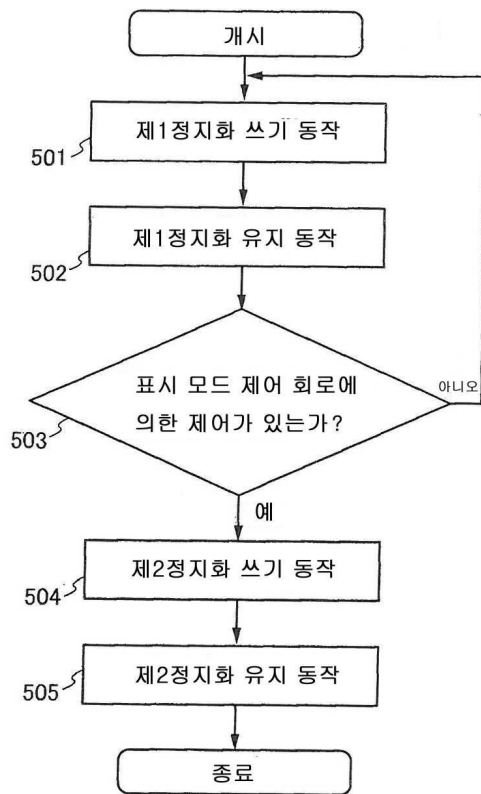
(B)



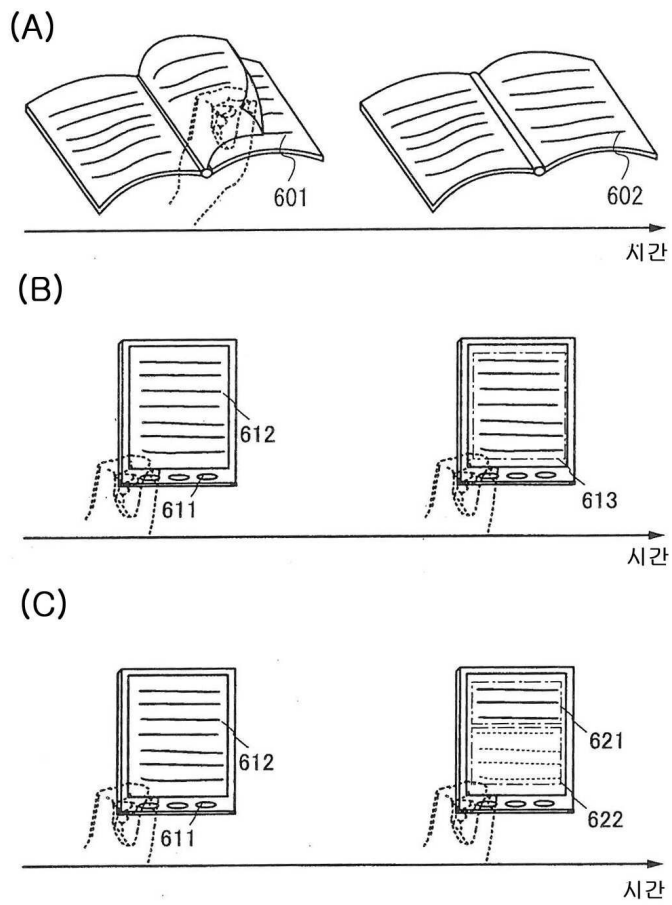
도면4



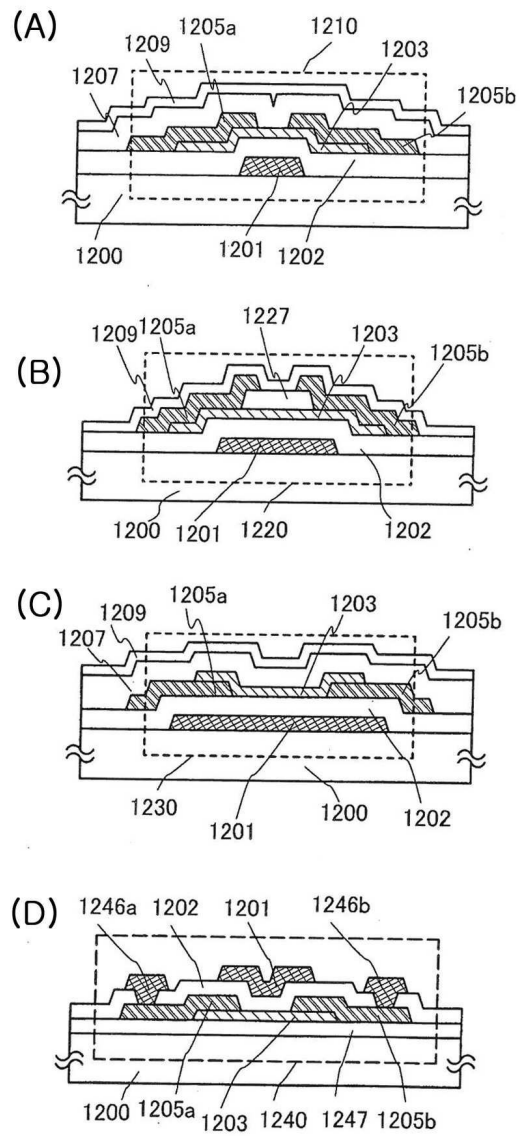
도면5



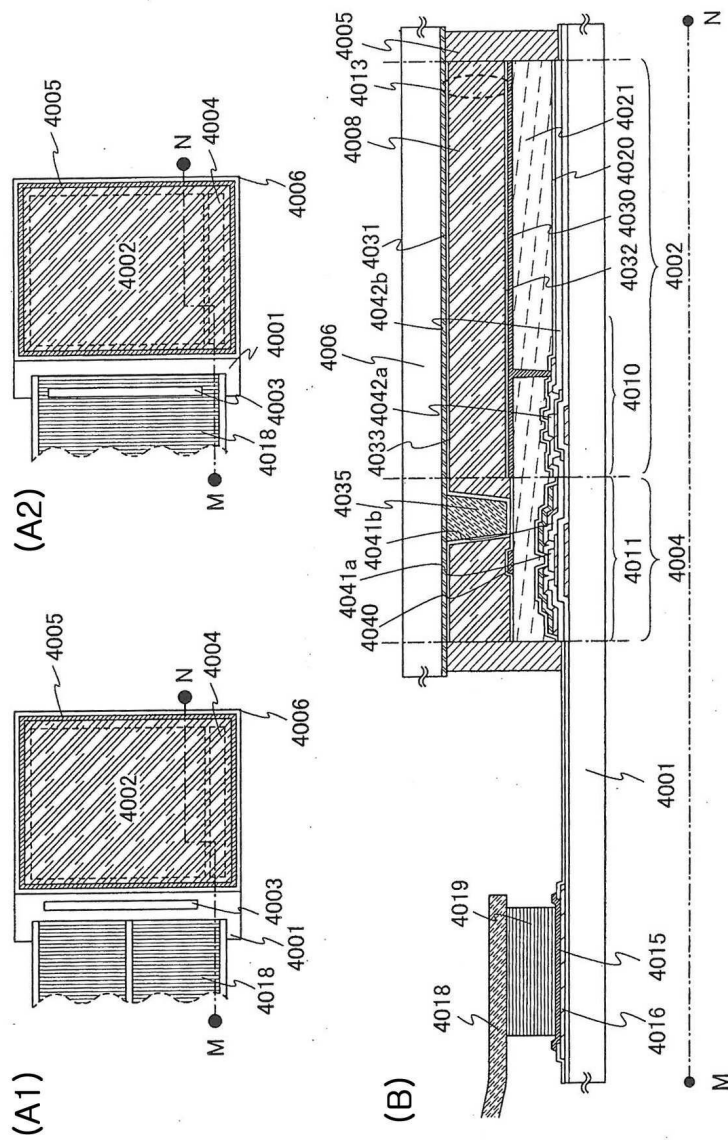
도면6



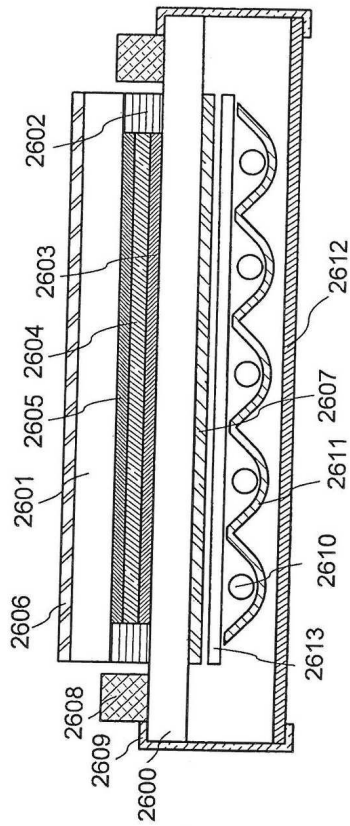
도면7



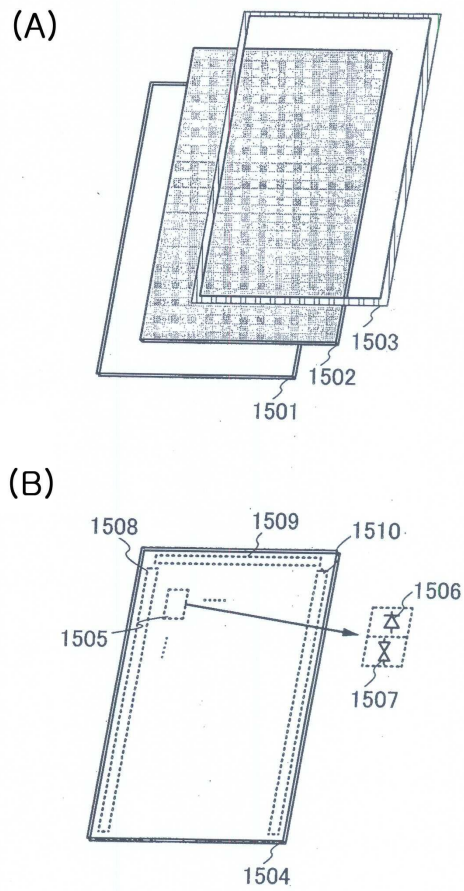
도면8



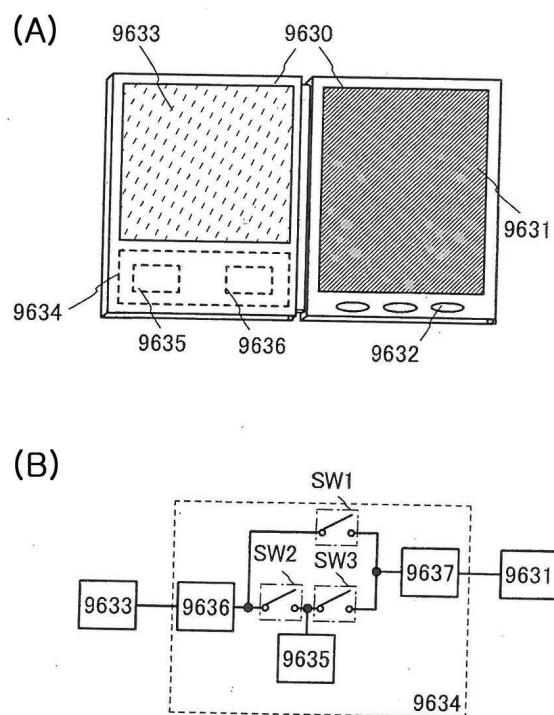
도면9



도면10



도면11



专利名称(译)	具有显示装置的显示装置和电子书的标题		
公开(公告)号	KR1020120139749A	公开(公告)日	2012-12-27
申请号	KR1020127024495	申请日	2011-02-03
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KOYAMA JUN 고야마준		
发明人	야마자키순페이 고야마준		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3648 G09G2340/0435 G09G2380/14		
代理人(译)	黄的.		
优先权	2010041987 2010-02-26 JP		
其他公开文献	KR101803552B1		
外部链接	Espacenet		

摘要(译)

这是由提供液晶显示器的主体之一完成的，该液晶显示器用于减少纸介质的不协调感，以及显示装置中施加的电压随之改变的显示质量的劣化，以及显示转换时间。具有第一图像信号的消耗周期和第一图像信号的停留周期的第一静电显示周期和具有第二图像信号的消耗周期和第二图像信号的停留周期的第二静电显示周期被改变并且它示出并且通过使显示控制器使第一静电显示时段和第二静电显示时段的消耗时段的消耗时段的长度不同的配置来完成。

