



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0061554
(43) 공개일자 2012년06월13일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0122897

(22) 출원일자 2010년12월03일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이승규

충청남도 아산시 탕정면 탕정면로 37, 탕정트라
펠리스 201동 1701호

박진우

경기도 화성시 석우동 55번지 동탄예당마을 롯데
캐슬아파트 141동 2102호

이동훈

충청남도 아산시 탕정면 탕정면로 37, 삼성 트라
펠리스 101동 2602호

(74) 대리인

권혁수, 송윤호, 오세준

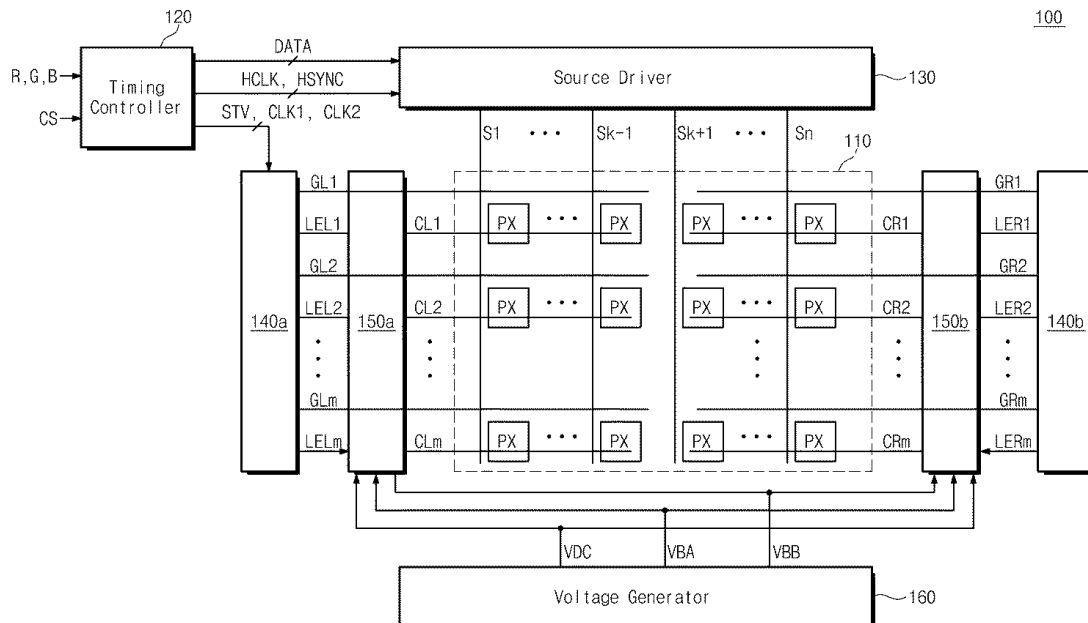
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 그것의 구동 방법

(57) 요약

일군이 제1 게이트 라인들 및 제1 공통 전압 라인들과 연결되고, 타군이 제2 게이트 라인들 및 제2 공통 전압 라인들과 연결된 복수의 픽셀들을 포함하는 표시 장치는, 제1 클럭 신호에 동기해서 상기 제1 및 제2 공통 전압 라인들을 구동하고, 제2 클럭 신호에 동기해서 상기 제1 및 제2 게이트 라인들을 구동한다. i (i 는 양의 정수)번째 제1 및 제2 공통 전압 라인들은 제1 공통 전압 및 기준 전압 중 어느 하나로 구동되며, $i+1$ 번째 제1 및 제2 공통 전압 라인들은 제2 공통 전압 및 공통 기준 전압 중 어느 하나로 구동된다.

대표도



특허청구의 범위

청구항 1

일군이 제1 게이트 라인들 및 제1 공통 전압 라인들과 연결되고, 타군이 제2 게이트 라인들 및 제2 공통 전압 라인들과 연결된 복수의 픽셀들과;

상기 제1 게이트 라인들을 구동하고, 상기 제1 게이트 라인들에 각각 대응하는 제1 라인 인에이블 신호들을 출력하는 제1 게이트 드라이버와;

상기 제1 라인 인에이블 신호들에 응답해서 상기 제1 공통 전압 라인들을 구동하기 위한 제1 공통 전압 드라이버와;

상기 제2 게이트 라인들을 구동하고, 상기 제2 게이트 라인들에 각각 대응하는 제2 라인 인에이블 신호들을 출력하는 제2 게이트 드라이버; 그리고

상기 제2 라인 인에이블 신호들에 응답해서 상기 제2 공통 전압 라인들을 구동하기 위한 제2 공통 전압 드라이버를 포함하되;

상기 제1 및 제2 공통 전압 드라이버들 각각은 상기 제1 및 제2 공통 전압 라인들을 매 프레임마다 반전 구동하되, 대응하는 제1 및 제2 게이트 라인보다 먼저 상기 제1 및 제2 공통 전압 라인들을 반전 구동하는 것을 특징으로 하는 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 게이트 드라이버는,

각각이 상기 제1 게이트 라인들을 구동하고, 상기 제1 게이트 라인에 대응하는 상기 제1 라인 인에이블 신호를 출력하는 복수의 스테이지들을 포함하는 것을 특징으로 하는 표시 장치.

청구항 3

제 2 항에 있어서,

상기 복수의 스테이지들 각각은,

제1 클럭 신호에 응답해서 이전 스테이지로부터의 이전 제1 라인 인에이블 신호를 래치하고, 상기 제1 라인 인에이블 신호를 출력하는 래치 회로와;

제2 클럭 신호에 응답해서 상기 제1 라인 인에이블 신호로 상기 제1 게이트 라인을 구동하는 출력 회로를 포함하는 것을 특징으로 하는 표시 장치.

청구항 4

제 3 항에 있어서,

상기 래치 회로는,

상기 제1 클럭 신호를 입력받고, 제1 서브 클럭 신호 및 제2 서브 클럭 신호를 발생하는 클럭 발생기와;

상기 이전 제1 라인 인에이블 신호를 입력받는 입력단 및 출력단을 가지며, 상기 제1 클럭 신호 및 상기 제1 서브 클럭 신호에 응답해서 동작하는 제1 스위칭 소자와;

상기 제1 스위칭 소자의 출력단의 신호와 리셋 신호를 입력받고 상기 제1 라인 인에이블 신호를 출력하는 노아 게이트; 그리고

상기 제1 라인 인에이블 신호 및 상기 제1 스위칭 소자의 출력단 사이에 연결되고, 상기 제1 및 제2 서브 클럭 신호들에 응답해서 동작하는 제2 스위칭 소자를 포함하는 것을 특징으로 하는 표시 장치.

청구항 5

제 4 항에 있어서,

상기 출력 회로는,

상기 제2 클럭 신호와 상기 제1 라인 인에이블 신호를 입력받는 로직 회로; 그리고

상기 로직 회로의 출력단과 상기 게이트 라인 사이에 직렬로 순차적으로 연결된 복수의 인버터들을 포함하는 것을 특징으로 하는 표시 장치.

청구항 6

제 3 항에 있어서,

상기 복수의 공통 전압 드라이버들 중 일군의 공통 전압 드라이버들 각각은,

상기 제1 라인 인에이블 신호에 응답해서 상기 공통 전압 라인을 제1 공통 전압 및 공통 기준 전압 중 어느 하나로 구동하는 것을 특징으로 하는 표시 장치.

청구항 7

제 6 항에 있어서,

상기 일군의 공통 전압 드라이버들 각각은,

상기 대응하는 스테이지의 상기 제1 라인 인에이블 신호를 입력받는 입력단 및 출력단을 갖는 제1 인버터와;

상기 제1 인버터의 출력단과 연결된 입력단 및 출력단을 갖는 제2 인버터와;

상기 제1 공통 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제1 인버터의 출력단과 연결된 게이트를 갖는 제1 트랜지스터와;

상기 제1 공통 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제2 인버터의 출력단과 연결된 게이트를 갖는 제2 트랜지스터와;

상기 공통 기준 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제1 인버터의 출력단과 연결된 게이트를 갖는 제3 트랜지스터; 그리고

상기 공통 기준 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제2 인버터의 출력단과 연결된 게이트를 갖는 제4 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 8

제 6 항에 있어서,

상기 복수의 공통 전압 드라이버들 중 타군의 공통 전압 드라이버들 각각은,

상기 제1 라인 인에이블 신호에 응답해서 상기 공통 전압 라인을 제2 공통 전압 및 상기 공통 기준 전압 중 어느 하나로 구동하는 것을 특징으로 하는 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제1 및 제2 공통 전압들은 상보적 전압 레벨을 가지며, 매 프레임마다 반전되는 것을 특징으로 하는 표시 장치.

청구항 10

제 8 항에 있어서,

i (i 는 양의 정수) 번째 제1 공통 전압 라인은 상기 제1 공통 전압으로 구동되고, $i+1$ 번째 제1 공통 전압 라인은 상기 제2 공통 전압으로 구동되되, 상기 i 번째 제1 공통 전압 라인이 상기 제1 공통 전압으로 구동되는 구간과, 상기 $i+1$ 번째 제1 공통 전압 라인이 상기 제2 공통 전압으로 구동되는 구간은 일부 중첩되는 것을 특징으로 하는 표시 장치.

청구항 11

제 2 항에 있어서,

상기 복수의 스테이지들 각각은,

상기 제1 게이트 라인들에 각각 대응하는 제2 라인 인에이블 신호들을 더 출력하는 것을 특징으로 하는 표시 장치.

청구항 12

제 11 항에 있어서,

상기 복수의 스테이지들 각각은,

이전 스테이지에 대응하는 게이트 라인과 제1 노드 사이에 연결되고, 제1 구동 신호에 의해서 제어되는 게이트를 갖는 제1 트랜지스터와;

다음 스테이지에 대응하는 게이트 라인과 상기 제1 노드 사이에 연결되고, 제2 구동 신호에 의해서 제어되는 게이트를 갖는 제2 트랜지스터와;

상기 제1 노드와 제3 노드 사이에 연결되고, 제1 클럭 신호에 의해서 제어되는 제3 트랜지스터와;

제1 바이어스 전압과 제2 노드 사이에 연결되며, 상기 제1 노드와 연결된 게이트를 갖는 제3 트랜지스터와;

상기 제1 바이어스 전압과 상기 제3 노드 사이에 직렬로 순차적으로 연결되며, 상기 제2 노드와 연결된 게이트를 갖는 제5 및 제6 트랜지스터와;

상기 제1 바이어스 전압과 상기 제2 노드 사이에 연결된 제1 커패시터와;

제2 바이어스 전압과 상기 제2 노드 사이에 연결되고, 초기화 신호에 의해서 제어되는 게이트를 갖는 제7 트랜지스터와;

상기 제1 바이어스 전압과 대응하는 게이트 라인 사이에 연결되고, 상기 제2 노드와 연결된 게이트를 갖는 제8 트랜지스터와;

상기 제3 노드와 상기 대응하는 게이트 라인 사이에 연결된 제2 커패시터; 그리고

제2 클럭 신호와 상기 대응하는 게이트 라인 사이에 연결되고, 상기 제3 노드와 연결된 게이트를 갖는 제9 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 13

제 12 항에 있어서,

상기 복수의 공통 전압 드라이버들 중 일군의 공통 전압 드라이버들 각각은,

공통 기준 전압과 상기 대응하는 제1 공통 전압 라인 사이에 연결되고, 상기 제2 노드와 연결된 게이트를 갖는 제 10 트랜지스터; 그리고

제1 공통 전압과 상기 대응하는 제1 공통 전압 라인 사이에 연결되고, 상기 제3 노드와 연결된 게이트를 갖는 제 11 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 14

일군이 제1 게이트 라인들 및 제1 공통 전압 라인들과 연결되고, 타군이 제2 게이트 라인들 및 제2 공통 전압 라인들과 연결된 복수의 픽셀들을 포함하는 표시 장치의 구동 방법에 있어서:

제1 클럭 신호에 동기해서 상기 제1 및 제2 공통 전압 라인들을 구동하는 단계; 그리고

제2 클럭 신호에 동기해서 상기 제1 및 제2 게이트 라인들을 구동하는 단계를 포함하되;

i(i는 양의 정수)번째 제1 및 제2 공통 전압 라인들은 제1 공통 전압 및 기준 전압 중 어느 하나로 구동되며, i+1번째 제1 및 제2 공통 전압 라인들은 제2 공통 전압 및 공통 기준 전압 중 어느 하나로 구동되고, 상기 제1 및 제2 공통 전압들은 상보적 전압 레벨을 가지며, 매 프레임마다 반전되는 것을 특징으로 하는 표시 장치

의 구동 방법.

청구항 15

제 14 항에 있어서,

상기 i번째 제1 공통 전압 라인이 상기 제1 공통 전압으로 구동되는 구간과, 상기 i+1번째 제1 공통 전압 라인이 상기 제2 공통 전압으로 구동되는 구간은 일부 중첩되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 16

일군이 제1 게이트 라인들 및 제1 공통 전압 라인들과 연결되고, 타군이 제2 게이트 라인들 및 제2 공통 전압 라인들과 연결된 복수의 픽셀들과, 상기 제1 및 제2 게이트 라인들 각각에 대응하는 복수의 스테이지들 및 상기 제1 및 제2 공통 전압 라인들에 각각 대응하는 복수의 공통 전압 구동 유닛들을 포함하는 표시 장치의 구동 방법에 있어서:

상기 복수의 스테이지들 각각에서, 이전 스테이지로부터의 이전 라인 인에이블 신호 및 제1 클럭 신호에 응답해서 현재 라인 인에이블 신호를 출력하는 단계와;

상기 공통 전압 유닛들 각각에서, 상기 현재 라인 인에이블 신호에 응답해서 대응하는 공통 전압 라인을 구동하는 단계; 그리고

상기 복수의 스테이지들 각각에서, 상기 현재 라인 인에이블 신호 및 상기 제2 클럭 신호에 응답해서 대응하는 게이트 라인을 구동하는 단계를 포함하되, 상기 제1 및 제2 공통 전압 라인들은 매 프레임마다 반전 구동되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 17

제 16 항에 있어서,

i(i는 양의 정수)번째 제1 및 제2 공통 전압 라인들은 제1 공통 전압 및 기준 전압 중 어느 하나로 구동되며, i+1번째 제1 및 제2 공통 전압 라인들은 제2 공통 전압 및 공통 기준 전압 중 어느 하나로 구동되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 18

제 17 항에 있어서,

상기 현재 라인 인에이블 신호가 제1 레벨로 활성화될 때 상기 i번째 제1 및 제2 공통 전압 라인들은 상기 제1 공통 전압으로 구동되고, 상기 현재 라인 인에이블 신호가 제1 레벨로 활성화될 때 상기 i+1번째 제1 및 제2 공통 전압 라인들은 상기 제2 공통 전압으로 구동되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 19

제 18 항에 있어서,

상기 현재 라인 인에이블 신호가 제2 레벨로 비활성화될 때 상기 i번째 제1 및 제2 공통 전압 라인들은 상기 공통 기준 전압으로 구동되고, 상기 현재 라인 인에이블 신호가 제2 레벨로 비활성화될 때 상기 i+1번째 제1 및 제2 공통 전압 라인들은 상기 공통 기준 전압으로 구동되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 20

제 19 항에 있어서,

상기 제1 및 제2 공통 전압들은 상보적 전압 레벨을 가지며, 매 프레임마다 반전되는 것을 특징으로 하는 표시 장치의 구동 방법.

명세서

기술분야

[0001] 본 발명은 표시 장치 및 그의 구동 방법에 관한 것이다.

배경 기술

[0002] 일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

[0003] 이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시킨다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 간단한 회로 구성을 갖고, 반전 모드로 동작하는 표시 장치 및 그것의 동작 방법을 제공하는데 있다.

과제의 해결 수단

[0005] 이와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 표시 장치는: 일군이 제1 게이트 라인들 및 제1 공통 전압 라인들과 연결되고, 타군이 제2 게이트 라인들 및 제2 공통 전압 라인들과 연결된 복수의 픽셀들과, 상기 제1 게이트 라인들을 구동하고, 상기 제1 게이트 라인들에 각각 대응하는 제1 라인 인에이블 신호들을 출력하는 제1 게이트 드라이버와, 상기 제1 라인 인에이블 신호들에 응답해서 상기 제1 공통 전압 라인들을 구동하기 위한 제1 공통 전압 드라이버와, 상기 제2 게이트 라인들을 구동하고, 상기 제2 게이트 라인들에 각각 대응하는 제2 라인 인에이블 신호들을 출력하는 제2 게이트 드라이버, 그리고 상기 제2 라인 인에이블 신호들에 응답해서 상기 제2 공통 전압 라인들을 구동하기 위한 제2 공통 전압 드라이버를 포함한다. 상기 제1 및 제2 공통 전압 드라이버들 각각은 상기 제1 및 제2 공통 전압 라인들을 매 프레임마다 반전 구동하되, 대응하는 제1 및 제2 게이트 라인보다 먼저 상기 제1 및 제2 공통 전압 라인들을 반전 구동한다.

[0006] 이 실시예에 있어서, 상기 제1 게이트 드라이버는, 각각이 상기 제1 게이트 라인들을 구동하고, 상기 제1 게이트 라인에 대응하는 상기 제1 라인 인에이블 신호를 출력하는 복수의 스테이지들을 포함한다.

[0007] 이 실시예에 있어서, 상기 복수의 스테이지들 각각은, 제1 클럭 신호에 응답해서 이전 스테이지로부터의 이전 제1 라인 인에이블 신호를 래치하고, 상기 제1 라인 인에이블 신호를 출력하는 래치 회로와, 제2 클럭 신호에 응답해서 상기 제1 라인 인에이블 신호로 상기 제1 게이트 라인을 구동하는 출력 회로를 포함한다.

[0008] 이 실시예에 있어서, 상기 래치 회로는, 상기 제1 클럭 신호를 입력받고, 제1 서브 클럭 신호 및 제2 서브 클럭 신호를 발생하는 클럭 발생기와, 상기 이전 제1 라인 인에이블 신호를 입력받는 입력단 및 출력단을 가지며, 상기 제1 클럭 신호 및 상기 제1 서브 클럭 신호에 응답해서 동작하는 제1 스위칭 소자와, 상기 제1 스위칭 소자의 출력단의 신호와 리셋 신호를 입력받고 상기 제1 라인 인에이블 신호를 출력하는 노아 게이트, 그리고 상기 제1 라인 인에이블 신호 및 상기 제1 스위칭 소자의 출력단 사이에 연결되고, 상기 제1 및 제2 서브 클럭 신호들에 응답해서 동작하는 제2 스위칭 소자를 포함한다.

[0009] 이 실시예에 있어서, 상기 출력 회로는, 상기 제2 클럭 신호와 상기 제1 라인 인에이블 신호를 입력받는 로직 회로, 그리고 상기 로직 회로의 출력단과 상기 게이트 라인 사이에 직렬로 순차적으로 연결된 복수의 인버터들을 포함한다.

[0010] 이 실시예에 있어서, 상기 복수의 공통 전압 드라이버들 중 일군의 공통 전압 드라이버들 각각은, 상기 제1 라인 인에이블 신호에 응답해서 상기 공통 전압 라인을 제1 공통 전압 및 공통 기준 전압 중 어느 하나로 구동한다.

[0011] 이 실시예에 있어서, 상기 일군의 공통 전압 드라이버들 각각은, 상기 대응하는 스테이지의 상기 제1 라인 인

에이블 신호를 입력받는 입력단 및 출력단을 갖는 제1 인버터와, 상기 제1 인버터의 출력단과 연결된 입력단 및 출력단을 갖는 제2 인버터와, 상기 제1 공통 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제1 인버터의 출력단과 연결된 게이트를 갖는 제1 트랜지스터와, 상기 제1 공통 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제2 인버터의 출력단과 연결된 게이트를 갖는 제2 트랜지스터와, 상기 공통 기준 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제1 인버터의 출력단과 연결된 게이트를 갖는 제3 트랜지스터, 그리고 상기 공통 기준 전압과 상기 제1 공통 전압 라인 사이에 연결되고, 상기 제2 인버터의 출력단과 연결된 게이트를 갖는 제4 트랜지스터를 포함한다.

[0012] 이 실시예에 있어서, 상기 복수의 공통 전압 드라이버들 중 타군의 공통 전압 드라이버들 각각은, 상기 제1 라인 인에이블 신호에 응답해서 상기 공통 전압 라인을 제2 공통 전압 및 상기 공통 기준 전압 중 어느 하나로 구동한다.

[0013] 이 실시예에 있어서, 상기 제1 및 제2 공통 전압들은 상보적 전압 레벨을 가지며, 매 프레임마다 반전된다.

[0014] 이 실시예에 있어서, i (i 는 양의 정수) 번째 제1 공통 전압 라인은 상기 제1 공통 전압으로 구동되고, $i+1$ 번째 제1 공통 전압 라인은 상기 제2 공통 전압으로 구동되고, 상기 i 번째 제1 공통 전압 라인이 상기 제1 공통 전압으로 구동되는 구간과, 상기 $i+1$ 번째 제1 공통 전압 라인이 상기 제2 공통 전압으로 구동되는 구간은 일부 중첩된다.

[0015] 이 실시예에 있어서, 상기 복수의 스테이지들 각각은, 상기 제1 게이트 라인들에 각각 대응하는 제2 라인 인에이블 신호들을 더 출력한다.

[0016] 이 실시예에 있어서, 상기 복수의 스테이지들 각각은, 이전 스테이지에 대응하는 게이트 라인과 제1 노드 사이에 연결되고, 제1 구동 신호에 의해서 제어되는 게이트를 갖는 제1 트랜지스터와, 다음 스테이지에 대응하는 게이트 라인과 상기 제1 노드 사이에 연결되고, 제2 구동 신호에 의해서 제어되는 게이트를 갖는 제2 트랜지스터와, 상기 제1 노드와 제3 노드 사이에 연결되고, 제1 클럭 신호에 의해서 제어되는 제3 트랜지스터와, 제1 바이어스 전압과 제2 노드 사이에 연결되며, 상기 제1 노드와 연결된 게이트를 갖는 제3 트랜지스터와, 상기 제1 바이어스 전압과 상기 제3 노드 사이에 직렬로 순차적으로 연결되며, 상기 제2 노드와 연결된 게이트를 갖는 제5 및 제6 트랜지스터와, 상기 제1 바이어스 전압과 상기 제2 노드 사이에 연결된 제1 커패시터와, 제2 바이어스 전압과 상기 제2 노드 사이에 연결되고, 초기화 신호에 의해서 제어되는 게이트를 갖는 제7 트랜지스터와, 상기 제1 바이어스 전압과 대응하는 게이트 라인 사이에 연결되고, 상기 제2 노드와 연결된 게이트를 갖는 제8 트랜지스터와, 상기 제3 노드와 상기 대응하는 게이트 라인 사이에 연결된 제2 커패시터, 그리고 제2 클럭 신호와 상기 대응하는 게이트 라인 사이에 연결되고, 상기 제3 노드와 연결된 게이트를 갖는 제9 트랜지스터를 포함한다.

[0017] 이 실시예에 있어서, 상기 복수의 공통 전압 드라이버들 중 일군의 공통 전압 드라이버들 각각은, 공통 기준 전압과 상기 대응하는 제1 공통 전압 라인 사이에 연결되고, 상기 제2 노드와 연결된 게이트를 갖는 제 10 트랜지스터, 그리고 제1 공통 전압과 상기 대응하는 제1 공통 전압 라인 사이에 연결되고, 상기 제3 노드와 연결된 게이트를 갖는 제 11 트랜지스터를 포함한다.

[0018] 본 발명의 다른 특징에 따른 표시 장치의 구동 방법에 있어서, 상기 표시 자이는 일군이 제1 게이트 라인들 및 제1 공통 전압 라인들과 연결되고, 타군이 제2 게이트 라인들 및 제2 공통 전압 라인들과 연결된 복수의 픽셀들을 포함하며, 제1 클럭 신호에 동기해서 제1 및 제2 공통 전압 라인들을 구동하는 단계, 그리고 제2 클럭 신호에 동기해서 제1 게이트 라인 및 제2 게이트 라인을 구동하는 단계를 포함한다. i (i 는 양의 정수) 번째 제1 및 제2 공통 전압 라인들은 제1 공통 전압 및 기준 전압 중 어느 하나로 구동되며, $i+1$ 번째 제1 및 제2 공통 전압 라인들은 제2 공통 전압 및 공통 기준 전압 중 어느 하나로 구동된다.

[0019] 이 실시예에 있어서, 상기 제1 및 제2 공통 전압들은 상보적 전압 레벨을 가지며, 매 프레임마다 반전된다.

[0020] 이 실시예에 있어서, 상기 i 번째 제1 공통 전압 라인이 상기 제1 공통 전압으로 구동되는 구간과, 상기 $i+1$ 번째 제1 공통 전압 라인이 상기 제2 공통 전압으로 구동되는 구간은 일부 중첩된다.

[0021] 본 발명의 또다른 특징에 의하면, 일군이 제1 게이트 라인들 및 제1 공통 전압 라인들과 연결되고, 타군이 제2 게이트 라인들 및 제2 공통 전압 라인들과 연결된 복수의 픽셀들과, 상기 제1 및 제2 게이트 라인들 각각에 대응하는 복수의 스테이지들 및 상기 제1 및 제2 공통 전압 라인들에 각각 대응하는 복수의 공통 전압 구동 유닛들을 포함하는 표시 장치의 구동 방법은: 상기 복수의 스테이지들 각각에서, 이전 스테이지로부터의 이전 라인 인에이블 신호 및 제1 클럭 신호에 응답해서 현재 라인 인에이블 신호를 출력하는 단계와, 상기 공통 전

압 유닛들 각각에서, 상기 현재 라인 인에이블 신호에 응답해서 대응하는 공통 전압 라인을 구동하는 단계, 그리고 상기 복수의 스테이지들 각각에서, 상기 현재 라인 인에이블 신호 및 상기 제2 클럭 신호에 응답해서 대응하는 게이트 라인을 구동하는 단계를 포함하되, 상기 제1 및 제2 공통 전압 라인들은 매 프레임마다 반전 구동된다.

[0022] 이 실시예에 있어서, i (i 는 양의 정수)번째 제1 및 제2 공통 전압 라인들은 제1 공통 전압 및 기준 전압 중 어느 하나로 구동되며, $i+1$ 번째 제1 및 제2 공통 전압 라인들은 제2 공통 전압 및 공통 기준 전압 중 어느 하나로 구동된다.

[0023] 이 실시예에 있어서, 상기 현재 라인 인에이블 신호가 제1 레벨로 활성화될 때 상기 i 번째 제1 및 제2 공통 전압 라인들은 상기 제1 공통 전압으로 구동되고, 상기 현재 라인 인에이블 신호가 제1 레벨로 활성화될 때 상기 $i+1$ 번째 제1 및 제2 공통 전압 라인들은 상기 제2 공통 전압으로 구동된다.

[0024] 이 실시예에 있어서, 상기 현재 라인 인에이블 신호가 제2 레벨로 비활성화될 때 상기 i 번째 제1 및 제2 공통 전압 라인들은 상기 공통 기준 전압으로 구동되고, 상기 현재 라인 인에이블 신호가 제2 레벨로 비활성화될 때 상기 $i+1$ 번째 제1 및 제2 공통 전압 라인들은 상기 공통 기준 전압으로 구동된다.

[0025] 이 실시예에 있어서, 상기 제1 및 제2 공통 전압들은 상보적 전압 레벨을 가지며, 매 프레임마다 반전된다.

발명의 효과

[0026] 이와 같은 본 발명에 의하면, 간단한 회로 구성을 갖고, 반전 모드로 동작하는 표시 장치가 구현된다. 특히, 회로 면적이 감소함에 따라서 블랙 매트릭스의 면적도 감소된다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예에 따른 액정 디스플레이 장치의 구성을 보여주는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 액정 표시 장치에서 한 픽셀의 등가 회로도이다.

도 3은 도 2에 도시된 게이트 드라이버 및 공통 전압 드라이버의 구체적인 구성을 보여주는 도면이다.

도 4는 도 3에 도시된 i 번째 스테이지 및 공통 전압 구동 유닛의 구체적인 회로 구성을 예시적으로 보여주는 회로도이다.

도 5는 도 3에 도시된 $i+1$ 번째 스테이지 및 공통 전압 구동 유닛의 구체적인 회로 구성을 예시적으로 보여주는 회로도이다.

도 6은 도 4 및 도 5에 도시된 공통 전압 구동 유닛들에서 사용되는 공통 기준 전압, 제1 공통 전압 및 제2 공통 전압들의 레벨 변화를 보여주는 타이밍도이다.

도 7은 도 1에 도시된 공통 전압 드라이버들(150a, 150b)에 의해서 액정 패널의 라인 반전 구동을 개념적으로 보여주는 도면이다.

도 8은 공통 전압 라인들(CL1-CLm)의 전압 레벨 변화를 보여주는 타이밍도이다.

도 9는 공통 전압 라인에 구동되는 전압 레벨에 따라서 픽셀의 전위 및 픽셀로의 데이터 신호 공급 타이밍을 개념적으로 보여주는 도면이다.

도 10은 도 1에 도시된 게이트 드라이버 및 공통 전압 라인 드라이버의 본 발명의 다른 실시예에 따른 구성을 보여주는 블록도이다.

도 11은 도 10에 도시된 스테이지 및 공통 전압 구동 유닛의 구성을 예시적으로 보여주는 회로도이다.

도 12는 도 11에 도시된 스테이지 및 공통 전압 구동 유닛에서 사용되는 신호들의 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하 본 발명의 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

[0029] 도 1은 본 발명의 실시예에 따른 액정 디스플레이 장치의 구성을 보여주는 블록도이고, 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치에서 한 픽셀의 등가 회로도이다.

- [0030] 도 1을 참조하면, 액정 디스플레이 장치(100)는 액정 패널(110), 타이밍 컨트롤러(120), 소스 드라이버(130), 제1 및 제2 게이트 드라이버들(140a, 140b), 제1 및 제2 공통 라인 드라이버들(150a, 150b) 그리고 전압 발생기(160)를 포함한다.
- [0031] 액정 패널(110)은 제1 및 제2 복수의 게이트 라인들(GL1-GLm, GR1-GRm)과, 게이트 라인들에 수직으로 교차하는 복수의 소스 라인들(S1-Sn)과, 제1 및 제2 공통 전압 라인들(CL1-CLm, CR1-CRm), 그리고 제1 및 제2 게이트 라인들 및 데이터 라인들의 교차점에 형성된 픽셀들(PX)을 포함하며, 픽셀들은 매트릭스 구조로 배치되어 있다.
- [0032] 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(101)는 서로 마주하는 하부 및 상부 표시판(210, 220)과 그 사이에 들어 있는 액정층(201)을 포함한다. 신호 라인들(GL1-GLm, GR1-GRm, S1-Sn, CL1-CLm, CR1-CRm)은 하부 표시판(210)에 구비된다.
- [0033] 각 픽셀은 제1 게이트 라인(GLi)과 소스 라인(Sj)에 게이트 전극 및 소스 전극이 각각 연결되는 박막 트랜지스터(TFT)와, 각각의 일단이 박막 트랜지스터의 드레인 전극에 연결되는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)를 포함한다. 액정 커패시터(CLC)는 하부 표시판(210)의 화소 전극(211)과 상부 표시판(220)의 공통 전극(221)을 두 단자로 하며, 두 전극(211, 221) 사이의 액정층(201)은 유전체로서 기능한다. 화소 전극(211)은 박막 트랜지스터(TFT)와 연결되며, 공통 전극(221)은 상부 표시판(220)의 전면에 형성되어 있고, 공통 전압(VCOM)을 인가받는다. 도 2에서와는 달리 공통 전극(221)이 하부 표시판(100)에 구비되는 경우도 있다.
- [0034] 액정 커패시터(CLC)의 보조적인 역할을 하는 스토리지 커패시터(CST)는 화소 전극(211)과 제1 공통 전압 라인(CLi)이 절연체를 사이에 두고 중첩하여 형성된다.
- [0035] 이러한 픽셀 구조에서는, 제1 및 제2 게이트 드라이버들(140a, 140b)에 의해서 제1 및 제2 게이트 라인들(GL1-GLm, GR1-GRm)이 순차적으로 선택되고, 선택된 게이트 라인에 게이트 온 전압이 펄스 형태로 인가되면, 게이트 라인에 연결된 픽셀의 박막 트랜지스터가 턴 온되고, 이어서 소스 드라이버(130)에 의해 각 소스 라인에 픽셀 정보를 포함하는 전압이 인가된다. 이 전압은 해당 픽셀의 박막 트랜지스터를 거쳐 액정 커패시터와 스토리지 커패시터에 인가되어 이들 커패시터가 구동됨으로써 소정의 표시 동작이 이루어진다.
- [0036] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(211)에 대응하는 상부 표시판(220)의 영역에 기본색 중 하나를 나타내는 색 필터(222)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(222)는 하부 표시판(210)의 화소 전극(211) 위 또는 아래에 둘 수도 있다.
- [0037] 다시 도 1을 참조하면, 타이밍 컨트롤러(120)는 외부의 그래픽 소스로부터 영상 데이터 신호(R, G, B)와 제어 신호들(CS)을 입력받는다. 타이밍 컨트롤러(120)는 입력받은 제어 신호들(CS)을 근거로 소스 드라이버(130) 및 제1 및 제2 게이트 드라이버들(140a, 140b)를 구동하는데 필요한 제어 신호들 예를 들어, 수평 동기 신호(HSYNC), 수평 클럭 신호(HCLK), 수직 개시 신호(STV), 클럭 신호들(CLK1, CLK2)을 출력한다.
- [0038] 소스 드라이버(130)는 타이밍 컨트롤러(120)로부터 영상 데이터 신호(DATA)와 수평 동기 신호(HSYNC) 및 수평 클럭 신호(HCLK)를 수신하고, 액정 패널(110)의 소스 라인들을 구동하기 위한 소스 구동 신호들(S1-Sm)을 발생한다.
- [0039] 전압 발생기(160)는 제1 및 제2 공통 전압 드라이버들(150a, 150b)의 구동에 필요한 공통 기준 전압(VDC), 제1 공통 전압(VBA) 및 제2 공통 전압(VBB)을 발생한다. 전압 발생기(160)는 제1 및 제2 공통 전압 드라이버(150a, 150b)의 구동에 필요한 전압들뿐만 아니라 표시 장치(100)의 동작에 필요한 다양한 전압들을 더 발생할 수 있다.
- [0040] 제1 게이트 드라이버(140a)는 타이밍 컨트롤러(120)로부터 제공되는 수직 개시 신호(STV) 및 클럭 신호들(CLK1, CLK2)에 따라서 액정 패널(110)의 제1 게이트 라인들(GL1-GLm)을 순차적으로 스캐닝하기 위한 게이트 구동 신호들과 제1 공통 전압 드라이버(150a)의 동작에 필요한 제1 라인 인에이블 신호들(LEL1-LELm)을 출력한다. 제2 게이트 드라이버(140b)는 타이밍 컨트롤러(120)로부터 제공되는 수직 개시 신호(STV) 및 클럭 신호들(CLK1, CLK2)에 따라서 액정 패널(110)의 제2 게이트 라인들(GR1-GRm)을 순차적으로 스캐닝하기 위한 게이트 구동 신호들 및 제2 공통 전압 드라이버(150b)의 동작에 필요한 제2 라인 인에이블 신호들(LER1-LERm)을

출력한다. 여기서, 스캐닝이란 게이트 라인에 게이트 온 전압을 순차적으로 인가하여 게이트 온 전압이 인가된 게이트 라인의 픽셀을 데이터 기록 가능한 상태로 만드는 것을 말한다.

- [0041] 도 1에 도시된 바와 같이, PLS(Plane to Line Switching) 방식의 액정 표시 장치는, 액정 패널(110)의 좌측 및 우측에 제1 및 제2 게이트 드라이버들(140a, 140b) 및 제1 및 제2 공통 전압 드라이버들(150a, 150b)이 배열되어야 하므로 회로 면적이 증가하고, 그에 따라서 블랙 매트릭스가 커질 수 있다. 본 발명은 제1 및 제2 공통 전압 드라이버들(150a, 150b)의 회로 구성을 최소화하여 블랙 매트릭스의 크기를 최소화할 수 있다.
- [0042] 도 3은 도 2에 도시된 게이트 드라이버 및 공통 전압 드라이버의 구체적인 구성을 보여주는 도면이다. 도 3에는 좌측 픽셀들을 위한 제1 게이트 드라이버(140a) 및 제1 공통 전압 드라이버(150a)만을 도시하고 설명하나, 우측 픽셀들을 위한 제2 게이트 드라이버(140b) 및 제2 공통 전압 드라이버(150b)도 동일한 구성을 가지고 유사하게 동작한다.
- [0043] 도 3을 참조하면, 게이트 드라이버(140a)는 복수의 스테이지들(STGL1-STGLm)을 포함하고, 제1 공통 전압 드라이버(150a)는 복수의 공통 전압 구동 유닛들(CLDL1-CLDLm)을 포함한다.
- [0044] 복수의 스테이지들(STGL1-STGLm) 각각은 제어 신호 및 전압들(CTRLS1)을 입력받는다. 복수의 스테이지들(STGL1-STGLm)로 입력되는 제어 신호 및 전압들(CTRLS1)은 도 1에 도시된 타이밍 컨트롤러(120)로부터의 수직 개시 신호(STV)와 클럭 신호들(CLK1, CLK2) 그리고 전압 발생기(160)로부터의 공통 기준 전압(VDC), 제1 공통 전압(VBA) 및 제2 공통 전압(VBB)을 포함한다. 복수의 스테이지들(STGL1-STGLm) 각각은 제어 신호 및 전압들(CTRLS1)에 응답해서 제1 게이트 라인들(GL1-GLm)을 구동하고 제1 라인 인에이블 신호들(LEL1-LELm)을 출력한다.
- [0045] 공통 전압 구동 유닛들(CLDL1-CLDLm) 각각은 복수의 스테이지들(STGL1-STGLm)에 각각 대응한다. 공통 전압 구동 유닛들(CLDL1-CLDLm) 각각은 제1 라인 인에이블 신호(LEL1-LELm)에 응답해서 제1 공통 전압 라인들(CL1-CLm)을 구동한다.
- [0046] i-1번째 스테이지(STGLi-1)로부터 출력되는 제1 라인 인에이블 신호(LELi-1)는 i번째 스테이지(STGLi)로 제공된다. 첫번째 스테이지(STGL1)는 라인 인에이블 신호 대신 타이밍 컨트롤러(120)로부터의 수직 개시 신호(STV)를 입력받는다.
- [0047] 도 4는 도 3에 도시된 i번째 스테이지 및 공통 전압 구동 유닛의 구체적인 회로 구성을 예시적으로 보여주는 회로도이다.
- [0048] 도 4를 참조하면, 스테이지(STGLi)는 클럭 발생기(410), 래치 회로(420) 그리고 출력 회로(430)를 포함한다. 클럭 발생기(410)는 제1 클럭 신호(CLK1)를 입력받고, 클럭 신호들(CK1B, CK1)을 출력한다. 클럭 발생기(410)는 직렬로 연결된 인버터들(411, 412)을 포함한다. 인버터(411)는 제1 클럭 신호(CLK1)를 입력받고, 클럭 신호(CK1B)를 출력한다. 인버터(412)는 클럭 신호(CK1B)를 입력받고, 클럭 신호(CK1)를 출력한다.
- [0049] 래치 회로(420)는 스위칭 소자들(421, 422)과 노아 게이트(423)를 포함한다. 스위칭 소자(421)는 이전 스테이지 즉, i-1번째 스테이지(STGLi-1)로부터의 제1 라인 인에이블 신호(LELi-1)와 연결된 입력단 및 출력단을 갖는다. 스위칭 소자(421)는 클럭 신호(CK1B)가 로우 레벨이고, 클럭 신호(CK1)가 하이 레벨일 때 제1 라인 인에이블 신호(LELi-1)를 반전시켜서 출력단으로 출력한다. 노아 게이트(423)는 스위칭 소자(421)의 출력단과 연결된 일입력단 및 리셋 신호(Reset)와 연결된 타입력단 그리고 제1 라인 인에이블 신호(LELi)를 출력하는 출력단을 갖는다. 스위칭 소자(422)는 클럭 신호(CK1)가 로우 레벨이고, 클럭 신호(CK1B)가 하이 레벨일 때 제1 라인 인에이블 신호(LELi)를 노아 게이트(423)의 입력단으로 출력한다. 래치 회로(420)로부터 출력되는 제1 라인 인에이블 신호(LELi)는 출력 회로(430)와 공통 전압 구동 유닛(CLDLi)으로 입력된다.
- [0050] 출력 회로(430)는 낸드 게이트(431)와 인버터들(432, 433, 434)을 포함한다. 낸드 게이트(431)는 클럭 신호(CLK2)와 제1 라인 인에이블 신호(LELi)를 입력받는다. 인버터들(432-434)은 낸드 게이트(431)의 출력과 제1 게이트 라인(GLi) 사이에 직렬로 순차적으로 된다.
- [0051] 공통 전압 구동 유닛(CLDLi)은 인버터들(441, 442)과 PMOS 트랜지스터들(443, 446) 그리고 NMOS 트랜지스터들(444, 445)을 포함한다. 인버터(441)는 제1 라인 인에이블 신호(LELi)를 입력받아 반전시킨다. 인버터(442)는 인버터(441)로부터 출력되는 신호를 입력받아 반전시킨다. PMOS 트랜지스터(443)는 제1 공통 전압(VBA)과 제1 공통 전압 라인(CLi) 사이에 연결되고, 인버터(441)의 출력 신호에 의해서 제어되는 게이트를 갖는다. NMOS 트랜지스터(444)는 제1 공통 전압(VBA)과 제1 공통 전압 라인(CLi) 사이에 연결되고, 인버터(442)의 출력 신호에 의해서 제어되는 게이트를 갖는다. NMOS 트랜지스터(445)는 공통 기준 전압(VDC)과 제1 공통

전압 라인(CLi) 사이에 연결되고, 인버터(441)의 출력 신호에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터(446)는 공통 기준 전압(VDC)과 제1 공통 전압 라인(CLi) 사이에 연결되고, 인버터(442)의 출력 신호에 의해서 제어되는 게이트를 갖는다.

[0052] 이와 같은 구성을 갖는 스테이지(STGLi) 및 공통 전압 구동 유닛(CLDLi)의 동작은 다음과 같다. 클럭 신호(CK1B)가 로우 레벨이고, 클럭 신호(CK1)가 하이 레벨인 동안 이전 스테이지(STGLi-1)로부터 출력되는 제1 라인 인에이블 신호(LELi-1)는 노아 게이트(423)로 입력된다. 만일 제1 라인 인에이블 신호(LELi-1)가 하이 레벨이고, 리셋 신호(Reset)가 로우 레벨이면, 래치 회로(420)는 하이 레벨의 제1 라인 인에이블 신호(LELi)를 출력한다. 제1 라인 인에이블 신호(LELi-1)가 하이 레벨로 천이함에 따라서 인버터(441)는 로우 레벨의 신호를 출력하고, 인버터(442)는 하이 레벨의 신호를 출력한다. 따라서 PMOS 트랜지스터(443) 및 NMOS 트랜지스터(444)가 턴온되고, 제1 공통 전압 라인(CLi)은 제1 공통 전압(VBA)으로 구동된다.

[0053] 한편, 출력 회로(430)는 제1 라인 인에이블 신호(LELi)가 하이 레벨이고, 클럭 신호(CLK2)가 하이 레벨이면 낸드 게이트(431) 및 인버터들(432-434)에 의한 지연 시간이 경과한 후 제1 게이트 라인(GLi)을 하이 레벨로 구동한다. 그러므로 제1 라인 인에이블 신호(LELi)가 하이 레벨로 활성화됨에 따라서 제1 공통 전압 라인(CLi)이 먼저 구동된 후 제1 게이트 라인(GLi)이 구동될 수 있다.

[0054] 이전 스테이지(STGLi-1)로부터 출력되는 제1 라인 인에이블 신호(LELi-1)가 로우 레벨로 천이하면, 래치 회로(422)는 로우 레벨의 제1 라인 인에이블 신호(LELi)를 출력한다. 제1 라인 인에이블 신호(LELi)가 로우 레벨로 천이함에 따라서 공통 전압 구동 유닛(CLDLi) 내 PMOS 트랜지스터(443)와 NMOS 트랜지스터(434)는 턴 오프되고, NMOS 트랜지스터(445)와 PMOS 트랜지스터(446)가 턴 온된다. 그러므로 제1 공통 전압 라인(CLi)은 공통 기준 전압(VCD)으로 구동된다. 출력 회로(430)도 로우 레벨의 제1 라인 인에이블 신호(LELi)에 응답해서 제1 게이트 라인(GLi)을 로우 레벨로 구동한다.

[0055] 이와 같이 간단한 회로 구성을 갖는 공통 전압 구동 유닛(CLDLi)에 의해 제1 공통 전압 라인(CLi)을 구동할 수 있다.

[0056] 도 5는 도 3에 도시된 i+1번째 스테이지 및 공통 전압 구동 유닛의 구체적인 회로 구성을 예시적으로 보여주는 회로도이다.

[0057] 도 5를 참조하면, i+1번째 스테이지(STGLi+1) 및 공통 전압 구동 유닛(CLDLi+1)의 구성은 도 4에 도시된 i번째 스테이지(STGLi) 및 공통 전압 구동 유닛(CLDLi)과 동일한 구성을 갖는다. 다만, 공통 전압 구동 유닛(CLDLi+1) 내 PMOS 트랜지스터(543) 및 NMOS 트랜지스터(544)는 제1 공통 전압(VBA) 대신 제2 공통 전압(VBB)을 입력받는다.

[0058] 도 6은 도 4 및 도 5에 도시된 공통 전압 구동 유닛들에서 사용되는 공통 기준 전압, 제1 공통 전압 및 제2 공통 전압들의 레벨 변화를 보여주는 타이밍도이고, 도 7은 도 1에 도시된 공통 전압 드라이버들(150a, 150b)에 의해서 액정 패널의 라인 반전 구동을 개념적으로 보여주는 도면이다.

[0059] 도 6을 참조하면, 공통 기준 전압(VDC)은 소정의 전압 레벨로 유지된다. 제1 공통 전압(VBA)은 매 프레임마다 제1 레벨(VH)과 제2 레벨(VL)로 반전된다. 제2 공통 전압(VBB)은 매 프레임마다 제2 레벨(VL)과 제1 레벨(VH)로 반전되되, 제1 공통 전압(VBA)과 상보적 관계를 갖는다.

[0060] 그러므로, 소정 프레임에서 도 4에 도시된 공통 전압 구동 유닛(CLDLi)이 제1 공통 전압 라인(CLi)을 제1 레벨(VH)로 구동하면, 도 4에 도시된 공통 전압 구동 유닛들(CLDLi+1)은 제1 공통 전압 라인(CLi+1)을 제2 레벨(VL)로 구동할 수 있다. 따라서 도 7에 도시된 바와 같이, 액정 표시 장치(100)는 라인 반전 구동이 가능하게 된다.

[0061] 도 8은 공통 전압 라인들(CL1-CLm)의 전압 레벨 변화를 보여주는 타이밍도이다.

[0062] 도 8을 참조하면, 제1 공통 전압 라인들(CL1-CLm)은 순차적으로 구동된다. k번째 프레임에서 홀수 번째 제1 공통 전압 라인들(CL1, CL3, ..., CLm-1)은 제1 공통 전압(VBA)으로 구동되고, 짝수 번째 제1 공통 전압 라인들(CL2, CL4, ..., CLm)은 제2 공통 전압(VBB)으로 구동된다. 다음 k+1번째 프레임에서 홀수 번째 제1 공통 전압 라인들(CL1, CL3, ..., CLm-1)은 제2 공통 전압(VBB)으로 구동되고, 짝수 번째 제1 공통 전압 라인들(CL2, CL4, ..., CLm)은 제2 공통 전압(VBA)으로 구동된다.

[0063] 인접한 두 개의 제1 공통 전압 라인들 즉, i번째 제1 공통 전압 라인(CLi)과 i+1번째 제1 공통 전압 라인(CLi+1)이 제1 공통 전압(VBA) 또는 제2 공통 전압(VBB)으로 구동되는 구간은 일부 중첩된다.

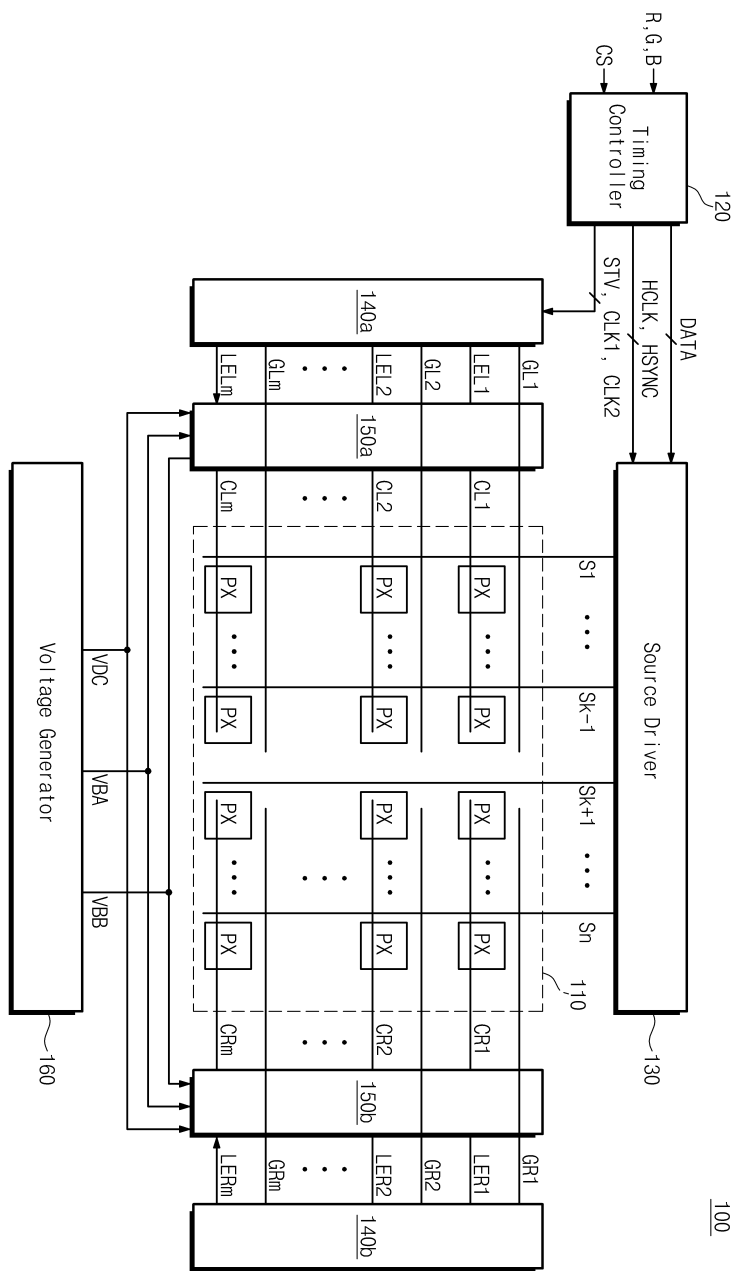
- [0064] 도 9는 공통 전압 라인에 구동되는 전압 레벨에 따라서 픽셀의 전위 및 픽셀로의 데이터 신호 공급 타이밍을 개념적으로 보여주는 도면이다.
- [0065] 도 9를 참조하면, i번째 제1 공통 전압 라인(CLi)이 공통 기준 전압 레벨(VDC)에서 제2 레벨(VL) 즉, 제2 공통 전압(VBB)으로 구동된 후 소스 라인들(S1-Sk-1)을 통해 i번째 제1 게이트 라인(Gi)과 연결된 픽셀들로 데이터 신호가 인가된다. 이때 제1 게이트 라인(Gi)과 연결된 픽셀들은 정극성(+)으로 구동된다. 다음 프레임에서 i번째 제1 공통 전압 라인(CLi)이 공통 기준 전압 레벨(VDC)에서 제1 레벨(VH) 즉, 제2 공통 전압(VBA)으로 구동된 후 소스 라인들(S1-Sk-1)을 통해 i번째 제1 게이트 라인(Gi)과 연결된 픽셀들로 데이터 신호가 인가된다. 이때 제1 게이트 라인(Gi)과 연결된 픽셀들은 부극성(-)으로 구동된다.
- [0066] 한편, i번째 제1 공통 전압 라인(CLi)이 공통 기준 전압 레벨(VDC)에서 제2 레벨(VL)로 구동되는 동안 i-1번째 제1 게이트 라인(Gi-1)과 연결된 픽셀들로 데이터 신호가 인가된다.
- [0067] 도 10은 도 1에 도시된 게이트 드라이버 및 공통 전압 라인 드라이버의 본 발명의 다른 실시예에 따른 구성을 보여주는 블록도이다.
- [0068] 도 10에는 좌측 픽셀들을 위한 제1 게이트 드라이버(1000a) 및 제1 공통 전압 드라이버(1010b)만을 도시하고 설명하나, 우측 픽셀들을 위한 제2 게이트 드라이버 및 제2 공통 전압 드라이버도 동일한 구성을 가지고 유사하게 동작한다.
- [0069] 도 10을 참조하면, 게이트 드라이버(140a)는 복수의 스테이지들(STGL11-STGL1m)을 포함하고, 제1 공통 전압 드라이버(150a)는 복수의 공통 전압 구동 유닛들(CLDL11-CLDL1m)을 포함한다.
- [0070] 복수의 스테이지들(STGL11-STGL1m) 각각은 제어 신호 및 전압들(CTRLS2)을 입력받는다. 복수의 스테이지들(STGL11-STGL1m)로 입력되는 제어 신호 및 전압들(CTRLS2)은 도 1에 도시된 타이밍 컨트롤러(120)로부터의 구동 신호들(DIR, DIRB), 클럭 신호들(CLK1, CLK2), 수직 개시 신호(STV) 그리고 전압 발생기(160)로부터의 공통 기준 전압(VDC), 제1 공통 전압(VBA), 제2 공통 전압(VBB) 및 제1 및 제2 바이어스 전압(VGH, VGL)을 포함한다. 스테이지들(STGL11, STGL1m)는 수직 개시 신호(STV)를 입력받는다. 복수의 스테이지들(STGL11-STGL1m) 각각은 제어 신호 및 전압들(CTRLS2)에 응답해서 제1 게이트 라인들(GL1-GLm)을 구동하고 제1 라인 인에이블 신호들(LEL1-LELm, LEL21-LEL2m)을 출력한다.
- [0071] 공통 전압 구동 유닛들(CLDL11-CLDL1m) 각각은 복수의 스테이지들(STGL11-STGL1m)에 각각 대응한다. 공통 전압 구동 유닛들(CLDL11-CLDL1m) 각각은 제3 및 제4 라인 인에이블 신호들(LEL11-LEL1m, LEL21-LEL2m)에 응답해서 제1 공통 전압 라인들(CL1-CLm)을 구동한다.
- [0072] 도 11은 도 10에 도시된 스테이지 및 공통 전압 구동 유닛의 구성을 예시적으로 보여주는 회로도이다.
- [0073] 도 11을 참조하면, 스테이지(STGL1i)는 PMOS 트랜지스터들(M11-M19)과 커패시터들(C11, C12)을 포함한다. PMOS 트랜지스터(M11)는 이전 스테이지(STGL1i-1)로부터의 출력 즉, 제1 게이트 라인(GLi-1)과 제1 노드(N11) 사이에 연결되고, 구동 신호(DIR)에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터(M12)는 다음 스테이지(STGL1i+1)로부터의 출력 즉, 제1 게이트 라인(GLi+1)과 제1 노드(N11) 사이에 연결되고, 구동 신호(DIRB)에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터(M13)는 제1 노드(N11)와 제2 노드(N13) 사이에 연결되고, 클럭 신호(CLK1)에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터(M14)는 동작 전압(VGH)과 제2 노드(N12) 사이에 연결되고, 노드(N11)의 신호에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터들(M15, M16) 각각은 제1 바이어스 전압(VGH)과 제3 노드(N13) 사이에 직렬로 순차적으로 연결되고, 제2 노드(N12)의 신호에 의해서 제어되는 게이트를 갖는다. 커패시터(C11)는 제1 바이어스 전압(VGH)과 제2 노드(N12) 사이에 연결된다. PMOS 트랜지스터(M17)는 제2 노드(N12)와 제2 바이어스 전압(VGL) 사이에 연결되고, 초기화 신호(INT1)에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터(M18)는 제1 바이어스 전압(VGH)과 제1 게이트 라인(GLi) 사이에 연결되고, 제2 노드(N12)의 신호에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터(M19)는 클럭 신호(CLK2)와 제1 게이트 라인(GLi) 사이에 연결되고, 제3 노드(N13)에 의해서 제어되는 게이트를 갖는다.
- [0074] 공통 전압 구동 유닛(CLDL1i)은 PMOS 트랜지스터들(M31, M32)을 포함한다. PMOS 트랜지스터(M31)는 공통 기준 전압(VDC)과 제1 공통 전압 라인(CLi) 사이에 연결되고, 제3 라인 인에이블 신호(LEL1i)에 의해서 제어되는 게이트를 갖는다. PMOS 트랜지스터(M32)는 제1 공통 전압 라인(CLi)과 제1 공통 전압(VBA) 사이에 연결되고, 제4 라인 인에이블 신호(LEL2i)에 의해서 제어되는 게이트를 갖는다.

- [0075] 도 12는 도 11에 도시된 스테이지 및 공통 전압 구동 유닛에서 사용되는 신호들의 타이밍도이다.
- [0076] 도 11 및 도 12를 참조하면, 제1 구동 신호(DIR)가 로우 레벨인 동안 제1 게이트 라인(Gi-1)이 로우 레벨이면, 제1 노드(N11)는 로우 레벨로 된다. 이때 클럭 신호(CLK1)가 로우 레벨이면 PMOS 트랜지스터(M13)가 턴 온되어서 제3 노드(N13)는 로우 레벨로 구동된다. 제3 노드(N13)의 제4 라인 인에이블 신호(LEL2i)가 로우 레벨로 천이함에 따라서 공통 전압 구동 유닛(CLDL1i) 내 PMOS 트랜지스터(M32)가 턴 온되고, 제1 공통 전압 라인(CLi)은 제1 공통 전압(VBA)으로 구동된다. 한편, 제3 노드(N13)의 제4 라인 인에이블 신호(LEL2i)가 로우 레벨이므로 PMOS 트랜지스터(M19)가 턴 온되어서 제1 게이트 라인(GLi)은 클럭 신호(CLK2)와 동일하게 하이 레벨로 구동된다. 커패시터(C12)에 의해서 제3 노드(N13)는 로우 레벨로 유지되므로, 클럭 신호(CLK2)가 하이 레벨에서 로우 레벨로 천이하면 제1 게이트 라인(GLi)은 로우 레벨로 구동된다.
- [0077] 초기화 신호(INT1)가 하이 레벨에서 로우 레벨로 천이함에 따라서 제2 노드(N12) 및 제2 노드(N12)는 로우 레벨로 천이한다. 제2 노드(N12)가 로우 레벨로 천이하면 PMOS 트랜지스터들(M15, M16)이 턴 온되어서 제3 노드(N13)는 하이 레벨로 천이한다. 그러므로 제1 게이트 라인(GLi)은 하이 레벨로 구동된다. 제2 노드(N12)가 로우 레벨로 천이함에 따라서 공통 전압 구동 유닛(CLDL1i) 내 PMOS 트랜지스터(M31)는 턴 온되고, 제1 공통 전압 라인(CLi)은 공통 기준 전압(VDC)으로 구동된다.
- [0078] 도 11에 도시된 공통 전압 구동 유닛(CLDL1i)은 스테이지(STGL1i)로부터 출력되는 제3 및 제4 인에이블 신호들(LEL1i, LEL2i)과 두 개의 PMOS 트랜지스터들(M31, M32) 만으로 제1 공통 전압 라인(CLi)을 구동할 수 있다.
- [0079] 도 10에 도시된 i+1번째 스테이지(STGL1i+1) 및 공통 전압 구동 유닛(CLDL1i+1)은 도 11에 도시된 i번째 스테이지(STGL1i) 및 공통 전압 구동 유닛(CLDL1i)과 동일한 구성을 갖는다. 다만, 공통 전압 구동 유닛(CLDL1i+1)은 제1 공통 전압(VBA) 대신 제2 공통 전압(VBB)을 입력받는다.
- [0080] 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예에 한정되지 않는다는 것이 잘 이해될 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

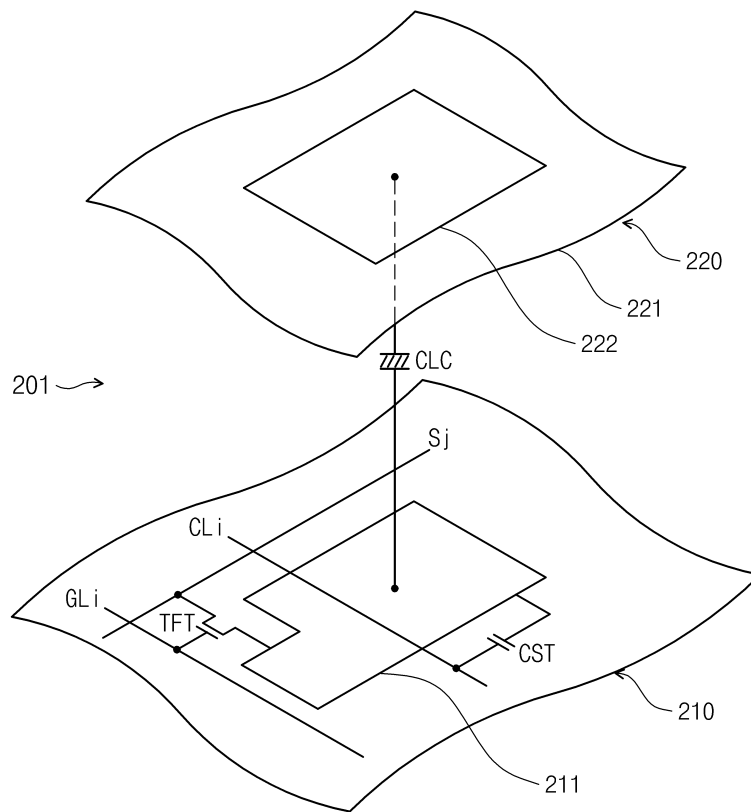
부호의 설명

- [0081] 100: 액정 디스플레이 장치 110: 액정 패널
- 120: 타이밍 컨트롤러 130: 소스 드라이버
- 140a, 140b: 제1 및 제2 게이트 드라이버들
- 150a, 150b: 제1 및 제2 공통 라인 드라이버들
- 160: 전압 발생기

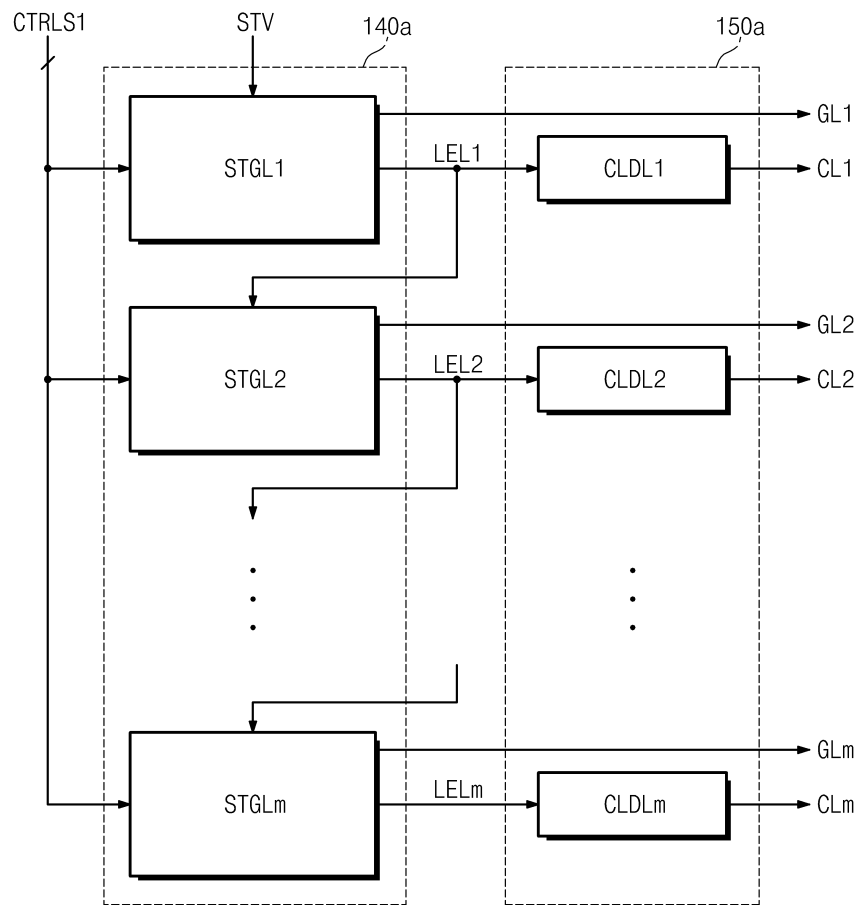
도면
도면1



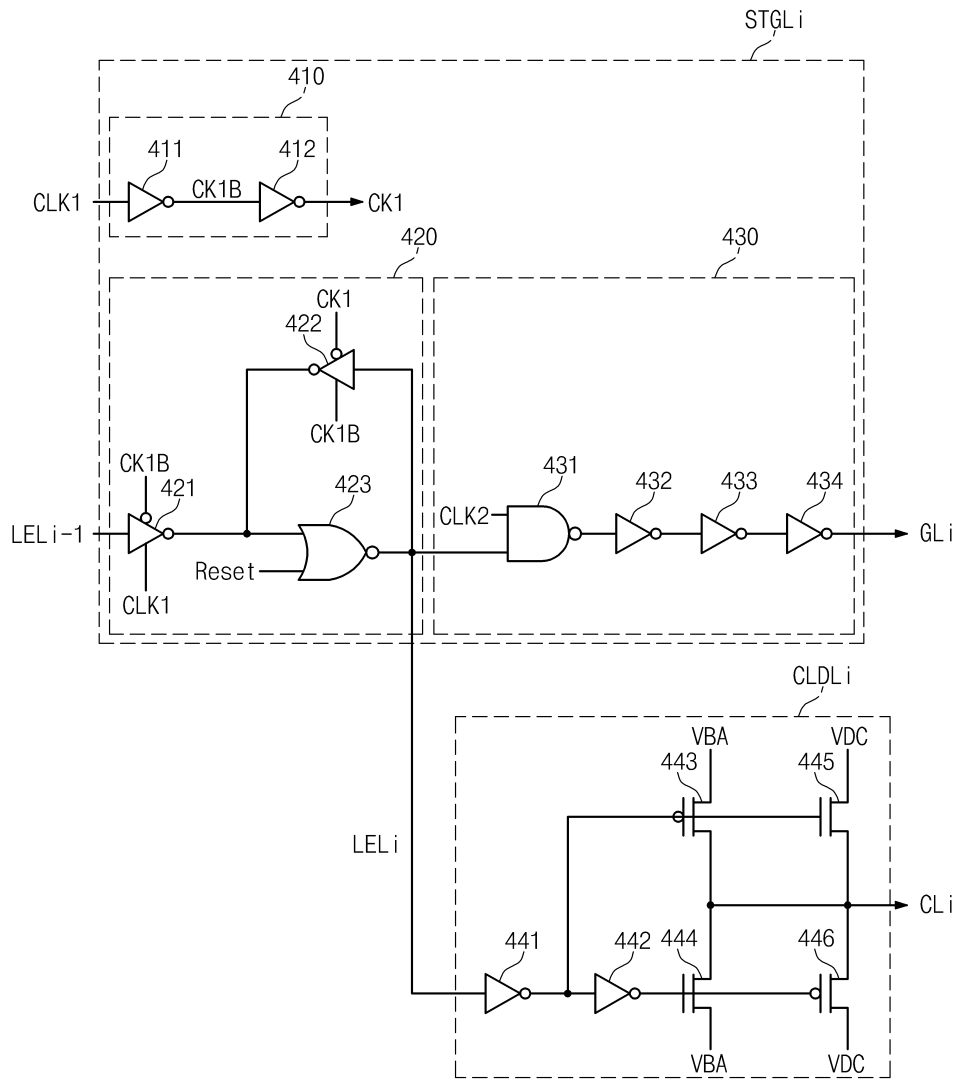
도면2



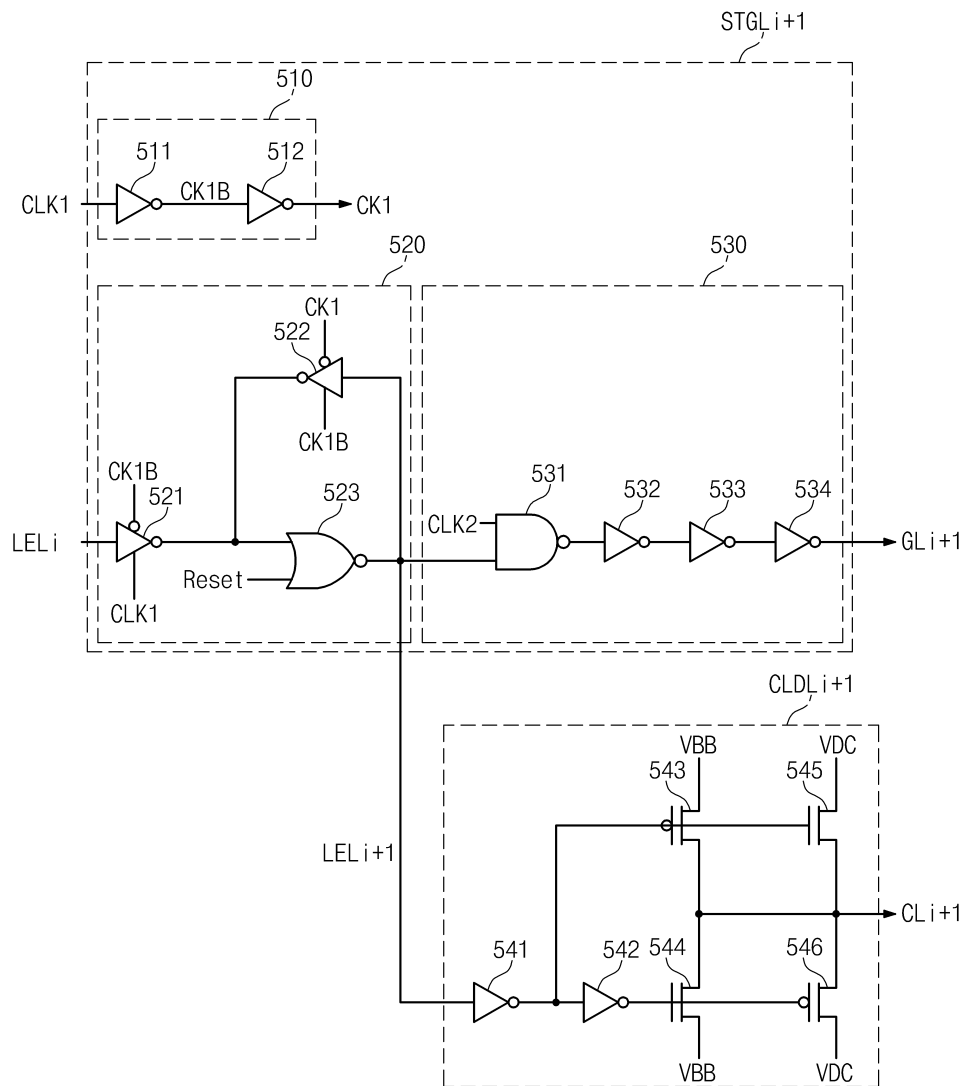
도면3



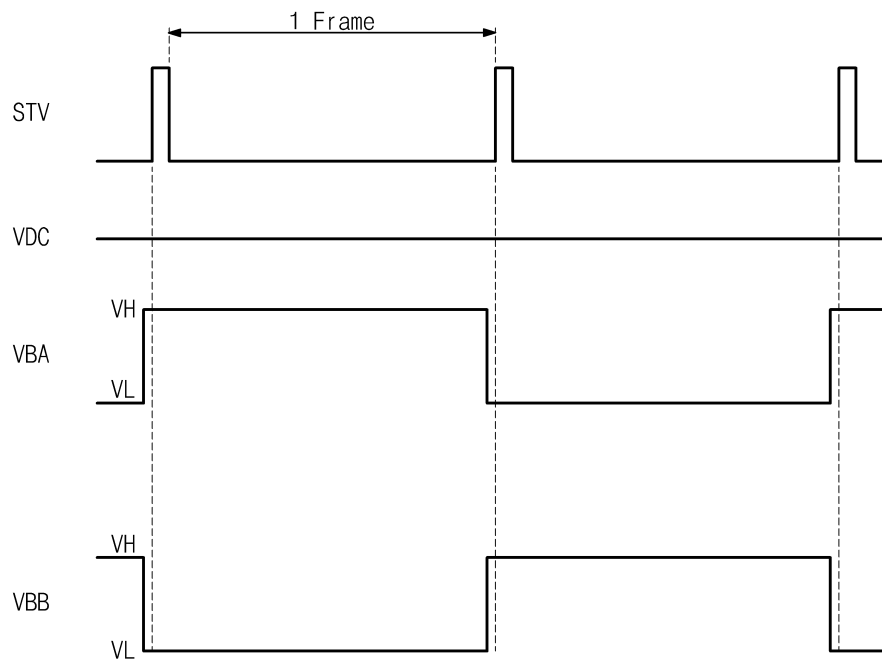
도면4



도면5



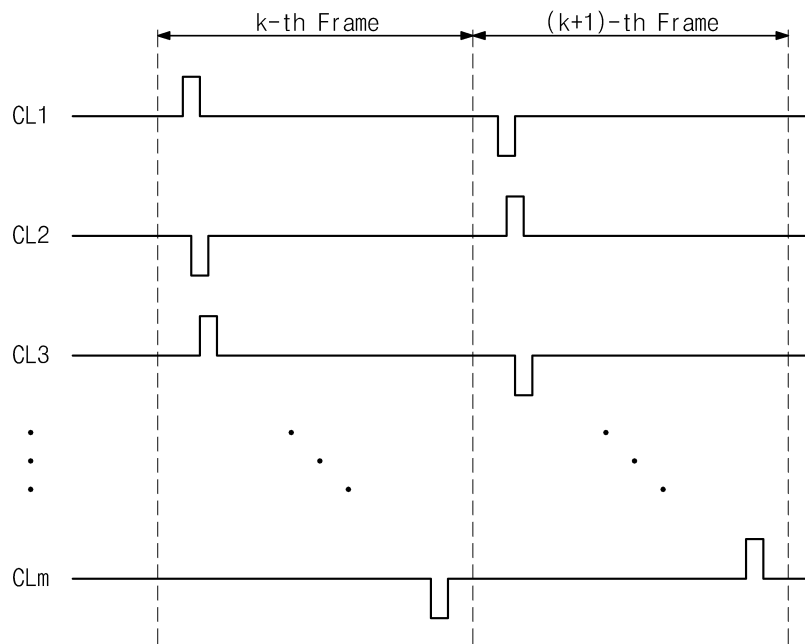
도면6



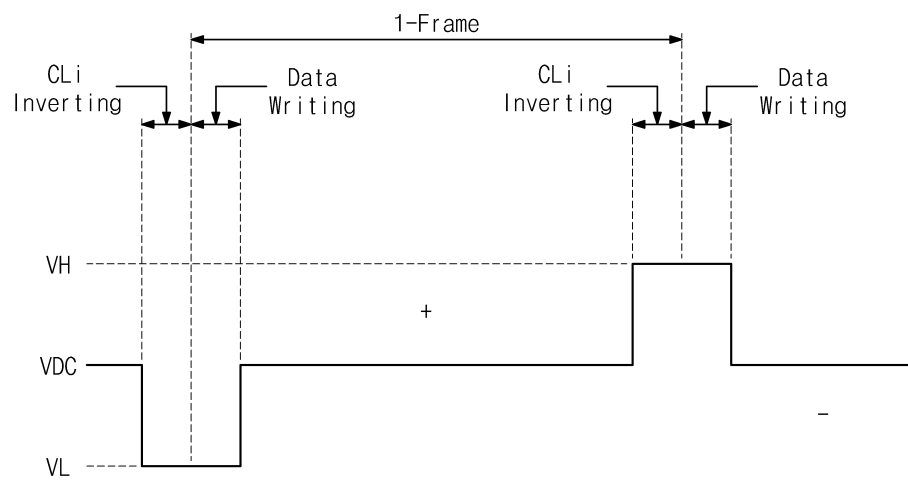
도면7

+	+	+	+	+	+
-	-	-	-	-	-
+	+	+	+	+	+
-	-	-	-	-	-

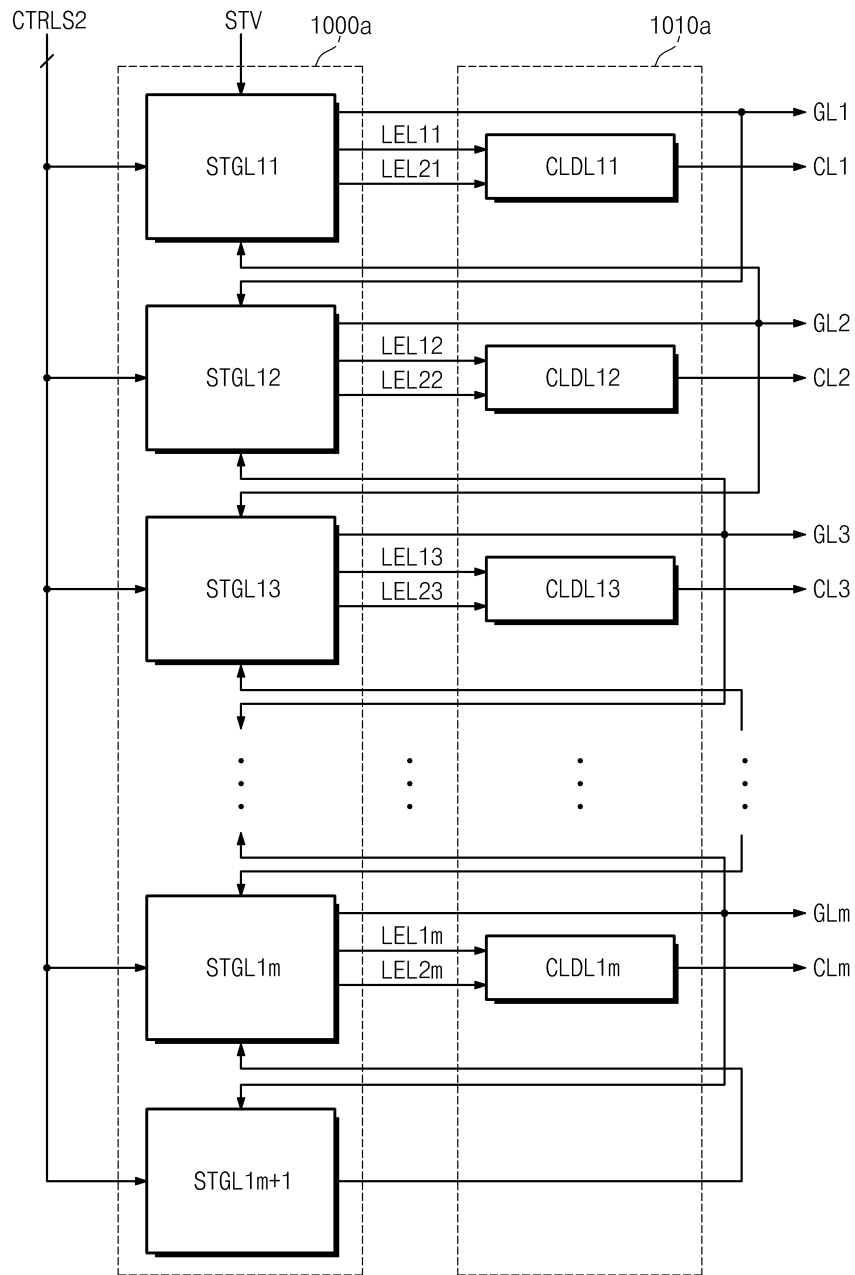
도면8



도면9



도면10



专利名称(译)	标题显示装置及其驱动方法		
公开(公告)号	KR1020120061554A	公开(公告)日	2012-06-13
申请号	KR1020100122897	申请日	2010-12-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SEUNG KYU 이승규 PARK JINWOO 박진우 LEE DONG HOON 이동훈		
发明人	이승규 박진우 이동훈		
IPC分类号	G09G3/36 G11C19/18 G11C19/28		
CPC分类号	G09G3/3659 G09G3/3677 G09G3/3696 G09G3/3614 G11C19/184 G11C19/28 G09G2300/0434 G09G2300/0876		
其他公开文献	KR101799981B1		
外部链接	Espacenet		

摘要(译)

一种显示装置，其中，组连接到第一栅极线和第一公共电压线，另一组包括连接到第二栅极线和第二公共电压线的多个像素，从而驱动第一和第二公共电压线并与第二时钟信号同步地驱动第一和第二栅极线。（ i 是正整数）第一和第二公共电压线由第一公共电压或参考电压驱动，第（ $i + 1$ ）第一和第二公共电压线由第二公共电压和公共电压驱动和参考电压。

