



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0075019  
(43) 공개일자 2010년07월02일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0133615

(22) 출원일자 2008년12월24일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이민철

서울특별시 동작구 노량진동 325번지 신동아 리버파크 703동 1713호

문승환

경기 용인시 수지구 상현동 현대6차아파트 205-1504(만현마을 2단지)

(74) 대리인

특허법인가산

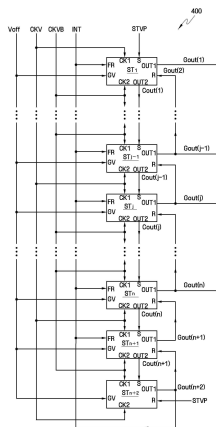
전체 청구항 수 : 총 20 항

(54) 게이트 구동 장치 및 이를 포함하는 액정 표시 장치

(57) 요약

게이트 구동 장치를 제공한다. 게이트 구동 장치는, 순차적으로 배치된 다수의 스테이지, 제1 및 제2 더미 스테이지를 포함하고, 제1 더미 스테이지는 전단의 스테이지로부터 제1 입력 신호를 제공받아 전하를 충전하는 제1 충전부와, 제1 충전부가 제1 충전 레벨에 도달할 때 클럭 신호를 출력하는 제1 풀업 트랜지스터를 포함하고, 제2 더미 스테이지는 제1 더미 스테이지로부터 제2 입력 신호를 제공받아 전하를 충전하는 제2 충전부와, 제2 충전부가 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 클럭 신호를 출력하는 제2 풀업 트랜지스터를 포함한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

순차적으로 배치된 다수의 스테이지, 제1 및 제2 더미 스테이지를 포함하고,

상기 제1 더미 스테이지는 전단의 스테이지로부터 제1 입력 신호를 제공받아 전하를 충전하는 제1 충전부와, 상기 제1 충전부가 제1 충전 레벨에 도달할 때 클럭 신호를 출력하는 제1 풀업 트랜지스터를 포함하고,

상기 제2 더미 스테이지는 상기 제1 더미 스테이지로부터 제2 입력 신호를 제공받아 전하를 충전하는 제2 충전부와, 상기 제2 충전부가 상기 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 상기 클럭 신호를 출력하는 제2 풀업 트랜지스터를 포함하는 게이트 구동 장치.

### 청구항 2

제1 항에 있어서,

상기 제2 풀업 트랜지스터의 폭은 상기 제1 풀업 트랜지스터의 폭보다 큰 게이트 구동 장치.

### 청구항 3

제1 항에 있어서,

상기 각 스테이지는 전단의 스테이지로부터 제3 입력 신호를 제공받아 전하를 충전하는 제3 충전부와, 상기 제3 충전부가 제1 충전 레벨에 도달할 때 상기 클럭 신호를 출력하는 제3 풀업 트랜지스터를 포함하는 게이트 구동 장치.

### 청구항 4

제3 항에 있어서,

상기 각 스테이지는 상기 제3 입력 신호를 제공받아 전하를 충전하는 제1 커패시터와, 상기 제1 커패시터가 제3 충전 레벨에 도달하면 상기 클럭 신호를 캐리 신호로 출력하는 제1 캐리 신호 발생 트랜지스터를 포함하고,

상기 제1 더미 스테이지는 상기 제1 입력 신호를 제공받아 전하를 충전하는 제2 커패시터와, 상기 제2 커패시터가 상기 제3 충전 레벨보다 높은 제4 충전 레벨에 도달하면 상기 클럭 신호를 캐리 신호로 출력하는 제2 캐리 신호 발생 트랜지스터를 포함하는 게이트 구동 장치.

### 청구항 5

제4 항에 있어서, 상기 제2 풀업 트랜지스터의 폭은,

상기 각 스테이지와 연결된 상기 각 게이트 라인에 의해 발생하는 기생 용량에 대한 상기 각 스테이지의 상기 제3 풀업 트랜지스터의 폭의 비율에, 상기 제2 더미 스테이지의 상기 게이트 신호에 의해 발생하는 기생 용량의 총합을 곱한 값에 비례하는 게이트 구동 장치.

### 청구항 6

제3 항에 있어서,

상기 제1 더미 스테이지는 상기 제1 입력 신호를 상기 제1 충전부로 전달하는 제1 버퍼 트랜지스터를 포함하고,

상기 제2 더미 스테이지는 상기 제2 입력 신호를 상기 제2 충전부로 전달하는 제2 버퍼 트랜지스터를 포함하되,

상기 제2 버퍼 트랜지스터의 폭은 상기 제1 버퍼 트랜지스터의 폭보다 큰 게이트 구동 장치.

### 청구항 7

제1 항에 있어서, 상기 제2 더미 스테이지는,

상기 다수의 스테이지 및 상기 제1 더미 스테이지 각각에 상기 게이트 신호를 출력하여 상기 다수의 스테이지 및 상기 제1 더미 스테이지 각각을 초기화하는 게이트 구동 장치.

**청구항 8**

다수의 게이트 라인을 포함하는 액정 패널; 및

순차적으로 배치된 다수의 스테이지, 제1 및 제2 더미 스테이지를 포함하고, 상기 다수의 스테이지는 상기 다수의 게이트 라인과 연결되어 게이트 신호를 순차적으로 제공하는 게이트 구동부를 포함하되,

상기 제1 더미 스테이지는 전단의 스테이지로부터 제1 입력 신호를 제공받아 전하를 충전하는 제1 충전부와, 상기 제1 충전부가 제1 충전 레벨에 도달할 때 제1 클럭 신호를 출력하는 제1 풀업 트랜지스터를 포함하고,

상기 제2 더미 스테이지는 상기 제1 더미 스테이지로부터 제2 입력 신호를 제공받아 전하를 충전하는 제2 충전부와, 상기 제2 충전부가 상기 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 상기 제1 클럭 신호를 출력하는 제2 풀업 트랜지스터를 포함하는 액정 표시 장치.

**청구항 9**

제8 항에 있어서,

상기 제2 풀업 트랜지스터의 폭은 상기 제1 풀업 트랜지스터의 폭보다 큰 액정 표시 장치.

**청구항 10**

제8 항에 있어서,

상기 각 스테이지는 전단의 스테이지로부터 제3 입력 신호를 제공받아 전하를 충전하는 제3 충전부와, 상기 제3 충전부가 제1 충전 레벨에 도달할 때 상기 클럭 신호를 출력하는 제3 풀업 트랜지스터를 포함하는 액정 표시 장치.

**청구항 11**

제10 항에 있어서,

상기 각 스테이지는 상기 제3 입력 신호를 제공받아 전하를 충전하는 제1 커패시터와, 상기 제1 커패시터가 제3 충전 레벨에 도달하면 상기 제1 클럭 신호를 캐리 신호로 출력하는 제1 캐리 신호 발생 트랜지스터를 포함하고,

상기 제1 더미 스테이지는 상기 제1 입력 신호를 제공받아 전하를 충전하는 제2 커패시터와, 상기 제2 커패시터가 상기 제3 충전 레벨보다 높은 제4 충전 레벨에 도달하면 상기 제1 클럭 신호를 캐리 신호로 출력하는 제2 캐리 신호 발생 트랜지스터를 포함하는 액정 표시 장치.

**청구항 12**

제11 항에 있어서, 상기 제2 풀업 트랜지스터의 폭은,

상기 각 스테이지와 연결된 상기 각 게이트 라인에 의해 발생하는 기생 용량에 대한 상기 각 스테이지의 상기 제3 풀업 트랜지스터의 폭의 비율에, 상기 제2 더미 스테이지의 상기 게이트 신호에 의해 발생하는 기생 용량의 총합을 곱한 값에 비례하는 액정 표시 장치.

**청구항 13**

제11 항에 있어서,

상기 제2 풀업 트랜지스터의 상기 제2 충전 레벨은,

상기 제2 더미 스테이지의 상기 게이트 신호에 의해 발생하는 기생 용량의 총합에 따라 결정되고,

상기 제1 풀업 트랜지스터의 상기 제1 충전 레벨은 상기 제2 풀업 트랜지스터의 상기 제2 충전 레벨에 따라 결정되는 액정 표시 장치.

**청구항 14**

제10 항에 있어서,

상기 제1 더미 스테이지는 상기 제1 입력 신호를 상기 제1 충전부로 전달하는 제1 버퍼 트랜지스터를 포함하고,

상기 제2 더미 스테이지는 상기 제2 입력 신호를 상기 제2 충전부로 전달하는 제2 버퍼 트랜지스터를 포함하되, 상기 제2 버퍼 트랜지스터의 폭은 상기 제1 버퍼 트랜지스터의 폭보다 큰 액정 표시 장치.

**청구항 15**

제8 항에 있어서, 상기 제2 더미 스테이지는,

상기 다수의 스테이지 및 상기 제1 더미 스테이지 각각에 상기 게이트 신호를 출력하여 상기 다수의 스테이지 및 상기 제1 더미 스테이지 각각을 초기화하는 액정 표시 장치.

**청구항 16**

제15 항에 있어서,

제3 및 제4 더미 스테이지를 더 포함하고,

상기 다수의 스테이지는 제1 및 제2 그룹으로 구분되고,

상기 제1 그룹으로 구분되는 다수의 스테이지, 상기 제1 및 제2 더미 스테이지는 순차적으로 배치되고,

상기 제2 그룹으로 구분되는 다수의 스테이지, 상기 제3 및 제4 더미 스테이지는 순차적으로 배치되고,

상기 제3 더미 스테이지는 전단의 스테이지로부터 제4 입력 신호를 제공받아 전하를 충전하는 제4 충전부와, 상기 제4 충전부가 제1 충전 레벨에 도달할 때 제2 클럭 신호를 출력하는 제4 풀업 트랜지스터를 포함하고,

상기 제4 더미 스테이지는 상기 제3 더미 스테이지로부터 제5 입력 신호를 제공받아 전하를 충전하는 제5 충전부와, 상기 제5 충전부가 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 상기 제2 클럭 신호를 출력하는 제5 풀업 트랜지스터를 포함하고,

상기 제1 클럭 신호와 상기 제2 클럭 신호는 서로 다른 액정 표시 장치.

**청구항 17**

제16 항에 있어서, 상기 제4 더미 스테이지는,

상기 제2 그룹으로 구분되는 다수의 스테이지 및 상기 제3 더미 스테이지 각각에 상기 게이트 신호를 출력하여 상기 제2 그룹으로 구분되는 다수의 스테이지 및 상기 제3 더미 스테이지 각각을 초기화하는 액정 표시 장치.

**청구항 18**

다수의 게이트 라인을 포함하는 액정 패널; 및

순차적으로 배치된 다수의 스테이지, 제1 및 제2 더미 스테이지를 포함하고, 상기 다수의 스테이지는 상기 다수의 게이트 라인과 연결되어 게이트 신호를 순차적으로 제공하는 게이트 구동부를 포함하되,

상기 제1 더미 스테이지는 전단의 스테이지로부터 제1 입력 신호를 제공받아 전하를 충전하는 제1 충전부와, 제1 채널 폭을 가지는 제1 풀업 트랜지스터를 포함하고,

상기 제2 더미 스테이지는 상기 제1 더미 스테이지로부터 제2 입력 신호를 제공받아 전하를 충전하는 제2 충전부와, 상기 제1 채널 폭보다 큰 제2 채널 폭을 가지는 제2 풀업 트랜지스터를 포함하는 액정 표시 장치.

**청구항 19**

제18 항에 있어서,

상기 제1 풀업 트랜지스터는 상기 제1 충전부가 제1 충전 레벨에 도달할 때 제1 클럭 신호를 출력하고,

상기 제2 풀업 트랜지스터는 상기 제2 충전부가 상기 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 상기 제1 클럭 신호를 출력하는 액정 표시 장치.

**청구항 20**

제18 항에 있어서,

상기 제1 더미 스테이지는 상기 제1 입력 신호를 상기 제1 충전부로 전달하는 제1 버퍼 트랜지스터를 포함하고, 상기 제2 더미 스테이지는 상기 제2 입력 신호를 상기 제2 충전부로 전달하는 제2 버퍼 트랜지스터를 포함하되, 상기 제2 버퍼 트랜지스터의 채널 폭은 상기 제1 버퍼 트랜지스터의 채널 폭보다 큰 액정 표시 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 게이트 구동 장치 및 이를 포함하는 액정 표시 장치에 관한 것이다.

**배경기술**

[0002] 액정 표시 장치는 게이트 구동 장치를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 즉, 게이트 구동 장치를 채택하지 않고, 비정질-실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 구동 장치를 유리 기판에 실장하고 있다.

[0003] 이러한 게이트 구동 장치를 포함하는 액정 표시 장치의 표시 품질을 향상시키기 위한 노력이 시도되고 있다.

**발명의 내용**

**해결하고자 하는 과제**

[0004] 본 발명이 해결하고자 하는 기술적 과제는 표시 품질을 향상시킬 수 있는 게이트 구동 장치를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 다른 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치를 제공하는 것이다.

[0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제 해결수단**

[0007] 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 게이트 구동 장치는, 순차적으로 배치된 다수의 스테이지, 제1 및 제2 더미 스테이지를 포함하고, 상기 제1 더미 스테이지는 전단의 스테이지로부터 제1 입력 신호를 제공받아 전하를 충전하는 제1 충전부와, 상기 제1 충전부가 제1 충전 레벨에 도달할 때 클럭 신호를 출력하는 제1 풀업 트랜지스터를 포함하고, 상기 제2 더미 스테이지는 상기 제1 더미 스테이지로부터 제2 입력 신호를 제공받아 전하를 충전하는 제2 충전부와, 상기 제2 충전부가 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 상기 클럭 신호를 출력하는 제2 풀업 트랜지스터를 포함한다.

[0008] 상기 다른 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 다수의 게이트 라인을 포함하는 액정 패널, 및 순차적으로 배치된 다수의 스테이지, 제1 및 제2 더미 스테이지를 포함하고, 상기 다수의 스테이지는 상기 다수의 게이트 라인과 연결되어 게이트 신호를 순차적으로 제공하는 게이트 구동부를 포함하되, 상기 제1 더미 스테이지는 전단의 스테이지로부터 제1 입력 신호를 제공받아 전하를 충전하는 제1 충전부와, 상기 제1 충전부가 제1 충전 레벨에 도달할 때 제1 클럭 신호를 출력하는 제1 풀업 트랜지스터를 포함하고, 상기 제2 더미 스테이지는 상기 제1 더미 스테이지로부터 제2 입력 신호를 제공받아 전하를 충전하는 제2 충전부와, 상기 제2 충전부가 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 상기 제1 클럭 신호를 출력하는 제2 풀업 트랜지스터를 포함한다.

[0009] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 실시를 위한 구체적인 내용**

[0010] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로

다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0011] 하나의 소자(elements)가 다른 소자와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0012] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음은 물론이다.
- [0013] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0014] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0015] 이하, 본 발명의 실시예들에 따른 게이트 구동 장치 및 이를 포함하는 액정 표시 장치를 설명한다.
- [0016] 먼저, 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 게이트 구동 장치를 설명한다. 도 1은 본 발명의 일 실시예에 따른 게이트 구동 장치를 설명하기 위한 예시적인 블록도이다. 도 2는 도 1의 제j 스테이지의 예시적인 회로도이다. 도 3은 도 1의 j 스테이지의 동작을 설명하기 위한 신호도이다. 도 4는 도 1의 n+2 스테이지의 예시적인 회로도이다. 도 5는 도 1의 n+1 스테이지의 예시적인 회로도이다.
- [0017] 먼저, 도 1을 참조하면 본 발명의 일 실시예에 따른 게이트 구동 장치(10)는, 순차적으로 배치된 다수의 스테이지(ST1~STn), 제1 더미 스테이지(STn+1), 및 제2 더미 스테이지(STn+2)를 포함한다. 다수의 스테이지(ST1~STn), 제1 및 제2 더미 스테이지(STn+1, STn+2)는 서로 캐스캐이드(cascade)로 연결될 수 있으며, 제1 및 제2 더미 스테이지(STn+1, STn+2)를 제외한 다수의 스테이지(ST1~STn)는 각각 게이트 라인(G1~Gn)과 일대일로 연결되어 각각 게이트 신호(Gout(1)~Gout(n))를 출력할 수 있다.
- [0018] 또한, 제1 및 제2 더미 스테이지(STn+1, STn+2)는 게이트 라인과 연결되지 않을 수 있다. 다만, 제1 및 제2 더미 스테이지(STn+1, STn+2) 역시 게이트 신호(Gout(n+1), Gout(n+2))를 출력할 수 있다. 더욱 구체적으로, 제1 더미 스테이지(STn+1)는 전단의 스테이지, 즉 제n 스테이지(STn)의 리셋 단자(R)와 연결되어, 제1 더미 스테이지(STn+1)의 게이트 신호(Gout(n+1))를 입력할 수 있다. 마찬가지로, 제2 더미 스테이지(STn+2)도 게이트 라인과 연결되지 않고, 전단의 스테이지, 즉 제1 더미 스테이지(STn+1)의 리셋 단자(R)와 연결되어, 제2 더미 스테이지(STn+2)의 게이트 신호(Gout(n+2))를 입력할 수 있다.
- [0019] 제2 더미 스테이지(STn+2)의 게이트 신호(Gout(n+2))는 다수의 스테이지(ST1~STn) 및 제1 더미 스테이지(STn+1)의 프레임 리셋 단자(FR)로 각각 입력되어 각 스테이지(ST1~STn) 및 제1 더미 스테이지(STn+1)를 초기화할 수 있다.
- [0020] 다수의 스테이지(ST1~STn), 제1 및 제2 더미 스테이지(STn+1, STn+2)는 게이트 오프 전압(Voff), 클럭 신호(CKV), 및 클럭바 신호(CKVB)가 입력될 수 있다. 또한, 다수의 스테이지(ST1~STn) 및 제1 더미 스테이지(STn+1)는 초기화 신호(INT)가 입력될 수 있다. 여기서, 초기화 신호(INT)는 제2 더미 스테이지(STn+2)로부터 제공될 수 있으며, 예를 들어 초기화 신호(INT)는 제2 더미 스테이지(STn+2)의 게이트 신호(Gout(n+2))일 수 있다.
- [0021] 다수의 스테이지(ST1~STn)와, 제1 및 제2 더미 스테이지(STn+1, STn+2) 각각은 제1 클럭 단자(CK1), 제2 클럭 단

자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 신호 출력 단자(OUT1) 및 캐리 신호 출력 단자(OUT2)를 포함할 수 있다.

[0022] 다수의 스테이지(ST1~STn) 중  $j(j \neq 1)$ 번째 게이트 라인과 연결된 제j 스테이지(ST<sub>j</sub>)를 예를 들어 살펴보면, 제j 스테이지(ST<sub>j</sub>)의 셋 단자(S)에는 전단 스테이지(ST<sub>j-1</sub>)의 캐리 신호(Cout<sub>(j-1)</sub>)가, 리셋 단자(R)에는 후단 스테이지(ST<sub>j+1</sub>)의 게이트 신호(Gout<sub>(j+1)</sub>)가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT)가 입력될 수 있다. 게이트 신호 출력 단자(OUT1)는 게이트 신호(Gout<sub>(j)</sub>)를 출력하고, 캐리 신호 출력 단자(OUT2)는 캐리 신호(Cout<sub>(j)</sub>)를 출력할 수 있다.

[0023] 단, 첫 번째 스테이지(ST<sub>1</sub>)에는 전단 캐리 신호 대신 제1 스캔 개시 신호(STVP)가 입력되며, 제2 더미 스테이지(ST<sub>n+2</sub>)에는 후단 게이트 신호 대신 제1 스캔 개시 신호(STVP)가 입력될 수 있다.

[0024] 나아가, 제2 더미 스테이지(ST<sub>n+2</sub>)는 도면에 도시된 바와 같이, 프레임 리셋 단자(FR) 및 캐리 신호 출력 단자(OUT2)를 포함하지 않을 수 있다. 경우에 따라서는, 프레임 리셋 단자(FR) 및 캐리 신호 출력 단자(OUT2)를 포함하되, 초기화 신호(INT) 및 캐리 신호가 입력 또는 출력되지 않을 수도 있다.

[0025] 또한, 제1 더미 스테이지(ST<sub>n+1</sub>)는 전단의 스테이지, 예를 들어 제n 스테이지(ST<sub>n</sub>)로부터 제1 입력 신호를 제공받아 전하를 충전하는 제1 충전부와, 제1 충전부가 제1 충전 레벨에 도달할 때 클럭 신호를 출력하는 제1 풀업 트랜지스터를 포함하고, 제2 더미 스테이지(ST<sub>n+2</sub>)는 제1 더미 스테이지(ST<sub>n+1</sub>)로부터 제2 입력 신호를 제공받아 전하를 충전하는 제2 충전부와, 제2 충전부가 제1 충전 레벨보다 높은 제2 충전 레벨에 도달할 때 클럭 신호를 출력하는 제2 풀업 트랜지스터를 포함한다. 제1 및 제2 더미 스테이지(ST<sub>n+1</sub>, ST<sub>n+2</sub>)에 대한 더욱 자세한 설명은 도 4 및 도 5에서 후술한다.

[0026] 도 2 및 도 3을 참조하여 도 1의 제j 스테이지(ST<sub>j</sub>)에 대하여 더욱 상세히 설명한다.

[0027] 도 2를 참조하면, 제j 스테이지(ST<sub>j</sub>)는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 플다운부(440), 방전부(450) 및 홀딩부(460)를 포함할 수 있다. 이러한 제j 스테이지(ST<sub>j</sub>)에 전단 캐리 신호(Cout<sub>(j-1)</sub>), 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 제공된다. 도 3에 도시된 바와 같이, 클럭 신호(CKV)는 로우 레벨로 유지되는 유지 구간(PH<sub>1</sub>, PH<sub>2</sub>)과, 로우 레벨에서 하이 레벨로 천이한 후, 다시 하이 레벨에서 로우 레벨로 천이하기까지의 천이 구간(PT<sub>1</sub>, PT<sub>2</sub>)을 포함한다. 즉, 천이 구간(PT<sub>1</sub>, PT<sub>2</sub>)은 라이징 에지(rising edge)부터 폴링 에지(falling edge)까지의 구간을 의미한다.

[0028] 먼저, 버퍼부(410)는 다이오드 연결된(diode-connected) 트랜지스터(T4)를 포함한다. 동작을 설명하면, 버퍼부(410)는 셋 단자(S)를 통해 입력된 전단 캐리 신호(Cout<sub>(j-1)</sub>)를 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공한다.

[0029] 충전부(420)는 일단이 트랜지스터(T4)의 소스, 풀업부(430) 및 방전부(450)에 연결되고, 타단이 게이트 신호 출력 단자(OUT1)에 연결된 커패시터(C1)로 이루어진다.

[0030] 풀업부(430)는 풀업 트랜지스터(T1)를 포함하는데, 풀업 트랜지스터(T1)의 드레인이 제1 클럭 단자(CK1)에 연결되고, 게이트가 충전부(420)에 연결되며, 소스가 게이트 신호 출력 단자(OUT1)에 연결된다.

[0031] 캐리 신호 발생부(470)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 소스가 캐리 신호 출력 단자(OUT2)에 연결되고, 게이트가 버퍼부(410)와 연결되어 있는 캐리 신호 발생 트랜지스터(T15)와, 캐리 신호 발생 트랜지스터(T15)의 게이트와 소스에 연결된 커패시터(C2)를 포함한다.

[0032] 플다운부(440)는 드레인이 풀업 트랜지스터(T1)의 소스 및 커패시터(C1)의 타단에 연결되고, 소스가 전원 전압 단자(GV)에 연결되고, 게이트가 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함한다.

[0033] 방전부(450)는, 게이트가 리셋 단자(R)에 연결되고 드레인이 커패시터(C1)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 다음 스테이지(ST<sub>j+1</sub>)의 게이트 신호(Gout<sub>(j+1)</sub>)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트가 프레임 리셋 단자(FR)에 연결되고 드레인이 커패시터(C3)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함

한다.

- [0034] 홀딩부(460)는 다수의 트랜지스터들(T3, T5, T7, T8, T10, T11, T12, T13)을 포함하여, 게이트 신호(Gout<sub>(j)</sub>)가 로우 레벨에서 하이 레벨로 변환되면 하이 레벨 상태를 유지시키고, 게이트 신호(Gout<sub>(j)</sub>)가 하이 레벨에서 로우 레벨로 변환된 후에는 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호(Gout<sub>(j)</sub>)를 로우 레벨로 유지시키는 동작을 수행한다.
- [0035] 도 2 및 도 3를 참조하여 상술한 각 유닛들의 동작을 상세히 설명한다.
- [0036] 먼저 게이트 신호(Gout<sub>(j)</sub>)가 게이트 오프 전압에서 게이트 온 전압으로 변환되는 과정을 설명한다.
- [0037] 충전부(420)는 전단 스테이지(ST<sub>j-1</sub>)의 캐리 신호(Cout<sub>(j-1)</sub>)를 제공받아 전하를 충전한다. 예컨대 충전부(420)는 제1 유지 구간(PH<sub>1</sub>)에서 전단 캐리 신호(Cout<sub>(j-1)</sub>)를 제공받아 충전되며, Q<sub>j</sub> 노드의 전압이 서서히 증가한다. 제1 천이 구간(PT<sub>1</sub>) 중, 로우 레벨에서 하이 레벨로 천이하는 클럭 신호(CKV)가 입력되는 구간에서 풀업 트랜지스터(T1)와 Q<sub>j</sub> 노드의 기생 커패시터(미도시)에 의해, Q<sub>j</sub> 노드의 전압이 다시 상승된다.
- [0038] 충전부(420)의 전압, 즉 Q<sub>j</sub> 노드의 전압이 제1 충전 레벨, 예컨대 양의 전압으로 상승되면, 풀업부(430)의 풀업 트랜지스터(T1)는 완전히 턴온되고, 제1 클럭 단자(CK1)를 통해 입력되는 클럭 신호(CKV)를 게이트 신호 출력 단자(OUT1)를 통해 게이트 신호(Gout<sub>(j)</sub>)로 제공한다. 즉, 게이트 신호(Gout<sub>(j)</sub>)는 게이트 온 전압 레벨이 된다. 또한 캐리 신호 발생부(470)의 캐리 신호 발생 트랜지스터(T15)가 턴온되어, 클럭 신호(CKV)를 캐리 신호 출력 단자(OUT2)를 통해 캐리 신호(Cout<sub>(j)</sub>)로 출력한다.
- [0039] 다음으로 게이트 신호(Gout<sub>(j)</sub>)가 게이트 온 전압에서 게이트 오프 전압으로 변환되는 과정을 설명한다.
- [0040] 제1 천이 구간(PT<sub>1</sub>) 중, 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이하는 구간에서 Q<sub>j</sub> 노드의 전압은, 상술한 기생 커패시터(미도시)에 의해 하강된다. 이 때, 다음 스테이지의 게이트 신호(Gout<sub>(j+1)</sub>)가 하이 레벨이 됨에 따라 방전부(450)의 트랜지스터(T9)가 턴온되어 Q<sub>j</sub> 노드로 게이트 오프 전압(Voff)을 제공한다. 다만, 클럭바 신호(CKVB)는 로우 레벨에서 하이 레벨로 천이하므로, 홀딩부의 트랜지스터(T11)가 턴온되어 양의 전압의 전단 캐리 신호(Cout<sub>(j-1)</sub>)를 Q<sub>j</sub> 노드로 제공한다. 따라서, Q<sub>j</sub> 노드의 전압은, 방전부(450)가 Q<sub>j</sub> 노드로 게이트 오프 전압(Voff)을 제공하더라도, 양의 전압의 전단 캐리 신호(Cout<sub>(j-1)</sub>)가 Q<sub>j</sub> 노드로 제공되므로, 급격하게 게이트 오프 전압(Voff)으로 하강하지 않고, 도 3에 도시된 바와 같이 서서히 감소하게 된다.
- [0041] 즉, 다음 스테이지의 게이트 신호(Gout<sub>(j+1)</sub>)가 하이 레벨이 된 때, 풀업부(430)의 풀업 트랜지스터(T1)가 턴오프되지 않고, 로우 레벨의 클럭 신호(CKV)를 게이트 신호(Gout<sub>(j)</sub>)로 출력한다. 또한 다음 스테이지의 게이트 신호(Gout<sub>(j+1)</sub>)가 하이 레벨이 된 때, 풀다운부(440)의 트랜지스터(T2)가 턴온되어 게이트 오프 전압을 게이트 신호 출력 단자(OUT1)로 제공한다. 풀다운부(440)가 게이트 신호(Gout<sub>(j)</sub>)를 게이트 오프 전압(Voff)으로 하강시키고, 또한 풀업부(430)도 로우 레벨의 클럭 신호(CKV)를 게이트 신호(Gout<sub>(j)</sub>)로 제공하므로, 게이트 신호(Gout<sub>(j)</sub>)의 전압 레벨은 신속히 게이트 오프 전압으로 풀다운된다. 따라서 게이트 신호(Gout<sub>(j)</sub>)가 다음 스테이지의 게이트 신호(Gout<sub>(j+1)</sub>)와 오버랩되지 않는다.
- [0042] 다음으로 게이트 신호(Gout<sub>(j)</sub>)가 게이트 오프 전압으로 풀다운된 후, 한 프레임 동안 게이트 오프 전압으로 유지되는 동작을 설명한다.
- [0043] 게이트 신호(Gout<sub>(j)</sub>)가 게이트 오프 전압으로 풀다운되면, 트랜지스터들(T8, T13)은 턴온된다. 트랜지스터(T13)는 트랜지스터(T7)를 턴오프시켜 하이 레벨의 클럭 신호(CKV)가 트랜지스터(T3)로 제공되는 것을 차단하고, 트랜지스터(T8)는 트랜지스터(T3)를 턴오프시킨다. 따라서 게이트 신호(Gout<sub>(j)</sub>)가 하이 레벨로 유지된다.
- [0044] 다음으로 게이트 신호(Gout<sub>(j)</sub>)가 하이 레벨에서 로우 레벨로 변환된 후에는 트랜지스터들(T8, T13)은 턴오프된다. 클럭 신호(CKV)가 하이 레벨이면, 트랜지스터들(T7, T12)은 트랜지스터(T3)를 턴온시켜 게이트 신호(Gout<sub>(j)</sub>)를 로우 레벨로 유지한다. 또한 트랜지스터(T10)가 턴온되어 풀업 트랜지스터(T1)의 게이트가 로우 레벨로 유지되며, 따라서 하이 레벨의 제1 클럭 신호(CKV)가 게이트 신호 출력 단자(OUT1)로 출력되지 않는다. 제

1 클럭바 신호(CKVB)가 하이 레벨이고, 트랜지스터들(T5, T11)이 턴온된다. 턴온된 트랜지스터(T5)는 게이트 신호(Gout<sub>(j)</sub>)를 로우 레벨로 유지시키며, 턴온된 트랜지스터(T11)는 커패시터(C1)의 일단을 로우 레벨로 유지시킨다. 따라서, 게이트 신호(Gout<sub>(j)</sub>)가 한 프레임 동안 로우 레벨로 유지된다.

[0045] 다만, 제j 스테이지(ST<sub>j</sub>)는 캐리 신호 발생부(470)를 포함하지 않을 수 있다. 이러한 경우, 제j 스테이지(ST<sub>j</sub>)는 전단 스테이지(ST<sub>j-1</sub>)의 캐리 신호(Cout<sub>(j-1)</sub>) 대신에 전단 스테이지(ST<sub>j-1</sub>)의 게이트 신호(Gout<sub>(j-1)</sub>)를 셋 단자(S)를 통해 입력 받아 동작할 수 있다.

[0046] 다음으로 도 4 및 도 5를 참조하여 제1 및 제2 더미 스테이지(ST<sub>n+1</sub>, ST<sub>n+2</sub>)에 대하여 상세히 설명한다. 도 2와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 설명은 생략하거나 간략화한다.

[0047] 도 4를 참조하면, 제1 더미 스테이지(ST<sub>n+1</sub>)는 앞서 설명한 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>)와 대체로 동일한 구성 요소를 포함할 수 있다. 특히, 제1 더미 스테이지(ST<sub>n+1</sub>)는 전단의 스테이지, 예를 들어 제n 스테이지(ST<sub>n</sub>)로부터 제1 입력 신호(Cout(n))를 제공받아 전하를 충전하는 제1 충전부(420)와, 제1 충전부(420)가 제1 충전 레벨에 도달할 때 클럭 신호(CKV)를 출력하는 제1 풀업 트랜지스터(T1)를 포함한다.

[0048] 도 5를 참조하면, 제2 더미 스테이지(ST<sub>n+2</sub>)는 제1 더미 스테이지(ST<sub>n+1</sub>)로부터 제2 입력 신호(Cout(n+1))를 제공받아 전하를 충전하는 제2 충전부(420)와, 제2 충전부(420)가 제2 충전 레벨에 도달할 때 클럭 신호(CKV)를 출력하는 제2 풀업 트랜지스터(T1)를 포함한다. 이 때, 제2 더미 스테이지(ST<sub>n+2</sub>)의 제2 충전 레벨은 제1 더미 스테이지(ST<sub>n+1</sub>)의 제1 충전 레벨보다 높다. 다시 말하면, 제2 더미 스테이지(ST<sub>n+2</sub>)의 제2 풀업 트랜지스터(T1)의 폭은, 제1 더미 스테이지(ST<sub>n+1</sub>)의 제1 풀업 트랜지스터(T1)의 폭보다 클 수 있다. 여기서, 제1 및 제2 풀업 트랜지스터(T1)의 폭은, 제1 및 제2 풀업 트랜지스터(T1)의 채널 폭을 의미할 수 있다. 즉, 각 트랜지스터 폭은, 각 트랜지스터의 채널 영역의 길이(L)에 대한 폭(W)의 비율인 중횡비(W/L)에서의 폭(W)을 의미할 수 있다. 이하에서, 각 트랜지스터의 폭은 각 트랜지스터의 채널 영역의 폭을 의미한다.

[0049] 예를 들어, 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>) 각각의 충전부(420)를 제3 충전부라고 하고, 제3 충전부의 전압에 따라 클럭 신호를 출력하는 풀업 트랜지스터(T1)를 제3 풀업 트랜지스터(T1)라고 할 때, 각 스테이지(ST<sub>1</sub>~ST<sub>n</sub>)의 제3 풀업 트랜지스터(T1)는 각 스테이지(ST<sub>1</sub>~ST<sub>n</sub>)의 제3 충전부(420)가 제1 충전 레벨에 도달할 때 클럭 신호를 출력할 수 있다. 다시 말하면, 제1 더미 스테이지(ST<sub>n+1</sub>)의 제1 풀업 트랜지스터(T1)와, 각 스테이지(ST<sub>1</sub>~ST<sub>n</sub>)의 제3 풀업 트랜지스터(T1)는 서로 동일한 제1 충전 레벨에 응답하여 클럭 신호를 출력할 수 있고, 제2 더미 스테이지(ST<sub>n+2</sub>)의 제2 풀업 트랜지스터(T1)는, 제1 또는 제2 풀업 트랜지스터(T1)의 제1 충전 레벨보다 높은 제2 충전 레벨에 응답하여 클럭 신호를 출력할 수 있다.

[0050] 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>), 제1 및 제2 더미 스테이지(ST<sub>n+1</sub>, ST<sub>n+2</sub>)의 제1 내지 제3 풀업 트랜지스터(T1)의 폭의 관점에서 비교할 수도 있다. 더욱 구체적으로, 각 스테이지(ST<sub>1</sub>~ST<sub>n</sub>)의 제3 풀업 트랜지스터(T1)의 폭과, 제1 더미 스테이지(ST<sub>n+1</sub>)의 제1 풀업 트랜지스터(T1)의 폭은 서로 동일할 수 있다. 제2 더미 스테이지(ST<sub>n+2</sub>)의 제2 풀업 트랜지스터(T1)의 폭은 제1 더미 스테이지(ST<sub>n+1</sub>)의 제1 풀업 트랜지스터(T1)의 폭보다 클 수 있다.

[0051] 제2 더미 스테이지(ST<sub>n+2</sub>)는, 상술한 바와 같이, 게이트 신호(Gout(n+2))를 출력하되, 제2 더미 스테이지(ST<sub>n+2</sub>)의 게이트 신호(Gout(n+2))는 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>) 및 제1 더미 스테이지(ST<sub>n+1</sub>)에 프레임 리셋 단자(FR)에 초기화 신호(INT)로 제공될 수 있다. 더욱 구체적으로, 제2 더미 스테이지(ST<sub>n+2</sub>)는 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>) 및 제1 더미 스테이지(ST<sub>n+1</sub>) 각각의 프레임 리셋 단자(FR)로 초기화 신호(INT)를 제공할 수 있다. 이 때, 프레임 리셋 단자(FR)는 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)의 게이트와 연결되므로, 제2 더미 스테이지(ST<sub>n+2</sub>)의 초기화 신호(INT)는 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>) 및 제1 더미 스테이지(ST<sub>n+1</sub>)의 트랜지스터(T6)가 정상적으로 동작할 수 있을 정도의 구동 능력을 가질 수 있다.

[0052] 구체적으로, 제2 더미 스테이지(ST<sub>n+2</sub>)의 풀업 트랜지스터(T1)의 폭은, 각 스테이지(ST<sub>1</sub>~ST<sub>n</sub>)와 연결된 각 게이트 라인에 의해 발생하는 기생 용량에 대한 각 스테이지(ST<sub>1</sub>~ST<sub>n</sub>)의 풀업 트랜지스터(T1)의 채널 폭의 비율에 제2 더미 스테이지(ST<sub>n+2</sub>)의 게이트 신호(Gout(n+2)), 즉 초기화 신호(INT)에 의해 발생하는 기생 용량의 총합을 곱한 값에 비례할 수 있다. 여기서, 초기화 신호(INT)에 의해 발생하는 기생 용량은, 초기화 신호(INT)가 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>) 및 제1 더미 스테이지(ST<sub>n+1</sub>) 각각에 전달될 때 발생하는 기생 용량, 예를 들어 초기화 신호(INT)가 전달되는 배선 라인이나 다수의 스테이지(ST<sub>1</sub>~ST<sub>n</sub>) 및 제1 더미 스테이지(ST<sub>n+1</sub>) 각각의 프레임 리셋 단자(FR)와 연결된 트랜지스터(T6)에서 발생하는 기생 용량 등을 의미할 수 있다.

- [0053] 예를 들어, 제j 스테이지(STj)와 연결된 게이트 라인(Gj)에 의해 발생하는 기생 용량을 A pF라 하고, 제j 스테이지(STj)의 풀업 트랜지스터(T1)의 폭을 B um라 하고, 제2 더미 스테이지(STn+2)의 초기화 신호(INT)에 의해 발생하는 기생 용량의 총합을 C pF이라고 할 때, 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)의 채널 폭은  $(B/A)*C$  um로 결정할 수 있다. 다만, 이는 하나의 예시적인 방법에 불과하며, 다른 방법에 의해 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)의 폭을 결정할 수 있다.
- [0054] 다시 도 2 및 도 4를 참조하면, 각 스테이지(ST1~STn)는 전단 스테이지의 캐리 신호를 제공받아 전하를 충전하는 제1 커패시터(C2)와, 제1 커패시터(C2)가 제3 충전 레벨에 도달하면 클럭 신호(CKV)를 캐리 신호(Cout(1)~Cout(n))로 출력하는 제1 캐리 신호 발생 트랜지스터(T15)를 포함하는 캐리 신호 발생부(470)를 포함할 수 있다. 이와 마찬가지로, 제1 더미 스테이지(STn+1)는 전단 스테이지(STn)의 캐리 신호를 제공받아 전하를 충전하는 제2 커패시터(C2)와, 제2 커패시터(C2)가 제4 충전 레벨에 도달하면 클럭 신호(CKV)를 캐리 신호(Cout(n+1))로 출력하는 제2 캐리 신호 발생 트랜지스터(T15)를 포함하는 캐리 신호 발생부(476)를 포함할 수 있다.
- [0055] 이 때, 제1 더미 스테이지(STn+1)의 제4 충전 레벨은, 각 스테이지(ST1~STn)의 제3 충전 레벨보다 높다. 다시 말하면, 제1 더미 스테이지(STn+1)의 제2 캐리 신호 발생 트랜지스터(T15)의 폭은, 각 스테이지(ST1~STn)의 제1 캐리 신호 발생 트랜지스터(T15)의 폭보다 크다. 상술한 바와 같이, 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)는 각 스테이지(ST1~STn) 및 제1 더미 스테이지(STn+1)에 초기화 신호(INT)를 출력하기 위한 구동 능력을 가지며, 제2 더미 스테이지(STn+2)는 제1 더미 스테이지(STn+1)의 캐리 신호(Cout(n+1))를 제공받는다. 따라서, 제1 더미 스테이지(STn+1)는 제2 더미 스테이지(STn+2)의 구동 능력에 대응하는 캐리 신호(Cout(n+1))를 생성할 수 있다.
- [0056] 결론적으로, 제1 더미 스테이지(STn+1)의 캐리 신호 발생 트랜지스터(T15)는, 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)의 구동 능력에 대응할 수 있다. 충전 레벨의 관점에서, 제1 더미 스테이지(STn+1)의 캐리 신호 발생 트랜지스터(T15)가 캐리 신호(Cout(n+1))를 출력하기 위한 충전 레벨은, 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)가 클럭 신호를 출력하기 위한 충전부(420)의 충전 레벨에 대응하며, 각 스테이지(ST1~STn)의 캐리 신호 발생 트랜지스터(T15)가 캐리 신호(Cout(n))를 출력하기 위한 충전 레벨보다 높다. 트랜지스터의 채널 폭의 관점에서는, 제1 더미 스테이지(STn+1)의 캐리 신호 발생 트랜지스터(T15)의 채널 폭은 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)의 채널 폭에 대응되고, 각 스테이지(ST1~STn)의 캐리 신호 발생 트랜지스터(T15)의 채널 폭보다 크다.
- [0057] 제1 더미 스테이지(STn+1)의 버퍼부(410) 및 제2 더미 스테이지(STn+2)의 버퍼부(415)를 살펴보면, 제1 더미 스테이지(STn+1)의 버퍼부(410)는 제1 입력 신호, 즉 제n 스테이지(STn)의 캐리 신호(Cout(n))를 제1 충전부(420)로 전달하는 제1 버퍼 트랜지스터(T4)를 포함하고, 제2 더미 스테이지(STn+2)의 버퍼부(415)는 제2 입력 신호, 즉 제1 더미 스테이지(STn+1)의 캐리 신호(Cout(n+1))를 제2 충전부(420)로 전달하는 제2 버퍼 트랜지스터(T4)를 포함할 수 있다. 이 때, 제2 버퍼 트랜지스터(T4)의 폭은 제1 버퍼 트랜지스터(T4)의 폭보다 클 수 있다. 이는 상술한 바와 같이, 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)가 제1 더미 스테이지(STn+1)의 풀업 트랜지스터(T1)보다 채널 폭이 커서, 제2 더미 스테이지(STn+2)를 구동하기 위해서는 제1 더미 스테이지(STn+1)의 경우보다 더 큰 충전 용량이 필요하기 때문이다.
- [0058] 제1 더미 스테이지(STn+1)의 방전부(450) 및 제2 더미 스테이지(STn+2)의 방전부(455)를 살펴보면, 제1 더미 스테이지(STn+1)의 방전부(450)는 제2 더미 스테이지(STn+2)의 게이트 신호(Gout(j+1))에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 제2 더미 스테이지(STn+2)의 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함할 수 있다. 제2 더미 스테이지(STn+2)의 방전부(455)는 게이트 신호 대신 제1 스캔 개시 신호(STVP)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)를 포함할 수 있다. 이 때, 제2 더미 스테이지(STn+2)는 도면에 도시된 바와 같이, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함하지 않을 수 있다.
- [0059] 요컨대, 제2 더미 스테이지(STn+2)의 초기화 신호(INT)가 다수의 스테이지(ST1~STn) 및 제1 더미 스테이지(STn+1)에 안정적으로 전송될 수 있도록, 제2 더미 스테이지(STn+2)의 풀업 트랜지스터(T1)의 폭을 제1 더미 스테이지(STn+1)의 풀업 트랜지스터(T1)의 폭보다 크게 설계함으로써 제2 더미 스테이지(STn+2)의 구동 능력을 증가시킬 수 있다. 또한, 제2 더미 스테이지(STn+2)의 구동 능력을 충분히 증가시키기 위해, 제1 더미 스테이지(STn+1)의 캐리 신호 발생 트랜지스터(T15)의 채널 폭을 각 스테이지(ST1~STn)의 캐리 신호 발생 트랜지스터(T15)의 채널 폭보다 크게 설계함으로써 제1 더미 스테이지(STn+1)의 캐리 신호의 충전 능력을 증가시킬 수 있다.

다. 나아가, 제2 더미 스테이지(ST<sub>n+2</sub>)의 버퍼 트랜지스터(T<sub>4</sub>)의 채널 폭을 제1 더미 스테이지(ST<sub>n+1</sub>)의 버퍼 트랜지스터(T<sub>4</sub>)의 채널 폭보다 크게 설계함으로써 제2 더미 스테이지(ST<sub>n+2</sub>)의 충전부(420)를 충분히 충전시킬 수 있다.

- [0060] 본 발명의 일 실시예에 따른 게이트 구동 장치에 의하면, 제2 더미 스테이지의 풀업 트랜지스터의 구동 능력이 향상되어 다수의 스테이지 및 제1 더미 스테이지에 초기화 신호를 더욱 안정적으로 제공할 수 있어, 게이트 라인 및 스테이지의 개수가 증가하더라도 각 게이트 라인에 게이트 신호가 안정적으로 인가될 수 있다. 즉, 표시 품질이 향상될 수 있는 장점이 있다.
- [0061] 이어서, 도 6 내지 도 8을 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치를 설명한다. 도 6은 본 발명의 실시예들에 따른 액정 표시 장치를 설명하기 위한 블록도이다. 도 7은 도 6의 한 화소의 등가 회로도이다. 도 8은 도 6의 화소들의 구조를 설명하기 위한 도면이다.
- [0062] 먼저 도 6을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는 액정 패널(300), 타이밍 컨트롤러(500), 클럭 생성부(600), 게이트 구동부(400) 및 데이터 구동부(700)를 포함한다. 타이밍 컨트롤러(500)와 클럭 생성부(600)는 신호 제공부를 형성할 수 있다.
- [0063] 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분될 수 있다.
- [0064] 표시부(DA)는 다수의 게이트 라인(G<sub>1</sub>~G<sub>n</sub>), 다수의 데이터 라인(D<sub>1</sub>~D<sub>m</sub>), 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기판(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기판(미도시), 제1 기판(미도시)과 제2 기판(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시할 수 있다. 게이트 라인(G<sub>1</sub>~G<sub>n</sub>)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D<sub>1</sub>~D<sub>m</sub>)은 대략 열 방향으로 연장되어 서로가 거의 평행하게 형성될 수 있다.
- [0065] 도 7를 참조하여 도 6의 한 화소에 대해 설명하면, 제1 기판(100)의 화소 전극(PE)과 대향하도록 제2 기판(200)의 공통 전극(CE)의 일부 영역에 색필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~n) 게이트 라인(G<sub>i</sub>)과 j번째(j=1~m) 데이터 라인(D<sub>j</sub>)에 연결된 화소(PX)는 신호선(G<sub>i</sub>, D<sub>j</sub>)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략될 수 있다. 스위칭 소자(Q)는 a-Si(amorphous - silicon)으로 이루어진 박막 트랜지스터(Thin Film Transistor, 이하 'a-Si TFT'라 함)일 수 있다. 도 8에 도시된 바와 같이, 각 화소는, 가로 길이가 세로 길이보다 길도록 형성되어 있고, 적색, 녹색, 청색의 색필터(R, G, B)가 가로 스트라이프 형태로 배열되어 있다. 즉 데이터선(D<sub>1</sub>~D<sub>m</sub>)을 따라 순차적으로 적색, 녹색, 청색의 색필터(R, G, B)가 반복 배열될 수 있다.
- [0066] 비표시부(PA)는 제1 기판(100)이 제2 기판(200)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- [0067] 신호 제공부는 타이밍 컨트롤러(500)와 클럭 생성부(600)를 포함하여, 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신하고, 영상 신호(DAT), 데이터 제어 신호(CONT)를 데이터 구동부(700)에 제공할 수 있다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 데이터 제어 신호(CONT)를 출력할 수 있다. 데이터 제어 신호(CONT)는 데이터 구동부(700)의 동작을 제어하는 신호로, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함한다.
- [0068] 데이터 구동부(700)는 영상 신호(DAT), 데이터 제어 신호(CONT)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D<sub>1</sub>~D<sub>m</sub>)에 제공한다. 데이터 구동부(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 액정 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.
- [0069] 또한 신호 제공부는 외부의 그래픽 제어기(미도시)로부터 수직 동기 신호(Vsync) 및 메인 클럭 신호(Mclk)를 제공받고, 전압 생성부(미도시)로부터 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 제공받고, 제1 스캔 개시 신호(STVP), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 게이트 구동부(400)에 제공할 수 있다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 제2 스캔 개시 신호(STV), 제1 클럭 생성 제어 신호(OE) 및 제2 클럭 생성 제어 신호(CPV)를 제공할 수 있다. 클럭 생성부(600)는 제2 스캔 개시 신호(STV)를 제공받아 제1 스캔 개시 신호(STVP)를 출력하고, 제1 클럭 생성 제어신호(OE) 및 제2 클럭 생성 제어 신호(CPV)를 입력받아 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력할 수 있다. 여기서 클럭 신호(CKV)는 클럭바 신호(CKV

B)와 경위상인 신호이다.

- [0070] 게이트 구동부(400)는 제1 스캔 개시 신호(STVP)에 인에이블되어 클럭신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 이용하여 다수의 게이트 신호들을 생성하고, 각 게이트 라인(G1~Gn)에 각 게이트 신호를 순차적으로 제공한다. 게이트 구동부(400)는 앞서 설명한 게이트 구동 장치를 포함하므로, 이에 대한 상세한 설명은 생략한다.
- [0071] 따라서, 본 발명의 일 실시예에 따른 액정 표시 장치에 의하면, 게이트 구동부의 제2 더미 스테이지의 풀업 트랜지스터의 구동 능력이 향상되어, 각 게이트 라인에 더욱 안정된 게이트 신호를 제공할 수 있는 장점이 있다. 또한, 게이트 라인 및 스테이지의 개수가 증가하더라도 안정적으로 게이트 신호를 제공할 수 있어, 표시 품질을 향상시킬 수 있다.
- [0072] 이하, 도 9 및 도 10을 참조하여, 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명한다. 도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다. 도 10은 도 9의 게이트 구동부를 설명하기 위한 예시적인 블록도이다.
- [0073] 본 발명의 다른 실시예에 따른 액정 표시 장치(11)는, 다수의 스테이지를 제1 및 제2 그룹으로 구분된다는 점에서 본 발명의 일 실시예에 따른 액정 표시 장치(10)와 구별된다. 이하에서는, 본 발명의 다른 실시예에 따른 액정 표시 장치(11)의 게이트 구동부(401)를 중심으로 설명하고, 본 발명의 일 실시예에 따른 액정 표시 장치(10)와 실질적으로 동일한 구성 요소에 대해서는 그 설명을 생략하거나 간략화한다.
- [0074] 도 9 및 도 10을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(11)의 게이트 구동부(401)는 제3 및 제4 더미 스테이지(STn+3, STn+4)를 더 포함하고, 다수의 스테이지는 제1 및 제2 그룹으로 구분된다. 더욱 구체적으로, 게이트 구동부(401)는 제1 그룹으로 구분되는 다수의 스테이지(ST1, ST2, ..., STn-1), 제1 및 제2 더미 스테이지(STn+1, STn+2)가 순차적으로 배치되고, 제2 그룹으로 구분되는 다수의 스테이지(ST2, ST4, ..., STn), 제3 및 제4 더미 스테이지(STn+3, STn+4)가 순차적으로 배치된다.
- [0075] 예를 들어, 다수의 스테이지(ST1~STn)는 교대로 제1 그룹 및 제2 그룹에 포함될 수 있다. 즉, 제1 내지 제n 게이트 라인(G1~Gn)에 각각 연결된 제1 내지 제n 스테이지(ST1~STn)에 대하여, 제1 게이트 라인(G1)과 연결된 제1 스테이지(ST1)는 제1 그룹, 제2 게이트 라인(G2)과 연결된 제2 스테이지(ST2)는 제2 그룹, 다시 제3 게이트 라인(G3)과 연결된 제3 스테이지(ST3)는 제1 그룹에 포함될 수 있다. 결과적으로, 홀수 번째 게이트 라인과 연결된 스테이지(ST1, ST2, ..., STn-1)는 제1 그룹으로 구분되고, 짝수 번째 게이트 라인과 연결된 스테이지(ST2, ST4, ..., STn)는 제2 그룹으로 구분될 수 있다. 다만, 이는 하나의 예시에 불과할 뿐 다른 방법으로 다수의 스테이지를 제1 및 제2 그룹으로 구분할 수 있으며, 다수의 그룹으로 구분하는 것도 가능하다고 할 것이다.
- [0076] 나아가, 도면에 도시하지는 않았으나, 게이트 구동부(401)는 다수의 스테이지(ST1, ST2, ..., STn-1), 제1 및 제2 더미 스테이지(STn+1, STn+2)가 순차적으로 배치된 제1 그룹으로 구성된 제1 게이트 구동부와, 다수의 스테이지(ST2, ST4, ..., STn), 제3 및 제4 더미 스테이지(STn+3, STn+4)가 순차적으로 배치된 제2 그룹으로 구성된 제2 게이트 구동부를 포함할 수 있다. 이 때, 제1 및 제2 게이트 구동부는 액정 패널(300)의 양 측에 배치되어, 각 게이트 라인(G1~Gn)에 게이트 신호를 순차로 인가할 수 있다.
- [0077] 예를 들어, 다수의 게이트 라인(G1~Gn) 중 홀수 번째의 게이트 라인(G1, G3, ..., Gn-1)은 액정 패널(300)의 좌측에 배치된 제1 게이트 구동부의 다수의 스테이지(ST1, ST2, ..., STn-1)와 연결되어 게이트 신호를 인가받을 수 있다. 이와 마찬가지로, 다수의 게이트 라인(G1~Gn) 중 짝수 번째의 게이트 라인(G2, G4, ..., Gn)은 액정 패널(300)의 우측에 배치된 제1 게이트 구동부의 다수의 스테이지(ST2, ST4, ..., STn)와 연결되어 게이트 신호를 각각 인가받을 수 있다.
- [0078] 클럭 생성부(601)는 제1 및 제2 클럭 신호(CKV1, CKV2)와, 제1 및 제2 클럭바 신호(CKVB1, CKVB2)를 출력할 수 있다. 더욱 구체적으로, 클럭 생성부(601)는 제2 스캔 개시 신호(STV)를 제공받아 제1 스캔 개시 신호(STVP)를 출력하고, 제1 클럭생성 제어신호(OE) 및 제2 클럭 생성 제어 신호(CPV)를 입력받아 제1 및 제2 클럭 신호(CKV1, CKV2)와, 제1 및 제2 클럭바 신호(CKVB1, CKVB2)를 출력할 수 있다. 마찬가지로, 제1 및 제2 클럭 신호(CKV1, CKV2)는 제1 및 제2 클럭바 신호(CKVB1, CKVB2)와 각각 역위상인 신호이다. 이 때, 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)는, 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)와 서로 다른 신호일 수 있다.
- [0079] 도 10을 참조하면, 제3 및 제4 더미 스테이지(STn+3, STn+4)는 앞서 도 1에서 설명한 제1 및 제2 더미 스테이지(STn+1, STn+2)와 각각 대응된다. 다만, 제1 및 제2 더미 스테이지(STn+1, STn+2)는 제1 클럭 신호(CKV1) 및

제1 클럭바 신호(CKVB1)에 의해 구동되고, 제3 및 제4 더미 스테이지(STn+3, STn+4)는 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)에 의해 구동될 수 있다. 따라서, 제3 및 제4 더미 스테이지(STn+3, STn+4)의 예시적인 회로도도 제1 및 제2 더미 스테이지(STn+1, STn+2)의 그것과 실질적으로 동일하므로, 설명의 편의를 위해 회로도 및 이에 대한 자세한 설명은 생략하기로 한다.

[0080] 제3 더미 스테이지(STn+3)는 전단의 스테이지, 예를 들어 제n 스테이지(STn)의 캐리 신호(Cout(n))를 입력 신호로 제공받아 전하를 충전하는 제4 충전부와, 제4 충전부가 제1 충전 레벨에 도달할 때 제2 클럭 신호(CKV2)를 출력하는 제4 풀업 트랜지스터(T1)를 포함하고, 제4 더미 스테이지(STn+4)는 제3 더미 스테이지(STn+3)의 캐리 신호(Cout(n+3))를 입력 신호로 제공받아 전하를 충전하는 제5 충전부와, 제5 충전부가 제2 충전 레벨에 도달할 때 제2 클럭 신호(CKV)를 출력하는 제5 풀업 트랜지스터(T1)를 포함한다.

[0081] 이 때, 제4 더미 스테이지(STn+4)의 풀업 트랜지스터(T1)는, 제1 및 제2 더미 스테이지(STn+1, STn+2)의 풀업 트랜지스터(T1)의 관계와 유사하게, 제3 더미 스테이지(STn+3)의 풀업 트랜지스터(T1)보다 높은 충전 레벨에 도달할 때 제2 클럭 신호(CKV)를 출력할 수 있다.

[0082] 나아가, 제4 더미 스테이지(STn+4)는 제2 그룹으로 구분되는 다수의 스테이지(ST1~STn) 및 제3 더미 스테이지(STn+3) 각각에 게이트 신호(Gout(n+4))를 초기화 신호(INT)로 출력하여, 제2 그룹으로 구분되는 다수의 스테이지(ST1~STn) 및 제3 더미 스테이지(STn+3) 각각을 초기화할 수 있다. 또한, 제3 더미 스테이지(STn+3)의 캐리 신호 발생부의 캐리 신호 발생 트랜지스터(T15)와, 제4 더미 스테이지(STn+4)의 버퍼부의 버퍼 트랜지스터(T4)와, 제4 더미 스테이지(STn+4)의 방전부 등의 특성은 제1 및 제2 더미 스테이지(STn+1, STn+2)의 각 트랜지스터와 실질적으로 동일한 특성을 가질 수 있다. 이에 대한 설명은 본 발명의 일 실시예에 따른 게이트 구동 장치에서 하였으므로 생략하기로 한다.

[0083] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**도면의 간단한 설명**

[0084] 도 1은 본 발명의 일 실시예에 따른 게이트 구동 장치를 설명하기 위한 예시적인 블록도이다.

[0085] 도 2는 도 1의 제j 스테이지의 예시적인 회로도이다.

[0086] 도 3은 도 1의 j 스테이지의 동작을 설명하기 위한 신호도이다.

[0087] 도 4는 도 1의 n+2 스테이지의 예시적인 회로도이다.

[0088] 도 5는 도 1의 n+1 스테이지의 예시적인 회로도이다.

[0089] 도 6은 본 발명의 실시예들에 따른 액정 표시 장치를 설명하기 위한 블록도이다.

[0090] 도 7은 도 6의 한 화소의 등가 회로도이다.

[0091] 도 8은 도 6의 화소들의 구조를 설명하기 위한 도면이다.

[0092] 도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다.

[0093] 도 10은 도 9의 게이트 구동부를 설명하기 위한 예시적인 블록도이다.

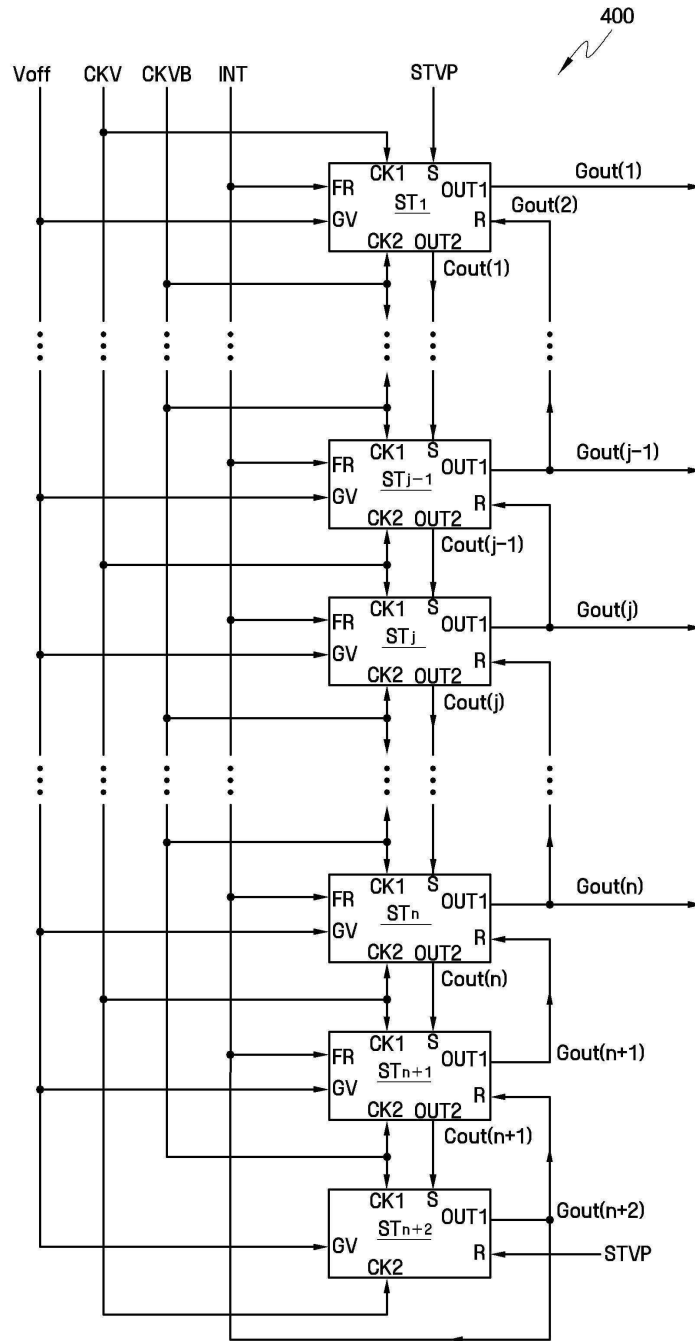
[0094] (도면의 주요부분에 대한 부호의 설명)

- [0095] 10, 11: 액정 표시 장치                      100: 제1 표시판
- [0096] 150: 액정층                                      200: 제2 표시판
- [0097] 300: 액정 패널                                  400, 401: 게이트 구동부
- [0098] 410, 415: 버퍼부                                420: 충전부
- [0099] 430, 435: 풀업부                                440: 풀다운부
- [0100] 450, 455: 방전부                                460: 홀딩부

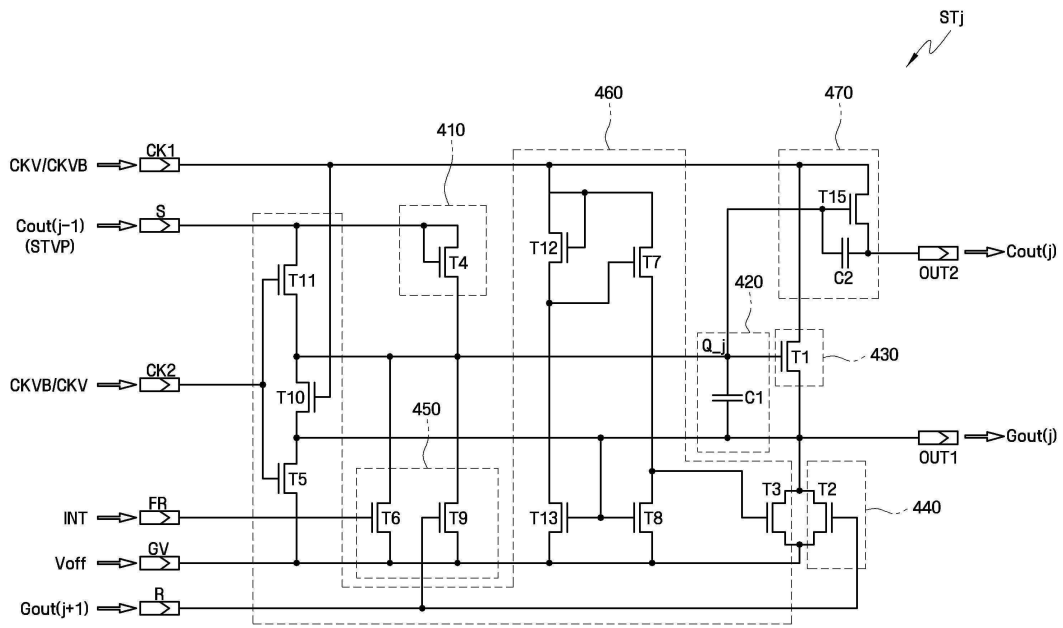
- [0101]        470, 476: 캐리 신호 발생부        500: 타이밍 컨트롤러
- [0102]        600, 601: 클럭 생성부            700: 데이터 구동부

도면

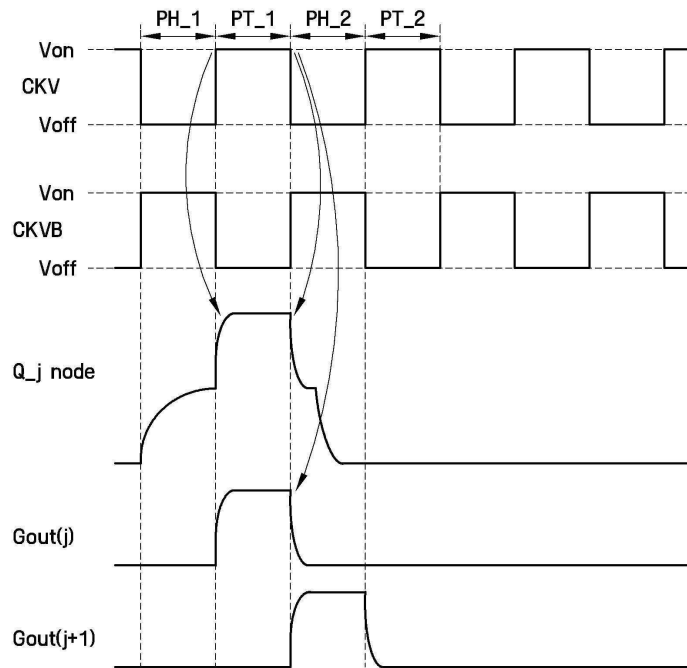
도면1



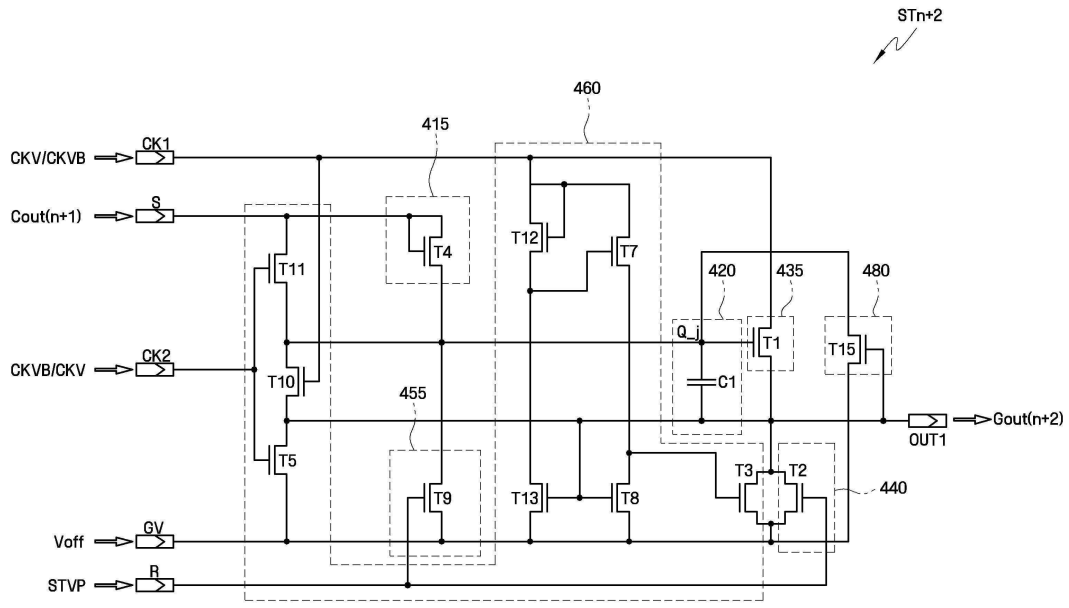
도면2



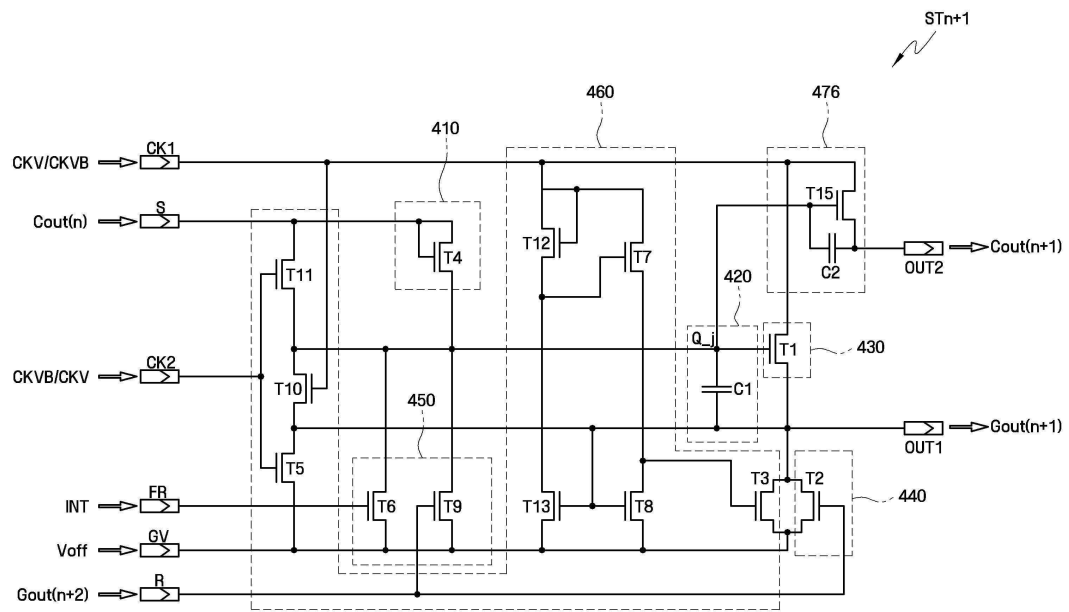
도면3



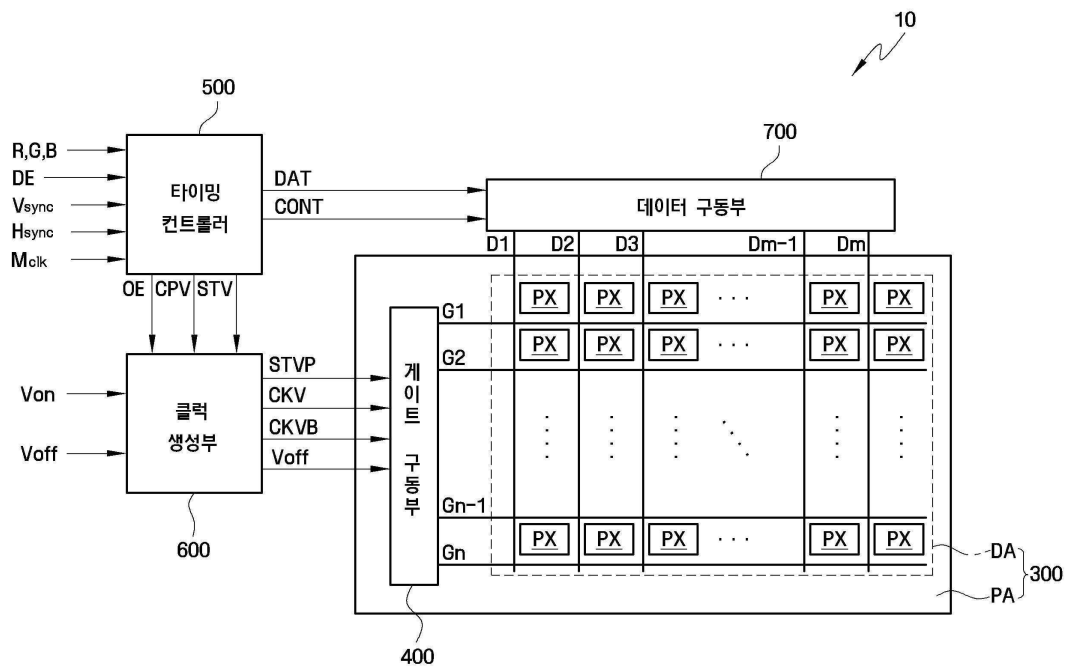
도면4



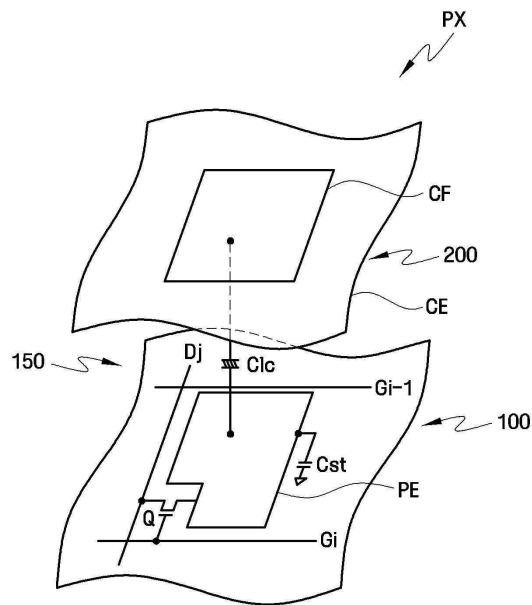
도면5



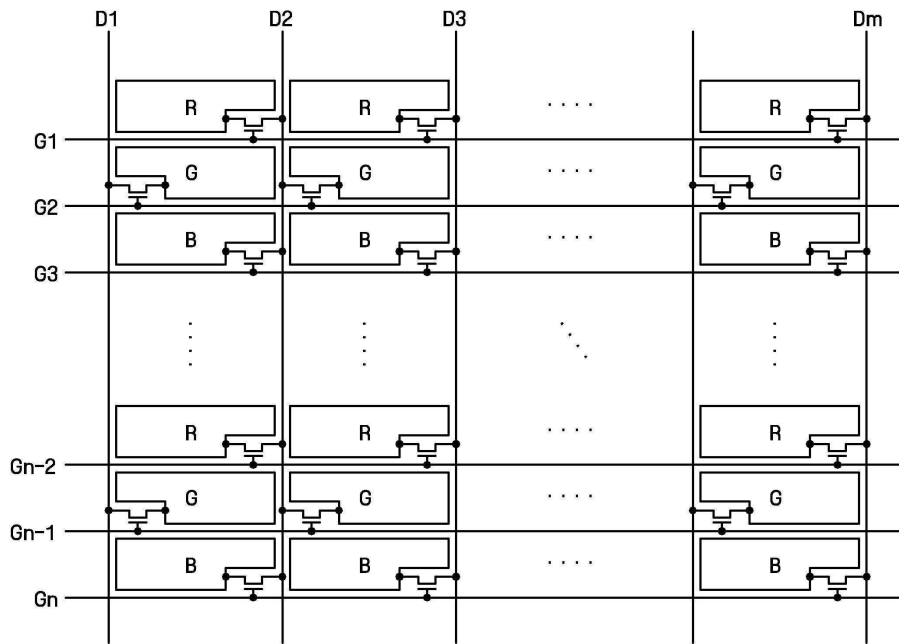
도면6



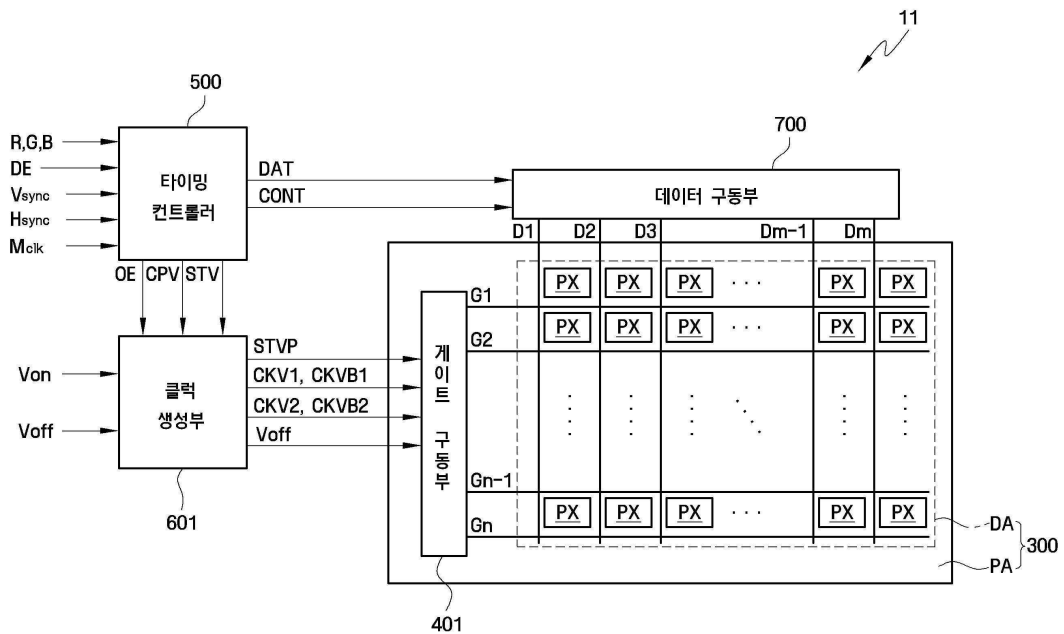
도면7



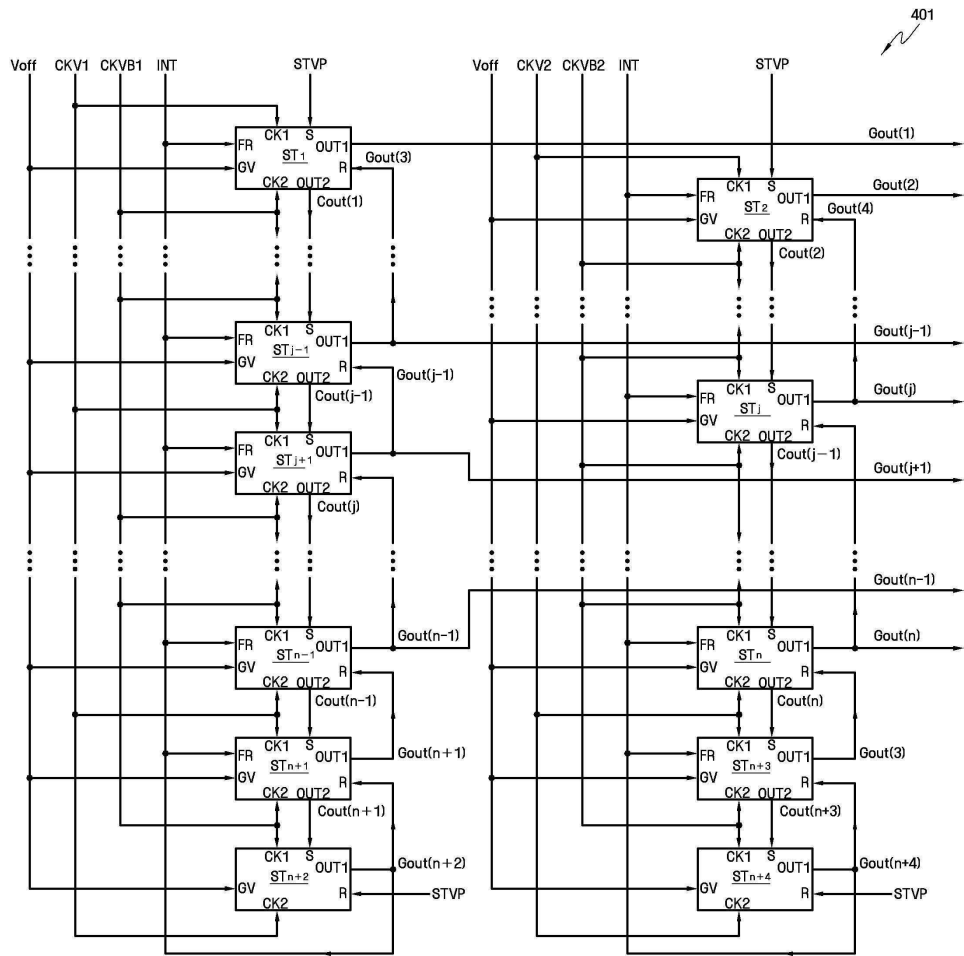
도면8



도면9



도면10



专利名称(译)	栅极驱动装置和包括其的液晶显示装置		
公开(公告)号	<a href="#">KR1020100075019A</a>	公开(公告)日	2010-07-02
申请号	KR1020080133615	申请日	2008-12-24
[标]申请(专利权)人(译)	三星电子株式会社 三星显示有限公司		
申请(专利权)人(译)	SAMSUNG ELECTRONICS CO. , LTD. 三星DISPLAY CO. , LTD.		
当前申请(专利权)人(译)	SAMSUNG ELECTRONICS CO. , LTD. 三星DISPLAY CO. , LTD.		
[标]发明人	LEE MIN CHEOL MOON SEUNG HWAN		
发明人	LEE, MIN CHEOL MOON, SEUNG HWAN		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G11C19/184 G09G2310/0286 G11C19/28 G09G2300/0426		
其他公开文献	KR101542509B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

从而提供栅极驱动装置。栅极驱动装置包括依次布置的多个级，第一和第二虚设级，其中第一虚设级包括第一充电部分，用于通过从前一级的级接收第一输入信号来对电荷充电，第二虚设级包括：第二充电单元，用于接收来自第一虚设级的第二输入信号并对电荷充电；以及第二虚设级，用于输出第一时钟信号，以及第二上拉晶体管，用于在第二充电单元达到高于第一充电电平的第二充电电平时输出时钟信号。

