



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0115668
(43) 공개일자 2009년11월05일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0036492

(22) 출원일자 2009년04월27일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-120097 2008년05월02일 일본(JP)

JP-P-2008-227432 2008년09월04일 일본(JP)

(71) 출원인

세이코 앱슨 가부시키가이샤

일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자

칸다 에이지

392-8502 일본국 나가노케 스와시 오와 3쵸메 3반
5고 세이코 앱슨 가부시키가이샤 나이

츠치야 야스시

392-8502 일본국 나가노케 스와시 오와 3쵸메 3반
5고 세이코 앱슨 가부시키가이샤 나이

(뒷면에 계속)

(74) 대리인

이철

전체 청구항 수 : 총 9 항

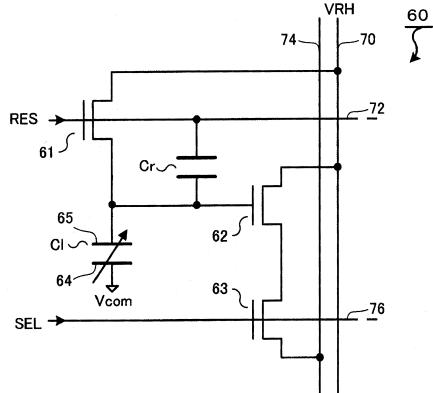
(54) 센싱 회로, 표시 장치 및 전자 기기

(57) 요 약

(과제) 센싱 회로에 있어서 센싱의 감도의 불균일을 저감한다.

(해결 수단) 센싱 회로(60)는, 서로 대향하는 제1 기판(11) 및 제2 기판(12)과, 제1 기판(11)과 제2 기판(12)과의 사이에 협지되는 액정(57)과, 제1 전극(64) 및 제2 전극(65)을 갖는 용량 소자(C1)를 포함하고, 용량 소자(C1)의 용량치(C1c)에 따른 크기의 검출 신호(T)를 출력하는 정전 용량 검출부를 구비하는 것을 특징으로 한다.

대 표 도 - 도2



(72) 발명자

오자와 토큐로

392-8502 일본국 나가노肯 스와시 오와 3쵸메 3번
5고 세이코 앱슨 가부시키가이샤 나이

마츠시마 토시하루

399-8285 일본국 나가노Ken 아즈미노시 토요시나 타
자와 6925 앱슨 이미징 디바이스 가부시키가이샤
나이

특허청구의 범위

청구항 1

서로 대향하는 제1 기판 및 제2 기판과,

상기 제1 기판과 상기 제2 기판과의 사이에 협지되는 유전 물질과,

제1 전극 및 제2 전극과,

상기 제1 전극과 상기 제2 전극과의 사이에 있어서 상기 유전 물질을 통하여 형성되는 용량의 값에 따른 크기의 검출 신호를 출력하는 정전 용량 검출부를 구비하고,

상기 제1 전극 및 상기 제2 전극은, 상기 유전 물질과 상기 제1 기판과의 사이에 형성되는 것을 특징으로 하는 센싱 회로.

청구항 2

제1항에 있어서,

상기 제1 전극 및 상기 제2 전극은 동일한 층으로부터 형성되고,

상기 제1 전극 또는 상기 제2 전극 중 한쪽의 전극은 1방향으로 연재(extend)하는 적어도 2개의 돌출부를 갖고 있고, 다른 한쪽의 전극은 상기 2개의 돌출부의 사이를 향하여 연재하는 돌출부를 갖는 것을 특징으로 하는 센싱 회로.

청구항 3

제1항에 있어서,

상기 제1 전극 및 상기 제2 전극은 상이한 층으로부터 형성되어 서로 대향하도록 배치됨과 함께, 상기 제1 전극은 상기 유전 물질과 상기 제2 전극과의 사이에 배치되고,

상기 제1 전극에는, 상기 제1 전극과 상기 제2 전극과의 사이에서 발생하는 전계를 지나게 하기 위한 슬릿이 형성되는 것을 특징으로 하는 센싱 회로.

청구항 4

제1항에 있어서,

상기 제1 전극 및 상기 제2 전극은 상이한 층으로부터 형성됨과 함께, 상기 제1 전극은 상기 유전 물질과 상기 제2 전극과의 사이에 배치되고,

상기 제1 전극 또는 상기 제2 전극 중 적어도 한쪽의 전극은 1방향으로 연재하는 적어도 2개의 돌출부를 갖고,

상기 제1 전극과 상기 제2 전극이 서로 겹치는 부분의 면적은 상기 제1 전극과 상기 제2 전극이 서로 겹치지 않은 부분의 면적보다도 작은 것을 특징으로 하는 센싱 회로.

청구항 5

제1항 또는 제2항에 기재된 센싱 회로와,

상기 제1 전극과 동일한 층으로부터 형성되는 제3 전극과, 상기 제2 전극과 동일한 층으로부터 형성되는 제4 전극과, 상기 제3 전극과 상기 제4 전극과의 사이에서 발생하는 전계가 인가되는 상기 유전 물질을 포함하는 화소회로를 구비하고,

상기 유전 물질은 유전 이방성을 갖는 물질로 구성되는 것을 특징으로 하는 표시 장치.

청구항 6

제3항에 기재된 센싱 회로와,

상기 제1 전극과 동일한 층으로부터 형성되는 제3 전극과, 상기 제2 전극과 동일한 층으로부터 형성되는 제4 전극과, 상기 제3 전극과 상기 제4 전극과의 사이에서 발생하는 전계가 인가되는 상기 유전 물질을 포함하는 화소

회로를 구비하고,

상기 유전 물질은 유전 이방성을 갖는 물질로 구성되는 것을 특징으로 하는 표시 장치.

청구항 7

제4항에 기재된 센싱 회로와,

상기 제1 전극과 동일한 층으로부터 형성되는 제3 전극과, 상기 제2 전극과 동일한 층으로부터 형성되는 제4 전극과, 상기 제3 전극과 상기 제4 전극과의 사이에서 발생하는 전계가 인가되는 상기 유전 물질을 포함하는 화소 회로를 구비하고,

상기 유전 물질은 유전 이방성을 갖는 물질로 구성되는 것을 특징으로 하는 표시 장치.

청구항 8

제5항 내지 제7항 중 어느 한 항에 있어서,

상기 유전 물질은 유전 이방성과 광학 이방성을 갖는 물질로 구성되는 것을 특징으로 하는 표시 장치.

청구항 9

제5항 내지 제8항 중 어느 한 항에 기재된 표시장치를 구비하는 전자 기기.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은, 센싱 회로, 표시 장치 및 전자 기기에 관한 것이다.

배경기술

<2> 종래, 손가락이나 팬 등의 대상물이 접촉한 것을 검출하기 위한 센싱 회로가 알려져 있다. 예를 들면 특허문헌 1에는, 서로 대향하는 2개의 기판의 각각에 형성된 전극과, 전극간에 협지(interpose)된 액정 등의 유전(誘電) 물질로 형성되는 용량 소자의 용량치의 변화를 검출하여 대상물이 접촉한 것을 검출하는 센싱 회로가 개시되어 있다. 여기에서 센싱의 감도는, 정상 상태에 있어서의 용량 소자의 용량치와 대상물이 기판에 접촉했을 때의 용량 소자의 용량치와의 비(比)로 주어진다.

<3> [특허문헌 1] 일본특허공표공보 2007-510949호

발명의 내용

해결 하고자하는 과제

<4> 그런데, 용량 소자의 용량치는, 전극의 면적, 유전 물질의 유전률 및, 전극간의 거리에 의해 정해진다. 종래의 센싱 회로에 있어서는, 서로 대향하는 2개의 기판의 가장자리에, 기판간의 거리를 규정하기 위한 스페이서를 형성하고 있다. 일반적으로, 대상물이 기판에 접촉하고 있지 않은 상태에서도 기판에는 자중(自重)에 의해 휨이 발생한다. 또한, 스페이서의 크기에도 불균일이 있었다. 이 때문에, 종래의 센싱 회로에서는, 전극간의 거리를 어느 부분에서도 일정한 값으로 유지하는 것은 용이하지 않고, 용량치를 목표치대로 설정하는 것은 곤란했다. 따라서, 종래의 센싱 회로에서는, 센싱의 감도에 불균일(variation)이 있다는 문제가 있었다.

<5> 이상의 사정에 감안하여, 본 발명은, 센싱 회로에 있어서 센싱의 감도의 불균일을 저감한다는 문제의 해결을 목적으로 하고 있다.

과제 해결수단

<6> 이상의 과제를 해결하기 위해, 본 발명에 따른 센싱 회로는, 서로 대향하는 제1 기판 및 제2 기판과, 제1 기판과 제2 기판과의 사이에 협지(interpose)되는 유전 물질(예를 들면 도 8에 나타내는 액정(57))과, 제1 전극 및 제2 전극과, 제1 전극과 제2 전극과의 사이에 있어서 유전 물질을 통하여 형성되는 용량의 값에 따른 크기의 검

출 신호(예를 들면 도 6에 나타내는 검출 전류(It))를 출력하는 정전 용량 검출부를 구비하고, 제1 전극 및 제2 전극은, 유전 물질과 제1 기판과의 사이에 형성되는(즉, 제1 전극 및 제2 전극은, 제1 기판 중 제2 기판과의 대향면측에 형성되는) 것을 특징으로 한다. 이 형태에 의하면, 제1 전극 및 제2 전극은 유전 물질과 제1 기판과의 사이에 형성되기 때문에, 서로 대향하는 제1 기판 및 제2 기판의 각각에 전극이 형성되는 구성과는 다르게, 전극간의 거리를 일정한 값으로 유지할 수 있다. 이에 따라, 용량 소자의 용량치를 목표치대로 설정할 수 있고, 센싱의 감도의 불균일을 저감할 수 있다.

<7> 또한, 전극과 유전 물질과의 사이에 다른 요소가 개재되는 형태라도 좋다. 예를 들면, 유전 물질로서 액정이 채용된 구성에 있어서는, 액정 분자의 배향을 규정하기 위한 배향막이 전극과 액정과의 사이에 개재하는 형태로 할 수도 있다. 마찬가지로, 전극과 제1 기판과의 사이에 다른 요소가 개재하는 형태라도 좋다. 예를 들면, 센싱 회로가 절연층, 반도체층, 드레인 전극, 소스 전극 등으로 이루어지는 트랜지스터나 금속 배선을 포함하는 구성에 있어서는, 트랜지스터의 각 요소나 금속 배선 등이 전극과 제1 기판과의 사이에 개재하는 형태로 할 수도 있다.

<8> 본 발명에 따른 센싱 회로의 매우 적합한 형태로서, 제1 전극 및 제2 전극은 동일한 층으로부터 형성되어, 제1 전극 또는 제2 전극 중 한쪽의 전극은, 1방향으로 연재(extend)하는, 적어도 2개의 돌출부를 갖고 있고, 다른 한쪽의 전극은, 2개의 돌출부의 사이를 향하여 연재하는 돌출부를 갖는다. 예를 들면, 제1 전극 및 제2 전극은 동일한 층으로부터 형성되어, 제1 전극 및 제2 전극 중 적어도 한쪽의 전극은 빗살 형상으로서, 제1 전극과 제2 전극은 서로 맞물리도록 배치되는 형태가 포함된다. 상기 형태에 의하면, 양쪽의 전극을 직사각형으로 형성하여 서로 이간시키는 형태와 비교하여, 양쪽의 전극이 상호 근접하는 부분을 충분히 확보할 수 있다. 따라서, 제1 전극 및 제2 전극의 양쪽이 직사각형으로 형성되는 구성에 비해, 제1 전극과 제2 전극과의 사이에서 발생하는 전계(電界)가 인가되는 면적이 크기 때문에, 액정의 배향이 흐트러지기 쉬워지고, 접촉시와 비(非)접촉시와의 용량치의 변화량이 커진다. 이에 따라, 검출 감도가 향상한다는 이점이 있다.

<9> 본 발명에 따른 센싱 회로의 가장 적합한 형태로서, 제1 전극 및 제2 전극은 상이한 층으로부터 형성되어 서로 대향하도록 배치됨과 함께, 제1 전극은 유전 물질과 제2 전극과의 사이에 배치되고, 제1 전극에는, 제1 전극과 제2 전극과의 사이에서 발생하는 전계를 지나게 하기 위한 슬릿(예를 들면 도 10에 나타내는 슬릿(68))이 형성된다. 이 형태에 있어서는, 제1 전극과 제2 전극이 상이한 층으로부터 형성되어 서로 대향하도록 배치되기 때문에, 제2 전극으로부터 슬릿을 지나 제1 전극으로 이르는 전계, 또는, 제1 전극으로부터 슬릿을 지나 제2 전극으로 이르는 전계는, 제1 전극 및 제2 전극이 동일한 층으로부터 형성되는 형태에 비해, 기판에 수직인 방향의 성분을 많이 포함하고 있다. 이에 따라, 예를 들면 액정 등의 유전 물질은 기판에 대하여 비스듬히 기운다. 따라서, 제1 전극 및 제2 전극이 동일한 층으로부터 형성되는 형태에 비해, 접촉시와 비접촉시와의 용량치의 변화량을 충분히 확보할 수 있다. 즉 검출 감도가 향상한다는 이점이 있다.

<10> 본 발명에 따른 센싱 회로의 매우 적합한 형태로서, 제1 전극 및 제2 전극은 상이한 층으로부터 형성됨과 함께, 제1 전극은 유전 물질과 제2 전극과의 사이에 배치되고, 제1 전극 또는 제2 전극 중 적어도 한쪽의 전극은, 1방향으로 연재하는, 적어도 2개의 돌출부를 갖고, 제1 전극과 제2 전극이 서로 겹치는 부분의 면적은, 제1 전극과 제2 전극이 서로 겹치지 않은 부분의 면적보다도 작다. 예를 들면, 제1 전극 및 제2 전극은 상이한 층으로부터 형성됨과 함께, 제1 전극은 유전 물질과 제2 전극과의 사이에 배치되고, 제1 전극 및 제2 전극 중 적어도 한쪽의 전극은 빗살 형상으로서, 제1 전극과 제2 전극이 서로 겹치는 부분의 면적은, 제1 전극과 제2 전극이 서로 겹치지 않은 부분의 면적보다도 작은 형태가 포함된다. 상기 형태에 의하면, 제1 전극과 제2 전극이 서로 겹치는 부분의 면적을, 제1 전극과 제2 전극이 서로 겹치지 않은 부분의 면적보다도 작게 함으로써, 용량 소자를 구성하는 전극의 면적을 작게 할 수 있다. 이에 따라, 용량 소자의 용량치를 작게 할 수 있기 때문에, 센싱 회로의 검출 감도를 향상시킬 수 있다는 이점이 있다.

<11> 본 발명에 따른 표시 장치는, 전술의 센싱 회로를 구비함과 함께, 제1 전극과 동일한 층으로부터 형성되는 제3 전극(예를 들면 도 7, 도 10, 도 13에 나타내는 공통 전극(55))과, 제2 전극과 동일한 층으로부터 형성되는 제4 전극(예를 들면, 도 7, 도 10, 도 13에 나타내는 화소 전극(53))과, 제3 전극과 제4 전극과의 사이에서 발생하는 전계가 인가되는 유전 물질을 포함하는 화소 회로를 구비하고, 유전 물질은, 유전 이방성(異方性)을 갖는 물질로 구성된다. 이 형태에 의하면, 센싱 회로와 화소 회로를 동일한 제조 프로세스로 동시에 제조할 수 있기 때문에, 표시 장치의 제조가 용이해진다는 이점이 있다. 또한, 유전 물질은, 유전 이방성과 광학 이방성을 갖는 물질로 구성할 수도 있다.

<12> 또한, 실시 형태에 기재된 액정이나 전기 영동층은, 특허청구범위에 기재한 「유전 물질」에 대응한다. 또한,

특히 청구범위에 기재된 「유전 물질」은, 액정이나 전기 영동층에 한하지 않고, 접촉시의 용량치와 비접촉시의 용량치가 다른 유전 물질이면 좋다. 그리고, 유전 이방성을 갖는 물질로 구성되는 유전물층은, 예를 들면 액정이지만, 액정과 동일하게 유전 특성에 이방성을 갖는 것이면 좋다. 그리고, 유전 이방성과 광학 이방성을 갖는 유전 물질은, 예를 들면 액정이지만, 액정과 동일하게 유전 특성에 이방성을 가짐과 함께, 광학 특성에 이방성을 갖는 것이면 좋다.

<13> 또한, 본 명세서에 있어서 「벳살 형상」의 전극이란, 예를 들면, 도 7 및 도 13에 있어서의 제1 전극(64)이나 제2 전극(65)과 같이, 1방향으로 연재하는, 적어도 2개의 돌출부를 갖는 전극을 의미하는 것이다. 그리고, 「제1 전극 및 제2 전극 중 적어도 한쪽의 전극은 벳살 형상으로서, 제1 전극과 제2 전극은 서로 맞물리도록 배치된다」란, 제1 전극 또는 제2 전극 중 한쪽의 전극은, 1방향으로 연재하는, 적어도 2개의 돌출부를 갖고 있고, 다른 한쪽의 전극은, 그 2개의 돌출부의 사이를 향하여 연재하는 돌출부를 갖는 것을 말한다. 여기에서, 한쪽의 전극과 다른 한쪽의 전극이 평면에서 볼 때 서로 겹치는 경우도 포함한다.

<14> 또한, 본 발명에 따른 전기 광학 장치는 각종의 전자 기기에 이용된다. 이 전자 기기의 전형예는, 전기 광학 장치를 표시 장치로서 이용한 기기이다. 이 종류의 기기로서는, 퍼스널 컴퓨터나 휴대 전화기 등이 있다.

발명의 실시를 위한 구체적인 내용

<15> (발명을 실시하기 위한 최량의 형태)

<16> <A : 제1 실시 형태>

<17> 도 1은, 본 발명의 제1 실시 형태에 따른 표시 장치(10)의 구성을 나타내는 블록 도면이다. 표시 장치(10)는, 복수의 화소 회로(P)가 면 형상으로 배열된 화소 영역(100)과, 각 화소 회로(P)를 구동하는 주사선 구동 회로(20) 및 데이터선 구동 회로(30)와, 대상물과 표시 장치(10)와의 접촉을 검출하는 검출 회로(40)를 갖는다. 도 1에 나타내는 바와 같이, 화소 영역(100)에는, X 방향으로 연재하는 m개의 주사선(102)과, X 방향에 직교하는 Y 방향으로 연재하는 n개의 데이터선(104)이 형성된다(m 및 n은 2 이상의 자연수). 각 화소 회로(P)는, 주사선(102)과 데이터선(104)과의 교차에 대응하는 위치에 배치된다. 따라서, 이들의 화소 회로(P)는 세로 m행×가로 n열의 매트릭스 형상으로 배열한다. 또한, 화소 영역(100)의 배면측에는, 백 라이트(도시 생략)가 형성되어 있다.

<18> 주사선 구동 회로(20)는, m개의 주사선(102)의 각각에 출력되는 주사 신호(Gi)(i=1~m)를 수평 주사 기간마다 순서대로 액티브 레벨로 설정함으로써, 각 주사선(102)을 순차적으로 선택한다. 데이터선 구동 회로(30)는, 주사선 구동 회로(20)가 선택한 주사선(102)에 대응하는 1행분의 n개의 화소 회로(P)의 각각에 대응하는 데이터 전위(VD[1] 내지 VD[n])를 생성하여 각 데이터선(104)에 출력한다. 제i행의 선택시에 제j열째(j는 1≤j≤n을 충족시키는 정수)의 데이터선(104)에 출력되는 데이터 전위(VD[j])는, 제i행의 제j열째에 위치하는 화소 회로(P)에 대하여 지정된 계조(階調; gray scale)에 대응하는 전위가 된다.

<19> 도 1에 나타내는 바와 같이, 화소 회로(P)는, 액정 소자(50)와 트랜지스터(51)를 포함한다. 액정 소자(50)는, 화소 전극(53) 및 공통 전극(55)과, 양자간에서 발생하는 전계가 인가되는 액정(57)으로 구성된다. 공통 전극(55)에는 공통 전위(Vcom)가 공급된다. 후술하는 바와 같이, 본 실시 형태에 있어서는, 화소 전극(53)과 공통 전극(55)과의 사이에 발생하는 횡방향의 전계에 의해 액정(57)의 배향이 제어되는 횡전계 방식을 채용하고 있다. 트랜지스터(51)는, N 채널형의 TFT(Thin Film Transistor)로 구성되고, 화소 전극(53)과 데이터선(104)과의 사이에 개재하여 양자간의 도통(道通)을 제어한다. 트랜지스터(51)의 게이트는 주사선(102)에 접속된다. 따라서 제i행째의 주사선(102)이 선택되면, 제i행째의 각 화소 회로(P)의 트랜지스터(51)가 온(on) 상태로 되어, 각 화소 회로(P)의 화소 전극(53)에는 데이터선(104)으로부터 데이터 전위(VD)가 공급된다. 이에 따라, 각 화소 회로(P)의 화소 전극(53)과 공통 전극(55)과의 사이에 전압(=VD-Vcom)이 인가된다. 각 화소 회로(P)에 있어서의 액정 소자(50)의 투과율(백 라이트로부터 액정 소자(50)에 조사되는 빛 중 관찰측에 투과하는 광량의 비율)은, 당해 화소 회로(P)에 공급되는 데이터 전위(VD)에 따라 변화한다.

<20> 도 1에 나타내는 부호 「R」, 「G」, 「B」는, 각 화소 회로(P)의 표시색을 나타낸다. 본 실시 형태에 있어서는, 도 1에 나타내는 바와 같이, 「R」, 「G」, 「B」의 각 색을 표시색으로 하는 3개의 화소 회로(P)가 1개의 조(C)를 구성하고, 각 조(C)마다 센싱 회로(60)가 형성된다. 각 센싱 회로(60)는, 대상물과의 접촉을 검출하기 위한 검출 신호(T)를 검출 회로(40)로 출력한다. 검출 회로(40)는, 각 센싱 회로(60)로부터 출력되는 검출 신호(T)에 기초하여, 대상물과 표시 장치(10)와의 접촉을 검출한다.

- <21> 도 2는, 센싱 회로(60)의 구성을 나타내는 회로도이다. 센싱 회로(60)는, 리셋 트랜지스터(61)와, 증폭 트랜지스터(62)와, 선택 트랜지스터(63)와, 기준 용량 소자(Cr)와, 접촉 검출용 용량 소자(C1)를 구비한다. 도 2에 나타내는 바와 같이, 접촉 검출용 용량 소자(C1)는, 제1 전극(64)과 제2 전극(65)을 포함하고, 제1 전극(64)에는 공통 전위(Vcom)가 공급된다.
- <22> 도 2에 나타내는 바와 같이, N 채널형의 리셋 트랜지스터(61)의 드레인은 전원선(70)에 접속되는 한편, 소스는 증폭 트랜지스터(62)의 게이트와 접속된다. 전원선(70)에는 전원 전위(VRH)가 공급된다. 리셋 트랜지스터(61)의 게이트는 제1 제어선(72)에 접속된다. 제1 제어선(72)에는 리셋 신호(RES)가 공급된다. 리셋 신호(RES)가 하이(High) 레벨인 경우, 리셋 트랜지스터(61)는 온 상태로 전이하고, 리셋 신호(RES)가 로우(Low) 레벨인 경우, 리셋 트랜지스터(61)는 오프(Off) 상태로 전이한다.
- <23> N 채널형의 증폭 트랜지스터(62)의 드레인은 전원선(70)에 접속되는 한편, 소스는 N 채널형의 선택 트랜지스터(63)의 드레인에 접속된다.
- <24> 도 2에 나타내는 바와 같이, 증폭 트랜지스터(62)의 게이트와 제1 제어선(72)과의 사이에는 기준 용량 소자(Cr)가 개재한다. 또한, 증폭 트랜지스터(62)의 게이트는 접촉 검출용 용량 소자(C1)의 제2 전극(65)과 접속된다.
- <25> 도 2에 나타내는 바와 같이, 선택 트랜지스터(63)의 소스는 검출선(74)에 접속되고, 게이트는 제2 제어선(76)에 접속된다. 제2 제어선(76)에는 선택 신호(SEL)가 공급된다. 선택 신호(SEL)가 하이 레벨인 경우, 선택 트랜지스터(63)는 온 상태로 전이하고, 선택 신호(SEL)가 로우 레벨인 경우, 선택 트랜지스터(63)는 오프 상태로 전이한다.
- <26> 다음으로, 센싱 회로(60)의 동작을 도 3~도 6을 참조하면서 설명한다. 센싱 회로(60)는, 리셋 기간(Tres), 센싱 기간(Tsen) 및, 판독 기간(Tout)을 1단위로 하여 동작한다. 도 3에 나타내는 바와 같이, 리셋 기간(Tres)에 있어서는, 제1 제어선(72)에 공급되는 리셋 신호(RES)의 레벨은 전위(VD)로 설정된다. 즉, 리셋 기간(Tres)에 있어서는, 리셋 신호(RES)의 레벨은 하이 레벨로 설정되어 리셋 트랜지스터(61)는 온 상태가 된다. 한편, 제2 제어선(76)에 공급되는 선택 신호(SEL)는 로우 레벨로 유지되고, 선택 트랜지스터(63)는 오프 상태로 유지된다. 이 때, 도 4에 나타내는 바와 같이, 증폭 트랜지스터(62)의 게이트의 전위(VA)는 전원 전위(VRH)로 설정(리셋)된다. 또한, 접촉 검출용 용량 소자(C1)의 제2 전극(65)에도 전원 전위(VRH)가 공급되고, 접촉 검출용 용량 소자(C1)의 제1 전극(64)과 제2 전극(65)과의 사이의 전압은 VRH-Vcom으로 유지된다.
- <27> 도 3에 나타내는 바와 같이, 리셋 기간(Tres) 경과 후의 다음의 기간인 센싱 기간(Tsen)에 있어서는, 리셋 신호(RES)의 레벨이 VD로부터 GND(=0V)로 변화한다. 이에 따라, 도 5에 나타내는 바와 같이, 리셋 트랜지스터(61)는 오프 상태로 전이한다. 또한, 센싱 기간(Tsen)에 있어서는, 선택 신호(SEL)는 로우 레벨로 유지되고, 선택 트랜지스터(63)는 오프 상태로 유지된다. 증폭 트랜지스터(62)의 게이트의 임피던스는 충분히 높기 때문에, 센싱 기간(Tsen)에 있어서는, 증폭 트랜지스터(62)의 게이트는 전기적으로 플로팅 상태가 된다. 도 5에 나타내는 바와 같이, 기준 용량 소자(Cr)의 한쪽의 전극은 제1 제어선(72)에 접속되기 때문에, 제1 제어선(72)에 공급되는 리셋 신호(RES)의 레벨이 VD로부터 GND로 변화하면, 그에 따라 증폭 트랜지스터(62)의 게이트의 전위(VA)도 변화한다. 이 때의 게이트의 전위(VA)의 변화량은, 기준 용량 소자(Cr)와 접촉 검출용 용량 소자(C1)와의 용량비에 따른 값이 된다.
- <28> 도 3에 나타내는 바와 같이, 센싱 기간(Tsen)의 다음의 기간인 판독 기간(Tout)에 있어서는, 선택 신호(SEL)가 하이 레벨로 전이한다. 이에 따라, 도 6에 나타내는 바와 같이 선택 트랜지스터(63)가 온 상태가 되어, 증폭 트랜지스터(62)의 게이트의 전위(VA)에 따른 크기의 검출 전류(It)가 검출선(74)을 흐른다. 이 검출 전류(It)는 검출 회로(40)로 공급된다.
- <29> 상세한 형태에 대해서는 후술하지만, 센싱 기간(Tsen)에 있어서 대상물이 표시 장치(10)에 접촉하면 접촉 검출 용 용량 소자(C1)의 용량치가 변화한다. 접촉 검출용 용량 소자(C1)의 용량치가 변화하면, 그에 따라 증폭 트랜지스터(62)의 게이트의 전위(VA)도 변화한다. 따라서, 대상물이 표시 장치(10)에 접촉하고 있지 않은 상태일 때에 판독 기간(Tout)에서 출력되는 검출 전류(It)의 값과, 대상물이 표시 장치(10)에 접촉했을 때에 판독 기간(Tout)에서 출력되는 검출 전류(It)의 값과는 다르다.
- <30> 여기에서, 대상물이 표시 장치(10)에 접촉하고 있지 않은 상태에 있어서의 접촉 검출용 용량 소자(C1)의 용량치를 C_{1c} , 대상물이 표시 장치(10)에 접촉했을 때의 접촉 검출용 용량 소자(C1)의 용량치의 변화량을 ΔC_{1c} , 기준 용량 소자(Cr)의 용량치를 C_{ref} , 제1 제어선(72)의 전위 변화를 $\Delta V(=VD)$ 로 하면, 대상물이 표시 장치(10)에 접

축했을 때의 증폭 트랜지스터(62)의 게이트의 전위(VA)의 변화량(ΔVA)은, 이하에 나타내는 식(1)으로 나타난다. 단, 식(1)에서는 기생(寄生) 용량은 무시하고 있다.

$$<31> \Delta VA = \{(C_{ref} \times \Delta C_{1c}) \times \Delta V\} / \{(C_{ref} + C_{1c} + \Delta C_{1c})(C_{ref} + C_{1c})\} \cdots (1)$$

<32> 검출 회로(40)는, 검출 전류(I_t)(검출 신호(T)에 상당)의 값에 기초하여 대상물과 표시 장치(10)와의 접촉을 검출한다. 대상물이 표시 장치(10)에 접촉했을 때의 게이트의 전위(VA)의 변화량(ΔVA)이 클수록, 비접촉시에 있어서의 검출 전류(I_t)의 값과 접촉시에 있어서의 검출 전류(I_t)의 값과의 차가 크기 때문에, 검출 감도도 높아진다.

<33> 다음으로, 도 7 및 도 8을 참조하면서, 센싱 회로(60)의 구체적인 구조에 대하여 설명한다. 도 7은, 표시 장치(10)의 구체적인 구조를 나타내는 평면도이다. 도 7에 있어서, 센싱 회로(60)는, 접촉용 용량 소자(C_1)를 구성하는 제1 전극(64) 및 제2 전극(65)과, 증폭 트랜지스터(62) 등의 회로 소자가 형성되는 회로부(66)로 이루어진다.

<34> 도 8은, 도 7에 나타내는 A-A'선으로부터 본 단면도이다. 도 8에 나타내는 바와 같이, 서로 대향하는 제1 기판(11)과 제2 기판(12)과의 사이에 액정(57)이 협지되고, 접촉 검출용 용량 소자(C_1)를 구성하는 제1 전극(64) 및 제2 전극(65)이 제1 기판(11)과 액정(57)과의 사이에 형성된다. 즉, 제1 전극(64) 및 제2 전극(65)은, 제1 기판(11) 중 제2 기판(12)과의 대향면측에 형성된다. 이하, 그 구체적인 내용에 대해서 설명한다.

<35> 도 8에 나타내는 바와 같이, 제1 기판(11) 중 제2 기판(12)과의 대향면 상에는, 센싱 회로(60)에 포함되는 증폭 트랜지스터(62)가 형성된다. 증폭 트랜지스터(62)는, 제1 기판(11) 중 제2 기판(12)과의 대향면 상에 반도체 재료에 의해 형성된 반도체층(111)과, 반도체층(111)을 덮는 게이트 절연층(Fa0)을 협지하여 반도체층(111)에 대향하는 게이트 전극(113)을 포함한다. 게이트 전극(113)은 제1 절연층(Fa1)에 덮여진다. 증폭 트랜지스터(62)의 드레인 전극(115) 및 소스 전극(117)은, 제1 절연층(Fa1)의 면상에 형성됨과 함께 콘택트홀(CH1)을 통하여 반도체층(111)에 도통한다. 증폭 트랜지스터(62)의 드레인 전극(115) 및 소스 전극(117)은, 제2 절연층(Fa2)에 의해 덮여진다.

<36> 도 8에 나타내는 바와 같이, 게이트 절연층(Fa0)의 면상에는 게이트 전극(113)과 전기적으로 접속된 게이트 배선(114)이 형성된다. 게이트 전극(113)과 게이트 배선(114)은, 게이트 절연층(Fa0)의 전역에 걸쳐서 연속적으로 형성된 도전막(예를 들면 알루미늄의 박막)의 패터닝에 의해 동일한 공정으로 일괄적으로 형성된다. 또한, 게이트 전극(113)과 게이트 배선(114)과의 관계와 같이, 복수의 요소가 공통의 막체(membrane member; 단층인지 복수층인지는 불문)의 선택적인 제거에 의해 동일한 공정으로 형성되는 것을 이하에서는 단순하게 「동층으로부터 형성된다」고 표기한다.

<37> 도 8에 나타내는 바와 같이, 게이트 배선(114)은 제1 절연층(Fa1)에 의해 덮여진다. 제1 절연층(Fa1)의 면상에는, 데이터선(104)과 도전층(116)이 형성된다. 데이터선(104)과 도전층(116)은 동층으로부터 형성된다. 도전층(116)은, 콘택트홀(CH2)을 통하여 게이트 배선(114)에 도통한다. 도 8에 나타내는 바와 같이, 데이터선(104) 및 도전층(116)은, 제2 절연층(Fa2)에 의해 덮여진다. 제2 절연층(Fa2)은, 또한 제3 절연층(Fa3)에 의해 덮여진다.

<38> 도 8에 나타내는 바와 같이, 제3 절연층(Fa3)의 면상에는, 복수의 제1 전극(64)과 제2 전극(65)이 형성된다. 제1 전극(64) 및 제2 전극(65)은 동층으로 형성된다. 제1 전극(64) 및 제2 전극(65)은, 도전성의 재료로 구성된다. 도 8에 나타내는 바와 같이, 각 제2 전극(65)은 콘택트홀(CH3)을 통하여 도전층(116)과 도통한다. 즉, 각 제2 전극(65)은, 도전층(116)과 게이트 배선(114)을 통하여 증폭 트랜지스터(62)의 게이트 전극(113)과 접속된다. 또한, 상세한 도시는 생략하지만, 제3 절연층(Fa3), 제1 전극(64), 제2 전극(65)은, 액정 분자의 장축 방향이 기판과 평행한 방향이 되도록 배향시키는 배향막으로 덮여진다.

<39> 제1 전극(64)과 제2 전극(65)과의 사이에 전압(=VRH-Vcom)이 인가되면, 제1 전극(64)과 제2 전극(65)과의 사이에는, 기판과 거의 평행한 방향(횡방향)의 전계가 발생한다. 도 8에 나타내는 바와 같이, 제1 전극(64) 및 제2 전극(65)과, 양자간에서 발생하는 전계가 인가되는 액정(57)으로 용량(C_{1m})이 복수 구성된다. 이들 복수의 용량(C_{1m})으로, 도 2에 나타내는 접촉 검출용 용량 소자(C_1)가 구성된다.

<40> 또한, 도 8에 있어서는 도시되어 있지 않지만, 제3 절연층(Fa)의 면상에는, 각 화소 회로(P)를 구성하는 화소 전극(53)과 공통 전극(55)이 형성된다. 화소 전극(53)과 공통 전극(55)은 동층으로부터 형성되고, 양자간에서 발생하는 기판에 거의 평행한 방향(횡방향)의 전계에 의해 액정(57)의 배향이 제어된다. 또한, 각 화소 회로(P)에 있어서의 트랜지스터(51)는, 센싱 회로(60)에 있어서의 증폭 트랜지스터(62)와 동일한 제조 프로세스로

형성된다. 트랜지스터(51)의 소스는, 도 7에 나타내는 콘택트홀(CH4)을 통하여 화소 전극(53)과 도통한다.

<41> 도 9를 참조하면서, 접촉 검출용 용량 소자(C1)의 용량치의 변화에 대하여 설명한다. 대상물이 접촉하고 있지 않은 상태에서는, 도 8에 나타내는 바와 같이 제1 기판(11)과 제2 기판(12)은 평행하지만, 도 9에 나타내는 바와 같이, 손가락 등의 대상물이 표시 장치(10)에 접촉하면, 제2 기판(12)이 휘어, 제1 기판(11)과 제2 기판(12)과의 거리가 작아진다. 이에 따라, 기판간에 협지된 액정(57)의 배향이 흐트러져, 용량(C1m)의 용량치가 변화한다. 즉, 접촉 검출용 용량 소자(C1)의 용량치가 변화한다.

<42> 상기 식(1)로부터도 이해되는 바와 같이, 비접촉시와 접촉시와의 용량치의 변화량($\Delta C1c$)이 클수록 증폭 트랜지스터(62)의 게이트 전위(VA)의 변화량(ΔVA)도 커져, 센싱 회로(60)의 검출 감도가 높아진다. 접촉시와 비접촉시와의 용량치의 변화량($\Delta C1c$)을 크게 하기 위한 파라미터의 하나로서 제1 전극(64)과 제2 전극(65)과의 사이의 거리(d)가 있고, 센싱 회로(60)의 검출 감도가 최대가 되는 값이 존재한다. 그런데, 제1 기판(11) 및 제2 기판(12)의 각각에 전극이 형성되는 구성에 있어서는, 전극간의 거리는, 서로 대향하는 기판간의 거리, 즉 셀 갭량(cell gap value)에 상당한다. 여기에서, 셀 갭량은, 표시 장치(10)의 표시 특성에 의해 정해지는 값이기 때문에 자유롭게 변경할 수는 없다. 따라서, 제1 기판(11) 및 제2 기판(12)의 각각에 전극이 형성되는 구성에 있어서는, 센싱 회로(60)의 검출 감도가 최대로 되도록 전극간의 거리를 설정하는 것은 곤란하다는 문제가 발생 한다. 즉, 표시 장치로서의 특성을 우선하면 검출 감도가 저하되고, 검출 감도를 우선하면 표시 장치의 특성이 최적으로 되지 않는다.

<43> 이에 대하여, 본 실시 형태에 있어서는, 접촉 검출용 용량 소자(C1)를 구성하는 제1 전극(64) 및 제2 전극(65)이 제1 기판(11)과 액정(57)과의 사이에 형성되기 때문에, 제1 전극(64)과 제2 전극(65)과의 사이의 거리(d)를 셀 갭량과는 무관하게 설정할 수 있다. 따라서, 본 실시 형태에 의하면, 제1 전극(64)과 제2 전극(65)과의 사이의 거리(d)를, 센싱 회로(60)의 검출 감도가 최대가 되는 값으로 설정할 수 있다는 이점이 있다. 즉, 표시 장치로서의 특성이 최적이 되도록 셀 갭량을 설정하는 한편, 이와는 무관하게 제1 전극(64)과 제2 전극(65)과의 사이의 거리(d)를 설정할 수 있다. 또한, 본 실시 형태에 있어서, 액정 분자는, 그 장축 방향이 기판과 평행한 방향이 되도록 배열되기 때문에, 액정 분자의 장축 방향이 기판과 수직인 방향이 되도록 배열되는 형태와 비교하여 표시 장치(10)가 압압(押壓)된 후의 액정 분자의 배향의 되돌아옴이 빠르다는 이점도 있다.

<44> 다시 도 7로 되돌아와서 설명을 계속한다. 도 7에 나타내는 바와 같이, 제1 전극(64) 및 제2 전극(65)의 각각은, 빗살 형상으로 형성되어 서로 맞물리도록 배치되어 있다. 본 실시 형태에 의하면, 제1 전극(64) 및 제2 전극(65)의 양쪽을 직사각형으로 형성하여 서로 이간시키는 구성에 비해, 제1 전극(64)과 제2 전극(65)이 서로 근접하는 부분을 충분히 확보할 수 있다. 즉, 본 실시 형태에 있어서는, 제1 전극(64) 및 제2 전극(65)의 양쪽이 직사각형으로 형성되는 구성에 비해, 전계가 인가되는 면적이 크다. 따라서, 액정(57)의 배향이 흐트러지기 쉬워지고, 접촉시와 비접촉시와의 용량치의 변화량($\Delta C1c$)이 커진다. 이에 따라, 센싱 회로(60)의 검출 감도를 높일 수 있다는 이점이 있다.

<45> 또한, 도 7에 나타내는 바와 같이, 센싱 회로(60)에 있어서의 제1 전극(64)과 화소 회로(P)에 있어서의 공통 전극(55)은 동충으로부터 형성된다. 또한, 센싱 회로(60)에 있어서의 제2 전극(65)과 화소 회로(P)에 있어서의 화소 전극(53)은 동충으로부터 형성된다. 따라서, 센싱 회로(60)와 화소 회로(P)는 동일한 제조 프로세스로 동시에 제조할 수 있기 때문에, 표시 장치(10)의 제조가 용이해진다는 이점이 있다. 또한, 도 7에 나타내는 바와 같이, 제1 전극(64)과 공통 전극(55)은 연속적으로 형성되어, 제1 전극(64) 및 공통 전극(55)에는 공통 전위(Vcom)가 공통으로 공급된다. 본 실시 형태에 의하면, 제1 전극(64) 및 공통 전극(55)의 각각에 개별의 전위를 공급할 필요가 없기 때문에, 구성이 간소화된다는 이점도 있다. 또한, 이에 한하지 않고, 제1 전극(64) 및 공통 전극(55)이 연속하지 않고 따로 따로 형성되는 형태로 할 수도 있다.

<46> <B : 제2 실시 형태>

<47> 도 10은, 본 발명의 제2 실시 형태에 따른 표시 장치(10)의 구체적인 구조를 나타내는 평면도이다(제1 실시 형태에 있어서의 도 7에 대응). 도 10에 나타내는 바와 같이, 본 실시 형태에 따른 센싱 회로(60)에 있어서는, 제1 전극(64) 및 제2 전극(65)은 상이한 충으로부터 형성되어 서로 대향하도록 배치된다. 도 11은, 도 10에 나타내는 B-B'선으로부터 본 단면도이다(제1 실시 형태에 있어서의 도 8에 대응). 도 11에 나타내는 바와 같이, 제3 절연층(Fa3)의 면상에는, 제2 전극(65)이 형성된다. 제1 실시 형태와 동일하게, 제2 전극(65)은 콘택트홀(CH3)을 통하여 도전층(116)과 도통한다. 도 11에 나타내는 바와 같이, 제2 전극(65)은 제4 절연층(Fa4)에 의해 덮여진다. 제4 절연층(Fa4)의 면상에는, 제1 전극(64)이 제2 전극(65)과 대향하도록 형성된다. 상세한 도시는 생략하지만, 제4 절연층(Fa4) 및 제1 전극(64)은, 액정 분자의 장축 방향이 기판과 평행한 방향이 되도록

배향시키는 배향막으로 덮여진다.

<48> 도 10에 나타내는 바와 같이, 제1 전극(64)에는, 제1 전극(64)과 제2 전극(65)과의 사이에서 발생하는 전계를 지나게 하기 위한 슬릿(68)이 형성된다. 도 12는, 도 10에 나타내는 C-C'선으로부터 본 단면도이다. 도 12에 나타내는 바와 같이, 제1 전극(64) 및 제2 전극(65)과, 제1 전극(64)과 제2 전극(65)과의 사이에 발생하는 전계가 인가되는 액정(57)으로 복수의 용량(Cl_m)이 구성된다. 제1 실시 형태와 동일하게, 이를 복수의 용량(Cl_m)으로, 센싱 회로(60)에 있어서의 접촉 검출용 용량 소자(Cl)가 구성된다.

<49> 본 실시 형태에 있어서는, 제1 전극(64)과 제2 전극(65)이 상이한 충으로부터 형성되어 서로 대향하도록 배치되기 때문에, 제2 전극(65)으로부터 슬릿(68)을 지나 제1 전극(64)에 이르는 전계, 또는, 제1 전극(64)으로부터 슬릿(68)을 지나 제2 전극(65)에 이르는 전계는, 제1 실시 형태와 같이 제1 전극(64) 및 제2 전극(65)이 동일한 충으로부터 형성되는 형태에 비해, 기관에 수직인 방향의 성분을 많이 포함하고 있다. 따라서, 본 실시 형태에 있어서는, 제1 전극(64)과 제2 전극(65)과의 사이에서 발생하는 전계에 의해, 액정 분자가 제1 실시 형태보다도 비스듬히 기운다. 액정 분자가 비스듬히 기운 상태에서 압압되면, 액정 분자가 기관에 대하여 수평인 상태에서 압압되는 경우에 비해, 액정 분자의 배향은 변화하기 쉽다. 따라서, 본 실시 형태에 있어서는, 접촉시와 비접촉시와의 용량치의 변화량(ΔCl_c)이 제1 실시 형태에 비해 커진다. 이에 따라, 센싱 회로(60)의 검출 감도를 높일 수 있다는 이점이 있다.

<50> 또한, 도 10에 나타내는 바와 같이, 센싱 회로(60)에 있어서의 제1 전극(64)과 화소 회로(P)에 있어서의 공통 전극(55)은 동충으로 형성된다. 또한, 센싱 회로(60)에 있어서의 제2 전극(65)과 화소 회로(P)에 있어서의 화소 전극(53)은 동충으로 형성된다. 따라서, 본 실시 형태에 있어서도 제1 실시 형태와 동일하게, 센싱 회로(60)와 화소 회로(P)는 동일한 제조 프로세스로 동시에 제조할 수 있기 때문에, 표시 장치(10)의 제조가 용이해진다는 이점도 있다.

<51> <C : 제3 실시 형태>

<52> 도 13은, 본 발명의 제3 실시 형태에 따른 표시 장치(10)의 구체적인 구조를 나타내는 평면도이다(도 7 및 도 10에 대응). 도 13에 나타내는 바와 같이, 본 실시 형태에 따른 센싱 회로(60)에 있어서는, 제1 전극(64) 및 제2 전극(65)은 상이한 충으로부터 형성됨과 함께, 제1 전극(64) 및 제2 전극(65)의 각각은 빗살 형상으로 형성되어 평면으로부터 보아 서로 맞물리도록 배치되는 점에서 제2 실시 형태의 구성과 다르다. 그 외의 구성은 제2 실시 형태의 구성과 동일하기 때문에, 중복하는 부분에 대해서는 설명을 생략한다.

<53> 도 14는, 도 13에 나타내는 D-D'선으로부터 본 단면도이다(도 8 및 도 11에 대응). 본 실시 형태에 있어서는, 제1 전극(64) 중 제2 전극(65)과 서로 겹치는 부분의 면적을, 제1 전극(64) 중 제2 전극(65)과 서로 겹치지 않은 부분의 면적보다도 작게 함으로써, 용량(Cl_m)을 구성하는 전극의 면적을 제2 실시 형태에 비해 작게 할 수 있다. 이에 따라, 용량(Cl_m)의 용량치를 제2 실시 형태에 비해 작게 할 수 있다. 상기 식(1)으로부터도 이해되는 바와 같이, 접촉 검출용 용량 소자(Cl)의 용량치(Cl_c)가 작을수록 접촉시와 비접촉시와의 전위 변화량(ΔVA)이 커지기 때문에, 센싱 회로(60)의 검출 감도가 높아진다. 따라서, 본 실시 형태에 의하면, 센싱 회로(60)의 검출 감도가 높아진다는 이점이 있다.

<54> 또한, 본 실시 형태에 있어서는, 도 13에 나타내는 바와 같이, 제1 전극(64) 및 제2 전극(65)의 각각은, 빗살 형상으로 형성되어 서로 맞물리도록 배치되기 때문에, 전술의 제1 실시 형태와 동일하게, 제1 전극(64) 및 제2 전극(65)의 양쪽이 직사각형으로 형성되는 구성에 비해, 전계가 인가되는 면적이 크다. 따라서, 액정(57)의 배향이 흐트러지기 쉬워지고, 접촉시와 비접촉시와의 용량치의 변화량(ΔCl_c)이 커진다. 따라서, 센싱 회로(60)의 검출 감도를 높일 수 있다는 이점이 있다.

<55> 또한, 본 실시 형태에 있어서는, 도 13에 나타내는 바와 같이, 센싱 회로(60)에 있어서의 제1 전극(64)과 화소 회로(P)에 있어서의 공통 전극(55)은 동충으로부터 형성된다. 또한, 센싱 회로(60)에 있어서의 제2 전극(65)과 화소 회로(P)에 있어서의 화소 전극(53)은 동충으로부터 형성된다. 따라서, 센싱 회로(60)와 화소 회로(P)는 동일한 제조 프로세스로 동시에 제조할 수 있기 때문에, 표시 장치(10)의 제조가 용이해진다는 이점이 있다.

<56> <D : 변형 예>

<57> 본 발명은 전술한 각 실시 형태에 한정되는 것이 아니고, 예를 들면, 이하의 변형이 가능하다. 또한, 이하에 나타내는 변형에 중의 2 이상의 변형예를 조합할 수도 있다.

<58> (1) 변형 예 1

<59> 전술의 각 실시 형태에 있어서는, 본 발명에 따른 센싱 회로(60)가 표시 장치(10)에 이용되는 형태에 대하여 예시하고 있지만, 이에 한하지 않고, 본 발명에 따른 센싱 회로(60)는 대상물과의 접촉을 검출하는 수단으로서 이용할 수 있고, 그 형태는 임의이다. 본 발명에 따른 센싱 회로(60)에 있어서는, 접촉 검출용 용량 소자(C1)를 구성하는 제1 전극(64) 및 제2 전극(65)은, 제1 기판(11) 중 제2 기판(12)과의 대향면측에 형성되기 때문에, 서로 대향하는 제1 기판(11) 및 제2 기판(12)의 각각에 전극이 형성되는 구성과는 다르게, 제1 전극(64)과 제2 전극(65)과의 사이의 거리를 일정한 값으로 유지할 수 있다. 따라서, 본 발명에 따른 센싱 회로(60)에 있어서는, 제1 전극(64)과 제2 전극(65)과의 사이의 거리를 소망하는 값으로 정확하게 설정할 수 있기 때문에, 접촉 검출 용량 소자(C1)의 용량치를 목표치대로 설정할 수 있다는 이점이 있다. 즉, 센싱의 감도의 불균일을 억제할 수 있다.

<60> (2) 변형 예 2

<61> 전술의 제1 실시 형태, 제3 실시 형태에 있어서는, 제1 전극(64) 및 제2 전극(65)의 각각은, 빗살 형상으로 형성되어 서로 맞물리도록 배치되는 형태가 예시되어 있지만, 예를 들면 제1 전극(64)을 빗살 형상으로 함과 함께 제2 전극(65)을 직사각형으로 하여, 양자가 서로 맞물리도록 배치하는 형태로 할 수도 있다. 요컨대, 제1 전극(64) 및 제2 전극(65) 중 적어도 한쪽의 전극은 빗살 형상으로서, 제1 전극(64)과 제2 전극(65)은 서로 맞물리도록 배치되는 형태이면 좋다. 또한, 양쪽의 전극이 직사각형인 형태로 할 수도 있다.

<62> (3) 변형 예 3

<63> 전술의 제3 실시 형태에 있어서는, 제1 전극(64) 및 제2 전극(65)의 각각은 빗살 형상으로 형성되어 평면으로부터 보아 서로 맞물리도록 배치되어, 제1 전극(64)과 제2 전극(65)이 서로 겹치는 부분이 존재하지 않은 형태가 예시되어 있지만, 제1 전극(64)과 제2 전극(65)이 서로 겹치는 부분을 갖는 형태로 할 수도 있다. 요컨대, 제1 전극(64) 중 제2 전극(65)과 서로 겹치는 부분의 면적은, 제1 전극(64) 중 제2 전극(65)과 서로 겹치지 않은 부분의 면적보다도 작은 형태이면 좋다. 또한, 제2 전극(65) 중 제1 전극(64)과 서로 겹치는 부분의 면적은, 제2 전극(65) 중 제1 전극(64)과 서로 겹치지 않은 부분의 면적보다도 작은 형태로 할 수도 있다. 이에 따라, 전극의 면적을 작게 할 수 있기 때문에, 용량 소자의 용량치를 작게 할 수 있다. 그러면, 상기 식(1)로부터도 이해되는 바와 같이, 접촉시와 비접촉시와의 전위 변화량(ΔVA)이 커지기 때문에, 센싱 회로(60)의 검출 감도가 높아진다.

<64> (4) 변형 예 4

<65> 전술의 각 실시 형태에 있어서는, 각 조(C)마다 센싱 회로(60)가 형성되는 형태가 예시되어 있지만, 센싱 회로(60)의 위치 및 수는 임의이다. 예를 들면, 복수의 조(C)마다 센싱 회로(60)를 형성하는 형태로 할 수도 있고, 각 화소 회로(P)마다 센싱 회로(60)를 형성하는 형태로 할 수도 있다.

<66> (5) 변형 예 5

<67> 본 발명에 따른 센싱 회로(60)에 있어서, 제1 기판(11)과 제2 기판(12)과의 사이에 협지되는 유전 물질의 종류는 임의이다. 예를 들면, 전술의 각 실시 형태와 같이, 인가되는 전기 에너지에 따라 광학 특성이 변화하는 액정 등의 전기 광학 물질이 제1 기판(11)과 제2 기판(12)과의 사이에 협지되는 형태로 할 수도 있다. 예를 들면, 유기 발광 다이오드 소자, 무기 발광 다이오드, LED(Light Emitting Diode)등을 액정 대신으로 채용할 수도 있다.

<68> 또한, 대전(帶電)한 백색이나 흑색의 미입자를 분산매(分散媒) 중에 분산시킨 전기 영동층(예를 들면 분산매를 봉지한 다수의 마이크로 캡슐의 집합)을 액정 대신으로 유전 물질로서 채용한 전기 영동 장치(EPD(electrophoretic display))에도, 상기의 각 형태와 동일하게 본 발명을 적용할 수 있다.

<69> <E : 응용 예>

<70> 다음으로, 본 발명에 따른 표시 장치(10)를 이용한 전자 기기에 대하여 설명한다. 도 15는, 이상으로 설명한 어느 한 형태에 따른 표시 장치(10)를 채용한 모바일형의 퍼스널 컴퓨터의 구성을 나타내는 사시도이다. 퍼스널 컴퓨터(2000)는, 표시 장치(10)와 본체부(2010)를 구비한다. 본체부(2010)에는, 전원 스위치(2001) 및 키보드(2002)가 형성되어 있다.

<71> 도 16에, 실시 형태에 따른 표시 장치(10)를 적용한 휴대 전화기의 구성을 나타낸다. 휴대 전화기(3000)는, 복수의 조작 버튼(3001) 및 스크롤 버튼(3002) 그리고, 표시 장치(10)를 구비한다. 스크롤 버튼(3002)을 조작함

으로써, 표시 장치(10)에 표시되는 화면이 스크롤된다.

<72> 도 17에, 실시 형태에 따른 표시 장치(10)를 적용한 휴대 정보 단말(PDA : Personal Digital Assistants)의 구성을 나타낸다. 정보 휴대 단말(4000)은, 복수의 조작 버튼(4001) 및 전원 스위치(4002) 그리고, 표시 장치(10)를 구비한다. 전원 스위치(4002)를 조작하면, 주소록이나 스케줄 장(schedule list)이라는 각종의 정보가 표시 장치(10)에 표시된다.

<73> 또한, 본 발명에 따른 표시 장치가 적용되는 전자 기기로서는, 도 15로부터 도 17에 나타낸 것 외, 디지털 스틸 카메라, 텔레비전, 비디오 카메라, 카 내비게이션 장치, 페이저(pager), 전자 수첩, 전자 페이퍼, 탁상용 전자 계산기, 워드 프로세서, 워크 스테이션, 텔레비전 전화, POS 단말, 프린터, 스캐너, 복사기, 비디오 플레이어, 터치 패널을 구비한 기기 등을 들 수 있다. 또한, 본 발명에 따른 표시 장치의 용도는 화상의 표시에 한정되지 않는다. 예를 들면, 광 기입형의 프린터나 전자 복사기와 같은 화상 형성 장치에 있어서는, 용지 등의 기록재에 형성되어야 할 화상에 따라서 감광체를 노광하는 기입 헤드가 사용되지만, 이 종류의 기입 헤드로서도 본 발명의 표시 장치는 이용된다.

도면의 간단한 설명

<74> 도 1은 제1 실시 형태에 따른 표시 장치의 구성을 나타내는 블록도이다.

<75> 도 2는 제1 실시 형태에 따른 센싱 회로의 구성을 나타내는 회로도이다.

<76> 도 3은 제1 실시 형태에 따른 센싱 회로의 동작을 나타내는 타이밍 차트이다.

<77> 도 4는 리셋 기간에 있어서의 센싱 회로의 동작을 나타내는 설명도이다.

<78> 도 5는 센싱 기간에 있어서의 센싱 회로의 동작을 나타내는 설명도이다.

<79> 도 6은 편독 기간에 있어서의 센싱 회로의 동작을 나타내는 설명도이다.

<80> 도 7은 제1 실시 형태에 따른 표시 장치의 구체적인 구조를 나타내는 평면도이다.

<81> 도 8은 도 7에 나타내는 A-A'선으로부터 본 단면도이다.

<82> 도 9는 대상물이 표시 장치에 접촉했을 때의 상태를 나타내는 도면이다.

<83> 도 10은 제2 실시 형태에 따른 표시 장치의 구체적인 구조를 나타내는 평면도이다.

<84> 도 11은 도 10에 나타내는 B-B'선으로부터 본 단면도이다.

<85> 도 12는 도 10에 나타내는 C-C'선으로부터 본 단면도이다.

<86> 도 13은 제3 실시 형태에 따른 표시 장치의 구체적인 구조를 나타내는 평면도이다.

<87> 도 14는 도 13에 나타내는 D-D'선으로부터 본 단면도이다.

<88> 도 15는 본 발명에 따른 전자 기기의 구체적인 형태를 나타내는 사시도이다.

<89> 도 16은 본 발명에 따른 전자 기기의 구체적인 형태를 나타내는 사시도이다.

<90> 도 17은 본 발명에 따른 전자 기기의 구체적인 형태를 나타내는 사시도이다.

<91> (도면의 주요 부분에 대한 부호의 설명)

<92> 10 : 표시 장치

<93> 11 : 제1 기판

<94> 12 : 제2 기판

<95> 50 : 액정 소자

<96> 53 : 화소 전극

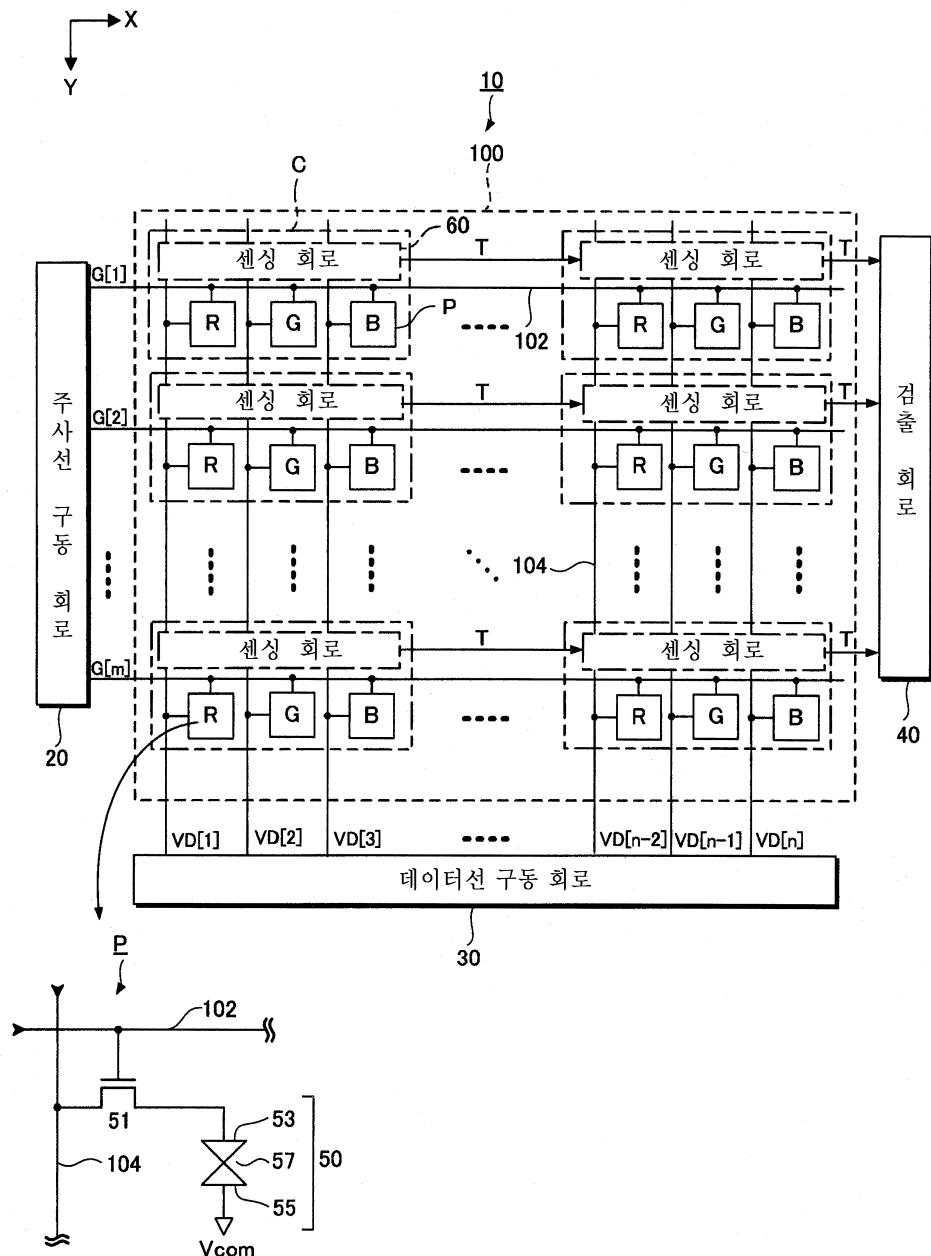
<97> 55 : 공통 전극

<98> 57 : 액정

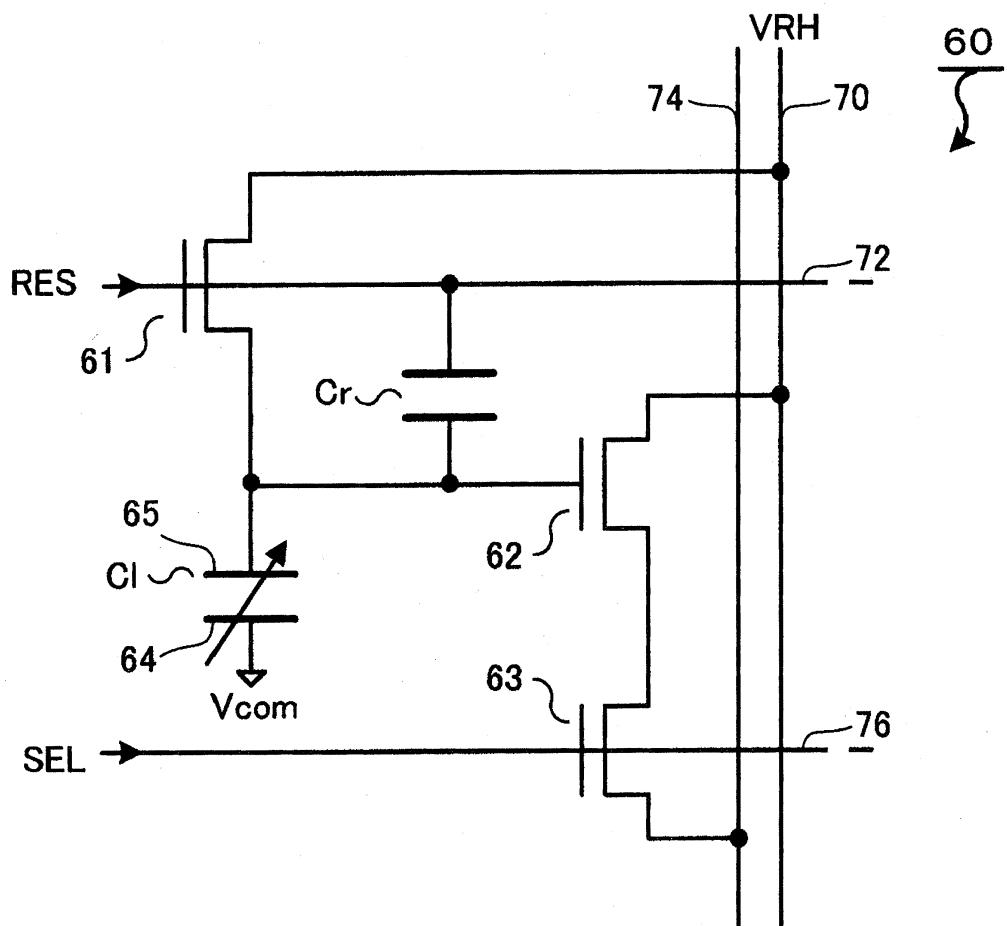
- <99> 60 : 센싱 회로
 <100> 64 : 제1 전극
 <101> 65 : 제2 전극
 <102> C : 조
 <103> C1 : 접촉 검출용 용량 소자
 <104> C1m : 용량
 <105> P : 화소 회로

도면

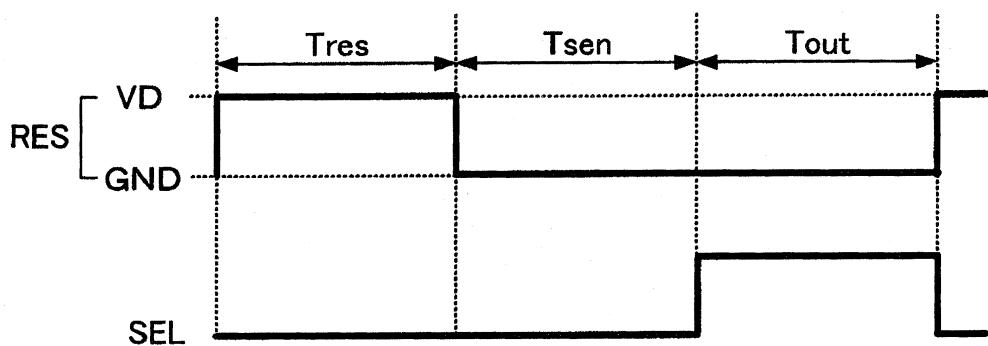
도면1



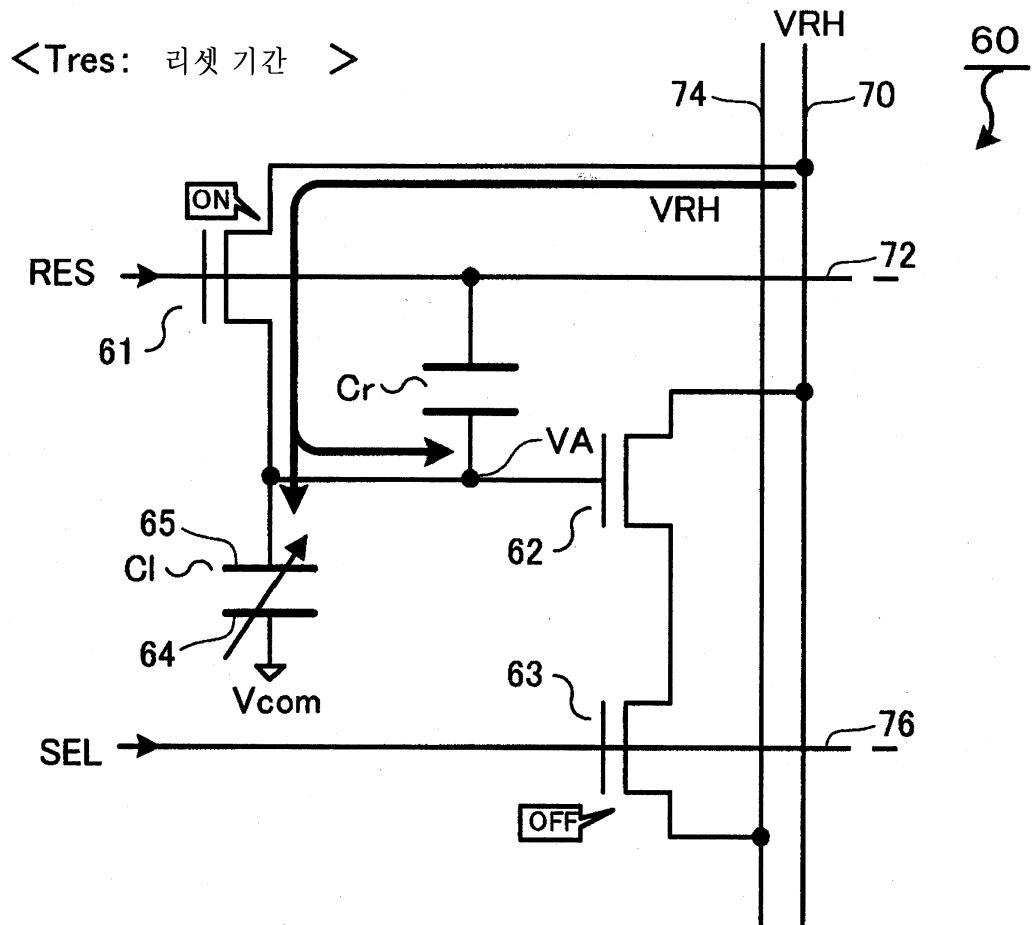
도면2



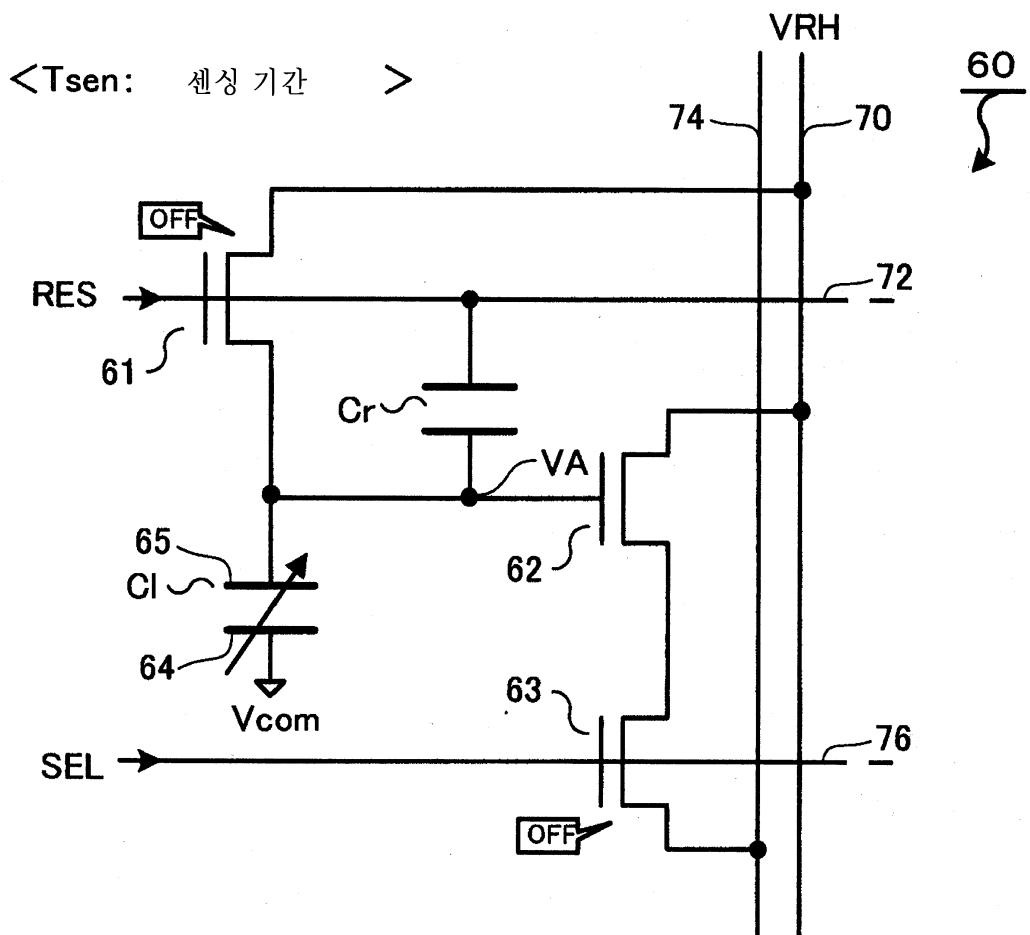
도면3



도면4

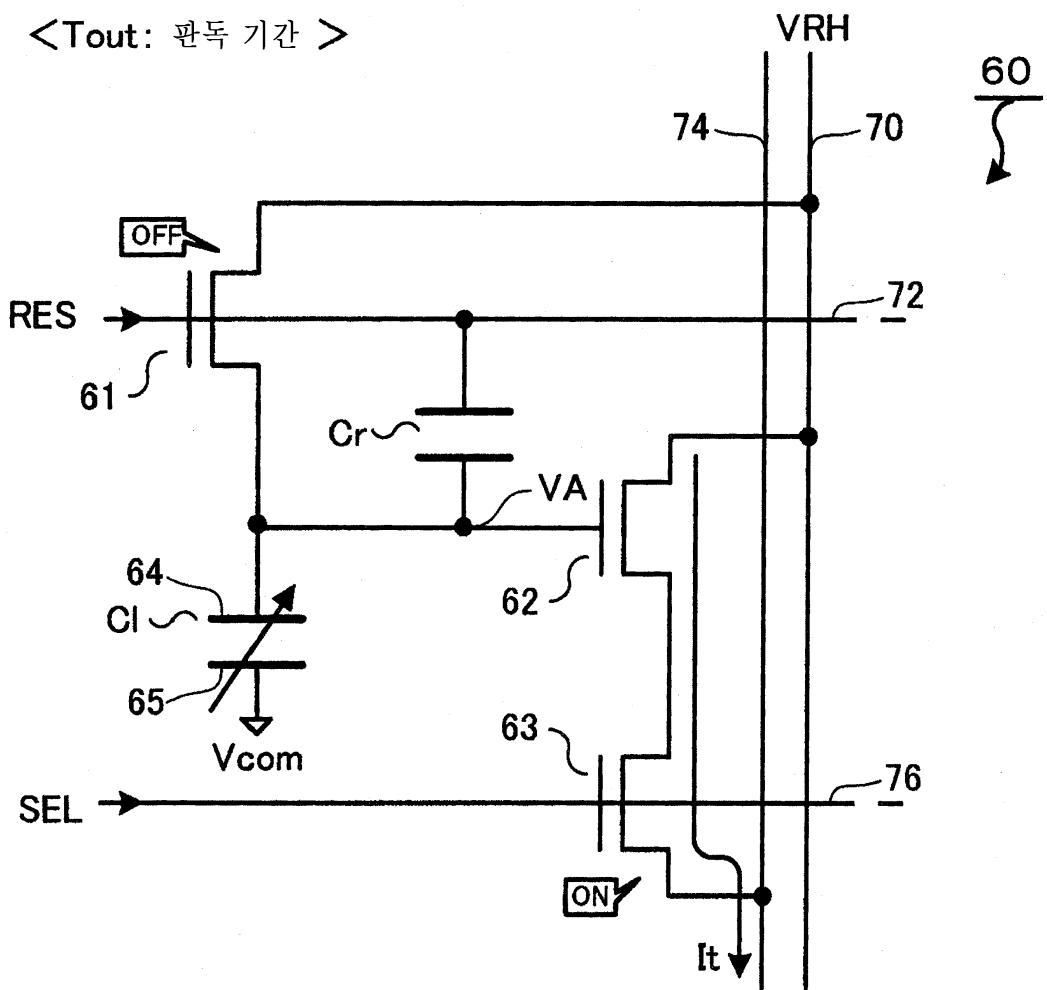


도면5

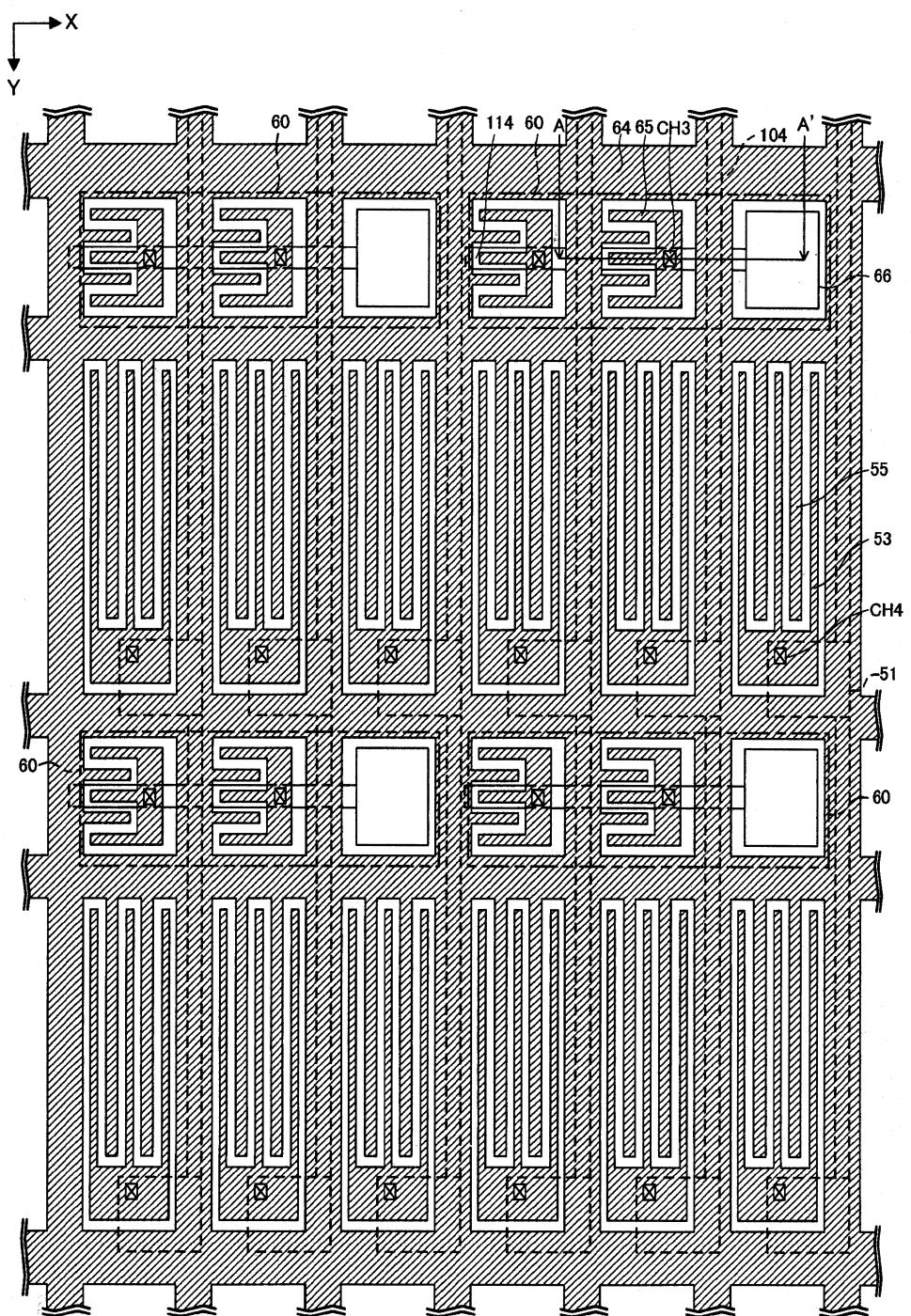


도면6

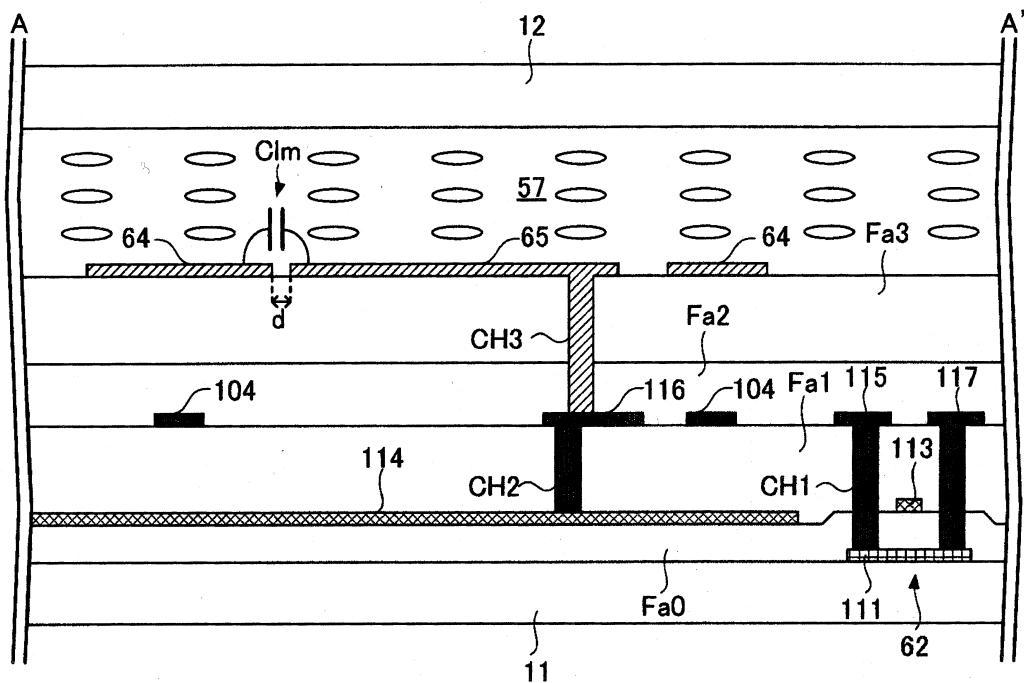
<Tout: 판독 기간 >



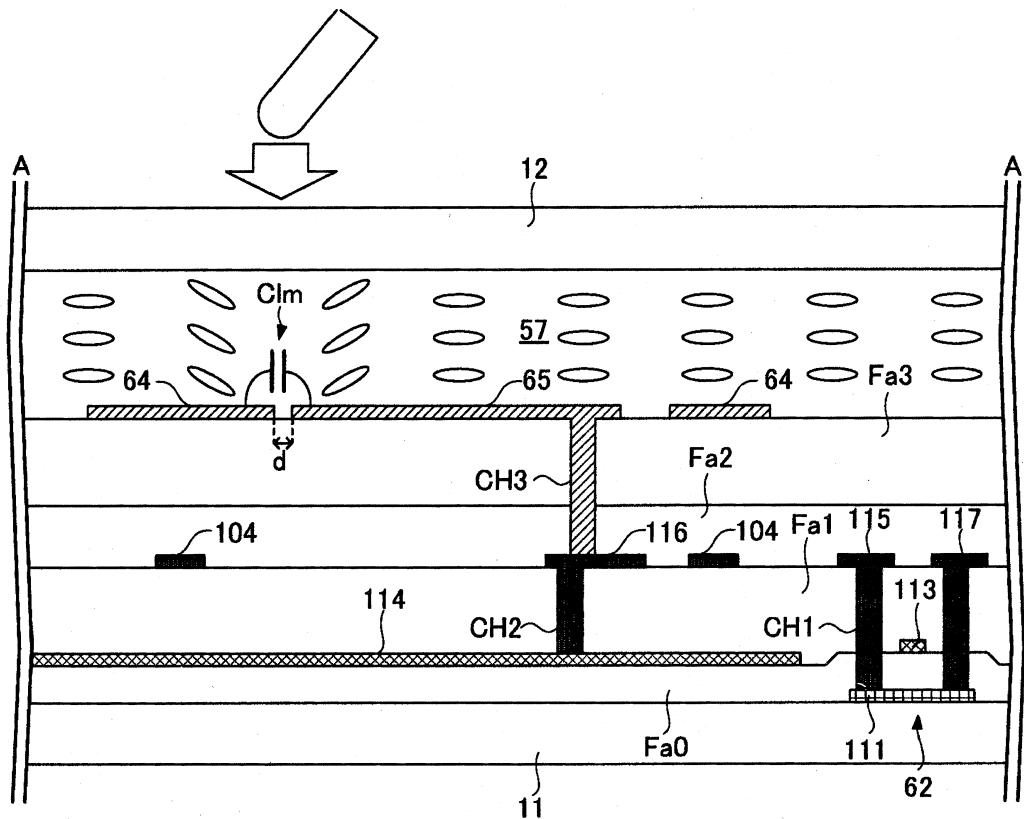
도면7



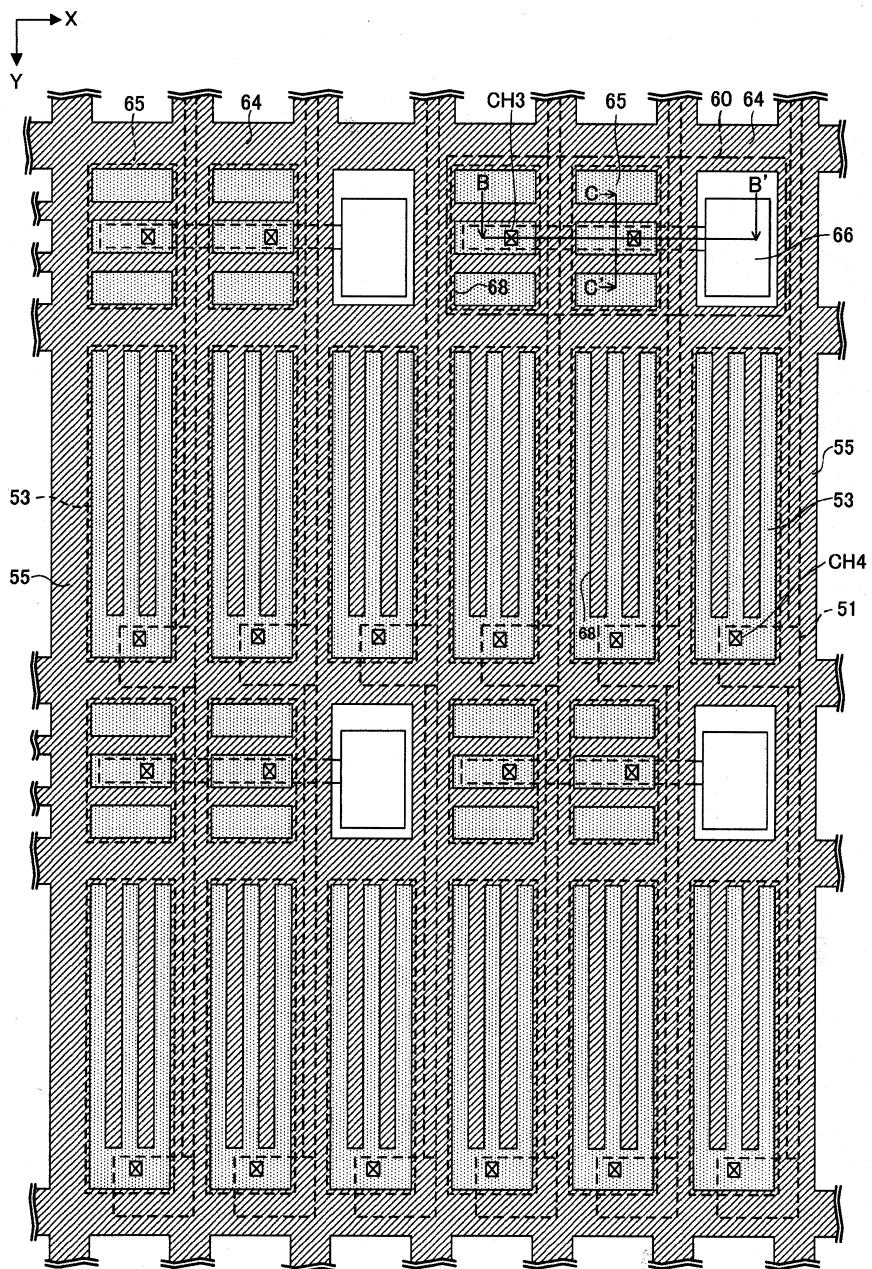
도면8



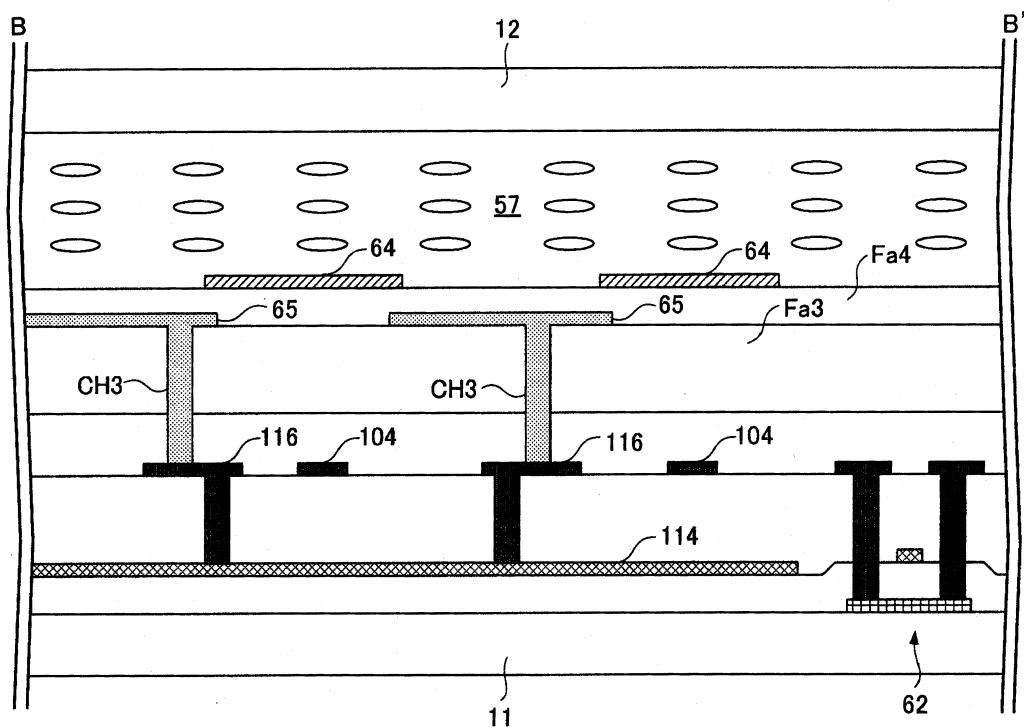
도면9



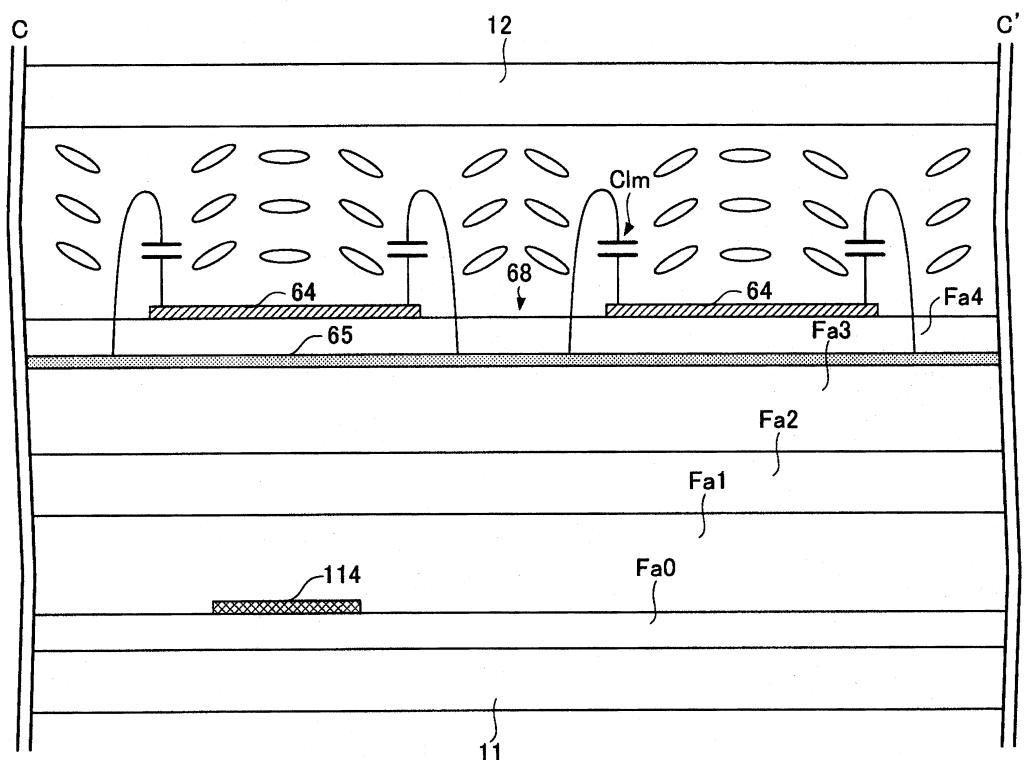
도면10



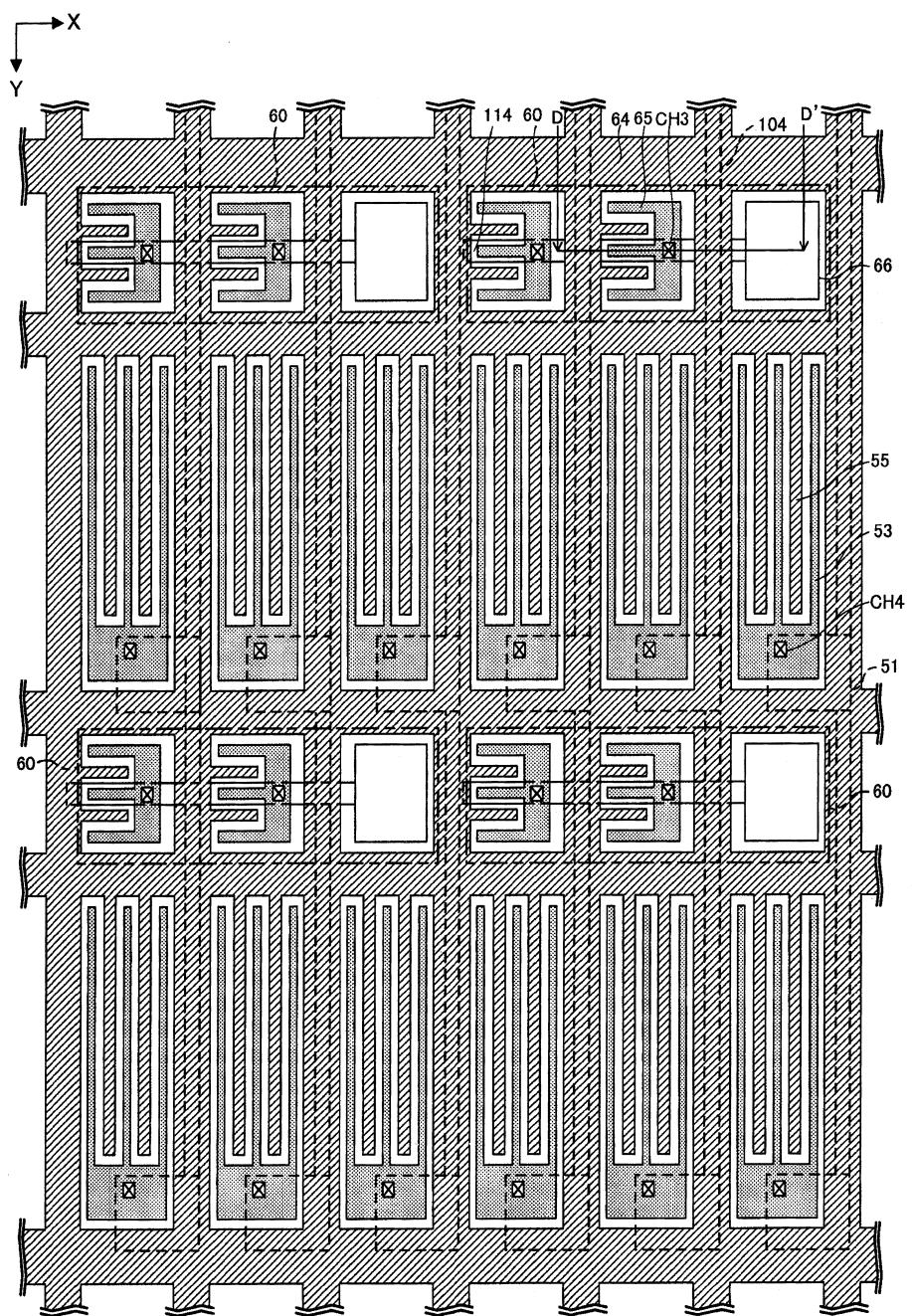
도면11



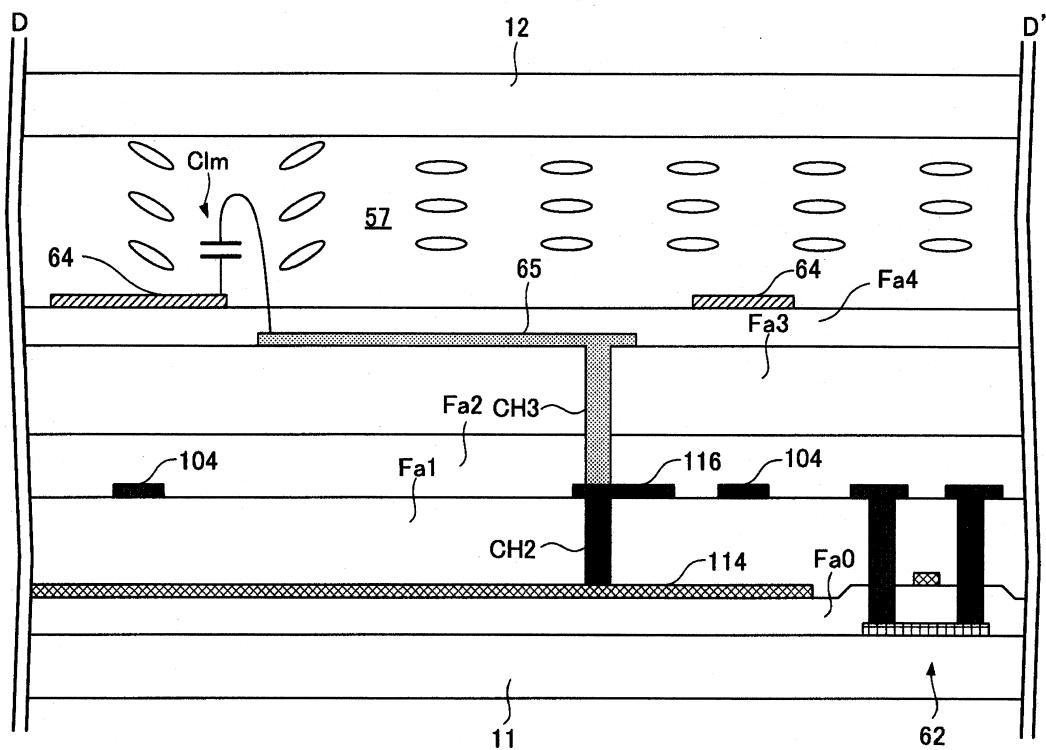
도면12



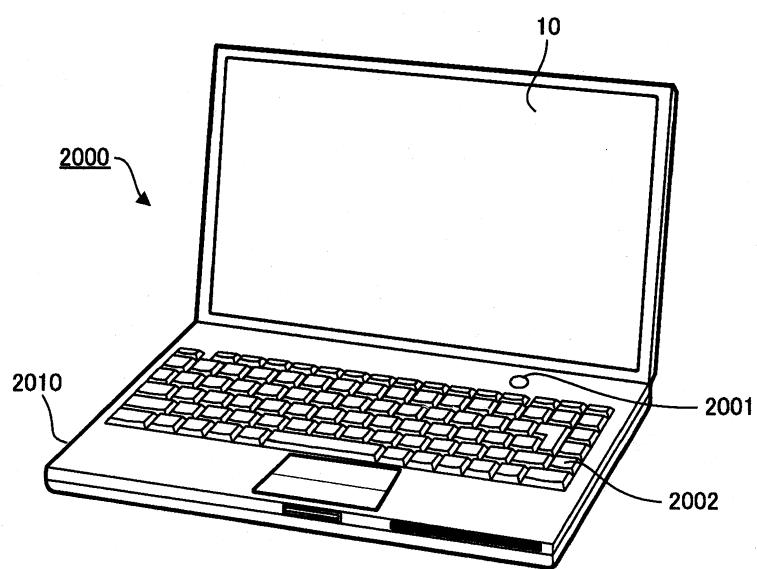
도면13



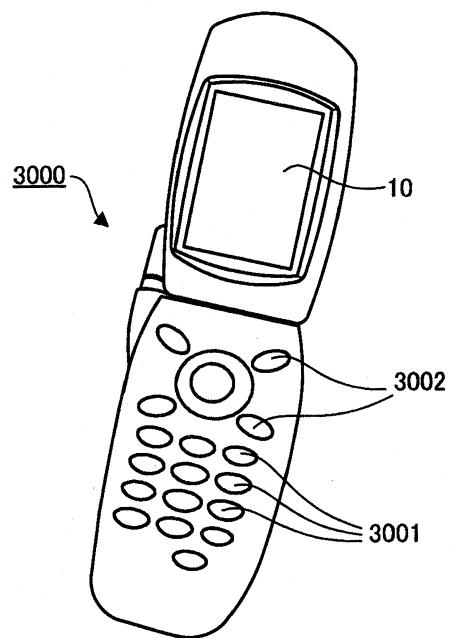
도면14



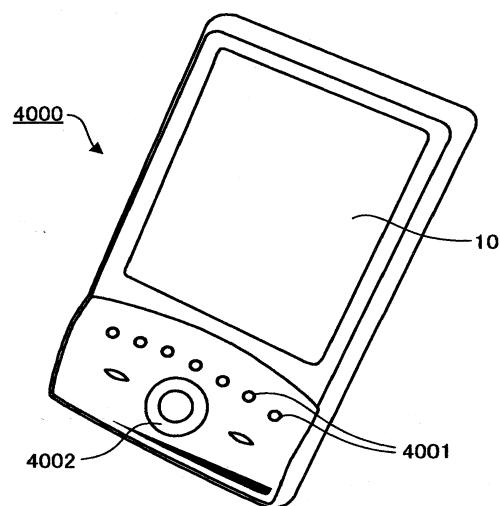
도면15



도면16



도면17



专利名称(译) 传感电路，显示装置和电子设备

公开(公告)号 [KR1020090115668A](#)

公开(公告)日 2009-11-05

申请号 KR1020090036492

申请日 2009-04-27

[标]申请(专利权)人(译) 精工爱普生株式会社

申请(专利权)人(译) 精工爱普生株式会社

当前申请(专利权)人(译) 精工爱普生株式会社

[标]发明人 KANDA EIJI
칸다에이지
TSUCHIYA YASUSHI
츠치야야스시
OZAWA TOKURO
오자와토쿠로
MATSUSHIMA TOSHIHARU
마츠시마토시하루

发明人 칸다에이지
츠치야야스시
오자와토쿠로
마츠시마토시하루

IPC分类号 G02F1/1343 G02F1/133

CPC分类号 G06F3/044

代理人(译) LEE CHUL

优先权 2008227432 2008-09-04 JP
2008120097 2008-05-02 JP

外部链接 [Espacenet](#)

摘要(译)

[问题]减少传感电路中传感灵敏度的不均匀性。[解决问题的手段]液晶被夹在感测电路60中，第一基板11和第二基板12和第一基板11和第二基板12彼此相对的之间(57)，第一电极64和第二电极65包括与所述第二电极65的电容元件(CL)，并输出检测信号(T)，其具有对应于所述电容值的电容器的(CLC)的大小(Cl)的并且电容检测单元用于检测电容器的电容。

