



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0081334
(43) 공개일자 2009년07월28일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0005109

(22) 출원일자 2009년01월21일

심사청구일자 2009년01월21일

(30) 우선권주장

JP-P-2008-012283 2008년01월23일 일본(JP)

(71) 출원인

엡슨 이미징 디바이스 가부시키가이샤

일본국 나가노켄 아즈미노시 도요시나 다자와 6925

(72) 발명자

사토 마사토시

일본 나가노켄 스와시 오와 3쵸메 3-5 세이코 엡슨 가부시키가이샤 내

(74) 대리인

김창세

전체 청구항 수 : 총 11 항

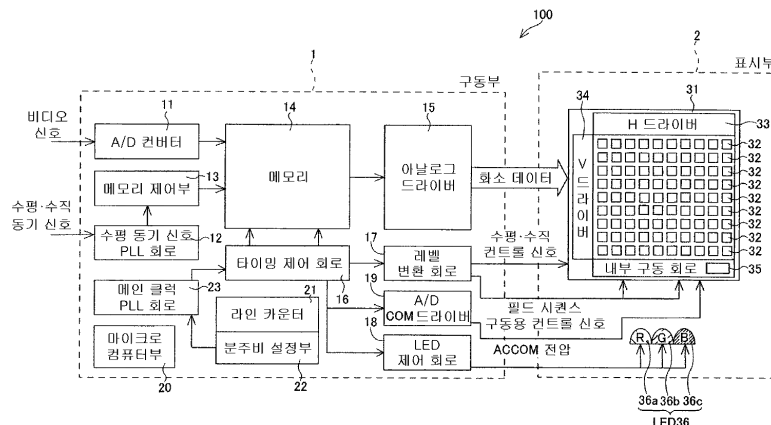
(54) 표시 장치 및 전자기기

(57) 요약

기입 기간을 짧게 하는 것이 가능한 표시 장치를 제공한다.

이 액정 표시 장치(표시 장치)(100)는, 복수의 화소(32)를 구비하고, 화소(32)의 위치에 따라, 화소(32)에의 영상 신호의 기입 시간을 변화시키도록 구성되어 있다. 이것에 의해, 화소(32)의 위치에 따라 영상 신호의 기입 시간이 짧게 되도록 변화되기 때문에, 필요 이상의 기입 기간이 설정되는 것이 억제된다. 따라서, 모든 화소(32)에 대하여 일정한 기입 기간을 설정하는 경우에 비해, 기입 기간이 짧게 된다.

대표도



특허청구의 범위

청구항 1

복수의 화소를 구비하되,

상기 화소의 위치에 따라, 상기 화소에의 영상 신호의 기입 시간을 변화시키도록 구성되어 있는 표시 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 화소에 영상 신호를 공급하는 신호 전송선을 더 구비하되,

상기 신호 전송선의 각각의 상기 화소까지의 거리에 따라, 상기 화소에의 영상 신호의 기입 시간을 변화시키도록 구성되어 있는

표시 장치.

청구항 3

제 2 항에 있어서,

상기 신호 전송선의 상기 화소까지의 신호 전송 경로의 배선 저항 및 배선 용량에 근거하여 상기 화소에의 기입 시간이 제어되도록 구성되어 있는 표시 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 화소까지의 신호 전송 경로의 거리의 증가에 따라 기입 시간이 길어지도록 제어되도록 구성되어 있는 표시 장치.

청구항 5

제 2 항 또는 제 3 항에 있어서,

상기 복수의 화소에 대하여 행마다 순차 기입을 행하는 선(線)순차 기입 방식에 의해 구동하도록 구성되고,

상기 신호 전송선은 상기 화소에 영상 신호를 공급하는 신호선을 포함하고,

상기 화소에 대하여 행마다 기입을 행할 때에는, 상기 신호선의 상기 화소까지의 거리에 따라 변화하는 배선 저항 및 배선 용량에 근거하여 상기 화소에의 기입 시간이 제어되도록 구성되어 있는

표시 장치.

청구항 6

제 2 항 또는 제 3 항에 있어서,

상기 화소마다 순차 기입을 행하는 점(點)순차 기입 방식에 의해 구동하도록 구성되고,

상기 신호 전송선은 상기 화소에 영상 신호를 공급하는 신호선과, 각각의 상기 신호선에 영상 신호를 공급하는 영상 신호선을 포함하고,

상기 영상 신호선과 상기 각각의 신호선과의 사이에 각각 마련된 스위치부를 더 구비하고,

상기 화소마다 기입을 행할 때에는, 상기 영상 신호선의 신호선까지의 거리 및 상기 신호선의 상기 화소까지의 거리에 따라 변화하는 배선 저항 및 배선 용량에 근거하여 상기 화소에의 기입 시간이 제어되도록 구성되어 있는

표시 장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 화소의 위치를 수치화하는 카운터와,

상기 카운터에 의해 수치화된 값에 근거하여, 클럭 신호를 분주(分周)하는 분주비 설정부

를 더 구비하되,

상기 분주비 설정부에 의해, 상기 카운터에 의해 수치화된 상기 화소의 위치에 대응하는 주파수로 분주되는 것에 의해, 상기 화소에의 기입 시간이 제어되도록 구성되어 있는

표시 장치.

청구항 8

제 7 항에 있어서,

상기 복수의 화소는 행렬 형상으로 배치되고,

상기 카운터는 상기 화소의 위치를 행마다 수치화하도록 구성되고,

상기 카운터에 의해 행마다 수치화된 값에 근거하여, 상기 화소에의 영상 신호의 기입 시간을 행마다 변화시키도록 구성되어 있는

표시 장치.

청구항 9

제 7 항에 있어서,

상기 복수의 화소는 행렬 형상으로 배치되고,

상기 카운터는 상기 화소의 위치를 상기 화소마다 수치화하도록 구성되고,

상기 카운터에 의해 상기 화소마다 수치화된 값에 근거하여, 상기 화소에의 영상 신호의 기입 시간을 상기 화소마다 변화시키도록 구성되어 있는

표시 장치.

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

발광 장치를 더 구비하되,

상기 발광 장치는 복수의 발광색에 대응하는 복수의 광원에 의해 구성되어 있고,

영상을 표시할 때에, 상기 복수의 광원은, 색마다 순서대로 점등하도록 제어되는 필드 시퀀스 구동에 의해 제어되도록 구성되어 있는

표시 장치.

청구항 11

청구항 1 내지 3 중 어느 한 항에 기재된 표시 장치를 구비하는 전자기기.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 표시 장치 및 전자기기에 관한 것이며, 특히, 복수의 화소를 구비한 표시 장치 및 그것을 구비하는 전자기기에 관한 것이다.

배경 기술

<2> 종래, 복수의 화소를 구비한 액정 표시 장치가 알려져 있다(예컨대, 특허 문헌 1 참조).

<3> 상기 특허 문헌 1에는, 복수의 화소를 구비한 필드 시퀀스(field sequential) 액정 표시 장치가 개시되어 있다. 상기 특허 문헌 1에 개시된 필드 시퀀스 액정 표시 장치에서는, 표시 장치의 화면 영역이 소정수의 화소행마다 구분되어 있음과 아울러, 구분된 화면 영역의 영역마다, 각각, RGB로 이루어지는 복수의 광원이 배치되어 있다. 그리고, 구분된 화면 영역마다, 적(R), 녹(G) 및 청(B)에 있어서의 영상 데이터의 기입 및 광원의 발광에 의한 표시(필드 시퀀스 방식에 의한 표시)가 행하여지고 있다.

<4> (특허 문헌 1)

<5> 일본 특허 출원 공개 2002-221702 호 공보

발명의 내용

해결 하고자하는 과제

<6> 그러나, 상기 특허 문헌 1에 기재된 액정 표시 장치에서는, 화소에의 기입 기간의 길이는, 구분된 화면 영역마다 일정하다. 이 때문에, 종래의 액정 표시 장치에서는, 기입 시간을 가장 필요로 하는 화소(화소까지의 배선의 길이가 최대인 화소)에의 기입에 대하여 필요한 시간을, 화소에의 기입 기간으로서 균일하게 설정하고 있다고 생각된다. 따라서, 이 경우, 화소의 위치에 따라서는 필요 이상의 기입 기간이 마련되고 있는 것과 관계없이, 모든 화소에 대한 기입 기간이 균일하다고 생각되기 때문에, 그만큼, 전체적으로 기입 기간이 길게 되는 경우가 있다고 하는 문제점이 있다.

<7> 본 발명은 상기와 같은 과제를 해결하기 위해서 이루어진 것이며, 본 발명의 하나의 목적은 기입 기간을 짧게 하는 것이 가능한 표시 장치를 제공하는 것이다.

과제 해결수단

<8> 본 발명의 제 1 국면에 따른 표시 장치는, 복수의 화소를 구비하고, 화소의 위치에 따라, 화소에의 영상 신호의 기입 시간을 변화시키도록 구성되어 있다.

<9> 본 발명의 제 1 국면에 따른 표시 장치에서는, 상기한 바와 같이, 영상 신호의 기입 시간을 화소의 위치에 따라 변화시키도록 구성함으로써, 화소의 위치에 따라 영상 신호의 기입 시간을 짧게 하도록 변화시킬 수 있기 때문에, 기입 기간이 필요 이상의 길이로 설정되는 것을 억제할 수 있다. 따라서, 모든 화소에 대하여 일정한 기입 기간을 설정하는 경우에 비해, 기입 기간을 짧게 할 수 있다.

<10> 상기 제 1 국면에 따른 표시 장치에 있어서, 바람직하게는, 복수의 화소에 영상 신호를 공급하는 신호 전송선을 더 구비하고, 신호 전송선에 있어서의 각각의 화소까지의 거리에 따라, 화소에의 영상 신호의 기입 시간을 변화시키도록 구성되어 있다. 이와 같이 구성하면, 영상 신호의 전송 경로가 가장 긴 화소에 대하여 필요한 기입 기간을 각 화소에 대한 기입 기간으로 하여 균일하게 설정하지 않고, 신호 전송선의 거리에 따라 각 화소에 대하여 필요한 기간만을, 각각 기입 기간으로서 설정할 수 있기 때문에, 모든 화소에 대한 합계의 기입 기간을 짧게 할 수 있다.

<11> 이 경우, 바람직하게는, 신호 전송선의 화소까지의 신호 전송 경로의 배선 저항 및 배선 용량에 근거하여 화소에의 기입 시간이 제어되도록 구성되어 있다. 이와 같이 구성하면, 영상 신호의 전송 경로의 길이(전송 신호선의 화소까지의 거리)에 의해 변화되는 배선 저항 및 배선 용량에 근거하여 화소에의 기입 시간이 제어되기 때문에, 각 화소에 대하여 필요한 기입 시간을 정확히 설정할 수 있다.

<12> 상기 신호 전송 경로의 배선 저항 및 배선 용량에 근거하여 기입 시간이 제어되는 구성에 있어서, 바람직하게는, 화소까지의 신호 전송 경로의 거리의 증가에 따라 기입 시간이 길어지게 제어되도록 구성되어 있다. 이와 같이 구성하면, 영상 신호의 전송 경로가 짧은 화소에 대하여는, 전송 경로에 있어서의 배선 저항 및 배선 용량이 작기 때문에 기입 시간이 짧게 설정된다. 그리고, 영상 신호의 전송 경로가 긴 화소만큼 배선 저항 및 배선 용량이 커지기 때문에, 기입 시간을 길게하도록 설정할 수 있다. 따라서, 모든 각 화소에 대하여

필요한 합계의 기입 시간을 확실히 짧게 할 수 있다.

- <13> 상기 신호 전송 경로의 배선 저항 및 배선 용량에 근거하여 기입 시간이 제어되는 구성에 있어서, 바람직하게는, 복수의 화소에 대하여 행마다 순차 기입을 하는 선(線)순차 기입 방식에 의해 구동하도록 구성되고, 신호 전송선은, 화소에 영상 신호를 공급하는 신호선을 포함하고, 화소에 대하여 행마다 기입을 행할 때에는, 신호선의 화소까지의 거리에 따라 변화하는 배선 저항 및 배선 용량에 근거하여 화소에서의 기입 시간이 제어되도록 구성되어 있다. 이와 같이 구성하면, 선순차 기입 방식에 있어서, 화소의 행마다, 신호선의 배선 저항 및 배선 용량에 근거하여 화소에서의 기입 시간이 제어되기 때문에, 각 화소에 대하여 행마다 기입 시간을 용이하게 설정할 수 있다.
- <14> 상기 신호 전송 경로의 배선 저항 및 배선 용량에 근거하여 기입 시간이 제어되는 구성에 있어서, 바람직하게는, 화소마다 순차 기입을 행하는 점(點)순차 기입 방식에 의해 구동하도록 구성되고, 신호 전송선은, 화소에 영상 신호를 공급하는 신호선과, 각각의 신호선에 영상 신호를 공급하는 영상 신호선을 포함하고, 영상 신호선과 각각의 신호선 사이에 각각 마련된 스위치부를 더 구비하고, 화소마다 기입을 행할 때는, 영상 신호선의 신호선까지의 거리 및 신호선의 화소까지의 거리에 따라 변화하는 배선 저항 및 배선 용량에 근거하여 화소에서의 기입 시간이 제어되도록 구성되어 있다. 이와 같이 구성하면, 점순차 기입 방식에 있어서, 각 화소마다, 영상 신호선 및 신호선의 배선 저항 및 배선 용량에 근거하여 화소에서의 기입 시간이 제어되기 때문에, 각 화소마다 필요한 기입 시간을 확실히 설정할 수 있다.
- <15> 상기 제 1 국면에 따른 표시 장치에 있어서, 바람직하게는, 화소의 위치를 수치화하는 카운터와, 카운터에 의해 수치화된 값에 근거하여, 클럭 신호를 분주하는 분주비 설정부를 더 구비하고, 분주비 설정부에 의해, 카운터에 의해 수치화된 화소의 위치에 대응하는 주파수로 분주되는 것에 의해, 화소에서의 기입 시간이 제어되도록 구성되어 있다. 이와 같이 구성하면, 카운터에 의해 화소의 위치를 정확히 식별할 수 있음과 아울러, 수치화된 화소의 위치에 근거하여, 용이하게 필요한 기입 시간을 설정할 수 있다.
- <16> 이 경우, 바람직하게는, 복수의 화소는 행렬 형상으로 배치되고, 카운터는 화소의 위치를 행마다 수치화하도록 구성되어, 카운터에 의해 행마다 수치화된 값에 근거하여, 화소에서의 영상 신호의 기입 시간을 행마다 변화시키도록 구성되어 있다. 이와 같이 구성하면, 화소에서의 기입 시간을 행마다 제어하도록 구성한 만큼, 화소마다 개별적으로 기입 시간을 제어하는 경우에 비해, 용이하게 제어할 수 있음과 아울러, 회로가 복잡되는 것을 억제할 수 있다.
- <17> 상기 카운터 및 분주비 설정부를 구비하는 구성에 있어서, 바람직하게는, 복수의 화소는 행렬 형상으로 배치되고, 카운터는 화소의 위치를 화소마다 수치화하도록 구성되고, 카운터에 의해 화소마다 수치화된 값에 근거하여, 화소에서의 영상 신호의 기입 시간을 화소마다 변화시키도록 구성되어 있다. 이와 같이 구성하면, 각 화소의 위치에 따라 기입 시간을 제어할 수 있음과 아울러, 화소마다 기입 시간을 제어하도록 구성한 만큼, 필요한 기입 시간을 보다 정밀하게 설정할 수 있다. 따라서, 정밀하게 기입 시간을 설정한 만큼, 더욱 합계의 기입 시간을 짧게 할 수 있다.
- <18> 상기 제 1 국면에 따른 표시 장치에 있어서, 바람직하게는, 발광 장치를 더 구비하고, 발광 장치는, 복수의 발광색에 대응하는 복수의 광원에 의해 구성되어 있고, 영상을 표시할 때에, 복수의 광원은, 색마다 순번대로 점등하도록 제어되는 필드 시퀀스 구동에 의해 제어되도록 구성되어 있다. 이와 같이 구성하면, 예컨대, 발광 다이오드 소자 등으로 이루어지는 광원을, 적색(R), 녹색(G) 및 청색(B)에 각각 대응하도록 구성한 경우 등에, 발광 다이오드 소자에 의해 공간적으로 적색(R), 녹색(G) 및 청색(B)을 표시하여 혼합하는 것에 의해 원하는 색을 얻을 수 있기 때문에, 컬러 필터를 마련할 필요가 없다. 따라서, 컬러 필터를 마련하지 않는 것만큼, 광원으로 부터의 빛의 투과율을 증가시킬 수 있기 때문에, 보다 고휘도로 화상을 표시할 수 있다.
- <19> 본 발명의 제 2 국면에 의한 전자기기는, 청구항 1 내지 10 중 어느 한 항에 기재된 표시 장치를 구비한다. 이와 같이 구성하면, 화상 기입 시간을 짧게 하는 것이나, 보다 고휘도인 화상을 표시하는 것이 가능한 전자기기를 얻을 수 있다.

효 과

- <20> 본 발명에 따르면, 기입 시간을 짧게 하는 것이 가능한 표시 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- <21> 이하, 본 발명의 실시예를 도면에 기초하여 설명한다.
- <22> (제 1 실시예)
- <23> 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 전체 구성을 나타내는 블록도이다. 도 2는 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다. 우선, 도 1 및 도 2를 참조하여, 본 발명의 제 1 실시예에 따른 액정 표시 장치(100)의 구성에 대하여 설명한다. 한편, 제 1 실시예에서는, 표시 장치의 일레인 필드 시퀀스 구동 방식에 의한 액정 표시 장치에 본 발명을 적용한 경우에 대하여 설명한다.
- <24> 제 1 실시예에 따른 액정 표시 장치(100)는, 도 1에 나타난 바와 같이, 구동부(1)와 표시부(2)로 구성되어 있다.
- <25> 구동부(1)는, A/D 컨버터(11)와, 수평 동기 신호 PLL 회로(12)와, 메모리 제어부(13)와, 메모리(14)와, 아날로그 드라이버(15)와, 타이밍 제어 회로(16)와, 레벨 변환 회로(17)와, LED 제어 회로(18)와, A/D COM 드라이버(19)와, 마이크로컴퓨터부(20)를 구비하고 있다. 또한, 제 1 실시예에서는, 구동부(1)는, 라인 카운터(21)와, 분주비 설정부(22)와, 메인 클럭 PLL 회로(23)를 구비하고 있다. 한편, 라인 카운터(21)는 본 발명에 있어서의 「카운터」의 일례이다.
- <26> A/D 컨버터(11)와, PLL 회로(12)와, 메모리 제어부(13)는 접속되어 있다. A/D 컨버터(11)는, 아날로그의 비디오 신호를 R(적), G(녹), B(청)의 디지털 신호로 변환하는 기능을 갖는다. 또한, 수평 동기 신호 PLL 회로(12)는, 수평 동기 신호로부터 메모리(14)에 기입 클럭을 생성함과 아울러, 필드 시퀀스 구동에 필요한 클럭을 생성하는 기능을 갖는다. 또한, 메모리 제어부(13)는, RGB의 디지털 신호로 변환된 비디오 신호를 RGB 마다 메모리(14)에 저장하는 타이밍 신호를 생성함과 아울러, 필드 시퀀스 구동에 필요한 호출의 타이밍 신호를 생성하는 기능을 갖는다. 또한, A/D 컨버터(11) 및 메모리 제어부(13)는 메모리(14)에 접속되어 있다. 메모리(14)는 RGB의 디지털 신호를 기억하는 기능을 갖는다.
- <27> 아날로그 드라이버(15)는 메모리(14)에 접속되어 있다. 아날로그 드라이버(15)는 메모리(14)에 기억된 RGB의 디지털 신호를 판독하여 RGB의 아날로그 신호로 변환함과 아울러, RGB의 아날로그 신호를 표시부(2)에 공급하는 기능을 갖는다.
- <28> 타이밍 제어 회로(16)는, 메모리(14)와, 레벨 변환 회로(17)와, LED 제어 회로(18)와, A/D COM 드라이버(19)와, 메인 클럭 PLL 회로(23)에 접속되어 있다. 또한, 타이밍 제어 회로(16)는 후술하는 화소(32)를 구동하는 타이밍 신호를 생성하는 기능을 갖는다. 또한, 레벨 변환 회로(17)는 화소(32)를 구동하기 위한 펄스(수평·수직 컨트롤 신호, 필드 시퀀스 구동용 컨트롤 신호)를 생성하는 기능을 갖는다. 또한, LED 제어 회로(18)는, 필드 시퀀스 구동의 타이밍에 맞춰 후술하는 LED(36)의 발광 및 발광의 정지를 제어하는 기능을 갖는다. 또한, A/D COM 드라이버(19)는, 후술하는 공통 전극(32c)에 공급하는 COM 전압을 결정함과 아울러, 결정된 COM 전압을 공통 전극(32c)에 공급하는 기능을 갖는다.
- <29> 마이크로컴퓨터부(20)는 구동부(1)에 포함되는 모든 회로에 접속되어 있고(도시하지 않음), 구동부(1) 전체의 동작을 제어하는 기능을 갖고 있다.
- <30> 여기서, 제 1 실시예에서는, 라인 카운터(21)는 영상 신호의 기입을 행하는 화소(32)가 배치되어 있는 행(라인)을 수치로 치환하는 기능을 갖는다. 즉, 제 1 실시예에서는, 라인 카운터(21)에 의해, 기입을 행하는 화소(32)의 위치를 행마다 식별가능하도록 구성되어 있다. 또한, 분주비 설정부(22)은, 라인 카운터(21)에 의해 수치화된 행의 위치에 근거하여, 메인 클럭 PLL 회로(23)에 있어서 비교 펄스를 분주(分周)하는 기능을 갖는다. 또한, 이 비교 펄스는, 메인 동작 클럭을 생성하기 위한 펄스임과 아울러, 메인 클럭 PLL 회로(23)에 공급된다. 한편, 분주는, 일정 주기의 주파수를 정수분의 1로 내리는 동작이다. 또한, 메인 클럭 PLL 회로(23)는, 분주비 설정부(22)로부터 공급된 비교 펄스에 근거하여 메인 동작 클럭을 생성하는 기능을 갖는다. 또한, 메인 클럭 PLL 회로(23)는, 메모리(14)로부터의 판독, 표시부(2)의 구동에 필요한 기본 클럭을 생성하는 기능을 갖는다.
- <31> 또, 표시부(2)는, 기관(31)과, 복수의 화소(32)와, 각 화소(32)에 접속되는 H 드라이버(33) 및 V 드라이버(34)와, H 드라이버(33) 및 V 드라이버(34)를 구동하는 내부 구동 회로(35)와, 화소(32)의 백라이트로서 적색(R), 녹색(G) 및 청색(B)을 발광하는 3개의 LED(발광 다이오드 소자)(36 : 36a ~ 36c)를 구비하고 있다. 한편, LED(36)는, 본 발명에 있어서의 「발광 장치」의 일례이다.

- <32> 또, 도 2에 나타난 바와 같이, 기관(31)(도 1 참조) 상에는, 복수의 데이터선(37)과, 복수의 게이트선(38)이 서로 직교하도록 배치되어 있다. 데이터선(37)은, 각각, TFT(박막 트랜지스터)로 이루어지는 스위치부(ASW)(39)를 통해서 H 드라이버(33)에 접속되어 있다. 또한, 각 스위치부(39)의 게이트는, X 방향 게이트선(40)에 접속되어 있다. 또한, 게이트선(38)은 각각 V 드라이버(34)에 마련된 Y 방향 시프트 레지스터(34a)에 접속되어 있다. 또한, 데이터선(37)과 게이트선(38)이 교차하는 위치에는, 각각, 화소(32)가 배치되어 있다. 각 화소(32)는, n 형의 TFT로 이루어지는 화소 트랜지스터(32a)와, 화소 전극(32b)과, 화소 전극(32b)에 대향 배치된 공통 전극(32c)과, 화소 전극(32b)과 공통 전극(32c) 사이에 끼이도록 하여 유지된 액정(32d)과, 보조 용량(32e)을 포함하고 있다. 그리고, 화소 트랜지스터(32a)의 드레인 영역은 데이터선(37)에 접속되어 있음과 아울러, 소스 영역은, 화소 전극(32b)과 보조 용량(32e)의 한쪽의 전극에 접속되어 있다. 또한, 화소 트랜지스터(32a)의 게이트는 게이트선(38)에 접속되어 있다. 한편, 데이터선(37)은 본 발명에 있어서의 「신호선(신호 전송선)」의 일례이다.
- <33> 도 3 ~ 도 7은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분의 등가 회로도이다. 도 8은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 기입 기간을 설명하기 위한 도면이다. 다음에, 도 1 ~ 도 8을 참조하여, 본 발명의 제 1 실시예에 따른 액정 표시 장치(100)의 동작에 대하여 설명한다.
- <34> 우선, 도 1에 나타난 바와 같이, 구동부(1)에 있어서, 아날로그의 비디오 신호가 A/D 컨버터(11)에 입력됨과 아울러, 아날로그의 비디오 신호가 RGB의 디지털 신호로 변환된다. 또한, 수평·수직 동기 신호가 PLL 회로(12)에 입력된다. 또한, 메모리 제어부(13)에 의해서 생성된 타이밍 신호(적색, 녹색 및 청색의 신호마다 메모리(14)에 저장하는 신호)에 따라서, A/D 컨버터(11)에 의해 변환된 RGB의 디지털 신호가 메모리(14)에 저장된다.
- <35> 또, 타이밍 제어 회로(16)에 의해, RGB의 영상 데이터의 기입의 타이밍 신호, 영상 데이터의 기입에 있어서의 RGB의 순서 교체의 타이밍 신호, 및, LED(36)의 발광의 타이밍 신호가 생성된다. 이 타이밍 제어 회로(16)에 의해 생성된 RGB의 영상 데이터의 기입의 타이밍 신호, 및, 영상 데이터의 화소(32)에의 기입에 있어서의 RGB의 순서 교체의 타이밍 신호에 근거하여, 수평·수직 컨트롤 신호 및 필드 시퀀스 구동용 컨트롤 신호가 레벨 변환 회로(17)를 거쳐, 표시부(2)에 공급된다. 이것에 의해, RGB의 영상 데이터의 기입, 및, 화소(32)에의 기입에 있어서의 RGB의 순서 교체가 행하여진다.
- <36> 또, 타이밍 제어 회로(16)에 의해 생성된 LED(36)의 발광의 타이밍 신호에 근거하여, LED 제어 회로(18)로부터의 신호에 의해, 1 프레임(하나의 화면이 표시되어 있는 기간)의 사이에, 적색 영상 신호의 기입, 적색의 LED(36a)의 발광, 녹색 영상 신호의 기입, 녹색의 LED(36b)의 발광, 청색 영상 신호의 기입, 및, 청색의 LED(36c)의 발광이 각각 한 번씩 행해지는 필드 시퀀스 구동이 행하여진다.
- <37> 다음에, 도 1 ~ 도 8을 참조하여, 각 색의 영상 신호의 기입 시에 있어서의 동작에 대하여 설명한다.
- <38> 상술의 영상 신호의 기입 시에 있어서의 동작에 관해서는, 도 2에 나타난 바와 같이, 각 화소(32)에 기입하기 위한 영상 신호(도 2의 비디오 1, 비디오 2 ...)가, H 드라이버(33)로부터 각 데이터선(37)에 일제히 공급된다. 그리고, X 방향 게이트선(40)으로부터 온(on) 신호가 공급되는 것에 의해, 각 스위치부(39)의 게이트가 일제히 온 상태가 된다. 또한, 이때, Y 방향 시프트 레지스터(34a)로부터, 각 게이트선(38)에 순차적으로 온 신호가 공급되기 시작한다. 이것에 의해, 우선, H 드라이버(33)로부터 일제히 1번째 행의 화소(32)에 대응하는 영상 신호가 출력됨과 아울러, Y 방향 시프트 레지스터(34a)로부터 1번째 행의 화소 트랜지스터(32a)의 게이트에 온 신호가 공급된다. 그리고, 영상 신호는, 각 스위치부(39)와, 1번째 행에 배치된 각 화소 트랜지스터(32a)의 드레인 및 소스 사이를 거쳐 각 화소 전극(32b)에 공급된다. 이것에 의해, 1번째 행 배치된 각 화소(32)에 대하여 기입이 행하여진다. 다음에, 1번째 행과 마찬가지로 하여, H 드라이버(33)로부터 일제히 2번째 행의 각 화소(32)에 대응하는 영상 신호가 출력되는 것과 아울러, Y 방향 시프트 레지스터(34a)로부터 2번째 행의 화소 트랜지스터(32a)의 게이트에 온 신호가 공급된다. 이것에 의해, 영상 신호는, 2번째 행에 배치된 각 화소 전극(32b)에 공급되는 것에 의해, 2번째 행의 각 화소(32)에 대한 기입이 행하여진다. 또한, 3번째 행 이후도 마찬가지로의 동작을 행하는 것에 의해, 제 1 실시예에서는, 각 행마다 순차 기입을 행하는 선순차 방식에 의해 기입이 행하여진다.
- <39> 또한, 제 1 실시예에서는, 각 화소(32)에 대하여 행마다 영상 신호의 기입을 행할 때에, 각 화소(32)까지의 데이터선(37)의 거리에 따라 화소(32)에의 기입 시간을 제어한다. 구체적으로는, 데이터선(37)의 화소(32)까지의 거리의 증감에 따라 변화되는 데이터선(37)의 배선 저항 및 배선 용량의 크기에 근거하여 화소(32)에의 기입 시

간을 제어한다. 이하, 구체적으로 설명한다.

- <40> 행렬 형상(매트릭스 형상)으로 배치된 화소(32)를 포함하는 표시부(2)에 있어서, 도 3에 나타난 바와 같이, 1 열째의 데이터선(37) 부분의 분포 정수 회로를 집중 정수 회로의 등가 회로로서 근사하는 경우, 스위치부(39)의 저항은 R_{ASW1} 에 의해 표현된다. 또한, 화소 트랜지스터(32a)의 저항과, 화소 전극(32b) 및 공통 전극(32c)과, 보조 용량(32e)의 용량은, 각각, R_{TFT} , C_{LC} 및 C_S 에 의해 표현된다. 또한, 1 열째의 데이터선(37)의 배선 저항 및 배선 용량은, 각각, R_{SRC1} 및 C_{SRC1} 에 의해 표현된다. 또한, 2 열째의 데이터선(37)의 배선 저항 및 배선 용량은, 각각, R_{SRC2} 및 C_{SRC2} 에 의해 표현된다. 한편, 3열째 이후의 데이터선(37)의 배선 저항 및 배선 용량도, 1 열째 및 2 열째와 마찬가지로, R_{SRC3} , R_{SRC4} ..., 및, C_{SRC3} , C_{SRC4} ...으로 표현된다. 이상으로, 하나의 열에 있어서의 등가 회로는 도 4와 같이 된다.
- <41> 이것에 의해, 예컨대, 화소(32)가 240 행 배치된 경우에 있어서, 1번째 행의 화소(32)에 있어서의 등가 회로는 도 5와 같이 된다. 이때, 도 5에 나타난 바와 같이, 1번째 행의 화소(32)에서는, 스위치부(39)(R_{ASW1})와 화소 트랜지스터(32a)(R_{TFT})와의 접속 부분인 노드 1(N1)부터 아래의 행의 부분에 240 행분의 배선 저항 및 배선 용량이 존재한다. 즉, 행과 행 사이에는, 각각, 239 개분의 배선 저항($R_{SRC} \times 239$) 및 배선 용량($C_{SRC} \times 239$)이 존재한다. 한편, 배선 저항은, 분포 정수 회로를 집중 정수 회로로서 취급하는 경우의 값은 약 1/2이 되는 것에 의해, $(R_{SRC} \times 239) \div 2$ 의 값으로 된다.
- <42> 또, 예컨대, 화소(32)가 240 행 배치된 경우에 있어서, 2번째 행의 화소(32)에 있어서의 등가 회로는 도 6과 같이 된다. 이때, 도 6에 나타난 바와 같이, 2번째 행의 화소(32)에서는, 스위치부(39)(R_{ASW1}) 및 R_{SRC1} (1번째 행의 배선 저항)과 화소 트랜지스터(32a)의 접속 부분인 노드 2(N2)로부터 아래의 행의 부분에 239 행분의 배선 저항 및 배선 용량이 존재한다. 즉, 행과 행 사이에는, 각각, 238 개분의 배선 저항($R_{SRC} \times 238$) 및 배선 용량($C_{SRC} \times 238$)이 존재한다.
- <43> 또, 예컨대, 화소(32)가 240 행 배치된 경우에 있어서, n 행째($n = 1, 2, \dots, 240$)에 있어서의 등가 회로는 도 7과 같이 된다. 이때, 도 7에 나타난 바와 같이, n 행째의 화소(32)에서는, 데이터선(37)과 화소 트랜지스터(32a)의 접속 부분인 노드 n(Nn)으로부터 위쪽의 행의 부분에는, 스위치부(39)(R_{ASW1}) 및 $R_{SRC} \times (n-1)$ (n-1번째 행까지의 배선 저항)이 존재한다. 또한, 노드 n(Nn)으로부터 아래의 행의 부분에는, $240 - (n-1)$ 행분의 배선 저항 및 배선 용량이 존재한다. 즉, 행과 행 사이에는, 각각, $239 - (n-1)$ 개분의 배선 저항($R_{SRC} \times (239 - (n-1))$) 및 배선 용량($C_{SRC} \times (239 - (n-1))$)이 존재한다. 이상과 같이, 각 열에 있어서 배선 저항 및 배선 용량이 존재한다.
- <44> 여기서, RC로 이루어지는 분포 정수 회로를 집중 정수 회로에 근사한 경우, 시정수(τ)는, $\tau = nR \times nC / 2 = n^2 RC / 2$ 에 근사된다. 또한, n은, 각각, 저항(R) 및 캐패시터(C)의 개수이다. 또한, 시정수(τ)는 회로의 응답의 속도를 나타내는 지표이며, 단위는 s(초)이다. 또한, 상기의 식으로부터, 시정수(τ)는, R 및 C의 개수가 증가하는 데 대하여 시정수가 커진다. 즉, 배선 저항(R_{SRC}) 및 배선 용량(C_{SRC})의 개수가 증가할수록 기입 시간이 커진다.
- <45> 이상으로, 제 1 실시예에서는, 화소(32)에의 기입 시간은, 시정수의 크기에 근거하여 설정된다. 즉, 시정수의 크기에 따라 메인 동작 클럭의 주파수를 조정하는 것에 의해 기입 시간이 결정된다. 그리고, 도 8에 나타난 바와 같이, 1 수직 기간에 있어서, 상단의 행일수록 화소(32)에의 기입 시간이 단축됨과 아울러, 하단의 행일수록 화소(32)에의 기입 시간이 연장된다.
- <46> 구체적인 제어로서는, 도 1에 나타난 바와 같이, 우선, 화소(32)에의 기입 시에 있어서, 라인 카운터(21)에 의해 기입을 행하는 화소(32)가 배치된 행이 수치화된다. 그리고, 기입을 행하는 화소(32)에 대응하는 행의 위치를 나타내는 수치에 근거하여 분주비 설정부(22)에 의해 비교 펄스를 분주한다. 여기서, 행의 위치가 하단일수록 분주비가 내려간다. 이것에 의해, 행의 위치가 하단일수록 비교 펄스의 주파수가 내려간다. 그리고, 이 비교 펄스로부터, 메인 클럭 PLL 회로(23)에 의해 메인 동작 클럭을 생성한다. 이것에 의해, 메인 동작 클럭은, 상단의 행에의 기입에 대응하는 클럭일수록 높은 주파수가 되도록 생성됨과 아울러, 하단의 행에의 기입에 대응하는 클럭일수록 낮은 주파수가 되도록 생성된다. 그리고, 생성된 메인 동작 클럭은 타이밍 제어 회로(16), 메모리(14) 및 아날로그 드라이버(15)를 통해서 표시부(2) 쪽에 출력된다.

- <47> 도 9 및 도 10은, 각각, 본 발명의 제 1 실시예에 따른 액정 표시 장치를 이용한 전자기기의 일례 및 다른 예를 설명하기 위한 도면이다. 다음에, 도 9 및 도 10을 참조하여, 본 발명의 제 1 실시예에 따른 액정 표시 장치(100)를 이용한 전자기기에 대하여 설명한다.
- <48> 본 발명의 1 실시예에 따른 액정 표시 장치(100)는, 도 9 및 도 10에 나타난 바와 같이, 휴대 전화(50) 및 PC(퍼스널 컴퓨터)(60) 등에 이용하는 것이 가능하다. 도 9의 휴대 전화(50)에 있어서는, 표시 화면(50a)에 본 발명의 제 1 실시예에 있어서의 액정 표시 장치(100)가 사용된다. 또한, 도 10의 PC(60)에 있어서는, 키보드(60a) 등의 입력부 및 표시 화면(60b) 등에 이용하는 것이 가능하다. 또한, 주변 회로를 액정 패널 내의 기판에 내장하는 것에 의해 부품 점수를 대폭 감소시킴과 아울러, 장치 본체의 경량화 및 소형화를 행하는 것이 가능해진다.
- <49> 제 1 실시예에서는, 상기한 바와 같이, 선순차 기입 방식에 의해 구동하도록 구성함과 아울러, 화소(32)에의 기입시, 각 행마다, 데이터선(37)에 있어서의 배선 저항 및 배선 용량의 크기에 근거하여 화소(32)에의 기입 시간이 제어되도록 구성함으로써, 데이터선(37)에 포함되는 배선 저항 및 배선 용량에 근거하여 기입 시간을 제어하기 때문에, 화소(32)에 대한 기입 시간을 행마다 용이하게 설정할 수 있다. 또한, 화소(32)에 대한 기입 시간을 행마다 설정할 수 있기 때문에, 모든 화소(32)에 대하여 각각 균일하게 기입 기간을 설정하지 않고, 데이터선(32)에 포함되는 배선 저항 및 배선 용량의 크기에 따라, 영상 신호의 기입 시간을 짧게 하도록 변화시킬 수 있다. 따라서, 필요 이상의 기입 기간이 설정되는 것을 억제할 수 있기 때문에, 그 만큼, 기입 기간을 짧게 할 수 있다.
- <50> 또, 제 1 실시예에서는, 데이터선(37)에 있어서의 각 화소(32)까지의 거리(배선 저항 및 배선 용량의 크기)에 따라, 화소(32)에의 영상 신호의 기입 시간을 변화시키도록 구성함으로써, 영상 신호의 전송 경로가 가장 긴 화소(32)에 대하여 필요한 기입 시간을 각 화소(32)에 대한 기입 기간으로 하여 균일하게 설정하지 않고, 데이터선(37)의 거리에 따라 각 화소(32)에 대하여 필요한 기간만을, 각각 기입 기간으로 설정할 수 있기 때문에, 합계의 기입 기간을 짧게 할 수 있다. 또한, 데이터선(37)의 거리에 의해 변화되는 배선 저항 및 배선 용량에 근거하여 화소(32)에의 기입 시간이 제어되기 때문에, 화소(32)에 대하여 필요한 기입 시간을 정확하게 설정할 수 있다.
- <51> 또, 제 1 실시예에서는, 기입을 행하는 화소(32)까지의 데이터선(37)의 거리의 증가(배선 저항 및 배선 용량의 증가)에 따라 기입 시간이 길게 되도록 제어함으로써, 데이터선(37)에 있어서의 배선 저항 및 배선 용량의 크기에 따라, 영상 신호의 전송 경로가 짧은 화소(32)에 대하여는, 기입 시간을 짧게 하도록 설정할 수 있음과 아울러, 영상 신호의 전송 경로가 긴 화소(32)일수록 기입 시간을 길게 하도록 설정할 수 있다.
- <52> 또, 제 1 실시예에서는, 라인 카운터(21)에 의해 기입이 행하여지는 화소(32)의 행을 수치화하도록 구성함으로써, 기입을 행하는 화소(32)의 행을 정확히 식별할 수 있다. 또한, 라인 카운터(21)에 의해 수치화된 화소(32)의 행의 위치에 근거하여, 용이하게 필요한 기입 시간을 제어할 수 있다. 또한, 화소(32)에의 기입 시간을 행마다 제어하도록 구성한 만큼, 화소(32)마다 개별적으로 기입 시간을 제어하는 경우에 비해, 회로가 복잡화되는 것을 억제할 수 있다.
- <53> (제 2 실시예)
- <54> 도 11은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 전체 구성을 나타내는 블록도이다. 도 12 및 도 13은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다. 도 11 ~ 도 13을 참조하여, 제 2 실시예에서는, 행마다 기입 시간을 제어한 제 1 실시예와는 달리, 화소마다 기입 시간을 제어하는 예에 대하여 설명한다.
- <55> 제 2 실시예에 있어서의 액정 표시 장치(200)에서는, 구동부(1)에, 도 11에 나타난 바와 같이, 기입을 행하는 화소(32)의 위치를 각 화소(32)마다 수치로 치환하는 기능을 갖는 비트 카운터(211)가 마련되어 있다. 또한, 도 12에 나타난 바와 같이, TFT로 이루어지는 스위치부(39)의 한쪽의 단자에는, 제 1 실시예와 마찬가지로, 데이터선(37)이 접속되어 있다. 또한, 각 스위치부(39)의 다른 쪽의 단자에는, 영상 신호를 공급하기 위한 영상 신호선(212)이 접속되어 있다. 또한, 각 스위치부(39)의 게이트는, 각각, H 드라이버(33)에 마련된 X 방향 시프트 레지스터(33a)와 접속되어 있다.
- <56> 제 2 실시예의 그 밖의 구성은 상기 제 1 실시예와 마찬가지이다.
- <57> 또, 영상 신호의 기입시의 동작에 있어서는 도 12에 나타난 바와 같이, X 방향 시프트 레지스터(33a)로부터 온

신호가 공급된 열에 대응하는 스위치부(39)만이 온 상태로 됨과 아울러, Y 방향 시프트 레지스터(34a)로부터 온 신호가 공급된 행에 대응하는 화소 트랜지스터(32a)만이 온 상태가 된다. 이것에 의해, 하나의 화소(32)만이 선택된 상태(기입 가능한 상태)로 됨과 아울러, 선택된 화소(32)에 대하여 기입이 행하여진다.

<58> 구체적인 제어로서는, 도 11에 나타난 바와 같이, 우선, 화소(32)에의 기입시에 있어서, 비트 카운터(211)에 의해 기입이 행하여지는 화소(32)의 위치가 수치화된다. 그리고, 화소(32)의 위치를 나타내는 수치에 근거하여 분주비 설정부(22)에 의해 비교 펄스를 분주한다. 그리고, 이 비교 펄스로부터, 메인 클럭 PLL 회로(23)에 의해 메인 동작 클럭을 생성한다. 여기서, 메인 동작 클럭은, 상단의 행 및 상단의 열에 배치된 화소(32)에의 기입에 대응하는 클럭일수록 높은 주파수가 되도록 생성되고, 하단의 행 및 하단의 열에 배치된 화소(32)에의 기입에 대응하는 클럭일수록 낮은 주파수가 되도록 생성된다. 그리고, 생성된 메인 동작 클럭은 타이밍 제어 회로(16), 메모리(14) 및 아날로그 드라이버(15)를 거쳐 표시부(2) 쪽에 출력된다.

<59> 제 2 실시예에서는, 상기한 바와 같이, 비트 카운터(211)에 의해, 기입을 행하는 화소(32)의 위치를 각 화소(32)마다 수치화함과 아울러, 수치화한 값에 근거하여 영상 신호의 기입 시간을 각 화소(32)마다 변화시키도록 구성함으로써, 기입을 행하는 화소(32)의 위치에 따라 기입 시간을 제어할 수 있다. 또한, 화소(32)마다 기입 시간을 제어함으로써, 기입할 때에, 각 화소(32)에 대하여 필요한 기입 시간을 보다 정밀하게 제어할 수 있다.

<60> 또, 제 2 실시예에서는, 점순차 기입 방식에 의해 구동하도록 구성함과 아울러, 화소(32)에의 기입시에, 화소(32)마다, 영상 신호선(212) 및 데이터선(37)에 포함되는 배선 저항 및 배선 용량의 크기에 근거하여 기입 시간을 제어하도록 구성한다. 이것에 의해, 영상 신호선(212) 및 데이터선(37)에 포함되는 배선 저항 및 배선 용량에 근거하여 기입 시간을 제어하기 때문에, 화소(32)마다의 기입 시간을 용이하게 설정할 수 있다.

<61> 한편, 제 2 실시예의 그 밖의 효과는, 제 1 실시예의 효과와 마찬가지다.

<62> 한편, 이번 개시된 실시예는, 모든 점에서 예시로서 제한적인 것이 아니라고 생각되어야 한다. 본 발명의 범위는, 상기한 실시예의 설명이 아니라 특허청구의 범위에 의해서 나타내고, 또한 특허청구의 범위와 균등의 의미 및 범위 내에서의 모든 변경이 포함된다.

<63> 예컨대, 상기 제 1 및 제 2 실시예에서는, 백라이트용의 광원으로서 LED(발광 다이오드 소자)를 이용하는 예를 나타냈지만, 본 발명은 이것에 한정되지 않고, LED 이외의 백라이트용의 광원을 사용하여도 좋다.

<64> 또, 상기 제 1 실시예에서는, 1 행마다 화소(32)에의 기입 시간을 변화시키는 예를 나타냈지만, 본 발명은 이것에 한정되지 않고, 복수행마다 기입 시간을 변화시키더라도 좋다. 이 경우, 1 행마다 화소(32)에의 기입 시간을 변화시키는 경우에 비해, 보다 회로를 간소화할 수 있다.

<65> 또, 상기 제 1 실시예에서는, 도 9 및 도 10에 있어서, 제 1 실시예에 따른 액정 표시 장치(100)를 이용한 전자 기기의 예를 나타냈지만, 본 발명은 이것에 한정되지 않고, 제 2 실시예에 따른 액정 표시 장치(200)도 상술한 전자기기에 적용가능하다.

<66> 또, 상기 제 2 실시예에서는, 각 화소마다 기입 시간을 변화시키는 예를 나타냈지만, 본 발명은 이것에 한정되지 않고, 복수개의 화소마다 기입 시간을 변화시키더라도 좋다. 이 경우, 각 화소마다 기입 시간을 변화시키는 경우에 비해, 보다 회로를 간소화할 수 있다.

도면의 간단한 설명

<67> 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 전체 구성을 나타내는 블록도이다.

<68> 도 2는 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.

<69> 도 3은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.

<70> 도 4는 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.

<71> 도 5는 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.

<72> 도 6은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.

<73> 도 7은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.

<74> 도 8은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 기입 시간을 설명하기 위한 도면이다.

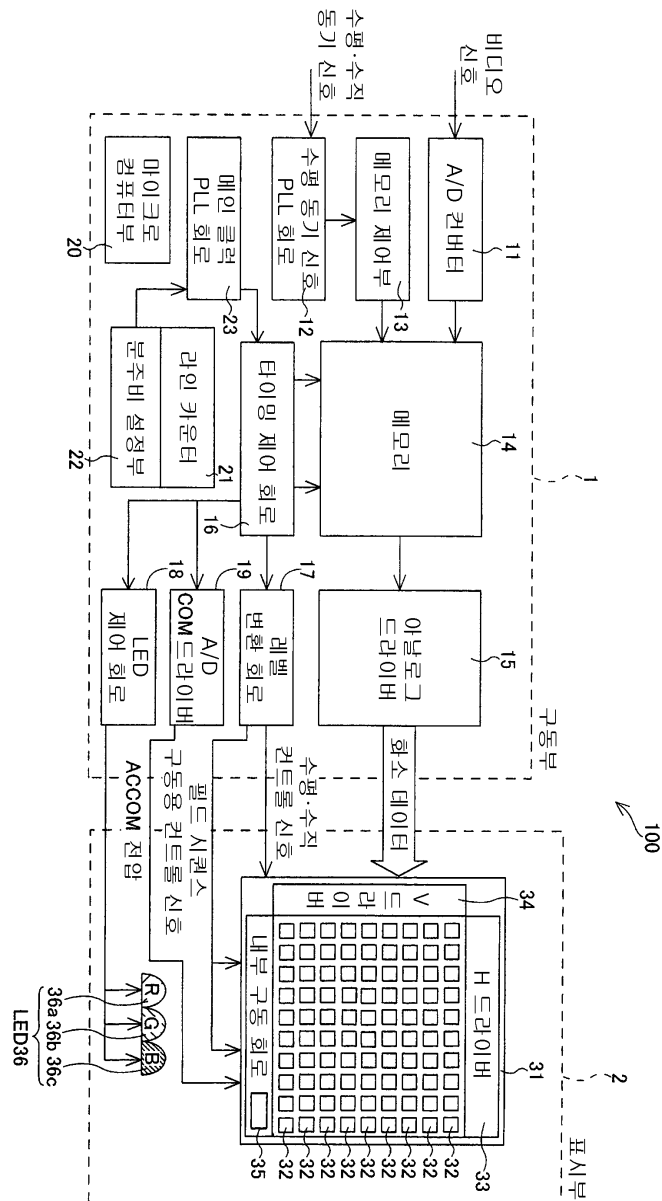
- <75> 도 9는 본 발명의 제 1 실시예에 따른 액정 표시 장치를 이용한 전자기기의 일례를 나타내는 도면이다.
- <76> 도 10은 본 발명의 제 1 실시예에 따른 액정 표시 장치를 이용한 전자기기의 일례를 나타내는 도면이다.
- <77> 도 11은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 전체 구성을 나타내는 블록도이다.
- <78> 도 12는 본 발명의 제 2 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.
- <79> 도 13은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 화소 부분에 있어서의 등가 회로도이다.

<80> 도면의 주요 부분에 대한 부호의 설명

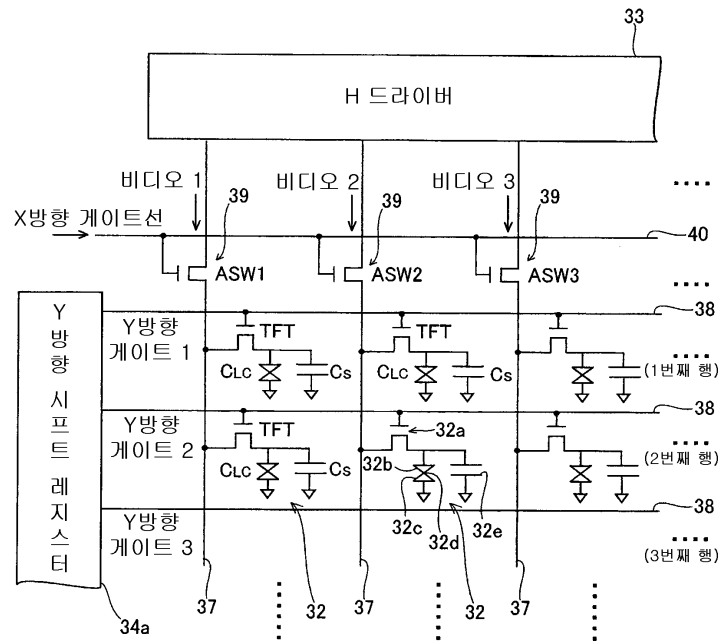
- | | | |
|------|----------------------------|------------------------|
| <81> | 32 : 화소 | 21 : 라인 카운터(카운터) |
| <82> | 22 : 분주비 설정부 | 36 : 발광 다이오드 소자(발광 장치) |
| <83> | 37 : 데이터선(신호선) | 39 : 스위치부 |
| <84> | 50 : 휴대 전화(전자기기) | 60 : PC(전자기기) |
| <85> | 100, 200 : 액정 표시 장치(표시 장치) | |
| <86> | 211 : 비트 카운터(카운터) | 212 : 영상 신호 |

도면

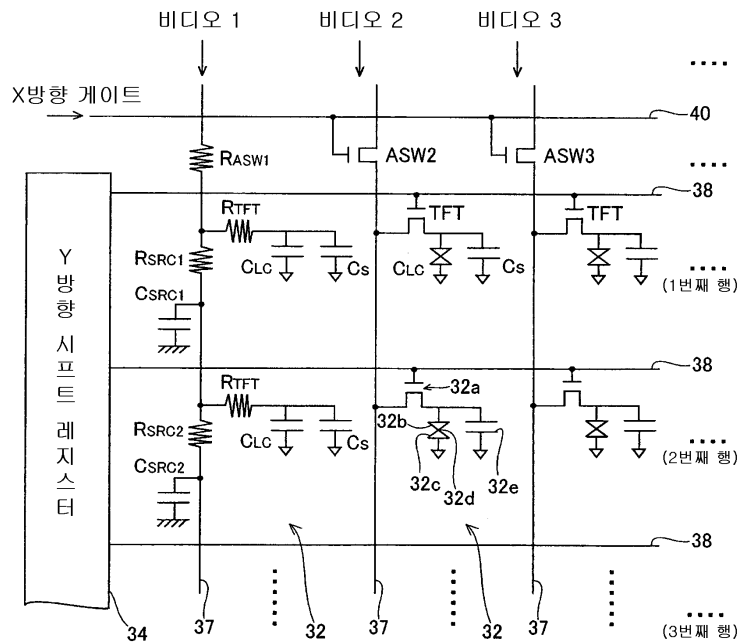
도면1



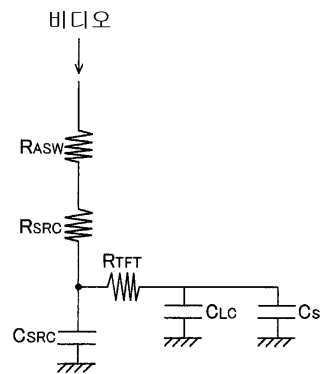
도면2



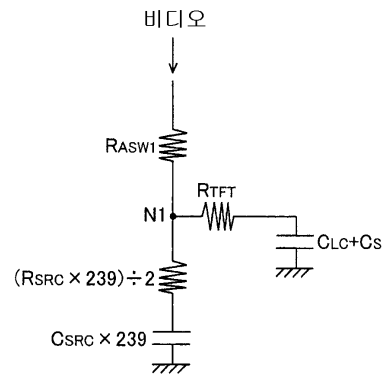
도면3



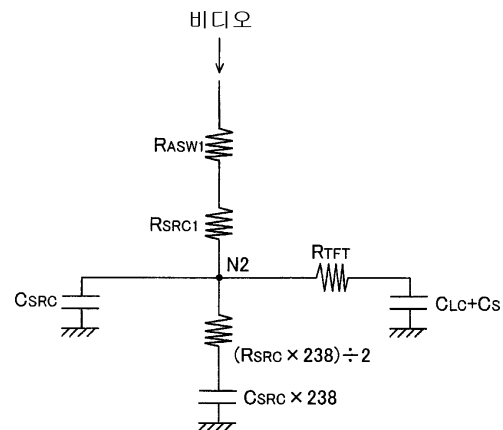
도면4



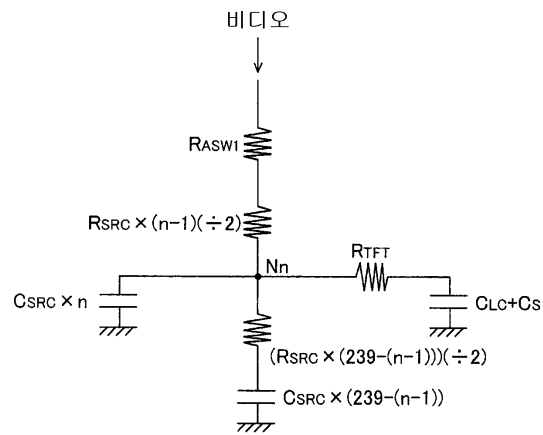
도면5



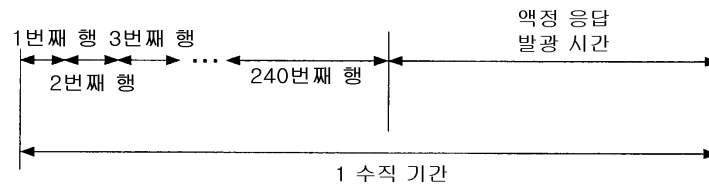
도면6



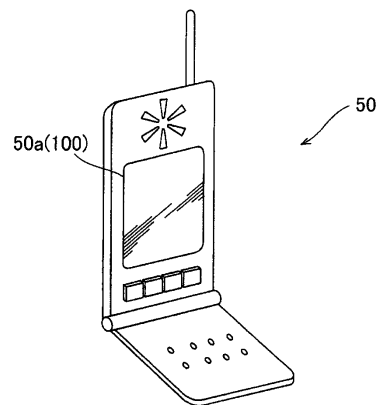
도면7



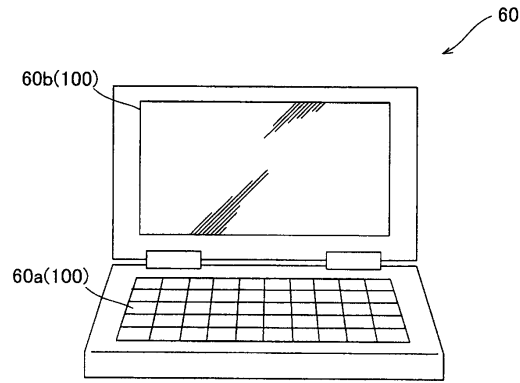
도면8



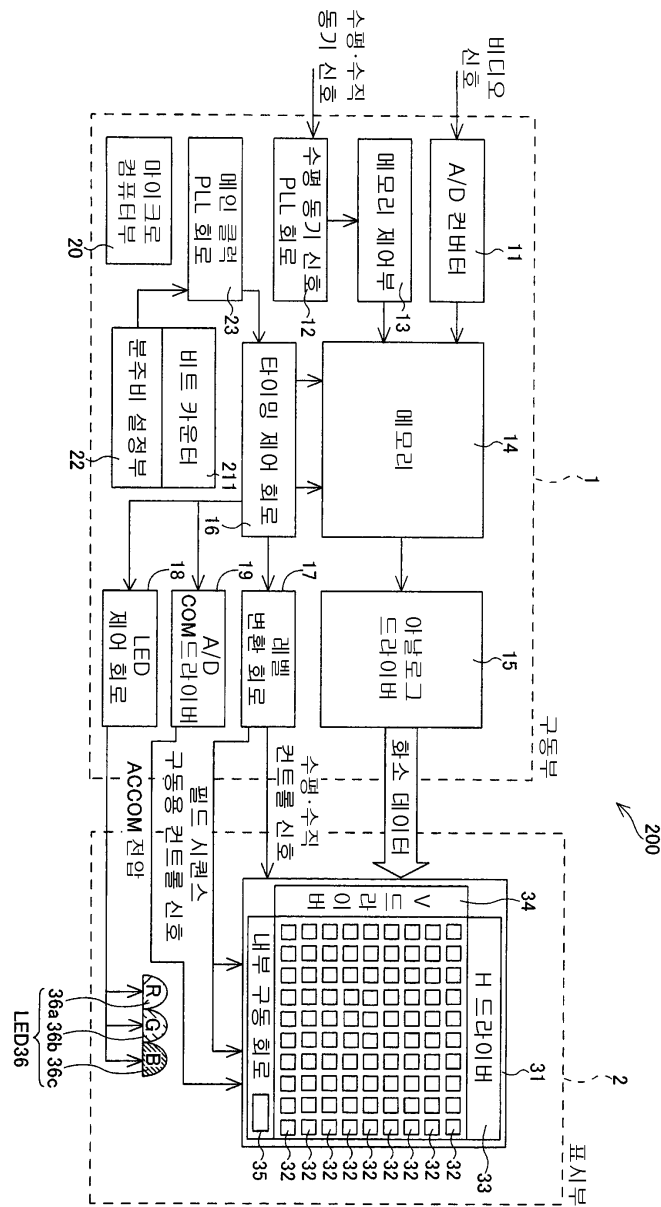
도면9



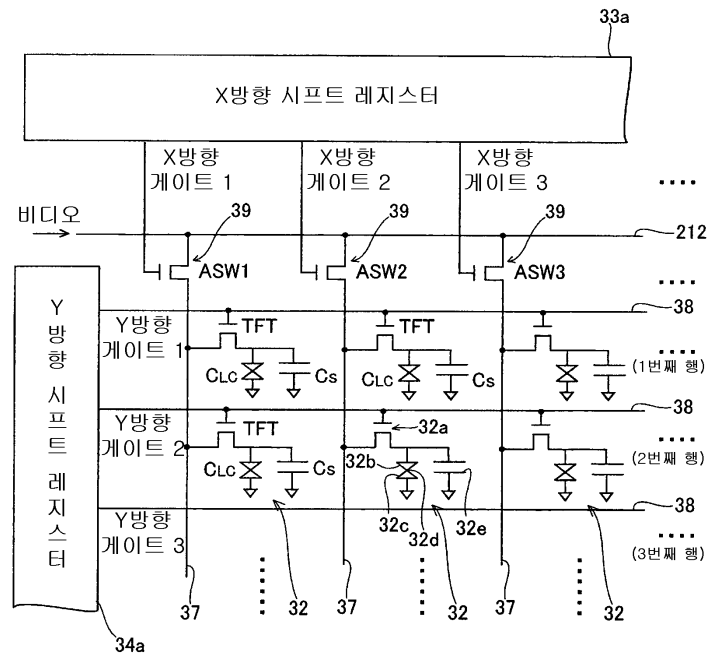
도면10



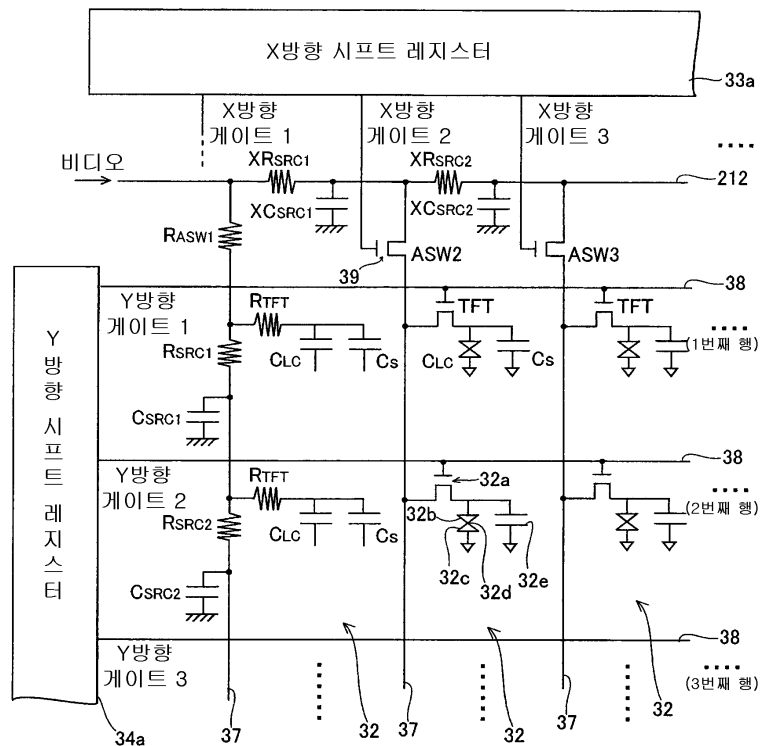
도면11



도면12



도면13



专利名称(译)	显示器和电子设备		
公开(公告)号	KR1020090081334A	公开(公告)日	2009-07-28
申请号	KR1020090005109	申请日	2009-01-21
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
当前申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
[标]发明人	SATO MASATOSHI		
发明人	SATO, MASATOSHI		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/0235 G09G3/3648 G09G3/3688 G09G2310/08 G09G2320/0223		
代理人(译)	KIM, CHANG SE		
优先权	2008012283 2008-01-23 JP		
外部链接	Espacenet		

摘要(译)

提供可以使地址周期短的显示设备。该液晶显示器（显示装置）（100）包括多个像素（32）。它被配置为根据像素（32）的位置改变像素（32）的图像信号的写入时间。据此，根据像素（32）的位置，改变写入时间，使得图像信号的写入时间短。因此，抑制了超过需要的地址周期被设置。因此，在建立关于所有像素（32）的固定地址周期的情况下，它进行比较。地址期很短。

