



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월20일
(11) 등록번호 10-1868528
(24) 등록일자 2018년06월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2011-0066245
(22) 출원일자 2011년07월05일
심사청구일자 2016년07월05일
(65) 공개번호 10-2013-0004976
(43) 공개일자 2013년01월15일
(56) 선행기술조사문헌
KR1020110030388 A*
KR1020090014540 A*
KR1020110058396 A*
KR1020110069970 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박수영
서울특별시 종로구 세검정로9길 81 301호 (구기동)
왕인수
경기도 성남시 분당구 효자길 9-1 (서현동)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 34 항

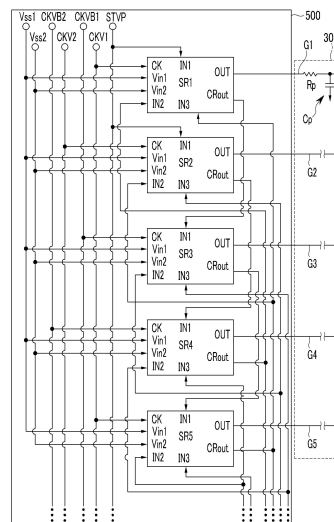
심사관 : 추장희

(54) 발명의 명칭 표시 패널

(57) 요약

표시 패널은 표시 영역, 그리고 기관 위에 집적되어 있고, 제1 스테이지 및 제2 스테이지를 포함하고, 그리고 상기 표시 영역에 게이트 전압을 인가하는 게이트 구동부를 포함하고, 제1 클럭 신호와 제1 클럭바 신호는 위상이 서로 반대되는 신호이고, 제2 클럭바 신호는 상기 제1 클럭바 신호보다 늦게 상기 게이트 구동부로 인가되고, 상기 제1 스테이지는 상기 제1 클럭 신호와 제1 전달 신호에 기초하여 상기 게이트 전압을 방전시키고, 그리고 상기 제2 스테이지는 상기 제2 클럭바 신호에 기초하여 상기 제1 전달 신호를 출력한다.

대표도 - 도2



(72) 발명자

이기창

서울특별시 서초구 신반포로 270, 120동 302호 (반포동, 반포자이아파트)

김태현

충남 아산시 탕정면 삼성크리스탈기숙사 큐빅동403호

한정윤

경기도 고양시 덕양구 중앙로558번길 57, 1816동 1203호 (행신동, 햇빛마을)

명세서

청구범위

청구항 1

표시 영역, 그리고

기관 위에 집적되어 있고, 제1 스테이지 및 제2 스테이지를 포함하고, 그리고 상기 표시 영역에 게이트 전압을 인가하며, 제1 클록 신호, 제1 클록바 신호, 제2 클록 신호, 및 제2 클록 바 신호를 포함하는 복수의 클록 신호를 수신하는 게이트 구동부

를 포함하고,

상기 제1 스테이지 및 상기 제2 스테이지는 상기 복수의 클록 신호 중 어느 하나를 수신하며,

상기 제1 클록 신호와 상기 제1 클록바 신호는 위상이 서로 반대되는 신호이고, 상기 제2 클록바 신호는 상기 제1 클록바 신호보다 늦게 상기 게이트 구동부로 인가되고, 상기 제1 스테이지는 상기 제1 클록 신호와 제1 전달 신호에 기초하여 상기 게이트 전압을 방전시키고, 그리고 상기 제2 스테이지는 상기 제2 클록바 신호에 기초하여 상기 제1 전달 신호를 출력하는 표시 패널.

청구항 2

제1항에서,

상기 제1 스테이지는 풀다운 구동부를 포함하고, 상기 풀다운 구동부는 다이오드 연결되어 있는 트랜지스터를 포함하지 않는 표시 패널.

청구항 3

제2항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 산화물 반도체를 포함하는 표시 패널.

청구항 4

제3항에서,

상기 제1 스테이지는 제1 저전압과 상기 제1 저전압보다 낮은 제2 저전압을 입력 받고, 상기 제1 스테이지 및 상기 제2 스테이지와 다른 두 개의 스테이지들로부터 각각 제2 전달 신호 및 제3 전달 신호를 입력 받고, 그리고 상기 게이트 전압은 상기 제1 저전압인 표시 패널.

청구항 5

제4항에서,

상기 제1 전달 신호가 로우 레벨일 때의 전압은 상기 제2 저전압인 표시 패널.

청구항 6

제5항에서,

상기 제1 클록 신호의 주기는 T이고, 그리고 상기 제2 클록바 신호는 상기 제1 클록바 신호보다 T/4만큼 늦게 상기 게이트 구동부로 인가되는 표시 패널.

청구항 7

제2항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 비정질 실리콘을 포함하는 표시 패널.

청구항 8

제1항에서,

상기 제1 스테이지는 풀다운 구동부를 포함하고, 상기 풀다운 구동부는 다이오드 연결되어 있는 트랜지스터를 포함하는 표시 패널.

청구항 9

제8항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 산화물 반도체를 포함하는 표시 패널.

청구항 10

제8항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 비정질 실리콘을 포함하는 표시 패널.

청구항 11

제1항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 산화물 반도체를 포함하는 표시 패널.

청구항 12

제1항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 비정질 실리콘을 포함하는 표시 패널.

청구항 13

제1항에서,

상기 제1 스테이지는 제1 저전압과 상기 제1 저전압보다 낮은 제2 저전압을 입력 받고, 상기 제1 스테이지 및 상기 제2 스테이지와 다른 두 개의 스테이지들로부터 각각 제2 전달 신호 및 제3 전달 신호를 입력 받고, 그리고 상기 게이트 전압은 상기 제1 저전압인 표시 패널.

청구항 14

제13항에서,

상기 제1 전달 신호가 로우 레벨일 때의 전압은 상기 제2 저전압인 표시 패널.

청구항 15

제1항에서,

상기 제1 스테이지는 입력부, 풀업 구동부, 풀다운 구동부, 출력부, 그리고 전달 신호 생성부를 포함하는 표시 패널.

청구항 16

제15항에서,

상기 입력부, 상기 풀다운 구동부, 상기 출력부, 상기 전달 신호 생성부는 제1 노드에 연결되어 있는 표시 패널.

청구항 17

제16항에서,

상기 풀업 구동부 및 상기 풀다운 구동부는 제2 노드에 연결되어 있는 표시 패널.

청구항 18

표시 영역, 그리고

기관 위에 집적되어 있고, 복수의 스테이지를 포함하고, 그리고 상기 표시 영역에 게이트 전압을 인가하며, 제1 클록 신호, 제1 클록바 신호, 제2 클록 신호, 및 제2 클록 바 신호를 포함하는 복수의 클록 신호를 수신하는 게이트 구동부

를 포함하고,

복수의 스테이지 각각은 상기 복수의 클록 신호 중 어느 하나를 수신하며,

상기 제1 클록 신호와 상기 제1 클록바 신호는 위상이 서로 반대되는 신호이고, 상기 제2 클록 신호와 상기 제2 클록바 신호는 위상이 서로 반대되는 신호이고, 상기 제2 클록바 신호는 상기 제1 클록바 신호보다 늦게 상기 게이트 구동부로 인가되고, 그리고

상기 복수의 스테이지는 상기 제1 클록 신호를 입력받고 제1 전달 신호를 출력하는 제1 스테이지, 상기 제2 클록 신호를 입력받고 제2 전달 신호를 출력하는 제2 스테이지, 상기 제1 클록바 신호를 입력받고 제3 전달 신호를 출력하는 제3 스테이지, 그리고 상기 제2 클록바 신호를 입력받고 제4 전달 신호를 출력하는 제4 스테이지를 포함하는 표시 패널.

청구항 19

제18항에서,

상기 제1 스테이지의 제1 입력 단자 및 상기 제2 스테이지의 제1 입력 단자는 스캔 개시 신호를 입력 받고, 상기 제3 스테이지의 제1 입력 단자는 상기 제1 전달 신호를 입력 받고, 그리고 상기 제4 스테이지의 제1 입력 단자는 상기 제2 전달 신호를 입력 받는 표시 패널.

청구항 20

제19항에서,

상기 복수의 스테이지는 상기 제1 클록 신호를 입력받고 제5 전달 신호를 출력하는 제5 스테이지, 상기 제2 클록 신호를 입력받고 제6 전달 신호를 출력하는 제6 스테이지, 그리고 상기 제1 클록바 신호를 입력받고 제7 전달 신호를 출력하는 제7 스테이지를 더 포함하고,

상기 제1 스테이지의 제2 입력 단자는 상기 제4 전달 신호를 입력 받고, 상기 제2 스테이지의 제2 입력 단자는 상기 제5 전달 신호를 입력 받고, 상기 제3 스테이지의 제2 입력 단자는 상기 제6 전달 신호를 입력 받고, 그리고 상기 제4 스테이지의 제2 입력 단자는 상기 제7 전달 신호를 입력 받는 표시 패널.

청구항 21

제20항에서,

상기 복수의 스테이지는 상기 제2 클록바 신호를 입력받고 제8 전달 신호를 출력하는 제8 스테이지를 더 포함하고,

상기 제1 스테이지의 제3 입력 단자는 상기 제5 전달 신호를 입력 받고, 상기 제2 스테이지의 제3 입력 단자는 상기 제6 전달 신호를 입력 받고, 상기 제3 스테이지의 제3 입력 단자는 상기 제7 전달 신호를 입력 받고, 그리고 상기 제4 스테이지의 제3 입력 단자는 상기 제8 전달 신호를 입력 받는 표시 패널.

청구항 22

제21항에서,

상기 제1 스테이지 내지 상기 제4 스테이지는 각각 제1 저전압을 입력 받는 제1 전압 입력 단자 및 상기 제1 저전압보다 낮은 제2 저전압을 입력 받는 제2 전압 입력 단자를 포함하는 표시 패널.

청구항 23

제22항에서,

상기 제1 스테이지 내지 상기 제4 스테이지는 각각 제1 게이트 전압 내지 제4 게이트 전압을 상기 표시 영역에 인가하는 표시 패널.

청구항 24

제23항에서,

상기 제1 스테이지는 풀다운 구동부를 포함하고, 상기 풀다운 구동부는 다이오드 연결되어 있는 트랜지스터를 포함하지 않는 표시 패널.

청구항 25

제24항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 산화물 반도체를 포함하는 표시 패널.

청구항 26

제24항에서,

상기 제1 스테이지 및 상기 제2 스테이지는 비정질 실리콘을 포함하는 표시 패널.

청구항 27

제23항에서,

상기 제1 스테이지는 풀다운 구동부를 포함하고, 상기 풀다운 구동부는 다이오드 연결되어 있는 트랜지스터를 포함하는 표시 패널.

청구항 28

표시 영역, 그리고

기관 위에 집적되어 있고, 제1 스테이지 및 제2 스테이지를 포함하며, 게이트 전압을 출력하는 구동 트랜지스터를 포함하고, 그리고 상기 표시 영역에 상기 게이트 전압을 인가하며, 제1 클록 신호, 제1 클록바 신호, 제2 클록 신호, 및 제2 클록 바 신호를 포함하는 복수의 클록 신호를 수신하는 게이트 구동부

를 포함하고,

상기 제1 스테이지 및 상기 제2 스테이지는 상기 복수의 클록 신호 중 어느 하나를 수신하며,

상기 제1 클록 신호와 상기 제1 클록바 신호는 위상이 서로 반대되는 신호이고, 상기 제2 클록바 신호는 상기 제1 클록바 신호보다 늦게 상기 게이트 구동부로 인가되고, 상기 구동 트랜지스터는 상기 제1 클록 신호를 입력 받고, 상기 구동 트랜지스터의 제어 단자는 상기 제2 클록바 신호에 의해 방전되는 표시 패널.

청구항 29

제28항에서,

상기 게이트 구동부는 상기 구동 트랜지스터의 제어 단자의 방전을 더디게 하는 다이오드 연결 트랜지스터 (diode-connected transistor)를 포함하지 않는 표시 패널.

청구항 30

제29항에서,

상기 구동 트랜지스터는 산화물 반도체를 포함하는 표시 패널.

청구항 31

제29항에서,

상기 구동 트랜지스터는 비정질 실리콘을 포함하는 표시 패널.

청구항 32

제28항에서,

상기 게이트 구동부는 상기 구동 트랜지스터의 제어 단자의 방전을 더디게 하는 다이오드 연결 트랜지스터를 포함하는 표시 패널.

청구항 33

제32항에서,

상기 구동 트랜지스터 및 상기 다이오드 연결 트랜지스터는 산화물 반도체를 포함하는 표시 패널.

청구항 34

제32항에서,

상기 구동 트랜지스터 및 상기 다이오드 연결 트랜지스터는 비정질 실리콘을 포함하는 표시 패널.

발명의 설명

기술 분야

[0001] 표시 패널이 제공된다.

배경 기술

[0002] 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기 광학(electro-optical) 활성층을 포함한다. 예를 들어, 표시 장치는 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display) 및 전기 영동 표시 장치(electrophoretic display) 등이 있다. 액정 표시 장치는 전기 광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치는 전기 광학 활성층으로 유기 발광층을 포함한다. 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가받고, 전기 광학 활성층은 이러한 전기 신호를 광학 신호로 변환함으로써 영상을 표시한다.

[0003] 일반적으로 표시 장치는 게이트 구동부 및 데이터 구동부를 포함한다. 게이트 구동부는 화소를 온(on) 또는 오프(off)하는 게이트 신호를 게이트선에 인가하며, 데이터 구동부는 영상 데이터를 데이터 전압으로 변환한 후, 이를 데이터선에 인가한다.

발명의 내용

해결하려는 과제

[0004] 본 발명에 따른 한 실시예는 게이트 구동부의 게이트 온 전압의 하강(falling) 특성을 개선하고, 화소에 올바른 데이터 전압을 인가하기 위한 것이다.

[0005] 본 발명에 따른 한 실시예는 게이트 구동부의 면적을 줄이고, 표시 영역의 활용도를 높이기 위한 것이다.

[0006] 상기 과제 이외에도 구체적으로 언급되지 않은 다른 과제를 달성하는 데 본 발명에 따른 실시예가 사용될 수 있다.

과제의 해결 수단

[0007] 본 발명의 한 실시예에 따른 표시 패널은 표시 영역, 그리고 기판 위에 집적되어 있고, 제1 스테이지 및 제2 스테이지를 포함하고, 그리고 상기 표시 영역에 게이트 전압을 인가하는 게이트 구동부를 포함하고, 제1 클록 신호와 제1 클록바 신호는 위상이 서로 반대되는 신호이고, 제2 클록바 신호는 상기 제1 클록바 신호보다 늦게 상기 게이트 구동부로 인가되고, 상기 제1 스테이지는 상기 제1 클록 신호와 제1 전달 신호에 기초하여 상기 게이트 전압을 방전시키고, 그리고 상기 제2 스테이지는 상기 제2 클록바 신호에 기초하여 상기 제1 전달 신호를 출력한다.

- [0008] 상기 제1 스테이지는 풀다운 구동부를 포함할 수 있고, 상기 풀다운 구동부는 다이오드 연결되어 있는 트랜지스터를 포함하지 않을 수 있다.
- [0009] 상기 제1 스테이지는 풀다운 구동부를 포함할 수 있고, 상기 풀다운 구동부는 다이오드 연결되어 있는 트랜지스터를 포함할 수 있다.
- [0010] 상기 제1 스테이지 및 상기 제2 스테이지는 산화물 반도체를 포함할 수 있다.
- [0011] 상기 제1 스테이지 및 상기 제2 스테이지는 비정질 실리콘을 포함할 수 있다.
- [0012] 상기 제1 스테이지는 제1 저전압과 상기 제1 저전압보다 낮은 제2 저전압을 입력 받을 수 있고, 상기 제1 스테이지 및 상기 제2 스테이지와 다른 두 개의 스테이지들로부터 각각 제2 전달 신호 및 제3 전달 신호를 입력 받을 수 있고, 그리고 상기 게이트 전압은 상기 제1 저전압일 수 있다.
- [0013] 상기 제1 전달 신호가 로우 레벨일 때의 전압은 상기 제2 저전압일 수 있다.
- [0014] 상기 제1 클록 신호의 주기는 T일 수 있고, 그리고 상기 제2 클록바 신호는 상기 제1 클록바 신호보다 T/4만큼 늦게 상기 게이트 구동부로 인가될 수 있다.
- [0015] 상기 제1 스테이지는 입력부, 풀업 구동부, 풀다운 구동부, 출력부, 그리고 전달 신호 생성부를 포함할 수 있다.
- [0016] 상기 입력부, 상기 풀다운 구동부, 상기 출력부, 상기 전달 신호 생성부는 제1 노드에 연결되어 있을 수 있다.
- [0017] 상기 풀업 구동부 및 상기 풀다운 구동부는 제2 노드에 연결되어 있을 수 있다.
- [0018] 본 발명의 한 실시예에 따른 표시 패널은 표시 영역, 그리고 기관 위에 집적되어 있고, 복수의 스테이지를 포함하고, 그리고 상기 표시 영역에 게이트 전압을 인가하는 게이트 구동부를 포함하고, 제1 클록 신호와 제1 클록바 신호는 위상이 서로 반대되는 신호이고, 제2 클록 신호와 제2 클록바 신호는 위상이 서로 반대되는 신호이고, 상기 제2 클록바 신호는 상기 제1 클록바 신호보다 늦게 상기 게이트 구동부로 인가되고, 그리고 상기 복수의 스테이지는 상기 제1 클록 신호를 입력받고 제1 전달 신호를 출력하는 제1 스테이지, 상기 제2 클록 신호를 입력받고 제2 전달 신호를 출력하는 제2 스테이지, 상기 제1 클록바 신호를 입력받고 제3 전달 신호를 출력하는 제3 스테이지, 그리고 상기 제2 클록바 신호를 입력받고 제4 전달 신호를 출력하는 제4 스테이지를 포함한다.
- [0019] 상기 제1 스테이지의 제1 입력 단자 및 상기 제2 스테이지의 제1 입력 단자는 스캔 개시 신호를 입력 받을 수 있고, 상기 제3 스테이지의 제1 입력 단자는 상기 제1 전달 신호를 입력 받을 수 있고, 그리고 상기 제4 스테이지의 제1 입력 단자는 상기 제2 전달 신호를 입력 받을 수 있다.
- [0020] 상기 복수의 스테이지는 상기 제1 클록 신호를 입력받고 제5 전달 신호를 출력하는 제5 스테이지, 상기 제2 클록 신호를 입력받고 제6 전달 신호를 출력하는 제6 스테이지, 상기 제1 클록바 신호를 입력받고 제7 전달 신호를 출력하는 제7 스테이지, 그리고 상기 제2 클록바 신호를 입력받고 제8 전달 신호를 출력하는 제8 스테이지를 더 포함할 수 있다.
- [0021] 상기 제1 스테이지의 제2 입력 단자는 상기 제4 전달 신호를 입력 받을 수 있고, 상기 제2 스테이지의 제2 입력 단자는 상기 제5 전달 신호를 입력 받을 수 있고, 상기 제3 스테이지의 제2 입력 단자는 상기 제6 전달 신호를 입력 받을 수 있고, 그리고 상기 제4 스테이지의 제2 입력 단자는 상기 제7 전달 신호를 입력 받을 수 있다.
- [0022] 상기 제1 스테이지의 제3 입력 단자는 상기 제5 전달 신호를 입력 받을 수 있고, 상기 제2 스테이지의 제3 입력 단자는 상기 제6 전달 신호를 입력 받을 수 있고, 상기 제3 스테이지의 제3 입력 단자는 상기 제7 전달 신호를 입력 받을 수 있고, 그리고 상기 제4 스테이지의 제3 입력 단자는 상기 제8 전달 신호를 입력 받을 수 있다.
- [0023] 상기 제1 스테이지 내지 상기 제4 스테이지는 각각 제1 저전압을 입력 받는 제1 전압 입력 단자 및 상기 제1 저전압보다 낮은 제2 저전압을 입력 받는 제2 전압 입력 단자를 포함할 수 있다.
- [0024] 상기 제1 스테이지 내지 상기 제4 스테이지는 각각 제1 게이트 전압 내지 제4 게이트 전압을 상기 표시 영역에 인가할 수 있다.
- [0025] 본 발명의 한 실시예에 따른 표시 패널은 표시 영역, 그리고 기관 위에 집적되어 있고, 게이트 전압을 출력하는 구동 트랜지스터를 포함하고, 그리고 상기 표시 영역에 상기 게이트 전압을 인가하는 게이트 구동부를

포함하고, 제1 클록 신호와 제1 클록바 신호는 위상이 서로 반대되는 신호이고, 제2 클록바 신호는 상기 제1 클록바 신호보다 늦게 상기 게이트 구동부로 인가되고, 상기 구동 트랜지스터는 상기 제1 클록 신호를 입력 받고, 상기 구동 트랜지스터의 제어 단자는 상기 제2 클록바 신호에 의해 방전된다.

- [0026] 상기 게이트 구동부는 상기 구동 트랜지스터의 제어 단자의 방전을 더디게 하는 다이오드 연결 트랜지스터(diode-connected transistor)를 포함하지 않을 수 있다.
- [0027] 상기 구동 트랜지스터는 산화물 반도체를 포함할 수 있다.
- [0028] 상기 구동 트랜지스터는 비정질 실리콘을 포함할 수 있다.
- [0029] 상기 게이트 구동부는 상기 구동 트랜지스터의 제어 단자의 방전을 더디게 하는 다이오드 연결 트랜지스터를 포함하지 않을 수 있다.
- [0030] 상기 구동 트랜지스터 및 상기 다이오드 연결 트랜지스터는 산화물 반도체를 포함할 수 있다.
- [0031] 상기 구동 트랜지스터 및 상기 다이오드 연결 트랜지스터는 비정질 실리콘을 포함할 수 있다.

발명의 효과

- [0032] 본 발명에 따른 한 실시예는 게이트 구동부의 게이트 온 전압의 하강 특성을 개선할 수 있고, 화소에 올바른 데이터 전압을 인가할 수 있으며, 게이트 구동부의 면적을 줄일 수 있으며, 표시 영역의 활용도를 높일 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 한 실시예에 따른 표시 패널의 평면도이다.
- 도 2는 본 발명의 한 실시예에 따른 게이트 구동부 및 게이트선을 구체화하여 도시한 블록도이다.
- 도 3은 본 발명의 한 실시예에 따른 클록 신호의 파형도이다.
- 도 4는 본 발명의 한 실시예에 따른 하나의 스테이지 및 하나의 게이트선을 확대하여 도시한 회로도이다.
- 도 5는 본 발명의 한 실시예에 따른 하나의 스테이지 및 하나의 게이트선을 확대하여 도시한 회로도이다.
- 도 6A는 본 발명의 한 실시예에 따른 Q 노드와 게이트 전압의 신호 파형도이고, 도 6B는 종래 기술에 따른 Q 노드와 게이트 전압의 신호 파형도이다.
- 도 7은 본 발명의 한 실시예 및 종래 기술에 따른 게이트 전압의 신호 파형도이다.
- 도 8은 본 발명의 한 실시예 및 종래 기술에 따른 게이트 전압의 신호 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대해 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 도면부호가 사용되었다. 또한 널리 알려져 있는 공지기술의 경우 그 구체적인 설명은 생략한다.
- [0035] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0036] 도 1은 본 발명의 한 실시예에 따른 표시 장치의 평면도이다.
- [0037] 도 1을 참고하면, 본 발명의 한 실시예에 따른 표시 패널(100)은 화상을 표시하는 표시 영역(300), 게이트선(G1-Gn)에 게이트 전압을 인가하는 게이트 구동부(500), 그리고 데이터선(D1-Dm)에 데이터 전압을 인가하는 데이터 드라이버 IC(460)를 포함한다. 데이터 드라이버 IC(460)는 표시 패널(100)에 부착된 가요성 인쇄 회로막

(FPC; flexible printed circuit film; 450)의 위에 위치한다. 게이트 구동부(500) 및 데이터 드라이버 IC(460)는 신호 제어부(600)에 의하여 제어된다. 가요성 인쇄 회로막(450)의 외측에는 인쇄 회로 기판(PCB; printed circuit board)이 형성되어 신호 제어부(600)로부터의 신호를 데이터 드라이버 IC(460) 및 게이트 구동부(500)로 전달한다. 신호 제어부(600)로부터 제공되는 신호는 클록 신호(CKV1, CKVB1, CKV2, CKVB2), 스캔 개시 신호(STVP) 등의 신호와 특정 레벨의 저 전압(Vss1, Vss2)을 제공하는 신호를 포함한다.

[0038] 이하에서는 표시 패널이 액정 표시 패널인 경우를 예로 들어 설명하지만, 표시 패널은 액정 표시 패널에 한정되지 않으며, 유기 발광 표시 패널, 플라즈마 표시 패널, 전기 영동 표시 패널 등일 수 있다. 액정 표시 패널에서 표시 영역(300)은 박막 트랜지스터(Trsw), 액정 커패시터(liquid crystal capacitor)(Clc), 그리고 유지 커패시터(storage capacitor)(Cst)를 포함할 수 있다. 유기 발광 표시 패널에서 표시 영역(300)은 박막 트랜지스터, 그리고 유기 발광 다이오드를 포함할 수 있다. 다른 종류의 표시 패널에서 표시 영역(300)은 박막 트랜지스터 등의 소자를 포함할 수 있다.

[0039] 표시 영역(300)은 화소, 게이트선(G1-Gn), 그리고 데이터선(D1-Dm)을 포함한다. 게이트선(G1-Gn)과 데이터선(D1-Dm)은 절연되어 교차되어 있다.

[0040] 화소는 박막 트랜지스터(Trsw), 액정 커패시터(Clc), 그리고 유지 커패시터(Cst)를 포함할 수 있다. 유지 커패시터(Cst)는 생략될 수 있다. 박막 트랜지스터(Trsw)의 제어 단자는 게이트선에 연결되어 있으며, 박막 트랜지스터(Trsw)의 입력 단자는 데이터선에 연결되어 있으며, 그리고 박막 트랜지스터(Trsw)의 출력 단자는 액정 커패시터(Clc)의 일측 단자 및 유지 커패시터(Cst)의 일측 단자에 연결되어 있다. 액정 커패시터(Clc)의 타측 단자는 공통 전극에 연결되어 있으며, 유지 커패시터(Cst)의 타측 단자는 신호 제어부(600)로부터 인가되는 유지 전압(Vcst)을 인가 받는다.

[0041] 데이터선(D1-Dm)은 데이터 드라이버 IC(460)로부터 데이터 전압을 인가 받으며, 게이트선(G1-Gn)은 게이트 구동부(500)로부터 게이트 전압을 인가 받는다.

[0042] 데이터 드라이버 IC(460)는 표시 패널(100)의 상측 또는 하측에 위치할 수 있다. 데이터 드라이버 IC(460)는 열 방향으로 연장되어 있는 데이터선(D1-Dm)에 연결되어 있다.

[0043] 게이트 구동부(500)는 클록 신호(CKV1, CKVB1, CKV2, CKVB2), 스캔 개시 신호(STVP), 제1 저전압(Vss1), 그리고 제2 저전압(Vss2)을 인가 받아서 게이트 전압을 생성하고, 게이트선(G1-Gn)에 순차적으로 게이트 온 전압을 인가한다. 제1 저전압(Vss1)은 게이트 오프 전압일 수 있으며, 제2 저전압은 게이트 오프 전압보다 낮은 전압일 수 있다. 게이트 전압은 게이트 온 전압과 게이트 오프 전압을 포함한다.

[0044] 게이트 구동부(500)로 인가되는 클록 신호(CKV1, CKVB1, CKV2, CKVB2), 스캔 개시 신호(STVP), 제1 저전압(Vss1), 그리고 제2 저전압(Vss2)을 인가하는 신호선들은 표시 패널(100)의 외곽에 위치한다. 클록 신호(CKV1, CKVB1, CKV2, CKVB2), 스캔 개시 신호(STVP), 제1 저전압(Vss1), 그리고 제2 저전압(Vss2)은 외부 또는 신호 제어부(600)로부터 인쇄 회로 기판(400)을 통하여 가요성 인쇄 회로막(450)으로 전달된다.

[0045] 도 2는 본 발명의 한 실시예에 따른 게이트 구동부 및 게이트선을 구체화하여 도시한 블록도이다.

[0046] 도 2를 참고하면, 표시 영역(300)은 저항(Rp)과 커패시터(Cp)를 포함한다. 게이트선(G1-Gn), 액정 커패시터(Clc), 그리고 유지 커패시터(Cst)는 저항(Rp) 및 커패시터(Cp)로 표시될 수 있다. 스테이지(SR)에서 출력된 게이트 전압은 게이트선(G1-Gn)을 통하여 전달된다.

[0047] 게이트 구동부(500)는 서로 종속적으로 연결된 다수의 스테이지(SR1, SR2, SR3, SR4, SR5)를 포함한다. 각 스테이지(SR1, SR2, SR3, SR4, SR5)는 제1 내지 제3 입력 단자(IN1, IN2, IN3), 하나의 클록 입력 단자(CK), 두 개의 전압 입력 단자(Vin1, Vin2), 게이트 전압을 출력하는 게이트 전압 출력 단자(OUT), 그리고 전달 신호 출력 단자(CRout)를 포함한다. 각 스테이지(SR1, SR2, SR3, SR4, SR5)는 트랜지스터를 포함하고, 트랜지스터는 비정질 실리콘(amorphous silicon), 산화물 반도체(oxide semiconductor) 등을 포함할 수 있다. 산화물 반도체는 아연(Zn), 인듐(In), Ga(갈륨), 주석(Sn), 하프늄(Hf) 등이 적어도 하나 이상 포함되는 산화물일 수 있다. 예를 들어, 산화물 반도체는 GIZO(G는 갈륨, I는 인듐, Z는 아연, O는 산소), XIZO(X는 하프늄, I는 인듐, Z는 아연, O는 산소) 등이 사용될 수 있다.

[0048] 게이트 구동부(500)는 더미 스테이지(dummy stage)를 추가로 포함할 수 있다. 정상 스테이지(SR1, SR2, SR3, SR4, SR5)에서 출력된 게이트 전압은 게이트선으로 전달되고, 데이터 전압이 화소에 인가되어 화상이 표시된다. 더미 스테이지(도시하지 않음)는 게이트선에 연결되어 있지 않을 수 있다. 더미 스테이지가 게이트선에 연결되

어 있더라도, 더미 스테이지는 화상을 표시하지 않는 더미 화소(dummy pixel)(도시하지 않음)의 게이트선에 연결되어 있으므로, 화상이 표시되지 않을 수 있다.

- [0049] 해당 스테이지의 제1 내지 제3 입력 단자(IN1, IN2, IN3)에는 다른 스테이지로부터 출력되는 전달 신호가 입력된다.
- [0050] n번째 스테이지의 제1 입력 단자(IN1)에는 (n-2)번째 스테이지의 전달 신호가 입력된다(n은 자연수). 예를 들어, 제3 스테이지(SR3)의 제1 입력 단자(IN1)에는 제1 스테이지(SR1)의 전달 신호가 입력되고, 제4 스테이지(SR4)의 제1 입력 단자(IN1)에는 제2 스테이지(SR2)의 전달 신호가 입력되고, 제5 스테이지(SR5)의 제1 입력 단자(IN1)에는 제3 스테이지(SR3)의 전달 신호가 입력된다. 하지만, 제1 스테이지(SR1)의 제1 입력 단자(IN1)와 제2 스테이지(SR2)의 제1 입력 단자(IN1)에는 스캔 개시 신호(STVP)가 입력된다.
- [0051] n번째 스테이지의 제2 입력 단자(IN2)에는 (n+3)번째 스테이지의 전달 신호가 입력된다(n은 자연수). 예를 들어, 제1 스테이지(SR1)의 제2 입력 단자(IN2)에는 제4 스테이지(SR4)의 전달 신호가 입력되고, 제2 스테이지(SR2)의 제2 입력 단자(IN2)에는 제5 스테이지(SR5)의 전달 신호가 입력되고, 제3 스테이지(SR3)의 제2 입력 단자(IN2)에는 제6 스테이지(SR6)의 전달 신호가 입력되고, 제4 스테이지(SR4)의 제2 입력 단자(IN2)에는 제7 스테이지(SR7)의 전달 신호가 입력되고, 제5 스테이지(SR5)의 제2 입력 단자(IN2)에는 제8 스테이지(SR8)의 전달 신호가 입력된다.
- [0052] n번째 스테이지의 제3 입력 단자(IN3)에는 (n+4)번째 스테이지의 전달 신호가 입력된다(n은 자연수). 예를 들어, 제1 스테이지(SR1)의 제3 입력 단자(IN3)에는 제5 스테이지(SR5)의 전달 신호가 입력되고, 제2 스테이지(SR2)의 제3 입력 단자(IN3)에는 제6 스테이지(SR6)의 전달 신호가 입력되고, 제3 스테이지(SR3)의 제3 입력 단자(IN3)에는 제7 스테이지(SR7)의 전달 신호가 입력되고, 제4 스테이지(SR4)의 제3 입력 단자(IN3)에는 제8 스테이지(SR8)의 전달 신호가 입력되고, 제5 스테이지(SR5)의 제3 입력 단자(IN3)에는 제9 스테이지(SR9)의 전달 신호가 입력된다.
- [0053] 클록 입력 단자(CK)에는 클록 신호(CKV1, CKVB1, CKV2, CKVB2)가 인가된다. (4n-3)번째 스테이지의 클록 단자에는 제1 클록 신호(CKV1)가 입력되고, (4n-2)번째 스테이지의 클록 단자에는 제1 클록바 신호(clock bar signal)(CKVB1)가 입력되고, (4n-1)번째 스테이지의 클록 단자에는 제2 클록 신호(CKV2)가 입력되고, (4n)번째 스테이지의 클록 단자에는 제2 클록바 신호(CKVB2)가 입력된다(n은 자연수). 제1 클록 신호(CKV1)와 제1 클록바 신호(CKVB1)는 서로 위상이 반대되는 클록 신호이고, 제2 클록 신호(CKV2)와 제2 클록바 신호(CKVB2)는 서로 위상이 반대되는 클록 신호이다.
- [0054] 제1 전압 입력 단자(Vin1)에는 제1 저전압(Vss1)이 인가되며, 제2 전압 입력 단자(Vin2)에는 제2 저전압(Vss2)이 인가된다. 예를 들어, 제1 저전압(Vss1)은 -5 V일 수 있으며, 제2 저전압(Vss2)은 -10 V일 수 있으며, 특별히 이에 한정되지 않는다.
- [0055] 임의의 스테이지는 클록 신호(CKV1, CKVB1, CKV2, CKVB2), 제1 저전압(Vss1), 제2 저전압(Vss2)를 입력 받아, 게이트선으로 게이트 전압을 출력하고, 다른 스테이지로 전달 신호를 전달한다. 제1 스테이지(SR1)와 제2 스테이지(SR2)는 스캔 개시 신호(STVP)도 입력 받는다.
- [0056] 예를 들어, 제1 스테이지(SR1)는 클록 입력 단자(CK)를 통해 외부로부터 제공되는 제1 클록 신호(CKV1)를, 제1 입력 단자(IN1)를 통해 스캔 개시 신호(STVP)를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)를 통해 제1 및 제2 저전압(Vss1, Vss2)을, 그리고 제2 및 제3 입력 단자(IN2, IN3)를 통해 제4 스테이지(SR4) 및 제5 스테이지(SR5)로부터 각각 제공되는 전달 신호를 입력 받은 후, 게이트 전압 출력 단자(OUT)를 통하여 제1 게이트선(G1)으로 게이트 전압을 출력한다. 제1 스테이지(SR1)는 전달 신호 출력 단자(CRout)로부터 전달 신호를 출력한 후, 제3 스테이지(SR3)의 제1 입력 단자(IN1)로 전달한다.
- [0057] 제2 스테이지(SR2)는 클록 입력 단자(CK)를 통해 외부로부터 제공되는 제2 클록 신호(CKV2)를, 제1 입력 단자(IN1)를 통해 스캔 개시 신호(STVP)를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)를 통해 제1 및 제2 저전압(Vss1, Vss2)을, 그리고 제2 및 제3 입력 단자(IN2, IN3)를 통해 제5 스테이지(SR5) 및 제6 스테이지(SR6)로부터 각각 제공되는 전달 신호를 입력 받은 후, 게이트 전압 출력 단자(OUT)를 통하여 제2 게이트선(G2)으로 게이트 전압을 출력한다. 제2 스테이지(SR2)는 전달 신호 출력 단자(CRout)로부터 전달 신호를 출력하여 제4 스테이지(SR4)의 제1 입력 단자(IN1)로 전달한다.
- [0058] 제3 스테이지(SR3)는 클록 입력 단자(CK)를 통해 외부로부터 제공되는 제1 클록바 신호(CKVB1)를, 제1 입력 단자(IN1)를 통해 제1 스테이지(SR1)로부터 제공되는 전달 신호를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)를 통

해 제1 및 제2 저전압(Vss1, Vss2)을, 그리고 제2 및 제3 입력 단자(IN2, IN3)를 통해 제6 스테이지(SR6) 및 제7 스테이지(SR7)로부터 각각 제공되는 전달 신호를 입력 받은 후, 게이트 전압 출력 단자(OUT)를 통하여 제3 게이트선(G3)으로 게이트 전압을 출력한다. 제3 스테이지(SR3)는 전달 신호 출력 단자(CRout)로부터 전달 신호를 출력하여 제5 스테이지(SR5)의 제1 입력 단자(IN1)로 전달한다.

[0059] 제4 스테이지(SR4)는 클록 입력 단자(CK)를 통해 외부로부터 제공되는 제2 클록바 신호(CKVB2)를, 제1 입력 단자(IN1)를 통해 제2 스테이지(SR2)로부터 제공되는 전달 신호를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)를 통해 제1 및 제2 저전압(Vss1, Vss2)을, 그리고 제2 및 제3 입력 단자(IN2, IN3)를 통해 제7 스테이지(SR7) 및 제8 스테이지(SR8)로부터 각각 제공되는 전달 신호를 입력 받은 후, 게이트 전압 출력 단자(OUT)를 통하여 제4 게이트선(G4)으로 게이트 전압을 출력한다. 제4 스테이지(SR4)는 전달 신호 출력 단자(CRout)로부터 전달 신호를 출력하여 제6 스테이지(SR6)의 제1 입력 단자(IN1) 및 제1 스테이지(SR1)의 제2 입력 단자(IN2)로 전달한다.

[0060] 제5 스테이지(SR5)는 클록 입력 단자(CK)를 통해 외부로부터 제공되는 제1 클록 신호(CKV1)를, 제1 입력 단자(IN1)를 통해 제3 스테이지(SR3)로부터 제공되는 전달 신호를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)를 통해 제1 및 제2 저전압(Vss1, Vss2)을, 그리고 제2 및 제3 입력 단자(IN2, IN3)를 통해 제8 스테이지(SR8) 및 제9 스테이지(SR9)로부터 각각 제공되는 전달 신호를 입력 받은 후, 게이트 전압 출력 단자(OUT)를 통하여 제5 게이트선(G5)으로 게이트 전압을 출력한다. 제5 스테이지(SR5)는 전달 신호 출력 단자(CRout)로부터 전달 신호를 출력하여 제7 스테이지(SR7)의 제1 입력 단자(IN1), 제2 스테이지(SR1)의 제2 입력 단자(IN2), 그리고 제1 스테이지(SR1)의 제3 입력 단자(IN3)로 전달한다.

[0061] 도 3은 본 발명의 한 실시예에 따른 클록 신호의 파형도이다.

[0062] 도 3을 참고하면, 제2 클록 신호(CKV2)의 온 펄스(on-pulse)는 제1 클록 신호(CKV1)의 온 펄스보다 늦게 인가되고, 제2 클록바 신호(CKVB2)의 온 펄스는 제1 클록바 신호(CKVB1)의 온 펄스보다 늦게 인가된다. 즉, 제2 클록 신호(CKV2)의 상승 시간(rising time)은 제1 클록 신호(CKV1)의 상승 시간보다 늦고, 제2 클록바 신호(CKVB2)의 상승 시간은 제1 클록바 신호(CKVB1)의 상승 시간보다 늦다. 제1 클록 신호(CKV1)를 입력 받는 스테이지는 제2 클록바 신호(CKVB2)에 의해 구동되는 스테이지로부터 전달 신호를 받기 때문에, 제1 클록바 신호(CKVB1)에 의해 구동되는 스테이지로부터 전달 신호를 받는 경우보다 게이트선으로 인가되는 게이트 온 전압의 하강 특성이 개선될 수 있으며, 화소에 올바른 데이터 전압이 인가될 수 있다. 제1 클록 신호(CKV1)와 제1 클록바 신호(CKVB1)는 서로 위상이 반대되는 클록 신호이고, 제2 클록 신호(CKV2)와 제2 클록바 신호(CKVB2)는 서로 위상이 반대되는 클록 신호이다.

[0063] 예를 들어, 제1 클록 신호(CKV1)와 제1 클록바 신호(CKVB1)의 주기를 T라고 할 때, 제2 클록 신호(CKV2)의 온 펄스는 제1 클록 신호(CKV1)의 온 펄스보다 T/4 늦게 인가될 수 있고, 제2 클록바 신호(CKVB2)의 온 펄스는 제1 클록바 신호(CKVB1)의 온 펄스보다 T/4 늦게 인가될 수 있다.

[0064] 도 4는 본 발명의 한 실시예에 따른 하나의 스테이지 및 하나의 게이트선을 확대하여 도시한 회로도이고, 도 5는 본 발명의 한 실시예에 따른 하나의 스테이지 및 하나의 게이트선을 확대하여 도시한 회로도이다.

[0065] 도 4 및 도 5를 참고하면, 게이트 구동부(500)의 스테이지(SR)는 입력부(511), 풀업 구동부(512), 전달 신호 생성부(513), 출력부(514), 그리고 풀다운 구동부(515)를 포함한다.

[0066] 입력부(511)는 제4 트랜지스터(Tr4)를 포함하며, 제4 트랜지스터(Tr4)의 입력 단자 및 제어 단자는 제1 입력 단자(IN1)에 공통 연결(다이오드 연결)되어 있다. 제4 트랜지스터(Tr4)의 출력 단자는 Q 접점(이하 제1 노드라고도 함)에 연결되어 있다. 입력부(511)는 제1 입력 단자(IN1)로 하이 레벨(high level)의 전압이 인가되는 경우 이 전압을 Q 접점으로 전달한다.

[0067] 풀업 구동부(512)는 제7 트랜지스터(Tr7)와 제12 트랜지스터(Tr12)를 포함한다. 제12 트랜지스터(Tr12)의 제어 단자와 입력 단자는 공통 연결되어 클록 입력 단자(CK)를 통하여 클록 신호(CKV1, CKVB1, CKV2, CKVB2) 중 하나를 입력 받는다. 제12 트랜지스터(Tr12)의 출력 단자는 제7 트랜지스터(Tr7)의 제어 단자 및 풀다운 구동부(515)에 연결되어 있다. 제7 트랜지스터(Tr7)의 입력 단자도 클록 입력 단자(CK)에 연결되어 있으며, 출력 단자가 Q' 접점(이하 제2 노드라고도 함)에 연결되어 있으며, Q' 접점과 풀다운 구동부(515)에 연결되어 있다. 제7 트랜지스터(Tr7)의 제어 단자는 제12 트랜지스터(Tr12)의 출력 단자 및 풀다운 구동부(515)에 연결되어 있다. 제7 트랜지스터(Tr7)의 입력 단자와 제어 단자의 사이 및 제어 단자와 출력 단자 사이에는 각각 기생 커패시터(도시하지 않음)가 형성되어 있을 수 있다. 풀업 구동부(512)는 클록 입력 단자(CK)에서 하이 레벨의 신호가 인가되면, 하이 레벨의 신호가 제12 트랜지스터(Tr12)를 통하여 제7 트랜지스터(Tr7)의 제어 단자 및 풀다운

구동부(515)로 전달된다. 제7 트랜지스터(Tr7)로 전달된 하이 레벨의 신호는 제7 트랜지스터(Tr7)를 턴 온 시키므로, 클록 입력 단자(CK)에서 인가된 하이 레벨의 신호를 Q' 접점으로 인가한다.

[0068] 전달 신호 생성부(513)는 제15 트랜지스터(Tr15)를 포함한다. 제15 트랜지스터(Tr15)의 입력 단자에는 클록 입력 단자(CK)가 연결되어 클록 신호(CKV1, CKVB1, CKV2, CKVB2) 중 하나가 입력된다. 제15 트랜지스터(Tr15)의 제어 단자는 입력부(511)의 출력에 해당하는 Q 접점에 연결되어 있고, 제15 트랜지스터(Tr15)의 출력 단자는 전달 신호를 출력하는 전달 신호 출력 단자(CRout)에 연결되어 있다. 제15 트랜지스터(Tr15)의 제어 단자와 출력 단자 사이에는 기생 커패시터(도시하지 않음)가 형성되어 있을 수 있다. 제15 트랜지스터(Tr15)의 출력 단자는 풀다운 구동부(515)에 연결되어 있으므로, 제2 저전압(Vss2)을 인가 받는다. 따라서, 전달 신호가 로우(low) 레벨일 때의 전압은 제2 저전압(Vss2)이다.

[0069] 출력부(514)는 제1 트랜지스터(Tr1) 및 제1 커패시터(C1)를 포함한다. 제1 트랜지스터(Tr1)는 구동 트랜지스터(driving transistor)라고도 한다. 제1 트랜지스터(Tr1)의 제어 단자는 Q 접점에 연결되어 있고, 제1 트랜지스터(Tr1)의 입력 단자는 클록 입력 단자(CK)를 통하여 클록 신호(CKV1, CKVB1, CKV2, CKVB2) 중 하나를 입력 받는다. 제1 트랜지스터(Tr1)의 출력 단자는 게이트 전압 출력 단자(OUT)에 연결되어 있다. 제1 트랜지스터(Tr1)의 제어 단자와 출력 단자 사이에는 제1 커패시터(C1)가 형성되며, 출력 단자는 게이트 전압 출력 단자(OUT)와 연결되어 있다. 제1 트랜지스터(Tr1)의 출력 단자는 또한 풀다운 구동부(515)에 연결되어 있으므로 제1 저전압(Vss1)을 인가 받는다. 따라서, 게이트 오프 전압의 전압은 제1 저전압(Vss1)이다. 출력부(514)는 Q 접점에서의 전압 및 클록 신호(CKV1, CKVB1, CKV2, CKVB2) 중 하나에 따라 게이트 전압을 출력한다. 제1 트랜지스터(Tr1)는 제1 클록 신호(CKV1)를 입력 받으며, 제1 트랜지스터(Tr1)의 제어 단자는 제2 클록바 신호(CKVB2)에 의해 방전된다. 이에 따라, 게이트선으로 인가되는 게이트 온 전압의 하강 특성이 개선될 수 있으며, 화소에 올바른 데이터 전압이 인가될 수 있다.

[0070] 풀다운 구동부(515)는 스테이지(SR) 상에 존재하는 전하를 제거하여 게이트 오프 전압 및 전달 신호의 로우 레벨 전압이 원활하게 출력되도록 한다. 예를 들어, 풀다운 구동부(515)는 Q 접점의 전위를 낮출 수 있고, Q' 접점의 전위를 낮출 수 있고, 전달 신호로 출력되는 전압을 낮출 수 있고, 그리고 게이트선으로 출력되는 전압을 낮출 수 있다. 풀다운 구동부(515)는 제2 트랜지스터(Tr2), 제3 트랜지스터(Tr3), 제5 트랜지스터(Tr5), 제6 트랜지스터(Tr6), 제8 트랜지스터(Tr8) 내지 제11 트랜지스터(Tr11), 제13 트랜지스터(Tr13), 그리고 제16 트랜지스터(Tr16)를 포함한다.

[0071] 풀다운 구동부(515)에서 Q 접점을 풀다운시키는 트랜지스터는 제6 트랜지스터(Tr6), 제9 트랜지스터(Tr9), 제10 트랜지스터(Tr10), 그리고 제16 트랜지스터(Tr16)이다.

[0072] 제6 트랜지스터(Tr6)의 제어 단자는 제3 입력 단자(IN3)에 연결되어 있고, 제6 트랜지스터(Tr6)의 출력 단자는 제2 전압 입력 단자(Vin2)에 연결되어 있으며, 제6 트랜지스터(Tr6)의 입력 단자는 Q 접점에 연결되어 있다. 그러므로 제6 트랜지스터(Tr6)는 제3 입력 단자(IN3)를 통해 인가되는 전달 신호에 따라 턴온되어, Q 접점의 전압을 제2 저전압(Vss2)으로 낮출 수 있다.

[0073] 제9 트랜지스터(Tr9) 및 제16 트랜지스터(Tr16)는 함께 동작하여 Q 접점을 풀다운시킨다. 제9 트랜지스터(Tr9)의 제어 단자는 제2 입력 단자(IN2)에 연결되어 있고, 제9 트랜지스터(Tr9)의 입력 단자는 Q 접점에 연결되어 있으며, 제9 트랜지스터(Tr9)의 출력 단자는 제16 트랜지스터(Tr16)의 입력 단자 및 제어 단자에 연결되어 있다. 제16 트랜지스터(Tr16)는 제어 단자 및 입력 단자가 제9 트랜지스터(Tr9)의 출력 단자와 연결(다이오드 연결)되어 있다. 제16 트랜지스터(Tr16)는 다이오드 연결 트랜지스터(diode-connected transistor)라고도 하며, 제16 트랜지스터(Tr16)은 제1 트랜지스터의 제어 단자의 방전을 더디게 한다. 제16 트랜지스터(Tr16)의 출력 단자는 제2 전압 입력 단자(Vin2)에 연결되어 있다. 그러므로 제9 트랜지스터(Tr9) 및 제16 트랜지스터(Tr16)는 제2 입력 단자(IN2)를 통해 인가되는 전달 신호에 따라 턴온되어, Q 접점의 전압을 제2 저전압(Vss2)으로 낮출 수 있다.

[0074] 도 5를 참고하면, 다이오드 연결되어 있는 제16 트랜지스터(Tr16)는 생략될 수 있다. 다시 말하면, 제9 트랜지스터(Tr9)의 출력 단자는 제2 전압 입력 단자(Vin2)에 직접 연결되어 있을 수 있다. 제16 트랜지스터(Tr16)가 산화물 반도체를 포함하는 경우는 비정질 실리콘을 포함하는 경우보다 제16 트랜지스터(Tr16)의 전류 특성이 개선되므로, Q 접점의 전압을 제2 저전압(Vss2)으로 낮출 수 있는 정도가 줄어들 수 있고, 결국 제16 트랜지스터(Tr16)의 역할이 약해질 수 있다. 따라서, 스테이지(SR)에서 제16 트랜지스터(Tr16)를 생략함으로써, 게이트 구동부(500)의 면적을 줄일 수 있으며, 표시 영역(300)의 활용도를 높일 수 있다.

- [0075] 제10 트랜지스터(Tr10)의 입력 단자는 Q 접점과 연결되어 있고, 제10 트랜지스터(Tr10)의 출력 단자는 제2 전압 입력 단자(Vin2)에 연결되어 있으며, 제10 트랜지스터(Tr10)의 제어 단자는 Q' 접점(Q 접점의 전압과 반대 위상을 가져 반전단이라고도 함)에 연결되어 있다. 그러므로 제10 트랜지스터(Tr10)는 Q' 접점이 하이 레벨의 전압을 가지는 일반적인 구간에서는 계속 Q 접점의 전압을 제2 저전압(Vss2)으로 낮추고 있으며, Q' 접점이 로우 레벨의 전압을 가지는 때에만 Q 접점의 전압을 낮추지 않는다. Q 접점의 전압이 낮추어 지지 않는 때에 해당 스테이지는 게이트 온 전압 및 전달 신호를 출력한다.
- [0076] 풀다운 구동부(515)에서 Q' 접점을 풀다운시키는 트랜지스터는 제5 트랜지스터(Tr5), 제8 트랜지스터(Tr8), 그리고 제13 트랜지스터(Tr13)이다.
- [0077] 제5 트랜지스터(Tr5)의 제어 단자는 제1 입력 단자(IN1)에 연결되어 있고, 제5 트랜지스터(Tr5)의 입력 단자는 Q' 접점에 연결되어 있으며, 제5 트랜지스터(Tr5)의 출력 단자는 제2 전압 입력 단자(Vin2)에 연결되어 있다. 따라서, 제5 트랜지스터(Tr5)는 제1 입력 단자(IN1)를 통해 입력되는 전달 신호에 따라 Q' 접점의 전압을 제2 저전압(Vss2)으로 낮출 수 있다.
- [0078] 제8 트랜지스터(Tr8)의 제어 단자는 본단 스테이지의 전달 신호 출력 단자(CRout)에 연결되어 있고, 제8 트랜지스터(Tr8)의 입력 단자는 Q' 접점에 연결되어 있고, 제8 트랜지스터(Tr8)의 출력 단자는 제2 전압 입력 단자(Vin2)에 연결되어 있다. 따라서, 제8 트랜지스터(Tr8)는 본단 스테이지의 전달 신호에 따라 Q' 접점의 전압을 제2 저전압(Vss2)으로 낮출 수 있다.
- [0079] 제13 트랜지스터(Tr13)의 제어 단자는 본단 스테이지의 전달 신호 출력 단자(CRout)에 연결되어 있고, 제13 트랜지스터(Tr13)의 입력 단자는 풀업 구동부(512)의 제12 트랜지스터(Tr12)의 출력 단자에 연결되어 있고, 제13 트랜지스터(Tr13)의 출력 단자는 제2 전압 입력 단자(Vin2)에 연결되어 있다. 그러므로 제13 트랜지스터(Tr13)는 본단 스테이지의 전달 신호에 따라 풀업 구동부(512) 내부의 전위를 제2 저전압(Vss2)으로 낮출 수 있고, 풀업 구동부(512)에 연결되어 있는 Q' 접점의 전압도 제2 저전압(Vss2)으로 낮출 수 있다. 제13 트랜지스터(Tr13)는 풀업 구동부(512)의 내부 전하를 제2 저전압(Vss2)으로 배출시킬 수 있지만, 풀업 구동부(512)가 Q' 접점에 연결되어 있으므로 제13 트랜지스터(Tr13)는 Q' 접점의 전압이 풀업되지 않도록 만들 수 있고 간접적으로 Q' 접점의 전압을 제2 저전압(Vss2)로 낮출 수 있다.
- [0080] 제11 트랜지스터(Tr11)는 풀다운 구동부(515)에서 전달 신호로 출력되는 전압을 낮출 수 있다. 제11 트랜지스터(Tr11)의 제어 단자는 Q' 접점에 연결되어 있고, 제11 트랜지스터(Tr11)의 입력 단자는 전달 신호 출력 단자(CRout)에 연결되어 있고, 제11 트랜지스터(Tr11)의 출력 단자는 제2 전압 입력 단자(Vin2)에 연결되어 있다. 그러므로 Q' 접점의 전압이 하이 레벨인 경우 제11 트랜지스터(Tr11)는 전달 신호 출력 단자(CRout)의 전압을 제2 저전압(Vss2)으로 낮출 수 있으며, 전달 신호가 로우(low) 레벨로 변할 수 있다.
- [0081] 제2 트랜지스터(Tr2) 및 제3 트랜지스터(Tr3)는 풀다운 구동부(515)에서 게이트전으로 출력되는 전압을 낮출 수 있다. 제2 트랜지스터(Tr2)는 제2 입력 단자(IN2)에 연결되어 있는 제어 단자, 게이트 전압 출력 단자(OUT)에 연결되어 있는 입력 단자, 그리고 제1 전압 입력 단자(Vin1)에 연결되어 있는 출력 단자를 포함한다. 그러므로 제2 입력 단자(IN2)를 통하여 입력된 전달 신호가 출력되면, 제2 트랜지스터(Tr2)는 출력되는 게이트 전압을 제1 저전압(Vss1)으로 바꿀 수 있다.
- [0082] 제3 트랜지스터(Tr3)는 Q' 접점에 연결되어 있는 제어 단자, 게이트 전압 출력 단자(OUT)에 연결되어 있는 입력 단자, 그리고 제1 전압 입력 단자(Vin1)에 연결되어 있는 출력 단자를 포함한다. 그러므로 Q' 접점의 전압이 하이 레벨인 경우, 제3 트랜지스터(Tr3)는 출력되는 게이트 전압을 제1 저전압(Vss1)으로 바꿀 수 있다.
- [0083] 풀다운 구동부(515)는 게이트 전압 출력 단자(OUT)의 전압을 제1 저전압(Vss1)으로 낮추며, Q 접점, Q' 접점, 그리고 전달 신호 출력 단자(CRout)의 전압을 제1 저전압(Vss1)보다 낮은 제2 저전압(Vss2)으로 낮춘다. 그러므로 게이트 온 전압과 전달 신호의 하이 레벨에서의 전압은 서로 실질적으로 동일한 전압을 가질 수 있으며, 게이트 오프 전압과 전달 신호의 로우 레벨에서의 전압은 서로 다른 값을 가질 수 있다. 게이트 오프 전압은 제1 저전압(Vss1)이며, 전달 신호의 로우 레벨의 전압은 제2 저전압(Vss2)이다.
- [0084] 예를 들어, 게이트 온 전압은 25 V, 게이트 오프 전압 및 제1 저전압(Vss1)은 -5 V, 전달 신호의 하이 레벨의 전압은 25 V, 전달 신호의 로우 레벨의 전압 및 제2 저전압(Vss2)은 -10 V일 수 있다.
- [0085] 스테이지(SR)는 Q 접점에서의 전압에 의하여 전달 신호 생성부(513)와 출력부(514)가 동작하여 전달 신호의 하이 레벨의 전압 및 게이트 온 전압을 출력한다. 제1 입력 단자(IN1), 제2 입력 단자(IN2), 그리고 제3 입력 단

자(IN3)를 통하여 입력된 전달 신호에 의하여, 전달 신호는 하이 레벨의 전압으로부터 제2 저전압(Vss2)으로 감소될 있으며, 게이트 온 전압은 제1 저전압(Vss1)으로 감소되어 게이트 오프 전압이 될 수 있다. 스테이지(SR)는 전달 신호에 의해서 Q 접점의 전압을 제2 저전압(Vss2)으로 낮추므로, 스테이지(SR)의 소비 전력은 감소될 수 있다. 또한, 제2 저전압(Vss2)이 게이트 오프 전압인 제1 저전압(Vss1)보다 낮아지므로, 다른 스테이지에서 인가된 전달 신호가 리플(ripple), 노이즈 등에 의해 전압이 변하더라도 제2 저전압(Vss2)값이 충분히 낮아질 수 있으며, 결국 스테이지(SR)에 포함된 트랜지스터들의 누설 전류가 감소되어 스테이지(SR)의 소비 전력이 감소될 수 있다.

[0086] 도 6A는 본 발명의 한 실시예에 따른 Q 노드와 게이트 전압의 신호 파형도이고, 도 6B는 종래 기술에 따른 Q 노드와 게이트 전압의 신호 파형도이다.

[0087] 본 발명의 한 실시예에 따른 게이트 구동부는 도 2에 도시된 것처럼 제1 클록 신호(CKV1)를 입력 받는 스테이지가 제2 클록바 신호(CKVB2)에 의해 구동되는 스테이지로부터 전달 신호를 받으며, 도 4에 도시된 것처럼 제16 트랜지스터(Tr16)가 포함된 스테이지(SR)를 포함하며, 도 6A에 도시된 것과 같은 신호 파형도를 갖는다. 종래의 게이트 구동부는 제1 클록 신호(CKV1)를 입력 받는 스테이지가 제1 클록바 신호(CKVB1)에 의해 구동되는 스테이지로부터 전달 신호를 받으며, 도 4에 도시된 것처럼 제16 트랜지스터가 포함된 스테이지(SR)를 포함하며, 도 6B에 도시된 것과 같은 신호 파형도를 갖는다. 본 발명의 한 실시예에 따른 게이트 구동부와 종래의 게이트 구동부는 모두 비정질 실리콘을 포함한다. 제2 클록바 신호(CKVB2)의 온 펄스는 제1 클록바 신호(CKVB1)의 온 펄스보다 늦게 인가되므로, Q 접점의 방전 속도가 느려질 수 있고, 제1 트랜지스터(Tr1)의 턴 온 시간이 길어질 수 있다. 이에 따라, 게이트 전압 출력 단자(OUT)는 제2 트랜지스터(Tr2)를 게이트 전압의 방전에 이용할 수 있을 뿐만 아니라 제1 트랜지스터(Tr1)을 통해 제1 클록 신호(CKV1)의 로우 레벨 전압도 게이트 전압의 방전에 이용할 수 있으므로, 게이트 온 전압의 하강 시간을 줄일 수 있다. 예를 들어, 종래의 게이트 구동부에서 게이트 온 전압의 하강 시간은 대략 24 μ sec이며, 본 발명의 한 실시예에 따른 게이트 구동부에서 게이트 온 전압의 하강 시간은 대략 4 μ sec이므로, 게이트 온 전압의 하강 시간이 대략 1/6로 감소하며, 게이트 온 전압의 하강 특성이 대략 6 배 개선된다.

[0088] 도 7은 본 발명의 한 실시예 및 종래 기술에 따른 게이트 전압의 신호 파형도이다.

[0089] 제안된 게이트 구동부는 도 2에 도시된 것처럼 제1 클록 신호(CKV1)를 입력 받는 스테이지가 제2 클록바 신호(CKVB2)에 의해 구동되는 스테이지로부터 전달 신호를 받으며, 도 5에 도시된 것처럼 제16 트랜지스터(Tr16)가 포함되지 않은 스테이지(SR)를 포함한다. 종래의 게이트 구동부는 제1 클록 신호(CKV1)를 입력 받는 스테이지가 제1 클록바 신호(CKVB1)에 의해 구동되는 스테이지로부터 전달 신호를 받으며, 도 4에 도시된 것처럼 제16 트랜지스터가 포함된 스테이지(SR)를 포함한다. 제안된 게이트 구동부와 종래의 게이트 구동부는 모두 비정질 실리콘을 포함한다. 제2 클록바 신호(CKVB2)의 온 펄스는 제1 클록바 신호(CKVB1)의 온 펄스보다 늦게 인가되므로, 게이트 온 전압의 하강 시간을 줄일 수 있다. 스테이지(SR)에서 제16 트랜지스터(Tr16)를 생략함으로써, 게이트 구동부(500)의 면적을 줄일 수 있으며, 표시 영역(300)의 활용도를 높일 수 있다. 예를 들어, 18.5 인치의 패널을 기준으로, 제16 트랜지스터(Tr16)가 생략됨으로써, 게이트 구동부(500)의 면적이 대략 9 % 정도 감소된다.

[0090] 도 8은 본 발명의 한 실시예 및 종래 기술에 따른 게이트 전압의 신호 파형도이다.

[0091] 제안된 게이트 구동부는 도 2에 도시된 것처럼 제1 클록 신호(CKV1)를 입력 받는 스테이지가 제2 클록바 신호(CKVB2)에 의해 구동되는 스테이지로부터 전달 신호를 받으며, 도 5에 도시된 것처럼 제16 트랜지스터(Tr16)가 포함되지 않은 스테이지(SR)를 포함한다. 종래의 게이트 구동부는 제1 클록 신호(CKV1)를 입력 받는 스테이지가 제1 클록바 신호(CKVB1)에 의해 구동되는 스테이지로부터 전달 신호를 받으며, 도 4에 도시된 것처럼 제16 트랜지스터가 포함된 스테이지(SR)를 포함한다. 제안된 게이트 구동부와 종래의 게이트 구동부는 모두 산화물 반도체인 GIZO를 포함한다. 제2 클록바 신호(CKVB2)의 온 펄스는 제1 클록바 신호(CKVB1)의 온 펄스보다 늦게 인가되므로, 게이트 온 전압의 하강 시간을 줄일 수 있다. 또한, 도 8에서 산화물 반도체를 포함하는 제안된 게이트 구동부의 게이트 온 전압의 하강 특성은 도 7에서 비정질 실리콘을 포함하는 종래의 게이트 구동부의 게이트 온 전압의 하강 특성보다 개선된다. 스테이지(SR)에서 제16 트랜지스터(Tr16)를 생략함으로써, 게이트 구동부(500)의 면적을 줄일 수 있으며, 표시 영역(300)의 활용도를 높일 수 있다.

[0092] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

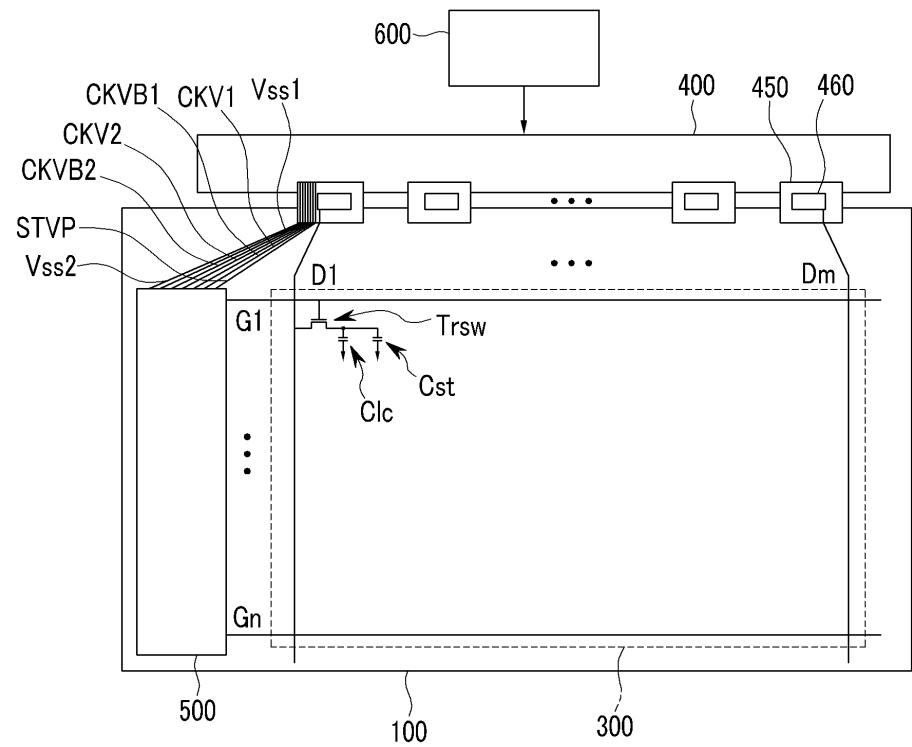
부호의 설명

[0093]

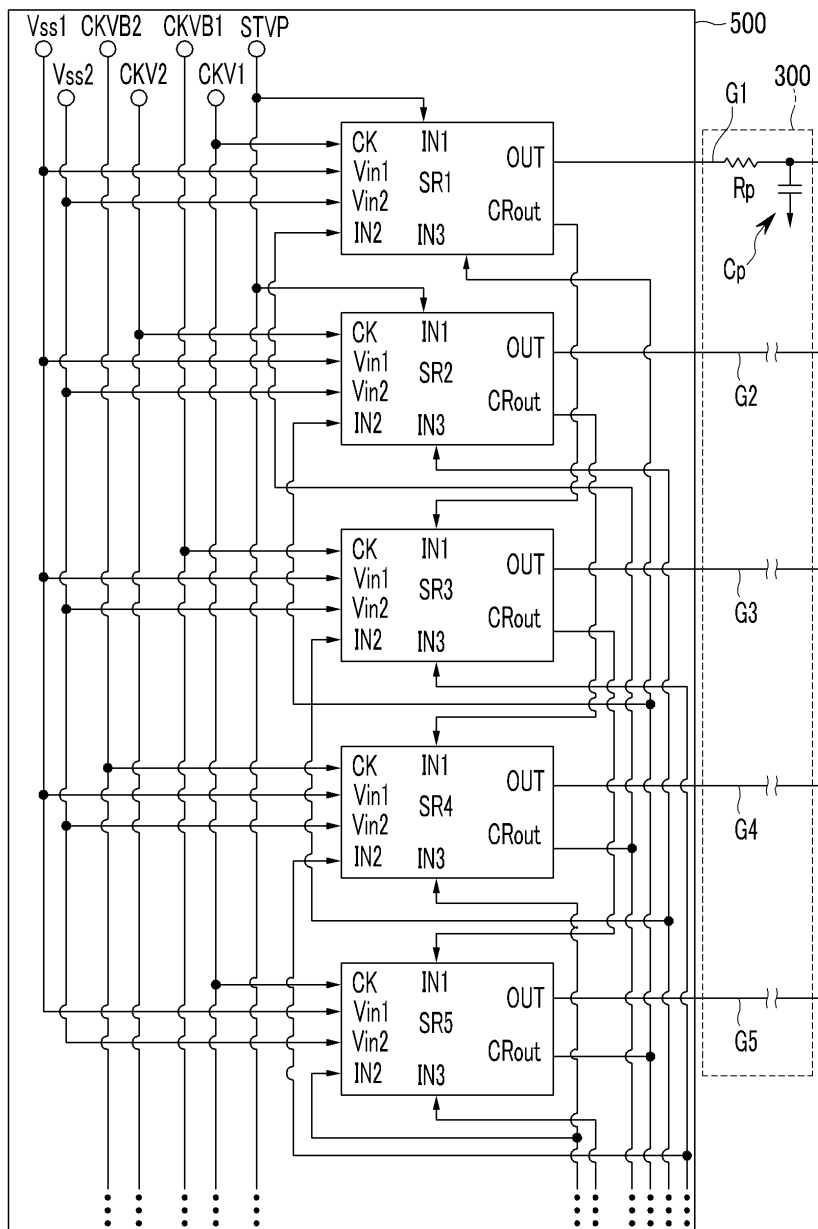
- 100: 표시 패널 300: 표시 영역
- 400: 데이터 구동부 500: 게이트 구동부
- 600: 신호 제어부

도면

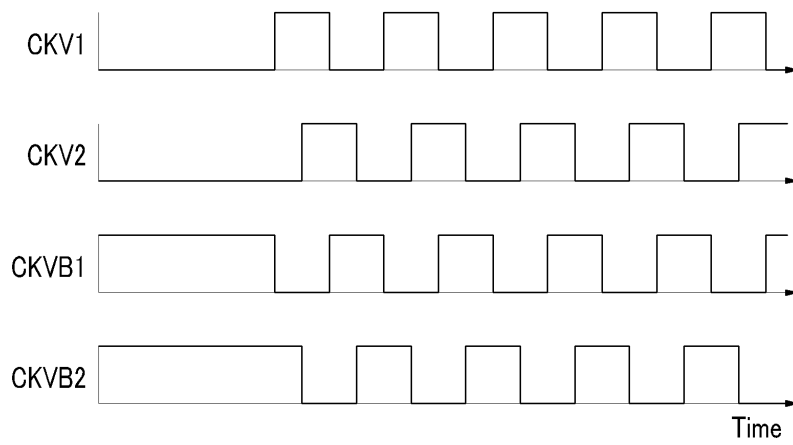
도면1



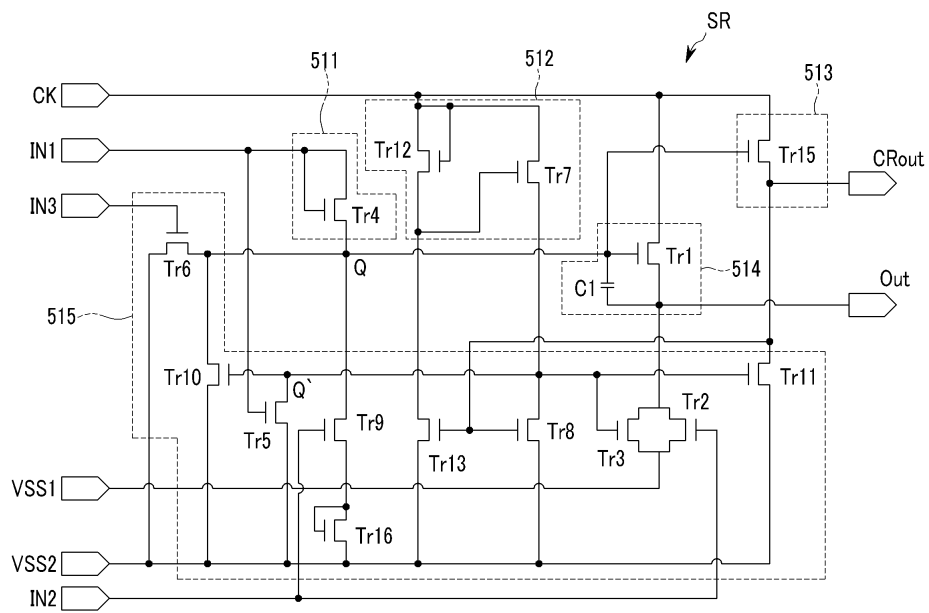
도면2



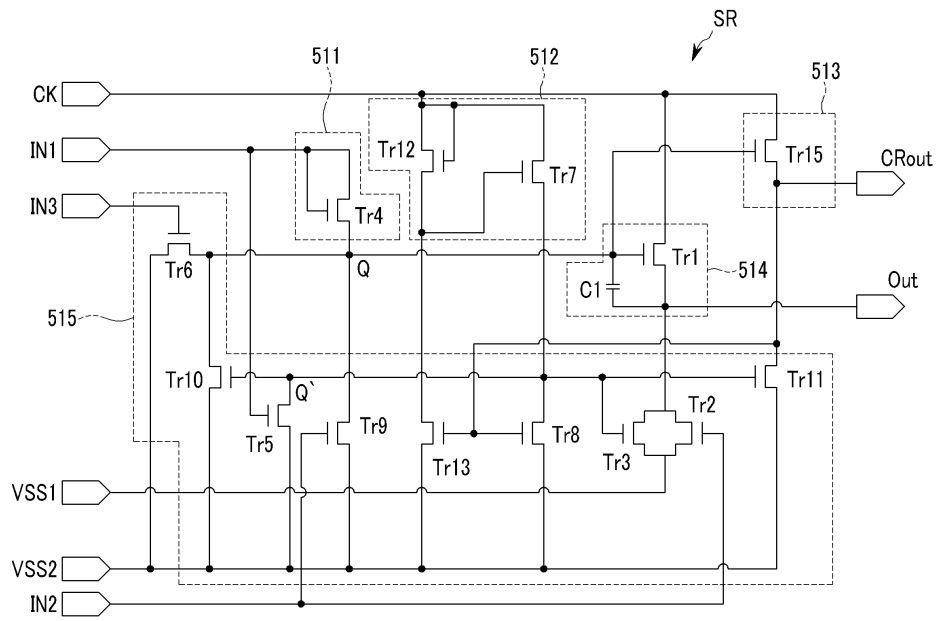
도면3



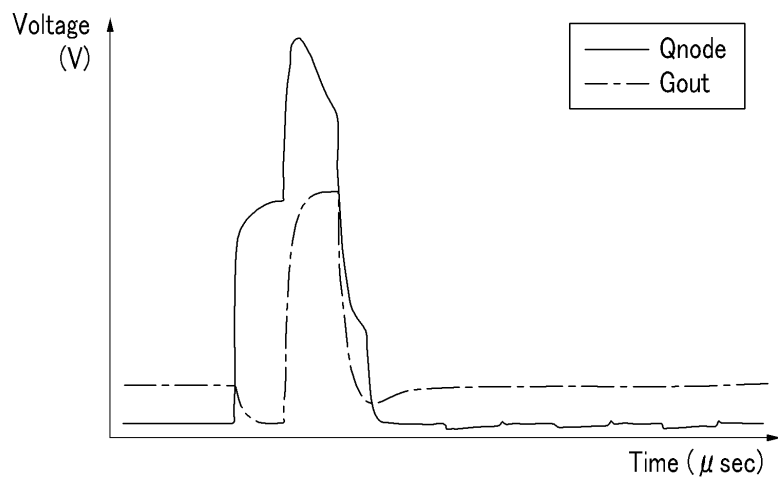
도면4



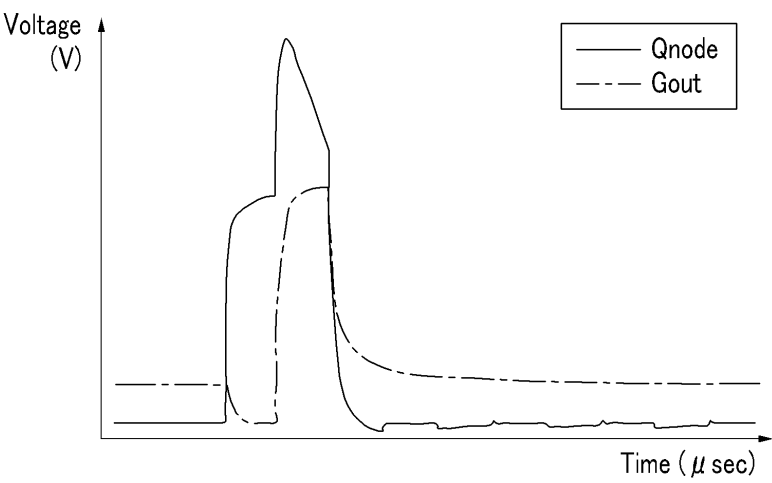
도면5



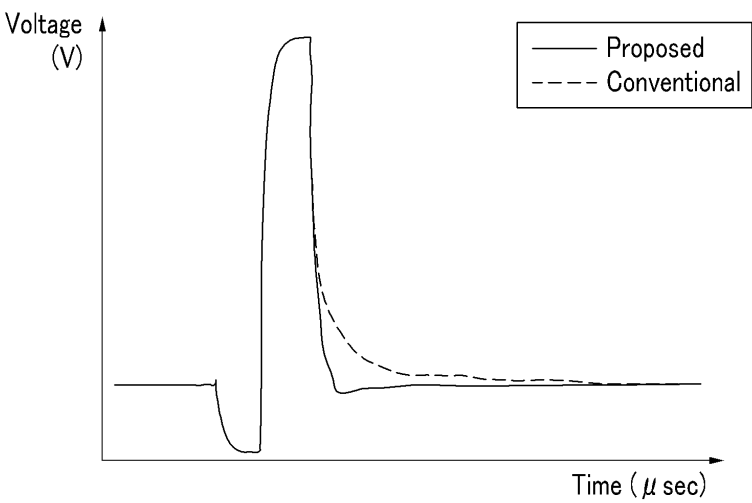
도면6a



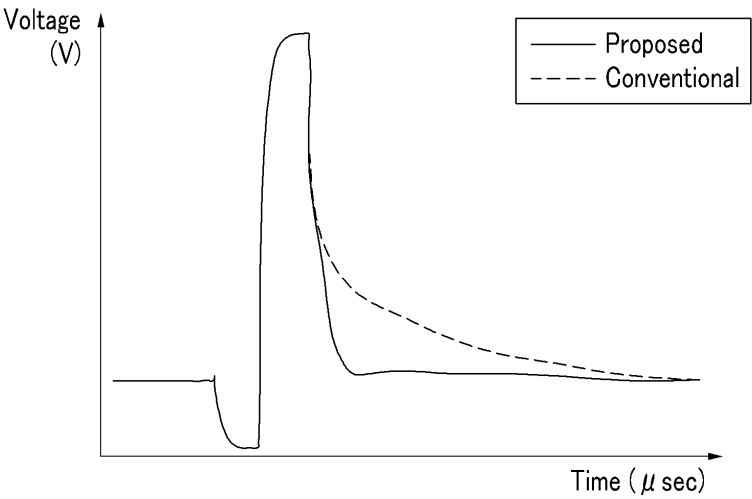
도면6b



도면7



도면8



专利名称(译)	显示面板		
公开(公告)号	KR101868528B1	公开(公告)日	2018-06-20
申请号	KR1020110066245	申请日	2011-07-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SOOYOUNG 박수영 WANG IN SOO 왕인수 LEE GI CHANG 이기창 KIM TAEHYUN 김태현 HAN JEONGYUN 한정윤		
发明人	박수영 왕인수 이기창 김태현 한정윤		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3266 G09G2300/0408 G09G2310/0267		
其他公开文献	KR1020130004976A		
外部链接	Espacenet		

摘要(译)

目的：提供显示面板以改善栅极驱动器中栅极导通电压的下降特性，并向像素施加正确的数据电压。组成：显示区域（300）包括电阻器（Rp）和电容器（Cp）。栅极线（G1-Gn），液晶电容器（C1c），保持电容器（Cst）由电阻器和电容器显示。栅极电压通过栅极线传输。栅极驱动器（500）包括多个级（SR1-SR5）。

