



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월24일

(11) 등록번호 10-1531325

(24) 등록일자 2015년06월18일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2008-0117644

(22) 출원일자 2008년11월25일

심사청구일자 2013년11월08일

(65) 공개번호 10-2009-0072952

(43) 공개일자 2009년07월02일

(30) 우선권주장

JP-P-2007-338996 2007년12월28일 일본(JP)

(56) 선행기술조사문헌

JP평성10143116 A

JP2001034233 A

US6304241 B1

KR1020080079810 A

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

스즈키 토시오

일본국 카나가와 요코하마-시 호도가야-쿠

고우도-쵸 134 소니 엘에스아이 디자인 인코포레

이티드내

(74) 대리인

신관호

전체 청구항 수 : 총 9 항

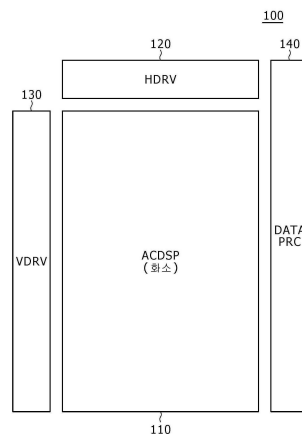
심사관 : 신영교

(54) 발명의 명칭 신호선구동 회로 및 표시장치 및 전자기기

(57) 요약

구동시 극성 반전되는 표시 셀이 행렬 형태로 배치되고, 상기 극성 반전에 대응하여 상기 표시 셀에 접속되는 신호선에 정극성의 신호 전압 또는 음극성의 신호 전압을 공급하는 신호선구동 회로가 제공된다. 신호선구동 회로는, 출력 버퍼부를 가지며, 상기 출력 버퍼부는 정극성 연산 증폭기와, 음극성 연산 증폭기와, 제 1의 출력 버퍼와, 제 2의 출력 버퍼와 스위치군을 포함한다.

대표도 - 도4



명세서

청구범위

청구항 1

구동시 극성 반전되는 표시 셀이 매트릭스 형태로 배치되고, 상기 극성 반전에 대응하여 상기 표시 셀에 접속되는 신호선에 정극성의 신호 전압 또는 음극성의 신호 전압을 공급하는 신호선구동 회로에 있어서,

상기 신호선구동 회로는,

상기 신호선을 구동하는 입력 데이터를 증폭하고, 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 생성하고, 쌍을 이루는 제 1의 신호선 및 제 2의 신호선에 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 선택적으로 공급하는 출력 버퍼부를 가지며,

상기 출력 버퍼부는,

상기 입력 데이터를 증폭하고, 상기 정극성의 신호 전압을 생성하는 정극성 연산 증폭기와,

상기 입력 데이터를 증폭하고, 상기 음극성의 신호 전압을 생성하는 음극성 연산 증폭기와,

상기 제 1의 신호선에 상기 정극성 또는 상기 음극성의 신호 전압을 공급하는 제 1의 출력 버퍼와,

상기 제 2의 신호선에 상기 음극성 또는 상기 정극성의 신호 전압을 공급하는 제 2의 출력 버퍼와,

상기 정극성 연산 증폭기의 출력과 상기 제 1의 출력 버퍼의 입력과의 사이, 상기 음극성 연산 증폭기의 출력과 상기 제 2의 출력 버퍼의 입력과의 사이, 상기 제 1의 출력 버퍼의 출력과 상기 정극성 연산 증폭기의 귀환 입력단과의 사이, 및 상기 제 2의 출력 버퍼의 출력과 상기 음극성 연산 증폭기의 귀환 입력단과의 사이에 배치된 스위치를 포함하는 스위치군을 포함하며,

상기 제 1의 출력 버퍼의 출력과 상기 제 1의 신호선과의 사이 및 상기 제 2의 출력 버퍼의 출력과 상기 제 2의 신호선과의 사이에는 스위치가 개재하지 않는 신호선구동 회로.

청구항 2

제 1항에 있어서,

상기 스위치군은 제 1의 모드시에,

상기 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압을 상기 제 1의 출력 버퍼에 입력하며,

상기 제 1의 출력 버퍼의 출력을 상기 정극성 연산 증폭기에 귀환시키며,

상기 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압을 상기 제 2의 출력 버퍼에 입력하고,

상기 제 2의 출력 버퍼의 출력을 상기 음극성 연산 증폭기에 귀환시키며,

제 2의 모드시에는,

상기 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압을 상기 제 2의 출력 버퍼에 입력하고,

상기 제 2의 출력 버퍼의 출력을 상기 정극성 연산 증폭기에 귀환시키며,

상기 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압을 상기 제 1의 출력 버퍼에 입력하고,

상기 제 1의 출력 버퍼의 출력을 상기 음극성 연산 증폭기에 귀환시키는 신호선구동 회로.

청구항 3

제 1항에 있어서,

상기 정극성 연산 증폭기는, 한 쌍의 제 1의 도전형 트랜지스터를 가지는 차동 증폭기를 가지며,

상기 음극성 연산 증폭기는, 한 쌍의 제 2의 도전형 트랜지스터를 가지는 차동 증폭기를 가지며,

상기 제 1 및 제 2의 출력 버퍼는, AB급 푸시풀 동작 기능을 가지는 신호선구동 회로.

청구항 4

제 3항에 있어서,

상기 제 1 및 제 2의 출력 버퍼는 각각 2개의 입력 단자를 가지는 신호선구동 회로.

청구항 5

표시장치에 있어서,

극성 반전 구동되는 표시 셀이 매트릭스 형태로 배치되는 표시부와,

상기 극성 반전에 대응하여 상기 표시 셀에 접속되는 신호선에 정극성의 신호 전압 또는 음극성의 신호 전압을 공급하는 신호선구동 회로를 가지며,

상기 신호선구동 회로는,

상기 신호선을 구동하는 입력 데이터를 증폭하고, 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 생성하고, 쌍을 이루는 제 1의 신호선 및 제 2의 신호선에 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 선택적으로 공급하는 출력 버퍼부를 가지며,

상기 출력 버퍼부는,

상기 입력 데이터를 증폭하고, 상기 정극성의 신호 전압을 생성하는 정극성 연산 증폭기와,

상기 입력 데이터를 증폭하고, 상기 음극성의 신호 전압을 생성하는 음극성 연산 증폭기와,

상기 제 1의 신호선에 상기 정극성 또는 상기 음극성의 신호 전압을 공급하는 제 1의 출력 버퍼와,

상기 제 2의 신호선에 상기 음극성 또는 상기 정극성의 신호 전압을 공급하는 제 2의 출력 버퍼와,

상기 정극성 연산 증폭기의 출력과 상기 제 1의 출력 버퍼의 입력과의 사이, 상기 음극성 연산 증폭기의 출력과 상기 제 2의 출력 버퍼의 입력과의 사이, 상기 제 1의 출력 버퍼의 출력과 상기 정극성 연산 증폭기의 귀환 입력단과의 사이, 및 상기 제 2의 출력 버퍼의 출력과 상기 음극성 연산 증폭기의 귀환 입력단과의 사이에 배치된 스위치를 포함하는 스위치군을 포함하며,

상기 제 1의 출력 버퍼의 출력과 상기 제 1의 신호선과의 사이 및 상기 제 2의 출력 버퍼의 출력과 상기 제 2의 신호선과의 사이에는 스위치가 개재하지 않는 표시장치.

청구항 6

제 5항에 있어서,

상기 스위치군은 제 1의 모드시에,

상기 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압을 상기 제 1의 출력 버퍼에 입력하며,

상기 제 1의 출력 버퍼의 출력을 상기 정극성 연산 증폭기에 귀환시키며,

상기 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압을 상기 제 2의 출력 버퍼에 입력하고,

상기 제 2의 출력 버퍼의 출력을 상기 음극성 연산 증폭기에 귀환시키며,

제 2의 모드시에는,

상기 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압을 상기 제 2의 출력 버퍼에 입력하고,

상기 제 2의 출력 버퍼의 출력을 상기 정극성 연산 증폭기에 귀환시키며,

상기 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압을 상기 제 1의 출력 버퍼에 입력하고,

상기 제 1의 출력 버퍼의 출력을 상기 음극성 연산 증폭기에 귀환시키는 표시장치.

청구항 7

제 5항에 있어서,

상기 정극성 연산 증폭기는, 한 쌍의 제 1의 도전형 트랜지스터를 가지는 차동 증폭기를 가지며,

상기 음극성 연산 증폭기는, 한 쌍의 제 2의 도전형 트랜지스터를 가지는 차동 증폭기를 가지며,

상기 제 1 및 제 2의 출력 버퍼는, AB급 푸시풀 동작 기능을 가지는 표시장치.

청구항 8

제 7항에 있어서,

상기 제 1 및 제 2의 출력 버퍼는 각각 2개의 입력 단자를 가지는 표시장치.

청구항 9

전자기기에 있어서,

극성 반전 구동되는 표시 셀이 매트릭스 형태로 배치되는 표시부와,

상기 극성 반전에 대응하여 상기 표시 셀에 접속되는 신호선에 정극성의 신호 전압 또는 음극성의 신호 전압을 공급하는 신호선구동 회로를 가지며,

상기 신호선구동 회로는,

상기 신호선을 구동하는 입력 데이터를 증폭하고, 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 생성하고, 쌍을 이루는 제 1의 신호선 및 제 2의 신호선에 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 선택적으로 공급하는 출력 버퍼부를 가지며,

상기 출력 버퍼부는,

상기 입력 데이터를 증폭하고, 상기 정극성의 신호 전압을 생성하는 정극성 연산 증폭기와,

상기 입력 데이터를 증폭하고, 상기 음극성의 신호 전압을 생성하는 음극성 연산 증폭기와,

상기 제 1의 신호선에 상기 정극성 또는 상기 음극성의 신호 전압을 공급하는 제 1의 출력 버퍼와,

상기 제 2의 신호선에 상기 음극성 또는 상기 정극성의 신호 전압을 공급하는 제 2의 출력 버퍼와,

상기 정극성 연산 증폭기의 출력과 상기 제 1의 출력 버퍼의 입력과의 사이, 상기 음극성 연산 증폭기의 출력과 상기 제 2의 출력 버퍼의 입력과의 사이, 상기 제 1의 출력 버퍼의 출력과 상기 정극성 연산 증폭기의 귀환 입력단과의 사이, 및 상기 제 2의 출력 버퍼의 출력과 상기 음극성 연산 증폭기의 귀환 입력단과의 사이에 배치된 스위치를 포함하는 스위치군을 포함하며,

상기 제 1의 출력 버퍼의 출력과 상기 제 1의 신호선과의 사이 및 상기 제 2의 출력 버퍼의 출력과 상기 제 2의 신호선과의 사이에는 스위치가 개재하지 않는 전자기기.

발명의 설명

발명의 상세한 설명

기술 분야

- [0001] 본 발명은 2007년 12월 28일 일본 특허청에 제출된 일본 특허 번호 JP 2007-338996호와 관련된 주제를 포함하고 있으며, 그 내용은 참조로서 본 명세서에 포함되어 있다.
- [0002] 본 발명은, 액정표시장치 등의 액티브 매트릭스형 표시장치의 신호선구동 회로 및 표시장치 및 그것을 이용한 전자기기에 관한 것이다.
- [0003] 화상 표시장치, 예를 들어 액정표시장치 등에서는, 행렬이 표시 셀들로 형성된 다수의 화소 회로를 이용하며, 표시해야 할 화상 정보에 따라 표시 셀(화소) 마다 광강도를 제어하는 것에 의해서 화상을 표시한다.
- [0004] 최근, 액정표시장치의 개발, 성능의 발전이 눈부시게 이루어지고 있으며, 텔레비전이나, 휴대 전화기나 PDA(Personal Digital Assistants) 등의 휴대 단말, 디지털 카메라, 노트북 퍼스널 컴퓨터, 비디오 카메라 등

의, 전자기기에 입력된 영상 신호 혹은 전자기기내에서 생성된 영상 신호를 화상 혹은 영상으로서 표시하는 모든 분야의 전자기기의 표시장치에 적용하는 것이 가능하다.

[0005] 도 1은 일반적인 액정표시장치의 개략 구성을 나타내는 도면이다.

[0006] 이 액정표시장치(1)는, 도 1에 도시된 바와 같이, 투명 절연 기판, 예를 들어 유리 기판상에, 액정 셀을 포함한 복수의 화소가 행렬 형태로 배치된 유효 표시부(2), 신호선을 구동하기 위한 신호선구동 회로(수평 구동 회로, 소스 드라이버 : HDRV)(3) 및 게이트선 구동 회로(수직 구동 회로, 게이트 드라이버 : VDRV)(4)를 가진다.

[0007] 상기한 바와 같이, 유효 표시부(2)에는, 도 1에 도시하지 않는 액정 셀을 포함하는 복수의 화소가 행렬 형태로 배열되어 있다.

[0008] 또, 유효 표시부(2)는, 신호선구동 회로(3) 및 게이트 구동 회로(4)에 의해 구동되는 신호선 및 게이트선(수직 주사선)을 가지고 있다. 신호 라인들은 행렬의 한 열에 대응하는 라인들로서 작용하고, 게이트 라인(또는 수직 주사선)은 행렬의 한 행에 대응하는 라인들로서 작용하도록 배치되어 있다.

[0009] 액정표시장치내의 유효 표시부(2)의 액정 분자가 열화되는 것을 방지하기 위해서, 표시장치의 액정에 교류 전압을 공급할 필요가 있다. 일반적인 액정표시장치에서는, 액정에 교류 전압(공통 전압)을 인가하는, 공통 일정 구동법 또는 공통 반전 구동법과 같은 이른바 극성 반전 동작법이 채용된다.

[0010] 공통 일정 구동법에서는, 화소 전극에 대한 대향 전극의 전압을 일정 레벨로 고정된 상태에서, 대향 전극의 고정 전압에 대해서, 정의 극성을 가지는 전압과 음의 극성을 가지는 전압을 교대로 인가한다.

[0011] 공통 반전 구동법은, 대향 전극의 전압을 고레벨과 저레벨과의 사이에서 반전시키면서 화소 전극에 대한 대향 전극 전압에 대해서 정의 극성을 가지는 전압과 음의 극성을 가지는 전압을 교대로 인가한다.

[0012] 상세하게는, 대향 전극의 전압이 고레벨일 때에는, 화소 전극에는 이 고레벨을 기준으로 하며 음의 극성을 가지는 전압이 인가되고, 대향 전극의 전압이 저레벨일 때에는, 화소 전극에는 이 저레벨을 기준으로 하며 정의 극성을 가지는 전압이 인가된다.

[0013] 극성 반전 동작에 대응하여 신호선구동 회로(3)의 출력 버퍼부가 구성된다.

[0014] 신호선구동 회로(3)는, 극성 반전 동작을 실시하게 위해, 출력 버퍼부의 레일 투 레일(rail-to-rail) 출력 아날로그 버퍼 회로를 이용하거나(CMOS, Circuit Design, layout and Simulation, P661, Figure 25 and 49에 기재되어 있으며, R. Jacob, Baker Harry, W. LI and David E. Boyce에 의해 작성됨), 출력 버퍼부내에 스위치를 가지는 출력 선택기를 이용한 구성이 채용되어 왔다(일본 특개평 10-153986호 공보).

[0015] 도 2는, 출력 선택기를 이용한 종래의 신호선구동 회로의 구성예를 나타내는 블럭도이다.

[0016] 이 신호선구동 회로(3)는 패러렐-시리얼(parallel into serial) 변환 처리에 의해 얻어지는 구동 데이터를 구동 신호선을 구동하기 위한 데이터로 저장하는 라인 버퍼(31)와, 라인 버퍼(31)내에 저장된 구동 데이터의 레벨을, 구동 레벨에 대응하는 레벨로 변환하는 레벨 시프터(32)와, 수신된 계조 전압(gradation voltage)에 따라 레벨 시프터(32)에 의해 공급된 구동 데이터를 디지털 데이터로부터 아날로그 데이터로 변환하는 디지털 아날로그 컨버터(DAC)를 복수개 포함하는 선택기부 (33)와, 선택기부(33)로부터 수신된 구동 데이터를 증폭하여, 정극성의 신호 전압 및 음극성의 신호 전압을 생성하는 버퍼 앰프부(34)와, 서로 인접하는 신호선에 정극성의 신호 전압 및 음극성의 신호 전압을 선택적으로 공급하는 출력 선택기(35)를 가진다.

[0017] 도 3은, 도 2의 신호선구동 회로(3)의 버퍼 앰프부(34)와 출력 선택기(35)의 구성예를 나타내는 도면이다.

[0018] 상세하게는, 도 3은 신호선구동 회로(3)의 아날로그 출력 버퍼단을 인접하는 2채널(CH1, CH2)에 대응하는 부분으로 나타내고 있다. 실제로는, 도 3에 도시된 바와 같이 아날로그 출력 버퍼단의 채널수는 적어도 100이 되며, 이러한 채널에 대응하는 신호선은 구동 데이터를 이용하여 구동된다.

[0019] 도 3에 도시된 버퍼 앰프부(34)는, 인접한 두 개의 채널(CH1, CH2)을 위해 제공되는 제 1의 증폭 회로(34-1)와 제 2의 증폭 회로(34-2)를 이용한다. 제 1의 증폭 회로(34-1)는, 선택된 라인(SGL1 또는 SGL2)에 정극성의 신호 전압을 공급하여 채널(CH1)에 접속되는 신호선(SGL1) 및 채널(CH2)에 접속되는 신호선(SGL2)을 구동하는 회로이다. 한편, 제 2의 증폭 회로(34-2)는, 선택된 라인(SGL1 또는 SGL2)에 음극성의 신호 전압을 공급하여 채널(CH1)에 접속되는 신호선(SGL1) 및 채널(CH2)에 접속되는 신호선(SGL2)을 구동하는 회로이다. 한편,

- [0020] 제 1의 증폭 회로(34-1)는 전단의 DAC에 연결된 OTA(Operational Transconductance Amplifier : 연산 트랜스컨덕턴스 증폭기 : 34-11)와 OAMP(출력 증폭기 : 34-12)로 구성되어 있다.
- [0021] 자세히 설명하자면, OTA(34-11)의 반전 입력 단자(-)가 전단의 DAC의 출력선에 접속되며, 비반전 입력 단자(+)가 OAMP(34-12)의 출력에 접속되어 있다. OTA(34-11)의 출력선은 OTA(34-12)의 입력선에 접속되어 있다.
- [0022] 이와 같이, 제 1의 증폭 회로(34-2)는, 전단의 DAC에 연결된 OTA(34-21)와 OAMP(34-22)로 구성되어 있다.
- [0023] 자세히 설명하자면, OTA(34-21)의 반전 입력 단자(-)가 전단의 DAC의 출력선에 접속되며, 비반전 입력 단자(+)가 OAMP(34-22)의 출력에 접속되어 있다. OTA(34-21)의 출력선은 OTA(34-22)의 입력선에 접속되어 있다.
- [0024] 출력 선택기(35)는, 제 1의 스위치군(a first switch group : 35-1) 및 제 2의 스위치군(35-2)을 가지고 있다.
- [0025] 제 1의 스위치군(35-1)은 신호 STR에 따라 온/오프가 제어되는 스위치(SW11)와 신호 SRS에 따라 온/오프가 제어되는 스위치(SW12)를 가진다. 스위치(SW11)와 스위치(SW12)는 상보적으로 온/오프 된다. 즉, 스위치(SW11)가 온이 되면, 스위치(SW12)는 오프가 되며, 그 반대도 성립한다.
- [0026] 스위치(SW11)의 단자 a가 제 1의 증폭 회로(34-1)의 OAMP(34-12)의 출력에 접속되며, 단자 b가 채널(CH1)의 신호선(SGL1)에 접속되어 있다.
- [0027] 한편, 스위치(SW12)의 단자 a가 제 1의 증폭 회로(34-1)의 OAMP(34-12)의 출력에 접속되며, 단자 b가 채널(CH2)의 신호선(SGL2)에 접속되어 있다.
- [0028] 이와 같이, 제 2의 스위치군(35-2)은, 신호 STR에 따라 온/오프가 제어되는 스위치(SW21)와 신호(SRS)에 따라 온/오프가 제어되는 스위치(SW22)를 가진다. 스위치(SW21)와 스위치(SW22)는 상보적으로 온/오프 된다. 즉, 스위치(SW11)가 온이 되면, 스위치(SW12)는 오프가 되며, 그 반대도 성립한다.
- [0029] 스위치(SW21)의 단자 a가 제 2의 증폭 회로(34-2)의 OAMP(34-22)의 출력에 접속되며, 단자 b가 채널(CH2)의 신호선(SGL2)에 접속되어 있다.
- [0030] 한편, 스위치(SW22)의 단자 a가 제 2의 증폭 회로(34-2)의 OAMP(34-22)의 출력에 접속되며, 단자 b가 채널(CH1)의 신호선(SGL1)에 접속되어 있다.
- [0031] 스위치(SW11)와 스위치(SW21)가 온 상태, 스위치(SW12)와 스위치(SW22)가 오프 상태로 제어되면, 제 1의 증폭 회로(34-1)에 의해 생성된 정극성의 신호 전압이 신호선(SGL1)에 공급되며, 제 2의 증폭 회로(34-2)에 의해 생성된 음극성의 신호 전압이 신호선(SGL2)에 공급된다.
- [0032] 한편, 스위치(SW12)와 스위치(SW22)가 온 상태, 스위치(SW11)와 스위치(SW21)가 오프 상태로 제어되면, 제 1의 증폭 회로(34-1)에 의해 생성된 정극성의 신호 전압이 신호선(SGL2)에 공급되며, 제 2의 증폭 회로(34-2)에 의해 생성된 음극성의 신호 전압이 신호선(SGL1)에 공급된다.

발명의 내용

해결 하고자하는 과제

- [0033] 상술한 것처럼, 액정표시장치의 신호선 구동회로는, 극성 반전 동작을 실시하게 하기 위해, 레일 투 레일(rail-to-rail) 출력 아날로그 버퍼 회로 또는 도 2 및 도 3에 도시된 출력 선택기를 이용한다.
- [0034] 그런데, 레일 투 레일 출력 아날로그 버퍼 회로는 회로 구성이 복잡하게 되어, 소비 전력이 크고, 레이아웃 면적이 크다는 문제점을 가지고 있다.
- [0035] 또, 출력 선택기를 이용하는 경우에는, 소비 전력이 감소되더라도 회로 구성이 복잡하다는 문제가 있다. 그러나, 출력 선택기는 다음과 같은 문제가 있다.
- [0036] 턴-온(turn-on)을 작게 하기 위해서, 출력 선택기 사이즈와 출력단의 사이즈가 커진다. 그 결과, 레이아웃 면적의 증가가 초래된다.
- [0037] 또, 출력 선택기의 턴-온 저항에 의해 세틀링(settling) 처리가 악화된다.

[0038] 상기한 바와 같이, 도 3에 도시된 바와 같은 아날로그 출력 버퍼의 채널(CH)수는 적어도 100이다. 채널(CH)의 고해상도 응용시에, 레이아웃 면적의 삭감이 강하게 요구되며, 최근의 고정밀화에 따라 동작 주파수의 고속화가 과제가 되고 있다.

[0039] 상기 문제를 해결하기 위해서, 본 발명은, 회로 구성의 복잡화, 소비 전류의 증가, 신호선 구동회로의 특성 저하를 방지할 수 있고, 소자 사이즈(레이아웃 면적)의 삭감을 도모하는 것이 가능한 신호선구동 회로 및 신호선구동 회로를 이용하는 표시장치 및 표시장치를 이용한 전자기기를 제공하는 것에 있다.

과제 해결수단

[0040] 상기 목적을 달성하기 위해, 본 발명의 제 1의 실시예에 따르면, 구동시 극성 반전되는 표시 셀이 매트릭스 형태로 배치되고, 상기 극성 반전에 대응하여 상기 표시 셀에 접속되는 신호선에 정극성의 신호 전압 또는 음극성의 신호 전압을 공급하는 신호선구동 회로가 제공된다. 신호선구동 회로는, 상기 신호선을 구동하는 입력 데이터를 증폭하고, 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 생성하고, 쌍을 이루는 제 1의 신호선 및 제 2의 신호선에 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 선택적으로 공급하는 출력 버퍼부를 가진다. 출력 버퍼부는, 상기 입력 데이터를 증폭하고, 상기 정극성의 신호 전압을 생성하는 정극성 연산 증폭기와, 상기 입력 데이터를 증폭하고, 상기 음극성의 신호 전압을 생성하는 음극성 연산 증폭기와, 상기 제 1의 신호선에 상기 정극성 또는 상기 음극성의 신호 전압을 공급하는 제 1의 출력 버퍼와, 상기 제 2의 신호선에 상기 음극성 또는 상기 정극성의 신호 전압을 공급하는 제 2의 출력 버퍼와, 상기 정극성 연산 증폭기의 출력 및 상기 제 1의 출력 버퍼의 입력과의 사이, 상기 음극성 연산 증폭기의 출력 및 상기 제 2의 출력 버퍼의 입력과의 사이 및 상기 정극성 연산 증폭기 및 상기 음극성 연산 증폭기의 귀환 입력단에 배치된 스위치를 포함하는 스위치군을 포함한다. 상기 제 1의 출력 버퍼의 출력과 상기 제 1의 신호선과의 사이 및 상기 제 2의 출력 버퍼의 출력과 상기 제 2의 신호선과의 사이에는 스위치가 배치되어 있지 않다.

[0041] 스위치군을 다음과 같이 동작시키는 것이 바람직하다. 제 1의 모드시에, 스위치군은 상기 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압을 상기 제 1의 출력 버퍼에 입력하며, 상기 제 1의 출력 버퍼의 출력을 상기 정극성 연산 증폭기에 귀환시키며, 상기 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압을 상기 제 2의 출력 버퍼에 입력하고, 상기 제 2의 출력 버퍼의 출력을 상기 음극성 연산 증폭기에 귀환시키며, 제 2의 모드시에, 상기 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압을 상기 제 2의 출력 버퍼에 입력하고, 상기 제 2의 출력 버퍼의 출력을 상기 정극성 연산 증폭기에 귀환시키며, 상기 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압을 상기 제 1의 출력 버퍼에 입력하고, 상기 제 1의 출력 버퍼의 출력을 상기 음극성 연산 증폭기에 귀환시킨다.

[0042] 양호한 구성에서는, 상기 정극성 연산 증폭기는, 한 쌍의 제 1의 도전형 트랜지스터를 가지는 차동 증폭기를 가지며, 상기 음극성 연산 증폭기는, 한 쌍의 제 2의 도전형 트랜지스터를 가지는 차동 증폭기를 가지며, 상기 제 1 및 제 2의 출력 버퍼는, AB급 푸시풀 동작 기능을 가진다.

[0043] 다른 양호한 구성에서는, 상기 제 1 및 제 2의 출력 버퍼는 각각 2개의 입력 단자를 가진다.

[0044] 본 발명의 제 2의 실시예에 따르면, 극성 반전 구동되는 표시 셀이 매트릭스 형태로 배치되는 표시부와, 상기 극성 반전에 대응하여 상기 표시 셀에 접속되는 신호선에 정극성의 신호 전압 또는 음극성의 신호 전압을 공급하는 신호선구동 회로를 가지는 표시장치가 제공된다. 신호선구동 회로는, 상기 신호선을 구동하는 입력 데이터를 증폭하고, 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 생성하고, 쌍을 이루는 제 1의 신호선 및 제 2의 신호선에 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 선택적으로 공급하는 출력 버퍼부를 가지며, 상기 출력 버퍼부는, 상기 입력 데이터를 증폭하고, 상기 정극성의 신호 전압을 생성하는 정극성 연산 증폭기와, 상기 입력 데이터를 증폭하고, 상기 음극성의 신호 전압을 생성하는 음극성 연산 증폭기와, 상기 제 1의 신호선에 상기 정극성 또는 상기 음극성의 신호 전압을 공급하는 제 1의 출력 버퍼와, 상기 제 2의 신호선에 상기 음극성 또는 상기 정극성의 신호 전압을 공급하는 제 2의 출력 버퍼와, 상기 정극성 연산 증폭기의 출력 및 상기 제 1의 출력 버퍼의 입력과의 사이, 상기 음극성 연산 증폭기의 출력 및 상기 제 2의 출력 버퍼의 입력과의 사이 및 상기 정극성 연산 증폭기 및 상기 음극성 연산 증폭기의 귀환 입력단에 배치된 스위치를 포함하는 스위치군을 포함한다. 상기 제 1의 출력 버퍼의 출력과 상기 제 1의 신호선과의 사이 및 상기 제 2의 출력 버퍼의 출력과 상기 제 2의 신호선과의 사이에는 스위치가 배치되지 않는다.

[0045] 본 발명의 제 3의 실시예에 따르면, 극성 반전 구동되는 표시 셀이 매트릭스 형태로 배치되는 표시부와, 상기 극성 반전에 대응하여 상기 표시 셀에 접속되는 신호선에 정극성의 신호 전압 또는 음극성의 신호 전압을 공급

하는 신호선구동 회로를 가지는 전자기기가 제공된다. 상기 신호선구동 회로는, 상기 신호선을 구동하는 입력 데이터를 증폭하고, 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 생성하고, 쌍을 이루는 제 1의 신호선 및 제 2의 신호선에 상기 정극성의 신호 전압 및 상기 음극성의 신호 전압을 선택적으로 공급하는 출력 버퍼부를 가지며, 상기 출력 버퍼부는, 상기 입력 데이터를 증폭하고, 상기 정극성의 신호 전압을 생성하는 정극성 연산 증폭기와, 상기 입력 데이터를 증폭하고, 상기 음극성의 신호 전압을 생성하는 음극성 연산 증폭기와, 상기 제 1의 신호선에 상기 정극성 또는 상기 음극성의 신호 전압을 공급하는 제 1의 출력 버퍼와, 상기 제 2의 신호선에 상기 음극성 또는 상기 정극성의 신호 전압을 공급하는 제 2의 출력 버퍼와, 상기 정극성 연산 증폭기의 출력 및 상기 제 1의 출력 버퍼의 입력과의 사이, 상기 음극성 연산 증폭기의 출력 및 상기 제 2의 출력 버퍼의 입력과의 사이 및 상기 정극성 연산 증폭기 및 상기 음극성 연산 증폭기의 귀환 입력단에 배치된 스위치를 포함하는 스위치군을 포함하며, 상기 제 1의 출력 버퍼의 출력과 상기 제 1의 신호선과의 사이 및 상기 제 2의 출력 버퍼의 출력과 상기 제 2의 신호선과의 사이에는 스위치가 배치되지 않는다.

[0046] 본 발명의 실시예에 따르면, 제 1의 모드시에는, 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압이 제 1의 출력 버퍼를 통해 제 1의 신호선에 공급되며, 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압이 제 2의 출력 버퍼를 통해 제 2의 신호선에 공급된다.

[0047] 제 2의 모드시에는, 정극성 연산 증폭기에 의해 생성된 정극성의 신호 전압이 제 2의 출력 버퍼를 통해 제 2의 신호선에 공급되며, 음극성 연산 증폭기에 의해 생성된 음극성의 신호 전압이 제 1의 출력 버퍼를 통해 제 1의 신호선에 공급된다.

효 과

[0048] 본 발명에 의하면, 회로 구성의 복잡화, 소비 전류의 증가, 출력 버퍼의 특성 저하를 방지하는 것이 가능하므로, 소자 사이즈(레이아웃 면적)의 삭감을 도모할 수 있다.

[0049] 또, 본 발명은 출력단 증폭기의 오프셋을 제거하는 효과도 나타내므로, 화질 향상에도 공헌하게 된다.

발명의 실시를 위한 구체적인 내용

[0050] 이하, 본 발명의 실시의 형태는 도면을 참조하여 상세하게 설명된다.

[0051] 도 4는, 본 발명의 실시 형태와 관련되는 표시장치의 구성예를 나타내는 도면이다.

[0052] 이 경우, 예를 들어, 본 실시예는 액티브 매트릭스형 액정표시장치(100)의 각 화소의 전기 광학 소자로서 동작하는 액정 셀을 이용하는 액티브 매트릭스형 액정표시장치를 구현한다.

[0053] 액티브 매트릭스형 액정표시장치(100)는 도 4에 도시된 바와 같이, 투명 절연 기판, 예를 들어 유리 기판상에, 액정 셀을 포함하는 복수의 화소가 매트릭스 형태로 배치된 유효 표시부(ACDSP)(110), 신호선을 구동하기 위한 신호선구동 회로(수평 구동 회로(HDRV), 소스 드라이버)(120), 수직 주사선 또는 게이트선을 구동하는 게이트선구동 회로(수직 구동 회로(VDRV), 게이트 드라이버)(130) 및 데이터 처리 회로(DATAPRC)(140)를 가진다.

[0054] 이하, 본 실시 형태의 액티브 매트릭스형 액정표시장치(100)의 각 구성요소의 구성 및 기능에 대하여 순서대로 설명한다.

[0055] 상기한 바와 같이, 유효 표시부(이하, 단지 표시부라고 한다)(110)는, 투명 절연 기판, 예를 들어 유리 기판상에, 복수의 화소 회로들을 포함한다.

[0056] 그리고, 유효 표시부(110)는 신호선구동 회로(120) 및 게이트선구동 회로(130)에 의해 구동되는 신호선(데이터선) 및 게이트선(수직 주사선)이 매트릭스 형태(격자모양)로 배치되어 있다.

[0057] 도 5는, 유효 표시부(110)의 구체적인 구성의 일례를 나타내는 도면이다.

[0058] 여기에서는, 도면의 간략화를 위해서, 3행($n-1$ 행 ~ $n+1$ 행)과 4열($m-2$ 열 ~ $m+1$ 열)의 화소 배열의 경우를 보기로 서 도시하고 있다.

[0059] 도 5의 유효 표시부(110)에서는, 게이트선(수직 주사선)(111_{n-1} , 111_n , 111_{n+1} , ...)과 신호선(데이터선)(112_{m-2} , 112_{m-1} , 112_m , 112_{m+1} , ...)이 매트릭스 형태로 배치되어 있다. 이러한 선들의 교점 부분에 단위 화소(113)가 배치되어 있다.

- [0060] 단위 화소(113)는, 화소 트랜지스터인 박막 트랜지스터(TFT:Thin Film Transistor), 액정 셀(LC) 및 보관 유지 용량(Cs)을 가지도록 구성되어 있다.
- [0061] 액정 셀(LC)은 박막 트랜지스터(TFT)의 드레인 전극에 연결되어 있는 화소 전극과, 화소 전극과 대향하는 다른 전극 사이에서 발생하는 용량을 의미한다. 화소 전극과 대향하는 다른 전극은 대향 전극이라고 칭한다.
- [0062] 박막 트랜지스터(TFT)의 게이트 전극은, 게이트선(수직 주사선) 즉 게이트선(111_{n-1} , 111_n , 111_{n+1} , ...)중 한 개의 선과 연결되어 있다. 박막 트랜지스터(TFT)의 소스 전극은 신호선(데이터선)(112_{m-2} , 112_{m-1} , 112_m , 112_{m+1} , ...)중 한 개의 선과 연결되어 있다.
- [0063] 액정 셀(LC)의 화소 전극은 상술한 바와 같이 박막 트랜지스터(TFT)의 드레인 전극에 접속되며 액정 셀(LC)의 대향 전극은 공통선(114)에 접속되어 있다. 보관 유지 용량(Cs)은 박막 트랜지스터(TFT)의 드레인 전극과 공통선(114) 사이에 접속되어 있다.
- [0064] 공통선(114)에는, 공통 전압 공급 회로(VCOM 회로)(150)에 의해 소정의 교류 전압이 공통 전압(common voltage : V_{com})로서 주어진다.
- [0065] 유효 표시부(110)의 게이트선(수직 주사선)(111_{n-1} , 111_n , 111_{n+1} , ...)중 특정한 선의 일단은 도 4에 도시된 액티브 매트릭스형 액정표시장치(100)의 게이트선구동 회로(130)의 출력단에 상기 특정한 선에 대응하는 행에 대한 단자로서 접속된다.
- [0066] 게이트선구동 회로(130)는, 예를 들어 시프트 레지스터를 포함하여 구성되므로 수직 전송 클락(VCK)(도 5의 도면에 도시되지 않음)에 동기하여 차례차례 수직 선택 펄스 게이트선(수직 주사선)(111_{n-1} , 111_n , 111_{n+1} , ...)으로 출력한다.
- [0067] 유효 표시부(110)의 신호선(데이터선)(112_{m-2} , 112_{m-1} , 112_m , 112_{m+1} , ...)의 특정한 일단은 도 4에 도시된 액티브 매트릭스형 액정표시장치(100)의 신호선구동 회로(120)의 출력단에, 상기 특정한 선에 대응하는 열에 대한 단자로서 접속된다.
- [0068] 신호선구동 회로(120)는, 구동 데이터를 계조 전압(gradation voltage)에 따라 디지털 데이터로부터 아날로그 데이터로 변환하고, 아날로그 데이터를 증폭하여, 상기 증폭된 아날로그 데이터로부터 정극성의 신호 전압 및 음극성의 신호 전압을 생성하는 기능을 가지고 있다. 이와 같이 처리된 구동 데이터의 레벨은 신호선을 구동하기 위해 이용되는 구동 레벨로 변환된다. 게다가, 서로 인접하는 두 개의 신호선(112)에 정극성의 신호 전압 및 음극성의 신호 전압을 선택적으로 공급하는 기능을 가지고 있다.
- [0069] 도 4에 도시된 액티브 매트릭스형 액정표시장치(100)의 데이터 처리 회로 (140)는 외부 소스에서 입력된 패러렐(parallel) 데이터의 레벨을 미리 소정 레벨로 시프트하는 레벨 시프터(level shifter)와 레벨 시프터에 의해 출력된 데이터의 위상을 조절하고 데이터의 주파수를 내리기 위해서, 시리얼 데이터로부터 패러렐 데이터로 변환하는 시리얼/패러렐 컨버터를 포함하며, 패러렐 데이터를 신호선구동 회로(120)에 출력한다.
- [0070] 이하, 본 실시 형태와 관련되는 신호선구동 회로(120)의 구성 및 기능에 대해 구체적으로 설명한다.
- [0071] 도 6은, 본 실시 형태와 관련되는 신호선구동 회로(120)의 구성예를 나타내는 블록도이다.
- [0072] 도 6에 나타내는 신호선구동 회로(120)는 시프트 레지스터(121), 데이터 래치부(122), DAC(디지털/아날로그 컨버터)(123) 및 출력 버퍼부(124)를 가진다.
- [0073] 도 6에서 부호(141)로 표시된 시리얼/패러렐 컨버터(SPC)는 데이터 처리 회로(141)에 포함된다는 것을 주목하자.
- [0074] 시프트 레지스터(121)는, 수평 전송 클락(HCK)(도 6에 도시하지 않음)에 동기하여 각 열에 대응하는 각 전송단으로부터 차례차례 시프트 펄스(샘플링 펄스)를 데이터 래치부(122)에 출력한다.
- [0075] 데이터 래치부(122)는, 시리얼/디지털 컨버터(141)로부터 수신된 구동 데이터를, 시프트 레지스터(121)로부터 수신된 샘플링 펄스와 동기하여 신호선(112)을 구동하기 위해 이용되는 데이터로, 차례차례 샘플링하는 구성 요소이다.
- [0076] DAC(123)는, 계조 전압을 받아 데이터 래치부(122)로부터 수신된 디지털 구동 데이터를 아날로그 데이터로 변환

한다.

- [0077] 출력 버퍼부(124)는, DAC(123)로부터 출력된 아날로그 구동 데이터를 증폭하여, 정극성의 신호 전압 및 음극성의 신호 전압을 생성하고, 쌍을 이루는 서로 인접하는 신호선(112)에 정극성의 신호 전압 및 음극성의 신호 전압을 선택적으로 공급한다.
- [0078] 도 7은, 본 실시 형태와 관련되는 신호선구동 회로(120)에 있어서의 출력 버퍼부의 구성예를 나타내는 도면이다.
- [0079] 이하의 설명에서는, 출력 버퍼부(124)에 부호 200을 교부하여 설명한다.
- [0080] 도 7의 출력 버퍼부(200)는, 전단(immediately preceding stage)의 DAC(123)의 출력에 접속되어 입력 데이터를 증폭하고, 정극성의 신호 전압을 생성하는 기능을 가지는 정극성 연산 증폭기(OTA : Operational Transconductance Amplifier)(211), 출력 버퍼로서의 기능을 가지며, 채널(CH_m)(예를 들어, $m=1$)에 접속되는 제 1의 신호선(112_m)에 정극성 또는 음극성의 신호 전압을 공급하는 제 1의 공통 출력 증폭기(OAMP)(212)와, 전단의 DAC(123)의 출력에 접속되어 입력 데이터를 증폭하고, 음과 정극성의 신호 전압을 생성하는 기능을 가지는 음극성 OTA(221)와, 출력 버퍼로서의 기능을 가지며, 채널(CH_{m+1})($m=2$)에 접속되는 제 2의 신호선(112_{m+1})에 음극성 또는 정극성의 신호 전압을 공급하는 제 2의 공통 OAMP(222)와, 제 1의 스위치(SW231) - 제 8의 스위치(SW238)를 포함하는 스위치군(switch group : 230)을 포함한다. 정극성 OTA(211)의 출력 단자 및 공통 출력 증폭기(OAMP)(212)의 제 1의 입력 단자 사이에는 제 1의 스위치(SW231)가 배치되어 있다. 정극성 OTA(211)의 출력 단자 및 공통 출력 증폭기(OAMP)(222)의 제 1의 입력 단자 사이에는 제 2의 스위치(SW232)가 배치되어 있다. 음극성 OTA(221)의 출력 단자와 제 2의 공통 출력 증폭기(OAMP)(222)의 제 2의 입력 단자 사이에는 제 3의 스위치(SW233)가 배치되어 있다. 음극성 OTA(221)의 출력 단자와 제 1의 공통 출력 증폭기(OAMP)(212)의 제 2의 입력 단자 사이에는 제 4의 스위치(SW234)가 배치되어 있다. 제 1의 공통 출력 증폭기(OAMP)(212)의 출력 단자와 정극성 OTA(211)의 반전 입력 단자(+) 사이에는 제 5의 스위치(SW235)가 배치되어 있다. 제 2의 공통 출력 증폭기(OAMP)(222)의 출력 단자와 정극성 OTA(211)의 반전 입력 단자(-) 사이에는 제 6의 스위치(SW236)가 배치되어 있다. 제 2의 공통 출력 증폭기(OAMP)(222)의 출력 단자와 음극성 OTA(221)의 반전 입력 단자(-) 사이에는 제 7의 스위치(SW237)가 배치되어 있다. 제 1의 공통 출력 증폭기(OAMP)(212)의 출력 단자와 음극성 OTA(221)의 반전 입력 단자(+) 사이에는 제 8의 스위치(SW238)가 배치되어 있다.
- [0081] 정극성 OTA(211)의 출력은, 스위치(SW231)를 통해 제 1의 공통 OAMP(212)의 입력에 공급되고, 스위치(SW232)를 통해 제 2의 공통 OAMP(222)의 입력에 공급된다.
- [0082] 음극성 OTA(221)의 출력은, 스위치(SW233)를 통해 제 2의 공통 OAMP(222)의 입력에 공급되고, 스위치(SW234)를 통해 제 1의 공통 OAMP(212)의 입력에 공급된다.
- [0083] 정극성 OTA(211)의 반전 입력 단자(-)가 전단의 DAC(123)의 출력선이 접속되는 입력 단자(TI1)에 접속되며, 비 반전 입력 단자(+)가 스위치(SW235)를 통해 제 1의 공통 OAMP(212)의 출력 단자에 접속되고, 스위치(SW236)를 통해 제 2의 공통 OAMP(222)의 출력 단자에 접속되어 있다.
- [0084] 음극성 OTA(221)의 반전 입력 단자(-)가 전단의 DAC(123)의 출력선이 접속되는 입력 단자(TI2)에 접속되며, 비 반전 입력 단자(+)가 스위치(SW237)를 통해 제 2의 공통 OAMP(222)의 출력 단자에 접속되고, 스위치(SW238)를 통해 제 1의 공통 OAMP(212)의 출력 단자에 접속되어 있다.
- [0085] 제 1의 공통 OAMP(212)의 출력 단자는, 채널(CH_1)($m=1$)의 제 1의 신호선(112_m)에 접속되는 출력 단자(TO1)에 접속되어 있다.
- [0086] 제 2의 공통 OAMP(222)의 출력 단자는, 채널(CH_2)($m=2$)의 제 2의 신호선(112_{m+1})에 접속되는 출력 단자(TO2)에 접속되어 있다.
- [0087] 스위치군(230)은 제 1과 제 2군으로 분리되어 있다. 제 1의 스위치군은, 스위치(SW231, SW233, SW235, SW237)로 구성되며, 공통의 신호(STR)에 의해 온/오프가 제어된다.
- [0088] 한편, 제 2의 스위치군 스위치(SW232, SW234, SW236, SW238)로 구성되며, 공통의 신호(CRS)에 의해 온/오프가 제어된다.

- [0089] 제 1의 스위치군의 스위치(SW231, SW233, SW235, SW237)와 제 2의 스위치군의 스위치(SW232, SW234, SW236, SW238)는 상보적으로 온/오프 된다.
- [0090] 즉, 도 7의 도시하지 않는 제어계에 의해, 신호(STR)가 하이레벨일 때, 신호 (CRS)는 로우레벨로 제어되고, 신호(STR)가 로우 레벨일 때, 신호(CRS)는 하이레벨로 제어되도록 신호(STR, CSR)가 제어된다.
- [0091] 예를 들어, 제 1의 스위치군의 스위치(SW231, SW233, SW235, SW237)는 신호 (STR)가 하이레벨일 때 턴온되며, 로우레벨일 때 턴오프된다.
- [0092] 이와 같이, 제 2의 스위치군의 스위치(SW232, SW234, SW236, SW238)는 신호(CRS)가 하이레벨일 때 턴온되며, 로우레벨일 때 턴오프된다.
- [0093] 본 실시 형태에 대해서는, 신호(STR)와 신호(CRS)가 동시에 ON이 되는 것은 금지되고 있다.
- [0094] 본 실시 형태에서는, 신호(STR)가 하이레벨이고 신호(CRS)가 로우레벨인 경우를 제 1의 모드로 하며, 신호(CRS)가 하이레벨이고, 신호(STR)가 로우레벨인 경우를 제 2의 모드로 설정한다.
- [0095] 스위치(SW231)의 단자 a가 정극성 OTA(211)의 출력 단자에 접속되며, 단자 b가 제 1의 공통 OAMP(212)의 제 1의 입력 단자에 접속되어 있다.
- [0096] 스위치(SW232)의 단자 a가 정극성 OTA(211)의 출력 단자에 접속되며, 단자 b가 제 2의 공통 OAMP(222)의 제 1의 입력 단자에 접속되어 있다.
- [0097] 스위치(SW233)의 단자 a가 음극성 OTA(221)의 출력 단자에 접속되며, 단자 b가 제 2의 공통 OAMP(222)의 제 2의 입력 단자에 접속되어 있다.
- [0098] 스위치(SW234)의 단자 a가 음극성 OTA(221)의 출력 단자에 접속되며, 단자 b가 제 1의 공통 OAMP(212)의 제 2의 입력 단자에 접속되어 있다.
- [0099] 스위치(SW235)의 단자 a가 제 1의 공통 OAMP(212)의 출력 단자에 접속되며, 단자 b가 정극성 OTA(211)의 비반전 입력 단자(+)에 접속되어 있다.
- [0100] 스위치(SW236)의 단자 a가 제2의 OAMP(222)의 출력 단자에 접속되어 단자 b가 정극성 OTA(211)의 비반전 입력 단자(+)에 접속되어 있다.
- [0101] 스위치(SW237)의 단자 a가 음극성 OTA(221)의 비반전 입력 단자(+)에 접속되며, 단자 b가 제 2의 공통 OAMP(222)의 출력 단자에 접속되어 있다.
- [0102] 스위치(SW238)의 단자 a가 음극성 OTA(221)의 비반전 입력 단자(+)에 접속되며, 단자 b가 제 1의 공통 OAMP(212)의 출력 단자에 접속되어 있다.
- [0103] 도 8은, 도 7의 출력 버퍼부의 좀 더 구체적인 구성예를 나타내는 회로도이다.
- [0104] 정극성 OTA(211)는, 제 1의 도전형인 p채널 MOS(PMOS) 트랜지스터(PT211, PT212), 제 2의 도전형인 n채널 MOS(NMOS) 트랜지스터(MT211, NT212) 및 전류원 (I211)을 가진다.
- [0105] PMOS 트랜지스터(PT211)의 소스 및 PMOS 트랜지스터(PT212)의 소스가 전원 전위(VDD)에 접속되어 있다.
- [0106] PMOS 트랜지스터(PT211)의 드레인 전극이 NMOS 트랜지스터(NT211)의 드레인전극에 접속되며, 그 접속점에 의해 노드(ND211)가 형성되어 있다. PMOS 트랜지스터(PT211)의 드레인과 게이트가 PMOS 트랜지스터(PT212)의 게이트에 연결된 접속점에 연결되어 있다. 즉, PMOS 트랜지스터(PT211)의 게이트 전극과 PMOS 트랜지스터(PT212)의 게이트 전극에는 노드(ND211)가 접속되어 있다.
- [0107] PMOS 트랜지스터(PT212)의 드레인 전극이 NMOS 트랜지스터(NT212)의 드레인전극에 접속되며, 그 접속점에 의해 정극성 OTA(211)의 출력 노드(출력 단자)(ND212)가 형성되어 있다.
- [0108] NMOS 트랜지스터(NT211)와 NMOS 트랜지스터(NT212)의 소스들이 전류원(I211)의 드레인에 접속된 접속점에 연결되어 있다.
- [0109] NMOS 트랜지스터(NT211)의 게이트 단자에 의해 정극성 OTA(211)의 비반전 입력 단자(+)가 형성되며, NMOS 트랜지스터(NT212)의 게이트 단자에 의해 정극성 OTA(211)의 반전 입력 단자(-)가 형성되어 있다.
- [0110] 정극성 OTA(211)의 비반전 입력 단자(+)가 스위치(SW235, SW236)의 단자 b에 접속되어 있으므로, NMOS 트랜지스

터(NT211)의 게이트 전극은, 스위치(SW235, SW236)의 단자 b에 접속되어 있다. 정극성 OTA(211)의 비반전 입력 단자(1)가 DAC(123)의 출력 단자(DAC_IPPER)에 연결된 입력 단자(TI1)에 접속되어 있으므로, NMOS 트랜지스터(NT212)의 게이트전극이 입력 단자(TI1)에 접속되어 있다.

[0111] OTA(211)의 출력 노드(ND212)가 스위치(SW231, SW232)의 단자 a에 접속되어 있다.

[0112] 이러한 구성을 가지는 정극성 OTA(211)의 NMOS 트랜지스터(NT211, NT212)에 의해 구성되는 차동증폭기는, DAC(123)(DAC_UPPER)의 출력 신호와 제 1의 공통 OAMP(212) 또는 제 2의 공통 OAMP(222)의 출력의 차이를 차동 증폭하여, 그 증폭 신호를 스위치(SW231)를 통해 제 1의 공통 OAMP(212)로 출력하거나 또는 스위치(SW232)를 통해 제 2의 공통 OAMP(222)로 출력한다.

[0113] 제 1의 공통 OAMP(212)는, PMOS 트랜지스터(PT213), NMOS 트랜지스터(NT213), 전류원(I212, I213) 및 전송 게이트(TMG211)를 가진다. 전송 게이트(TMG211)는 PMOS 트랜지스터(PT214)의 소스 전극과 NMOS 트랜지스터(NT214)의 드레인 전극을 접속하고, PMOS 트랜지스터(PT214)의 드레인 전극과 NMOS 트랜지스터(NT214)의 소스 전극을 접속하여 구성되는 PMOS 트랜지스터(PT214)와 NMOS 트랜지스터(NT214)를 이용한다.

[0114] PMOS 트랜지스터(PT213)의 소스가 전원 전위(VDD)에 접속되며, PMOS 트랜지스터(PT213)의 드레인과 NMOS 트랜지스터(NT213)의 드레인이 제 1의 공통 OAMP(212)의 출력 단자가 되는 출력 노드(ND213)에 접속되어 있다. NMOS 트랜지스터(NT213)의 소스가 접지 전위(GND)에 접속되어 있다.

[0115] 전류원(I212)은 전원 전위(VDD)에 접속되어 있다. 전류원(I212)의 소스와 PMOS 트랜지스터(PT213)의 게이트와 전송 게이트(TMG211)의 입출력 단자(T211)가 제 1의 공통 OAMP(212)의 제 1의 입력 노드(제 1의 입력 단자)(ND214)가 되는 접속점에 연결되어 있다.

[0116] 전류원(I213)은 접지 전위(GND)에 접속되어 있다. 전류원(I213)의 드레인과, NMOS 트랜지스터(PT213)의 게이트와 전송 게이트(TMG211)의 입출력 단자(T212)가 제 1의 공통 OAMP(212)의 제 2의 입력 노드(제 2입력 단자)(ND215)가 되는 접속점에 연결되어 있다.

[0117] 전송 게이트(TMG211)를 구성하는 PMOS 트랜지스터(PT214)의 게이트에는 제 1의 바이어스 신호(BIAS1)가 공급되며, NMOS 트랜지스터(NT214)의 게이트에는 제 2의 바이어스 신호(BIAS2)가 공급된다. 제 1의 바이어스 신호(BIAS1)와 제 2의 바이어스 신호(BIAS2)는 출력단의 제 1의 공통 OAMP(212)에 흐르는 DC전류를 설정하는 전압으로서 게이트에 인가된다.

[0118] 제 1의 공통 OAMP(212)의 출력 노드(ND213)가 채널(CH1)의 출력 단자(TO1)에 접속되어 있다. 제 1의 공통 OAMP(212)의 제 1의 입력 노드(ND214)가 스위치 (SW231)의 단자 b에 접속되며, 제 2의 입력 노드(ND215)가 스위치(SW234)의 단자 b에 접속되어 있다.

[0119] 이러한 구성을 가지는 출력 버퍼로서의 제 1의 공통 OAMP(212)는 AB급 푸시풀 동작을 한다.

[0120] 음극성 OTA(221)는, 제 1의 도전형의 PMOS 트랜지스터(PT221, PT222), 제 2의 도전형의 NMOS 트랜지스터(MT221, NT222) 및 전류원(I221)을 가진다.

[0121] PMOS 트랜지스터(PT221)의 소스 및 PMOS 트랜지스터(PT222)의 소스들이 전류원(I221)에 드레인이, 전원 전위(VDD)에 접속되어 있는 전류원(I221)의 소스 단자에 연결된 접속점에 접속되어 있다.

[0122] PMOS 트랜지스터(PT221)의 드레인과 NMOS 트랜지스터(NT221)의 드레인이 접속되어 그 접속점에 의해 노드(ND221)가 형성되어 있다. NMOS 트랜지스터(NT221)의 드레인과 게이트가 접속되어 그 접속점이 NMOS 트랜지스터(NT222)의 게이트에 접속되어 있다. 즉, 노드(ND221)는 NMOS 트랜지스터(NT221)의 게이트와 NMOS 트랜지스터(NT222)의 게이트에 접속되어 있다.

[0123] PMOS 트랜지스터(PT222)의 드레인과 NMOS 트랜지스터(NT222)의 드레인이 접속되어 그 접속점에 의해 제 2의 OTA(221)의 출력 노드(출력 단자)(ND222)가 형성되어 있다.

[0124] NMOS 트랜지스터(NT221)와 NMOS 트랜지스터(NT222)의 소스들이 접속되어 그 접속점이 접지 전위(GND)에 접속되어 있다.

[0125] PMOS 트랜지스터(PT221)의 게이트에 의해 음극성 OTA(221)의 비반전 입력 단자(+)가 형성되며, PMOS 트랜지스터(PT222)의 게이트에 의해 음극성의 OTA(221)의 반전 입력 단자(-)가 형성되어 있다.

[0126] 음극성 OTA(221)의 비반전 입력 단자(+)가 스위치(SW237, SW238)의 단자 a에 접속되어 있으므로, PMOS 트랜지스

터(NT221)의 게이트도 역시 스위치(SW237, SW238)의 단자 a에 접속되어 있다. 음극성의 OTA(221)의 반전 입력 단자(-)가 DAC(123)의 출력(DAC_UPPER)의 입력 단자(TI2)에 접속되어 있으므로, PMOS 트랜지스터(NT222)의 게이트도 역시 DAC(123)의 출력의 입력 단자(TI2)에 접속되어 있다.

[0127] 음극성 OTA(221)의 출력 노드(ND222)가 스위치(SW233, SW234)의 단자 a에 접속되어 있다.

[0128] 이러한 구성을 가지는 음극성 OTA(221)에서, PMOS 트랜지스터(PT221, PT222)를 포함하는 차동증폭기는, DAC(123)의 출력 신호(DAC_LOWER)와 제 2의 공통 OAMP(222) 또는 제 1의 공통 OAMP(212)의 출력의 차이를 차동 증폭하고, 증폭의 결과로 얻어진 데이터 신호를 스위치(SW233)를 통해 제 2의 공통 OAMP(222)로 출력하거나, 또는 스위치(SW234)를 통해 제 1의 공통 OAMP(212)로 출력한다.

[0129] 제 2의 공통 OAMP(222)는, PMOS 트랜지스터(PT223), NMOS 트랜지스터(N T223), 전류원(I222, I223) 및 전송 게이트(TMG221)를 가진다. 전송 게이트(TMG221)는, PMOS 트랜지스터(PT224) 소스와 NMOS트랜지스터(NT224)의 드레인, 그리고 PMOS 트랜지스터(PT224) 드레인과 NMOS트랜지스터(NT224)의 소스를 접속하여 구성되는 PMOS 트랜지스터(PT224)와 NMOS트랜지스터(NT224)를 포함한다.

[0130] PMOS 트랜지스터(PT223)의 소스가 전원 전위(VDD)에 접속되며, PMOS 트랜지스터(PT223)의 드레인과 NMOS 트랜지스터(NT223)의 드레인이 제 2의 공통 OAMP(222)의 출력 단자가 되는 출력 노드(ND223)에 접속되어 있다. NMOS 트랜지스터(NT223)의 소스가 접지 전위(GND)에 접속되어 있다.

[0131] 전류원(I222)은 전원 전위(VDD)에 접속되어 있다. 전류원(I212)의 소스와 PMOS 트랜지스터(PT223)의 게이트와 전송 게이트(TMG221)의 입출력 단자(T221)가 제 2의 공통 OAMP(222)의 제 1의 입력 노드(제 1의 입력 단자)(ND224)가 되는 접속점에 연결되어 있다.

[0132] 전류원(I223)은 접지 전위(GND)에 접속되어 있다. 전류원(I223)의 드레인과, NMOS 트랜지스터(PT223)의 게이트와 전송 게이트(TMG211)의 입출력 단자(T222)가 제 1의 공통 OAMP(222)의 제 2의 입력 노드(제 2입력 단자)(ND225)가 되는 접속점에 연결되어 있다.

[0133] 전송 게이트(TMG221)를 구성하는 PMOS 트랜지스터(PT224)의 게이트에는 제 1의 바이어스 신호(BIAS1)가 공급되며, NMOS 트랜지스터(NT224)의 게이트에는 제 2의 바이어스 신호(BIAS2)가 공급된다.

[0134] 제 1의 바이어스 신호(BIAS1)와 제 2의 바이어스 신호(BIAS2)는 출력단의 제 2의 공통 OAMP(222)에 흐르는 DC전류를 설정하는 전압으로서 게이트에 인가된다.

[0135] 제 2의 공통 OAMP(212)의 출력 노드(ND223)가 채널(CH2)의 출력 단자(TO2)에 접속되어 있다. 제 2의 공통 OAMP(222)의 입력 노드(ND224)가 스위치(SW232)의 단자 b에 접속되며, 제 2의 공통 입력 노드(ND225)가 스위치(SW233)의 단자 b에 접속되어 있다.

[0136] 이러한 구성을 가지는 출력 버퍼로서의 제 2의 공통 OAMP(222)는 AB급 푸시풀 동작을 한다.

[0137] 상기한 바와 같이, 도 8에서 출력 버퍼부(200)의 대표적인 구성으로서 도시된 구성에서는, 정극성 OTA(211)는 NMOS 트랜지스터(NT211)와 NMOS 트랜지스터(N T211)를 포함하는 차동 증폭기를 이용하며, 음극성 OTA(221)는 PMOS 트랜지스터(P T221)와 PMOS 트랜지스터(PT222)를 포함하는 차동 증폭기를 이용하도록 구성되어 있다.

[0138] 출력단 버퍼인 제 1의 공통 OAMP(212) 및 제 2의 공통 OAMP(222)는, AB급 푸시풀 동작을 하고 있고, 정극성 OTA(211)와 음극성 OTA(222)의 출력은 동작점이 다르기 때문에, 출력단의 제 1의 공통 OAMP(212) 및 제 2의 공통 OAMP(222)의 입력에는 2개의 입력 단자가 제공되며, 상기 입력 단자는 두 개의 다른 노드에 연결되어 있다.

[0139] 본 실시 형태와 관련되는 신호선구동 회로(120)에 있어서의 출력 버퍼부(200)의 동작에 대해서, 도 7의 블럭도 및 도 9의 타이밍 차트를 참조하여 설명한다. 이미 설명한 바와 같이, 출력 버퍼부(200)는 또한 본 명세서에서 참조 번호 124로 표시되어 있다.

[0140] 도 9는 본 실시 형태와 관련되는 신호선구동 회로(120)에 있어서의 출력 버퍼부(200)의 동작을 설명할 때에 참조되는 복수의 타이밍 차트이다. 즉, 도 9a는 스위치 신호(STR)를, 도 9b는 스위치 신호(CRS)를, 도 9c는 DAC(123)에 의해 생성되는 신호(DAC_IPPER, DAC_LOWER)의 레벨을 나타내는 타이밍 차트이며, 도 9d는 채널(CH1, CH2)의 신호 출력의 레벨에 대한 타이밍 차트를 나타내고 있다.

[0141] 출력 버퍼부(200)는 도 3을 참조하여 이미 설명한 출력 선택기 방식과는 다른 기술을 이용하고 있다. 출력 버퍼부(200)에 의해 이용되는 기술에 의하면, 제 1의 공통 OAMP(212)의 제 1과 제 2의 입력 단자와, 제 2의 공통

OAMP(222)의 제 1과 제 2의 입력단자는, 제 1의 공통 OAMP(212)와 제 2의 공통 OAMP(222)의 바로 이전단에 배치된 스위치(SW231~SW234)에 접속되어 있으므로, 상보적으로 보상하는 방식에 따라, 채널(CH1, CH2)의 출력단에 배치된 제 1의 공통 OAMP(212) 및 제 2의 공통 OAMP(222)에 공급된 신호들을 바꾼다.

[0142] 또한, 정극성 OTA(211)와 음극성 OTA(221)에 이르는 귀환 경로상에는 스위치(SW235~SW238)가 배치되어, 정극성 OTA(211)와 음극성 OTA(221)로 귀환되는 스위칭 신호들을 상보적으로 스위칭하기 위한 스위치로서 작용한다.

[0143] 이러한 구성에서는, 신호(STR)가 하이레벨, 신호(CRS)가 로우레벨로 공급되는 제 1의 모드시에는, 스위치군(230)에 있어서의 제 1의 스위치군(SW231, SW233, SW235, SW237)이 온 상태가 되며, 제 2의 스위치군의 스위치(SW232, SW234, SW236, SW238)가 오프 상태로 유지된다.

[0144] 제 1의 모드의 이러한 상태에서는, 정극성 OTA(211)에 의해 생성된 정극성의 신호 전압이 제 1의 공통 OAMP(212)를 통해 제 1의 신호선(122_m)에 공급되며, 음극성 OTA(221)에 의해 생성된 음극성의 신호 전압이 제 2의 공통 OAMP(222)를 통해 제 2의 신호선(112_{m+1})에 공급된다.

[0145] 신호(CRS)가 하이레벨, 신호(STR)가 로우레벨로 공급되는 제 2의 모드시에는, 스위치군(230)에 있어서의 제 2의 스위치군(SW232, SW234, SW236, SW238)이 온 상태가 되며, 제 1의 스위치군의 스위치(SW231, SW233, SW235, SW237)가 오프 상태로 유지된다.

[0146] 제 2의 모드의 이러한 상태에서는, 정극성 OTA(211)에 의해 생성된 정극성의 신호 전압이 제 2의 공통 OAMP(222)를 통해 제 1의 신호선(122_{m+1})에 공급되며, 음극성 OTA(221)에 의해 생성된 음극성의 신호 전압이 제 1의 공통 OAMP(212)를 통해 제 1의 신호선(112_m)에 공급된다.

[0147] 본 실시 형태의 출력 버퍼부에 의하면, 정극성 OTA(211)에 의해 생성된 정극성의 신호 전압과, 음극성 OTA(221)에 의해 생성된 음극성의 신호 전압이 각각, 출력 버퍼부(200)의 출력 경로상에 스위치를 배치하지 않고, 양극에서 음극으로 그리고 음극에서 양극을 스위칭될 수 있다.

[0148] 출력 버퍼부(200)의 출력 경로상에 스위치가 배치되어 있지 않으므로, 출력 선택기 방식에 비해 세틀링(settling)이 빠르다.

[0149] 이 구성에서는, 각 출력단의 제 1의 공통 OAMP(212)와 제 2의 공통 OAMP(222)는, 정극성 OTA(211)와 음극성 OTA(221)에 공통적인 증폭기이다.

[0150] 도 7의 블록도에 도시된 출력 버퍼부(200)의 대표적인 구성과 도 8의 회로에서는, 출력단의 제 1의 공통 OAMP(212)와 제 2의 공통 OAMP(222)의 입력에 각각 두 개의 입력 단자가 제공되어 있다. 그러나, 본 실시예의 범위는 본 실시예에 따르는 신호선구동 회로(120)의 출력 버퍼부(200)에 한정되어 있는 것은 아니다. 예를 들면, 제 1의 공통 OAMP(212)와 제 2의 공통 OAMP(222)의 각각에는 한 개의 입력 단자가 제공되어도 상관없다.

[0151] 도 10a와 도 10b는, 본 실시예에 따르는 신호선구동 회로(120)의 출력 버퍼부(200)의 구성과 도 3을 참조하여 이미 설명된 출력 선택기 방식을 이용하는 구성을 비교하는 경우에 참조되는 복수의 도면을 나타내고 있다.

[0152] 도 10b에 도시된 바와 같이, 출력 버퍼부(200)의 출력 경로상에 스위치(SW)가 제공되어 있지 않으므로, 스위치의 ON저항을 작게 할 필요가 없고, 그로 인해 스위치 사이즈를 삭감할 수 있다.

[0153] 또한, 직렬로 접속되어 있는 스위치(SW)가 없기 때문에, 출력단의 제 1 및 제 2의 공통 OAMP(212, 222)의 각각의 사이즈도, 역시 작게할 수 있다.

[0154] 도 11a와 도 11b는, 출력 선택기 방식과 본 실시 형태에 따르는 신호선 구동 회로(120)의 출력 버퍼부(200)의 바이어스단의 전압들의 차이를 도시하기 위해 이용되는 복수의 도면들이다. 도 11의 도면들은 출력단의 증폭기에 의해 생성되는 오프셋 전압을 비교하는 경우에 참조된다.

[0155] 출력단의 증폭기에 의해 생성되는 오프셋 전압이 서로 매치되는 경우에는, 출력 선택기 방식에서는, 도 11a에 도시된 바와 같이, 오프셋 전압이 제거될 수 있으므로, 휘도가 이상적인 값으로부터 벗어나지 않게 된다.

[0156] 출력 선택기 방식의 경우에는, 공통 전압 Vcom의 중심 전압으로부터의 평균 전압은, $\Delta 1 + \Delta 2$ 가 제거되지 않았다는 것을 나타내는 표현식, $V_a + (\Delta 1 + \Delta 2) / 2$ 가 된다.

[0157] 본 실시 형태에 따르는 신호선 구동 회로(120)의 출력 버퍼부(200)에 따라, 도 11a에 도시된 바와 같이, 극성

반전에 의해 두 개의 프레임에 대한 오프셋 전압들이 서로 서로를 제거하게 된다.

- [0158] 본 실시 형태에 따르는 신호선 구동 회로(120)의 출력 버퍼부(200)의 경우에는, 공통 전압 V_{com} 의 중심 전압으로부터의 평균 전압은 오프셋 값($\Delta 1, \Delta 2$)에 관계없는 Δa 가 된다.
- [0159] 이상 설명한 것처럼, 본 실시 형태에 의하면, 출력 버퍼부(200)는, 전단의 DAC(123)으로부터 수신된 입력 데이터를 증폭하여, 정극성의 신호 전압을 생성하는 기능을 가지는 정극성 OTA(211)와, 채널(CH_m)(예를 들어 $m=1$)에 접속되는 제 1의 신호선(112_m)에 정극성 또는 음극성의 신호 전압을 공급하는 출력 버퍼의 기능을 가지는 제 1의 공통 OAMP(212)와, 전단의 DAC(123)(DAC_LOWER)의 입력 데이터를 증폭하여, 음극성의 신호 전압을 생성하는 기능을 가지는 음극성 OTA(221)와, 채널(CH_{m+1})(예를 들어 $CH2, m=1$)에 접속되는 제 2의 신호선(112_{m+1})에 음극성 또는 정극성의 신호 전압을 공급하는 제 2의 공통 OAMP(222)와, 제 1의 스위치(SW231)~제 8의(SW238)를 포함하는 스위치군(230)을 이용한다. 정극성 OTA(211)의 출력 단자 및 공통 출력 증폭기(OAMP)(212)의 제 1의 입력 단자 사이에는 제 1의 스위치(SW231)가 배치되어 있다. 정극성 OTA(211)의 출력 단자 및 공통 출력 증폭기(OAMP)(222)의 제 1의 입력 단자 사이에는 제 2의 스위치(SW232)가 배치되어 있다. 음극성 OTA(221)의 출력 단자와 제 2의 공통 출력 증폭기(OAMP)(222)의 제 2의 입력 단자 사이에는 제 3의 스위치(SW233)가 배치되어 있다. 음극성 OTA(221)의 출력 단자와 제 1의 공통 출력 증폭기(OAMP)(212)의 제 2의 입력 단자 사이에는 제 4의 스위치(SW234)가 배치되어 있다. 제 1의 공통 출력 증폭기(OAMP)(212)의 출력 단자와 정극성 OTA(211)의 반전 입력 단자(+) 사이에는 제 5의 스위치(SW235)가 배치되어 있다. 제 2의 공통 출력 증폭기(OAMP)(222)의 출력 단자와 정극성 OTA(211)의 반전 입력 단자(-) 사이에는 제 6의 스위치(SW236)가 배치되어 있다. 제 2의 공통 출력 증폭기(OAMP)(222)의 출력 단자와 음극성 OTA(221)의 반전 입력 단자(-) 사이에는 제 7의 스위치(SW237)가 배치되어 있다. 제 1의 공통 출력 증폭기(OAMP)(212)의 출력 단자와 음극성 OTA(221)의 반전 입력 단자(+) 사이에는 제 8의 스위치(SW238)가 배치되어 있다.
- [0160] 출력 버퍼부(200)의 출력 경로상에는 스위치가 없으므로, 즉, 출력 버퍼부(200)내에 스위치가 제공되어 있지 않으므로, 스위치의 사이즈는 작게될 수 있다. 그러므로, 배치 면적도 삭감될 수 있다.
- [0161] 게다가, 출력 버퍼부(200)의 출력 경로상에는 스위치(SW)가 없기 때문에, 출력 버퍼부(200)의 출력단의 MOS 사이즈를 삭감할 수 있고, 배치 면적을 삭감하는 것이 가능해진다.
- [0162] 게다가, 출력 버퍼부(200)의 출력 경로의 스위치(SW)가 없기 때문에, 세틀링과 출력 버퍼부(200)의 특성이 개선될 수 있다.
- [0163] 또, 출력 버퍼부(200)의 출력단의 증폭기에 의해 발생된 두 개의 프레임에 대한 오프셋 전압들이, 극성 반전에 의해 서로 제거할 수 있게 된다. 그러므로, 출력 버퍼부(200)의 특성을 개선하고 화질 개선을 도모할 수 있다.
- [0164] 상기 실시 형태에서는, 액티브 매트릭스형 액정표시장치에 적용했을 경우를 보기로 선택하여 설명했지만, 본 발명의 범위는 액티브 매트릭스형 액정표시장치에 한정되는 것이 아니다. 즉, 액티브 매트릭스형의 다른 액티브 매트릭스형 표시장치에도 적용가능하다. 액티브 매트릭스형의 다른 액티브 매트릭스형 표시장치의 보기로는, 전계 발광(EL) 소자를 각 화소의 전기 광학 소자로 이용한 액티브 매트릭스형의 EL표시장치가 있다.
- [0165] 게다가, 첨부된 청구항들 또는 그와 동등한 것들의 범위내에 있는 한, 여러가지 수정, 결합, 소결합과 변경들이 가능하다는 것을 당업자는 알 수 있다.
- [0166] 본 실시 형태와 관련되는 액티브 매트릭스형 액정표시장치로 대표되는 액티브 매트릭스형 표시장치는, 도 12~도 16에 나타내는 여러가지 전자기기, 예를 들어, 디지털 카메라, 노트형 퍼스널 컴퓨터, 휴대 전화 등의 휴대 단말 장치(이동일 기기), 데스크탑형 퍼스널 컴퓨터, 비디오 카메라 등과 같이, 전자기기에 입력된 영상 신호 혹은 전자기기내에서 생성한 영상 신호를 화상 혹은 영상으로서 표시하는 모든 분야의 전자기기의 표시장치에 적용하는 것이 가능하다. 이하에, 본 실시 형태가 적용되는 전자기기의 일례에 대해 설명한다.
- [0167] 도 12는, 본 실시 형태가 적용되는 텔레비전(300)의 외관을 나타내는 사시도이다. 본 발명의 실시예가 적용되는 전자기기의 대표적인 보기인 텔레비전(300)은, 프런트 패널(320)과 필터 유리(330)로 구성되는 영상 표시 화면부(310)를 포함하며, 본 실시 형태와 관련되는 액정표시장치를 그 영상 표시 화면부(310)로 이용함으로써 제작된다.
- [0168] 도 13a와 도 13b는, 본 실시 형태가 적용되는 디지털 카메라를 나타내는 사시도이며, 도 13a는 디지털 카메라의

정면에서 관찰한 디지털 카메라(300A)의 외관의 사시도이며, 도 13b는 디지털 카메라의 후방에서 관찰한 디지털 카메라(300A)의 외관의 사시도이다.

[0169] 본 실시예가 적용되는 전자기기의 실시예인 디지털 카메라(300A)는, 플래시용의 발광부(311), 표시부(312), 메뉴 스위치(313), 셔터 버튼(314)을 포함한다. 본 실시 형태와 관련되는 액정 표시장치를 디지털 카메라(300A) 내에서 표시부(312)로 이용하도록 디지털 카메라(300A)가 구성된다.

[0170] 도 14는, 본 실시 형태가 적용되는 노트형 퍼스널 컴퓨터(300B)를 나타내는 사시도이다. 본 실시예가 적용되는 전자기기의 대표적인 보기가 되는 노트형 퍼스널 컴퓨터(300B)는, 문자를 입력할 때 이용자가 조작하는 키보드(322)를 포함하는 본체(321)와 화상을 표시하는 표시부(323)를 포함한다. 노트형 퍼스널 컴퓨터(300B)는 본 실시 형태와 관련되는 표시장치를 표시부(323)로 이용하도록 구성된다.

[0171] 도 15는, 본 실시 형태가 적용되는 비디오 카메라(300C)를 나타내는 사시도이다. 본 실시예가 적용되는 전자기기의 대표적인 보기가 되는 비디오 카메라(300C)는, 본체부(331), 비디오 카메라의 전면에 배치되며, 전방을 향하도록 구성된, 피사체 촬영용의 렌즈(332), 촬영시의 스타트/스톱 스위치(333)와 표시부(334)를 포함한다. 비디오 카메라(300C)는 본 실시 형태와 관련되는 표시장치를 표시부(334)로 이용하도록 제작된다.

[0172] 도 16은, 본 실시 형태가 적용되는 휴대 단말 장치, 예를 들어 휴대 전화기(300D)를 나타내는 도면이며, 도 16a는 이미 개방된 상태에서 휴대 전화기(300D)의 정면도, 도 16b는, 이미 개방된 상태에서 휴대 전화기(300D)의 측면도, 도 16c는 이미 닫힌 상태에서 휴대 전화기(300D)의 정면도, 도 16d는, 이미 닫힌 상태에서 휴대 전화기(300D)의 좌측면도, 도 16e는, 이미 닫힌 상태에서 휴대 전화기(300D)의 우측면도, 도 16f는, 이미 닫힌 상태에서 휴대 전화기(300D)의 평면도, 도 16g는, 이미 닫힌 상태에서 휴대 전화기(300D)의 하면도이다.

[0173] 본 실시예가 적용되는 대표적인 전자기기가 되는 휴대 전화기(300D)는 상부 케이스(341), 하부 케이스(342), 연결부(여기에서는 경첩부)(343), 표시부(344), 표시 서브부(display sub-section : 345), 픽처 라이트(picture light : 346), 카메라(347)를 포함한다. 휴대 전화기(300D)는 본 실시예에 의해 제공되는 액정 표시장치를 휴대 전화기(300D)내에서 표시부(344) 및/또는 표시 서브부로 이용하도록 구성되어 있다.

도면의 간단한 설명

[0174] 도 1은, 일반적인 액정표시장치의 개략 구성을 나타내는 도면이다.

[0175] 도 2는, 출력 선택기를 이용한 종래의 신호선구동 회로의 구성예를 나타내는 블록도이다.

[0176] 도 3은, 도 2의 버퍼 앰프부와 출력 선택기와의 구성예를 나타내는 도면이다.

[0177] 도 4는, 본 발명의 실시 형태와 관련되는 표시장치의 구성예를 나타내는 도면이다.

[0178] 도 5는, 액정표시장치의 유효 표시부의 구성예를 나타내는 회로도이다.

[0179] 도 6은, 본 실시 형태와 관련되는 신호선구동 회로의 구성예를 나타내는 블록도이다.

[0180] 도 7은, 본 실시 형태와 관련되는 신호선구동 회로에 있어서의 출력 버퍼부의 구성예를 나타내는 도면이다.

[0181] 도 8은, 도 7의 출력 버퍼부의 좀 더 구체적인 구성예를 나타내는 회로도이다.

[0182] 도 9a, 도 9b, 도 9c와 도 9d는, 본 실시 형태와 관련되는 출력 버퍼부의 동작을 설명하기 위한 타이밍 차트이다.

[0183] 도 10a와 도 10b는, 도 3을 참조하여 이미 설명된 출력 선택기 방식과 본 실시 형태의 신호선구동 회로의 출력 버퍼부를 비교할 때 참조되는 복수의 도면이다.

[0184] 도 11a와 도 11b는, 출력 선택기 방식과 본 실시 형태의 신호선구동 회로의 출력 버퍼부의 각 바이어스단의 전압간의 차이를 표시하기 위해 이용되며, 출력단에 제공되는 증폭기에 의해 발생하는 오프셋 전압의 영향을 비교하는 경우에 참조되는 복수의 도면이다.

[0185] 도 12는, 본 실시 형태가 적용되는 텔레비전을 나타내는 사시도이다.

[0186] 도 13a와 도 13b는, 본 실시 형태가 적용되는 디지털 카메라를 나타내는 사시도이다.

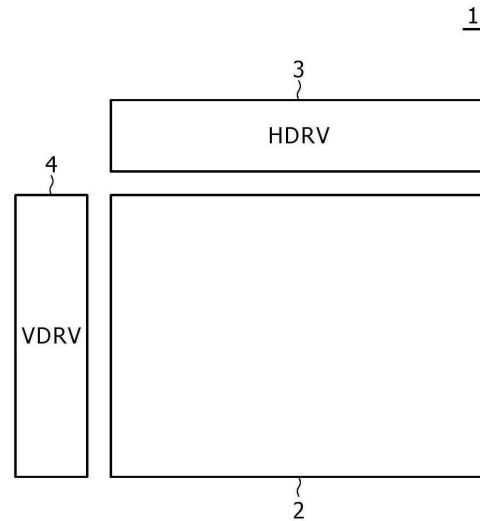
[0187] 도 14는, 본 실시 형태가 적용되는 노트형 퍼스널 컴퓨터를 나타내는 사시도이다.

[0188] 도 15는, 본 실시 형태가 적용되는 비디오 카메라를 나타내는 사시도이다.

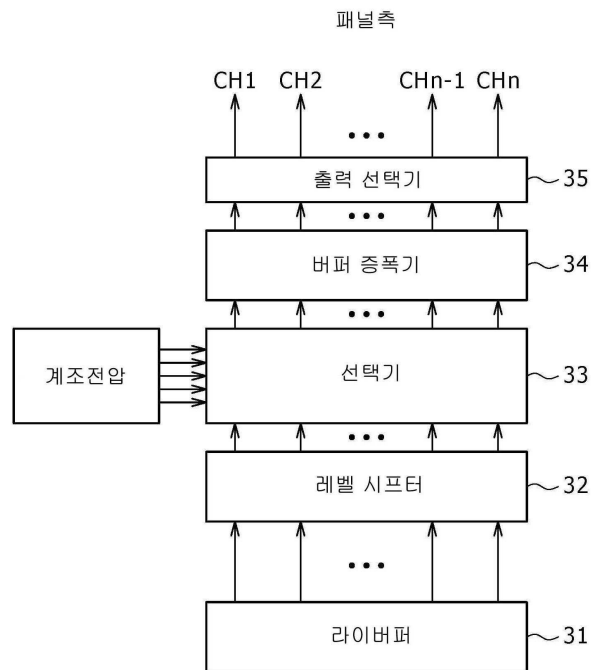
[0189] 도 16a, 도 16b, 도 16c, 도 16d, 도 16e, 도 16f와 도 16g는, 본 실시 형태가 적용되는 휴대 단말 장치, 예를 들어 휴대 전화기를 나타내는 도면이다.

도면

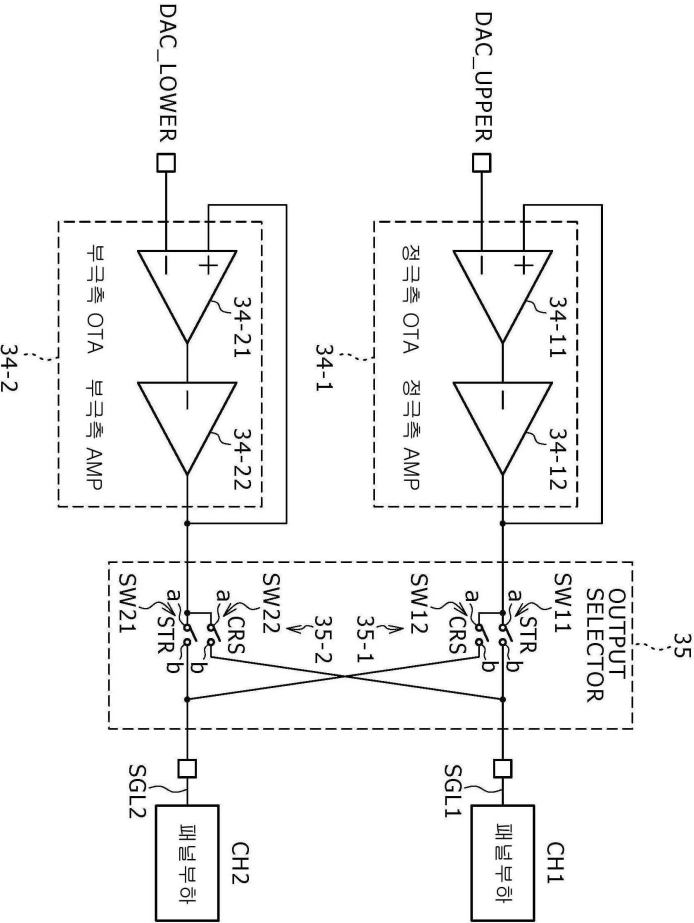
도면1



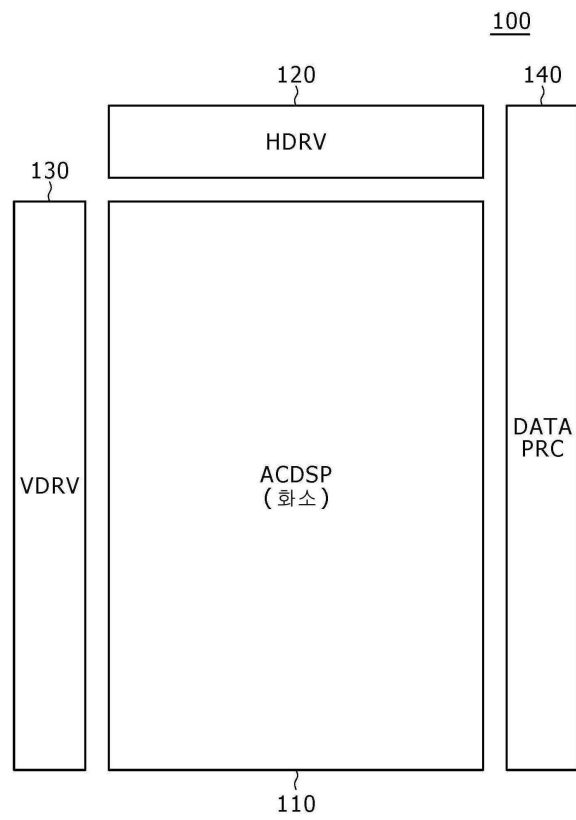
도면2



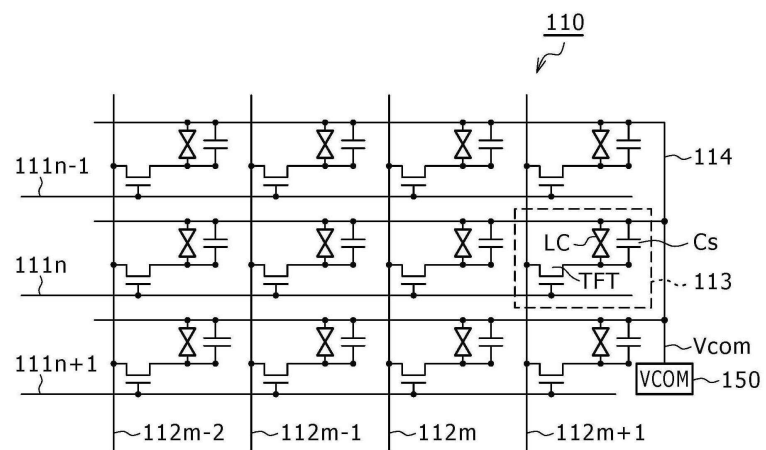
도면3



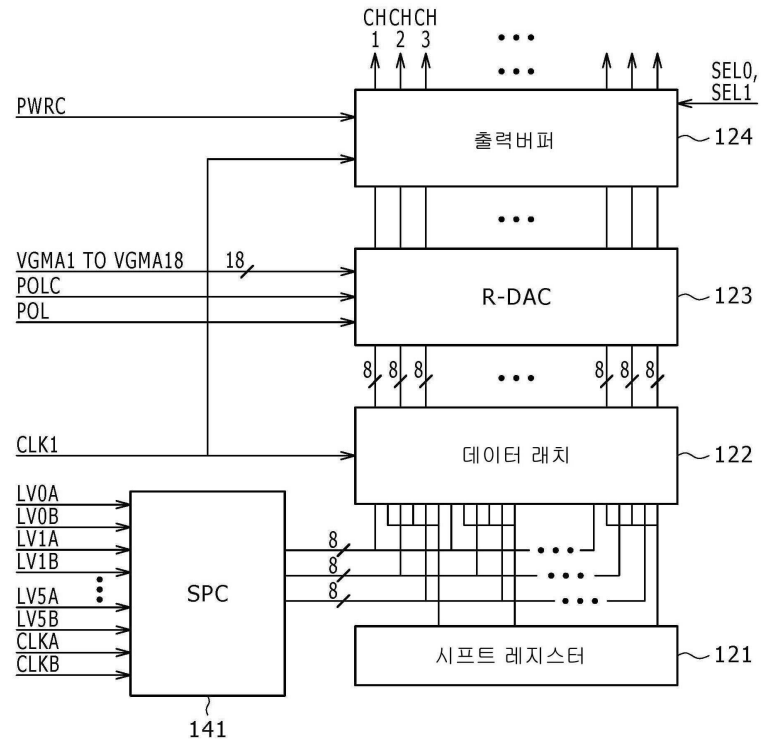
도면4



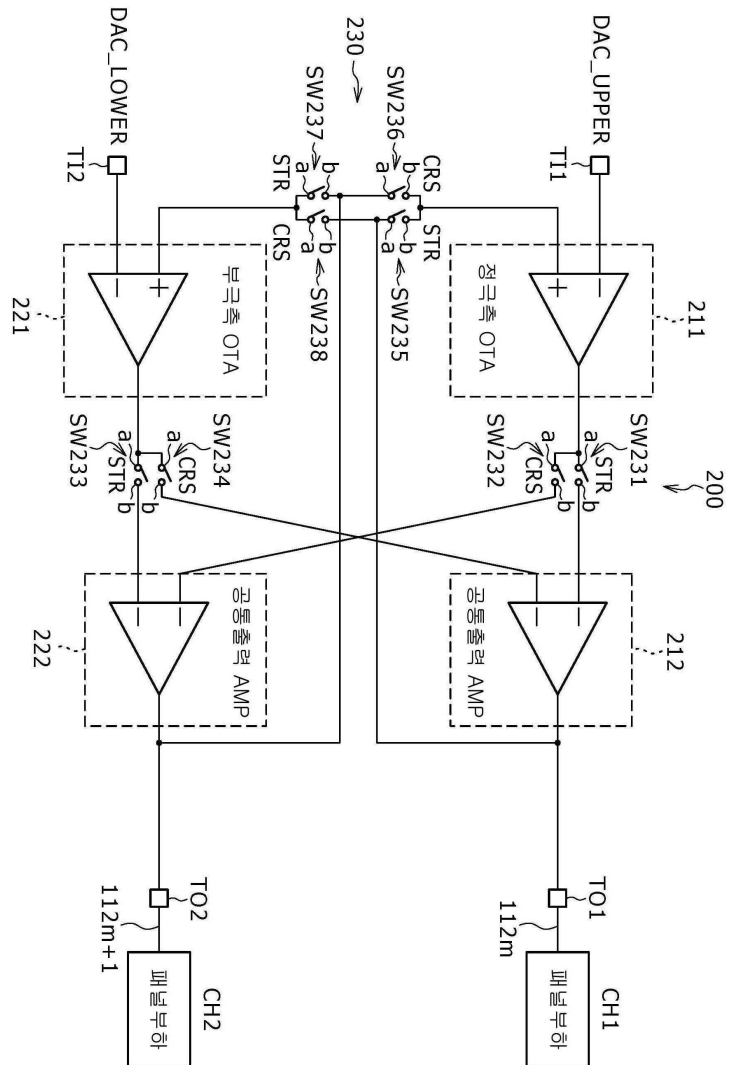
도면5



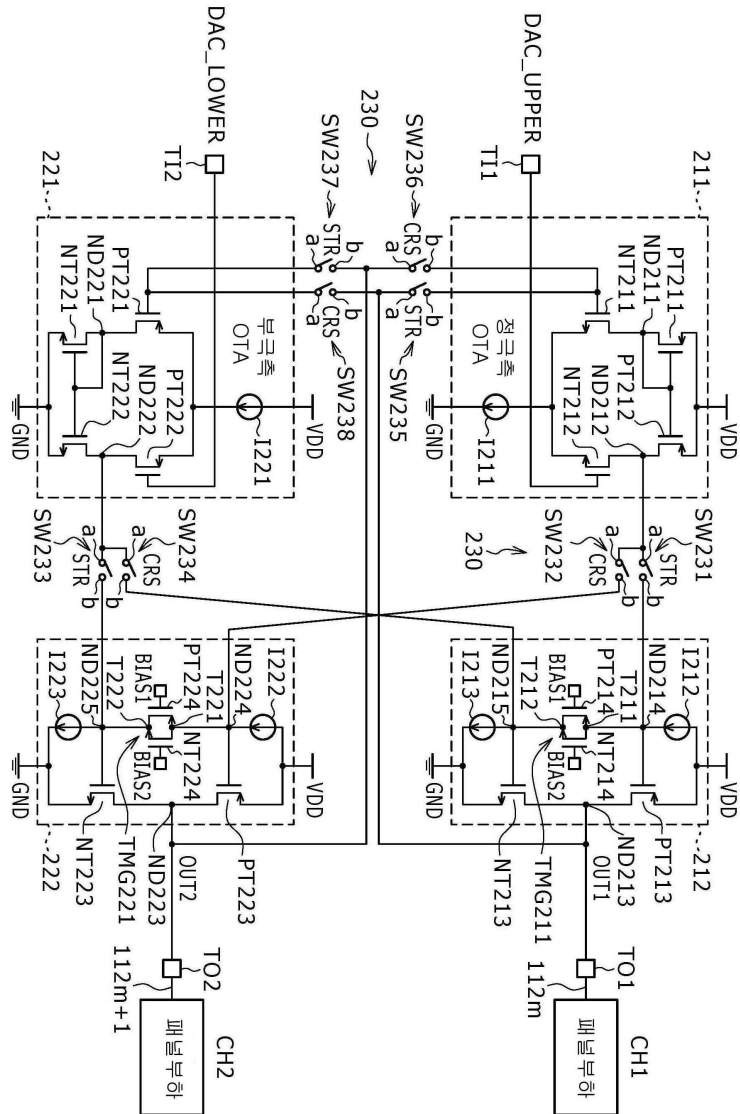
도면6



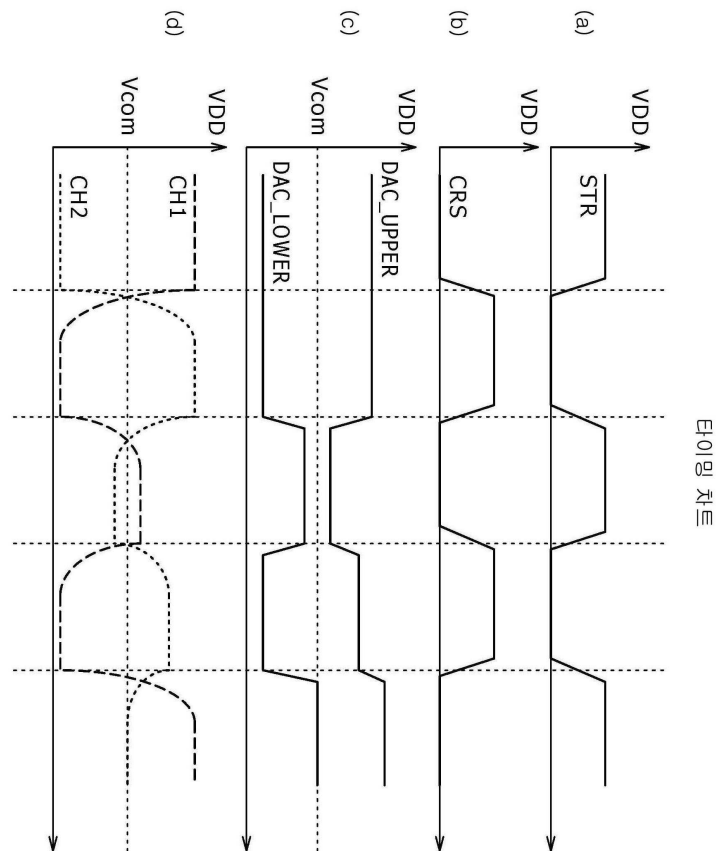
도면7



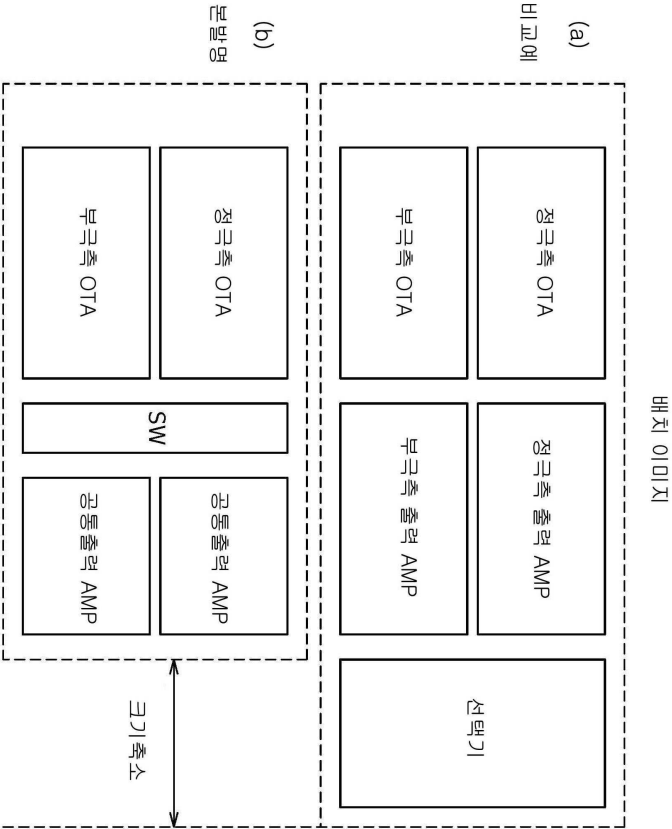
도면8



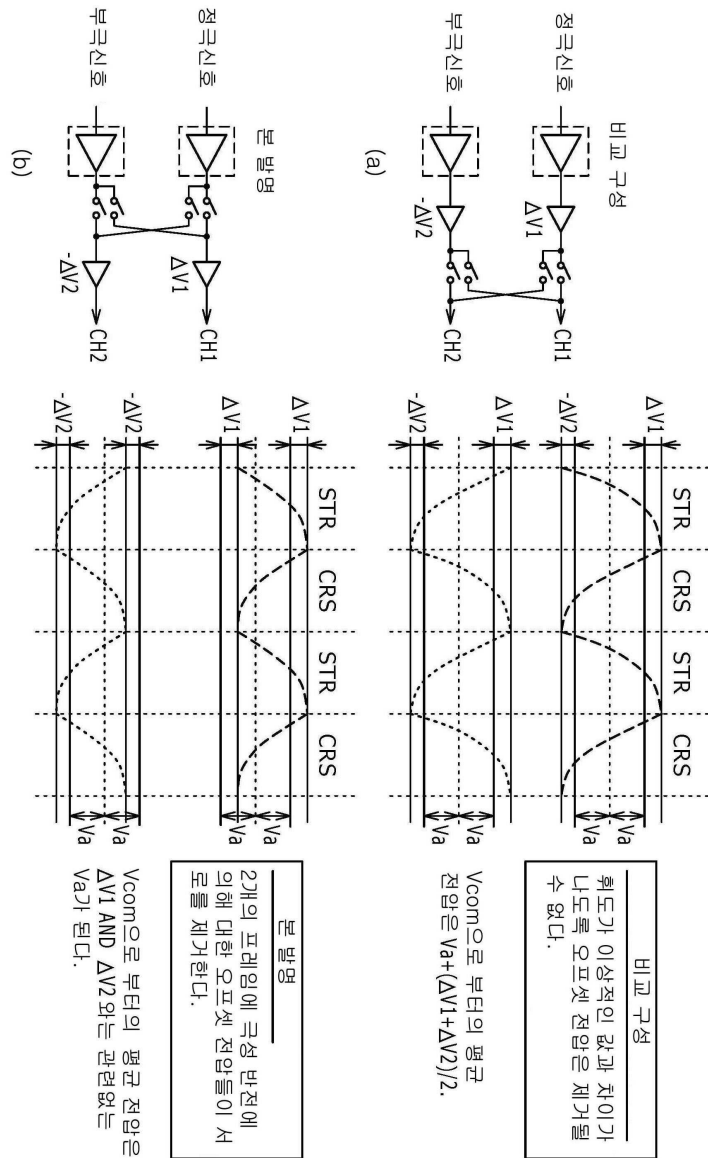
도면9



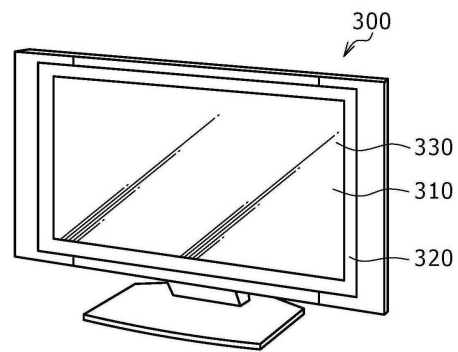
도면10



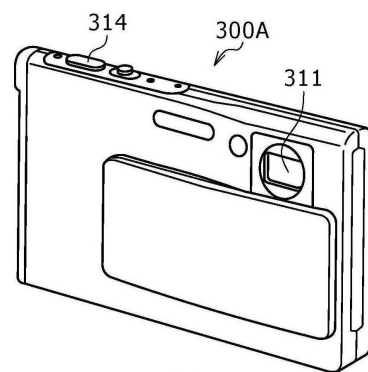
도면11



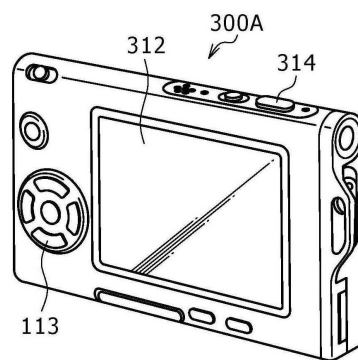
도면12



도면13

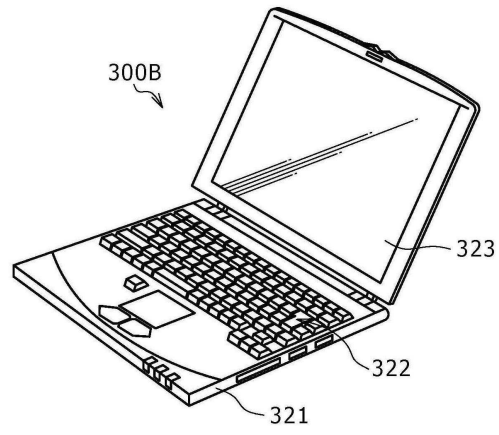


(a)

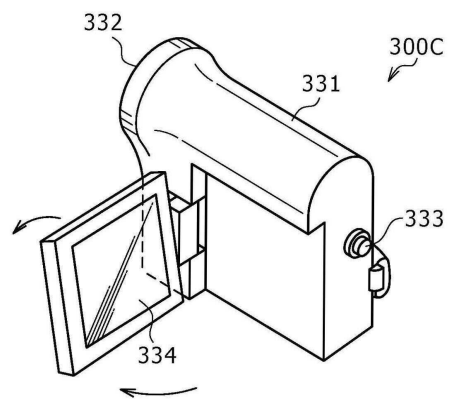


(b)

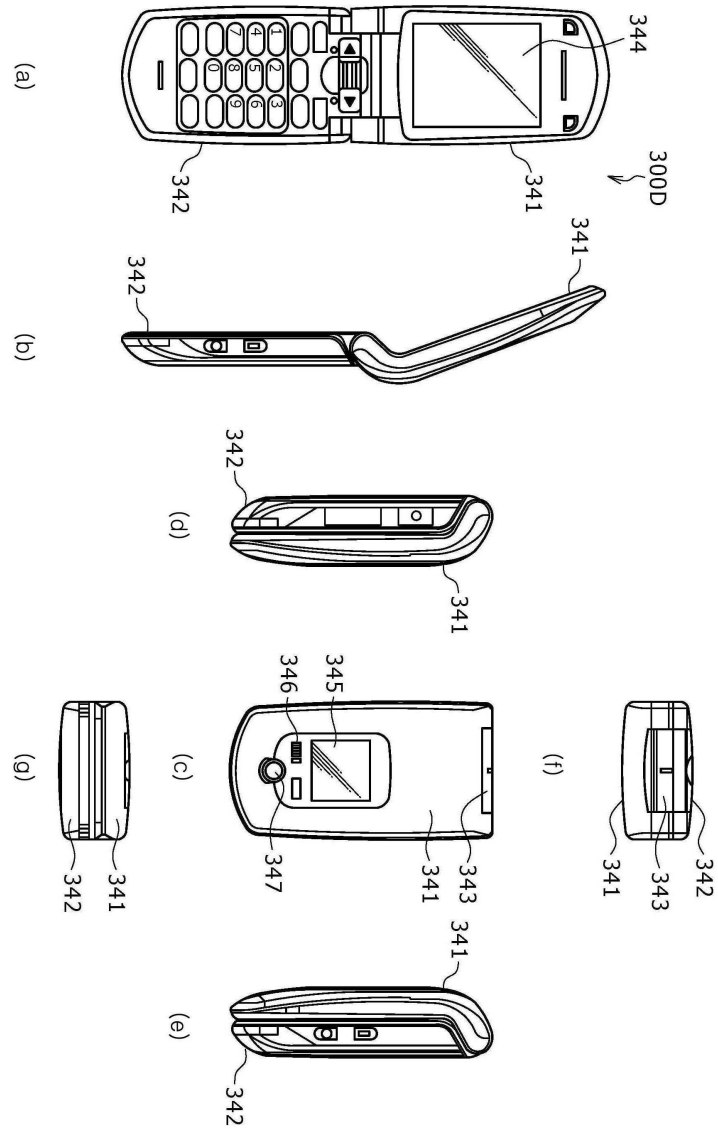
도면14



도면15



도면16



专利名称(译)	标题：信号线驱动电路和显示装置以及电子设备		
公开(公告)号	KR101531325B1	公开(公告)日	2015-06-24
申请号	KR1020080117644	申请日	2008-11-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	SUZUKI TOSHIO		
发明人	SUZUKI, TOSHIO		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2310/0281 G09G3/3614 G09G3/3688 G09G2310/0297		
优先权	2007338996 2007-12-28 JP		
其他公开文献	KR1020090072952A		
外部链接	Espacenet		

摘要(译)

一种信号线驱动电路，被配置为向连接到显示单元（例如液晶显示器）的每条信号线提供具有正极性或负极性的信号电压，该信号线被布置成形成矩阵。根据信号电压的极性的反转，对每个单元进行极性反转驱动操作。信号线驱动电路包括输出缓冲部分，其中输出缓冲部分采用正极性运算放大器，负极性运算放大器，第一输出缓冲器，第二输出缓冲器和开关组。

