



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년08월07일

(11) 등록번호 10-1426723

(24) 등록일자 2014년07월30일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *G09G 3/36* (2006.01)
G02F 1/133 (2006.01)
- (21) 출원번호 10-2013-7009448(분할)
- (22) 출원일자(국제) 2010년09월17일
 심사청구일자 2013년04월12일
- (85) 번역문제출일자 2013년04월12일
- (65) 공개번호 10-2013-0042064
- (43) 공개일자 2013년04월25일
- (62) 원출원 특허 10-2012-7012403
 원출원일자(국제) 2010년09월17일
- (86) 국제출원번호 PCT/JP2010/066627
- (87) 국제공개번호 WO 2011/046010
 국제공개일자 2011년04월21일

- (30) 우선권주장
 JP-P-2009-238869 2009년10월16일 일본(JP)
 JP-P-2009-279004 2009년12월08일 일본(JP)

- (56) 선행기술조사문헌
 US20020056838 A1
 US20030189401 A1
 US20060169973 A1
 US20060208977 A1

전체 청구항 수 : 총 8 항

심사관 : 정구옹

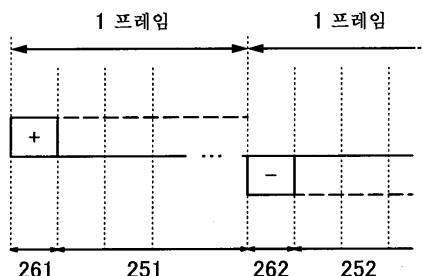
(54) 발명의 명칭 표시 장치

(57) 요약

표시부에 복수의 화소들을 포함하고 복수의 프레임 기간들에서 표시를 수행하도록 구성된 액정 표시 장치에서, 상기 프레임 기간들의 각각은 기록 기간 및 유지 기간을 포함하며, 화상 신호가 상기 기록 기간에서 상기 복수의 화소들의 각각에 입력된 후, 상기 복수의 화소들의 각각에 포함된 트랜지스터는 턴 오프되고 상기 화상 신호는 상기 유지 기간에서 적어도 30초 동안 유지된다. 상기 화소는 산화물 반도체층을 포함한 반도체층을 포함하며, 상기 산화물 반도체층은 $1 \times 10^{14} / \text{cm}^2$ 미만의 캐리어 농도를 가진다.

대 표 도

[도 3a]



(72) 발명자

고야마 준

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

쓰부쿠 마사시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

노다 고세이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

액정 소자와, 화상 신호가 공급되는 트랜지스터를 갖는 화소를 갖는 표시 장치이고,
상기 화상 신호가 공급되는 상기 트랜지스터는 산화물 반도체층을 갖고,
정지 화상의 리프레시 동작은 상기 화상 신호의 전압의 저하가 1.0% 이하의 상태로 행해지고,
상기 정지 화상의 리프레시 동작은 10초 이상 간격이 벌어지는 것을 특징으로 하는, 표시 장치.

청구항 2

액정 소자와, 화상 신호가 공급되는 트랜지스터를 갖는 화소를 갖는 표시 장치이고,
상기 화상 신호가 공급되는 상기 트랜지스터는 산화물 반도체층을 갖고,
상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하고,
정지 화상의 리프레시 동작은 상기 화상 신호의 전압의 저하가 1.0% 이하의 상태로 행해지고,
상기 정지 화상의 리프레시 동작은 10초 이상 간격이 벌어지는 것을 특징으로 하는, 표시 장치.

청구항 3

액정 소자와, 화상 신호가 공급되는 트랜지스터를 갖는 화소를 갖는 표시 장치이고,
상기 화상 신호가 공급되는 상기 트랜지스터는 게이트 전극과, 상기 게이트 전극 위의 산화물 반도체층을 갖고,
정지 화상의 리프레시 동작은 상기 화상 신호의 전압의 저하가 1.0% 이하의 상태로 행해지고,
상기 정지 화상의 리프레시 동작은 10초 이상 간격이 벌어지는 것을 특징으로 하는, 표시 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 산화물 반도체층의 수소 농도는 5×10^{19} atoms/cm³ 이하인 것을 특징으로 하는, 표시 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 트랜지스터의 오프 전류는 1×10^{-17} A/μm 이하인 것을 특징으로 하는, 표시 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 산화물 반도체층은 결정부를 갖는 것을 특징으로 하는, 표시 장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 트랜지스터는
상기 산화물 반도체층과 전기적으로 접속되는 소스 전극과,
상기 산화물 반도체층과 전기적으로 접속되는 드레인 전극과,
상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극 위에 있고, 상기 소스 전극과 상기 드레인 전극 사이에서 상기 산화물 반도체층에 접하는 산화물 절연층을 갖는 것을 특징으로 하는, 표시 장치.

청구항 8

액정 소자와 트랜지스터를 화소를 갖고,
 상기 트랜지스터는 게이트 전극 및 상기 게이트 전극과 중첩하는 산화물 반도체층을 갖고,
 제 1 화상 신호 및 상기 제 1 화상 신호와 같은 제 2 화상 신호를 계속 상기 액정 소자에 공급할 수 있고,
 상기 제 1 화상 신호가 상기 트랜지스터를 통해 상기 액정 소자에 공급된 후, 상기 트랜지스터가 오프(off)되고, 상기 액정 소자에 상기 제 1 화상 신호가 유지되고, 상기 액정 소자에 유지된 상기 제 1 화상 신호의 전압이 1.0%이상 저하되기 전에, 상기 제 2 화상 신호가 상기 트랜지스터를 통해 상기 액정 소자에 공급되고, 상기 제 1 화상 신호가 상기 액정 소자에 공급되고나서 상기 제 2 화상 신호가 상기 액정 소자에 공급될 때까지 10초 이상 간격이 벌어지는, 표시 장치.

명세서

기술 분야

[0001] 본 발명의 일 실시형태는 액정 표시 장치에 관한 것이다. 본 발명의 일 실시형태는 상기 액정 표시 장치를 포함한 전자 기기에 관한 것이다.

배경 기술

[0002] 유리 기판과 같은 평판 위에 형성된 박막 트랜지스터들은 대표적으로 액정 표시 장치에 보여지는 바와 같이, 비정질 실리콘 또는 다결정 실리콘을 사용하여 제작되어 왔다. 비정질 실리콘을 사용하여 제작된 박막 트랜지스터들은 낮은 전계 효과 이동도를 가지지만, 큰 유리 기판 위에 형성될 수 있다. 다른 한편으로, 결정 실리콘을 사용하여 제작된 박막 트랜지스터들은 높은 전계 효과 이동도를 가지지만, 레이저 어닐링과 같은 결정화 단계로 인해, 이러한 트랜지스터가 큰 유리 기판 위에 형성되기에 반드시 적합한 것은 아니다.

[0003] 상기를 고려하여, 박막 트랜지스터가 산화물 반도체를 사용하여 제작되는 기술이 관심을 끌고 있으며, 이러한 트랜지스터가 전자 디바이스 또는 광학 디바이스에 적용된다. 예를 들면, 특히 문헌 1은 박막 트랜지스터가 상기 산화물 반도체막으로서 산화 아연 또는 In-Ga-Zn-O-계 산화물 반도체를 사용하여 제작되는 기술을 개시하며, 이러한 트랜지스터는, 예를 들면 액정 표시 장치의 스위칭 소자로서 사용된다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개 특허 출원번호 제2006-165528호

발명의 내용

해결하려는 과제

[0005] 산화물 반도체가 채널 영역을 위해 사용되는 박막 트랜지스터는 비정질 실리콘이 채널 영역을 위해 사용되는 박막 트랜지스터 이상인 전계 효과 이동도를 달성한다. 산화물 반도체를 포함한 이러한 박막 트랜지스터를 포함한 화소는 액정 표시 장치와 같은 표시 장치에 적용되는 것으로 기대된다.

[0006] 액정 표시 장치에 포함된 각각의 화소는 액정 소자의 배향을 제어하기 위한 전압이 유지되는 저장 용량 소자를 구비한다. 박막 트랜지스터의 오프-상태 전류는 상기 저장 용량의 양을 결정하는 하나의 인자이다. 상기 저장 용량 소자에서의 전압을 유지하기 위한 기간의 연장을 이끄는 오프-상태 전류의 감소는 정지 화상 등이 표시될 때 전력 소비에서의 감소를 위해 중요하다.

[0007] 본 명세서에서, 오프-상태 전류는 박막 트랜지스터가 오프 상태(또한 비-도전 상태라고 하는)에 있을 때 소스 및 드레인 사이에서 흐르는 전류이다. n-채널 박막 트랜지스터(예를 들면, 약 0V 내지 2V의 임계 전압을 가진)의 경우에, 상기 오프-상태 전류는 음의 전압이 게이트 및 상기 소스 사이에 인가될 때 소스 및 드레인 사이에 흐르는 전류를 의미한다.

[0008] 또한, 3D 디스플레이 또는 4k2k 디스플레이와 같은, 이상인 값이 부가된 액정 표시 장치와 같이, 화소 당 영역이 작은 것으로 예상되고 개구율이 향상되는 화소를 포함한 액정 표시 장치가 요구된다. 상기 개구율을 향상시키기 위해 유지 용량 소자(holding capacitor)의 면적을 감소시키는 것이 중요하다. 따라서, 박막 트랜지스터의 상기 오프-상태 전류는 감소될 필요가 있다.

[0009] 상기한 것을 고려할 때, 본 발명의 일 실시형태의 목적은 산화물 반도체를 사용한 박막 트랜지스터의 오프-상태 전류가 하나의 화소에서 감소될 수 있는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시형태는 표시부에 복수의 화소들을 포함하고 복수의 프레임 기간들에서 표시를 수행하도록 구성된 액정 표시 장치이다. 상기 복수의 프레임 기간들의 각각은 기록 기간 및 유지 기간을 포함한다. 화상 신호가 상기 기록 기간에서 상기 복수의 화소들의 각각에 입력된 후, 상기 복수의 화소들의 각각에 포함된 트랜지스터는 턴 오프되고 상기 화상 신호는 상기 유지 기간에서 적어도 30초 동안 유지된다.

[0011] 본 발명의 일 실시형태는 표시부에 복수의 화소들을 포함하고 복수의 프레임 기간들에서 표시를 수행하도록 구성된 액정 표시 장치이다. 상기 복수의 프레임 기간들의 각각은 기록 기간 및 유지 기간을 포함한다. 극성이 복수 회 반전되는 전압을 가진 화상 신호가 상기 기록 기간에서 상기 복수의 화소들의 각각에 입력된 후, 상기 복수의 화소들의 각각에 포함된 트랜지스터는 턴 오프되고 상기 화상 신호는 상기 유지 기간에서 적어도 30초 동안 유지된다.

[0012] 본 발명의 실시형태의 상기 액정 표시 장치에서, 상기 유지 기간에서 상기 복수의 화소들의 각각에 공급된 상기 화상 신호의 전압의 극성은 상기 기록 기간의 끝에서 공급된 상기 전압의 극성일 수 있다.

[0013] 본 발명의 상기 실시형태의 상기 액정 표시 장치에서, 상기 트랜지스터는 산화물 반도체를 포함한 반도체층을 포함할 수 있으며, 상기 산화물 반도체는 $1 \times 10^{14} / \text{cm}^2$ 미만의 캐리어 농도를 가질 수 있다.

[0014] 본 발명의 상기 실시형태의 상기 액정 표시 장치에서, 상기 트랜지스터의 채널 폭의 마이크로미터당 상기 오프 상태 전류는 $1 \times 10^{-17} \text{ A}$ 이하일 수 있다.

발명의 효과

[0015] 산화물 반도체를 사용한 박막 트랜지스터를 포함한 화소에서, 상기 오프-상태 전류는 감소될 수 있다. 그러므로, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장시키고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다. 또한, 개구율이 향상될 수 있어서, 고-화질 표시부를 포함한 액정 표시 장치가 획득될 수 있도록 한다.

도면의 간단한 설명

[0016] 도 1a 내지 도 1c는 액정 표시 장치의 평면도 및 단면도들.

도 2는 액정 표시 장치의 블록도.

도 3a 및 도 3b는 액정 표시 장치의 동작을 도시한 도면.

도 4a 및 도 4b는 액정 표시 장치의 평면도 및 단면도.

도 5a 및 도 5b는 박막 트랜지스터를 도시한 도면.

도 6a 내지 도 6e는 박막 트랜지스터를 제작하는 방법을 도시한 도면.

도 7a 및 도 7b는 박막 트랜지스터를 도시한 도면.

도 8a 내지 도 8e는 박막 트랜지스터를 도시한 도면.

도 9a 및 도 9b는 각각 박막 트랜지스터를 도시한 도면.

도 10a 내지 도 10e는 박막 트랜지스터를 도시한 도면.

도 11a 내지 도 11e는 박막 트랜지스터를 도시한 도면.

도 12a 내지 도 12d는 박막 트랜지스터를 도시한 도면.

도 13a 내지 도 13d는 박막 트랜지스터를 도시한 도면.

도 14는 박막 트랜지스터를 도시한 도면.

도 15a 내지 도 15c는 액정 패널을 도시한 도면.

도 16a 내지 도 16c는 전자 기기들을 도시한 도면.

도 17a 내지 도 17c는 전자 기기들을 도시한 도면.

도 18은 실시형태 13을 도시하기 위한 다이어그램.

도 19a 및 도 19b는 실시형태 13을 도시하기 위한 다이어그램들.

도 20a 및 도 20b는 실시형태 13을 도시하기 위한 다이어그램들.

도 21은 실시형태 13을 도시하기 위한 다이어그램.

도 22는 실시형태 14를 도시하기 위한 다이어그램.

도 23a 및 도 23b는 실시형태 14를 도시하기 위한 다이어그램들.

도 24a 및 도 24b는 실시형태 14를 도시하기 위한 다이어그램들.

도 25a 내지 도 25c는 시프트 레지스터의 구조를 도시한 도면.

도 26은 시프트 레지스터의 동작을 도시하기 위한 흐름도.

도 27은 시프트 레지스터의 동작을 도시하기 위한 흐름도.

도 28은 예 1의 액정 표시 장치를 도시하기 위한 다이어그램.

도 29는 예 1의 액정 표시 장치를 도시하기 위한 다이어그램.

도 30은 예 1의 액정 표시 장치를 도시하기 위한 다이어그램.

발명을 실시하기 위한 구체적인 내용

[0017]

본 발명의 실시형태들 및 예들이 상기 도면들을 참조하여 상세히 기술될 것이다. 본 발명은 다음 설명에 제한되지 않으며, 이 기술분야의 숙련자들에 의해 다양한 변경들 및 수정들이 본 발명의 사상 및 범위로부터 벗어나지 않고 이루어질 수 있다는 것이 쉽게 이해될 것이다. 그러므로, 본 발명은 이하의 실시형태들 및 예들의 설명에 제한되는 것으로서 해석되어서는 안된다. 이하에 기술된 본 발명의 구조에서, 동일한 부분들 또는 상이한 도면들에서 유사한 기능들을 가진 부분들은 동일한 참조 부호들로서 나타내어지며, 그것들의 반복적인 설명은 생략될 것임을 주의하자.

[0018]

본 명세서에서의 도면들에 도시된 크기, 층의 두께, 또는 각각의 구조의 영역은 몇몇 경우들에서 단순함을 위해 과장된다는 것을 주의하자. 그러므로, 본 발명의 실시형태들 및 예들은 이러한 스케일들에 제한되지 않는다.

[0019]

본 명세서에 사용된 "제 1", "제 2", 및 "제 3"과 같은 용어들은 단지 구성 요소들의 혼동을 회피하기 위해 사용되며, 상기 구성 요소들의 수에 대한 제한을 의미하지 않는다. 그러므로, 예를 들면 "제 1"이 "제 2" 또는 "제 3"으로 적절하게 교체될 때에도 설명이 이루어질 수 있다.

[0020]

(실시형태 1)

[0021]

액정 표시 장치의 화소가 박막 트랜지스터를 사용하여 형성되는 일 예가 이하에 설명된다. 이 실시형태에서, 액정 표시 장치의 화소에 포함된 박막 트랜지스터(이하에서, 또한 TFT라고 함) 및 상기 TFT에 접속된 화소 전극으로서 기능하는 전극(또한 간단하게 화소 전극이라고 하는)이 예들로서 설명된다. 화소는 표시 장치의 각각의 화소에 제공된 소자들을 포함하는 소자 그룹, 예를 들면, 박막 트랜지스터, 화소 전극으로서 기능하는 전극, 또는 배선과 같이, 전기 신호들에 따라 표시를 제어하기 위한 소자를 나타낸다. 화소는 컬러 필터 등을 포함할 수 있으며, 그 밖기가 하나의 화소로 제어될 수 있는 하나의 컬러 성분에 대응할 수 있다. 그러므로, 예를 들면, R, G, 및 B의 컬러 성분들을 포함한 컬러 표시 장치의 경우에, 화상의 최소 단위는 R, G, 및 B의 3개의 화소들을 포함하며, 화상은 복수의 화소들로 획득될 수 있다. 본 발명의 일 실시형태는 컬러 표시 장치에 제한되지 않으

며, 단색(monochrome) 표시 장치일 수 있다는 것을 주의하자.

[0022] "A와 B가 서로 접속된다"는 A와 B가 서로 전기적으로 접속되는 경우 및 A와 B가 서로 직접 접속되는 경우를 포함한다는 것을 주의하자. 여기에서, A와 B의 각각은 대상(예로서, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)에 대응한다.

[0023] 먼저, 화소의 평면도가 도 1a에 도시된다. 도 1a는 TFT의 구조의 일 예로서 보텀-케이트 구조를 도시한다는 것을 주의하자. 도 1a는 TFT의 소스 전극 및 드레인 전극으로서 작용하는 배선층들이 게이트로서 작용하는 배선에 대해 채널 영역으로서 작용하는 산화물 반도체층의 대향 측 상에 제공되는 소위 역 스태거 구조(inverted staggered structure)를 도시한다는 것을 주의하자.

[0024] 도 1a에 도시된 화소(100)는 주사선으로서 기능하는 제 1 배선(101), 신호선으로서 기능하는 제 2 배선(102A), 산화물 반도체층(103), 용량선(104), 및 화소 전극(105)을 포함한다. 게다가, 상기 화소(100)는 상기 산화물 반도체층(103) 및 상기 화소 전극(105)을 서로 전기적으로 접속하기 위한 제 3 배선(102B)을 포함하며, 여기에서 박막 트랜지스터(106)가 형성된다. 상기 제 1 배선(101)은 또한 상기 박막 트랜지스터(106)의 게이트로서 기능하는 배선이다. 상기 제 2 배선(102A)은 또한 소스 전극 및 드레인 전극 중 하나 및 저장 용량 소자의 하나의 전극으로서 기능하는 배선이다. 상기 제 3 배선(102B)은 또한 상기 소스 전극 및 상기 드레인 전극 중 다른 하나로서 기능하는 배선이다. 상기 용량선(104)은 상기 저장 용량 소자의 다른 하나의 전극으로서 기능하는 배선이다.

[0025] 프로세스의 단순화를 위해, 상기 제 1 배선(101) 및 상기 용량선(104)이 동일한 층에 제공되며 상기 제 2 배선(102A) 및 상기 제 3 배선(102B)이 동일한 층에 제공되는 것이 바람직하다는 것을 주의하자. 더욱이, 상기 제 3 배선(102B) 및 상기 용량선(104)은 서로 부분적으로 중첩하고 액정 소자를 위한 저장 용량 소자를 형성하도록 제공된다. 상기 박막 트랜지스터(106)에 포함된 상기 산화물 반도체층(103)은 그 사이에 개재된 게이트 절연막(도시되지 않음)을 갖고 상기 제 1 배선(101)로부터 분기하는 배선 위에 제공된다는 것을 주의하자.

[0026] 도 1b는 도 1a의 쇄선(A1-A2)을 따라 취해진 단면 구조를 도시한다. 도 1b에 도시된 상기 단면 구조에서, 게이트로서 작용하는 상기 제 1 배선(101) 및 상기 용량선(104)은 그 사이에 개재된 하지막(112)을 갖고 기판(111) 위에 제공된다. 게이트 절연막(113)은 상기 제 1 배선(101) 및 상기 용량선(104)을 커버하도록 제공된다. 상기 산화물 반도체층(103)은 상기 게이트 절연막(113) 위에 제공된다. 상기 제 2 배선(102A) 및 상기 제 3 배선(102B)은 상기 산화물 반도체층(103) 위에 제공된다. 게다가, 패시베이션 막으로서 기능하는 산화물 절연층(114)이 상기 산화물 반도체층(103), 상기 제 2 배선(102A), 및 상기 제 3 배선(102B) 위에 제공된다. 개구부가 상기 산화물 절연층(114)에 형성되며, 상기 개구부에서, 상기 화소 전극(105) 및 상기 제 3 배선(102B)이 서로 접속된다. 더욱이, 용량 소자가 유전체로서 작용하는 상기 제 3 배선(102B), 상기 용량선(104), 및 상기 게이트 절연막(113)에 의해 형성된다.

[0027] 도 1c는 도 1a의 쇄선(B1-B2)을 따라 취해진 단면도를 도시하며, 절연층(121)이 상기 용량선(104) 및 상기 제 2 배선(102A) 사이에 제공되는 구조를 도시한다.

[0028] 상기 제 2 배선(102A)이 상기 제 1 배선(101) 및 상기 용량선(104) 위에 제공되는 경우에, 기생 용량은 상기 게이트 절연막(113)의 두께에 의존하여, 상기 제 1 배선(101)과 상기 제 2 배선(102A) 사이 및 상기 용량 소자(104)와 상기 제 2 배선(102A) 사이에 생성될 수 있다. 그러므로, 도 1c에 도시된 바와 같이 상기 절연층(121)을 제공함으로써, 기생 용량이 감소될 수 있고 오작동과 같은 결함이 감소될 수 있다.

[0029] 도 1a 내지 도 1c에 도시된 상기 화소는 도 2에 도시된 바와 같이 기판(200) 위에 매트릭스로 배열된 복수의 화소들(201) 중 하나에 대응한다는 것을 주의하자. 도 2는 화소부(202), 주사선 구동기 회로(203), 및 신호선 구동기 회로(204)가 상기 기판(200) 위에 제공되는 구성으로서, 상기 화소들(201)이 선택된 상태인지 또는 비-선택 상태인지 여부는 상기 주사선 구동기 회로(203)에 접속된 상기 제 1 배선(101)으로부터 공급된 주사 신호에 따라 각각의 선에 대해 결정된다. 상기 주사선에 의해 선택된 상기 화소(201)는 상기 신호선 구동기 회로(204)에 접속된 상기 배선(102A)을 통해 비디오 전압(또한, 화상 신호, 영상 신호, 또는 비디오 데이터라고 하는)을 공급받는다.

[0030] 도 2는 상기 주사선 구동기 회로(203) 및 상기 신호선 구동기 회로(204)가 상기 기판(200) 위에 제공되는 구성으로서, 상기 주사선 구동기 회로(203) 및 상기 신호선 구동기 회로(204) 중 하나가 상기 기판(200) 위에 제공되고 다른 하나가 또 다른 기판(예로서, 단결정 실리콘 기판) 위에 형성되며, 그 후 TAB 방법 또는 COG 방법과 같은 실장 기술에 의해 상기 화소부(202)에 접속되는 구성이 이용될 수 있다. 대안적으로, 단지 상기 화

소부(202)가 상기 기판(200) 위에 제공되고 상기 주사선 구동기 회로(203) 및 상기 신호선 구동기 회로(204)가 또 다른 기판 위에 형성되며 그 후 TAB 방법 또는 COG 방법과 같은 실장 기술에 의해 상기 화소부(202)에 접속되는 구조가 이용될 수 있다.

[0031] 도 2는 상기 복수의 화소들(201)이 상기 화소부(202)에 매트릭스로(스트라이프로) 배열되는 일 예를 도시한다. 상기 화소들(201)이 반드시 매트릭스로 배열될 필요는 없으며, 예를 들면 델타 패턴(delta pattern) 또는 베이어 패턴(Bayer pattern)으로 배열될 수 있다는 것을 주의하자. 상기 화소부(202)의 표시 방법으로서, 프로그래시브 방법(progressive method) 또는 인터레이스 방법(interlace method) 중 하나가 이용될 수 있다. 컬러 표시를 위해 화소에서 제어된 컬러 성분들은 R, G, 및 B(R, G, 및 B는 각각 빨간색, 녹색, 및 파란색에 대응한다)의 3개의 컬러들에 제한되지 않으며, 3개 이상의 컬러들의 컬러 성분들, 예를 들면, R, G, B, 및 W(W는 흰색에 대응한다), R, G, B, 및 노란색, 청록색, 자홍색 등 중 하나 이상 등이 이용될 수 있다는 것을 주의하자. 표시 영역들의 크기들은 컬러 성분들의 각각의 점들 사이에서 상이할 수 있다는 것을 주의하자.

[0032] 도 2에서, 상기 제 1 배선들(101) 및 상기 제 2 배선들(102A)의 수들은 컬럼 방향 및 로우 방향에서의 상기 화소들의 수에 대응한다. 상기 제 1 배선들(101) 및 상기 제 2 배선들(102A)의 수들은 상기 화소들에 포함된 서브-화소들의 수 또는 상기 화소들에서의 상기 트랜지스터들의 수에 의존하여 증가될 수 있다는 것을 주의하자. 대안적으로, 상기 화소(201)는 다른 화소들과 공유되는 상기 제 1 배선(101) 및 상기 제 2 배선(102A)에 의해 구동될 수 있다.

[0033] 도 1a는 직사각형 형상을 가진 것으로 상기 TFT의 상기 제 2 배선(102A)을 도시하며; 대안적으로, 상기 제 2 배선(102A)은 캐리어들이 이동하는 영역의 면적이 증가될 수 있고 상기 박막 트랜지스터가 턴 온될 때(또한, 온-상태 전류라고 하는) 흐르는 전류의 양이 증가될 수 있도록 상기 제 3 배선(102B)을 둘러싸는 형상(구체적으로, U 형상 또는 C 형상)으로 형성될 수 있다는 것을 주의하자.

[0034] 본 명세서에서, 온-상태 전류는 박막 트랜지스터가 온 상태(또한 도전 상태라고 하는)에 있을 때 소스 및 드레인 사이에 흐르는 전류임을 주의하자. n-채널 박막 트랜지스터의 경우에, 상기 온-상태 전류는 게이트 및 상기 소스 사이에 인가된 전압이 임계 전압(V_{th})보다 높을 때 소스 및 드레인 사이에 흐르는 전류를 의미한다.

[0035] 개구율은 단위 면적에 대한 투광 면적의 부분의 비를 나타낸다는 것을 주의하자. 광을 투과시키지 않는 부재에 의해 점유된 영역이 커질수록, 상기 개구율은 감소하며, 광을 투과시키는 부재에 의해 점유되는 영역이 커질수록 상기 개구율은 증가한다. 액정 표시 장치에서, 상기 개구율은 화소 전극에 중첩하는 배선 또는 용량선의 면적 및 박막 트랜지스터의 크기를 감소시킴으로써 증가한다.

[0036] 박막 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자들을 갖는 소자임을 주의하자. 상기 박막 트랜지스터는 드레인 영역 및 소스 영역 사이에 채널 영역을 가지며 전류가 상기 드레인 영역, 상기 채널 영역, 및 상기 소스 영역을 통해 흐르도록 허용한다. 여기에서, 상기 박막 트랜지스터의 상기 소스 및 상기 드레인은 상기 박막 트랜지스터의 상기 구조, 상기 동작 조건 등에 의존하여 변할 수 있기 때문에, 어떤 것이 소스 또는 드레인인지를 정의하는 것은 어려운 일이다. 그러므로, 소스 또는 드레인으로서 기능하는 영역은 몇몇 경우들에서 상기 소스 또는 상기 드레인이라고 하지 않는다. 이러한 경우에, 예를 들면, 상기 소스 및 상기 드레인 중 하나는 제 1 단자라고 할 수 있고 다른 하나는 제 2 단자라고 할 수 있다. 대안적으로, 상기 소스 및 상기 드레인 중 하나는 제 1 전극이라고 할 수 있고 다른 하나는 제 2 전극이라고 할 수 있다. 또한 대안적으로, 상기 소스 및 상기 드레인 중 하나는 제 1 영역이라고 할 수 있고, 다른 하나는 제 2 영역이라고 할 수 있다.

[0037] 다음으로, 상기 산화물 반도체층(103)이 기술될 것이다.

[0038] 이 실시형태에서, 산화물 반도체로부터, 상기 산화물 반도체에서 수소의 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하가 되도록 수소(OH 결합을 포함하는)가 제거된다. 그 후, 채널 영역이 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하의 캐리어 농도를 가진 산화물 반도체막을 사용하여 형성되는 박막 트랜지스터가 형성된다. 상기 산화물 반도체층에서 수소의 농도는 2차 이온 질량 분석법 (secondary ion mass spectrometry; SIMS)에 의한 분석에 의해 측정된다는 것을 주의하자.

[0039] 산화물 반도체의 에너지 갭이 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상일 때, 열여기에 의해 생성된 캐리어들은 그것들이 무시될 수 있도록 적다. 따라서, 도너들을 형성하는 수소와 같은 불순물들은 상기 캐리어 농도가 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하가 되도록 가능한 한 많이 감소된

다. 달리 말하면, 산화물 반도체층의 상기 캐리어 농도는 가능한 한 0에 가깝게 된다.

[0040] 상술된 바와 같이 상기 산화물 반도체로부터 수소를 완전히 제거함으로써 정제되는 산화물 반도체가 박막 트랜지스터의 채널 형성 영역을 위해 사용될 때, 상기 드레인 전류는 상기 채널 폭이 10 μm 인 경우에서도 1V 내지 10V의 범위에 있는 드레인 전압 및 -5V 내지 -20V의 범위에 있는 게이트 전압에서 $1 \times 10^{-13} \text{ A}$ 이하이다.

[0041] 표시 장치의 회로 등이 이러한 매우 작은 오프-상태 전류를 가진 박막 트랜지스터를 사용하여 제작되는 경우에, 매우 작은 누설이 존재한다. 그러므로, 영상 신호와 같은 전기 신호는 보다 긴 시간 기간 동안 유지될 수 있다.

[0042] 구체적으로, 상기 산화물 반도체층을 포함하고 10 μm 의 채널 폭을 가진 전술된 트랜지스터의 채널 폭의 마이크로미터당 상기 오프-상태 전류는 $10 \text{ aA}/\mu\text{m}(1 \times 10^{-17} \text{ A}/\mu\text{m})$ 이하만큼 작을 수 있으며, 뿐만 아니라 $1 \text{ aA}/\mu\text{m}(1 \times 10^{-18} \text{ A}/\mu\text{m})$ 이하만큼 작을 수 있다. 오프 상태에서의 매우 작은 전류(오프-상태 전류)를 가진 트랜지스터가 화소에서 선택 트랜지스터로서 사용될 때, 영상 신호와 같은 전기 신호가 보다 긴 시간 기간 동안 유지될 수 있다. 상기 유지 시간은 연장될 수 있기 때문에, 예를 들면, 영상 신호의 기록 후 유지 기간은 10초 이상, 바람직하게는 30초 이상, 보다 바람직하게는 1분 이상 및 10분 미만으로 설정된다. 상기 유지 기간을 연장함으로써, 기록 간격들은 길게 설정될 수 있고 전력 소비는 보다 효과적으로 감소될 수 있다.

[0043] 다른 한편, 예를 들면, 저-온 폴리실리콘을 포함한 트랜지스터의 경우에, 설계 등은 상기 오프-상태 전류가 대략 $1 \times 10^{-12} \text{ A}/\mu\text{m}$ 이라고 가정하여 수행된다. 그러므로, 저-온 폴리실리콘(대략 0.1 pF)을 포함한 상기 트랜지스터와 동일한 저장 용량을 갖는 산화물 반도체를 포함한 트랜지스터의 경우에, 상기 전압 유지 기간은 저-온 폴리실리콘을 포함한 상기 트랜지스터의 대략 10^4 배일 수 있다. 더욱이, 비정질 실리콘을 포함한 트랜지스터의 경우에, 채널 폭의 마이크로미터당 상기 오프-상태 전류는 $1 \times 10^{-13} \text{ A}/\mu\text{m}$ 이상이다. 그러므로, 고-순도 산화물 반도체를 포함한 트랜지스터의 상기 전압 유지 기간은 이들 트랜지스터들이 서로 동일하거나 또는 실질적으로 동일한 저장 용량(대략 0.1 pF)을 가질 때 비정질 실리콘을 사용한 트랜지스터의 10^4 배 이상일 수 있다.

[0044] 예를 들면, 저-온 폴리실리콘을 포함한 박막 트랜지스터를 가진 활성 매트릭스 표시 장치에서, 상기 박막 트랜지스터의 누설 전류로 인해, 화소에 유지되는 전하들의 손실이 존재하며; 따라서 영상 신호의 재기록이 16 밀리초마다(60프레임들/초) 수행된다. 다른 한편으로, 상기 산화물 반도체층을 포함한 상기 전술한 박막 트랜지스터를 가진 활성 매트릭스 표시 장치에서, 상기 산화물 반도체층을 포함한 상기 박막 트랜지스터의 상기 오프-상태 전류는 저-온 폴리실리콘을 포함한 박막 트랜지스터보다 훨씬 더 작으며; 따라서, 모든 신호 기록을 위한 상기 유지 기간은 10000배 더 길어질 수 있으며, 이것은 대략 160초이다.

[0045] 상기 유지 기간은 연장될 수 있기 때문에, 신호 기록의 빈도는 특히 정지 화상이 표시될 때 감소될 수 있다. 그러므로, 화소에 대한 신호 기록의 횟수는 감소될 수 있으며, 전력 소비는 감소될 수 있다.

[0046] 도 1a 내지 도 1c에 도시된 상기 저장 용량 소자는 전극들의 쌍 및 상기 전극들의 쌍 사이에 유전체로서 제공된 절연층에 의해 형성된다. 상기 저장 용량은 전하들이 미리 정해진 기간 동안 유지될 수 있도록 상기 화소부 등에 제공된 박막 트랜지스터의 상기 누설 전류를 고려하여 설정된다. 상기 저장 용량 소자의 크기는 트랜지스터의 오프-상태 전류 등을 고려하여 설정될 수 있다. 이 실시형태에서, 고-순도 산화물 반도체층을 포함한 트랜지스터는 상기 트랜지스터(106)로서 사용되기 때문에, 그것은 각각의 화소에서 액정 용량의 1/3 이하, 바람직하게는 1/5 이하인 용량을 가진 저장 용량 소자를 제공하기에 충분하다.

[0047] 상기 고-순도 산화물 반도체층을 포함한 전술한 트랜지스터의 경우에, 상기 유지 기간이 보다 길게 설정될 수 있다. 그러므로, 신호 기록의 빈도는 특히 정지 화상이 표시될 때 현저하게 감소될 수 있다. 따라서, 표시에서 보다 덜 빈번한 변화들을 수반하는 정지 화상 등을 표시하는 경우에, 화소에 대한 신호 기록의 횟수는 감소될 수 있고, 따라서 전력 소비는 감소될 수 있다.

[0048] 정지 화상 표시에서, 리프레쉬 동작이 유지 기간 동안 액정 소자에 인가된 전압의 유지율을 고려하여 적절하게 수행될 수 있다. 예를 들면, 리프레쉬 동작은 신호가 액정 소자의 화소 전극에 기록되는 직후 전압의 값(초기 값)에 대하여 전압이 미리 정해진 레벨로 감소될 때의 타이밍에서 수행될 수 있다. 상기 미리 정해진 레벨은 바람직하게는 플리커(flicker)가 상기 초기 값에 대해 감지되지 않는 전압으로 설정된다. 구체적으로, 표시 대상이 화상인 경우에, 리프레쉬 동작(재기록)은 바람직하게는 상기 전압이 상기 초기 값보다 1.0%, 바람직하게는 0.3% 낮아질 때마다 수행된다. 표시 대상이 문자인 경우에, 리프레쉬 동작(재기록)은 바람직하게는 상기 전압이

상기 초기 값보다 10%, 바람직하게는 3% 낮아질 때마다 수행된다.

[0049] 정지 화상 표시에서의 상기 유지 기간 동안, 대향 전극(또한 공통 전극이라고 하는)이 플로팅 상태에 놓일 수 있다. 구체적으로, 상기 대향 전극에 공통 전위를 공급하기 위해 스위치가 상기 대향 전극 및 전원 사이에 제공될 수 있다. 상기 기록 기간 동안, 상기 스위치는 턴 온될 수 있으며 상기 공통 전위는 상기 대향 전극에 공급될 수 있고; 그 후, 상기 유지 기간 동안, 상기 스위치는 턴 오프될 수 있으며 상기 대향 전극은 플로팅 상태에 놓일 수 있다. 상기 스위치로서, 상기 고-순도 산화물 반도체층을 포함한 상기 전술한 반도체를 사용하는 것이 바람직하다. 상술된 바와 같이 매우 작은 오프-상태 전류를 가진 산화물 반도체를 포함한 TFT를 사용하여, 액정 표시 패널의 상기 대향 전극 및 상기 화소 전극 간의 전위는 거의 변하지 않으며, 상기 정지 화상 표시는 구동 기 회로가 소위 액정의 화상 변-인을 야기하지 않고 중지되는 동안 유지될 수 있다.

[0050] 액정 재료의 고유 저항은 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상, 바람직하게는 $1 \times 10^{13} \Omega \cdot \text{cm}$ 이상, 보다 바람직하게는 $1 \times 10^{14} \Omega \cdot \text{cm}$ 이상이다. 본 명세서에서 상기 고유 저항은 20°C에서 측정된다는 것을 주의하자. 액정 표시 장치가 상기 액정 재료를 사용하여 형성되는 경우에, 액정 소자로서 작용하는 부분의 저항률은 불순물이 배향막, 셀재 등으로부터 액정층으로 혼합될 수 있는 가능성이 존재하기 때문에 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 몇몇 경우들에서 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상일 수 있다.

[0051] 액정 재료의 상기 고유 저항이 더욱 커질수록, 상기 액정 재료를 통해 누설되는 전하들이 보다 많이 감소될 수 있으며, 상기 액정 소자의 동작 상태를 유지하기 위한 전압에서의 시간에 따른 감소가 억제될 수 있다. 그 결과, 상기 유지 기간은 연장될 수 있으며, 그러므로 신호 기록의 빈도는 감소될 수 있고, 표시 장치의 전력 소비는 감소될 수 있다.

[0052] 도 3a는 프레임 기간에서 기록 기간 및 유지 기간 간의 관계를 도시한다. 도 3a에서, 기간들(251, 252) 각각은 유지 기간에 대응하며, 기간들(261, 262) 각각은 기록 기간에 대응한다.

[0053] 도 3a에서, 표시 소자인 액정 소자에 인가된 전압의 극성(도면에서, 극성은 플러스 부호 또는 마이너스 부호로 표시된다)은 모든 프레임 기간에서 반전된다. 따라서, 상기 액정 소자에 인가된 전계는 바이어싱되지 않으며, 상기 액정 소자의 열화도가 감소될 수 있다. 상기 산화물 반도체층을 포함한 전술한 박막 트랜지스터의 경우에, 상기 유지 기간은 보다 길게 설정될 수 있으며, 따라서 화소에 대한 기록의 횟수는 대폭 감소될 수 있다. 그러므로, 표시에서 덜 빈번한 변화들을 수반하는 정지 화상 등을 표시하는 경우에, 전력 소비는 감소될 수 있다.

[0054] 게다가, 도 3b는 그 극성이 도 3a의 상기 기록 기간들(261, 262)의 각각에서 복수 회 반전되는 전압을 기록하는 경우에서의 관계를 도시한다. 도 3b에 도시된 바와 같이 극성이 상기 기록 기간들(261, 262)의 각각에서 복수 회 반전되는 전압을 기록함으로써, 액정 소자의 열화도가 추가로 감소될 수 있다. 상기 기록 기간들(261, 262)의 각각의 끝에 인가된 상기 전압의 극성은 상기 유지 기간에서 유지될 극성이라는 것을 주의하자.

[0055] 도 3a 및 도 3b에서의 액정 소자에 인가된 상기 전압은 도트 반전 구동, 소스선 반전 구동, 케이트선 반전 구동, 프레임 반전 구동 등에 따라 입력될 수 있다는 것을 주의하자.

[0056] 정지 화상이 표시되지 않고 화소가 산화물 반도체층을 포함한 박막 트랜지스터를 사용하여 형성되는 경우에, 동화상은 저장 용량 소자 없이 표시될 수 있다는 것을 주의하자. 도 4a 및 도 4b는 저장 용량 소자가 형성되지 않는 화소의 구성의 평면도 및 단면도를 도시한다. 도 4a 및 도 4b에 도시된 구성은 도 1a 및 도 1b에서의 용량선이 생략되는 구조에 대응한다. 또한 도 4a의 평면도 및 도 4b의 단면도로부터 보여질 수 있는 바와 같이, 산화물 반도체층을 포함한 박막 트랜지스터를 사용하여, 상기 화소 전극(105)에 의해 점유된 영역, 즉 개구율은 증가될 수 있다. 게다가, 도 4b의 단면도로부터 보여질 수 있는 바와 같이, 산화물 반도체층을 포함한 박막 트랜지스터의 사용으로, 용량선이 제거될 수 있고, 상기 화소 전극(105)에 의해 점유된 영역은 확장될 수 있으며, 그러므로 상기 개구율이 증가될 수 있다.

[0057] 이 실시형태에서 상술된 구성을 가지고, 오프-상태 전류가 산화물 반도체를 포함한 박막 트랜지스터를 가진 화소에서 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다. 더욱이, 개구율의 증가에 의해, 고-화질 표시부를 가진 액정 표시 장치가 획득될 수 있다.

[0058] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.

[0059] (실시형태 2)

[0060] 이 실시형태에서, 본 명세서에 기술된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 일 예가 기술될 것이다. 이 실시형태에서 기술된 박막 트랜지스터(410)는 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.

[0061] 이 실시형태의 박막 트랜지스터 및 상기 박막 트랜지스터를 제작하기 위한 방법의 일 실시형태가 도 5a와 도 5b 및 도 6a 내지 도 6e를 사용하여 기술된다.

[0062] 도 5a는 상기 박막 트랜지스터의 평면 구조의 일 예를 도시하며, 도 5b는 그 단면 구조의 일 예를 도시한다. 도 5a 및 도 5b에 도시된 상기 박막 트랜지스터(410)는 탑-케이트 박막 트랜지스터이다.

[0063] 도 5a는 상기 탑-케이트 박막 트랜지스터(410)의 평면도이며, 도 5b는 도 5a에서의 선(C1-C2)에 따른 단면도이다.

[0064] 상기 박막 트랜지스터(410)는 절연 표면을 가진 기판(400) 위에, 절연층(407), 산화물 반도체층(412), 소스 및 드레인 전극층(415a, 415b), 게이트 절연층(402), 및 게이트 전극층(411)을 포함한다. 배선층들(414a, 414b)은 각각 그것에 전기적으로 접속될 상기 소스 및 드레인 전극층(415a, 415b)과 접촉하여 제공된다.

[0065] 상기 박막 트랜지스터(410)는 단일-케이트 박막 트랜지스터로서 기술되며, 복수의 채널 형성 영역들을 포함한 멀티-케이트 박막 트랜지스터가 요구될 때 형성될 수 있다.

[0066] 상기 기판(400) 위에 상기 박막 트랜지스터(410)를 제작하기 위한 프로세스가 도 6a 내지 도 6e를 참조하여 이 하에 설명된다.

[0067] 절연 표면을 가진 상기 기판(400)으로서 사용될 수 있는 기판에 대한 특별한 제한은 없지만, 상기 기판(400)은 적어도 나중에 수행될 열 처리를 견디기에 충분히 높은 내열성을 가질 필요가 있다.

[0068] 상기 기판(400)으로서, 변형점이 730°C 이상인 유리 기판이 나중에 수행될 상기 열 처리의 온도가 높을 때 사용될 수 있다. 상기 유리 기판의 재료로서, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 또는 바륨 보로실리케이트 유리와 같은 유리 재료가 사용된다. 산화 봉소보다 더 많은 양의 산화 바륨(BaO)을 포함함으로써, 보다 실질적으로 사용하는 내열 유리 기판이 형성될 수 있다는 것을 주의하자. 그러므로, B₂O₃보다 많은 BaO를 포함한 유리 기판이 사용되는 것이 바람직하다.

[0069] 세라믹 기판, 석영 기판, 또는 사파이어 기판과 같은 절연체를 사용하여 형성된 기판이 상기 기판(400)으로서 상술된 유리 기판 대신에 사용될 수 있다는 것을 주의하자. 대안적으로, 결정화된 유리 기판 등이 사용될 수 있다. 또한 대안적으로, 플라스틱 기판 등이 사용될 수 있다.

[0070] 먼저, 하지막으로서 기능하는 상기 절연층(407)이 절연 표면을 가진 상기 기판(400) 위에 형성된다. 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층과 같은 산화물 절연층이 상기 산화물 반도체층과 접촉하는 상기 절연층(407)으로서 사용되는 것이 바람직하다. 상기 절연층(407)은 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다. 상기 절연층(407)이 많은 양의 수소를 포함하는 것을 방지하기 위해 스퍼터링 방법에 의해 상기 절연층(407)을 형성하는 것이 바람직하다.

[0071] 이 실시형태에서, 산화 실리콘막이 스퍼터링 방법에 의해 상기 절연층(407)으로서 형성된다. 상기 기판(400)은 처리실로 반송되고, 수소 및 수분이 제거된 고-순도 산소를 포함한 스퍼터링 가스가 상기 처리실로 도입되며, 타겟이 사용되어, 상기 산화 실리콘막이 상기 절연층(407)으로서 상기 기판(400)에 성막되도록 한다. 상기 기판(400)은 실온일 수 있거나 또는 가열될 수 있다.

[0072] 예를 들면, 산화 실리콘막은 다음과 같이 형성된다: 석영(바람직하게는, 합성 석영)이 상기 타겟으로서 사용되고; 상기 기판 온도는 108°C이고; 상기 타겟과 상기 기판 간의 거리(T-S 거리)는 60 mm이고; 상기 압력은 0.4 Pa이고; 상기 고-주파수 전원은 1.5 kW이고; 상기 분위기는 산소 및 아르곤이며(산소 대 아르곤의 유량비는 25scm:25scm = 1:1이다); 및 RF 스퍼터링 방법이 사용된다. 이 실시형태에서 상기 산화 실리콘막의 두께는 100 nm이다. 상기 산화 실리콘막을 형성하기 위해 실리콘 타겟이 상기 석영(바람직하게는, 합성 석영) 대신에 사용될 수 있다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이 실시형태에서 사용된다.

[0073] 상기 경우에, 상기 절연층(407)의 성막에 있어서 상기 처리실에서 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 절연층(407)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.

- [0074] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프(titanium sublimation pump)가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 절연층(407)에 포함된 불순물들의 농도는 감소될 수 있다.
- [0075] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 절연층(407)의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0076] 스퍼터링 방법의 예들은 고-주파수 전원이 스퍼터링 전원으로서 사용되는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 바이어스가 펄스 방식으로 인가되는 펄스 DC 스퍼터링 방법을 포함한다. 상기 RF 스퍼터링 방법은 절연막이 형성되는 경우에서 주로 사용되며 상기 DC 스퍼터링 방법은 금속막이 형성되는 경우에 주로 사용된다.
- [0077] 상이한 재료들로 형성되는 복수의 타겟들이 설정될 수 있는 다원-타겟 스퍼터링 장치가 또한 존재한다. 상기 다원-타겟 스퍼터링 장치를 가지고, 상이한 재료들의 막들이 동일한 처리실에 형성되도록 적층될 수 있거나, 또는 복수의 종류들의 재료들이 상기 동일한 처리실에서 방전에 의해 동시에 성막될 수 있다.
- [0078] 게다가, 상기 처리실 내부에 자석 기구(magnet system)가 제공되고, 마그네트론 스퍼터링 방법을 위해 사용되는 스퍼터링 장치, 또는 글로 방전(glow discharge) 없이 마이크로파들을 사용하여 생성된 플라즈마가 사용되는 ECR 스퍼터링 방법을 위해 사용된 스퍼터링 장치가 또한 존재한다.
- [0079] 또한, 스퍼터링 방법을 사용한 상기 성막 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 그것의 얇은 화합막을 형성하기 위해 성막 동안 서로 화학적으로 반응되는 반응성 스퍼터링 방법, 또는 성막 동안 전압이 또한 기판에 인가되는 바이어스 스퍼터링 방법이 존재한다.
- [0080] 상기 절연층(407)은 적층 구조를 가질 수 있으며; 예를 들면, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 또는 질화산화 알루미늄층과 같은 질화물 절연층 및 상술된 산화물 절연층이 상기 기판(400) 위에 이러한 순서로 적층되는 적층 구조가 사용될 수 있다.
- [0081] 예를 들면, 수소 및 수분이 제거된 고-순도 질소를 포함한 스퍼터링 가스를 도입하고 실리콘 타겟을 사용함으로써 상기 산화 실리콘층 및 상기 기판(400) 사이에 질화 실리콘층이 형성된다. 상기 경우에, 상기 산화 실리콘층의 성막의 경우에서와 같이 상기 질화 실리콘층의 형성에 있어서 상기 처리실로부터 잔여 수분을 제거하는 것이 바람직하다.
- [0082] 상기 기판은 상기 질화 실리콘층의 성막시 가열될 수 있다.
- [0083] 상기 질화 실리콘층 및 상기 산화 실리콘층이 상기 절연층(407)을 형성하기 위해 적층되는 경우에, 상기 질화 실리콘층 및 상기 산화 실리콘층은 동일한 실리콘 타겟을 갖고 동일한 처리실에서 형성될 수 있다. 예를 들면, 먼저, 질소를 포함한 스퍼터링 가스가 도입되면 상기 처리실 내부에 위치된 실리콘 타겟이 상기 질화 실리콘층을 형성하기 위해 사용되며, 그 후 상기 스퍼터링 가스가 산소를 포함한 스퍼터링 가스로 전환되며, 동일한 실리콘 타겟이 상기 산화 실리콘층을 형성하기 위해 사용된다. 상기 질화 실리콘층 및 상기 산화 실리콘층은 대기에 노출하지 않고 연속적으로 형성될 수 있기 때문에, 수소 또는 수분과 같은 불순물이 상기 질화 실리콘층의 표면상에 흡착되는 것을 방지될 수 있다.
- [0084] 다음으로, 산화물 반도체막이 상기 절연층(407) 위에 형성된다.
- [0085] 상기 산화물 반도체막이 수소, 수산기, 및 수분과 같은 불순물들을 가능한 한 많이 포함하지 않도록 하기 위해, 상기 기판(400) 상에 흡착된 수소 또는 수분과 같은 불순물이 제거되도록 상기 성막 전에 상기 스퍼터링 장치의 예열실에서 상기 절연층(407)이 제공된 상기 기판(400)을 예열하고, 배기를 수행하는 것이 바람직하다. 상기 예열실에 제공된 배기 수단으로서, 크라이오펌프가 바람직하다. 이러한 예열 단계가 반드시 수행되는 것은 아니다.
- [0086] 상기 산화물 반도체막이 스퍼터링 방법에 의해 형성되기 전에, 상기 절연층(407)의 표면상의 먼지가 제거되도록 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링을 수행하는 것이 바람직하다는 것을 주의하자. 상기 역 스퍼터링은 타겟 측으로 전압을 인가하지 않고 상기 기판의 부근에 플라즈마를 생성하기 위해 아르곤 분위기에서 고-주파수 전원으로 전압이 기판 측에 인가되어, 표면이 개질되도록 하는 방법이다. 상기 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 사용될 수 있다.

[0087]

상기 산화물 반도체막은 상기 스퍼터링 방법에 의해 형성된다. 상기 산화물 반도체막은 In-Ga-Zn-O-계 산화물 반도체막, In-Sn-Zn-O-계 산화물 반도체막, In-Al-Zn-O-계 산화물 반도체막, Sn-Ga-Zn-O-계 산화물 반도체막, Al-Ga-Zn-O-계 산화물 반도체막, Sn-Al-Zn-O-계 산화물 반도체막, In-Zn-O-계 산화물 반도체막, Sn-Zn-O-계 산화물 반도체막, Al-Zn-O-계 산화물 반도체막, In-O-계 산화물 반도체막, Sn-O-계 산화물 반도체막, 또는 Zn-O-계 산화물 반도체막을 사용하여 형성된다. 이 실시형태에서, 상기 산화물 반도체막은 In-Ga-Zn-O-계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다. 구체적으로, $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [분자%]의 조성비(즉, In:Ga:Zn = 1:1:0.5 [원자%])를 가진 타겟이 사용된다. 대안적으로, In:Ga:Zn = 1:1:1 [원자%] 또는 In:Ga:Zn = 1:1:2 [원자%]의 조성비를 가진 타겟이 사용될 수 있다. 이 실시형태에서, 상기 산화물 반도체 타겟의 충전율(filling rate)은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 가진 상기 산화물 반도체 타겟의 사용으로, 상기 성막된 산화물 반도체막은 높은 밀도를 가진다. 상기 스퍼터링을 위한 분위기는 희가스(대표적으로, 아르곤)의 분위기, 산소의 분위기, 또는 희가스와 산소의 혼합 분위기일 수 있다. 상기 타겟은 2 wt% 이상 및 10 wt% 이하의 SiO_2 를 포함할 수 있다.

[0088]

수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 반도체막의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.

[0089]

상기 산화물 반도체막은 다음과 같이 상기 기판(400) 위에 형성된다: 상기 기판은 감소된 압력을 갖는 상기 처리실에 유지되고, 상기 처리실에서의 잔여 수분은 제거되고, 수소 및 수분이 제거된 스퍼터링 가스가 도입되며, 상술된 타겟이 사용된다. 상기 처리실에서 상기 잔여 수분을 제거하기 위해, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오펌프를 사용하여 배기가 수행되는 상기 성막실에서, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물, 탄소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다. 상기 기판은 상기 산화물 반도체막의 성막시 가열될 수 있다.

[0090]

상기 성막 조건의 일 예로서, 다음 조건이 이용된다: 상기 기판의 온도는 실온이고; 상기 기판과 상기 타겟 간의 거리는 110 mm이고, 상기 압력은 0.4 Pa이고, 상기 직류(DC) 전원은 0.5 kW이며, 상기 분위기는 산소 및 아르곤(산소 대 아르곤의 유량비는 15 sccm:30 sccm이다)이다. 먼지가 감소될 수 있고 막 두께가 균일할 수 있기 때문에 펄스 직류(DC) 전원이 사용되는 것이 바람직하다. 상기 산화물 반도체막은 2 nm 내지 200 nm, 바람직하게는 5 nm 내지 30 nm의 두께를 갖는다. 상기 산화물 반도체막의 적절한 두께는 그것의 재료에 의존하여 변화하며, 그러므로 상기 두께는 상기 재료에 의존하여 적절하게 결정될 수 있다는 것을 주의하자.

[0091]

다음으로, 상기 산화물 반도체막은 제 1 포토리소그래피 단계에 의해 섬-형상 산화물 반도체층(412)으로 가공된다(도 6a 참조). 상기 섬-형상 산화물 반도체층(412)을 형성하기 위한 레지스트 마스크는 잉크젯 방법을 사용하여 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며, 따라서 제작 비용이 감소될 수 있다.

[0092]

상기 산화물 반도체막의 에칭은 드라이 에칭, 웨트 에칭, 또는 드라이 에칭 및 웨트 에칭 둘 모두일 수 있다는 것을 주의하자.

[0093]

상기 드라이 에칭을 위한 에칭 가스로서, 바람직하게는 염소를 포함한 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 또는 사염화탄소(CCl_4)와 같은 염소-계 가스)가 사용된다.

[0094]

대안적으로, 불소를 포함한 가스(사불화 탄소(CF_4), 불화 유황(SF_6), 불화 질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 불소-계 가스); 브롬화 수소(HBr); 산소(O_2); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 부가되는 가스들 중 임의의 것 등이 사용될 수 있다.

[0095]

상기 드라이 에칭 방법으로서, 평행 평판 RIE(반응성 이온 에칭) 방법 또는 ICP(유도 결합 플라즈마) 에칭 방법이 사용될 수 있다. 상기 층을 원하는 형상으로 에칭하기 위해, 상기 에칭 조건들(코일-형상 전극에 인가된 전력의 양, 기판 측상의 전극에 인가된 전력의 양, 상기 기판측 상에 상기 전극의 온도 등)이 적절하게 조정된다.

[0096]

웨트 에칭을 위해 사용된 에천트로서, 인산, 아세트산, 및 질산 등의 혼합액, 수산화암모늄/과산화수소 혼합물(31 w% 과산화수소수 : 28 wt% 암모니아수 : 물 = 5:2:2) 등이 사용될 수 있다. 대안적으로, ITO-07N(칸토 케미칼 코., 인크.(Kanto Chemical Co., Inc.)에 의해 제작된)이 사용될 수 있다.

- [0097] 상기 웨트 에칭 후, 상기 에천트는 세정에 의해 상기 에칭 오프된 재료와 함께 제거된다. 상기 제거된 재료를 포함한 상기 에천트의 폐액은 정제될 수 있으며, 상기 폐액에 포함된 상기 재료는 재사용될 수 있다. 상기 에칭 후 상기 폐액으로부터 상기 산화물 반도체에 포함된 인듐과 같은 재료를 수집하고 재사용함으로써 상기 리소스들이 효율적으로 사용될 수 있고 비용은 감소될 수 있다.
- [0098] 상기 에칭 조건들(에천트, 에칭 시간, 및 온도와 같은)은 재료가 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적절하게 조정된다.
- [0099] 이 실시형태에서, 상기 산화물 반도체막은 인산, 아세트산, 및 질산을 혼합함으로써 획득된 용액을 사용하여 웨트 에칭 방법에 의해 상기 섬-형상 산화물 반도체층(412)으로 가공된다.
- [0100] 이 실시형태에서, 제 1 열 처리가 상기 산화물 반도체층(412)에 수행된다. 상기 제 1 열 처리의 온도는 400°C 이상 또는 750°C 이하이며, 상기 기판(400)의 변형점이 750°C 이하일 때 400°C 이상, 상기 기판(400)의 상기 변형점 미만이다. 이 실시형태에서, 상기 기판은 열 처리 장치의 한 종류인 전기로에 넣어지며, 열 처리는 질소 분위기에서 1시간 동안 450°C로 상기 산화물 반도체층에 수행되며, 대기에 노출하지 않고 그 후 상기 온도는 실온으로 감소되고 물 또는 수소가 상기 산화물 반도체층으로 흡입되는 것이 방지되며, 따라서 산화물 반도체층이 획득된다. 상기 산화물 반도체층(412)은 상기 제 1 열 처리에 의해 탈수화될 수 있거나 또는 탈수소화될 수 있다.
- [0101] 상기 열 처리 장치는 전기로에 제한되지 않고, 저항 가열기 등과 같은 가열기로부터 열 전도 또는 열 복사에 의해 피처리물을 가열하는 장치가 제공될 수 있다. 예를 들면, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자기파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고-온 가스를 사용한 열 처리를 위한 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.
- [0102] 예를 들면, 상기 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다: 상기 기판은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이송되어 수 분 동안 가열되고, 이송되어 고온으로 가열된 상기 불활성 가스 밖으로 꺼내어진다. GRTA는 단시간 동안 고-온 열 처리를 가능하게 한다.
- [0103] 상기 제 1 열 처리에서, 물, 수소 등은 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스에 포함되지 않는 것이 바람직하다. 상기 열 처리 장치로 도입되는 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스는 6N(99.9999%) 이상, 보다 바람직하게는, 7N(99.99999%) 이상(즉, 불순물들의 농도가 1ppm 이하, 보다 바람직하게는 0.1ppm 이하이다)의 순도를 갖는 것이 바람직하다.
- [0104] 또한, 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존하여, 상기 산화물 반도체층(412)은 미결정 막 또는 다결정 막이 되도록 결정화될 수 있다. 예를 들면, 상기 산화물 반도체층은 결정화율이 90% 이상, 또는 80% 이상인 미결정 산화물 반도체막이 되도록 결정화될 수 있다. 또한, 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존하여, 상기 산화물 반도체층(412)은 결정 성분들을 포함하지 않는 비정질 산화물 반도체막일 수 있다. 상기 산화물 반도체층은 미결정 부분(1 nm 내지 20 nm, 대표적으로 2 nm 내지 4 nm의 입경을 갖는)이 비정질 산화물 반도체에 혼합되는 산화물 반도체막이 될 수 있다.
- [0105] 상기 산화물 반도체층의 상기 제 1 열 처리는 또한 상기 섬-형상 산화물 반도체층(412)으로 가공되기 전에 상기 산화물 반도체막에 수행될 수 있다. 상기 경우에서, 상기 기판은 상기 제 1 열 처리 후 상기 열 처리 장치로부터 제거되며, 그 후 포토리소그래피 단계가 수행된다.
- [0106] 상기 산화물 반도체층의 탈수화 또는 탈수소화를 위한 상기 열 처리는 상기 산화물 반도체층(412)의 형성 직후 수행되는 상기 예가 상술되었다. 그러나, 탈수화 또는 탈수소화를 위한 상기 열 처리는 그것이 상기 산화물 반도체층의 성막 후 수행되는 한 소스 전극 및 드레인 전극이 상기 산화물 반도체층에 적층된 후 또는 게이트 절연층이 소스 전극 및 드레인 전극 위에 형성된 후 수행될 수 있다.
- [0107] 다음으로, 도전막이 상기 절연층(407) 및 상기 산화물 반도체층(412) 위에 형성된다. 상기 도전막은 스퍼터링 방법 또는 진공 성막 방법에 의해 형성될 수 있다. 상기 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 하나의 원소, 그것의 성분으로서 상기 원소들 중 임의의 것을 포함한 합금, 상기 원소들 중 임의의 것을 결합하여 포함한 합금 막 등이 제공될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로

부터 선택된 하나 이상의 재료들이 사용될 수 있다. 또한, 상기 도전막은 단층 구조 또는 두 개 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄 막이 알루미늄막 위에 적층되는 2-층 구조, 티타늄 막, 알루미늄막, 및 티타늄 막이 순서대로 적층되는 3-층 구조 등이 제공될 수 있다. 대안적으로, 알루미늄(Al) 및 티타늄(Ti), 탄탈(Ta), 텡스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 이상의 원소들을 포함하는 막, 합금 막, 또는 질화막이 사용될 수 있다. 이 실시형태에서, 150 nm의 두께를 가진 티타늄 막이 스퍼터링 방법에 의해 상기 도전막으로서 형성된다.

[0108] 다음으로, 레지스트 마스크가 제 2 포토리소그래피 단계에 의해 상기 도전막 위에 형성된다. 상기 레지스트 마스크는 잉크젯 방법을 사용하여 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며, 따라서 제작 비용이 감소될 수 있다. 그 후, 선택적 에칭이 수행되며, 따라서 상기 소스 및 드레인 전극층들(415a, 415b)이 형성되고, 그 후 상기 레지스트 마스크가 제거된다(도 6b 참조). 그 위에 적층된 게이트 절연층을 갖는 커버리지가 향상되기 때문에 상기 소스 및 드레인 전극층들의 각각의 단부는 테이퍼된 형상을 갖는 것이 바람직하다.

[0109] 각각의 재료 및 에칭 조건들은 상기 산화물 반도체층(412)이 상기 도전막의 에칭에 의해 제거되지 않고 상기 산화물 반도체층(412) 아래의 상기 절연층(407)이 노출되지 않도록 적절히 조정된다는 것을 주의하자.

[0110] 이 실시형태에서, 상기 Ti 막이 상기 도전막으로서 사용되며 상기 In-Ga-Zn-O-계 산화물 반도체가 상기 산화물 반도체층(412)을 위해 사용되기 때문에, 암모늄 과산화수소수(암모니아, 물, 및 과산화수소수의 혼합액)가 에칭 트로서 사용된다.

[0111] 상기 제 2 포토리소그래피 단계에서, 몇몇 경우들에서, 상기 산화물 반도체층(412)의 일부가 에칭되며, 그에 의해 흄(오목한 부분)을 가진 산화물 반도체층이 형성될 수 있다.

[0112] 상기 제 2 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 노광이 자외선 광, KrF 레이저 광, 또는 ArF 레이저 광을 사용하여 수행될 수 있다. 형성될 박막 트랜지스터의 채널 길이(L)는 상기 산화물 반도체층(412) 위에서 서로에 인접하는, 상기 소스 전극층의 하단 및 상기 드레인 전극층의 하단 사이의 거리에 의해 결정된다. 노광이 25 nm 미만의 채널 길이(L)에 대해 수행되는 경우에, 상기 제 2 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 상기 노광은 수 나노미터 내지 수십 나노미터의 매우 짧은 파장을 가진 초자외선 광을 사용하여 수행된다. 초자외선 광에 의한 상기 노광에서, 상기 해상도는 높으며 초점 심도는 크다. 따라서 상기 박막 트랜지스터의 상기 채널 길이(L)는 10 nm 내지 1000 nm가 될 수 있고, 회로의 동작 속도는 증가될 수 있으며, 낮은 전력 소비가 매우 작은 오프-상태 전류에 의해 달성될 수 있다.

[0113] 다음으로, 상기 게이트 절연층(402)이 상기 절연층(407), 상기 산화물 반도체층(412), 및 상기 소스 및 드레인 전극층들(415a, 415b) 위에 형성된다(도 6c 참조).

[0114] 상기 게이트 절연층(402)이 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층 중 하나 이상을 사용한 단층 구조 또는 적층 구조를 갖고 형성될 수 있다. 상기 게이트 절연층(402)이 많은 양의 수소를 포함하는 것을 방지하기 위해, 스퍼터링 방법에 의해 상기 게이트 절연층(402)을 형성하는 것이 바람직하다. 스퍼터링 방법에 의해 산화 실리콘막을 형성하는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 사용되며, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 사용된다. 이 실시형태에서, 100-nm-두께의 산화 실리콘층이 다음과 같이 형성된다: 상기 압력은 0.4 Pa이고; 상기 고-주파수 전원은 1.5 kW이고, 상기 분위기는 산소 및 아르곤(산소 대 아르곤의 유량비는 25 sccm:25 sccm = 1:1이다)이며; RF 스퍼터링 방법이 사용된다.

[0115] 상기 게이트 절연층(402)은 산화 실리콘층 및 질화 실리콘층이 상기 기판 위에 이러한 순서로 적층되는 구조를 가질 수 있다. 70 nm 내지 400 nm, 예를 들면, 100 nm의 두께를 가진 게이트 절연층이 제 1 게이트 절연층으로서 5 nm 내지 300 nm의 두께를 가진 산화 실리콘층($\text{SiO}_x(x>0)$)이 스퍼터링 방법에 의해 형성되는 방식으로 형성될 수 있으며, 그 후 50 nm 내지 200 nm의 두께를 가진 질화 실리콘층($\text{SiN}_y(y>0)$)이 상기 제 1 게이트 절연층 위에 제 2 게이트 절연층으로서 적층된다.

[0116] 다음으로, 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 형성되며, 선택적 에칭이 상기 게이트 절연층(402)의 일부들을 제거하기 위해 수행되어, 상기 소스 및 드레인 전극층들(415a, 415b)에 도달하는 개구들(421a, 421b)이 형성되도록 한다(도 6d 참조).

[0117] 다음으로, 도전막이 상기 게이트 절연층(402) 및 상기 개구들(421a, 421b) 위에 형성된다. 이 실시형태에서,

150 nm의 두께를 가진 티타늄 막이 스퍼터링 방법에 의해 형성된다. 그 후, 레지스트 마스크가 제 4 포토리소그래피 단계에 의해 도전막 위에 형성되며, 상기 도전막이 상기 레지스트 마스크를 사용하여 선택적으로 에칭되어, 상기 게이트 전극층(411) 및 상기 배선층들(414a, 414b)이 형성되도록 한다. 상기 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며, 따라서 제작 비용이 감소될 수 있다.

[0118] 상기 게이트 전극층(411) 및 상기 배선층들(414a, 414b)은 각각 폴리브렌, 티타늄, 크롬, 탄탈, 텡스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 그것의 주요 성분으로서 이들 재료들 중 임의의 것을 포함하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다.

[0119] 예를 들면, 상기 게이트 전극층(411) 및 상기 배선층들(414a, 414b)의 각각의 2-층 구조로서, 다음 구조들 중 임의의 것이 바람직하다: 알루미늄층 및 그 위에 적층된 폴리브렌층의 2-층 구조, 구리층 및 그 위에 적층된 폴리브렌층의 2-층 구조, 구리층 및 그 위에 적층된 질화 티타늄층 또는 질화 탄탈층의 2-층 구조, 및 질화 티타늄층 및 폴리브렌층의 2-층 구조. 3-층 구조로서, 텡스텐층 또는 질화 텡스텐층, 알루미늄 및 실리콘의 합금 또는 알루미늄 및 티타늄의 합금의 층, 및 질화 티타늄층 또는 티타늄층의 적층이 바람직하다. 상기 게이트 전극층은 투광성 도전막을 사용하여 형성될 수 있다. 상기 투광성 도전막의 재료의 일 예로서, 투광성 도전성 산화물이 제공될 수 있다.

[0120] 다음으로, 제 2 열 처리(바람직하게는 200°C 내지 400°C의 온도로, 예를 들면 250°C 내지 350°C의 온도로)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 이 실시형태에서, 상기 제 2 열 처리는 질소 분위기에서 1시간 동안 250°C로 수행된다. 상기 제 2 열 처리는 보호 절연층 또는 평탄화 절연층이 상기 박막 트랜지스터(410) 위에 형성된 후 수행될 수 있다.

[0121] 더욱이, 열 처리는 대기 중에서 1시간 내지 30시간 동안 100°C 내지 200°C의 온도로 수행될 수 있다. 이러한 열 처리는 일정한 가열 온도로 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음의 변화가 반복적으로 복수회 행해질 수 있다: 상기 가열 온도는 실온에서 100°C 내지 200°C의 온도로 증가되며 그 후 실온으로 감소된다. 이러한 열 처리는 상기 산화물 절연층의 형성 전에 감소된 압력 하에서 수행될 수 있다. 상기 감소된 압력 하에서, 상기 열 처리 시간은 단축될 수 있다.

[0122] 상술된 프로세스를 통해, 수소, 수분, 수소화물 및 수산화물의 농도가 감소되는 상기 산화물 반도체층(412)을 포함한 상기 박막 트랜지스터(410)가 형성될 수 있다(도 6e 참조). 상기 박막 트랜지스터(410)는 실시형태 1에 기술된 상기 박막 트랜지스터(106)로서 사용될 수 있다.

[0123] 보호 절연층 또는 평탄화를 위한 평탄화 절연층이 상기 박막 트랜지스터(410) 위에 제공될 수 있다. 예를 들면, 상기 보호 절연층은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층 중 하나 이상을 사용한 단층 구조 또는 적층 구조를 갖고 형성될 수 있다.

[0124] 상기 평탄화 절연층은 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성 유기 재료를 사용하여 형성될 수 있다. 이러한 유기 재료들 외에, 저-유전 상수 재료(low-k 재료), 실록산-계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등을 사용하는 것이 가능하다. 상기 평탄화 절연층은 이들 재료들을 사용하여 형성된 복수의 절연막들을 적층함으로써 형성될 수 있다.

[0125] 상기 실록산-계 수지는 출발 재료로서 실록산-계 재료를 사용하여 형성된 Si-O-Si 결합을 포함한 수지에 대응한다는 것을 주의하자. 상기 실록산-계 수지는 치환기로서 유기기(예로서, 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수 있다. 상기 유기기는 플루오로기를 포함할 수 있다.

[0126] 상기 평탄화 절연층을 형성하기 위한 상기 방법에 대한 특별한 제한은 없다. 상기 평탄화 절연층은 스퍼터링 방법, SOG 방법, 스펀 코팅 방법, 디핑 방법, 스프레이 코팅 방법, 또는 액적 토출 방법(예로서, 잉크-젯 방법, 화면 인쇄 또는 오프셋 인쇄)과 같은 방법에 의해, 또는 닥터 나이프, 룰 코터, 커튼 코터, 또는 나이프 코터와 같은 도구의 사용으로 그것의 재료에 의존하여 형성될 수 있다.

[0127] 상술된 바와 같이 상기 산화물 반도체막의 성막시 반응성 분위기에서 잔여 수분을 제거함으로써, 상기 산화물 반도체막에서의 수소 및 수소화물의 농도는 감소될 수 있다. 따라서, 상기 산화물 반도체막은 안정화될 수 있다.

[0128] 상기 산화물 반도체층을 포함하고 상술된 바와 같이 제작되는 상기 박막 트랜지스터를 사용함으로써, 액정 표시 장치의 표시부의 복수의 화소들의 각각에서, 상기 화소로부터의 누설 전류가 감소될 수 있다. 따라서, 저장 용

량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다.

[0129] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.

[0130] (실시형태 3)

[0131] 이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 또 다른 예가 기술될 것이다. 실시형태 2는 실시형태 2와 동일한 부분들 및 그것과 유사한 기능들을 가진 부분들 및 단계들을 위해 참조될 수 있다는 것을 주의하자. 또한, 상기 동일한 부분들에 대한 상세한 설명은 생략된다. 이 실시형태에서 기술된 박막 트랜지스터(460)는 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.

[0132] 이 실시형태의 박막 트랜지스터 및 상기 박막 트랜지스터를 제작하기 위한 방법의 일 실시형태가 도 7a와 도 7b 및 도 8a 내지 도 8e를 사용하여 기술된다.

[0133] 도 7a는 상기 박막 트랜지스터의 평면 구조의 일 예를 도시하며, 도 7b는 그것의 단면 구조의 일 예를 도시한다. 도 7a 및 도 7b에 도시된 상기 박막 트랜지스터(460)는 탑-케이트 박막 트랜지스터이다.

[0134] 도 7a는 상기 탑-케이트 박막 트랜지스터(460)의 평면도이며 도 7b는 도 7a에서의 선(D1-D2)에 따른 단면도이다.

[0135] 상기 박막 트랜지스터(460)는 절연 표면을 가진 기판(450) 위에, 절연층(457), 소스 또는 드레인 전극층(465a(465a1, 465a2)), 산화물 반도체층(462), 소스 또는 드레인 전극층(465b), 배선층(468), 케이트 절연층(452), 및 케이트 전극층(461(461a, 461b))을 포함한다. 상기 소스 또는 드레인 전극층(465a(465a1, 465a2))은 상기 배선층(468)을 통해 배선층(464)에 전기적으로 접속된다. 또한, 비록 도시되지는 않았지만, 상기 소스 또는 드레인 전극층(465b)이 또한 상기 케이트 절연층(452)에 형성된 개구에서 상기 배선층에 전기적으로 접속된다.

[0136] 상기 기판(450) 위에 상기 박막 트랜지스터(460)를 제작하기 위한 프로세스가 도 8a 내지 도 8e를 참조하여 이하에 기술된다.

[0137] 먼저, 하지막으로서 기능하는 상기 절연층(457)이 절연 표면을 가진 상기 기판(450) 위에 형성된다.

[0138] 이 실시형태에서, 산화 실리콘층은 스팍터링 방법에 의해 상기 절연층(457)으로서 형성된다. 상기 기판(450)은 처리실로 반송되고, 수소 및 수분이 제거된 고-순도 산소를 포함한 스팍터링 가스가 상기 처리실로 도입되며, 실리콘 타겟 또는 석영(바람직하게는, 합성 석영)이 사용되어, 상기 산화 실리콘층이 상기 절연층(457)으로서 상기 기판(450)에 성막된다. 스팍터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이 실시형태에 사용된다.

[0139] 예를 들면, 산화 실리콘막은 이 실시형태에서 다음과 같이 형성된다: 6N의 순도를 가진 석영(바람직하게는, 합성 석영)이 상기 타겟으로서 사용되고; 상기 기판 온도는 108°C이고; 상기 타겟과 상기 기판 간의 거리(T-S 거리)는 60mm이고; 상기 기압은 0.4 Pa이고; 상기 고-주파수 전원은 1.5 kW이고; 상기 분위기는 산소 및 아르곤(산소 대 아르곤의 유량비는 25 sccm:25 sccm = 1:1이다)이며; RF 스팍터링 방법이 사용된다. 상기 산화 실리콘막의 두께는 이 실시형태에서 100nm이다. 실리콘 타겟이 상기 산화 실리콘막을 형성하기 위해 상기 석영(바람직하게는, 합성 석영) 대신에 사용될 수 있다.

[0140] 상기 경우에, 상기 절연층(457)의 성막에 있어서 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 절연층(457)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다. 배기가 크라이오펌프를 사용하여 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함하는 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 절연층(457)에 포함된 불순물들의 농도는 감소될 수 있다.

[0141] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 절연층(457)의 성막을 위한 스팍터링 가스로서 사용되는 것이 바람직하다.

[0142] 상기 절연층(457)은 적층 구조를 가질 수 있으며; 예를 들면, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 또는 질화산화 알루미늄층과 같은 질화물 절연층 및 상술된 산화물 절연층이 상기 기판(450) 위에 이러한 순서로 적층되는 적층 구조가 사용될 수 있다.

- [0143] 예를 들면, 질화 실리콘층이 수소 및 수분이 제거된 고-순도 질소를 포함하는 스퍼터링 가스를 도입하고 실리콘 타겟을 사용함으로써 상기 산화 실리콘층 및 상기 기판(450) 사이에 형성된다. 상기 경우에, 상기 산화 실리콘 층의 성막의 경우와 같이 상기 질화 실리콘층의 형성에 있어서 상기 처리실에서 잔여 수분을 제거하는 것이 또한 바람직하다.
- [0144] 다음으로, 도전막이 상기 절연층(457) 위에 형성된다. 상기 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 하나의 원소, 그것의 성분으로서 이들 원소들 중 임의의 것을 포함한 합금, 이들 원소들 중 임의의 것을 결합하여 포함한 합금 막 등이 제공될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료들이 사용될 수 있다. 또한, 상기 도전막은 단층 구조 또는 두 개 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄 막이 알루미늄막 위에 적층되는 2-층 구조, 티타늄 막, 알루미늄막, 및 티타늄 막이 순서대로 적층되는 3-층 구조 등이 제공될 수 있다. 대안적으로, 알루미늄(Al) 및 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 또는 복수의 원소들을 포함하는 막, 합금 막, 또는 질화막이 사용될 수 있다. 이 실시형태에서, 150 nm의 두께를 가진 티타늄 막이 스퍼터링 방법에 의해 상기 도전막으로서 형성된다. 다음으로, 레지스트 마스크가 제 1 포토리소그래피 단계에 의해 상기 도전막 위에 형성되며, 상기 소스 또는 드레인 전극층들(465a1, 465a2)이 선택적 예칭에 의해 형성되고, 그 후, 상기 레지스트 마스크가 제거된다 (도 8a 참조). 단면도에서 절개된 것으로 도시되는, 상기 소스 또는 드레인 전극층들(465a1, 465a2)은 하나의 연속막이다. 상기 소스 또는 드레인 전극층들의 각각의 단부는 그 위에 적층된 게이트 절연층으로 커버리지가 개선되기 때문에 테이퍼된 형성을 갖는 것이 바람직하다.
- [0145] 다음으로, 2nm 내지 200nm의 두께를 갖는 산화물 반도체막이 형성된다. 상기 산화물 반도체막의 적절한 두께는 그것의 재료에 의존하여 변화하며; 그러므로, 상기 두께는 상기 재료에 의존하여 적절하게 결정될 수 있다는 것을 주의하자. 이 실시형태에서, 상기 산화물 반도체막은 In-Ga-Zn-O-계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다.
- [0146] 상기 산화물 반도체막은 다음과 같이 상기 기판(450) 위에 형성된다: 상기 기판은 감소된 압력을 가진 처리실에 유지되고, 상기 처리실에서의 잔여 수분은 제거되고, 수소 및 수분이 제거된 스퍼터링 가스가 도입되며, 타겟이 사용된다. 상기 처리실에서의 잔여 수분을 제거하기 위해, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들면, 바람직하게는, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 배기가 크라이오펌프를 사용하여 수행되는 상기 성막 실에서, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물, 탄소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다. 상기 기판은 상기 산화물 반도체막의 성막시 가열될 수 있다.
- [0147] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 반도체막의 성막을 위한 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0148] 상기 성막 조건의 일 예로서, 다음의 조건이 이용된다: 상기 기판의 온도는 실온이고; 상기 기판과 상기 타겟 간의 거리는 110 mm이고; 상기 압력은 0.4 Pa이고; 상기 직류(DC) 전원은 0.5 kW이며; 상기 분위기는 산소 및 아르곤(산소 대 아르곤의 유량비는 15 sccm:30 sccm이다)이다.
- [0149] 다음으로, 상기 산화물 반도체막은 제 2 포토리소그래피 단계에 의해 상기 섬-형상 산화물 반도체층(462)으로 가공된다(도 8b 참조). 이 실시형태에서, 상기 산화물 반도체막은 인산, 아세트산, 및 질산을 혼합함으로써 획득된 용액을 사용한 웨트 예칭 방법에 의해 상기 섬-형상 산화물 반도체층(462)으로 가공된다.
- [0150] 이 실시형태에서, 제 1 열 처리는 상기 산화물 반도체층(462)에 수행된다. 상기 제 1 열 처리의 온도는 400°C 이상 750°C 이하, 상기 기판(450)의 변형점이 750°C 이하일 때 400°C 이상 상기 기판(450)의 상기 변형점 미만이다. 이 실시형태에서, 상기 기판은 열 처리 장치의 한 종류인 전기로에 넣어지며 열 처리는 질소 분위기에서 1시간 동안 450°C에서 상기 산화물 반도체층에 수행되며, 그 후 대기에 노출하지 않고 상기 온도는 실온으로 감소되고 물 또는 수소가 상기 산화물 반도체층에 혼입되는 것이 방지되며, 따라서 산화물 반도체층이 획득된다. 상기 산화물 반도체층(462)은 상기 제 1 열 처리에 의해 탈수화되거나 또는 탈수소화될 수 있다.
- [0151] 상기 열 처리 장치는 전기로에 제한되지 않지만 저항 가열기 등과 같은 가열기로부터 열 복사 또는 열 전도에 의해 피처리물을 가열하는 장치가 제공될 수 있다. 예를 들면, GRTA (gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가 사용될 수 있다. 예를

들면, 상기 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다. 상기 기판은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이송되어 수 분 동안 가열되고, 이송되어 고온으로 가열된 상기 불활성 가스 밖으로 꺼내어진다. GRTA는 단시간 동안 고-온 열 처리를 가능하게 한다.

- [0152] 상기 제 1 열 처리에서, 물, 수소 등은 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스에 포함되지 않는 것이 바람직하다. 상기 열 처리 장치로 도입되는 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스는 6N(99.9999%) 이상, 보다 바람직하게는, 7N(99.99999%) 이상(즉, 불순물들의 농도가 1ppm 이하, 보다 바람직하게는 0.1ppm 이하이다)의 순도를 갖는 것이 바람직하다.
- [0153] 또한, 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존하여, 상기 산화물 반도체층(462)은 미결정 막 또는 다결정 막이 되도록 결정화될 수 있다.
- [0154] 상기 산화물 반도체층의 상기 제 1 열 처리는 또한 상기 섬-형상 산화물 반도체층으로 가공되기 전에 상기 산화물 반도체막에 수행될 수 있다. 상기 경우에서, 상기 기판은 상기 제 1 열 처리 후에 상기 열 처리 장치로부터 제거되며, 그 후 포토리소그래피 단계가 수행된다.
- [0155] 상기 산화물 반도체층의 탈수화 또는 탈수소화를 위한 제 1 열 처리가 상기 산화물 반도체층(462)의 형성 직후 수행되는 예가 상술되었다. 그러나, 탈수화 또는 탈수소화를 위한 상기 열 처리는 상기 산화물 반도체층의 성막 후에 수행되는 한 상기 소스 또는 드레인 전극(465b)이 상기 산화물 반도체층 상에 적층된 후 또는 상기 게이트 절연층(452)이 상기 소스 또는 드레인 전극(465b) 위에 형성된 후 수행될 수 있다.
- [0156] 다음으로, 도전막은 상기 절연층(457) 및 상기 산화물 반도체층(462) 위에 형성된다. 그 후, 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 상기 도전 막 위에 형성되고, 상기 도전막은 상기 소스 또는 드레인 전극층(465b) 및 상기 배선층(468)을 형성하기 위해 선택적으로 에칭되며, 그 후 상기 레지스트 마스크가 제거된다(도 8c 참조). 상기 소스 또는 드레인 전극층(465b) 및 상기 배선층(468)은 상기 소스 또는 드레인 전극층들(465a1, 465a2)의 각각의 재료 및 단계와 유사한 재료 및 유사한 단계에 의해 각각 형성될 수 있다.
- [0157] 이 실시형태에서, 150-nm-두께의 티타늄 막이 스퍼터링 방법에 의해 상기 소스 또는 드레인 전극층(465b) 및 상기 배선층(468)의 각각으로서 형성된다. 이 실시형태에서, 상기 소스 또는 드레인 전극층들(465a1, 465a2) 및 상기 소스 또는 드레인 전극층(465b)이 서로 동일한 티타늄 막들이기 때문에, 상기 소스 또는 드레인 전극층(465b) 및 상기 소스 또는 드레인 전극층들(465a1, 465a2)의 각각 사이의 에칭 선택비는 제공될 수 없다. 그러므로, 상기 소스 또는 드레인 전극층(465b)이 에칭될 때 상기 소스 또는 드레인 전극층들(465a1, 465a2)이 에칭되는 것을 방지하기 위해, 상기 배선층(468)이 상기 산화물 반도체층(462)으로 커버되지 않는 상기 소스 또는 드레인 전극층(465a2) 위에 제공된다. 에칭시 높은 선택비를 갖는 상이한 재료들이 상기 소스 또는 드레인 전극층들(465a1, 465a2) 및 상기 소스 또는 드레인 전극층(465b)을 형성하기 위해 사용되는 경우에, 상기 소스 또는 드레인 전극층(465a2)이 에칭시 보호되는 상기 배선층(468)이 반드시 제공되는 것은 아니다.
- [0158] 상기 산화물 반도체층(462)은 상기 도전막의 에칭에 의해 부분적으로 에칭 오프될 수 있다. 재료들 및 에칭 조건들은 필요 이상으로 상기 산화물 반도체층(462)을 제거하지 않도록 적절하게 제어된다.
- [0159] 이 실시형태에서, 상기 Ti 막이 상기 도전막으로서 사용되고 상기 In-Ga-Zn-O-계 산화물 반도체가 상기 산화물 반도체층(462)으로서 사용되기 때문에, 암모늄 과산화수소수(암모니아, 물, 및 과산화수소수의 혼합액)가 에чин트로서 사용된다.
- [0160] 제 2 포토리소그래피 단계에서, 몇몇 경우들에서, 상기 산화물 반도체층(462)의 일부가 에칭되며, 그에 의해 흄(오목한 부분)을 가진 산화물 반도체층이 형성될 수 있다. 상기 소스 또는 드레인 전극층(465b) 및 상기 배선층(468)을 형성하기 위해 사용된 상기 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며, 따라서 제작 비용이 감소될 수 있다.
- [0161] 다음으로, 상기 게이트 절연층(452)이 상기 절연층(457), 상기 산화물 반도체층(462), 상기 소스 또는 드레인 전극층들(465a1, 465a2), 및 상기 소스 또는 드레인 전극층(465b) 위에 형성된다.
- [0162] 상기 게이트 절연층(452)은 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층 중 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 상기 게이트 절연층(452)이 많은 양의 수소를 포함하는 것을 방지하기 위해, 스퍼터링 방법에 의해 상기 게이트 절연층(452)을 형성하는 것이 바람직하다. 스퍼터링 방법에 의해 산화 실리콘막을 형성하는 경우에, 실리콘 타겟 또는 석영 타겟으로서 사용되며, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링

가스로서 사용된다.

- [0163] 상기 게이트 절연층(452)은 산화 실리콘층 및 질화 실리콘층이 상기 소스 또는 드레인 전극층들(465a1, 465a2) 및 상기 소스 또는 드레인 전극층(465b) 위에 이러한 순서로 적층되는 구조를 가질 수 있다. 이 실시형태에서, 100-nm-두께의 산화 실리콘층이 다음과 같이 형성된다: 상기 압력은 0.4 Pa이고; 상기 고-주파수 전원은 1.5 kW이고, 상기 분위기는 산소 및 아르곤(산소 대 아르곤의 유량비는 25 sccm:25 sccm = 1:1이다)이며; RF 스퍼터링 방법이 사용된다.
- [0164] 다음으로, 레지스트 마스크가 제 4 포토리소그래피 단계에 의해 형성되며, 예칭은 상기 게이트 절연층(452)의 일부를 제거하기 위해 선택적으로 수행되어, 상기 배선층(468)에 도달하는 개구(423)가 형성된다(도 8d 참조). 상기 소스 또는 드레인 전극층(465b)에 도달하는 개구는 비록 도시되지는 않았지만 상기 개구(423)가 형성될 때 형성될 수 있다. 이 실시형태에서, 상기 소스 또는 드레인 전극층(465b)에 도달하는 상기 개구는 층간 절연층을 적층한 후 형성되며, 전기 접속을 위한 배선층이 상기 개구에 형성된다.
- [0165] 다음으로, 도전막이 상기 게이트 절연층(452) 및 상기 개구(423) 위에 형성된다. 그 후, 제 5 포토리소그래피 단계가 수행되어, 상기 게이트 전극층(461(461a, 461b)) 및 상기 배선층(464)이 형성되도록 한다. 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며, 따라서 제작 비용은 감소될 수 있다.
- [0166] 상기 게이트 전극층(461(461a, 461b)) 및 상기 배선층(464)은 각각 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 그것의 주요 성분으로서 이들 재료들 중 임의의 것을 포함하는 합금 재료를 사용한 단층 또는 적층 구조를 갖도록 형성될 수 있다.
- [0167] 이 실시형태에서, 150-nm-두께의 티타늄 막이 스퍼터링 방법에 의해 상기 게이트 전극층(461(461a, 461b)) 및 상기 배선층(464)의 각각으로서 형성된다. 비록 상기 게이트 전극층(461(461a, 461b))은 분할되는 것으로 도 8e에 도시되지만, 상기 게이트 전극층(461(461a, 461b))은 도 7a에 도시된 바와 같이 상기 소스 또는 드레인 전극층들(465a1, 465a2) 및 상기 소스 또는 드레인 전극층(465b)에 의해 형성된 고리형 보이드(torus-shaped void)를 중첩하도록 형성된다.
- [0168] 다음으로, 제 2 열 처리(바람직하게는 200°C 내지 400°C의 온도로, 예를 들면, 250°C 내지 350°C의 온도로)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 이 실시형태에서, 상기 제 2 열 처리는 질소 분위기에서 1시간 동안 250°C로 수행된다. 상기 제 2 열 처리는 보호 절연층 또는 평탄화 절연층이 상기 박막 트랜지스터(460) 위에 형성된 후 수행될 수 있다.
- [0169] 더욱이, 열 처리는 대기 중에서 1시간 내지 30시간 동안 100°C 내지 200°C의 온도로 수행될 수 있다. 이러한 열 처리는 일정한 가열 온도로 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 상기 가열 온도는 실온에서 100°C 내지 200°C의 온도로 증가되고 그 후 실온으로 감소된다. 이러한 열 처리는 상기 산화물 절연층의 형성 전에 감소된 압력 하에서 수행될 수 있다. 상기 감소된 압력 하에서, 상기 열 처리 시간은 단축될 수 있다.
- [0170] 상술된 프로세스를 통해, 수소, 수분, 수소화물, 및 수산화물의 농도가 감소되는 상기 산화물 반도체층(462)을 포함하는 상기 박막 트랜지스터(460)가 형성될 수 있다(도 8e 참조). 상기 박막 트랜지스터(460)는 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.
- [0171] 평탄화를 위한 보호 절연층 또는 평탄화 절연층이 상기 박막 트랜지스터(460) 위에 제공될 수 있다. 비록 도시되지는 않았지만, 이 실시형태에서, 상기 소스 또는 드레인 전극층(465b)에 도달하는 개구가 상기 게이트 절연층(452) 및 상기 보호 절연층 및/또는 상기 평탄화 절연층에 형성되며, 상기 소스 또는 게이트 전극층(465b)에 전기적으로 접속되는 배선층이 상기 개구에 형성된다.
- [0172] 상술된 바와 같이 상기 산화물 반도체막의 성막시 상기 반응성 분위기에서 잔여 수분을 제거함으로써, 상기 산화물 반도체막에서의 수소 및 수소화물의 농도가 감소될 수 있다. 따라서, 상기 산화물 반도체막이 안정화될 수 있다.
- [0173] 상기 산화물 반도체층을 사용하여 상기 박막 트랜지스터를 포함한 액정 표시 장치의 표시부의 복수의 화소들에서, 오프-상태 전류가 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다. 이 실시형태에서, 상기 채널의 형상은 원형이며 상기 소스 전극층 및 상기 드레인 전극 층은 상이한 층들을 사용하여 형성되며, 그에

의해 상기 채널 길이는 감소될 수 있고 상기 채널 폭은 증가될 수 있다. 이러한 방식으로, 큰 채널 폭을 가진 박막 트랜지스터가 비교적 작은 면적에서도 형성되어 심지어 큰 전류의 스위칭을 가능하게 할 수 있다. 게다가, 비록 상기 채널 폭이 클지라도, 상기 오프-상태 전류는 정제된 산화물 반도체가 사용되기 때문에 매우 작다.

[0174] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.

[0175] (실시형태 4)

[0176] 이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 다른 예들이 설명될 것이다. 실시형태 2는 실시형태 2와 동일한 부분들 및 그것과 유사한 기능을 갖는 부분들 및 단계들을 위해 참조될 수 있다는 것을 주의하자. 또한, 상기 동일한 부분들에 대한 상세한 설명은 생략된다. 이 실시형태에서 설명된 박막 트랜지스터들(425, 426)은 각각 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.

[0177] 이 실시형태에서 박막 트랜지스터들은 도 9a 및 도 9b를 사용하여 기술된다.

[0178] 도 9a 및 도 9b는 박막 트랜지스터들의 단면 구조의 예들을 도시한다. 도 9a 및 도 9b에 도시된 상기 박막 트랜지스터들(425, 426)은 각각 산화물 반도체층이 도전층과 게이트 전극층 사이에 개재되는 구조를 갖는 한 종류의 박막 트랜지스터이다.

[0179] 도 9a 및 도 9b에서, 실리콘 기판(420)이 사용되며, 상기 박막 트랜지스터들(425, 426)의 각각은 상기 실리콘 기판(420) 위에 제공된 절연층(422) 위에 제공된다.

[0180] 도 9a에서, 도전층(427)은 적어도 산화물 반도체층(412)과 전체적으로 중첩하도록 상기 실리콘 기판(420) 위에 제공된 상기 절연층(422) 및 절연층(407) 사이에 제공된다.

[0181] 도 9b는 상기 절연층(422) 및 상기 절연층(407) 사이의 도전층이 도전층(424)이 되도록 에칭함으로써 가공되고 적어도 상기 산화물 반도체층(412)의 채널 영역을 포함한 부분에 중첩하는 일 예이다.

[0182] 상기 도전층들(427, 424)은 각각 나중에 수행되는 열 처리의 온도에 내열성 있는 금속 재료에 의해 형성된다. 티타늄(Ti), 탄탈(Ta), 텉스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나의 원소, 그것의 주요 성분으로서 상기 원소들 중 임의의 것을 포함한 합금, 이를 원소들 중 임의의 것의 결합을 포함한 합금 막, 그것의 성분으로서 상기 원소들 중 임의의 것을 포함한 질화물 등이 사용될 수 있다. 단층 구조 또는 적층 구조가 사용될 수 있으며; 예를 들면, 텉스텐층의 단층, 질화 텉스텐층 및 텉스텐층의 적층 구조 등이 사용될 수 있다.

[0183] 상기 도전층들(427, 424)의 각각의 전위는 상기 박막 트랜지스터들(425, 426)의 각각의 상기 게이트 전극층(411)의 전위와 동일하거나 또는 상이할 수 있으며, 상기 도전층들(427, 424)의 각각은 제 2 게이트 전극층으로서 기능할 수 있다. 상기 도전층들(427, 424)의 전위들은 각각 GND 또는 0V와 같은 고정된 전위일 수 있다.

[0184] 상기 박막 트랜지스터들(425, 426)의 전기적 특성들은 상기 도전층들(427, 424)에 의해 제어될 수 있다.

[0185] 이러한 실시형태는 다른 실시형태들 중 임의의 것과 적절하게 결합하여 구현될 수 있다.

[0186] (실시형태 5)

[0187] 이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 일 예가 설명될 것이다.

[0188] 이 실시형태의 박막 트랜지스터 및 상기 박막 트랜지스터를 제작하기 위한 방법의 일 실시형태가 도 10a 내지 도 10e를 사용하여 설명된다.

[0189] 도 10a 내지 도 10e는 박막 트랜지스터의 단면 구조의 일 예를 도시한다. 도 10a 내지 도 10e에 도시된 박막 트랜지스터(390)는 한 종류의 보텀-게이트 구조이며 또한 역 스태거 박막 트랜지스터로서 칭하여진다.

[0190] 비록 상기 박막 트랜지스터(390)는 단일-게이트 박막 트랜지스터를 사용하여 기술되지만, 복수의 채널 형성 영역들을 포함한 멀티-게이트 박막 트랜지스터가 필요에 따라 형성될 수 있다.

[0191] 이후, 기판(394) 위에 상기 박막 트랜지스터(390)를 제작하기 위한 프로세스가 도 10a 내지 도 10e를 사용하여 기술된다.

[0192] 먼저, 도전막은 절연 표면을 가진 상기 기판(394) 위에 형성되며, 그 후 제 1 포토리소그래피 단계가 수행되어, 게이트 전극층(391)이 형성되도록 한다. 상기 게이트 전극층의 단부는 그 위에 적층된 게이트 절연층으로 커버

리지가 향상되기 때문에 테이퍼된 형상을 갖는 것이 바람직하다. 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서 제작 비용은 감소될 수 있다.

[0193] 비록 절연 표면을 가진 상기 기판(394)으로서 사용될 수 있는 기판에 대한 특별한 제한은 없지만, 상기 기판(394)은 적어도 나중에 수행될 열 처리를 견디기에 충분히 높은 내열성을 갖는 것이 필요하다.

[0194] 예를 들면, 유리 기판이 상기 기판(394)으로서 사용되는 경우에, 나중에 수행될 상기 열 처리의 온도가 높다면, 변형점이 730°C 이상인 유리 기판을 사용하는 것이 바람직하다. 상기 유리 기판의 재료로서, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 또는 바륨 보로실리케이트 유리와 같은 유리 재료가 사용된다. 산화 봉소보다 많은 양의 산화 바륨(BaO)을 포함함으로써, 사용이 보다 실용적인 내열 유리 기판이 형성될 수 있다는 것을 주의하자. 그러므로, B₂O₃보다 많은 BaO를 포함한 유리 기판이 사용되는 것이 바람직하다.

[0195] 세라믹 기판, 석영 기판, 또는 사파이어 기판과 같은 절연체를 사용하여 형성된 기판이 상기 기판(394)으로서, 상술된 유리 기판 대신에 사용될 수 있다는 것을 주의하자. 대안적으로, 결정화된 유리 기판 등이 사용될 수 있다. 또한 대안적으로, 플라스틱 기판 등이 사용될 수 있다.

[0196] *하지막으로서 기능하는 절연막이 상기 기판(394) 및 상기 게이트 전극층(391) 사이에 제공될 수 있다. 상기 하지막은 상기 기판(394)으로부터 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 및 산화질화 실리콘막 중 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0197] 상기 게이트 전극층(391)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 그것의 주요 성분으로서 이를 재료들 중 임의의 것을 포함한 합금 재료를 사용한 단층 또는 적층 구조를 갖도록 형성될 수 있다.

[0198] 예를 들면, 상기 게이트 전극층(391)의 2-층 구조로서, 다음 구조들 중 임의의 것이 바람직하다: 알루미늄층 및 그 위에 적층된 몰리브덴층의 2-층 구조, 구리층 및 그 위에 적층된 몰리브덴층의 2-층 구조, 구리층 및 그 위에 적층된 질화 티타늄층 또는 질화 탄탈층의 2-층 구조, 질화 티타늄층 및 몰리브덴층의 2-층 구조, 및 질화 텉스텐층 및 그 위에 적층된 텉스텐층의 2-층 구조. 3-층 구조로서, 텉스텐층 또는 질화 텉스텐층, 알루미늄 및 실리콘의 합금 또는 알루미늄 및 티타늄의 합금의 층, 및 질화 티타늄층 또는 티타늄층의 적층이 바람직하다. 상기 게이트 전극층은 투광성 도전막을 사용하여 형성될 수 있다. 상기 투광성 도전막의 재료의 일 예로서, 투광성 도전성 산화물이 제공될 수 있다.

[0199] 다음으로, 게이트 절연층(397)이 상기 게이트 전극층(391) 위에 형성된다.

[0200] 상기 게이트 절연층(397)이 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층의 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 상기 게이트 절연층(397)이 많은 양의 수소를 포함하지 않도록 하기 위해, 스퍼터링 방법에 의해 상기 게이트 절연층(397)을 형성하는 것이 바람직하다. 스퍼터링 방법에 의해 산화 실리콘막을 형성하는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 사용되며, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 사용된다.

[0201] 상기 게이트 절연층(397)은 질화 실리콘층 및 산화 실리콘층이 상기 게이트 전극층(391) 위에 이러한 순서로 적층되는 구조를 가질 수 있다. 예를 들면, 100-nm-두께의 게이트 절연층이 50 nm 내지 200 nm의 두께를 가진 질화 실리콘층(SiN_y(y>0))이 제 1 게이트 절연층으로서 스퍼터링 방법에 의해 형성되며, 그 후 50 nm 내지 300 nm의 두께를 가진 산화 실리콘층(SiO_x(x>0))이 상기 제 1 게이트 절연층 위에 제 2 게이트 절연층으로서 적층되는 방식으로 형성된다.

[0202] 상기 게이트 절연층(397) 및 산화물 반도체막(393)이 많은 수소, 수산기, 및 수분을 포함하는 것을 가능한 한 방지하기 위해, 상기 기판(394)상에 흡착된 수소 또는 수분과 같은 불순물이 제거되도록 상기 성막 전에 스퍼터링 장치의 예열실에서 상기 게이트 전극층(391)이 제공되는 상기 기판(394) 또는 상기 게이트 전극층(391) 및 상기 게이트 절연층(397)이 제공되는 상기 기판(394)을 예열하고, 그 후 배기를 수행하는 것이 바람직하다. 상기 예열 온도는 100°C 이상 400°C 이하, 바람직하게는 150°C 이상 300°C 이하이다. 상기 예열실에 제공된 배기

수단으로서, 크라이오펌프가 바람직하다. 이러한 예열 단계가 반드시 수행되는 것은 아니다. 이러한 예열 단계는 산화물 절연층(396)이 형성되기 전에 도 10c에 도시된 소스 전극층(395a) 및 드레인 전극층(395b)까지 형성된 상기 기판(394)에 동일한 방식으로 수행될 수 있다.

[0203] 다음으로, 상기 게이트 절연층(397) 위에, 상기 산화물 반도체막(393)이 스퍼터링 방법에 의해 2 nm 내지 200 nm, 바람직하게는 5 nm 내지 30 nm의 두께로 형성된다(도 10a 참조). 상기 산화물 반도체막의 적절한 두께는 그 재료에 의존하여 변화하며, 그러므로 상기 두께는 상기 재료에 의존하여 적절하게 결정될 수 있다는 것을 주의하자.

[0204] 상기 산화물 반도체막(393)이 스퍼터링 방법에 의해 형성되기 전에, 상기 게이트 절연층(397)의 표면상의 먼지가 제거되도록 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링을 수행하는 것이 바람직하다는 것을 주의하자. 상기 역 스퍼터링은 타겟 측으로의 전압의 인가 없이 상기 기판의 부근에 플라즈마를 생성하기 위해 아르곤 분위기에서 RF 전원으로 기판 측에 전압이 인가되어, 표면이 개질되도록 하는 방법이다. 상기 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 사용될 수 있다.

[0205] 상기 산화물 반도체막(393)은 In-Ga-Zn-O-계 산화물 반도체막, In-Sn-Zn-O-계 산화물 반도체막, In-Al-Zn-O-계 산화물 반도체막, Sn-Ga-Zn-O-계 산화물 반도체막, Al-Ga-Zn-O-계 산화물 반도체막, Sn-Al-Zn-O-계 산화물 반도체막, In-Zn-O-계 산화물 반도체막, Sn-Zn-O-계 산화물 반도체막, Al-Zn-O-계 산화물 반도체막, In-O-계 산화물 반도체막, Sn-O-계 산화물 반도체막, 또는 Zn-O-계 산화물 반도체막을 사용하여 형성된다. 이 실시형태에서, 상기 산화물 반도체막(393)은 In-Ga-Zn-O-계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다. 구체적으로, $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [분자%](즉, In:Ga:Zn = 1:1:0.5 [원자%])의 조성비를 가진 타겟이 사용된다. 대안적으로, In:Ga:Zn = 1:1:1 [원자%] 또는 In:Ga:Zn = 1:1:2 [원자%]의 조성비를 가진 타겟이 사용될 수 있다. 이 실시형태에서, 상기 산화물 반도체 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 가진 상기 산화물 반도체 타겟의 사용으로, 상기 성막된 산화물 반도체막은 높은 밀도를 가진다. 상기 산화물 반도체막(393)은 희가스(대표적으로, 아르곤)의 분위기, 산소의 분위기, 또는 희가스와 산소의 혼합 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 상기 타겟은 2 wt% 이상 및 10 wt% 이하로 SiO_2 를 포함할 수 있다.

[0206] 상기 산화물 반도체막(393)은 다음과 같이 상기 기판(394) 위에 형성된다: 상기 기판은 감소된 압력을 가진 상기 처리실에 유지되고, 상기 기판은 실온 또는 400°C 미만의 온도로 가열되며; 상기 처리실에서의 잔여 수분은 제거되고 수소 및 수분이 제거된 스퍼터링 가스가 도입되며, 상술된 타겟이 사용된다. 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물, 탄소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다. 크라이오펌프를 사용하여 상기 처리실에서의 잔여 수분을 제거하면서 스퍼터링에 의한 성막을 수행함으로써, 상기 산화물 반도체막(393)의 형성 동안 상기 기판 온도는 실온 이상 400°C 미만으로 설정될 수 있다.

[0207] 상기 성막 조건의 일 예로서, 다음 조건이 이용된다: 상기 기판과 상기 타겟 간의 거리는 100 mm이고; 상기 기압은 0.6 Pa이고; 상기 직류(DC) 전원은 0.5 kW이며; 상기 분위기는 산소(산소 유량비는 100%이다)이다. 먼지가 감소될 수 있고 상기 막 두께가 일정하게 될 수 있기 때문에 펄스 직류(DC) 전원이 사용되는 것이 바람직하다.

[0208] 스퍼터링 방법의 예들은 고-주파수 전원이 스퍼터링 전원으로서 사용되는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 바이어스가 펄스 방식으로 인가되는 펄스 DC 스퍼터링 방법을 포함한다. 상기 RF 스퍼터링 방법은 절연막이 형성되는 경우에서 주로 사용되며 상기 DC 스퍼터링 방법은 금속막이 형성되는 경우에 주로 사용된다.

[0209] 서로 상이한 재료들로 형성되는 복수의 타겟들이 설정될 수 있는 다원-타겟 스퍼터링 장치가 또한 존재한다. 상기 다원-타겟 스퍼터링 장치 내에서, 상이한 재료들의 막들이 동일한 처리실에서 형성되도록 적층될 수 있거나, 또는 복수의 종류들의 재료들이 상기 동일한 처리실에서 방전에 의해 동시에 성막될 수 있다.

[0210] 게다가, 상기 처리실 내부에서의 자석 기구가 제공되고 마그네트론 스퍼터링 방법을 위해 사용된 스퍼터링 장치, 또는 글로 방전 없이 마이크로파를 사용하여 생성된 플라즈마가 사용되는 ECR 스퍼터링 방법을 위해 사용된 스퍼터링 장치가 또한 존재한다.

- [0211] 또한, 스퍼터링 방법을 사용한 성막 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 그것의 얇은 화합막을 형성하도록 성막 동안 서로 화학적으로 반응되는 반응성 스퍼터링 방법, 또는 전압이 또한 성막 동안 기판에 인가되는 바이어스 스퍼터링 방법이 존재한다.
- [0212] 다음으로, 상기 산화물 반도체막이 제 2 포토리소그래피 단계에 의해 섬-형상 반도체 산화물 층(399)으로 가공된다(도 10b 참조). 상기 섬-형상 산화물 반도체층(399)을 위한 레지스트 마스크가 잉크젯 방법을 사용하여 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며, 따라서, 제작 비용은 감소될 수 있다.
- [0213] 콘택트 훌이 상기 게이트 절연층(397)에 형성되는 경우에, 그 단계는 상기 산화물 반도체층(399)의 형성시 수행될 수 있다.
- [0214] 상기 산화물 반도체막(393)의 에칭은 드라이 에칭, 웨트 에칭, 또는 드라이 에칭 및 웨트 에칭 둘 모두일 수 있다는 것을 주의하자.
- [0215] 상기 드라이 에칭을 위한 에칭 가스로서, 바람직하게는 염소를 포함한 가스(염소(Cl₂), 염화 봉소(BCl₃), 염화 규소(SiCl₄), 또는 사염화탄소(CC1₄)와 같은 염소-계 가스)가 사용된다.
- [0216] 대안적으로, 불소를 포함한 가스(사불화 탄소(CF₄), 불화 유황(SF₆), 불화 질소(NF₃), 또는 트리플루오로메탄(CHF₃)과 같은 불소-계 가스); 브롬화 수소(HBr); 산소(O₂); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 부가되는 이들 가스들 중 임의의 것 등이 사용될 수 있다.
- [0217] 상기 드라이 에칭 방법으로서, 평행 평판 RIE(반응성 이온 에칭) 방법 또는 ICP(유도 결합 플라즈마) 에칭 방법이 사용될 수 있다. 상기 층을 원하는 형상으로 에칭하기 위해, 상기 에칭 조건들(코일-형상 전극에 인가된 전력의 양, 기판 측상의 전극에 인가된 전력의 양, 상기 기판측 상에 상기 전극의 온도 등)이 적절하게 조정된다.
- [0218] 웨트 에칭을 위해 사용된 예천트로서, 인산, 아세트산, 및 질산 등의 혼합액, 수산화암모늄/과산화수소 혼합물(31 w% 과산화수소수 : 28 wt% 암모니아수 : 물 = 5:2:2) 등이 사용될 수 있다. 대안적으로, ITO-07N(칸토 케미칼 코., 인크.에 의해 제작된)이 사용될 수 있다.
- [0219] 상기 웨트 에칭 후, 상기 예천트는 세정에 의해 상기 에칭 오프된 재료와 함께 제거된다. 상기 제거된 재료를 포함한 상기 예천트의 폐액은 정제될 수 있으며, 상기 폐액에 포함된 상기 재료는 재사용될 수 있다. 상기 에칭 후 상기 폐액으로부터 상기 산화물 반도체에 포함된 인듐과 같은 재료를 수집하고 재사용함으로써 상기 리소스들이 효율적으로 사용될 수 있고 비용은 감소될 수 있다.
- [0220] 상기 에칭 조건들(예천트, 에칭 시간, 및 온도와 같은)은 재료가 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적절하게 조정된다.
- [0221] 상기 경우에, 도전막이 다음 단계에서 형성되기 전에, 상기 산화물 반도체층(399) 및 상기 게이트 절연층(397)의 표면으로부터 레지스트 잔류물 등을 제거하기 위해 역 스퍼터링을 수행하는 것이 바람직하다는 것을 주의하자.
- [0222] 다음으로, 도전막이 상기 게이트 절연층(397) 및 상기 산화물 반도체층(399) 위에 형성된다. 상기 도전막은 스퍼터링 방법 또는 진공 성막 방법에 의해 형성될 수 있다. 상기 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 하나의 원소, 성분으로서 상기 원소들 중 임의의 것을 포함한 합금, 상기 원소들 중 임의의 것을 결합하여 포함한 합금 막 등이 제공될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료들이 사용될 수 있다. 또한, 상기 도전막은 단층 구조 또는 두 개 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄 막이 알루미늄막 위에 적층되는 2-층 구조, 티타늄 막, 알루미늄막, 및 티타늄 막이 순서대로 적층되는 3-층 구조 등이 제공될 수 있다. 대안적으로, 알루미늄(Al) 및 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 이상의 원소들을 포함하는 막, 합금 막, 또는 질화막이 사용될 수 있다.
- [0223] 레지스트 마스크는 제 3 포토리소그래피 단계에 의해 상기 도전막 위에 형성되고 상기 소스 전극층(395a) 및 상기 드레인 전극층(395b)이 선택적 에칭에 의해 형성되며, 그 후 상기 레지스트 마스크가 제거된다(도 10c 참조).
- [0224] 상기 제 3 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 노광은 자외선 광, KrF 레이저 광, 또는

ArF 레이저 광을 사용하여 수행될 수 있다. 형성될 박막 트랜지스터의 채널 길이(L)는 상기 산화물 반도체층(399) 위에서 서로에 인접하는, 상기 소스 전극층의 하단 및 상기 드레인 전극층의 하단 사이의 거리에 의해 결정된다. 노광이 25 nm 미만의 채널 길이(L)에 대해 수행되는 경우에, 상기 제 3 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 상기 노광은 수 나노미터 내지 수십 나노미터의 매우 짧은 파장을 가진 초자외선 광을 사용하여 수행된다. 초자외선 광에 의한 상기 노광에서, 상기 해상도는 높으며 초점 심도는 크다. 따라서 상기 박막 트랜지스터의 상기 채널 길이(L)는 10 nm 내지 1000 nm가 되게 할 수 있고, 회로의 동작 속도는 증가될 수 있으며, 낮은 전력 소비가 매우 작은 오프-상태 전류에 의해 달성될 수 있다.

- [0225] 각각의 재료 및 에칭 조건들이 상기 산화물 반도체층(399)이 상기 도전막의 에칭에 의해 제거되지 않도록 적절하게 조정된다는 것을 주의하자.
- [0226] 이 실시형태에서, Ti 막은 상기 도전막으로서 사용되고 상기 In-Ga-Zn-O-계 산화물 반도체가 상기 산화물 반도체층(399)을 위해 사용되며 암모늄 과산화수소수(암모니아, 물, 및 과산화수소수의 혼합액)가 에чин트로서 사용된다.
- [0227] 상기 제 3 포토리소그래피 단계에서, 몇몇 경우들에서, 상기 산화물 반도체층(399)의 일부가 에칭되며, 그에 의해 흄(오목한 부분)을 가진 산화물 반도체층이 형성될 수 있다. 상기 소스 전극층(395a) 및 상기 드레인 전극층(395b)을 형성하기 위해 사용된 상기 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서 제작 비용이 감소될 수 있다.
- [0228] 상기 포토리소그래피 단계에서 포토마스크들 및 단계들의 수를 감소시키기 위해, 에칭은 복수의 강도들을 갖도록 광이 투과되는 노광 마스크인 다계조 마스크를 사용하여 형성된 레지스트 마스크를 사용하여 수행될 수 있다. 다계조 마스크를 사용하여 형성된 레지스트 마스크는 복수의 두께들을 갖고 에칭을 수행함으로써 형상이 추가로 변경될 수 있기 때문에, 상기 레지스트 마스크는 상이한 패턴들을 제공하기 위해 복수의 에칭 단계들에 사용될 수 있다. 그러므로, 적어도 두 종류들의 상이한 패턴들에 대응하는 레지스트 마스크는 하나의 다계조 마스크를 사용함으로써 형성될 수 있다. 따라서, 노광 마스크들의 수는 감소될 수 있고 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있으며, 그에 의해 상기 제작 프로세스의 단순화가 실현될 수 있다.
- [0229] 상기 레지스트 마스크의 제거 후, N₂O, N₂, 또는 Ar과 같은 가스를 사용한 플라즈마 처리가 노출되는 상기 산화물 반도체층(399)의 표면상에 흡착된 물 등을 제거하기 위해 수행될 수 있다. 플라즈마 처리가 산소 및 아르곤의 혼합 가스를 사용하여 수행될 수 있다.
- [0230] 다음으로, 상기 산화물 절연층(396)이 상기 산화물 반도체층의 일부와 접촉하는 보호 절연층으로서 기능하는 산화물 절연층으로서 형성된다(도 10d 참조). 상기 플라즈마 처리가 수행되는 경우에, 상기 산화물 절연층(396)은 상기 플라즈마 처리 후 연속하여 상기 대기에 상기 산화물 반도체층(399)의 노출 없이 형성될 수 있다. 이 실시 형태에서, 상기 산화물 반도체층(399)은 상기 산화물 반도체층(399)이 상기 소스 전극층(395a) 및 상기 드레인 전극층(395b) 어디에도 중첩하지 않는 영역에서 상기 산화물 절연층(396)과 접촉한다.
- [0231] 이 실시형태에서, 상기 산화물 절연층(396)으로서, 결함을 포함한 산화 실리콘층이 다음과 같이 형성된다: 상기 섬-형상 산화물 반도체층(399), 상기 소스 전극층(395a), 및 상기 드레인 전극층(395b)이 형성되는 상기 기판(394)이 실온 내지 100°C 미만의 온도로 가열되고; 수소 및 수분이 제거된 고-순도 산소를 포함한 스퍼터링 가스가 도입되며; 실리콘 반도체 타겟이 사용된다.
- [0232] 예를 들면, 상기 산화 실리콘막은 다음과 같이 형성된다: 붕소(0.01 Ω·cm의 저항도를 가진)로 도핑되고 6N의 순도를 가진 실리콘 타겟이 사용되고; 상기 타겟과 상기 기판 간의 거리(T-S 거리)가 89 mm이고; 상기 압력은 0.4 Pa이고; 상기 직류(DC) 전원은 6 kW이고; 상기 분위기는 산소(산소 유량비는 100%이다)이며; 월스 DC 스퍼터링 방법이 사용된다. 상기 산화 실리콘막의 두께는 이 실시형태에서 300 nm이다. 석영(바람직하게는, 합성 석영)이 상기 산화 실리콘막을 형성하기 위해 상기 실리콘 타겟 대신에 사용될 수 있다.
- [0233] 상기 경우에, 상기 산화물 절연층(396)의 성막에 있어서 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물 반도체층(399) 및 상기 산화물 절연층(396)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.
- [0234] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는, 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를

들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 절연층(396)에 포함된 불순물들의 농도는 감소될 수 있다.

[0235] 상기 산화물 절연층(396)에서, 상기 산화 실리콘층 대신에, 산화질화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층 등이 사용될 수 있다.

[0236] 또한, 상기 산화물 절연층(396)의 형성 후, 100°C 내지 400°C에서의 열 처리가 상기 산화물 절연층(396)이 상기 산화물 반도체층(399)과 접촉하는 상태에서 수행될 수 있다. 이 실시형태에서 상기 산화물 절연층(396)은 많은 결함들을 포함하기 때문에, 상기 산화물 반도체층(399)에 포함된 수소, 수분, 수산기, 또는 수소화물과 같은 불순물은 이러한 열 처리에 의해 상기 산화물 절연층(396)으로 확산되며, 따라서 상기 산화물 반도체층(399)에 포함된 상기 불순물이 추가로 감소될 수 있다.

[0237] 상술된 프로세스를 통해, 수소, 수분, 수산기, 또는 수소화물의 농도가 감소되는 산화물 반도체층(392)을 포함한 상기 박막 트랜지스터(390)가 형성될 수 있다(도 10e 참조).

[0238] 상술된 상기 산화물 반도체막의 성막시 상기 반응 분위기에서의 잔여 수분을 제거함으로써, 상기 산화물 반도체막에서의 수소 및 수소화물의 농도는 감소될 수 있다. 따라서, 상기 산화물 반도체막이 안정화될 수 있다.

[0239] 보호 절연층이 상기 산화물 절연층 위에 제공될 수 있다. 이 실시형태에서, 보호 절연층(398)은 상기 산화물 절연층(396) 위에 형성된다. 상기 보호 절연층(398)으로서, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 또는 질화산화 알루미늄막 등이 사용될 수 있다.

[0240] 상기 보호 절연층(398)으로서, 질화 실리콘막이 상기 산화물 절연층(396)까지 및 이를 포함하는 층들이 형성되는 상기 기판(394)을 100°C 내지 400°C의 온도로 가열하고, 수소 및 수분이 제거된 고-순도 질소를 포함하는 스퍼터링 가스를 도입하며, 실리콘 반도체의 타겟을 사용함으로써 형성된다. 상기 경우에, 상기 산화물 절연층(396)의 경우와 같이 상기 보호 절연층(398)의 형성에 있어서 잔여 수분은 상기 처리실로부터 제거되는 것이 또한 바람직하다.

[0241] 상기 보호 절연층(398)이 형성되는 경우에, 상기 기판(394)은 상기 보호 절연층(398)의 형성시 100°C 내지 400°C의 온도로 가열되며, 그에 의해 상기 산화물 반도체층에 포함된 수소 또는 수분이 상기 산화물 절연층으로 확산될 수 있다. 이러한 경우에, 상기 산화물 절연층(396)의 형성 후 열 처리가 반드시 수행되는 것은 아니다.

[0242] 상기 산화 실리콘층이 상기 산화물 절연층(396)으로서 형성되고 상기 질화 실리콘층이 상기 보호 절연층(398)으로서 적층되는 경우에, 상기 산화 실리콘층 및 상기 질화 실리콘층은 공통 실리콘 타겟을 사용하여 동일한 처리실에 형성될 수 있다. 먼저, 산소를 포함한 스퍼터링 가스가 도입되며 상기 처리실 내부에 위치된 실리콘 타겟이 사용되어, 산화 실리콘층이 형성되도록 하고; 그 후 상기 스퍼터링 가스는 질소를 포함한 스퍼터링 가스로 전환되며 동일한 실리콘 타겟이 사용되어, 질화 실리콘층이 형성되도록 한다. 상기 산화 실리콘층 및 상기 질화 실리콘층은 대기에 노출하지 않고 연속적으로 형성될 수 있고, 수소 또는 수분과 같은 불순물이 상기 산화 실리콘층의 표면상에 흡착되는 것을 방지될 수 있다. 상기 경우에, 상기 산화 실리콘층이 상기 산화물 절연층(396)으로서 형성되고 상기 질화 실리콘층이 상기 보호 절연층(398)으로서 적층된 후, 상기 산화물 반도체층에 포함된 수소 또는 수분을 상기 산화물 절연층으로 확산하기 위한 열 처리(100°C 내지 400°C의 온도로)가 수행될 수 있다.

[0243] 상기 보호 절연층의 형성 후, 열 처리가 1시간 내지 30시간 동안 대기 중에서 100°C 내지 200°C의 온도로 수행될 수 있다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 상기 가열 온도는 실온에서 100°C 내지 200°C의 온도로 증가되며 그 후 실온으로 감소된다. 또한, 이러한 열 처리는 상기 산화물 절연층의 형성 전에 감소된 압력 하에서 수행될 수 있다. 상기 감소된 압력 하에서, 상기 열 처리 시간은 단축될 수 있다. 이러한 열 처리로, 노멀리 오프인(n-채널 트랜지스터의 경우에 양의 임계 전압을 갖는) 박막 트랜지스터가 획득될 수 있다. 그러므로, 상기 액정 표시 장치의 신뢰성은 향상될 수 있다.

[0244] 또한, 상기 게이트 절연층 위에서, 채널 형성 영역이 형성되는 것인 상기 산화물 반도체층의 형성시 상기 반응 분위기에서 잔여 수분을 제거함으로써, 상기 산화물 반도체층에서의 수소 또는 수소화물의 농도는 감소될 수 있다.

[0245] 상술된 프로세스는 액정 표시 패널, 전계발광 표시 패널, 전자 잉크를 사용한 표시 장치 등의 백플레인(박막 트랜지스터가 형성되는 기판)을 제조하기 위해 사용될 수 있다. 상술된 프로세스는 400°C 이하의 온도로 수행되기

때문에, 프로세스는 1미터보다 긴 변과 1mm 이하의 두께를 가진 유리 기판을 사용하는 제작 프로세스에 적용될 수 있다. 또한, 전체 프로세스가 400°C 이하의 처리 온도로 수행될 수 있기 때문에, 표시 패널은 너무 많은 에너지를 소비하지 않고 제작될 수 있다.

- [0246] 상기 산화물 반도체층을 사용한 상기 박막 트랜지스터를 포함하는 액정 표시 장치의 표시부의 복수의 화소들에서, 오프-상태 전류가 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다.
- [0247] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.
- [0248] (실시형태 6)
- [0249] 이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 또 다른 예가 설명될 것이다. 이 실시형태에서 기술된 박막 트랜지스터(310)는 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.
- [0250] 이 실시형태의 박막 트랜지스터 및 상기 박막 트랜지스터를 제작하기 위한 방법의 일 실시형태가 도 11a 내지 도 11e를 사용하여 기술된다.
- [0251] 도 11a 내지 도 11e는 박막 트랜지스터의 단면 구조의 일 예를 도시한다. 도 11a 내지 도 11e에 도시된 박막 트랜지스터(310)는 한 종류의 보텀-케이트 구조이며 또한 역 스태거 박막 트랜지스터라고 한다.
- [0252] 상기 박막 트랜지스터(310)는 단일-케이트 박막 트랜지스터를 사용하여 기술되지만, 복수의 채널 형성 영역들을 포함하는 멀티-케이트 박막 트랜지스터가 필요에 따라 형성될 수 있다.
- [0253] 이후, 기판(300) 위에 상기 박막 트랜지스터(310)를 제작하기 위한 프로세스가 도 11a 내지 도 11e를 사용하여 기술된다.
- [0254] 먼저, 도전막이 절연 표면을 가진 상기 기판(300) 위에 형성되며, 그 후 제 1 포토리소그래피 단계가 수행되어, 케이트 전극층(311)이 형성되도록 한다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서 제작 비용은 감소될 수 있다.
- [0255] 절연 표면을 가진 상기 기판(300)으로서 사용될 수 있는 기판에 대한 특별한 제한은 없지만, 상기 기판(300)은 적어도 나중에 수행될 열 처리를 견디기에 충분히 높은 내열성을 갖는 것이 필요하다.
- [0256] 예를 들면, 유리 기판이 상기 기판(300)으로서 사용되는 경우에, 나중에 수행될 상기 열 처리의 온도가 높다면, 변형점이 730°C 이상인 유리 기판을 사용하는 것이 바람직하다. 상기 유리 기판의 재료로서, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 또는 바륨 보로실리케이트 유리와 같은 유리 재료가 사용된다. 산화 붕소보다 더 많은 양의 산화 바륨(BaO)을 포함함으로써, 보다 실질적으로 사용하는 내열 유리 기판이 형성될 수 있다. 그러므로, BaO보다 많은 BaO를 포함한 유리 기판이 사용되는 것이 바람직하다.
- [0257] 세라믹 기판, 석영 기판, 또는 사파이어 기판과 같은 절연체를 사용하여 형성된 기판이 상기 기판(300)으로서 상술된 유리 기판 대신에 사용될 수 있다는 것을 주의하자. 대안적으로, 결정화된 유리 기판 등이 사용될 수 있다. 또한 대안적으로, 플라스틱 기판 등이 사용될 수 있다.
- [0258] 하지막으로서 기능하는 절연막은 상기 기판(300) 및 상기 케이트 전극층(311) 사이에 제공될 수 있다. 상기 하지막은 상기 기판(300)으로부터의 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 및 산화질화 실리콘막 중 하나 이상을 사용한 단층 구조 또는 적층 구조를 갖고 형성될 수 있다.
- [0259] 상기 케이트 전극층(311)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 그것의 주요 성분으로 이들 재료들 중 임의의 것을 포함하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다.
- [0260] 예를 들면, 상기 케이트 전극층(311)의 2-층 구조로서, 다음 구조들 중 임의의 것이 바람직하다: 알루미늄층 및 그 위에 적층된 몰리브덴층의 2-층 구조, 구리층 및 그 위에 적층된 몰리브덴층의 2-층 구조, 구리층 및 그 위에 적층된 질화 티타늄층 또는 질화 탄탈층의 2-층 구조, 질화 티타늄층 및 몰리브덴층의 2-층 구조, 및 질화 텉스텐층 및 그 위에 적층된 텉스텐층의 2-층 구조. 3-층 구조로서, 텉스텐층 또는 질화 텉스텐층, 알루미늄 및

실리콘의 합금 또는 알루미늄 및 티타늄의 합금의 층, 및 질화 티타늄층 또는 티타늄층의 적층이 바람직하다.

[0261] 다음으로, 게이트 절연층(302)이 상기 게이트 전극층(311) 위에 형성된다.

[0262] 상기 게이트 절연층(302)은 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층의 하나 이상을 사용한 단층 구조 또는 적층 구조를 갖고 형성될 수 있다. 예를 들면, 산화질화 실리콘층은 성막 가스로서 SiH₄, 산소, 및 질소를 사용하여 플라즈마 CVD 방법에 의해 형성될 수 있다. 이 실시형태에서, 상기 게이트 절연층(302)의 두께는 100 nm 이상 500 nm 이하이다. 적층 구조의 경우에, 50 nm 내지 200 nm의 두께를 가진 제 1 게이트 절연층 및 5 nm 내지 300 nm의 두께를 가진 제 2 게이트 절연층이 상기 제 1 게이트 절연층 위에 적층된다.

[0263] 이 실시형태에서, 100 nm 이하의 두께를 가진 산화질화 실리콘층이 플라즈마 CVD 방법에 의해 상기 게이트 절연층(302)으로서 형성된다.

[0264] 다음으로, 상기 게이트 절연층(302) 위에, 2 nm 내지 200 nm, 바람직하게는 5 nm 내지 30 nm의 두께를 가진 산화물 반도체막(330)이 상기 게이트 절연층(302) 위에 형성된다. 상기 산화물 반도체막의 적절한 두께는 그 재료에 의존하여 변화하며; 그러므로 상기 두께는 상기 재료에 의존하여 적절히 결정될 수 있다는 것을 주의하자. 이 단계에서의 단면도는 도 11a이다.

[0265] 상기 산화물 반도체막(330)이 스퍼터링 방법에 의해 형성되기 전에, 상기 게이트 절연층(302)의 표면상의 먼지가 제거되도록 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링을 수행하는 것이 바람직하다는 것을 주의하자. 상기 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 사용될 수 있다.

[0266] 상기 산화물 반도체막(330)은 In-Ga-Zn-O-계 산화물 반도체막, In-Sn-Zn-O-계 산화물 반도체막, In-Al-Zn-O-계 산화물 반도체막, Sn-Ga-Zn-O-계 산화물 반도체막, Al-Ga-Zn-O-계 산화물 반도체막, Sn-Al-Zn-O-계 산화물 반도체막, In-Zn-O-계 산화물 반도체막, Sn-Zn-O-계 산화물 반도체막, Al-Zn-O-계 산화물 반도체막, In-O-계 산화물 반도체막, Sn-O-계 산화물 반도체막, 또는 Zn-O-계 산화물 반도체막을 사용하여 형성된다. 이 실시형태에서, 상기 산화물 반도체막(330)은 In-Ga-Zn-O-계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다. 구체적으로, In₂O₃:Ga₂O₃:ZnO = 1:1:1 [분자%]의 조성비(즉, In:Ga:Zn = 1:1:0.5 [원자%])를 가진 타겟이 사용된다. 대안적으로, In:Ga:Zn = 1:1:1 [원자%] 또는 In:Ga:Zn = 1:1:2 [원자%]의 조성비를 가진 타겟이 사용된다. 이 실시형태에서, 상기 산화물 반도체 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 가진 상기 산화물 반도체 타겟의 사용으로, 상기 성막된 산화물 반도체막은 높은 밀도를 가진다. 상기 타겟은 2 wt% 이상 및 10 wt% 이하의 SiO₂를 포함할 수 있다.

[0267] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 반도체막(330)의 성막을 위한 스퍼터링 가스로서 사용되는 것이 바람직하다.

[0268] 상기 스퍼터링은 100°C 내지 600°C, 바람직하게는 200°C 내지 400°C의 기판 온도로 감소된 압력을 갖는 상기 처리실에 상기 기판을 유지함으로써 수행된다. 성막시 상기 기판을 가열함으로써, 상기 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다. 또한, 상기 스퍼터링에 의한 손상은 억제될 수 있다. 그 후, 상기 처리실에서의 잔여 수분이 제거되고, 수소 및 수분이 제거된 스퍼터링 가스가 도입되며, 상술된 타겟이 사용되어, 상기 산화물 반도체막(330)이 상기 기판(300) 위에 형성되도록 한다. 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는, 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 배기가 크라이오펌프를 사용하여 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H₂O)과 같은 수소 원자를 포함한 화합물, 탄소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다.

[0269] 상기 성막 조건의 일 예로서, 다음 조건이 이용된다: 상기 기판과 상기 타겟 간의 거리는 100 mm이고; 상기 압력은 0.6 Pa이고; 직류(DC) 전원은 0.5 kW이며; 상기 분위기는 산소(산소 유량비는 100%이다)이다. 먼지가 감소될 수 있고 상기 막 두께가 일정해질 수 있기 때문에 펄스 직류(DC) 전원이 사용되는 것이 바람직하다.

[0270] 다음으로, 상기 산화물 반도체막(330)이 제 2 포토리소그래피 단계에 의해 섬-형상 산화물 반도체층(331)으로 가공된다. 상기 섬-형상 산화물 반도체층을 형성하기 위한 레지스트 마스크가 잉크젯 방법을 사용하여 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작

비용은 감소될 수 있다.

[0271] 다음으로, 제 1 열 처리가 상기 산화물 반도체층(331)에 수행된다. 상기 산화물 반도체층(331)은 상기 제 1 열 처리에 의해 탈수화 또는 탈수소화될 수 있다. 상기 제 1 열 처리의 온도는 400°C 이상 750°C 이하, 바람직하게는 400°C 이상 상기 기판의 변형점 미만이다. 이 실시형태에서, 상기 기판은 열 처리 장치의 한 종류인 전기로에 도입되고 열 처리는 질소 분위기에서 1시간 동안 450°C로 상기 산화물 반도체층에 수행되며, 그 후 대기에 노출하지 않고, 물 또는 수소가 상기 산화물 반도체층으로 흡입되는 것이 방지되고, 따라서 상기 산화물 반도체층(331)이 획득된다(도 11b 참조).

[0272] 상기 열 처리 장치는 전기로에 제한되지 않지만, 저항 가열기 등과 같은 가열기로부터 열 전도 또는 열 복사에 의해 피처리물을 가열하기 위한 장치가 제공될 수 있다. 예를 들면, GRTA(가스 급속 열 어닐) 장치 또는 LRTA(램프 급속 열 어닐) 장치와 같은 RTA(급속 열 어닐) 장치가 사용될 수 있다. 상기 LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자기파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고-온 가스를 사용한 열 처리를 위한 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0273] 예를 들면, 상기 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다. 상기 기판은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이송되어 수 분 동안 가열되고, 이송되어 고온으로 가열된 상기 불활성 가스 밖으로 꺼내어진다. GRTA는 단시간 동안 고-온 열 처리를 가능하게 한다.

[0274] 상기 제 1 열 처리에서, 물, 수소 등은 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스에 포함되지 않는 것이 바람직하다. 상기 열 처리 장치로 도입되는 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스는 6N(99.9999%) 이상, 보다 바람직하게는 7N(99.99999%) 이상(즉, 불순물들의 농도가 1 ppm 이하, 보다 바람직하게는 0.1 ppm 이하이다)의 순도를 가지는 것이 바람직하다.

[0275] 상기 제 1 열 처리에 의해, 상기 산화물 반도체층(331)에 포함된 수소 등이 제거될 수 있지만, 동시에, 산소 결손이 야기되어, 상기 산화물 반도체층(331)이 n-형 반도체(감소된 저항을 갖는 반도체)가 된다. 또한, 상기 산화물 반도체층의 상기 제 1 열 처리의 상기 조건 또는 상기 재료들에 의존하여, 상기 산화물 반도체층(331)은 미결정 막 또는 다결정 막이 되도록 결정화될 수 있다. 예를 들면, 상기 산화물 반도체층은 90% 이상, 또는 80% 이상의 결정화율을 갖는 미결정 반도체막이 되도록 결정화될 수 있다. 또한, 상기 제 1 열 처리의 조건들 또는 상기 산화물 반도체층의 재료에 의존하여, 상기 산화물 반도체층(331)은 결정 성분들을 포함하지 않는 비정질 산화물 반도체막일 수 있다. 상기 산화물 반도체층은 미결정 부분(1 nm 내지 20 nm, 대표적으로 2 nm 내지 4 nm의 입경을 갖는)이 비정질 산화물 반도체에 혼합되는 산화물 반도체막이 될 수 있다.

[0276] 상기 산화물 반도체층의 상기 제 1 열 처리는 또한 상기 센-형상 산화물 반도체층으로 가공되기 전에 상기 산화물 반도체막(330)에 수행될 수 있다. 상기 경우에, 상기 기판은 상기 제 1 열 처리 후 상기 열 처리 장치로부터 제거되며, 그 후 포토리소그래피 단계가 수행된다.

[0277] 탈수화 또는 탈수소화에 효과적인 상기 열 처리는 상기 산화물 반도체층의 성막 후 수행되는 한 소스 전극 및 드레인 전극이 상기 산화물 반도체층 상에 적층된 후 또는 보호 절연막이 상기 소스 및 상기 드레인 전극 위에 형성된 후 수행될 수 있다.

[0278] 콘택트 홀이 상기 게이트 절연층(302)에 형성되는 경우에, 그 단계는 상기 탈수화 또는 탈수소화가 상기 산화물 반도체막(330) 또는 상기 산화물 반도체층(331)에 수행되기 전 또는 후에 수행될 수 있다.

[0279] 상기 산화물 반도체막의 에칭은 웨트 에칭에 제한되지 않으며 드라이 에칭일 수 있다.

[0280] 상기 에칭 조건들(에천트, 에칭 시간, 또는 온도와 같은)은 재료가 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적절하게 조정된다.

[0281] 다음으로, 도전막이 상기 게이트 절연층(302) 및 상기 산화물 반도체층(331) 위에 형성된다. 상기 도전막은 스펀터링 방법 또는 진공 성막 방법에 의해 형성될 수 있다. 상기 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 하나의 원소, 성분으로서 상기 원소들 중 임의의 것을 포함한 합금, 상기 원소들 중 임의의 것을 결합하여 포함한 합금 막 등이 제공될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료들이 사용될 수 있다. 또한, 상기 도전막은 단층 구조 또는 두 개 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄 막이 알루미늄막 위에

적층되는 2-층 구조, 티타늄 막, 알루미늄막, 및 티타늄 막이 순서대로 적층되는 3-층 구조 등이 제공될 수 있다. 대안적으로, 알루미늄(Al) 및 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 이상의 원소들을 포함하는 막, 합금 막, 또는 질화막이 사용될 수 있다.

[0282] 열 처리가 상기 도전막의 성막 후 수행되는 경우에, 상기 도전막은 상기 열 처리를 견디기에 충분히 높은 내열성을 갖는 것이 바람직하다.

[0283] 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 상기 도전 막 위에 형성되며 소스 전극층(315a) 및 드레인 전극층(315b)이 선택적 에칭에 의해 형성되고, 그 후 상기 레지스트 마스크가 제거된다(도 11c 참조).

[0284] 상기 제 3 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 노광이 자외선 광, KrF 레이저 광, 또는 ArF 레이저 광을 사용하여 수행될 수 있다. 형성될 박막 트랜지스터의 채널 길이(L)는 상기 산화물 반도체층(331) 위에서 서로에 인접하는, 상기 소스 전극층의 하단 및 상기 드레인 전극층의 하단 사이의 거리에 의해 결정된다. 노광이 25 nm 미만의 채널 길이(L)에 대해 수행되는 경우에, 상기 제 3 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 상기 노광은 수 나노미터 내지 수십 나노미터의 매우 짧은 파장을 가진 초자외선 광을 사용하여 수행된다. 초자외선 광에 의한 상기 노광에서, 상기 해상도는 높으며 초점 심도는 크다. 따라서 상기 박막 트랜지스터의 상기 채널 길이(L)는 10 nm 내지 1000 nm가 되게 할 수 있고, 회로의 동작 속도는 증가될 수 있으며, 낮은 전력 소비가 매우 작은 오프-상태 전류에 의해 달성될 수 있다.

[0285] 각각의 재료 및 에칭 조건들은 상기 산화물 반도체층(331)이 상기 도전막의 에칭에 의해 제거되지 않도록 적절하게 조정된다는 것을 주의하자.

[0286] 이 실시형태에서, 상기 Ti 막이 상기 도전막으로서 사용되고 상기 In-Ga-Zn-O-계 산화물 반도체가 상기 산화물 반도체층(331)으로서 사용되기 때문에, 암모늄 과산화수소수(암모니아, 물, 및 과산화수소수의 혼합액)가 에칭 트로서 사용된다.

[0287] 제 3 포토리소그래피 단계에서, 몇몇 경우들에서, 상기 산화물 반도체층(331)의 일부가 에칭되며, 그에 의해 흠(오목한 부분)을 가진 산화물 반도체층이 형성될 수 있다. 상기 소스 전극층(315a) 및 상기 드레인 전극층(315b)을 형성하기 위해 사용된 상기 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며, 따라서 제작 비용이 감소될 수 있다.

[0288] 또한, 산화물 도전층이 상기 산화물 반도체층과 상기 소스 및 드레인 전극층들을 사이에 형성될 수 있다. 상기 산화물 도전층과 상기 소스 및 드레인 전극층들을 형성하기 위해 상기 금속층이 연속하여 형성될 수 있다. 상기 산화물 도전층은 소스 영역 및 드레인 영역으로서 기능할 수 있다.

[0289] 상기 산화물 반도체층과 상기 소스 및 드레인 전극층들 사이에 상기 소스 영역 및 상기 드레인 영역으로서 상기 산화물 도전층을 제공함으로써, 상기 소스 영역 및 상기 드레인 영역의 저항은 감소될 수 있고 상기 트랜지스터는 고속으로 동작될 수 있다.

[0290] 상기 포토리소그래피 단계에서 포토마스크들 및 단계들의 수를 감소시키기 위해, 에칭은 복수의 강도들을 갖도록 광이 투과되는 노광 마스크인 다계조 마스크를 사용하여 형성된 레지스트 마스크를 사용하여 수행될 수 있다. 다계조 마스크를 사용하여 형성된 레지스트 마스크는 복수의 두께들을 갖고 에칭을 수행함으로써 형상이 추가로 변경될 수 있기 때문에, 상기 레지스트 마스크는 상이한 패턴들을 제공하기 위해 복수의 에칭 단계들에 사용될 수 있다. 그러므로, 적어도 두 종류들의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 다계조 마스크를 사용함으로써 형성될 수 있다. 따라서, 노광 마스크들의 수는 감소될 수 있고 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있으며, 그에 의해 상기 제작 프로세스의 단순화가 실현될 수 있다.

[0291] 다음으로, N₂O, N₂, 또는 Ar과 같은 가스를 사용한 플라즈마 처리가 수행된다. 이러한 플라즈마 처리에 의해, 노출되는 상기 산화물 반도체층의 표면상에 흡착된 물 등이 제거된다. 플라즈마 처리는 산소 및 아르곤의 혼합 가스를 사용하여 수행될 수 있다.

[0292] 상기 플라즈마 처리 후, 보호 절연막으로서 기능하고 상기 산화물 반도체층의 일부와 접촉하는 산화물 절연층(316)이 대기애 노출하지 않고 형성된다.

[0293] 상기 산화물 절연층(316)은 스퍼터링 방법과 같이, 적절하게, 물 또는 수소와 같은 불순물이 상기 산화물 절연층(316)에 혼입되지 않는 방법에 의해 적어도 1 nm의 두께로 형성될 수 있다. 수소가 상기 산화물 절연층(316)에 포함될 때, 상기 산화물 반도체층으로의 상기 수소의 혼입, 또는 수소가 상기 산화물 반도체층에서 산소를

추출하여 산소 결손이 발생할 수 있고, 그에 의해 상기 산화물 반도체층의 백채널이 (*n*-형이 되도록) 낮은 저항을 갖게 하여, 기생 채널이 형성될 수 있도록 한다. 그러므로, 상기 산화물을 절연층(316)이 가능한 한 적은 수소를 포함하여 형성되도록 수소가 사용되지 않는 형성 방법이 이용되는 것이 중요하다.

[0294] 이 실시형태에서, 200-nm-두께의 산화 실리콘막이 스퍼터링 방법에 의해 상기 산화물을 절연층(316)으로서 성막된다. 성막시 상기 기판 온도는 실온 이상 300°C 이하일 수 있으며, 이 실시형태에서는 100°C이다. 상기 산화 실리콘막은 희가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 포함한 혼합 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 또한, 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟을 사용할 수 있다. 예를 들면, 실리콘 타겟의 사용으로, 산화 실리콘이 산소 및 질소의 분위기에서 스퍼터링 방법에 의해 성막될 수 있다. 저항이 감소되는 상기 산화물 반도체층과 접촉하여 형성되는 상기 산화물 절연층(316)으로서, 수분, 수소 이온, 또는 OH⁻와 같은 불순물들을 포함하지 않고 외부로부터 이들 불순물들의 혼입을 차단하는 무기 절연막이 사용된다. 대표적으로, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막 등이 사용된다.

[0295] 상기 경우에, 상기 산화물을 절연층(316)의 성막에 있어서 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물을 반도체층(331) 및 상기 산화물을 절연층(316)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.

[0296] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H₂O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물을 절연층(316)에 포함된 불순물들의 농도는 감소될 수 있다.

[0297] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물을 절연층(316)의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.

[0298] 다음으로, 제 2 열 처리(바람직하게는 200°C 내지 400°C의 온도로, 예를 들면, 250°C 내지 350°C의 온도로)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 상기 제 2 열 처리는 질소 분위기에서 1시간 동안 250°C로 수행된다. 상기 제 2 열 처리로 상기 산화물을 반도체층의 일부(상기 채널 형성 영역)가 상기 산화물을 절연층(316)과 접촉하는 상태에서 가열된다.

[0299] 상기 프로세스를 통해, 탈수화 또는 탈수소화를 위한 열 처리가 상기 저항을 감소시키기 위해 상기 성막된 산화물을 반도체막에 수행되며, 따라서 상기 산화물을 반도체막의 일부가 과잉 산소를 선택적으로 포함하게 한다. 그 결과, 상기 게이트 절연층(311)에 중첩하는 채널 형성 영역(313)은 *i*-형이 되며, 상기 소스 전극층(315a)을 중첩시키고 저-저항 산화물을 반도체를 사용하여 형성되는 고-저항 소스 영역(314a) 및 상기 드레인 전극층(315b)을 중첩시키고 상기 저-저항 산화물을 반도체를 사용하여 형성되는 고-저항 드레인 영역(314b)이 자기 정합적으로 형성된다. 상기 단계들을 통해, 상기 박막 트랜지스터(310)가 형성된다(도 11d 참조).

[0300] 더욱이, 열 처리는 1시간 내지 30시간 동안 대기 중에서 100°C 내지 200°C의 온도로 수행될 수 있다. 이 실시형태에서, 열 처리는 10시간 동안 150°C로 수행된다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음의 변화가 복수 희 반복적으로 행해질 수 있다: 상기 가열 온도는 실온에서 100°C 내지 200°C의 온도로 증가되며 그 후 실온으로 감소된다. 또한, 이러한 열 처리는 상기 산화물을 절연막의 형성 전에 감소된 압력 하에서 수행될 수 있다. 상기 감소된 압력 하에서, 상기 열 처리 시간은 단축될 수 있다. 이러한 열 처리로, 수소는 상기 산화물을 반도체층에서 상기 산화물을 절연층으로 도입되며; 따라서 노멀리-오프 박막 트랜지스터가 획득될 수 있다. 그러므로, 상기 액정 표시 장치의 신뢰성이 향상될 수 있다. 또한, 상기 산화물을 절연층으로서 많은 결함들을 포함하는 산화 실리콘층을 사용함으로써, 상기 산화물을 반도체층에 포함된 수소, 수분, 수산기, 또는 수소화물과 같은 불순물들은 상기 산화물을 반도체층에 포함된 상기 불순물들을 추가로 감소시키기 위해 이러한 열 처리에 의해 상기 산화물을 절연층으로 확산된다.

[0301] 상기 고-저항 드레인 영역(314b)(또는 상기 고-저항 소스 영역(314a))은 상기 드레인 전극층(315b)(또는 상기 소스 전극층(315a))에 중첩하는 상기 산화물을 반도체층의 일부에 형성되어, 상기 박막 트랜지스터의 신뢰성이 증가될 수 있도록 한다. 구체적으로, 상기 고-저항 드레인 영역(314b)의 형성에 의해, 상기 도전성은 상기 트랜지스터에서 상기 드레인 전극층(315b)으로부터 상기 고-저항 드레인 영역(314b) 및 상기 채널 형성 영역(313)으로 점차 변화할 수 있다. 그러므로, 상기 박막 트랜지스터가 고 전원 전위(VDD)를 공급하기 위한 배선에 접속된 상

기 드레인 전극층(315b)을 사용하여 동작하는 경우에, 상기 게이트 전극층(311) 및 상기 드레인 전극층(315b) 사이에 높은 전계가 인가될지라도 상기 고-저항 드레인 영역이 벼파로서 작용하여 국소적으로 높은 전계가 인가되지 않으며, 따라서 상기 트랜지스터의 내압은 향상될 수 있다.

[0302] 상기 고-저항 소스 영역 또는 상기 고-저항 드레인 영역은 상기 산화물 반도체층이 15 nm 이하만큼 얇은 경우에 상기 산화물 반도체층에서의 상기 막 두께 방향으로 전계가 형성될 수 있는 반면, 상기 산화물 반도체층이 30 nm 내지 50 nm만큼 두꺼운 경우에, 상기 산화물 반도체층의 일부, 즉, 상기 소스 또는 드레인 전극층과 접촉하는 상기 산화물 반도체층의 영역 및 그 근방의 저항은 감소될 수 있어서, 상기 고-저항 소스 영역 또는 상기 고-저항 드레인 영역이 형성되고 상기 게이트 절연층에 가까운 상기 산화물 반도체층의 영역은 i-형이 되게 할 수 있다.

[0303] 보호 절연층은 상기 산화물 절연층(316) 위에 형성될 수 있다. 예를 들면, 질화 실리콘막은 RF 스퍼터링 방법에 의해 형성된다. RF 스퍼터링 방법은 바람직하게는 그것이 높은 생산성을 갖기 때문에 보호 절연층을 형성하기 위한 하나의 방법으로서 바람직하다. 상기 보호 절연층으로서, 수분, 수소 이온, 또는 OH-과 같은 불순물들을 포함하지 않고 그 외부로부터 이들 불순물들의 혼입을 차단하는 무기 절연막이 사용되고; 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 질화산화 알루미늄막 등이 사용된다. 이 실시형태에서, 보호 절연층(303)은 상기 보호 절연층으로서 질화 실리콘막을 사용하여 형성된다(도 11e 참조).

[0304] 이 실시형태에서 상기 보호 절연층(303)으로서, 상기 산화물 절연층(316)까지 및 이를 포함하는 층들이 형성되는 상기 기판(300)을 100°C 내지 400°C의 온도로 가열하고, 수소 및 수분이 제거된 고-순도 질소를 포함한 스퍼터링 가스를 도입하며, 실리콘 반도체의 타겟을 사용함으로써 질화 실리콘막이 형성된다. 상기 경우에, 상기 산화물 절연층(316)의 경우와 같이 상기 보호 절연층(303)의 형성시 잔여 수분이 상기 처리실로부터 제거되는 것이 또한 바람직하다.

[0305] 평탄화를 위한 평탄화 절연층이 상기 보호 절연층(303) 위에 제공될 수 있다.

[0306] 상기 산화물 반도체층을 사용한 상기 박막 트랜지스터를 포함한 액정 표시 장치의 표시부의 복수의 화소들에서, 오프-상태 전류는 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다.

[0307] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.

[0308] (실시형태 7)

[0309] *이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 또 다른 예가 기술될 것이다. 이 실시형태에서 기술된 박막 트랜지스터(360)는 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.

[0310] 이 실시형태의 박막 트랜지스터 및 상기 박막 트랜지스터를 제작하기 위한 방법의 일 실시형태가 도 12a 내지 도 12d를 사용하여 기술된다.

[0311] 도 12a 내지 도 12d는 박막 트랜지스터의 단면 구조의 일 예를 도시한다. 도 12a 내지 도 12d에 도시된 상기 박막 트랜지스터(360)는 채널 보호형(또한, 채널 스톱형이라고 하는)이라고 하는 보텀-게이트 구조의 한 종류이며, 또한 역 스태거 박막 트랜지스터라고 한다.

[0312] 비록 상기 박막 트랜지스터(360)가 단일-게이트 박막 트랜지스터를 사용하여 기술되지만, 복수의 채널 형성 영역들을 포함하는 멀티-게이트 박막 트랜지스터가 필요에 따라 형성될 수 있다.

[0313] 이후, 기판(320) 위에 상기 박막 트랜지스터(360)를 제작하기 위한 프로세스가 도 12a 내지 도 12d를 사용하여 기술된다.

[0314] 먼저, 도전막이 절연 표면을 가진 상기 기판(320) 위에 형성되고, 제 1 포토리소그래피 단계가 레지스트 마스크를 형성하기 위해 수행되며, 상기 도전막이 상기 레지스트 마스크를 사용함으로써 선택적으로 에칭되어, 게이트 전극층(361)이 형성되도록 한다. 그 후, 상기 레지스트 마스크는 제거된다. 상기 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서 제작 비용이 감소될 수 있다.

- [0315] 상기 게이트 전극층(361)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 그것의 주요 성분으로서 이들 재료들 중 임의의 것을 포함하는 합금 재료를 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0316] 다음으로, 게이트 절연층(322)이 상기 게이트 전극층(361) 위에 형성된다.
- [0317] 이 실시형태에서, 100 nm이하의 두께를 가진 산화질화 실리콘층이 플라즈마 CVD 방법에 의해 상기 게이트 절연층(322)으로서 형성된다.
- [0318] 다음으로, 2 nm 내지 200 nm의 두께를 가진 산화물 반도체층이 상기 게이트 절연층(322) 위에 형성되며, 제 2 포토리소그래피 단계에 의해 섬-형상 산화물 반도체층으로 가공된다. 이 실시형태에서, 상기 산화물 반도체막은 In-Ga-Zn-O-계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다.
- [0319] 상기 경우에서, 상기 산화물 반도체막의 성막에 있어서 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물 반도체막이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.
- [0320] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다.
- [0321] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 반도체막의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0322] 다음으로, 상기 산화물 반도체층이 탈수화 또는 탈수소화된다. 상기 제 1 열 처리의 온도는 400°C 이상 750°C 이하, 바람직하게는 400°C 이상 상기 기판의 변형점 미만이다. 이 실시형태에서, 상기 기판은 열 처리 장치의 한 종류인 전기로에 도입되고 열 처리는 질소 분위기에서 1시간 동안 450°C로 상기 산화물 반도체층에 수행되며, 그 후 대기에 노출하지 않고, 물 또는 수소가 상기 산화물 반도체층으로 혼입되는 것이 방지되고, 따라서 상기 산화물 반도체층(332)이 획득된다(도 12a 참조).
- [0323] 다음으로, N_2O , N_2 , 또는 Ar과 같은 가스를 사용한 플라즈마 처리가 수행된다. 이러한 플라즈마 처리에 의해, 노출되는 상기 산화물 반도체층의 표면상에 흡착된 물 등이 제거된다. 플라즈마 처리는 산소 및 아르곤의 혼합 가스를 사용하여 수행될 수 있다.
- [0324] 다음으로, 산화물 절연층이 상기 게이트 절연층(322) 및 상기 산화물 반도체층(332) 위에 형성된다. 그 후, 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 형성되며, 산화물 절연층(366)이 선택적 에칭에 의해 형성된다. 그 후, 상기 레지스트 마스크가 제거된다.
- [0325] 이 실시형태에서, 200-nm-두께의 산화 실리콘막이 스퍼터링 방법에 의해 상기 산화물 절연층(366)으로서 성막된다. 성막시 상기 기판 온도는 실온 이상 300°C 이하일 수 있으며, 이 실시형태에서는 100°C이다. 상기 산화 실리콘막은 희가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 포함한 혼합 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들면, 실리콘 타겟의 사용으로, 산화 실리콘이 산소 및 질소의 분위기에서 스퍼터링 방법에 의해 성막될 수 있다. 상기 산화물 반도체층과 접촉하여 형성되는 상기 산화물 절연층(366)으로서, 수분, 수소 이온, 또는 OH^- 와 같은 불순물들을 포함하지 않고 외부로부터 이들 불순물들의 혼입을 차단하는 무기 절연막이 사용된다. 대표적으로, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막 등이 사용된다.
- [0326] 상기 경우에, 상기 산화물 절연층(366)의 성막에 있어서 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물 반도체층(332) 및 상기 산화물 절연층(366)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.
- [0327] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된

상기 산화물 절연층(366)에 포함된 불순물들의 농도는 감소될 수 있다.

[0328] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 절연층(366)의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.

[0329] 다음으로, 제 2 열 처리(바람직하게는 200°C 내지 400°C의 온도로, 예를 들면, 250°C 내지 350°C의 온도로)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 상기 제 2 열 처리는 질소 분위기에서 1시간 동안 250°C로 수행된다. 상기 제 2 열 처리로 상기 산화물 반도체층의 일부(상기 채널 형성 영역)가 상기 산화물 절연층(366)과 접촉하는 상태에서 가열된다.

[0330] 이 실시형태에서, 상기 산화물 절연층(366)이 제공되고 부분적으로 노출되는 상기 산화물 반도체층(332)이 질소 분위기 또는 비활성 분위기에서 또는 감소된 압력 하에서 추가로 열처리된다. 질소 분위기 또는 비활성 분위기에서 또는 감소된 압력 하에서의 열 처리에 의해, 상기 산화물 절연층(366)에 의해 커버되지 않는 상기 산화물 반도체층(332)의 노출된 영역의 저항은 감소될 수 있다. 예를 들면, 열 처리가 질소 분위기에서 1시간 동안 250°C로 수행된다.

[0331] 질소 분위기에서 상기 산화물 절연층(366)이 제공된 상기 산화물 반도체층(332)의 상기 열 처리로, 상기 산화물 반도체층(332)의 노출된 영역의 저항은 감소되며, 따라서 상이한 저항들을 가진 영역들(도 12b에서 사선 영역 및 흰색 영역으로 나타내어진)을 포함한 산화물 반도체층(362)이 형성된다.

[0332] 다음으로, 도전막이 상기 게이트 절연층(322), 상기 산화물 반도체층(362), 및 상기 산화물 절연층(366) 위에 형성된 후, 레지스트 마스크가 제 4 포토리소그래피 단계에 의해 상기 도전막 위에 형성되고, 소스 전극층(365a) 및 드레인 전극층(365b)이 선택적 에칭에 의해 형성되며, 그 후 상기 레지스트 마스크가 제거된다(도 12c 참조).

[0333] 상기 소스 전극층(365a) 및 상기 드레인 전극층(365b)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 하나의 원소, 성분으로서 이들 원소들 중 임의의 것을 포함한 합금, 이들 원소들 중 임의의 것을 결합하여 포함하는 합금 막 등이 제공될 수 있다. 또한, 상기 소스 전극층(365a) 및 상기 드레인 전극층(365b)은 단층 구조 또는 둘 이상의 층들의 적층 구조를 가질 수 있다.

[0334] 상기 프로세스를 통해, 상기 산화물 반도체막의 일부가 선택적으로 과잉 산소를 포함하게 된다. 그 결과, 상기 게이트 전극층(361)과 중첩하는 채널 형성 영역(363)은 i-형이 되며, 상기 소스 전극층(365a)에 중첩하는 고-저항 소스 영역(364a) 및 상기 드레인 전극층(365b)을 중첩시키고 고-저항 드레인 영역(364b)은 자기 정합적으로 형성된다. 상기 단계들을 통해, 상기 박막 트랜지스터(360)가 형성된다.

[0335] 더욱이, 열 처리는 1시간 내지 30시간 동안 대기 중에서 100°C 내지 200°C의 온도로 수행될 수 있다. 이 실시형태에서, 열 처리는 10시간 동안 150°C로 수행된다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 상기 가열 온도는 실온에서 100°C 내지 200°C의 온도로 증가되며 그 후 실온으로 감소된다. 또한, 이러한 열 처리는 상기 산화물 절연막의 형성 전에 감소된 압력 하에서 수행될 수 있다. 상기 감소된 압력 하에서, 상기 열 처리 시간은 단축될 수 있다. 이러한 열 처리로, 수소는 상기 산화물 반도체층에서 상기 산화물 절연층으로 도입되며; 따라서 노멀리-오프 박막 트랜지스터가 획득될 수 있다. 그러므로, 상기 액정 표시 장치의 신뢰성은 향상될 수 있다.

[0336] 상기 저-저항 산화물 반도체를 사용하여 형성되는 상기 고-저항 드레인 영역(364b)(또는 상기 고-저항 소스 영역(364a))은 상기 드레인 전극층(365b)(또는 상기 소스 전극층(365a))에 중첩하는 상기 산화물 반도체층의 일부에 형성되며, 따라서 상기 박막 트랜지스터의 신뢰성이 증가된다. 구체적으로, 상기 고-저항 드레인 영역(364b)의 형성에 의해, 상기 도전성은 상기 트랜지스터에서 상기 드레인 전극층(365b)으로부터 상기 고-저항 드레인 영역(364b) 및 상기 채널 형성 영역(363)으로 점차 변화할 수 있다. 그러므로, 상기 박막 트랜지스터가 고 전원 전위(VDD)를 공급하기 위한 배선에 접속된 상기 드레인 전극층(365b)을 사용하여 동작하는 경우에, 상기 게이트 전극층(361) 및 상기 드레인 전극층(365b) 사이에 높은 전계가 인가될지라도 상기 고-저항 드레인 영역이 벼파로서 작용하여 국소적으로 높은 전계는 인가되지 않으며, 따라서 상기 트랜지스터의 내압이 향상될 수 있다.

[0337] 보호 절연층(323)이 상기 소스 전극층(365a), 상기 드레인 전극층(365b), 및 상기 산화물 절연층(366) 위에 형성된다. 이 실시형태에서, 상기 보호 절연층(323)은 질화 실리콘막을 사용하여 형성된다(도 12d 참조).

[0338] 산화물 절연층은 상기 소스 전극층(365a), 상기 드레인 전극층(365b), 및 상기 산화물 절연층(366) 위에 형성될 수 있으며, 상기 보호 절연층(323)은 상기 산화물 절연층 위에 적층될 수 있다는 것을 주의하자.

- [0339] 상기 산화물 반도체층을 사용하여 상기 박막 트랜지스터를 포함한 액정 표시 장치의 표시부의 복수의 화소들에서, 오프-상태 전류가 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다.
- [0340] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.
- [0341] (실시형태 8)
- [0342] 이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 또 다른 예가 기술될 것이다. 이 실시형태에 기술된 박막 트랜지스터(350)는 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.
- [0343] 이 실시형태의 박막 트랜지스터 및 상기 박막 트랜지스터를 제작하기 위한 방법의 일 실시형태가 도 13a 내지 도 13d를 사용하여 기술된다.
- [0344] 상기 박막 트랜지스터(350)는 단일-케이트 박막 트랜지스터를 사용하여 기술되지만, 복수의 채널 형성 영역들을 포함하는 다중-박막 트랜지스터가 필요에 따라 형성될 수 있다.
- [0345] 이후, 기판(340) 위에 상기 박막 트랜지스터(350)를 제작하기 위한 프로세스가 도 13a 내지 도 13d를 사용하여 기술된다.
- [0346] 먼저, 도전막이 절연 표면을 가진 상기 기판(340) 위에 형성되며, 그 후 제 1 포토리소그래피 단계가 수행되어, 케이트 전극층(351)이 형성되도록 한다. 이 실시형태에서, 150-nm-두께의 텅스텐 막이 스퍼터링 방법에 의해 상기 케이트 전극층(351)으로서 형성된다.
- [0347] 다음으로, 케이트 절연층(342)이 상기 케이트 전극층(351) 위에 형성된다. 이 실시형태에서, 100 nm 이하의 두께를 가진 산화질화 실리콘층이 플라즈마 CVD 방법에 의해 상기 케이트 절연층(342)으로서 형성된다.
- [0348] 다음으로, 도전막이 상기 케이트 절연층(342) 위에 형성되고; 레지스트 마스크가 제 2 포토리소그래피 단계에 의해 상기 도전막 위에 형성되고; 소스 전극층(355a) 및 드레인 전극층(355b)이 선택적 에칭에 의해 형성되며, 그 후 상기 레지스트 마스크가 제거된다(도 13a 참조).
- [0349] 다음으로, 산화물 반도체막(345)이 형성된다(도 13b 참조). 이 실시형태에서, 상기 산화물 반도체막(345)이 In-Ga-Zn-O-계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다. 상기 산화물 반도체막(345)이 제 3 포토리소그래피 단계에 의해 섬-형상 산화물 반도체층으로 가공된다.
- [0350] 상기 경우에서, 상기 산화물 반도체막(345)의 성막에 있어 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물 반도체막(345)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.
- [0351] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 반도체막(345)에 포함된 불순물들의 농도는 감소될 수 있다.
- [0352] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 반도체막(345)의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0353] 다음으로, 상기 산화물 반도체층이 탈수화 또는 탈수소화된다. 상기 제 1 열 처리의 온도는 400°C 이상 750°C 이하, 바람직하게는 400°C 이상 상기 기판의 변형점 미만이다. 이 실시형태에서, 상기 기판은 열 처리 장치의 한 종류인 전기로에 도입되고 열 처리는 질소 분위기에서 1시간 동안 450°C로 상기 산화물 반도체층에 수행되며, 그 후 대기에 노출하지 않고, 물 또는 수소가 상기 산화물 반도체층으로 혼입되는 것이 방지되고, 따라서 상기 산화물 반도체층(346)이 획득된다(도 13c 참조).
- [0354] 상기 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다: 상기 기판은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이송되어 수 분 동안 가열되고, 이송되어 고온으로 가열된 상기 불활성 가스 밖으로 꺼내어진다. GRTA는 단시간 동안 고-온 열 처리를 가능하게 한다.
- [0355] 보호 절연막으로서 작용하는 산화물 절연층(356)이 상기 산화물 반도체층(346)과 접촉하여 형성된다.

- [0356] 상기 산화물 절연층(356)은 스퍼터링 방법과 같이, 적절하게, 물 또는 수소와 같은 불순물이 상기 산화물 절연층(356)에 혼입되지 않는 방법에 의해 적어도 1 nm의 두께로 형성될 수 있다. 수소가 상기 산화물 절연층(356)에 포함될 때, 상기 산화물 반도체층으로의 상기 수소의 혼입, 또는 수소가 상기 산화물 반도체층에서 산소를 추출하여 산소 결손이 발생할 수 있고, 그에 의해 상기 산화물 반도체층의 백채널이 (n-형이 되도록) 낮은 저항을 갖게 하여, 기생 채널이 형성될 수 있도록 한다. 그러므로, 상기 산화물 절연층(356)이 가능한 한 적은 수소를 포함하여 형성되도록 수소가 사용되지 않는 형성 방법이 이용되는 것이 중요하다.
- [0357] 이 실시형태에서, 200-nm-두께의 산화 실리콘막이 스퍼터링 방법에 의해 상기 산화물 절연층(356)으로서 성막된다. 성막시 상기 기판 온도는 실온 이상 300°C 이하일 수 있으며, 이 실시형태에서는 100°C이다. 상기 산화 실리콘막은 희가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 포함한 혼합 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들면, 실리콘 타겟의 사용으로, 산화 실리콘이 산소 및 질소의 분위기에서 스퍼터링 방법에 의해 성막될 수 있다. 상기 산화물 반도체층과 접촉하여 형성되는 상기 산화물 절연층(356)으로서, 수분, 수소 이온, 또는 OH⁻와 같은 불순물들을 포함하지 않고 외부로부터 이들 불순물들의 혼입을 차단하는 무기 절연막이 사용된다. 대표적으로, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막 등이 사용된다.
- [0358] *상기 경우에, 상기 산화물 절연층(356)의 성막에 있어서 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물 반도체층(346) 및 상기 산화물 절연층(356)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.
- [0359] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H₂O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 절연층(356)에 포함된 불순물들의 농도는 감소될 수 있다.
- [0360] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 절연층(356)의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0361] 다음으로, 제 2 열 처리(바람직하게는 200°C 내지 400°C의 온도로, 예를 들면, 250°C 내지 350°C의 온도로)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 상기 제 2 열 처리는 질소 분위기에서 1시간 동안 250°C로 수행된다. 상기 제 2 열 처리로 상기 산화물 반도체층의 일부(상기 채널 형성 영역)가 상기 산화물 절연층(356)과 접촉하는 상태에서 가열된다.
- [0362] 상기 프로세스를 통해, 상기 산화물 반도체막은 과잉 산소를 포함하도록 만들어진다. 그 결과, i-형 산화물 반도체층(352)이 형성된다. 상기 단계들을 통해, 상기 박막 트랜지스터(350)가 형성된다.
- [0363] 더욱이, 열 처리는 1시간 내지 30시간 동안 대기 중에서 100°C 내지 200°C의 온도로 수행될 수 있다. 이 실시형태에서, 열 처리는 10시간 동안 150°C로 수행된다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 상기 가열 온도는 실온에서 100°C 내지 200°C의 온도로 증가되며 그 후 실온으로 감소된다. 또한, 이러한 열 처리는 상기 산화물 절연막의 형성 전에 감소된 압력 하에서 수행될 수 있다. 상기 감소된 압력 하에서, 상기 열 처리 시간은 단축될 수 있다. 이러한 열 처리로, 수소는 상기 산화물 반도체층에서 상기 산화물 절연층으로 도입되며; 따라서 노멀리-오프 박막 트랜지스터가 획득될 수 있다. 그러므로, 상기 액정 표시 장치의 신뢰성을 향상될 수 있다.
- [0364] 보호 절연층은 상기 산화물 절연층(356) 위에 형성될 수 있다. 예를 들면, 질화 실리콘막은 RF 스퍼터링 방법에 의해 형성된다. 이 실시형태에서, 보호 절연층(343)은 상기 보호 절연층으로서 질화 실리콘막을 사용하여 형성된다(도 13d 참조).
- [0365] 평탄화를 위한 평탄화 절연층이 상기 보호 절연층(343) 위에 제공될 수 있다.
- [0366] 상기 산화물 반도체층을 사용하여 상기 박막 트랜지스터를 포함한 액정 표시 장치의 표시부의 복수의 화소들에서, 오프-상태 전류가 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다.

- [0367] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.
- [0368] (실시형태 9)
- [0369] 이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 또 다른 예가 기술될 것이다. 이 실시형태에 기술된 박막 트랜지스터(380)는 실시형태 1의 상기 박막 트랜지스터(106)로서 사용될 수 있다.
- [0370] 이 실시형태에서, 박막 트랜지스터의 상기 제작 프로세스의 일부에 있어 실시형태 6과 상이한 일 예가 도 14를 사용하여 기술될 것이다. 도 14는 상기 프로세스의 일부를 제외하고 도 11a 내지 도 11e와 동일하므로, 동일한 참조 부호들이 동일하 부분들을 위해 사용되며, 상기 동일한 부분들에 대한 상세한 설명은 반복되지 않는다.
- [0371] 실시형태 6에 따라, 게이트 전극층(381)은 기판(370) 위에 형성되며, 제 1 게이트 절연층(372a) 및 제 2 게이트 절연층(372b)이 적층된다. 이 실시형태에서, 게이트 절연층은 질화물 절연층이 상기 제 1 게이트 절연층(372a)으로서 사용되고 산화물 절연층이 상기 제 2 게이트 절연층(372b)으로서 사용되는 2-층 구조를 갖는다.
- [0372] 상기 산화물 절연층으로서, 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층 등이 사용될 수 있다. 상기 질화물 절연층으로서, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 질화산화 알루미늄층 등이 사용될 수 있다.
- [0373] 이 실시형태의 상기 구조에서, 질화 실리콘층 및 산화 실리콘층이 상기 게이트 전극층(381) 위에 이러한 순서로 적층된다. 예를 들면, 150-nm-두께의 게이트 절연층이 50 nm 내지 200 nm의 두께를 가진 질화 실리콘층 ($\text{SiN}_y(y>0)$)이 제 1 게이트 절연층(372a)으로서 스퍼터링 방법에 의해 형성되며, 그 후 5 nm 내지 300 nm(이 실시형태에서는 100 nm)의 두께를 가진 산화 실리콘층($\text{SiO}_x(x>0)$)이 상기 제 1 게이트 절연층(372a) 위에 제 2 게이트 절연층(372b)으로서 적층되는 방식으로 형성된다.
- [0374] 다음으로, 산화물 반도체막이 형성되며 포토리소그래피 단계에 의해 섬-형상 산화물 반도체층으로 가공된다. 이 실시형태에서, 상기 산화물 반도체막은 In-Ga-Zn-O-계 산화물 반도체 타겟을 사용하여 스퍼터링 방법에 의해 형성된다.
- [0375] 상기 경우에서, 상기 산화물 반도체막의 성막에 있어 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물 반도체막이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.
- [0376] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H_2O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다.
- [0377] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 반도체막의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0378] 다음으로, 상기 산화물 반도체층이 탈수화 또는 탈수소화된다. 상기 탈수화 또는 탈수소화를 위한 상기 제 1 열 처리의 온도는 400°C 이상 750°C 이하, 바람직하게는 425°C 이상이다. 상기 제 1 열 처리의 온도가 425°C 이상인 경우에, 상기 열 처리 시간은 1시간 이하일 수 있는 반면, 상기 제 1 열 처리의 온도가 425°C 미만인 경우에, 상기 열 처리 시간은 1시간 이상으로 설정된다. 이 실시형태에서, 상기 기판은 열 처리 장치의 한 종류인 전기로에 도입되고 열 처리는 질소 분위기에서 상기 산화물 반도체층에 수행되며, 그 후 대기에 노출하지 않고, 물 또는 수소가 상기 산화물 반도체층으로 혼입되는 것이 방지되고, 따라서 상기 산화물 반도체층이 획득된다. 그 후, 동일한 노(furnace)로의 고-순도 산소 가스, 고-순도 N_2O 가스, 또는 초-건조 공기(-40°C 이하, 바람직하게는 -60°C 이하의 이슬점률을 갖는)의 도입에 의해 냉각이 수행된다. 상기 산소 가스 또는 상기 N_2O 가스는 물, 수소 등을 포함하지 않는 것이 바람직하다. 대안적으로, 상기 열 처리 장치로 도입되는 산소 가스 또는 N_2O 가스의 순도는 6N(99.9999%) 이상, 보다 바람직하게는 7N(99.99999%) 이상(즉, 상기 산소 가스 또는 N_2O 가스에서의 순도들의 농도는 1 ppm 이하, 보다 바람직하게는 0.1 ppm 이하이다)이다.
- [0379] 상기 열 처리 장치는 전기로에 제한되지 않는다는 것을 주의하자. 예를 들면, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가

사용될 수 있다. 상기 LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자기파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. 상기 LRTA 장치에는 램프뿐만 아니라 저항 가열기 등과 같은 가열기로부터 열 복사 또는 열 전도에 의해 피처리물을 가열하는 장치가 또한 제공될 수 있다. GRTA는 고-온 가스를 사용한 열 처리를 위한 방법이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 처리될 물체와 반응하지 않는 불활성 가스가 사용된다. 상기 열 처리는 RTA 방법에 의해 수 분 동안 600°C 내지 750°C로 수행될 수 있다.

- [0380] 탈수화 또는 탈수소화를 위한 상기 제 1 열 처리 후, 열 처리는 산소 가스 분위기 또는 N₂O 가스 분위기에서 200°C 내지 400°C, 바람직하게는 200°C 내지 300°C의 온도로 수행될 수 있다.
- [0381] 상기 산화물 반도체층의 상기 제 1 열 처리는 또한 상기 센-형상 산화물 반도체층으로 가공되기 전에 상기 산화물 반도체막에 수행될 수 있다. 상기 경우에, 상기 기판은 상기 제 1 열 처리 후 상기 열 처리 장치로부터 제거되며, 그 후 포토리소그래피 단계가 수행된다.
- [0382] 전체 산화물 반도체막은 상기 단계들을 통해 과도한 양의 산소를 포함하도록 만들어지며, 그에 의해 상기 산화물 반도체막은 이상인 저항을 갖는, 즉 i-형이 된다. 따라서, 전체 영역이 i-형인 산화물 반도체층(382)이 형성된다.
- [0383] 다음으로, 도전막이 상기 산화물 반도체층(382) 위에 형성된다. 그 후, 레지스트 마스크가 포토리소그래피 단계에 의해 형성되며, 선택적 에칭이 소스 전극층(385a) 및 드레인 전극층(385b)을 형성하기 위해 수행되고, 그 후 산화물 절연층(386)이 스퍼터링 방법에 의해 형성된다.
- [0384] 상기 경우에서, 상기 산화물 반도체막(386)의 성막에 있어 상기 처리실에서의 잔여 수분을 제거하는 것이 바람직하다. 이것은 상기 산화물 반도체층(382) 및 상기 산화물 절연층(386)이 수소, 수산기, 또는 수분을 포함하는 것을 방지하기 위한 것이다.
- [0385] 상기 처리실로부터 잔여 수분을 제거하기 위해, 바람직하게는 흡착형 진공 펌프가 사용된다. 예를 들면, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용된다. 배기 수단으로서, 콜드 트랩이 부가되는 터보 분자 펌프가 사용될 수 있다. 크라이오 펌프를 사용하여 배기가 수행되는 상기 성막실에서, 예를 들면, 수소 분자, 물(H₂O)과 같은 수소 원자를 포함한 화합물 등이 배기된다. 따라서, 상기 성막실에서 형성된 상기 산화물 절연층(386)에 포함된 불순물들의 농도는 감소될 수 있다.
- [0386] 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1 ppm 이하, 바람직하게는 10 ppb 이하로 제거되는 고-순도 가스가 상기 산화물 절연층(386)의 성막을 위한 상기 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0387] 상기 단계들을 통해, 상기 박막 트랜지스터(380)가 형성될 수 있다.
- [0388] 다음으로, 열 처리(바람직하게는 150°C 이상 350°C 미만의 온도로)가 상기 박막 트랜지스터의 전기적 특성들의 변화를 억제하기 위해 불활성 가스 분위기 또는 질소 가스 분위기에서 수행될 수 있다. 예를 들면, 열 처리가 질소 분위기에서 1시간 동안 250°C로 수행된다.
- [0389] 게다가, 열 처리는 1시간 내지 30시간 동안 대기 중에서 100°C 내지 200°C의 온도로 수행될 수 있다. 이 실시형태에서, 열 처리는 10시간 동안 150°C로 수행된다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 상기 가열 온도는 실온에서 100°C 내지 200°C의 온도로 증가되며 그 후 실온으로 감소된다. 또한, 이러한 열 처리는 상기 산화물 절연막의 형성 전에 감소된 압력 하에서 수행될 수 있다. 상기 감소된 압력 하에서, 상기 열 처리 시간은 단축될 수 있다. 이러한 열 처리로, 수소는 상기 산화물 반도체층에서 상기 산화물 절연층으로 도입되며; 따라서 노멀리-오프 박막 트랜지스터가 획득될 수 있다. 그러므로, 상기 액정 표시 장치의 신뢰성은 향상될 수 있다.
- [0390] 보호 절연층(373)이 상기 산화물 절연층(386) 위에 형성된다. 이 실시형태에서, 100-nm-두께의 질화 실리콘막이 스퍼터링 방법에 의해 상기 보호 절연층(373)으로서 형성된다.
- [0391] 질화물 절연층들인, 상기 보호 절연층(373) 및 상기 제 1 게이트 절연층(372a)은 수분, 수소, 수소화물, 또는 수산화물과 같은 불순물들을 포함하지 않으며, 외부로부터 이를 불순물들의 혼입을 방지하는 유리한 효과를 가진다.
- [0392] 그러므로, 상기 보호 절연층(373)의 형성 후 상기 제조 프로세스에서, 외부로부터 수분과 같은 불순물들의 혼입은 방지될 수 있다. 또한, 디바이스가 액정 표시 장치로서 완료된 후에도, 상기 외부로부터 수분과 같은 불순물

들의 혼입은 장기간 방지될 수 있으며, 그러므로, 상기 디바이스의 장-기 신뢰성이 향상될 수 있다.

[0393] 질화물 절연층들인 상기 보호 절연층(373)과 상기 제 1 게이트 절연층(372a) 사이에 제공된 상기 절연층들은 상기 보호 절연층(373) 및 상기 제 1 게이트 절연층(372a)과 접촉하게 하기 위해 제거될 수 있다.

[0394] 따라서, 상기 산화물 반도체층에서의 수분, 수소, 수소화물, 또는 수산화물과 같은 불순물들이 최소로 감소될 수 있고, 그것의 재-혼입이 방지될 수 있으며, 그러므로 상기 산화물 반도체층에서의 불순물들의 농도는 낮게 유지될 수 있다.

[0395] 평탄화를 위한 평탄화 절연층이 상기 보호 절연층(373) 위에 제공될 수 있다.

[0396] 상기 산화물 반도체층을 사용하여 상기 박막 트랜지스터를 포함한 액정 표시 장치의 표시부의 복수의 화소들에서, 오프-상태 전류가 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치가 획득될 수 있다.

[0397] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.

[0398] (실시형태 10)

[0399] 이 실시형태에서, 본 명세서에 개시된 액정 표시 장치에 적용될 수 있는 박막 트랜지스터의 또 다른 예가 기술될 것이다. 이 실시형태에 기술된 박막 트랜지스터는 실시형태 2 내지 실시형태 8의 상기 박막 트랜지스터들에 적용될 수 있다.

[0400] 이 실시형태에서, 게이트 전극층, 소스 전극층, 및 드레인 전극층에 대한 투광성을 갖는 도전 재료를 사용하는 일 예가 기술될 것이다. 이 실시형태의 다른 부분은 상기 실시형태들에 유사하며, 상기 실시형태들에서의 것과 동일한 부분들 및 그와 유사한 기능들을 갖는 부분들 및 단계들에 대한 설명은 반복되지 않는다. 또한, 상기 동일한 부분들에 대한 상세한 설명은 생략된다.

[0401] 게이트 전극층, 소스 전극층, 및 드레인 전극층의 재료로서, 가시광을 투과하는 도전 재료가 사용될 수 있다. 예를 들면, 다음의 금속 산화물을 중 임의의 것이 사용될 수 있다: In-Sn-O-계 금속 산화물; In-Sn-Zn-O-계 금속 산화물; In-Al-Zn-O-계 금속 산화물; Sn-Ga-Zn-O-계 금속 산화물; Al-Ga-Zn-O-계 금속 산화물; Sn-Al-Zn-O-계 금속 산화물; In-Zn-O-계 금속 산화물; Sn-Zn-O-계 금속 산화물; Al-Zn-O-계 금속 산화물; In-O-계 금속 산화물; Sn-O-계 금속 산화물; 및 Zn-O-계 금속 산화물. 그 두께는 50 nm 내지 300 nm의 범위에서 적절하게 설정된다. 상기 게이트 전극층, 상기 소스 전극층, 및 상기 드레인 전극층을 위해 사용된 상기 금속 산화물의 성막 방법으로서, 스퍼터링 방법, 진공 성막 방법(전자 빔 성막 방법 등), 아크 방전 이온 도금 방법, 또는 스프레이 방법이 사용된다. 스퍼터링 방법이 이용되는 경우에, 성막은 나중 단계에서의 열 처리시 결정화를 방지하도록 상기 투광성 도전막에 포함되는 결정화를 억제하는 SiO_2 를 2 wt% 내지 10 wt%로 포함하는 타겟을 사용하여 수행되는 것이 바람직하다.

[0402] 상기 투광성 도전막에서의 조성비의 단위는 원자 퍼센트이며, 상기 조성비는 전자 프로브 X-레이 마이크로분석기(electron probe X-ray microanalyzer; EPMA)를 사용한 분석에 의해 평가된다는 것을 주의하자.

[0403] 박막 트랜지스터가 제공된 화소에서, 화소 전극층, 또 다른 전극층(용량 전극층과 같은), 또는 배선층(용량 배선층과 같은)이 가시광을 투과하는 도전막을 사용하여 형성될 때, 높은 개구율을 가진 표시 장치가 실현될 수 있다. 말할 필요도 없이, 상기 화소에서의 게이트 절연층, 산화물 절연층, 보호 절연층, 및 평탄화 절연층은 또한 각각 가시광을 투과하는 막을 사용하여 형성되는 것이 바람직하다.

[0404] 본 명세서에서, 가시광을 투과하는 막은 75% 내지 100%의 가시광 투과율을 갖기 위한 것으로서 이러한 두께를 갖는 막을 의미한다. 상기 막이 도전성을 갖는 경우에, 상기 막은 또한 투명한 도전막이라고 한다. 또한, 가시광에 대하여 반-투명 도전막이 상기 게이트 전극층, 상기 소스 전극층, 상기 드레인 전극층, 상기 화소 전극층, 또 다른 전극층, 또는 또 다른 배선층에 인가된 금속 산화물로서 사용될 수 있다. 가시광에 대하여 반-투명 상기 도전막은 50% 내지 75%의 가시광 투과율을 갖는 막을 나타낸다.

[0405] 박막 트랜지스터가 투광성을 가질 때, 상기 개구율은 증가될 수 있다. 특히 10 인치 이하의 소형 액정 표시 패널들에 대하여, 예를 들면 게이트 배선들의 수를 증가시킴으로써 표시 화상들의 보다 높은 분해능을 실현하기 위해 화소들의 크기가 증가될 때에도 높은 개구율이 달성될 수 있다. 또한, 박막 트랜지스터의 구성부재들을 위한 광 투과 특성을 가진 막을 사용함으로써, 넓은 시야각을 실현하기 위해 하나의 화소가 복수의 서브-화소들로 분할될 때에도 높은 개구율이 성취될 수 있다. 즉, 박막 트랜지스터들의 고-밀도 그룹이 제공될 때에도 높은 개

구율이 달성될 수 있어서, 표시 영역의 충분한 영역이 확보될 수 있도록 한다. 예를 들면, 하나의 화소가 2 내지 4개의 서브-화소들을 포함하는 경우에, 상기 박막 트랜지스터가 투광성을 갖기 때문에 개구율은 향상될 수 있다. 또한, 저장 용량 소자가 투광성을 가질 수 있고, 그에 의해 상기 개구율이 추가 향상될 수 있도록 저장 용량 소자가 상기 박막 트랜지스터에서의 구성부재와 동일한 재료를 사용하고 그와 동일한 단계에서 형성될 수 있다.

[0406] 이 실시형태는 다른 실시형태들 중 임의의 것과 적절하게 결합하여 구현될 수 있다.

[0407] (실시형태 11)

[0408] 액정 표시 장치의 일 실시형태인, 액정 표시 패널의 외관 및 단면도가 도 15a 내지 도 15c를 참조하여 기술된다. 도 15a 내지 도 15c는 각각 제 1 기판(4001) 위에 형성되는, 박막 트랜지스터들(4010, 4011) 및 액정 소자(4013)가 층재(4505)로 상기 제 1 기판(4001) 및 제 2 기판(4006) 사이에 밀봉되는 패널의 평면도이다. 도 15b는 선(M-N)을 따라 도 15a 내지 도 15c의 단면도에 대응한다.

[0409] 상기 층재(4505)는 상기 제 1 기판(4001) 위에 제공되는 화소부(4002) 및 주사선 구동기 회로(4004)를 둘러싸도록 제공된다. 상기 제 2 기판(4006)은 상기 화소부(4002) 및 상기 주사선 구동기 회로(4004) 위에 제공된다. 그러므로, 상기 화소부(4002) 및 상기 주사선 구동기 회로(4004)는 상기 제 1 기판(4001), 상기 층재(4505), 및 상기 제 2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉된다. 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성되는 신호선 구동기 회로(4003)는 상기 제 1 기판(4001) 위에 상기 층재(4005)에 의해 둘러싸여진 영역과 상이한 영역에 실장된다.

[0410] 별도로 형성되는 구동기 회로의 접속 방법은 특별히 제한되지 않으며, COG 방법, 와이어 본딩 방법, TAB 방법 등이 사용될 수 있다는 것을 주의하자. 도 15a는 COG 방법에 의해 상기 신호선 구동기 회로(4003)를 실장하는 일 예를 도시하며, 도 15c는 TAB 방법에 의해 상기 신호선 구동기 회로(4003)를 실장하는 일 예를 도시한다.

[0411] 또한, 상기 제 1 기판(4001) 위에 제공된 상기 화소부(4002) 및 상기 주사선 구동기 회로(4004) 각각은 복수의 박막 트랜지스터들을 포함한다. 도 15b는 상기 화소부(4002)에 포함된 상기 박막 트랜지스터(4010) 및 상기 주사선 구동기 회로(4004)에 포함된 상기 박막 트랜지스터(4011)를 도시한다. 상기 박막 트랜지스터들(4010, 4011) 위 또는 아래에, 절연층들(4041, 4042, 4020, 4021)이 제공된다.

[0412] 실시형태 2 내지 실시형태 9에 기술된 상기 박막 트랜지스터들 중 임의의 것이 상기 박막 트랜지스터들(4010, 4011)의 각각으로서 적절하게 사용될 수 있으며, 동일한 프로세스 및 동일한 재료를 사용하여 형성될 수 있다. 상기 박막 트랜지스터들(4010, 4011)의 각각의 상기 산화물 반도체층에서, 수소 또는 물이 감소된다. 따라서, 상기 박막 트랜지스터들(4010, 4011)은 높은 신뢰성을 가진다. 이 실시형태에서, 상기 박막 트랜지스터들(4010, 4011)은 n-채널 박막 트랜지스터들이다.

[0413] 도전층(4040)은 상기 구동기 회로를 위한 상기 박막 트랜지스터(4011)에서 상기 산화물 반도체층의 채널 형성 영역과 중첩하는 상기 절연층(4021)의 일부 위에 제공된다. 상기 도전층(4040)은 상기 산화물 반도체층의 상기 채널 형성 영역과 중첩하는 위치에 제공되며, 그에 의해 BT 테스트 전 및 후에서 상기 박막 트랜지스터(4011)의 임계 전압에서의 변화량은 감소될 수 있다. 상기 도전층(4040)의 전위는 상기 박막 트랜지스터(4011)의 게이트 전극층의 것과 동일하거나 또는 상이할 수 있다. 상기 도전층(4040)은 제 2 게이트 전극층으로서 기능할 수 있다. 게다가, 상기 도전층(4040)의 전위는 GND 또는 0V일 수 있거나, 또는 상기 도전층(4040)은 플로팅 상태에 있을 수 있다.

[0414] 상기 액정 소자(4013)에 포함된 화소 전극층(4030)은 상기 박막 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 상기 액정 소자(4013)의 대향 전극층(4031)은 상기 제 2 기판(4006)상에 제공된다. 상기 화소 전극층(4030), 상기 대향 전극층(4031), 및 상기 액정층(4008)이 서로 중첩하는 부분은 상기 액정 소자(4013)에 대응한다. 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)에는 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033) 각각이 제공되며, 상기 액정층(4008)은 그 사이에 개재된 상기 절연층들(4032, 4033)을 갖고 상기 화소 전극층(4030) 및 상기 대향 전극층(4031) 사이에 끼어 있다는 것을 주의하자.

[0415] 상기 제 1 기판(4001) 및 상기 제 2 기판(4006)은 투광성 기판들일 수 있으며 유리, 세라믹, 또는 플라스틱으로 형성될 수 있다는 것을 주의하자. 플라스틱으로서, 유리섬유-강화 플라스틱(fiberglass-reinforced plastic; FRP) 판, 불화비닐 수지(PVF) 막, 폴리에스테르 막, 또는 아크릴 수지막이 사용될 수 있다.

[0416] 스페이서(4035)는 절연막의 선택적 에칭에 의해 획득된 주상 스페이서이며, 상기 화소 전극층(4030) 및 상기 대

향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공된다. 대안적으로, 구형 스페이서가 사용될 수 있다. 게다가, 상기 대향 전극층(4031)은 상기 박막 트랜지스터(4010)와 동일한 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 공통 접속부의 사용으로, 상기 대향 전극층(4031) 및 상기 공통 전위선은 한 쌍의 기판들 사이에 배열된 도전성 입자들에 의해 서로 전기적으로 접속될 수 있다. 상기 도전성 입자들은 상기 셀재(4005)에 포함된다는 것을 주의하자.

[0417] 게다가, 배향막이 필요하지 않은 블루상(blue phase)을 나타내는 액정이 사용될 수 있다. 블루상은 액정 상들 중 하나이며, 이것은 콜레스테릭 액정의 온도가 증가되는 동안 콜레스테릭 상이 등방성 상으로 변화하기 직전 생성된다. 상기 블루상은 단지 좁은 범위의 온도들 내에서 생성되기 때문에, 5 wt%보다 높거나 동일한 키랄 시약(chiral agent)을 포함하는 액정 조성물이 상기 온도 범위를 넓히기 위해 상기 액정층(4008)을 위해 사용된다. 블루상 및 키랄 시약이 1 msec 이하의 짧은 응답 시간을 갖는다는 것을 보여주는 액정을 포함하는 상기 액정 조성물은 광학적 등방성을 가지며, 이것은 상기 배향 처리를 불필요하게 만들고 작은 시야각 의존성을 가진다. 배향막은 제공될 필요가 없으며, 그에 따라 러빙 처리(rubbing treatment)는 필요하지 않으며; 따라서 상기 러빙 처리에 의해 야기된 정전 방전 손상은 방지될 수 있고 상기 제작 프로세스에서의 상기 액정 표시 장치의 결함들 및 손상은 감소될 수 있다. 따라서, 상기 액정 표시 장치의 생산성은 향상될 수 있다. 특히 산화물 반도체층을 포함한 박막 트랜지스터는 정전기의 영향에 의해 상기 박막 트랜지스터의 전기적 특성들이 상당히 변할 수 있고 설계된 범위로부터 벗어날 수 있다. 그러므로, 산화물 반도체층을 포함한 박막 트랜지스터를 갖는 액정 표시 장치를 위한 블루상 액정 재료를 사용하는 것이 보다 효과적이다.

[0418] 이 실시형태에 기술된 상기 액정 표시 장치는 투과형 액정 표시 장치의 일 예이지만, 본 발명의 일 실시형태는 또한 반-투과성(반투과형) 또는 반사형 액정 표시 장치 중 하나에 적용될 수 있다.

[0419] 편광판이 상기 기판의 외부 표면(상기 뷰어측 상의)상에 제공되고 표시 소자를 위해 사용된 착색층 및 전극층이 이러한 순서로 상기 기판의 내부 표면상에 제공되는 상기 액정 표시 장치의 일 예가 도시되지만, 상기 편광판은 상기 기판의 내부 표면상에 제공될 수 있다. 상기 편광판 및 상기 착색층의 계층화된 구조는 이 실시형태에 기술된 것에 제한되지 않으며 상기 편광판 및 상기 착색층의 재료들 또는 상기 제작 프로세스의 조건들에 의존하여 적절하게 설정될 수 있다. 또한, 블랙 매트릭스로서 작용하는 차광막이 표시부가 아닌 다른 영역에 제공될 수 있다.

[0420] 상기 박막 트랜지스터들(4011, 4010) 위에, 상기 절연층(4041)이 상기 산화물 반도체층들과 접촉하여 형성된다. 여기에서, 상기 절연층(4041)으로서, 산화 실리콘층이 스퍼터링 방법에 의해 형성된다. 또한, 상기 보호 절연층(4042)이 상기 절연층(4041) 상에 그것과 접촉하여 형성된다. 상기 보호 절연층(4042)을 위해, 예를 들면, 질화 실리콘막이 사용될 수 있다. 게다가, 상기 박막 트랜지스터들의 표면 거칠기를 감소시키기 위해, 상기 보호 절연층(4042)은 평탄화 절연막으로서 기능하는 상기 절연층(4021)으로 커버된다.

[0421] 상기 절연층(4021)은 상기 평탄화 절연막으로서 형성된다. 상기 절연층(4021)으로서, 폴리아미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성을 가진 유기 재료가 사용될 수 있다. 이러한 유기 재료들 외에, 저-유전 상수 재료(low-k 재료), 실록산-계 수지, 포스포실리케이트 유리 PSG, 보로포스포실리케이트 유리(BPSG) 등을 사용하는 것이 또한 가능하다. 상기 절연층(4021)은 이를 재료들로 형성된 복수의 절연막들을 적층함으로써 형성될 수 있다는 것을 주의하자.

[0422] 상기 절연층(4021)을 형성하기 위한 방법에 대한 특별한 제한은 없다. 상기 절연층(4021)은 상기 재료에 의존하여, 스퍼터링 방법, SOG 방법, 스플 코팅 방법, 디핑 방법, 스프레이 코팅 방법, 또는 액적 토출 방법(예로서, 잉크젯 방법, 화면 인쇄, 또는 오프셋 인쇄)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 도구(장비)에 의해 형성될 수 있다. 상기 절연층(4021)의 굽기(baking) 단계는 또한 상기 반도체층의 어닐링으로서 작용하며, 그에 의해 액정 표시 장치가 효율적으로 제작될 수 있다.

[0423] 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)은 인듐 주석 산화물(ITO), 산화 아연(ZnO)이 산화 인듐에 혼합되는 인듐 아연 산화물(IZO), 산화 실리콘(SiO₂)이 산화 인듐에 혼합되는 도전성 재료, 유기 인듐, 유기 주석, 산화 텉스텐을 포함한 산화 인듐, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 산화 인듐, 또는 산화 티타늄을 포함한 인듐 주석 산화물과 같은, 투광성 도전성 재료를 사용하여 형성될 수 있다. 대안적으로, 투광성이 요구되지 않거나 또는 반사 특성이 반사형 액정 표시 장치에서의 상기 화소 전극층(4030) 또는 상기 대향 전극층(4031)을 위해 요구되지 않는 경우에, 상기 화소 전극층(4030) 또는 상기 대향 전극층(4031)은 텉스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 또는 은(Ag)과 같은 금속, 그 합금,

및 그것의 질화물로부터 선택된 하나의 종류 또는 복수의 종류들을 사용하여 형성될 수 있다.

[0424] 도전성 고 분자(또는 도전성 폴리미라고 하는)를 포함한 도전성 조성물이 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)을 위해 사용될 수 있다. 상기 도전성 조성물을 사용하여 형성된 상기 화소 전극은 바람직하게는 10000Ω/□ 이하의 시트 저항 및 550 nm의 과장에서 70% 이상의 투과성을 갖는다. 또한, 상기 도전성 조성물에 포함된 상기 도전성 고분자의 저항률은 바람직하게는 0.1Ω·cm 이하이다.

[0425] 상기 도전성 고 분자로서, 소위 π -전자 공액계 도전성 폴리머(π -electron conjugated conductive polymer)가 사용될 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이것들의 둘 이상의 종류들의 공중합체(copolymer) 등이 제공될 수 있다.

[0426] 더욱이, 다양한 신호들 및 전위들이 개별적으로 형성된 상기 신호선 구동기 회로(4003), 상기 주사선 구동기 회로(4004) 또는 상기 화소부(4002)에 FPC(4018)로부터 공급된다.

[0427] 접속 단자 전극(4015)은 상기 액정 소자(4013)에 포함된 상기 화소 전극층(4030)과 동일한 도전막으로부터 형성되며, 단자 전극(4016)은 상기 박막 트랜지스터들(4010, 4011)의 소스 및 드레인 전극층들과 동일한 도전막으로부터 형성된다.

[0428] 상기 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 상기 FPC(4018)에 포함된 단자에 전기적으로 접속된다.

[0429] 도 15a 내지 도 15c는 상기 신호선 구동기 회로(4003)가 개별적으로 형성되고 상기 제 1 기판(4001)상에 실장되는 상기 예를 도시하지만, 그러나 이 실시형태는 이러한 구성에 제한되지 않는다는 것을 주의하자. 상기 주사선 구동기 회로는 개별적으로 형성될 수 있으며, 그 후 실장되거나 또는 단자 상기 신호선 구동기 회로의 일부 또는 상기 주사선 구동기 회로의 일부가 개별적으로 형성되고 그 후 실장될 수 있다.

[0430] 블랙 매트릭스(차광층), 편광 부재, 위상차 부재(retardation memebre), 또는 반사 방지 부재와 같은 광학 부재(광학 기판) 등이 적절하게 제공된다. 예를 들면, 원형 편광이 편광 기판 및 위상차판을 사용함으로써 이용될 수 있다. 게다가, 후광, 측광 등이 광원으로서 사용될 수 있다.

[0431] 활성 매트릭스 액정 표시 장치에서, 표시 패턴들이 매트릭스로 배열되는 화소 전극들의 구동에 의해 화면상에 형성된다. 구체적으로, 전압은 선택된 화소 전극 및 상기 화소 전극에 대응하는 대향 전극 사이에 인가되며, 따라서 상기 화소 전극 및 상기 대향 전극 사이에 배치된 액정층이 광학적으로 변조된다. 이러한 광학 변조는 뷰어에 의해 표시 패턴으로서 인식된다.

[0432] 상기 박막 트랜지스터는 정전기 등으로 인해 쉽게 손상되기 때문에, 보호 회로가 바람직하게는 상기 화소부 또는 상기 구동기 회로부와 동일한 기판들 위에 제공된다. 상기 보호 회로는 바람직하게는 산화물 반도체층을 포함한 비-선형 소자로 형성된다. 예를 들면, 보호 회로는 상기 화소부, 및 주사선 입력 단자와 신호선 입력 단자 사이에 제공된다. 이 실시형태에서, 복수의 보호 회로들은 정전기 등으로 인한 서지 전압이 상기 주사선, 상기 신호선, 또는 용량 소자 버스선에 인가될 때 상기 화소 트랜지스터 등이 손상되지 않도록 제공된다. 따라서, 상기 보호 회로는 서지 전압이 상기 보호 회로에 인가될 때 공통 배선으로 전하들을 방출하도록 구성된다. 상기 보호 회로는 상기 주사선, 상기 신호선, 또는 상기 용량 소자 버스 및 상기 공통 배선 사이에 병렬로 배열되는 비-선형 소자들을 포함한다. 상기 비-선형 소자들의 각각은 다이오드와 같은 2-단자 소자 또는 트랜지스터와 같은 3-단자 소자를 포함한다. 예를 들면, 상기 비-선형 소자는 상기 화소부의 박막 트랜지스터와 동일한 단계들을 통해 형성될 수 있다. 예를 들면, 다이오드와 유사한 특성들이 게이트 단자를 드레인 단자에 접속함으로써 달성될 수 있다.

[0433] 또한, 액정 표시 모듈을 위해, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal)모드, AFLC(antiferroelectric liquid crystal) 모드 등이 사용될 수 있다.

[0434] 본 명세서에 개시된 상기 액정 표시 장치에서의 액정 소자의 종류에 대한 특별한 제한은 없으며, TN 액정, OCB 액정, STN 액정, VA 액정, ECB 액정, GH 액정, 폴리머 분산형 액정, 디스코ട 흡정 등과 같은 투과성 액정 표시 장치가 사용될 수 있다. 특히, 수직 배향(VA) 모드를 이용한 투과성 액정 표시 장치와 같은 노멀리 블랙형 액정 패널이 바람직하다. 이들 액정 재료들은 조건들에 의존하여 콜레스테릭 상, 스메틱 상, 큐빅 상, 키랄 네마틱 상, 등방상 등을 보여준다. 몇몇 예들이 수직 배향 모드로서 제공된다. 예를 들면, MVA(multi-domain vertical

alignment) 모드, PVA(patterned vertical alignment) 모드, ASV 모드 등이 이용될 수 있다.

[0435] 더욱이, 이 실시형태는 VA 액정 표시 장치에 적용될 수 있다. 상기 VA 액정 표시 장치는 액정 표시 패널의 액정 분자들의 정렬이 제어되는 한 종류의 형태를 가진다. 상기 VA 액정 표시 장치에서, 액정 분자들은 전압이 인가되지 않을 때 패널 표면에 수직인 방향으로 정렬된다. 게다가, 멀티 도메인화 또는 멀티-도메인 설계라고 하는 방법을 사용하는 것이 가능하며, 여기서 화소는 몇몇 영역들(서브화소들)로 나뉘고 분자들은 그것들 각각의 영역들에서 상이한 방향들로 정렬된다.

[0436] 본 발명의 일 실시형태는 액정 표시 장치에 제한되지 않으며 표시 소자로서 전계발광 소자(또한 EL 소자라고 하는)와 같은 발광 소자를 포함하는 EL 표시 장치의 화소에 또한 적용될 수 있다는 것을 주의하자.

[0437] 이 실시형태는 다른 실시형태들 중 임의의 것과 적절하게 결합하여 구현될 수 있다.

[0438] (실시형태 12)

[0439] 이 실시형태에서, 상술된 실시형태들의 상기 액정 표시 장치들 중 임의의 것을 포함한 전자 기기들의 예들이 기술된다.

[0440] 도 16a는 하우징(9630), 표시부(9631), 스피커(9633), 조작키들(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 포함할 수 있는 휴대용 게임기를 도시한다. 도 16a에 도시된 상기 휴대용 게임기는 상기 표시부상에 그것을 표시하기 위해 기록 매체에 저장된 프로그램 또는 데이터를 판독하는 기능, 무선 통신에 의해 또 다른 휴대용 게임기와 정보를 공유하는 기능 등을 가질 수 있다. 도 16a에 도시된 상기 휴대용 게임기는 상기 제공된 것 외에 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0441] 도 16b는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커(9633), 상기 조작키들(9635), 상기 접속 단자(9636), 셔터 버튼(9676), 화상 수신부(9677) 등을 포함할 수 있는 디지털 카메라를 도시한다. 도 16b에서의 텔레비전 수신 기능을 갖는 상기 디지털 카메라는 정지 화상 및/또는 동화상을 촬영하는 기능, 상기 촬영된 화상을 자동으로 또는 수동으로 보정하는 기능, 안테나로부터 다양한 종류들의 정보를 획득하는 기능, 상기 안테나로부터 획득된 정보 또는 상기 촬영된 화상을 저장하는 기능, 및 상기 안테나로부터 획득된 상기 정보 또는 상기 촬영된 화상을 상기 표시부 상에 표시하는 기능을 가질 수 있다. 도 16b에서의 상기 텔레비전 수신 기능을 갖는 상기 디지털 카메라는 상기 주어진 것 외에 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0442] 도 16c는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커(9633), 상기 조작키들(9635), 상기 접속 단자(9636) 등을 포함할 수 있는 텔레비전 세트를 도시한다. 도 16c에서의 상기 텔레비전 세트는 텔레비전을 위한 전파를 화상 신호로 처리하고 변환하는 기능, 상기 화상 신호를 표시에 적합한 신호로 처리하고 변환하는 기능, 상기 화상 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 도 16c에서의 상기 텔레비전 세트는 상기 주어진 것 외에 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0443] 도 17a는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커(9633), 상기 조작키들(9635), 상기 접속 단자(9636), 포인팅 장치(9681), 외부 접속 포트(9680) 등을 포함할 수 있는 컴퓨터를 도시한다. 도 17a에서의 상기 컴퓨터는 상기 표시부상에 다양한 정보(예로서, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 다양한 소프트웨어(프로그램들)에 의한 처리를 제어하는 기능, 무선 통신 또는 유선 통신과 같은 통신 기능, 상기 통신 기능으로 다양한 컴퓨터 네트워크들에 접속하는 기능, 상기 통신 기능으로 다양한 데이터를 송신 또는 수신하는 기능 등을 가질 수 있다. 도 17a에 도시된 상기 컴퓨터는 상기 주어진 것 외에 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0444] 도 17b는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커(9633), 상기 조작키들(9635), 마이크로폰(9638) 등을 포함할 수 있는 이동 전화를 도시한다. 도 17b에서의 상기 이동 전화는 상기 표시부 상에서 다양한 정보(예로서, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 상기 표시부 상에 캘린더, 날짜, 시간 등을 표시하는 기능, 상기 표시부상에 표시된 상기 정보를 조작 또는 편집하는 기능, 다양한 종류들의 소프트웨어(프로그램들)에 의한 처리를 제어하는 기능 등을 가질 수 있다. 도 17b에서의 상기 마이크로폰은 상기 주어진 것 외에 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0445] 도 17c는 상기 하우징(9630), 상기 표시부(9631), 상기 조작키(9635) 등을 포함할 수 있는 전자 페이퍼(또한 e-북이라고 하는)를 도시한다. 도 17c에서의 상기 전자 페이퍼는 상기 표시부 상에 다양한 정보(예로서, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 캘린더, 날짜, 시간 등을 상기 표시부 상에 표시하는 기능, 상기 표시부 상에 표시된 상기 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램들)에 의한 처리를

제어하는 기능 등을 가질 수 있다. 도 17c에서의 상기 전자 페이퍼는 상기 주어진 것 외에 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0446] 이 실시형태에 기술된 상기 전자 기기들의 각각에서, 오프-상태 전류는 상기 표시부에 포함된 복수의 화소들에서 감소될 수 있다. 따라서, 저장 용량 소자가 전압을 유지할 수 있는 기간을 연장하고 정지 화상 등을 표시할 때 전력 소비를 감소시킬 수 있는 액정 표시 장치를 포함한 전자 기기가 획득될 수 있다. 더욱이, 개구율의 증가에 의해, 고-화질 표시부를 가진 액정 표시 장치가 획득될 수 있다.

[0447] 이 실시형태는 다른 실시형태들에 기술된 임의의 상기 구성들과 적절하게 결합하여 구현될 수 있다.

[0448] (실시형태 13)

[0449] 이 실시형태에서, 산화물 반도체를 포함한 보텀-케이트 트랜지스터의 동작의 원리가 기술될 것이다.

[0450] 도 18은 산화물 반도체를 포함한 역-스태거 절연-케이트 트랜지스터의 단면도이다. 산화물 반도체층(OS)은 케이트 절연막(GI)을 개재하여 케이트 전극(GE1) 위에 제공되며, 소스 전극(S) 및 드레인 전극(D)은 그 위에 제공된다.

[0451] 도 19a 및 도 19b는 도 18에 도시된 A-A' 단면을 따르는 에너지 대역도들(개략도들)이다. 도 19a는 상기 소스에 인가된 전압이 상기 드레인에 인가된 전압의 전위와 동일한 경우($VD = 0V$)를 도시하며, 도 19b는 상기 소스에 대하여 양의 전위가 상기 드레인에 인가되는 경우($VD > 0$)를 도시한다.

[0452] 도 20a 및 도 20b는 도 18에 도시된 B-B' 단면을 따르는 에너지 대역도들(개략도들)이다. 도 20a는 양의 전위(+VG)가 상기 케이트(G1)에 인가되고 캐리어들(전자들)이 상기 소스 및 상기 드레인 사이에 흐르는 온 상태를 도시한다. 도 20b는 음의 전위(-VG)가 상기 케이트(G1)에 인가되고 소수 캐리어들이 흐르지 않는 오프 상태를 도시한다.

[0453] 도 21은 진공 레벨과 금속의 일 함수(ϕM) 사이 및 상기 진공 레벨과 산화물 반도체의 전자 친화도(χ) 사이의 관계들을 도시한다.

[0454] 금속은 축퇴되기 때문에, 상기 도전 대역 및 상기 페르미 준위는 서로에 대응한다. 다른 한편으로, 종래의 산화물 반도체는 대표적으로 n-형 반도체이며, 이 경우 상기 페르미 준위(Ef)는 밴드 갭의 중간에 위치된 진성 페르미 준위(Ei)로부터 멀어지고 상기 도전 대역에 더 가깝게 위치된다. 수소는 상기 산화물 반도체에서 도너(donor)이며, 산화물 반도체가 n-형 반도체가 되도록 하는 하나의 인자라는 것이 알려져 있다는 것을 주의하자.

[0455] 다른 한편으로, 본 발명의 산화물 반도체는 상기 산화물 반도체의 주요 성분과 다른 불순물이 많이 그 안에 포함되는 것을 가능한 한 방지하도록 상기 산화물 반도체로부터의 n-형 불순물인 수소를 제거하고 상기 산화물 반도체를 정제함으로써 획득되는 진성(i-형) 또는 실질적으로 진성 산화물 반도체이다. 달리 말하면, 하나의 특징은 정제된 i-형(진성) 반도체, 또는 그것에 가까운 반도체가 불순물을 부가함으로써가 아닌 수소 또는 물과 같은 불순물을 가능한 한 제거함으로써 획득된다는 것이다. 이것은 상기 페르미 준위(Ef)가 상기 진성 페르미 준위(Ei)와 동일한 레벨에 있도록 할 수 있다.

[0456] 산화물 반도체의 상기 밴드 갭(Eg)은 3.15 eV인 경우에, 상기 전자 친화도(χ)는 4.3 eV라고 말할 수 있다. 상기 소스 전극 및 상기 드레인 전극에 포함된 티타늄(Ti)의 일 함수는 실질적으로 상기 산화물 반도체의 상기 전자 친화도(χ)와 실질적으로 동일하다. 상기 경우에, 전자들을 위한 쇼트키 장벽(Schottky barrier)은 상기 금속 및 상기 산화물 반도체 사이의 계면(interface)에 형성되지 않는다.

[0457] 달리 말하면, 금속(ϕM) 및 상기 산화물 반도체의 전자 친화도(χ)가 서로 동일하고 상기 금속 및 상기 산화물 반도체가 서로 접촉하는 경우에, 도 19a에 도시된 바와 같이 에너지 대역도(개략도)가 획득된다.

[0458] 도 19b에서, 검은 원(●)은 전자를 나타내며, 양의 전위가 상기 드레인에 인가될 때, 상기 전자는 상기 배리어(h) 위의 상기 산화물 반도체로 주입되며 상기 드레인을 향해 흐른다. 상기 경우에, 상기 배리어(h)의 높이는 상기 케이트 전압 및 상기 드레인 전압에 의존하여 변화하며; 양의 드레인 전압이 인가되는 경우에, 상기 배리어(h)의 높이는 전압이 인가되지 않는 도 19a에서의 상기 배리어의 높이보다 작다, 즉 상기 밴드 갭(Eg)의 1/2이다.

[0459] 이때 상기 산화물 반도체로 주입된 상기 전자는 도 20a에 도시된 바와 같이 상기 산화물 반도체로 흐른다. 게다가, 도 20b에서, 음의 전위(역 바이어스)가 상기 케이트 전극(G1)에 인가될 때, 전류의 값은 소수 캐리어들인 홀들이 실질적으로 0이기 때문에 0에 매우 가깝다.

[0460] 예를 들면, 상술된 바와 같이, 절연-게이트 트랜지스터가 $1 \times 10^4 \mu\text{m}$ 의 채널 폭(W) 및 $3 \mu\text{m}$ 의 채널 길이를 가질 때에도, 상기 오프-상태 전류는 10^{-13} A 이하이고 상기 임계전압 이하의 스윙(S 값)은 0.1 V/dec (상기 게이트 절연막의 두께: 100 nm)이다.

[0461] 실리콘 반도체의 진성 캐리어 농도는 $1.45 \times 10^{10} / \text{cm}^3$ (300 K)이며 캐리어들은 실온에서도 존재한다는 것을 주의하자. 이것은 열 여기된 캐리어들이 실온에서도 존재한다는 것을 의미한다. 인 또는 붕소와 같은 불순물이 첨가되는 실리콘 웨이퍼가 실질적으로 사용된다. 게다가, 소위 진성 실리콘 웨이퍼에서도 제거될 수 없는 불순물들이 존재한다. 그러므로, 캐리어들은 $1 \times 10^{14} / \text{cm}^3$ 이상으로 실리콘 반도체에 실제로 존재하며, 이것은 상기 소스 및 상기 드레인 사이의 도전에 기여한다. 더욱이, 실리콘 반도체의 상기 밴드 갭은 1.12 eV 이며, 그에 따라 실리콘 반도체를 포함한 트랜지스터의 상기 오프-상태 전류는 온도에 의존하여 상당히 변화한다.

[0462] 그러므로, 상기 캐리어 농도가 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하가 되도록 주요 성분이 아닌 불순물이 많이 그 안에 포함되는 것을 가능한 한 방지할 수 있도록 단순히 트랜지스터를 위한 넓은 밴드 갭을 가진 산화물 반도체를 사용함으로써가 아닌 상기 산화물 반도체를 정제함으로써, 실질적인 동작 온도에서 열적으로 여기될 캐리어들이 제거될 수 있으며, 상기 트랜지스터는 상기 소스 측으로부터 주입되는 캐리어들만으로 동작될 수 있다. 이것은 상기 오프-상태 전류를 $1 \times 10^{-13} \text{ A}$ 이하로 감소시키고 오프-상태 전류가 온도에 따라 거의 변화하지 않으며 매우 안정된 동작이 가능한 트랜지스터를 획득하는 것을 가능하게 한다.

[0463] 본 발명의 기술적 아이디어는 불순물이 산화물 반도체에 부가되지 않고 그와는 반대로 상기 산화물 반도체 자체가 그 안에 바람직하지 않게 존재하는 물 또는 수소와 같은 불순물을 제거함으로써 정제된다는 것이다. 달리 말하면, 본 발명의 일 실시형태의 특징은 산화물 반도체 그 자체가 도너 레벨을 형성하는 물 또는 수소를 제거하고 또한 산소 결손들을 제거하기 위해 산소를 충분히 공급함으로써 정제된다는 것이다.

[0464] 산화물 반도체에서, 상기 성막 직후에도, 수소는 2차 이온 질량 분석(SIMS)에 의해 약 $10^{20} / \text{cm}^3$ 로 관찰된다. 본 발명의 하나의 기술적 아이디어는 산화물 반도체를 정제하고 도너 레벨을 형성하는 물 또는 수소와 같은 불순물을 의도적으로 제거하고 추가로 물 또는 수소를 제거하는 것과 동시에 감소하는 산소를 상기 산화물 반도체에 부가함으로써 전기적으로 i-형(진성) 반도체를 획득하는 것이다.

[0465] 그 결과, 수소의 양은 가능한 한 작은 것이 바람직하다며, 또한 상기 산화물 반도체에서의 캐리어들의 수는 가능한 한 작은 것이 더 바람직하다. 상기 산화물 반도체는 캐리어들이 제거되고 절연-게이트 트랜지스터를 위해 사용될 때, 반도체로서 캐리어들을 의도적으로 포함하기보다는 반도체로서 캐리어들의 경로로서의 의미가 부여되는 정제된 i-형(진성) 반도체이다.

[0466] 그 결과, 산화물 반도체로부터 캐리어들을 완전히 제거하거나 또는 그 안에 있는 캐리어들을 상당히 감소시킴으로써, 절연-게이트 트랜지스터의 상기 오프-상태 전류는 감소될 수 있으며, 이것은 본 발명의 일 실시형태의 기술적 아이디어이다. 달리 말하면, 기준으로서, 상기 수소 농도는 $1 \times 10^{16} / \text{cm}^3$ 이하이어야 하며 상기 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하이다. 본 발명의 기술적 아이디어에 따르면, 상기 이상적인 수소 농도 및 캐리어 농도는 0이거나 또는 0에 가깝다.

[0467] 게다가, 그 결과, 상기 산화물 반도체는 경로로서 기능하며, 상기 산화물 반도체 그 자체는 캐리어들을 포함하지 않거나 또는 매우 적은 캐리어들을 포함하도록 정제되는 i-형(진성) 반도체이며, 캐리어들은 상기 소스 측상에서 전극에 의해 제공된다. 공급되는 상기 산화물 반도체의 전자 친화도(X), 진성 페르미 준위에 이상적으로 대응하는 상기 페르미 준위, 및 상기 소스 또는 드레인 전극의 일 함수로부터 획득되는 배리어 높이에 의해 결정된다.

[0468] 그러므로, 오프-상태 전류는 가능한 한 작은 것이 바람직하며, 본 발명의 일 실시형태의 특징은 1 V 내지 10 V의 드레인 전압이 인가되는, $10 \mu\text{m}$ 의 채널 길이를 갖는 절연-게이트 트랜지스터의 특성들로서, 채널 폭의 마이크로미터 당 상기 오프-상태 전류는 $10 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-17} \text{ A}/\mu\text{m}$) 이하, 뿐만 아니라, $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) 이하라는 것이다.

[0469] (실시형태 14)

[0470] 이 실시형태에서, 테스트 소자 그룹(또한 TEG라고 하는)을 사용한 오프-상태 전류의 측정 값들이 이하에 기술될

것이다.

[0471] 도 22는 $L/W = 3 \mu\text{m}/50 \mu\text{m}$ 를 가진 200개의 박막 트랜지스터들 각각이 병렬로 접속되는 $L/W = 3 \mu\text{m}/10000 \mu\text{m}$ 를 가진 박막 트랜지스터의 초기 특성들을 보여준다. 게다가, 평면도는 도 23a에 도시되며 부분적으로 확대된 평면도가 도 23b에 도시된다. 도 23b에서 점선으로 둘러싸여진 영역은 $L/W = 3 \mu\text{m}/50 \mu\text{m}$ 및 $L_{ov} = 1.5 \mu\text{m}$ 를 가진 하나의 스테이지의 박막 트랜지스터이다. 상기 박막 트랜지스터의 초기 특성들을 측정하기 위해, 상기 소스-드레인 전류(이하에서는 드레인 전류 또는 I_d 라고 하는)의 변화하는 특성들, 즉, $V_g - I_d$ 특성들이, 상기 기판 온도가 실온으로 설정되고, 소스 및 드레인 간의 전압(이하에서는, 드레인 전압 또는 V_d)이 10 V로 설정되며, 소스 및 게이트 간의 전압(이하에서는, 게이트 전압 또는 V_g)이 -20 V 내지 +20 V로 변화되는 조건들 하에서 측정된다. 도 22는 -20 V 내지 +5 V의 범위에서의 V_g 를 도시한다는 것을 주의하자.

[0472] 도 22에 도시된 바와 같이, 10000 μm 의 채널 폭(W)을 가진 상기 박막 트랜지스터는 1V 및 10 V의 V_d 에서 $1 \times 10^{-13} \text{ A}$ 이하의 오프-상태 전류를 가지며, 이는 측정 장치(반도체 파라미터 분석기, 에질런트 테크놀로지스 인크.(Agilent Technologies Inc.)에 의해 제작된 Agilent 4156C)의 분해능(100 fA)이하이다.

[0473] 상기 측정을 위해 사용된 상기 박막 트랜지스터를 제작하기 위한 방법이 기술된다.

[0474] 먼저, 질화 실리콘층이 CVD 방법에 의해 유리 기판 위에 하지층으로서 형성되며, 산화질화 실리콘층이 상기 질화 실리콘층 위에 형성된다. 텅스텐층은 스퍼터링 방법에 의해 상기 산화질화 실리콘층 위에 게이트 전극층으로서 형성된다. 여기에서, 상기 게이트 전극층은 상기 텅스텐층을 선택적으로 에칭함으로써 형성된다.

[0475] 그 후, 100 nm의 두께를 가진 산화질화 실리콘층이 CVD 방법에 의해 상기 게이트 전극층 위에 게이트 절연층으로서 형성된다.

[0476] 그 후, 50 nm의 두께를 가진 산화물 반도체층이 In-Ga-Zn-O-계 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ 의 분자비로)을 사용하여 스퍼터링 방법에 의해 상기 게이트 절연층 위에 형성된다. 여기에서, 섬-형상 산화물 반도체층은 상기 산화물 반도체층을 선택적으로 에칭함으로써 형성된다.

[0477] 그 후, 제 1 열 처리가 1시간 동안 450°C로 클린 오븐(clean oven)에서의 질소 분위기에서 상기 산화물 반도체층에 수행된다.

[0478] 그 후, 티타늄층(150 nm의 두께를 가진)이 스퍼터링 방법에 의해 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층으로서 형성된다. 여기에서, 상기 소스 전극층 및 상기 드레인 전극층은 각각 3 μm 의 채널 길이 및 50 μm 의 채널 폭(W)을 가진 200개의 박막 트랜지스터들이 $L/W = 3 \mu\text{m}/10000 \mu\text{m}$ 를 가진 박막 트랜지스터를 획득하기 위해 병렬로 접속되도록 선택적 에칭에 의해 형성된다.

[0479] 그 후, 300 nm의 두께를 가진 산화 실리콘층이 반응성 스퍼터링 방법에 의해 상기 산화물 반도체층과 접촉하는 보호 절연층으로서 형성된다. 여기에서, 개구부들은 보호 층인 상기 산화 실리콘층을 선택적으로 에칭함으로써 상기 게이트 전극층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 형성된다. 그 후, 제 2 열 처리가 1시간 동안 250°C로 질소 분위기에서 수행된다.

[0480] 그 후, 열 처리는 $V_g - I_d$ 특성들의 측정 전에 10시간 동안 150°C로 수행된다.

[0481] 상기 프로세스를 통해, 보텀-게이트 박막 트랜지스터가 제작된다.

[0482] 상기 박막 트랜지스터가 도 22에 도시된 바와 같이 대략 $1 \times 10^{-13} \text{ A}$ 의 오프-상태 전류를 갖는 이유는 상기 산화물 반도체층에서의 수소의 농도가 상기 제작 프로세스에서 충분히 감소될 수 있다는 것이다. 상기 산화물 반도체층에서의 수소의 농도는 $1 \times 10^{16} / \text{cm}^3$ 이하이다. 상기 산화물 반도체층에서의 수소의 농도는 2차 이온 질량 분석(SIMS)에 의해 측정된다는 것을 주의하자.

[0483] In-Ga-Zn-O-계 산화물 반도체를 사용하는 예가 기술되지만, 이러한 실시형태는 이에 제한되지 않는다. In-Sn-Zn-O-계 산화물 반도체, Sn-Ga-Zn-O-계 산화물 반도체, Al-Ga-Zn-O-계 산화물 반도체, Sn-Al-Zn-O-계 산화물 반도체, In-Zn-O-계 산화물 반도체, In-Sn-O-계 산화물 반도체, Sn-Zn-O-계 산화물 반도체, Al-Zn-O-계 산화물 반도체, In-O-계 산화물 반도체, Sn-O-계 산화물 반도체, 또는 Zn-O-계 산화물 반도체와 같은 또 다른 산화물 반도체 재료가 또한 사용될 수 있다. 더욱이, 산화물 반도체 재료로서, 2.5 wt% 내지 10 wt%의 Al_{10x} 가 혼합된 In-Al-Zn-O-계 산화물 반도체 또는 2.5 wt% 내지 10 wt%의 SiO_x 가 혼합된 In-Zn-O-계 산화물 반도체가 사용될

수 있다.

[0484] 캐리어 측정 장치에 의해 측정되는 상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하이다. 달리 말하면, 상기 산화물 반도체층의 캐리어 농도는 가능한 한 0에 가깝게 만들어질 수 있다.

[0485] 상기 박막 트랜지스터는 또한 회로 동작 속도에서의 증가를 가능하게 하는 10 nm 내지 1000 nm의 채널 길이(L)를 가질 수 있으며, 상기 오프-상태 전류는 매우 작아서, 전력 소비에서의 추가 감소를 가능하게 한다.

[0486] 게다가, 회로 설계에서, 상기 산화물 반도체층은 상기 박막 트랜지스터가 오프 상태에 있을 때 절연체로서 간주될 수 있다.

[0487] 그 후, 이 실시형태에서 제작된 상기 박막 트랜지스터의 오프-상태 전류의 온도 특성들이 평가된다. 온도 특성들은 상기 박막 트랜지스터가 사용되는 최종산물의 상기 내환경성, 성능의 관리 등을 고려할 때 중요하다. 보다 작은 양의 변화가 보다 바람직하며, 이것은 제품 설계를 위한 자유도를 증가시킨다는 것을 이해해야 한다.

[0488] 상기 온도 특성들에 대해, 상기 $Vg-Id$ 특성들은 상기 박막 트랜지스터들이 제공되는 기판은 -30°C , 0°C , 25°C , 40°C , 60°C , 80°C , 100°C , 및 120°C 의 각각의 일정한 온도들로 유지되고, 상기 드레인 전압이 6 V로 설정되며, 상기 게이트 전압이 -20V 에서 $+20\text{V}$ 로 변화되는 조건들 하에서 항온 처리실을 사용하여 획득된다.

[0489] 도 24a는 상기 온도들에서 측정되고 서로에 대해 부가된 $Vg-Id$ 특성들을 도시하며, 도 24b는 도 24a에서의 점선에 의해 둘러싸여진 오프-상태 전류의 범위에 대한 확대도를 도시한다. 다이어그램에서 화살표로 나타내어진 극우 곡선은 -30°C 로 획득된 커브이고; 상기 극좌 곡선은 120°C 로 획득된 커브이며; 상기 다른 온도들에서 획득된 커브들은 그 사이에 위치된다. 온-상태 전류들의 온도 의존성은 거의 관찰될 수 없다. 다른 한편으로, 도 24b의 확대도에 또한 명확히 도시된 바와 같이, 상기 오프-상태 전류들은 -20 V 의 게이트 전압 부근을 제외한 모든 온도들에서, 상기 측정 장치의 분해능에 가까운 $1 \times 10^{-12} \text{ A}$ 이하이며, 그것의 온도 의존성은 관찰되지 않는다. 달리 말하면, 120°C 의 고온에서도, 상기 오프-상태 전류는 $1 \times 10^{-12} \text{ A}$ 이하로 유지되고, 상기 채널 폭(W)이 $10000 \mu\text{m}$ 임을 고려해 볼 때, 상기 오프-상태 전류는 상당히 작다는 것이 이해될 수 있다.

[0490] 상술된 바와 같이 정제된 산화물 반도체(정제된 OS)를 포함한 박막 트랜지스터는 온도에서 오프-상태 전류의 의존성이 거의 없다는 것을 보여준다. 산화물 반도체는 상기 도전성 유형이 진성 유형에 매우 가깝게 되고 도 20a의 대역도에 도시된 바와 같이, 상기 페르미 준위가 상기 금지대(forbidden band)의 중간에 위치되기 때문에 정제될 때 온도 의존성을 보여주지 않는다고 말할 수 있다. 이것은 또한 상기 산화물 반도체가 3 eV 이상의 에너지 갭을 가지며 매우 적은 열 여기된 캐리어들을 포함한다는 사실로부터 기인한다. 게다가, 상기 소스 영역 및 상기 드레인 영역은 축퇴 상태에 있으며, 이것은 또한 온도 의존성이 없음을 보여주기 위한 인자이다. 상기 박막 트랜지스터는 상기 축퇴된 소스 영역에서 상기 산화물 반도체로 주입되는 캐리어들로 주로 동작되며, 상기 특성들(온도에서의 오프-상태 전류의 독립성)은 온도에서 캐리어 농도의 독립성에 의해 설명될 수 있다.

[0491] 표시 장치 등이 이러한 매우 작은 오프-상태 전류를 갖는 박막 트랜지스터를 사용하여 제작되는 경우에, 매우 작은 누설이 존재한다. 그러므로, 표시 테이터는 보다 긴 시간 기간 동안 유지될 수 있다.

[0492] (실시형태 15)

[0493] 이 실시형태에서, 본 발명의 일 실시형태인 액정 표시 장치의 주사선 구동기 회로 및 신호선 구동기 회로의 각각에 포함된 시프트 레지스터의 구성의 일 예가 도 25a 내지 도 25c를 사용하여 기술된다.

[0494] 도 25a에 도시된 상기 시프트 레지스터들은 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N(N은 3 이상의 자연수이다))을 포함한다. 제 1 배선(11)으로부터의 제 1 클록 신호(CK1), 제 2 배선(12)으로부터의 제 2 클록 신호(CK2), 제 3 배선(13)으로부터의 제 3 클록 신호(CK3), 및 제 4 배선(14)으로부터의 제 4 클록 신호(CK4)가 도 25a에 도시된 상기 시프트 레지스터의 상기 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)에 공급된다. 제 5 배선(15)으로부터의 시작 펄스(SP1)(제 1 시작 펄스)는 상기 제 1 펄스 출력 회로(10_1)로 입력된다. 이전 단계에서 상기 펄스 출력 회로로부터의 신호(이전 단계 신호(OUT(n-1))라고 하는 신호)(n은 2 이상 N 이하의 자연수이다)는 제 2 또는 나중 스테이지에서 상기 제 n 펄스 출력 회로(10_N)에 입력된다. 상기 제 1 펄스 출력 회로(10_1)의 2 스테이지들 후의 스테이지에서 상기 제 3 펄스 출력 회로(10_3)로부터의 신호는 상기 제 1 펄스 출력 회로(10_1)에 입력되고; 유사하게는, 상기 제 n 펄스 출력 회로(10_n)의 2 스테이지들 후의 스테이지에서 제 (n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(후속-스테이지 신호(OUT(n+2))라고 하는 신호)는 상기 제 n

펄스 출력 회로에 입력된다. 이러한 방식으로, 다음 스테이지 및/또는 상기 2-스테이지 이전 스테이지의 상기 펄스 출력 회로에 입력될 제 1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR) 중 대응하는 하나) 및 또 다른 회로 등에 입력되는 제 2 출력 신호(OUT(1) 내지 OUT(N) 중 대응하는 하나)는 상기 펄스 출력 회로들의 각각으로부터 출력된다. 도 25a에 도시된 바와 같이, 상기 후속-스테이지 신호(OUT(n+2))는 상기 시프트 레지스터의 마지막 2개의 스테이지들에 입력되지 않으며, 그러므로, 일 예로서, 제 2 시작 펄스(SP2)는 상기 시프트 레지스터의 마지막 2개의 스테이지들 중 하나에 입력될 수 있으며 제 3 시작 펄스(SP3)는 동일한 것의 다른 하나에 입력될 수 있다. 대안적으로, 신호들은 상기 시프트 레지스트 내부에서 생성될 수 있다. 예를 들면, 상기 화소부에 대한 펄스들의 출력에 기여하지 않는 제 (N+1) 펄스 출력 회로(10_(N+1)) 및 제 (N+2) 펄스 출력 회로(10_(N+2))(이러한 회로들은 또한 더미 스테이지들이라고 한다)가 제공될 수 있으며, 상기 제 2 시작 펄스(SP2) 및 상기 제 3 시작 펄스(SP3)에 대응하는 신호들은 상기 더미 스테이지들에서 생성될 수 있다.

[0495] 상기 제 1(CK1) 내지 제 4 클록 신호들(CK4) 각각은 일정 사이클에서 H-레벨 신호와 L-레벨 신호 사이를 오가는 신호이다. 상기 제 1(CK1) 내지 제 4 클록 신호들(CK4)은 1/4 기간만큼 순차적으로 지연된다. 이 실시형태에서, 상기 제 1(CK1) 내지 제 4 클록 신호들(CK4)을 사용함으로써, 상기 펄스 출력 회로 등의 구동 제어가 수행된다. 상기 클록 신호(CK)는 또한 상기 클록 신호가 입력되는 구동기 회로에 의존하여 GCK 또는 SCK라고 하지만, 이 실시형태에서는 상기 클록 신호로서 CK를 사용함으로써 설명이 이루어진다.

[0496] 상기 "A 및 B는 접속된다"가 명확하게 설명될 때, A와 B가 전기적으로 접속되는 경우, A와 B가 기능적으로 접속되는 경우, 및 A와 B가 직접 접속되는 경우가 여기에 포함된다는 것을 주의하자. 여기에서, A 및 B의 각각은 대상(예로서, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)에 대응한다. 따라서, 다른 접속 관계들은 미리 정해진 접속 관계, 예를 들면 도면들 및 텍스트들에 도시된 상기 접속 관계에 제한되지 않고 포함된다.

[0497] 상기 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)의 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 및 제 2 출력 단자(27)를 포함한다(도 25b 참조).

[0498] 상기 제 1 입력 단자(21), 상기 제 2 입력 단자(22), 및 상기 제 3 입력 단자(23)는 상기 제 1 내지 제 4 배선들(11 내지 14) 중 임의의 것에 전기적으로 접속된다. 예를 들면, 도 25a 및 도 25b에서, 상기 제 1 펄스 출력 회로(10_1)의 상기 제 1 입력 단자(21)는 상기 제 1 배선(11)에 전기적으로 접속되고, 상기 제 1 펄스 출력 회로(10_1)의 상기 제 2 입력 단자(22)는 상기 제 2 배선(12)에 전기적으로 접속되며, 상기 제 1 펄스 출력 회로(10_1)의 상기 제 3 입력 단자(23)는 상기 제 3 배선(13)에 전기적으로 접속된다. 게다가, 상기 제 2 펄스 출력 회로(10_2)의 상기 제 1 입력 단자(21)는 상기 제 2 배선(12)에 전기적으로 접속되고, 상기 제 2 펄스 출력 회로(10_2)의 상기 제 2 입력 단자(22)는 상기 제 3 배선(13)에 전기적으로 접속되며, 상기 제 2 펄스 출력 회로(10_2)의 상기 제 3 입력 단자(23)는 상기 제 4 배선(14)에 전기적으로 접속된다.

[0499] 도 25a 및 도 25b에서, 상기 제 1 펄스 출력 회로(10_1)에서, 상기 제 1 시작 펄스(SP1)는 상기 제 4 입력 단자(24)에 입력되고, 후속-스테이지 신호(OUT(3))는 상기 제 5 입력 단자(25)에 입력되고, 상기 제 1 출력 신호(OUT(1)(SR))는 상기 제 1 출력 단자(26)로부터 출력되며, 상기 제 2 출력 신호(OUT(1))는 상기 제 2 출력 단자(27)로부터 출력된다.

[0500] 다음으로, 상기 펄스 출력 회로의 구체적인 회로 구성의 일 예가 도 25c를 참조하여 기술된다.

[0501] 도 25c에서, 상기 제 1 트랜지스터(31)의 제 1 단자는 상기 전원선(51)에 전기적으로 접속되고, 상기 제 1 트랜지스터(31)의 제 2 단자는 상기 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되며, 상기 제 1 트랜지스터(31)의 게이트 전극은 상기 제 4 입력 단자(24)에 전기적으로 접속된다. 상기 제 2 트랜지스터(32)의 제 1 단자는 상기 전원선(52)에 전기적으로 접속되고, 상기 제 2 트랜지스터(32)의 제 2 단자는 상기 제 9 트랜지스터(39)의 상기 제 1 단자에 전기적으로 접속되며, 상기 제 2 트랜지스터(32)의 게이트 전극은 상기 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 상기 제 3 트랜지스터(33)의 제 1 단자는 상기 제 1 입력 단자(21)에 전기적으로 접속되며, 상기 제 3 트랜지스터(33)의 제 2 단자는 상기 제 1 출력 단자(26)에 전기적으로 접속된다. 상기 제 4 트랜지스터(34)의 제 1 단자는 상기 전원선(52)에 전기적으로 접속되며 상기 제 4 트랜지스터(34)의 제 2 단자는 상기 제 1 출력 단자(26)에 전기적으로 접속된다. 상기 제 5 트랜지스터(35)의 제 1 단자는 상기 전원선(52)에 전기적으로 접속되고, 상기 제 5 트랜지스터(35)의 제 2 단자는 상기 제 2 트랜지스터(32)의 상기 게이트 전극 및 상기 제 4 트랜지스터(34)의 상기 게이트 전극에 전기적으로 접속되며, 상기 제 5 트랜지스터(35)의 게이트 전극은 상기 제 4 입력 단자(24)에 전기적으로 접속된다. 상기 제 6 트랜지스터(36)의 제 1 단자는 상기 전원선(51)에 전기적으로 접속되고, 상기 제 6 트랜지스터(36)의 제 2 단자는 상기 제 2 트랜-

지스터(32)의 상기 게이트 전극 및 상기 제 4 트랜지스터(34)의 상기 게이트 전극에 전기적으로 접속되며, 상기 제 6 트랜지스터(36)의 게이트 전극은 상기 제 5 입력 단자(25)에 전기적으로 접속된다. 상기 제 7 트랜지스터(37)의 제 1 단자는 상기 전원선(51)에 전기적으로 접속되고, 상기 제 7 트랜지스터(37)의 제 2 단자는 상기 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되며, 상기 제 7 트랜지스터(37)의 게이트 전극은 상기 제 3 입력 단자(23)에 전기적으로 접속된다. 상기 제 8 트랜지스터(38)의 제 1 단자는 상기 제 2 트랜지스터(32)의 상기 게이트 전극 및 상기 제 4 트랜지스터(34)의 상기 게이트 전극에 전기적으로 접속되며, 상기 제 8 트랜지스터(38)의 게이트 전극은 상기 제 2 입력 단자(22)에 전기적으로 접속된다. 상기 제 9 트랜지스터(39)의 상기 제 1 단자는 상기 제 1 트랜지스터(31)의 상기 제 2 단자 및 상기 제 2 트랜지스터(32)의 상기 제 2 단자에 전기적으로 접속되고, 상기 제 9 트랜지스터(39)의 제 2 단자는 상기 제 3 트랜지스터(33)의 상기 게이트 전극 및 상기 제 10 트랜지스터(40)의 상기 게이트 전극에 전기적으로 접속되며, 상기 제 9 트랜지스터(39)의 게이트 전극은 상기 전원선(51)에 전기적으로 접속된다. 상기 제 10 트랜지스터(40)의 제 1 단자는 상기 제 1 입력 단자(21)에 전기적으로 접속되고, 상기 제 10 트랜지스터(40)의 제 2 단자는 상기 제 2 출력 단자(27)에 전기적으로 접속되며, 상기 제 10 트랜지스터(40)의 상기 게이트 전극은 상기 제 9 트랜지스터(39)의 상기 제 2 단자에 전기적으로 접속된다. 상기 제 11 트랜지스터(41)의 제 1 단자는 상기 전원선(52)에 전기적으로 접속되고, 상기 제 11 트랜지스터(41)의 제 2 단자는 상기 제 2 출력 단자(27)에 전기적으로 접속되며, 상기 제 11 트랜지스터(41)의 게이트 전극은 상기 제 2 트랜지스터(32)의 상기 게이트 전극 및 상기 제 4 트랜지스터(34)의 상기 게이트 전극에 전기적으로 접속된다.

[0502] 도 25c에서, 상기 제 3 트랜지스터(33)의 상기 게이트 전극, 상기 제 10 트랜지스터(40)의 상기 게이트 전극, 및 상기 제 9 트랜지스터(39)의 상기 제 2 단자의 접속 포인트는 노드(NA)라고 한다. 게다가, 상기 제 2 트랜지스터(32)의 상기 게이트 전극, 상기 제 4 트랜지스터(34)의 상기 게이트 전극, 상기 제 5 트랜지스터(35)의 상기 제 2 단자, 상기 제 6 트랜지스터(36)의 상기 제 2 단자, 상기 제 8 트랜지스터(38)의 상기 제 1 단자, 및 상기 제 11 트랜지스터(41)의 상기 게이트 전극의 접속 포인트는 노드(NB)라고 한다.

[0503] *도 25c에서의 상기 펄스 출력 회로가 상기 제 1 펄스 출력 회로(10_1)인 경우에, 상기 제 1 클록 신호(CK1)는 상기 제 1 입력 단자(21)에 입력되고, 상기 제 2 클록 신호(CK2)는 상기 제 2 입력 단자(22)에 입력되고, 제 3 클록 신호(CK3)는 상기 제 3 입력 단자(23)에 입력되고, 상기 시작 펄스(SP)는 상기 제 4 입력 단자(24)에 입력되고, 후속-스테이지 신호(OUT(3))는 상기 제 5 입력 단자(25)에 입력되고, 상기 제 1 출력 신호(OUT(1)(SR))는 상기 제 1 출력 단자(26)로부터 출력되며, 상기 제 2 출력 신호(OUT(1))는 상기 제 2 출력 단자(27)로부터 출력된다.

[0504] 도 26은 도 25c에 도시된 복수의 펄스 출력 회로들을 포함한 시프트 레지스터의 흐름도를 도시한다. 상기 시프트 레지스터가 주사선 구동기 회로인 경우에, 도 26에서의 기간(61)은 수직 귀선 기간이며 기간(62)은 게이트 선택 기간이다.

[0505] 도 25a 내지 도 25c 및 도 26에서의 일 예로서 제공되는 복수의 n-채널 트랜지스터들을 사용하여 제작된 상기 구동기 회로에서, 정지 화상 및 동화상을 표시하기 위한 상기 동작들, 또는 액정 소자에 인가될 전압을 재기록하기 위한 상기 동작(이하에서, 또한 리프레시 동작이라고 하는) 동안 상기 구동기 회로부의 각각의 배선에 전위를 공급하거나 또는 그것의 공급을 중단하는 절차가 도 27을 참조하여 기술될 것이다. 도 27은 기간(T1) 전 및 후에서, 고 전원 전위(VDD)를 공급하기 위한 배선, 저 전원 전위(VSS)를 공급하기 위한 배선, 시작 펄스(SP)를 공급하기 위한 배선, 및 제 1 내지 제 4 클록 신호들(CK1 내지 CK4)을 시프트 레지스터에 공급하기 위한 배선들의 전위들에서의 변화들을 도시한다.

[0506] 이 실시형태의 상기 액정 표시 장치는 상기 구동기 회로부를 항상 동작시키지 않고 정지 화상을 표시할 수 있다. 그러므로, 도 27에 도시된 바와 같이, 상기 고 전원 전위(VDD), 상기 제 1 내지 제 4 클록 신호들(CK1 내지 CK4), 및 상기 시작 펄스와 같은 제어 신호들이 시프트 레지스터에 공급되는 기간 및 제어 신호들이 공급되지 않는 기간이 존재한다. 도 27에 도시된 상기 기간(T1)은 제어 신호들이 공급되는 상기 기간, 달리 말하면 동화상이 표시되는 기간 및 리프레시 동작이 수행되는 기간에 대응한다는 것을 주의하자. 도 27에 도시된 상기 기간(T2)은 제어 신호들이 공급되지 않는 상기 기간, 달리 말하면 정지 화상이 표시되는 기간에 대응한다.

[0507] 도 27에서, 상기 고 전원 전위(VDD)가 제공되는 기간은 상기 기간(T1)뿐만 아니라 상기 기간(T2)의 일부에서도 제공된다. 게다가, 도 27에서, 상기 제 1 내지 제 4 클록 신호들(CK1 내지 CK4)이 공급되는 기간은 상기 고 전원 전위(VDD)의 공급의 시작 및 상기 고 전원 전위(VDD)의 공급의 중단 사이에 제공된다.

게다가, 도 27에 도시된 바와 같이, 상기 제 1 내지 제 4 클록 신호들(CK1 내지 CK4)은 상기 기간(T1)이 시작하기 전에 한 번 고 전위로 설정된 후 일정한 주기로 발진하기 시작하고 상기 기간(T1)이 종료된 후 저 전위로 설정된 후 발진을 종료하도록 설정될 수 있다.

[0508] 삭제

상술된 바와 같이, 이 실시형태의 상기 액정 표시 장치에서, 상기 고 전원 전위(VDD), 상기 제 1 내지 제 4 클록 신호들(CK1 내지 CK4), 및 상기 시작 펄스와 같은 제어 신호들의 상기 시프트 레지스터로의 공급은 상기 기간(T2)에서 정지된다. 그 후, 제어 신호들의 상기 공급이 정지되는 상기 기간에서, 각각의 트랜지스터가 턴 온 되는지 또는 턴 오프되는지 여부가 제어되며 상기 시프트 레지스터로부터의 펄스 신호의 출력이 또한 정지된다. 그러므로, 상기 시프트 레지스터의 전력 소비 및 상기 시프트 레지스터에 의해 구동되는 상기 화소부의 전력 소비가 감소될 수 있다.

상기 언급된 리프레시 동작은 표시된 정지 화상의 품질이 더 나빠질 수 있는 가능성이 존재하기 때문에 규칙적으로 수행될 필요가 있다는 것을 주의하자. 이 실시형태의 상기 액정 표시 장치에서, 산화물 반도체를 포함한 상기 언급된 트랜지스터는 각각의 화소의 액정 소자에 인가될 전압을 제어하기 위한 스위칭 소자로서 이용된다. 따라서, 오프-상태 전류는 대폭 감소될 수 있으며, 각각의 화소의 상기 액정 소자에 인가될 전압에서의 변화가 감소될 수 있다. 달리 말하면, 상기 시프트 레지스터의 동작이 정지되는 기간이 정지 화상의 표시로 인해 길 때에도, 화상 품질의 악화는 억제될 수 있다. 예를 들면, 상기 기간이 3분일 때에도, 표시된 정지 화상의 품질은 유지될 수 있다. 예를 들면, 재기록이 초당 60회 수행되는 액정 표시 장치 및 리프레시 동작이 3분에 한 번 수행되는 액정 표시 장치가 서로 비교된다면, 전력 소비는 대략 1/10000로 감소될 수 있다.

상기 고 전원 전위(VDD)의 공급의 정지는 도 27에 도시된 바와 같이 상기 저 전원 전위(VSS)와 동일한 전위로 설정된다는 것을 주의하자. 게다가, 상기 고 전원 전위(VDD)의 공급의 정지는 상기 고 전원 전위가 공급되는 배선의 전위가 플로팅 상태에 있도록 설정될 수 있다.

상기 기간(T1) 전에 상기 전위가 상기 저 전원 전위(VSS)에서 상기 고 전원 전위(VDD)로 증가되는 것을 의미하는, 상기 고 전원 전위(VDD)가 공급되는 상기 배선의 상기 전위가 증가될 때, 상기 배선의 전위는 점차 변하도록 제어되는 것이 바람직하다는 것을 주의하자. 상기 배선의 전위에서의 변화의 경사도가 가파르다면, 전위에서의 상기 변화는 잡음이 될 수 있으며 불규칙적인 펄스가 상기 시프트 레지스터로부터 출력될 가능성이 존재한다. 상기 시프트 레지스터가 케이트선 구동기 회로에 포함되는 경우에, 상기 불규칙적인 펄스는 트랜지스터를 턴 온하기 위한 신호로서 작용한다. 따라서, 액정 소자에 인가될 전압이 상기 불규칙적인 펄스에 의해 변화될 수 있고 정지 화상의 상기 품질이 변화될 가능성이 존재한다. 그러므로, 상술된 바와 같이 상기 배선의 전위에서의 상기 변화를 제어하는 것이 바람직하다. 상기 내용을 고려하여, 도 27은 상기 고 전원 전위(VDD)로의 신호에서의 상승이 하락보다 더 완만한 일 예를 도시한다. 특히, 이 실시형태의 상기 액정 표시 장치에서, 정지 화상이 상기 화소부에 표시될 때, 상기 시프트 레지스터로의 상기 고 전원 전위(VDD)의 공급의 정지, 및 재공급이 적절하게 수행된다. 달리 말하면, 상기 고 전원 전위(VDD)를 공급하기 위한 상기 배선의 전위에서의 변화가 잡음으로서 상기 화소부에 악영향을 미치는 경우에, 상기 잡음은 표시 화상의 손상에 직결된다. 그러므로, 상기 배선의 전위에서의 변화(특히, 전위의 증가)가 잡음으로서 상기 화소부로 훈입되는 것이 방지하도록 이 실시형태의 상기 액정 표시 장치를 제어하는 것이 중요하다.

더욱이, 이 실시형태에서, 정지 화상이 표시될 때, 신호선 또는 주사선에 공급될 신호의 출력을 중단하도록 상기 구동기 회로부를 동작시킴으로써, 상기 화소부 뿐만 아니라 상기 구동기 회로부의 전력 소비가 감소될 수 있다.

이 실시형태는 다른 실시형태들 중 임의의 것과 적절하게 결합될 수 있다는 것을 주의하자.

[0515] [실시예 1]

이 실시예에서, 정지 화상을 표시할 때, 상기 실시형태에서 기술되고 실제로 제작되는 상기 액정 표시 장치의 특성들을 유지하는 화상 신호의 평가의 결과들이 기술될 것이다.

먼저, 상기 제작된 액정 표시 장치의 표시 상태의 사진이 도 28에 도시된다. 도 28의 상기 액정 표시 장치의 사진으로부터, 정지 화상을 표시하는 실제로 제작된 액정 표시 장치의 상태가 보여질 수 있다.

다음으로, 화소부에 포함된 복수의 화소들의 상측 레이아웃에 관하여, 후측으로부터 취해진 기판 위에 형성된

박막 트랜지스터들과 같은 소자들의 사진이 도 29에 도시된다.

[0519] 도 29에 도시된 상기 화소들의 사진으로부터, 직사각형 화소들이 제공되고 게이트선들(2901) 및 신호선들(2902)이 서로 직각으로 제공된다는 것이 보여질 수 있다. 그것은 또한 용량선들(2903)이 상기 게이트선들(2901)과 병렬인 위치에 제공된다는 것을 보여줄 수 있다. 상기 게이트선(2901)과 상기 용량선(2903), 및 상기 신호선(2902)이 서로 중첩하는 영역에서, 절연막은 기생 용량을 감소시키도록 제공되며, 도 29에 범프(bump)로서 관찰될 수 있다. 이 예에서 기술된 상기 액정 표시 장치는 반사형 액정 표시 장치이며, 적색(R) 컬러 필터와 중첩하는 반사 전극(2904R), 녹색(G) 컬러 필터와 중첩하는 반사 전극(2904G), 및 청색(B) 컬러 필터와 중첩하는 반사 전극(2904B)이 관찰된다. 도 29에서, 상기 게이트 선(2901)에 의해 제어된 영역에서, 산화물 반도체인 In-Ga-Zn-O-계 비-단결정막이 투광성 반도체층으로서 제공되며 박막 트랜지스터가 형성된다.

[0520] 도 30은 상기 실시형태에 따라 정지 화상을 표시할 때 도 29에 도시된 각각의 화소의 시간에 걸친 휘도 변화들에 대한 그래프를 도시한다.

[0521] 도 30으로부터 도 29의 상기 화소의 상측 레이아웃의 경우에, 상기 화상 신호 유지 기간은 대략 1분임을 알 수 있다. 그러므로, 정지 화상을 표시할 때, 일정한 휘도가 동일한 화상 신호를 규칙적으로 공급하기 위한 동작(다이어그램에서, "리프레시")을 수행함으로써 유지될 수 있다. 그 결과, 구동기 회로부에 포함된 트랜지스터에 전압을 인가하기 위한 시간의 길이는 대폭 단축될 수 있다. 더욱이, 시간에 걸친 구동기 회로의 열화는 대폭 느려질 수 있으며, 이것은 액정 표시 장치의 신뢰성의 향상과 같은 유리한 결과들을 생성한다.

[0522] 본 출원은 그 전체 내용들이 참조로서 본 명세서에 포함되는, 2009년 10월 16일에 일본 특허청으로 출원된 일본 특허 출원 번호 제2009-238869호 및 2009년 12월 8일에 출원된 일본 특허 출원 번호 제2009-279004호에 기초한다.

부호의 설명

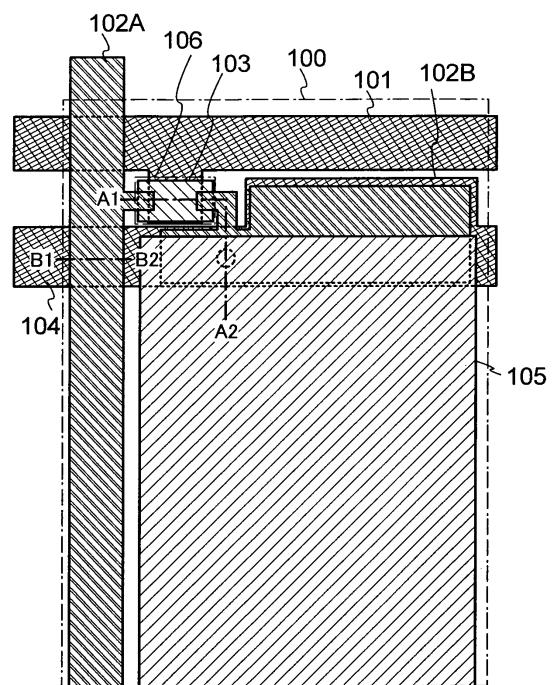
100 : 화소	101, 102 : 배선
103 : 산화물 반도체층	104 : 용량선
105 : 화소 전극	106 : 박막 트랜지스터
111 : 기판	112 : 하지막
113 : 게이트 절연막	114 : 산화물 절연층
121 : 절연층	200 : 기판
201 : 화소들	202 : 화소부
203 : 주사선 구동기 회로	204 : 신호선 구동기 회로
251, 252, 261, 262 : 기간	300 : 기판
302 : 게이트 절연층	303 : 보호 절연층
310 : 박막 트랜지스터	311 : 게이트 전극층
313 : 채널 형성 영역	314a : 고-저항 소스 영역
314b : 고-저항 드레인 영역	315a : 소스 전극층
315b : 드레인 전극층	316 : 산화물 절연층
320 : 기판	322 : 게이트 절연층
323 : 보호 절연층	330 : 산화물 반도체막
331 : 섬-형상 산화물 반도체층	332 : 산화물 반도체층
340 : 기판	342 : 게이트 절연층
343 : 보호 절연층	345 : 산화물 반도체막
346 : 산화물 반도체층	350 : 박막 트랜지스터

- 351 : 게이트 전극층
355a : 소스 전극층
356 : 산화물 절연층
361 : 게이트 전극층
363 : 채널 형성 영역
364b : 고-저항 드레인 영역
365b : 드레인 전극층
370 : 기판
372b : 게이트 절연층
380 : 박막 트랜지스터
382 : 산화물 반도체층
385b : 드레인 전극층
390 : 박막 트랜지스터
392 : 산화물 반도체층
352 : i-형 산화물 반도체층
355b : 드레인 전극층
360 : 박막 트랜지스터
362 : 산화물 반도체층
364a : 고-저항 소스 영역
365a : 소스 전극층
366 : 산화물 절연층
372a : 게이트 절연층
373 : 보호 절연층
381 : 게이트 전극층
385a : 소스 전극층
386 : 산화물 절연층
391 : 게이트 전극층

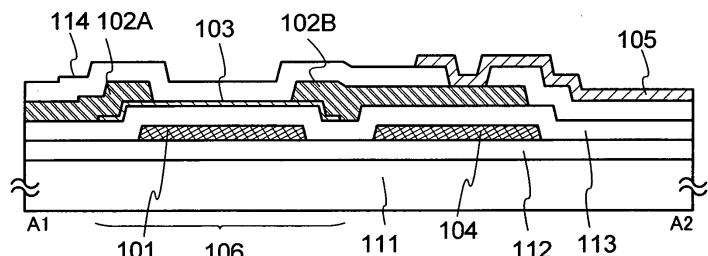
도면

도면1

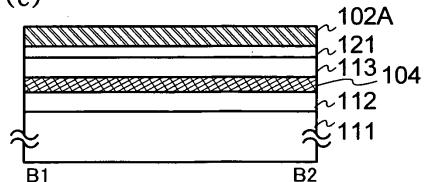
(a)



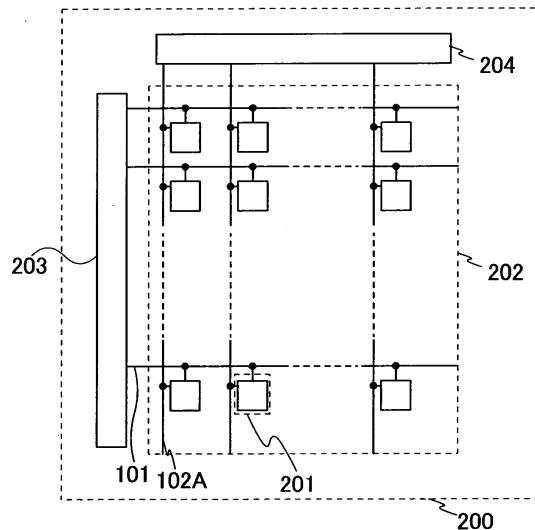
(b)



(c)

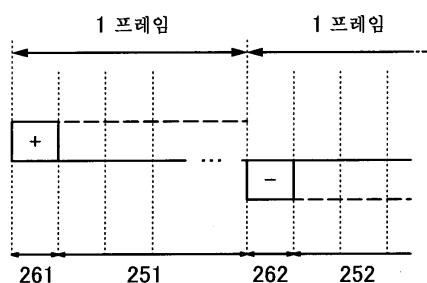


도면2

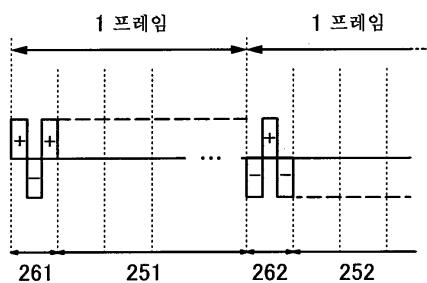


도면3

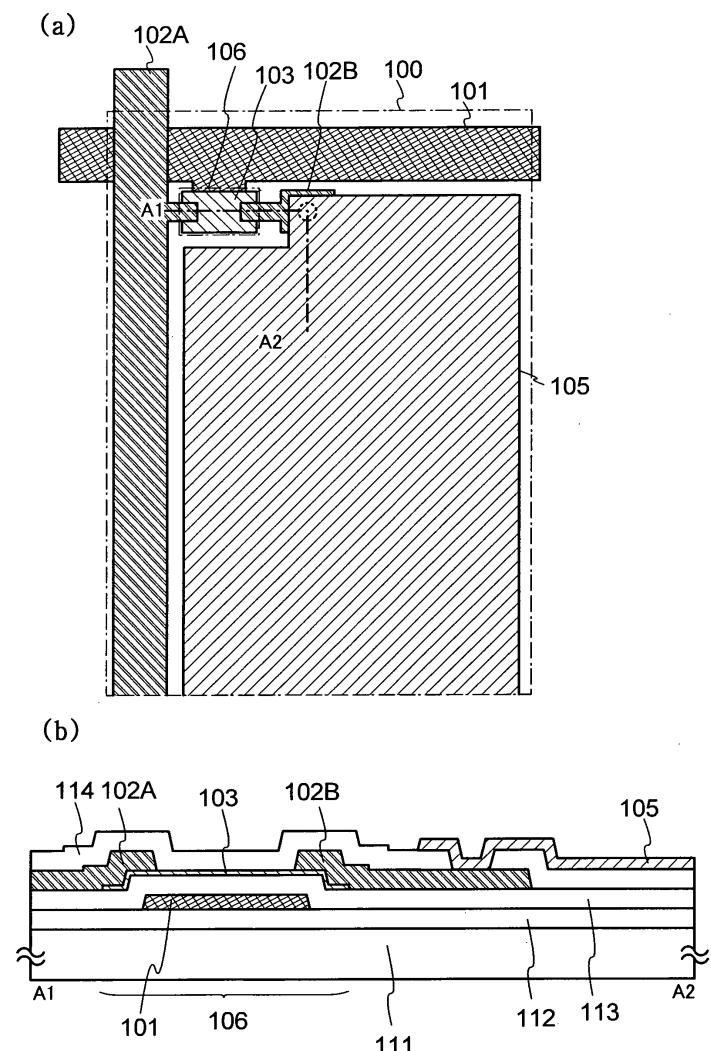
(a)



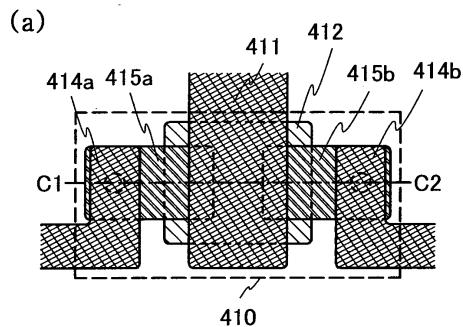
(b)



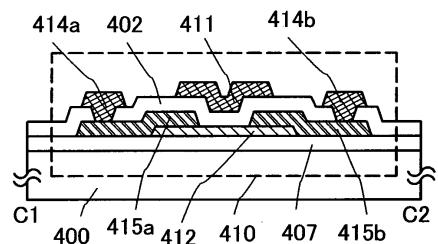
도면4



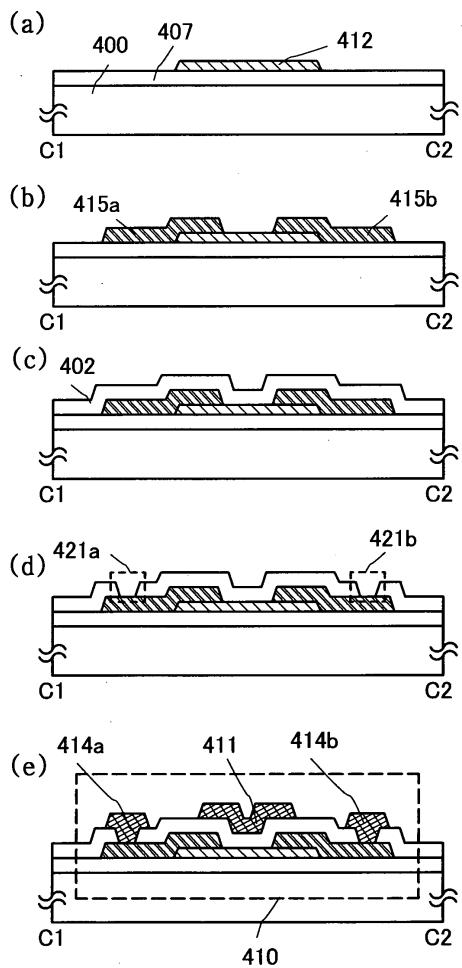
도면5



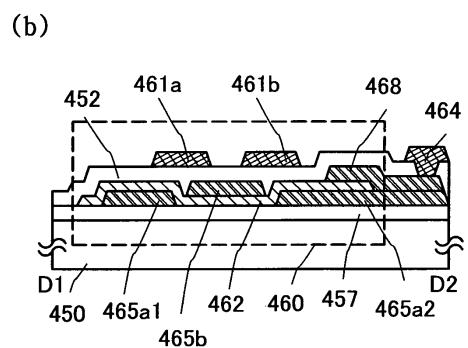
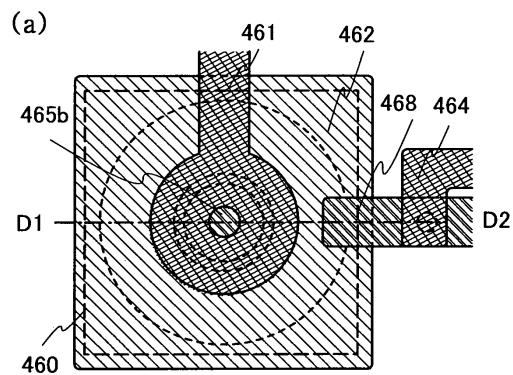
(b)



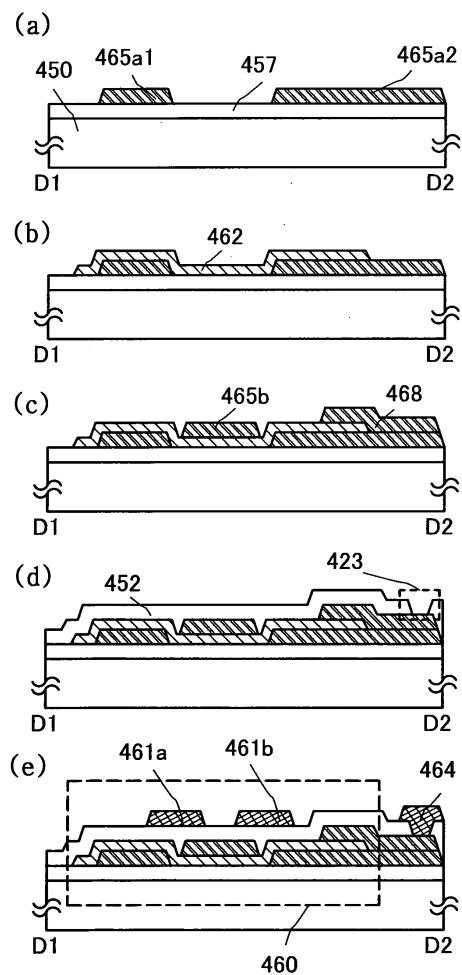
도면6



도면7

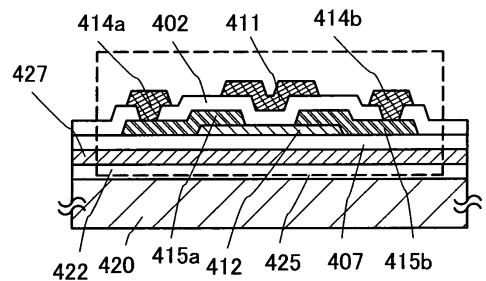


도면8

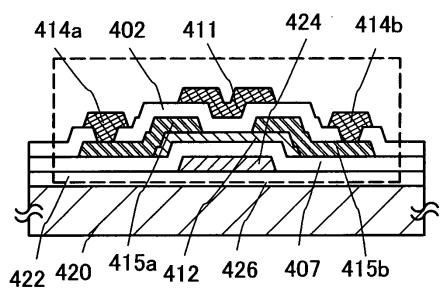


도면9

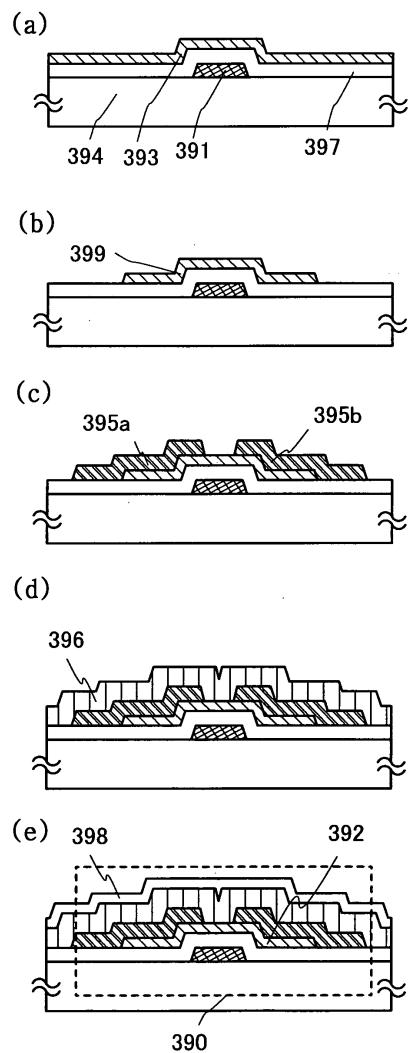
(a)



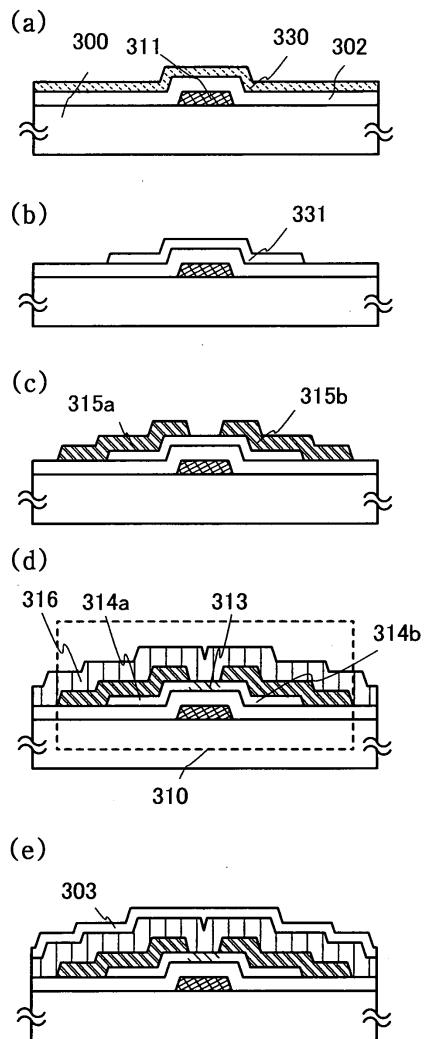
(b)



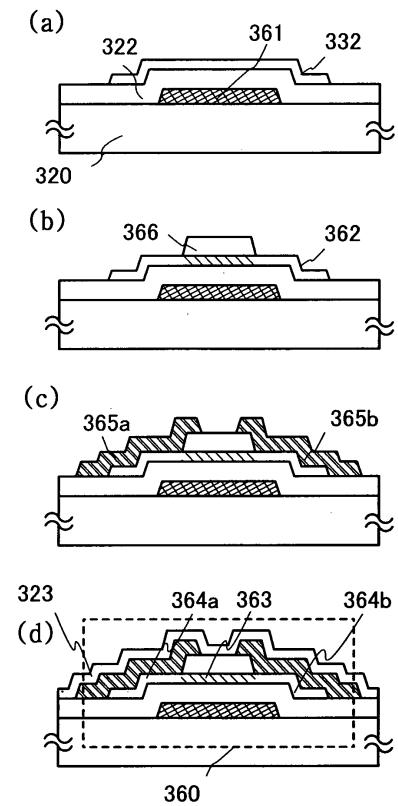
도면10



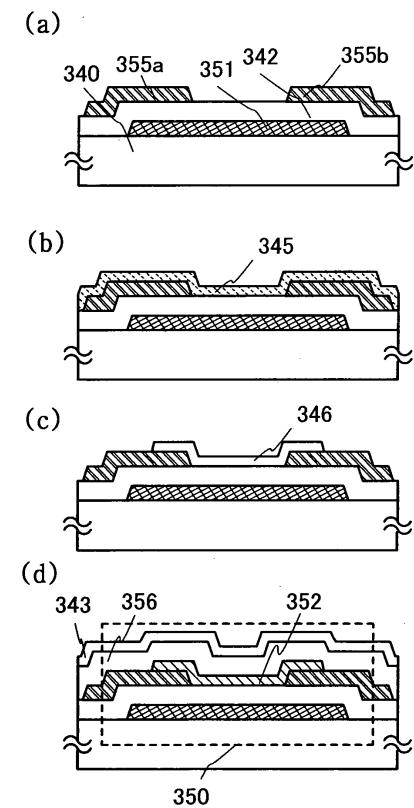
도면11



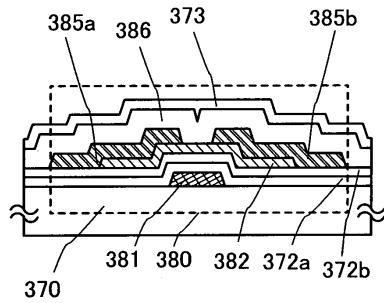
도면12



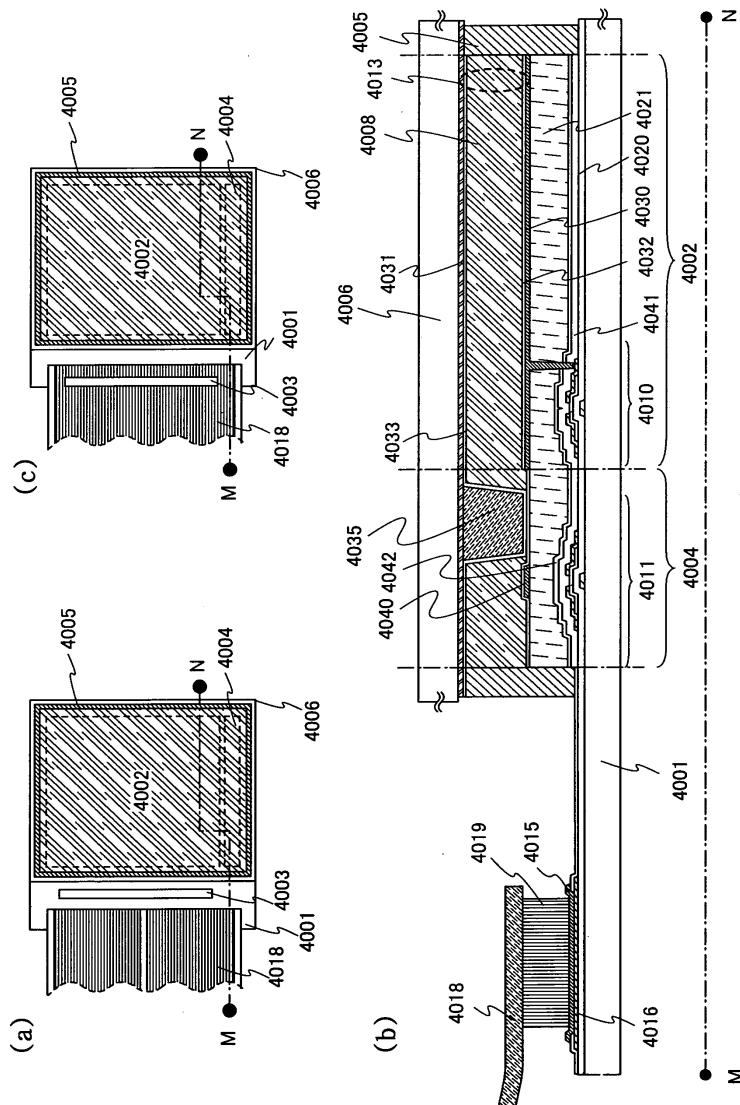
도면13



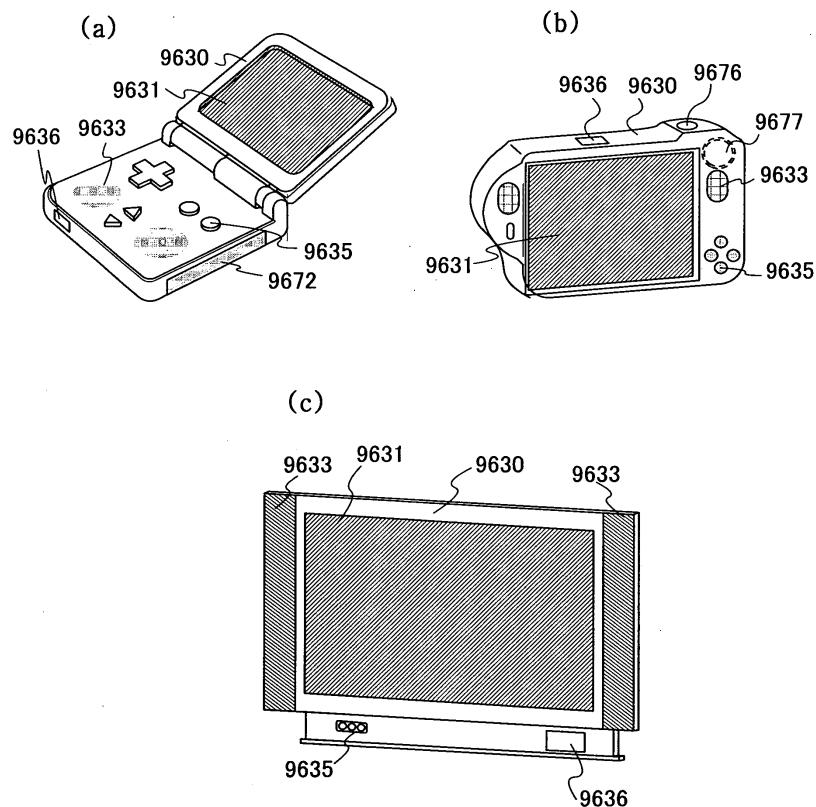
도면14



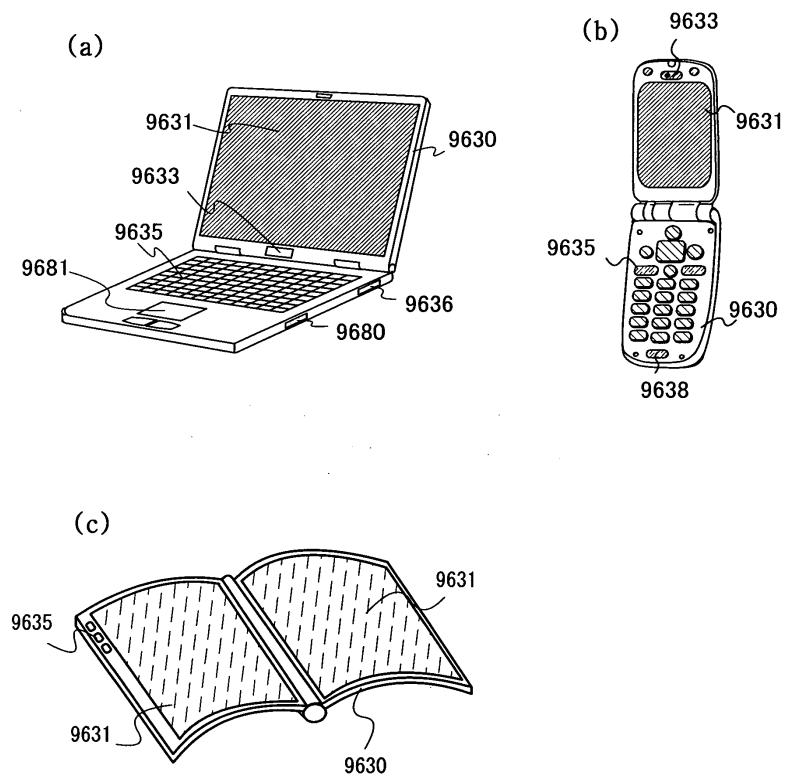
도면15



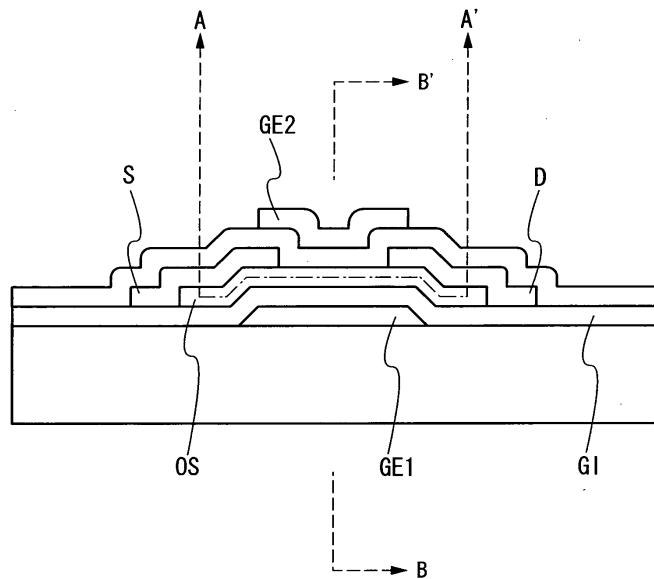
도면16



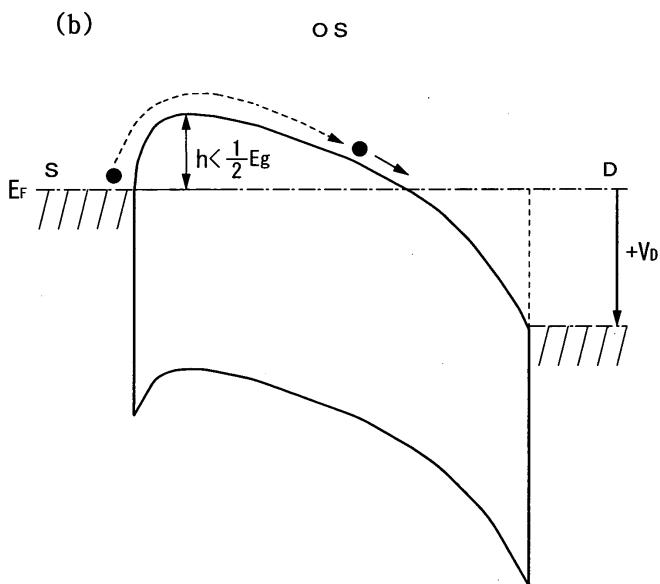
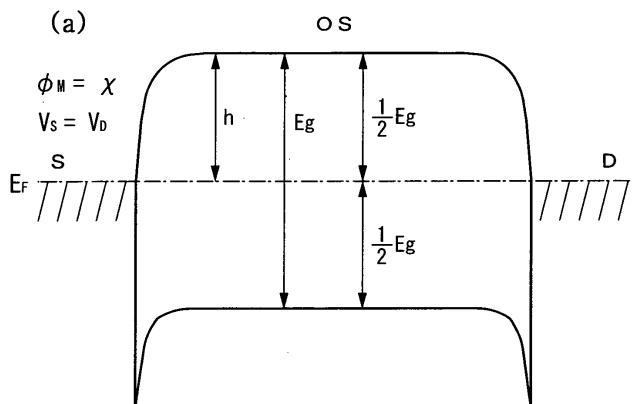
도면17



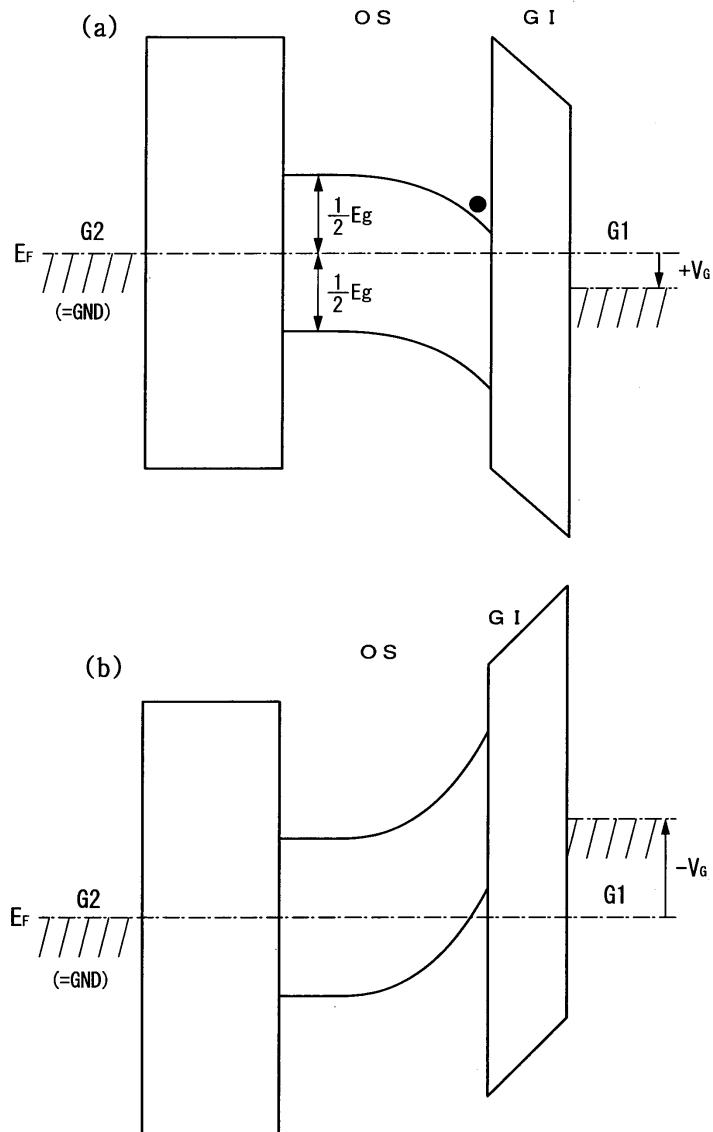
도면18



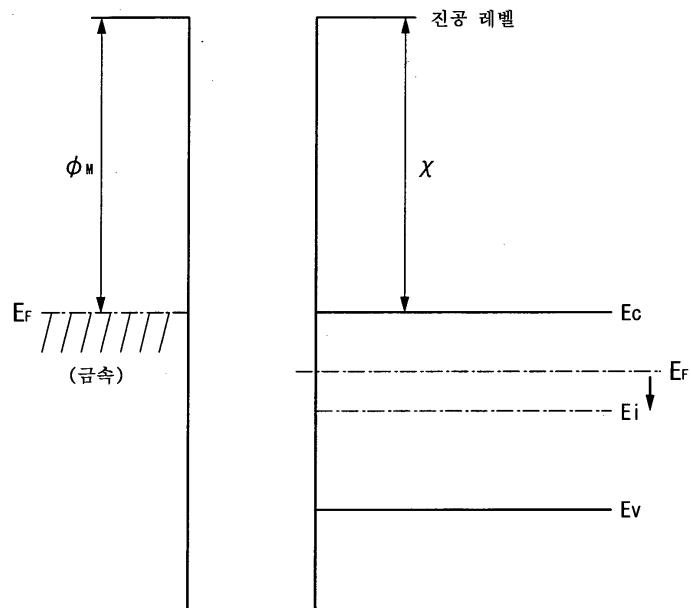
도면19



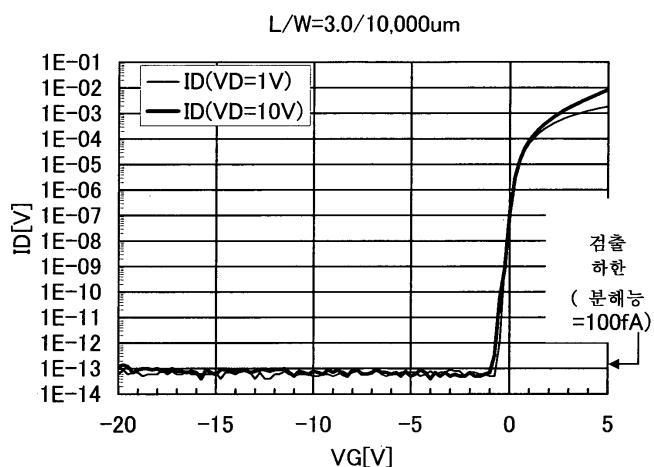
도면20



도면21

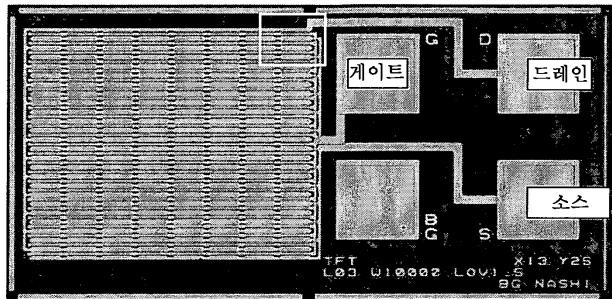


도면22

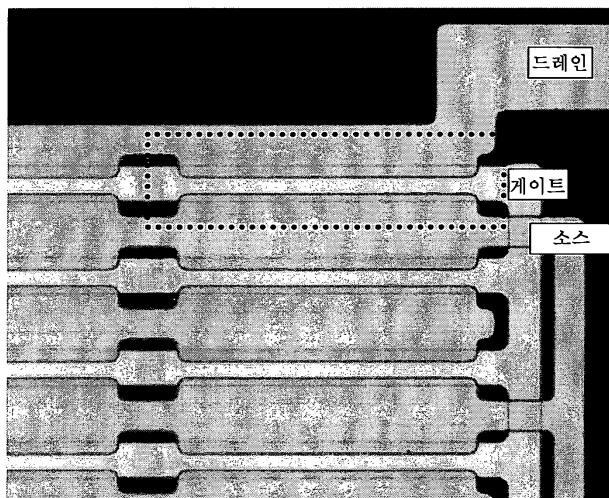


도면23

(a)

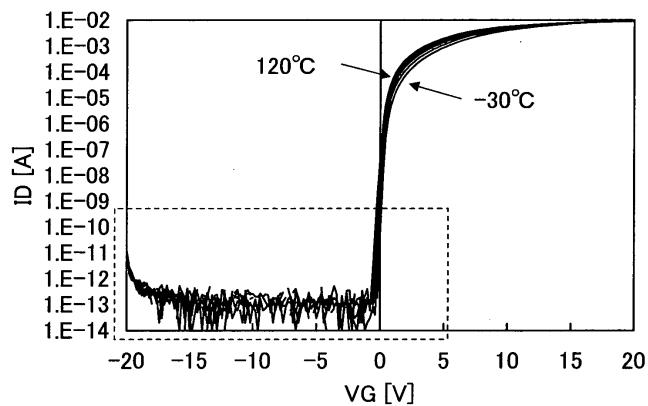


(b)

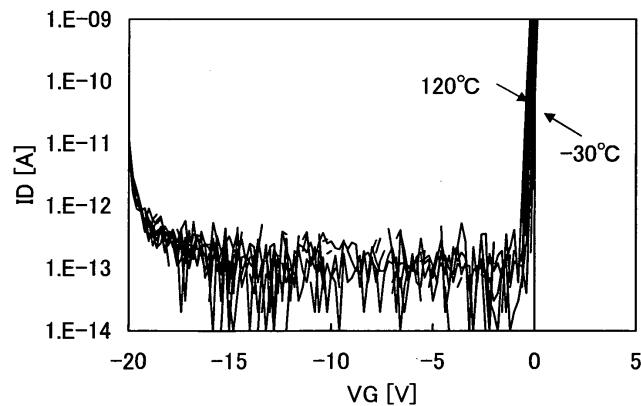


도면24

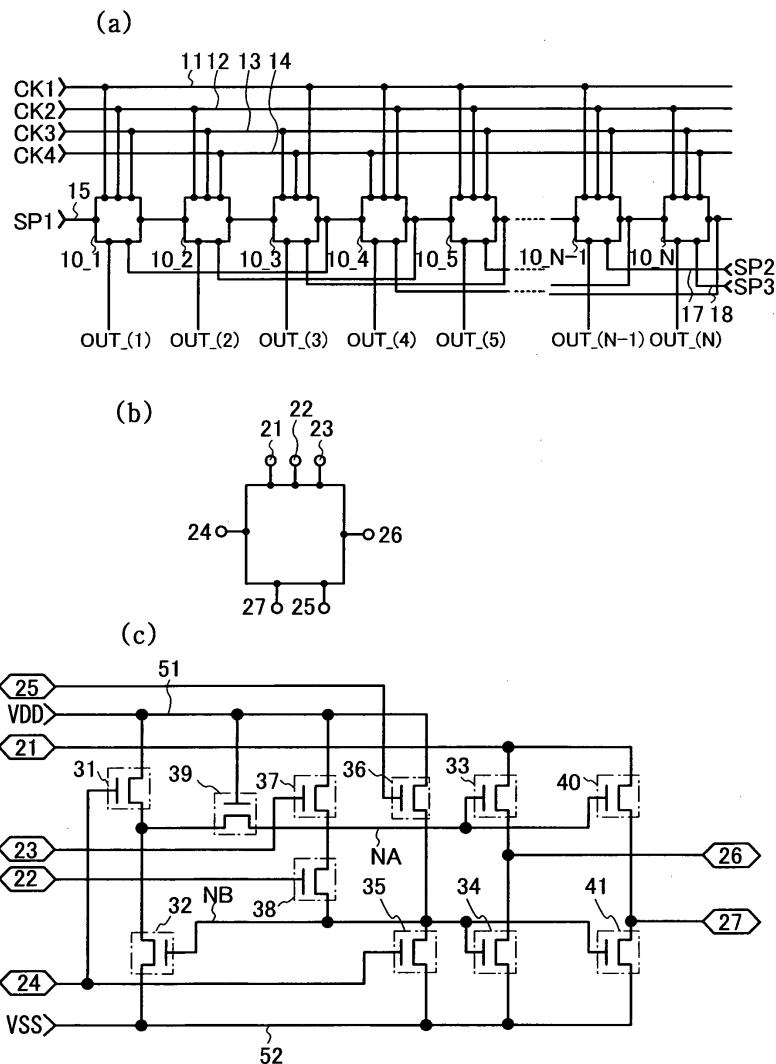
(a)

 $L/W=3.0/10,000\mu m(Vd=6V)$ 

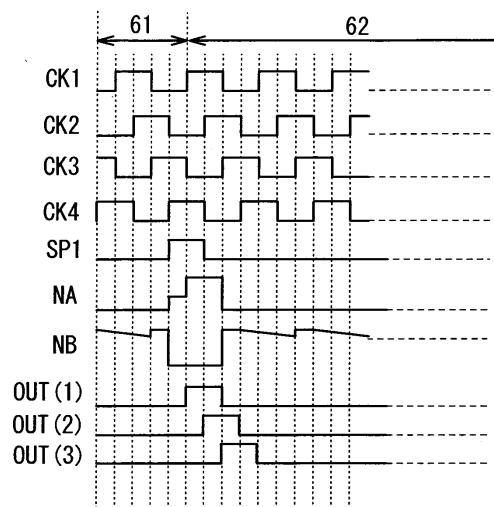
(b)

 $L/W=3.0/10,000\mu m(Vd=6V)$ 

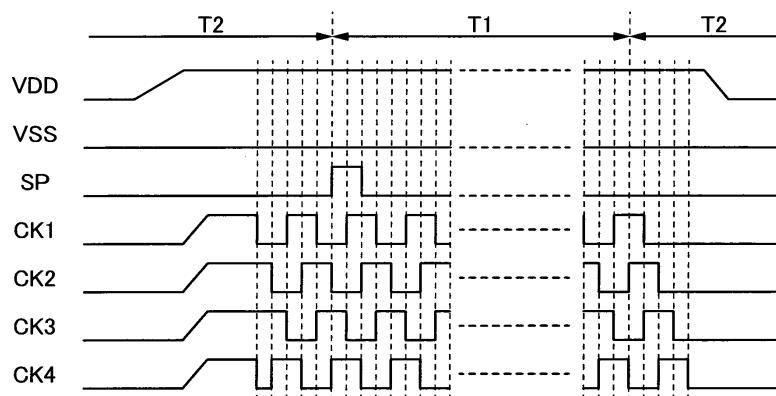
도면25



도면26



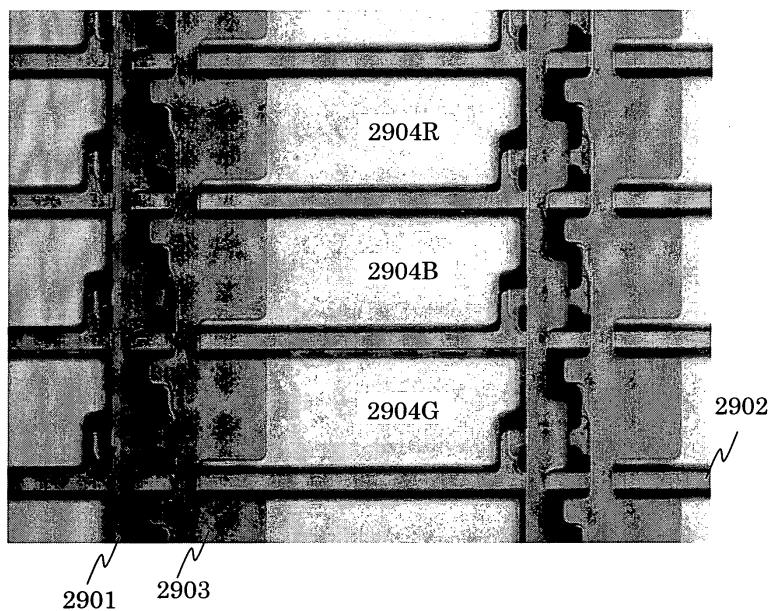
도면27



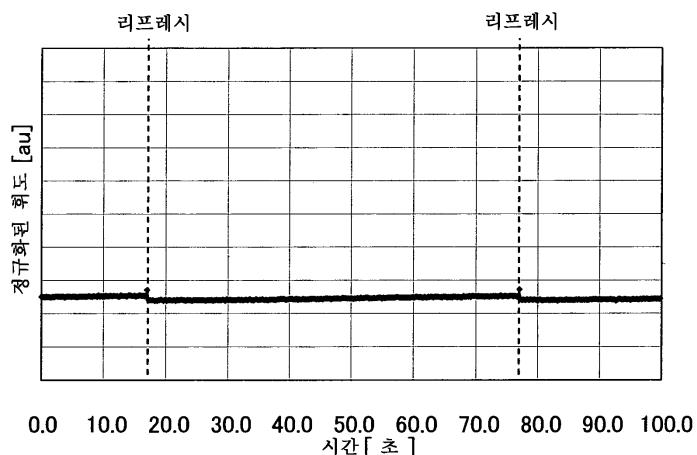
도면28



도면29



도면30



专利名称(译)	显示装置的标题		
公开(公告)号	KR101426723B1	公开(公告)日	2014-08-07
申请号	KR1020137009448	申请日	2010-09-17
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 ARASAWA RYO 아라사와료 KOYAMA JUN 고야마준 TSUBUKU MASASHI 쓰부쿠마사시 NODA KOSEI 노다고세이		
发明人	야마자키순페이 아라사와료 고야마준 쓰부쿠마사시 노다고세이		
IPC分类号	G02F1/1368 G09G3/36 G02F1/133		
CPC分类号	G09G3/3648 H01L27/1225 H01L29/7869 H01L29/06 G02F1/133553 G02F1/13439 G02F1/1368 G02F2201/123 G02F2202/10 G09G3/3614 G09G3/3677 G09G2300/08 G09G2310/0286 G09G2310/08 G09G2330/021 H01L21/02164 H01L21/02266 H01L21/02565 H01L21/02631 H01L21/467 H01L21/477 H01L27/1255 H01L29/24 H01L29/42356 H01L29/45 H01L29/66969 H01L29/78648		
代理人(译)	李昌勋		
优先权	2009238869 2009-10-16 JP 2009279004 2009-12-08 JP		
其他公开文献	KR1020130042064A		
外部链接	Espacenet		

摘要(译)

在包括显示部分中的多个像素并且被配置为在多个帧周期中执行显示的液晶显示装置中，每个帧周期包括写入周期和保持周期，并且在图像信号输入到每个帧周期之后在写入时段中的多个像素中，包括在多个像素中的每个像素中的晶体管截止，并且图像信号在保持时段中保持至少30秒。像素包括包括氧化物半导体层的半导体层，并且氧化物半导体层具有小于 $1 \times 10^{14} / \text{cm}^3$ 的载流子浓度。

[도 3a]

