



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월18일
(11) 등록번호 10-1386266
(24) 등록일자 2014년04월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G09G 5/39 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2008-0120251
(22) 출원일자 2008년12월01일
심사청구일자 2011년11월04일
(65) 공개번호 10-2010-0061893
(43) 공개일자 2010년06월10일
(56) 선행기술조사문헌
KR1020080070907 A*
KR1020020093815 A*
US20080180380 A1
US20030193464 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
문성준
경북 구미시 산호대로25길 39, 205동 1405호 (옥계동, 부영아파트)
이상훈
대구광역시 북구 영송로 85, 204동 301호 (대전동, 한신중앙아파트)
오규하
경북 구미시 상사서로 18, 108동 902호 (상모동, 우방신세계타운)
(74) 대리인
서교준

전체 청구항 수 : 총 11 항

심사관 : 김태연

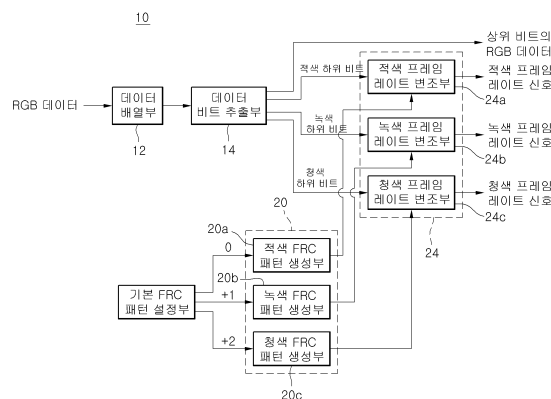
(54) 발명의 명칭 프레임 레이트 제어부, 그 제어 방법 및 이를 구비한 액정표시장치

(57) 요약

화질을 향상시킬 수 있는 프레임 레이트 제어부, 그 제어 방법 및 이를 구비한 액정표시장치가 개시된다.

본 발명의 프레임 레이트 제어 방법은, 다수의 프레임들에 대해 설정된 기본 프레임 레이트 패턴들로부터 적색, 녹색 및 청색 프레임 레이트 패턴들을 이용하여, RGB 데이터로부터 추출된 하위 비트의 데이터를 프레임 레이트 변조하여 적색, 녹색 및 청색 프레임 레이트 제어 신호들을 생성한다. 녹색 및 청색 프레임 레이트 패턴들은 기본 프레임 레이트 패턴들을 서로 상이한 서브 픽셀 단위로 일 방향으로 시프트하여 생성될 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 프레임들에 대해 프레임 레이트 제어를 위한 기본 FRC 패턴들을 설정하는 기본 FRC 패턴 설정부;

상기 기본 FRC 패턴들을 변경하여 적색 FRC 패턴들, 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각을 생성하는 FRC 패턴 생성부;

R 데이터, G 데이터 및 B 데이터 각각에 대해 상위 비트와 하위 비트를 추출하는 데이터 비트 추출부; 및

상기 적색 FRC 패턴들, 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각을 이용하여 상기 R 데이터의 하위 비트, 상기 G 데이터의 하위 비트 및 상기 B 데이터의 하위 비트 각각을 프레임 레이트 변조하여 적색 프레임 레이트 제어 신호들, 녹색 프레임 레이트 제어 신호들 및 청색 프레임 레이트 제어 신호들 각각을 생성하는 프레임 레이트 변조부를 포함하고,

각 프레임에서 상기 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각의 정극성 서브 픽셀의 개수와 부극성 서브 픽셀의 개수가 동일해지도록 상기 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각은 상기 기본 FRC 패턴들을 일 방향을 따라 서로 상이한 서브 픽셀 단위로 시프트하여 생성되는 것을 특징으로 하는 프레임 레이트 제어부.

청구항 2

제1항에 있어서, 상기 적색 FRC 패턴들은 상기 기본 FRC 패턴들인 것을 특징으로 하는 프레임 레이트 제어부.

청구항 3

제1항에 있어서, 상기 일 방향은 좌측 방향, 우측 방향, 상부 방향 및 하부 방향 중 어느 하나의 방향인 것을 특징으로 하는 프레임 레이트 제어부.

청구항 4

제1항에 있어서, 상기 녹색 FRC 패턴들은 상기 기본 FRC 패턴들을 1 서브 픽셀 단위로 시프트하여 생성되는 것을 특징으로 하는 프레임 레이트 제어부.

청구항 5

제1항에 있어서, 상기 청색 FRC 패턴들은 상기 기본 FRC 패턴들을 2 서브 픽셀 단위로 시프트하여 생성되는 것을 특징으로 하는 프레임 레이트 제어부.

청구항 6

다수의 프레임들에 대해 프레임 레이트 제어를 위한 기본 FRC 패턴들을 설정하는 단계;

상기 기본 FRC 패턴들을 변경하여 적색 FRC 패턴들, 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각을 생성하는 단계;

R 데이터, G 데이터 및 B 데이터 각각에 대해 상위 비트와 하위 비트를 추출하는 단계; 및

상기 적색 FRC 패턴들, 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각을 이용하여 상기 R 데이터의 하위 비트, 상기 G 데이터의 하위 비트 및 상기 B 데이터의 하위 비트 각각을 프레임 레이트 변조하여 적색 프레임 레이트 제어 신호들, 녹색 프레임 레이트 제어 신호들 및 청색 프레임 레이트 제어 신호들 각각을 생성하는 단계를 포함하고,

각 프레임에서 상기 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각의 정극성 서브 픽셀의 개수와 부극성 서브 픽셀의 개수가 동일해지도록 상기 녹색 FRC 패턴들 및 상기 청색 FRC 패턴들 각각은 상기 기본 FRC 패턴들을 일 방향을 따라 서로 상이한 서브 픽셀 단위로 시프트하여 생성되는 것을 특징으로 하는 프레임 레이트 제어 방법.

청구항 7

제6항에 있어서, 상기 적색 FRC 패턴들은 상기 기본 FRC 패턴들인 것을 특징으로 하는 프레임 레이트 제어 방법.

청구항 8

제7항에 있어서, 상기 일 방향은 좌측 방향, 우측 방향, 상부 방향 및 하부 방향 중 어느 하나의 방향인 것을 특징으로 하는 프레임 레이트 제어 방법.

청구항 9

제7항에 있어서, 상기 녹색 FRC 패턴들은 상기 기본 FRC 패턴들을 1 서브 픽셀 단위로 시프트하여 생성되는 것을 특징으로 하는 프레임 레이트 제어 방법.

청구항 10

제7항에 있어서, 상기 청색 FRC 패턴들은 상기 기본 FRC 패턴들을 2 서브 픽셀 단위로 시프트하여 생성되는 것을 특징으로 하는 프레임 레이트 제어 방법.

청구항 11

적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하는 픽셀이 매트릭스로 배열된 액정 패널;

게이트 제어 신호와 데이터 제어 신호를 생성하고, 상기 액정 패널을 수평 2도트 인버전하기 위한 수평 2도트 제어 신호를 생성하고, 다수의 프레임 각각에 대해 프레임 레이트 제어를 위해 설정된 기본 FRC 패턴들을 변경하여 적색 FRC 패턴들, 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각을 생성하여, 상기 적색 FRC 패턴들, 상기 녹색 FRC 패턴들 및 상기 청색 FRC 패턴들 각각을 이용하여 R 데이터, G 데이터 및 B 데이터 각각으로부터 추출된 하위 비트를 프레임 레이트 변조하여 적색 프레임 레이트 제어 신호들, 녹색 프레임 레이트 제어 신호들 및 청색 프레임 제어 신호들 각각을 생성하는 프레임 레이트 제어부;

상기 게이트 제어 신호에 응답하여 상기 액정 패널을 구동하는 게이트 드라이버; 및

상기 R 데이터, G 데이터 및 B 데이터 각각으로부터 추출된 상위 비트 각각을 R 데이터 전압, G 데이터 전압 및 B 데이터 전압으로 변환하고, 상기 적색 프레임 레이트 제어 신호, 상기 녹색 프레임 레이트 제어 신호 및 상기 청색 프레임 레이트 제어 신호 각각에 따라 상기 R 데이터 전압, 상기 G 데이터 전압 및 상기 B 데이터 전압 각각을 상기 다수의 프레임들 동안 구동하는 데이터 드라이버를 포함하고,

각 프레임에서 상기 녹색 FRC 패턴들 및 청색 FRC 패턴들 각각의 정극성 서브 픽셀의 개수와 부극성 서브 픽셀의 개수가 동일해지도록 상기 녹색 FRC 패턴들 및 상기 청색 FRC 패턴들 각각은 상기 기본 FRC 패턴들을 일 방향을 따라 서로 상이한 서브 픽셀 단위로 시프트하여 생성되는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 화질을 향상시킬 수 있는 프레임 레이트 제어부, 그 제어 방법 및 이를 구비한 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회의 발달로 인해, 정보를 표시할 수 있는 표시 장치가 활발히 개발되고 있다. 표시 장치는 액정표시장치(liquid crystal display device), 유기전계발광 표시장치(organic electro-luminescence display device), 플라즈마 표시장치(plasma display panel) 및 전계 방출 표시장치(field emission display device)를 포함한다.

[0003] 이 중에서, 액정표시장치는 경박 단소, 저 소비 전력 및 풀 컬러 동영상 구현과 같은 장점이 있어, 모바일 폰, 네비게이션, 모니터, 텔레비전에 널리 적용되고 있다.

[0004] 액정표시장치는 외부에서 제공된 RGB 데이터를 데이터 드라이버로 제공하여, 데이터 드라이버에서 RGB 아날로그 데이터 전압으로 변환되어 액정 패널로 공급된다. 액정 패널의 게이트 라인을 구동하기 위한 게이트 드라이버가 더 포함된다.

- [0005] 일반적으로, 타이밍 컨트롤러로 제공된 RGB 데이터는 8비트이고, 8비트의 RGB 데이터가 데이터 드라이버에서 처리되고 있다. 이러한 경우, 8비트의 RGB 데이터를 처리하는 데이터 드라이버는 비교적 고가이므로, 8비트 보다 낮은 비트 처리 능력을 갖는 데이터 드라이버가 절실히 요구되고 있다.
- [0006] 이러한 요구에 부응하기 위해 제안된 방식이 프레임 레이트 제어(frame rate control: FRC)이다.
- [0007] 프레임 레이트 제어 방식은 8비트의 RGB 데이터의 각 하위 비트들(예컨대, 하위 2비트 또는 하위 3비트)을 이용하여 프레임별로 재구성하여 8비트의 RGB 데이터를 생성한다.
- [0008] 한편, 액정의 열화를 방지하기 위해 인버전 방식이 제안되었다. 인버전 방식은 도트 인버전, 라인 인버전 및 프레임 인버전을 포함한다.
- [0009] 아울러, 도트 인버전 방식은 수직 2 도트 인버전과 수평 2 도트 인버전을 포함할 수 있다.
- [0010] 도 1a 내지 도 1b는 수평 2도트 인버전을 이용하여 프레임 레이트 제어 방식을 도시한 도면이다. 도 1a는 프레임 레이트 제어(FRC) 패턴을 도시한 도면이고, 도 1b는 FRC 패턴을 이용하여 수평 2도트 인버전을 수행한 데이터들을 도시한 도면이다.
- [0011] 도 1a에 도시한 바와 같이, FRC 패턴이 4개의 프레임마다 설정되어 있다. FRC 패턴은 RGB 데이터로부터 추출된 하위 비트를 4개의 FRC 패턴을 4개 프레임 동안 적용하여 얻을 수 있다.
- [0012] 도 1b에 도시한 바와 같이, 4개 프레임 각각에 대해 설정된 4개의 FRC 패턴을 적용하여 수평 2도트 인버전을 수행할 수 있다. 수평 2도트 인버전 방식은 가로 방향으로 2개 서브 픽셀 단위로 극성이 인버전되는 방식이다.
- [0013] 예를 들어, 가로 방향으로 2개의 서브 픽셀들이 정극성으로 인버전되고, 이어서 2개의 서브 픽셀들이 부극성으로 인버전될 수 있다. 이러한 방식으로 가로 방향으로 2개의 서브 픽셀 단위로 인버전이 반복적으로 수행될 수 있다.
- [0014] RGB 데이터로부터 추출된 하위 비트를 4개의 FRC 패턴을 이용하여 수평 2도트 인버전을 수행한 결과, 각 프레임 동안 적색 서브 픽셀과 청색 서브 픽셀은 정극성과 부극성이 동일 개수로 균형을 이루고 있다. 즉, 1프레임에서, 빗금으로 표시된 적색 서브 픽셀은 정극성 서브 픽셀의 개수가 4개이고 부극성 서브 픽셀의 개수가 4개로서 동일하다.
- [0015] 하지만, 녹색 서브 픽셀은 정극성 서브 픽셀의 개수가 우세하다. 즉, 1 프레임에서, 빗금으로 표시된 녹색 서브 픽셀은 정극성 서브 픽셀의 개수가 8개인데 반해 부극성 서브 픽셀의 개수는 0개이다.
- [0016] 이러한 양상은 2 프레임 내지 4 프레임에서도 동일하다.
- [0017] 따라서, 이와 같이, 녹색 서브 픽셀의 경우, 모두 정극성 서브 픽셀을 가지게 되므로, 이로 인해 플리커(flicker), 노이즈(noise), 뎀(dim) 등과 같은 화질 불량이 발생하는 문제가 있다.

발명의 내용

해결 하고자하는 과제

- [0018] 본 발명은 기본 FRC 패턴을 가로 방향으로 1 서브 픽셀을 시프트한 후, 녹색 프레임 레이트 제어를 수행하여, 화질 불량을 방지할 수 있는 프레임 레이트 제어부, 그 제어 방법 및 이를 구비한 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

- [0019] 본 발명에 따르면, 프레임 레이트 제어부는, 다수의 프레임들에 대해 설정된 기본 프레임 레이트 패턴들로부터 적색, 녹색 및 청색 프레임 레이트 패턴들을 생성하는 프레임 레이트 생성부; RGB 데이터 각각에 대해 상위 비트와 하위 비트를 추출하는 데이터 비트 추출부; 및 상기 적색, 녹색 및 청색 프레임 레이트 패턴들을 이용하여 상기 하위 비트의 RGB 데이터 각각을 프레임 레이트 변조하여 적색, 녹색 및 청색 프레임 레이트 제어 신호들을 생성하는 프레임 레이트 변조부를 포함하고, 상기 녹색 및 청색 프레임 레이트 패턴들은 상기 기본 프레임 레이트 패턴들을 서로 상이한 서브 픽셀 단위로 일 방향으로 시프트하여 생성된다.
- [0020] 본 발명에 따르면, 프레임 레이트 제어 방법은, 다수의 프레임에 대해 설정된 기본 프레임 레이트 패턴들로부터 적색, 녹색 및 청색 프레임 레이트 패턴들을 생성하는 단계; RGB 데이터 각각에 대해 상위 비트와 하위 비트를

추출하는 단계; 및 상기 적색, 녹색 및 청색 프레임 레이트 패턴들을 이용하여 상기 하위 비트의 RGB 데이터 각각을 프레임 레이트 변조하여 적색, 녹색 및 청색 프레임 레이트 제어 신호들을 생성하는 단계를 포함하고, 상기 녹색 및 청색 프레임 레이트 패턴들은 상기 기본 프레임 레이트 패턴들을 서로 상이한 서브 픽셀 단위로 일 방향으로 시프트하여 생성된다.

[0021] 본 발명에 따르면, 액정표시장치는, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하는 픽셀이 매트릭스로 배열된 액정 패널; 게이트 제어 신호와 데이터 제어 신호를 생성하고, 상기 액정 패널을 수평 2도트 인버전하기 위한 수평 2도트 제어 신호를 생성하고, 다수의 프레임들에 대해 설정된 기본 프레임 레이트 패턴들로부터 적색, 녹색 및 청색 프레임 레이트 패턴들을 생성하여, 상기 적색, 녹색 및 청색 프레임 레이트 패턴들을 이용하여 RGB 데이터로부터 추출된 하위 비트의 데이터를 프레임 레이트 변조하여 적색, 녹색 및 청색 프레임 레이트 제어 신호들을 생성하는 프레임 레이트 제어부; 상기 게이트 제어 신호에 응답하여 상기 액정 패널을 구동하는 게이트 드라이버; 및 상기 RGB 데이터로부터 추출된 상위 비트의 데이터를 RGB 데이터 전압으로 변환하고, 상기 적색, 녹색 및 청색 프레임 레이트 제어 신호들에 따라 상기 변환된 RGB 데이터 전압을 상기 다수의 프레임들 동안 구동하는 데이터 드라이버를 포함하고, 상기 녹색 및 청색 프레임 레이트 패턴들은 상기 기본 프레임 레이트 패턴들을 서로 상이한 서브 픽셀 단위로 일 방향으로 시프트하여 생성된다.

효 과

[0022] 본 발명은 기본 FRC 패턴을 그대로 적색 FRC 패턴으로 생성하고, 우측 방향으로 1 서브 픽셀 시프트하여 녹색 FRC 패턴으로 생성하며, 우측 방향으로 2 서브 픽셀 시프트하여 청색 FRC 패턴으로 생성함으로써, 수평 2 도트 인버전을 수행하더라도 정극성이나 부극성으로 극성이 치우치지 않게 되어, 플리커, 노이즈 또는 덤과 같은 화질 불량을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

[0024] 도 2는 본 발명에 따른 프레임 레이트 제어부를 도시한 블록도이다.

[0025] 도 2를 참조하면, 본 발명의 프레임 레이트 제어부(10)는 데이터 배열부(12), 데이터 비트 추출부(14), 기본 FRC 패턴 설정부(18), FRC 패턴 생성부(20), 프레임 레이트 변조부(24)를 포함한다.

[0026] 기본 FRC 패턴 설정부(18)는 도 3에 도시한 바와 같이, 4개의 프레임 각각에 대해 프레임 레이트 제어를 위한 기본 FRC 패턴이 설정되어 있다.

[0027] 예를 들어, RGB 데이터로부터 하위 비트로서 2비트를 대상으로 프레임 레이트 제어를 수행하는 경우, FRC 패턴은 4개의 서브 픽셀을 단위로 하여 4개의 프레임 동안 프레임 레이트 제어를 수행하여 01 계조, 10 계조, 11 계조가 표현될 수 있다.

[0028] 도 3의 각 프레임의 상부/좌측의 인접한 4개의 서브 픽셀을 예로 들면, 제1 프레임 동안 상부/좌측 서브 픽셀이 온되고 나머지 3개의 서브 픽셀들은 오프되고, 제2 프레임 동안 하부/좌측 서브 픽셀이 온되고 나머지 3개의 서브 픽셀들은 오프되고, 제3 프레임 동안 상부/우측 서브 픽셀이 온되고 나머지 3개의 서브 픽셀들은 오프되며, 제4 프레임 동안 하부/우측 서브 픽셀이 온되고 나머지 서브 픽셀들은 오프될 수 있다. 이와 같이 4개의 서브 픽셀을 4 프레임 동안 프레임 레이트 제어를 수행하여 01 계조가 표현될 수 있다.

[0029] 10 계조를 표현하기 위해서는 4개의 서브 픽셀들 중 2개의 서브 픽셀들이 온되고 2개의 서브 픽셀들이 오프되는 FRC 패턴이 4개의 프레임 동안 프레임 레이트 제어될 수 있다.

[0030] 11 계조를 표현하기 위해서는 4개의 서브 픽셀들 중 3개의 서브 픽셀들이 온되고 1개의 서브 픽셀이 오프되는 FRC 패턴이 4개의 서브 프레임 동안 프레임 레이트 제어될 수 있다.

[0031] 도 3에서 나머지 서브 픽셀들도 4개의 인접한 서브 픽셀들을 하나의 단위로 하여 프레임 레이트 제어를 위한 단위 패턴이 될 수 있다.

[0032] 이러한 FRC 패턴의 패턴 구조는 사용자에게 의해 언제든지 변경될 수 있다.

[0033] FRC 패턴 생성부(20)는 기본 FRC 패턴 설정부(18)로부터 제공된 기본 FRC 패턴을 변경하여 새로운 FRC 패턴을 생성한다.

- [0034] FRC 패턴 생성부(20)는 적색 FRC 패턴 생성부(20a), 녹색 FRC 패턴 생성부(20b) 및 청색 FRC 패턴 생성부(20c)를 포함할 수 있다.
- [0035] RFC 패턴 생성부(20)의 동작에 대해서는 도 4a 내지 도 4c를 참조하여 설명한다.
- [0036] 적색 FRC 패턴 생성부(20a)는 기본 FRC 패턴 설정부(18)에서 제공된 기본 FRC 패턴을 변경하지 않고 그대로 R 데이터로부터 추출된 적색 하위 비트에 대한 프레임 레이트 제어를 위한 적색 FRC 패턴으로 생성한다. 따라서, 적색 FRC 패턴은 기본 FRC 패턴과 동일한 패턴 구조를 가질 수 있다.
- [0037] 도 4a에 도시한 바와 같이, 적색 FRC 패턴은 도 3에 도시된 기본 FRC 패턴을 시프트하지 않게 되어, 기본 FRC 패턴과 동일한 패턴 구조를 가질 수 있다.
- [0038] 녹색 FRC 패턴 생성부(20b)는 기본 FRC 패턴 생성부(18)에서 제공된 기본 FRC 패턴을 가로 방향, 구체적으로 우측 방향으로 1 서브 픽셀 시프트하여 G 데이터로부터 추출된 녹색 하위 비트에 대한 프레임 레이트 제어를 위한 녹색 FRC 패턴으로 생성한다.
- [0039] 도 4b에 도시한 바와 같이, 녹색 FRC 패턴은 도 3에 도시된 기본 FRC 패턴을 각 프레임마다 우측 방향으로 1 서브 픽셀 시프트하여 생성될 수 있다.
- [0040] 청색 FRC 패턴 생성부(20c)는 기본 FRC 패턴 생성부(18)에서 제공된 기본 FRC 패턴을 우측 방향으로 2 서브 픽셀 시프트하여 B 데이터로부터 추출된 청색 하위 비트에 대한 프레임 레이트 제어를 위한 청색 FRC 패턴으로 생성한다.
- [0041] 도 4c에 도시한 바와 같이, 청색 FRC 패턴은 도 3에 도시된 기본 FRC 패턴을 각 프레임마다 우측 방향으로 2 서브 픽셀 시프트하여 생성될 수 있다.
- [0042] 본 발명에서는 녹색 FRC 패턴이나 청색 FRC 패턴이 우측 방향으로 시프트하여 생성되는 것으로 설명하고 있지만, 본 발명은 이에 한정하지 않고 좌측 방향, 상측 방향 또는 하측 방향으로 시프트하여 생성될 수도 있다.
- [0043] 데이터 배열부(12)는 외부로부터 입력된 RGB 데이터를 R 데이터, G 데이터 및 B 데이터 별로 배열한다. 예를 들어, 한 프레임 단위로 입력된 RGB 데이터에서 한 프레임의 R 데이터를 추출하여 배열하고, 한 프레임의 G 데이터를 추출하여 배열하며, 한 프레임의 B 데이터를 추출하여 배열할 수 있다.
- [0044] 한 프레임 단위로 배열된 R 데이터, G 데이터 및 B 데이터는 데이터 비트 추출부로 제공된다.
- [0045] 데이터 비트 추출부(14)는 데이터 배열부(12)로부터 제공된 한 프레임 단위의 R 데이터, G 데이터 및 B 데이터 각각으로부터 설정된 상위 비트와 하위 비트를 추출한다.
- [0046] 예를 들어, 하위 비트가 2비트로 설정되는 경우, R 데이터가 '01001001'인 경우, 상위 6비트인 '010010'과 하위 2비트인 '01'을 추출한다.
- [0047] 이러한 추출은 한 프레임에 포함된 모든 R 데이터, 한 프레임에 포함된 모든 G 데이터 및 한 프레임에 포함된 모든 B 데이터에 대해 수행될 수 있다.
- [0048] 프레임 레이트 제어는 하나의 데이터가 4개의 프레임에 의해 얻어지는 것이므로, 동일 서브 픽셀에 4개의 프레임 동안 표시되는 4개의 데이터 중에서 하나가 사용될 수 있다. 4개의 데이터 중 하나를 선택하는 것은 다양한 방법에 의해 구현될 수 있다. 예를 들어, 4개의 데이터 중에서 첫 번째 프레임에 표시되는 데이터를 선택할 수도 있고, 4개의 데이터들을 합산하고 평균하여 그 평균 데이터가 선택될 수도 있다.
- [0049] 데이터 비트 추출부(14)에서 추출된 적색 하위 비트, 녹색 하위 비트 및 청색 하위 비트는 프레임 레이트 변조부(24)로 제공될 수 있다.
- [0050] 프레임 레이트 변조부(24)는 데이터 비트 추출부(14)로부터 제공된 하위 비트를 FRC 패턴 생성부에서 제공된 FRC 패턴을 이용하여 4개의 프레임 동안 프레임 레이트 제어를 수행하여 얻을 수 있다.
- [0051] 프레임 레이트 변조부(24)는 적색 프레임 레이트 변조부(24a), 녹색 프레임 레이트 변조부(24b) 및 청색 프레임 레이트 변조부(24c)를 포함할 수 있다.
- [0052] 적색 프레임 레이트 변조부(24a)는 데이터 비트 추출부(14)에서 제공된 적색 하위 비트를 적색 FRC 패턴 생성부(20a)에서 제공된 적색 FRC 패턴을 이용하여 4개의 프레임 동안 프레임 레이트 제어를 수행하기 위한 적색 프레

임 레이트 제어 신호를 생성한다.

- [0053] 녹색 프레임 레이트 변조부(24b)는 데이터 비트 추출부(14)에서 제공된 녹색 하위 비트를 녹색 FRC 패턴 생성부(20b)에서 제공된 녹색 FRC 패턴을 이용하여 4개의 프레임 동안 프레임 레이트 제어를 수행하기 위한 녹색 프레임 레이트 제어 신호를 생성한다.
- [0054] 청색 프레임 레이트 변조부(24c)는 데이터 비트 추출부(14)에서 제공된 청색 하위 비트를 청색 FRC 패턴 생성부(20c)에서 제공된 청색 FRC 패턴을 이용하여 4개의 프레임 동안 프레임 레이트 제어를 수행하기 위한 청색 프레임 레이트 제어 신호를 생성한다.
- [0055] 따라서, 데이터 비트 추출부(14)에서 추출된 상위 비트의 RGB 데이터와 함께 적색, 녹색 및 청색 프레임 레이트 제어 신호들이 출력될 수 있다.
- [0056] 본 발명은 이상과 같이, 기본 FRC 패턴을 그대로 적색 FRC 패턴으로 생성하고, 우측 방향으로 1 서브 픽셀 시프트하여 녹색 FRC 패턴으로 생성하며, 우측 방향으로 2 서브 픽셀 시프트하여 청색 FRC 패턴으로 생성함으로써, 수평 2 도트 인버전을 수행하더라도 정극성이나 부극성으로 극성이 치우치지 않게 되어, 플리커, 노이즈 또는 딥과 같은 화질 불량을 방지할 수 있다. 이러한 효과에 대해서는 이후의 설명에서 보다 분명하게 이해될 수 있을 것이다.
- [0057] 도 5는 본 발명에 따른 프레임 레이트 제어부를 구비한 액정표시장치를 도시한 도면이다.
- [0058] 도 5를 참조하면, 본 발명의 액정표시장치는 타이밍 컨트롤러(30), 게이트 드라이버(40), 데이터 드라이버(50) 및 액정 패널(60)을 포함한다.
- [0059] 액정 패널(60)은 하부 기판, 상부 기판 및 이들 기판들 사이에 게재된 액정층을 포함한다.
- [0060] 하부 기판에서 다수의 게이트 라인들과 데이터 라인들이 교차하여 배치되고, 이들 라인들에 박막트랜지스터가 접속되고, 박막트랜지스터에 화소 전극이 접속된다. 게이트 라인과 데이터 라인에 의해 서브 픽셀이 정의될 수 있다. 서브 픽셀은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀일 수 있다. 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀에 의해 단위 픽셀이 정의될 수 있다. 하부 기판에는 이러한 단위 픽셀이 매트릭스로 배열되어 영상을 표시하기 위한 표시 영역이 정의될 수 있다.
- [0061] 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀은 인접하여 배치될 수 있다.
- [0062] 적색 서브 픽셀은 세로 방향을 따라 인접하여 배열되고, 녹색 서브 픽셀은 세로 방향을 따라 인접하여 배열되며, 청색 서브 픽셀은 세로 방향을 따라 인접하여 배열될 수 있다. 이러한 화소 배열 구조를 스트라이프 타입(stripe type)이라 한다.
- [0063] 상부 기판에서, 각 서브 픽셀에 대응하는 컬러 필터가 배치되고, 컬러 필터 사이에 광을 차단하기 위한 블랙 매트릭스가 배치될 수 있다. 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터 및 청색 컬러 필터일 수 있다. 적색 컬러 필터는 적색 서브 픽셀에 대응되고, 녹색 컬러 필터는 녹색 서브 픽셀에 대응되며, 청색 컬러 필터는 청색 서브 픽셀에 대응될 수 있다.
- [0064] 블랙 매트릭스는 하부 기판에 배치된 게이트 라인, 데이터 라인 및 박막트랜지스터에 대응되어 배치될 수 있다.
- [0065] 또한, 상부 기판에는 컬러 필터와 블랙 매트릭스 상에 공통 전극이 배치될 수 있다. 공통 전극이 상부 기판에 배치되는 경우, 액정이 수직 전계에 의해 구동되는데, 이는 트위스트 네마틱 모드(twisted nematic mode)라 한다.
- [0066] 공통 전극은 하부 기판에 화소 전극과 교대로 배열되어, 수평 전계(또는 횡 전계)에 의해 액정이 구동될 수 있다. 이는 횡전계 모드(in-plane switching mode)라 한다.
- [0067] 본 발명은 트위스티크 네마틱 모드나 횡전계 모드에 관계없이 적용될 수 있다.
- [0068] 이에 따라, 화소 전극으로 인가된 데이터 전압과 공통 전극으로 인가된 공통 전압에 의해 전계가 발생되어, 이러한 전계에 의해 액정이 변위되어 광의 투과량이 조절되어 영상이 표시될 수 있다.
- [0069] 타이밍 컨트롤러(30)는 외부에서 RGB 데이터와 동기 신호들(DCLK, Vsync, Hsync, DE)을 입력받아, 동기 신호들(DCLK, Vsync, Hsync, DE)을 이용하여 게이트 드라이버(40)를 제어하기 위한 게이트 제어 신호(GCS: gate control signal)와 데이터 드라이버(50)를 제어하기 위한 데이터 제어 신호(DCS: data control signal)를 생성한다. 또한, 타이밍 컨트롤러(30)는 RGB 데이터를 이용하여 상위 비트의 RGB 데이터와 하위 비트의 RGB 데이터

로부터 생성된 프레임 레이트 제어 신호를 생성한다.

- [0070] DCLK는 도트 클럭이고, Vsync는 수직 동기 신호이고, Hsync는 수평 동기 신호이며, DE는 데이터 이네이블 신호이다.
- [0071] 게이트 제어 신호(GCS)는 게이트 시프트 펄스(gate shift pulse), 게이트 클럭 신호(gate clock signal) 및 게이트 출력 이네이블 신호(gate output enable)를 포함한다. 데이터 제어 신호(DCS)는 소스 시프트 펄스(source shift pulse), 소스 클럭 신호(source clock signal) 및 소스 출력 이네이블 신호(source output enable), 수평 2도트 신호(2 POL)를 포함한다.
- [0072] 이를 위해, 타이밍 컨트롤러(30)는 제어 신호 생성부(32)와 프레임 레이트 제어부(10)를 포함한다.
- [0073] 제어 신호 생성부(32)는 동기 신호들(DCLK, Vsync, Hsync, DE)을 이용하여 게이트 제어 신호(GCS)와 데이터 제어 신호(DCS)를 생성하여 게이트 드라이버(40)와 데이터 드라이버(50)로 각각 제공한다.
- [0074] 프레임 레이트 제어부(10)는 도 2에 도시되었고, 이에 대해서는 앞서 상세히 설명한 바 있으므로, 더 이상의 설명은 생략한다.
- [0075] 게이트 드라이버(40)는 제어 신호 생성부(32)로부터 제공된 게이트 제어 신호에 응답하여 액정 패널(60)의 각 게이트 라인에 순차적으로 게이트 신호를 제공한다. 이러한 게이트 신호에 의해 각 게이트 라인에 접속된 박막 트랜지스터가 턴온될 수 있다.
- [0076] 데이터 드라이버(50)는 프레임 레이트 제어부(10)로부터 상위 비트의 RGB 데이터와 함께 RGB 프레임 레이트 제어 신호를 입력받는다. 또한, 데이터 드라이버(50)는 제어 신호 생성부로부터 수평 2도트 신호를 포함하는 데이터 제어 신호(DCS)를 입력받는다.
- [0077] 데이터 드라이버(50)는 데이터 제어 신호에 따라 RGB 프레임 레이트 제어 신호를 상위 비트의 RGB 데이터에 반영하고 감마 전압을 이용하여 아날로그 RGB 데이터 전압으로 변환하여 액정 패널(60)로 공급한다.
- [0078] 예를 들어, 상위 비트의 R 데이터를 아날로그 R 데이터 전압으로 변환하고, 변환된 아날로그 R 데이터 전압을 R 프레임 레이트 제어 신호에 따라 4개의 프레임 동안 구동시켜 상위 비트와 하위 비트가 합쳐진 원래의 R 데이터에 상응하는 R 계조가 얻어질 수 있다.
- [0079] 상위 비트의 G 데이터를 아날로그 G 데이터 전압으로 변환하고, 변환된 아날로그 G 데이터 전압을 G 프레임 레이트 제어 신호에 따라 4개의 프레임 동안 구동시켜 상위 비트와 하위 비트가 합쳐진 원래의 G 데이터에 상응하는 G 계조가 얻어질 수 있다.
- [0080] 상위 비트의 B 데이터를 아날로그 B 데이터 전압으로 변환하고, 변환된 아날로그 B 데이터 전압을 B 프레임 레이트 제어 신호에 따라 4개의 프레임 동안 구동시켜 상위 비트와 하위 비트가 합쳐진 원래의 B 데이터에 상응하는 계조가 얻어질 수 있다.
- [0081] 한편, 데이터 드라이버(50)는 데이터 제어 신호(DCS)에 포함된 수평 2도트 신호(2 POL)에 따라 RGB 데이터를 2수평 도트 인버전으로 구동시킬 수 있다.
- [0082] 도 6a 내지 도 6c에 도시한 바와 같이, 데이터 드라이버(50)에 의해 프레임 레이트 제어된 RGB 데이터 전압은 액정 패널(60)의 각 서브 픽셀로 제공될 수 있다.
- [0083] 도 6a에 도시한 바와 같이, 액정 패널(60)의 각 서브 픽셀로 제공된 R 데이터 전압은 수평 2도트 인버전되고, 4개의 프레임 동안 프레임 레이트 제어되고 있다.
- [0084] 각 프레임 동안 액정 패널(60)의 서브 픽셀들로 제공된 빗금친 R 데이터 전압의 극성은 정극성의 개수와 부극성의 개수가 각각 4개씩으로 동일함을 알 수 있다.
- [0085] 도 6b에 도시한 바와 같이, 액정 패널(60)의 각 서브 픽셀로 제공된 G 데이터 전압은 수평 2도트 인버전되고, 4개의 프레임 동안 프레임 레이트 제어되고 있다.
- [0086] 각 프레임 동안 액정 패널(60)의 서브 픽셀들로 제공된 빗금친 G 데이터 전압의 극성은 정극성의 개수와 부극성의 개수가 각각 4개씩으로 동일함을 알 수 있다.
- [0087] 도 6c에 도시한 바와 같이, 액정 패널(60)의 각 서브 픽셀로 제공된 B 데이터 전압은 수평 2도트 인버전되고, 4개의 프레임 동안 프레임 레이트 제어되고 있다.

[0088] 각 프레임 동안 액정 패널(60)의 서브 픽셀들로 제공된 빗금친 B 데이터 전압의 극성은 정극성의 개수와 부극성의 개수가 각각 4개씩으로 동일함을 알 수 있다.

[0089] 따라서, 액정 패널의 서브 픽셀로 제공된 빗금친 RGB 데이터 각각의 정극성의 개수와 부극성의 개수가 동일하게 됨으로써, 종래에 녹색 데이터 전압의 경우 정극성이나 부극성의 어느 한쪽으로 극성이 치우치게 되어 발생된 플리커, 노이즈 또는 뒀과 같은 화질 불량이 방지될 수 있다.

도면의 간단한 설명

[0090] 도 1은 종래에 프레임 레이트 제어와 수평 2도트 인버전에 의해 서브 픽셀들에 제공된 RGB 데이터 전압을 도시한 도면이다.

[0091] 도 2는 본 발명에 따른 프레임 레이트 제어부를 도시한 블록도이다.

[0092] 도 3은 본 발명에 따른 다수의 프레임에 대해 설정된 기본 프레임 레이트 패턴들을 도시한 도면이다.

[0093] 도 4a 내지 도 4c는 도 3의 기본 프레임 레이트 패턴들로부터 생성된 적색, 녹색 및 청색 프레임 레이트 패턴들을 도시한 도면이다.

[0094] 도 5는 본 발명에 따른 프레임 레이트 제어부를 구비한 액정표시장치를 도시한 도면이다.

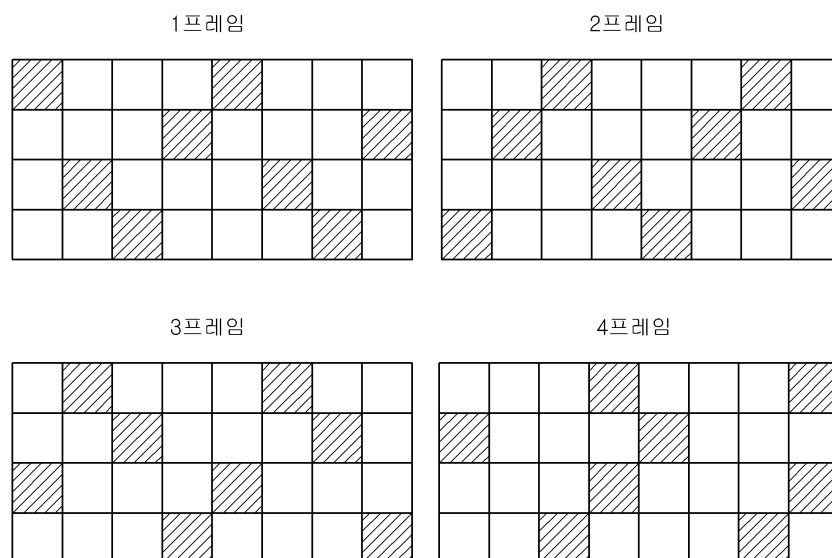
[0095] 도 6은 본 발명에 따른 프레임 레이트 제어와 수평 2도트 인버전에 의해 서브 픽셀들에 제공된 RGB 데이터 전압을 도시한 도면이다.

[0096] <도면의 주요 부분에 대한 부호의 설명>

- | | |
|------------------------|-------------------|
| [0097] 10: 프레임 레이트 제어부 | 12: 데이터 배열부 |
| [0098] 14: 데이터 추출부 | 18: 기본 FRC 패턴 생성부 |
| [0099] 20: FRC 패턴 생성부 | 24: 프레임 레이트 변조부 |
| [0100] 30: 타이밍 콘트롤러 | 32: 제어 신호 생성부 |
| [0101] 40: 게이트 드라이버 | 50: 데이터 드라이버 |
| [0102] 60: 액정 패널 | |

도면

도면1a



도면1b

1프레임

R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B
+	+	+	-	+	+	-	+	+	-	+	+	+	+	-	+	+	-	+	+	-	+	+	-
-	-	+	+	-	-	+	+	-	+	+	+	-	+	+	-	+	+	-	+	+	-	+	+
+	+	-	+	+	+	-	+	+	-	+	+	+	+	+	+	+	+	-	+	+	-	+	+
-	-	+	+	-	-	+	+	-	+	+	+	-	+	+	-	+	+	-	+	+	-	+	+

2프레임

R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B		
-	-	+	+	-	-	+	+		-	+	+	-	+	+	-	-	+	+		-	+	+
+	+	-		+	+	+	-	+	+	-	-	+	+	-		+	+	-	-	+	+	-
-	-	+	+	-	-	+	+			+	+	-	+	+	-	+	+	-			+	+
+	+	-		+	+	-	+	+		+	+	-	+	+	-	+	+	-	-	+	+	-

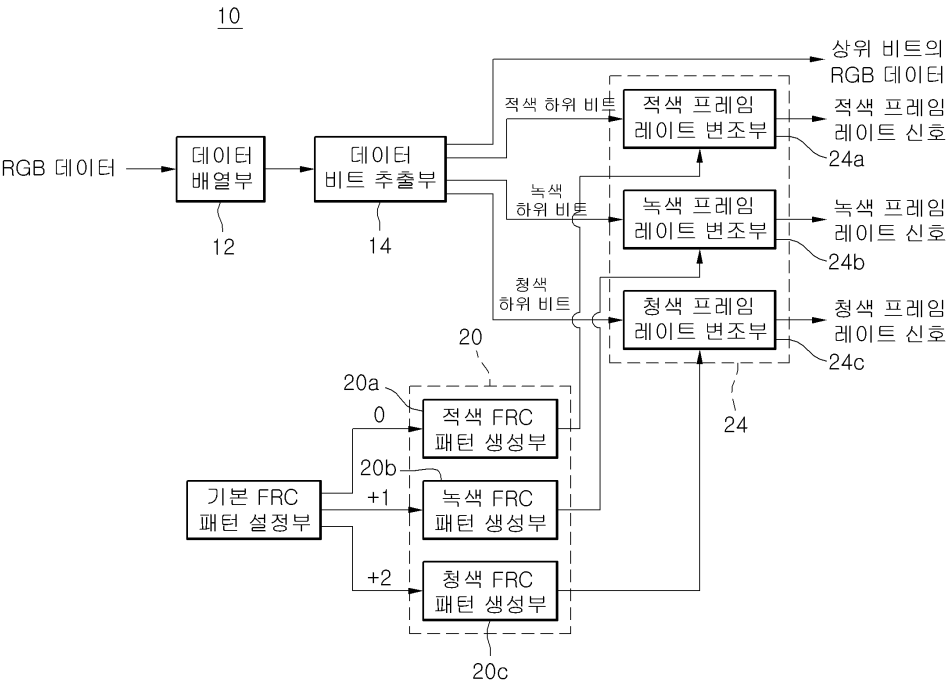
3프레임

R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B
+	+	-		+	+	-	-	+	+	-	-	+	+	-		+	+	-	+	+	-	-	+
-	-	+	+	-	-	+	+		-	+	+	-	+	+	-	+	+		+	+		-	+
+	+			-	+	+	-	+	+	-		+	+			-	+	+	-	+	+	-	-
-	-	+	+	-	-	+	+	-		+	+	+	-	+	+	-	+	+	-		+	+	+

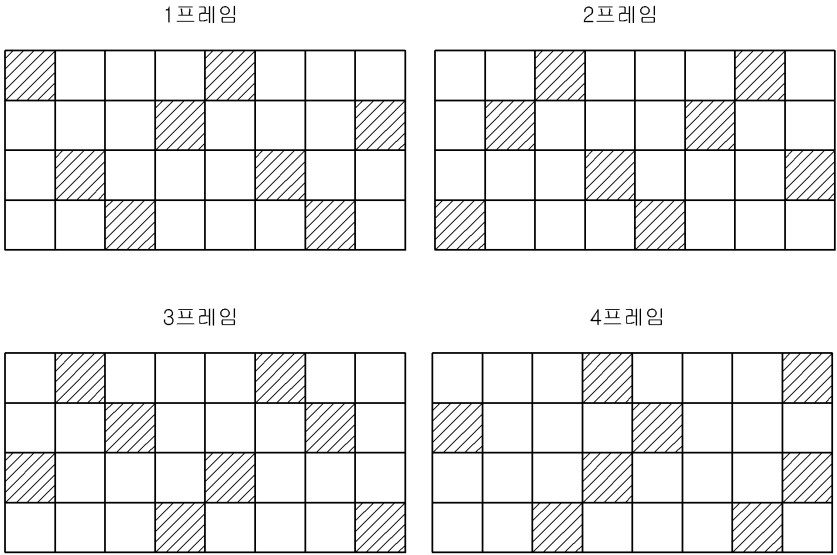
4프레임

R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B		
-	-	+	+	-	-	+	+	-		+	+	-	-	+	+	-	+	+	-		+	+
+	+			-	+	+	-	-	+	+	-	-	+			-	+	+	-	+	+	-
-	-	+	+	-	-	+	+		-	+	+	-	-	+	+	-	+	+	-	+	+	-
+	+	-		+	+	-	-	+	+	-	-	+	+	-		+	+	-	+	+	-	-

도면2



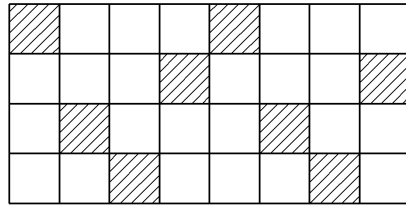
도면3



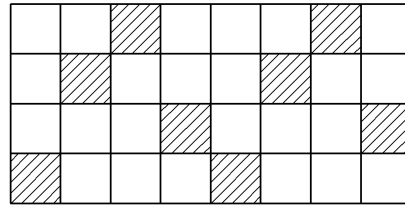
도면4a

적색 FRC 패턴("0")

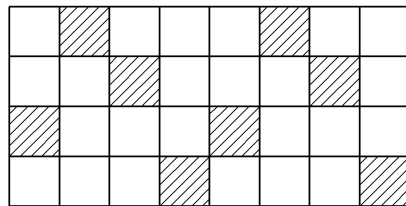
1프레임



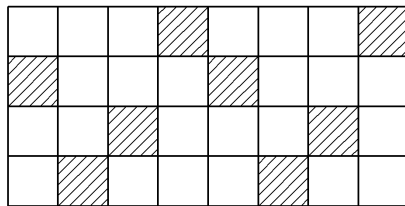
2프레임



3프레임



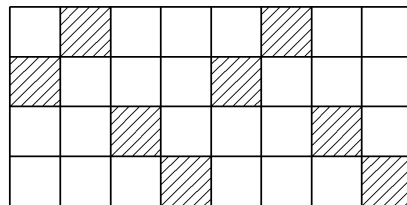
4프레임



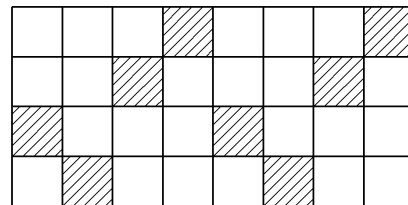
도면4b

녹색 FRC 패턴("+1")

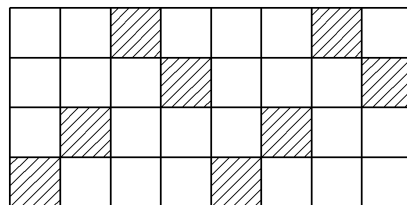
1프레임



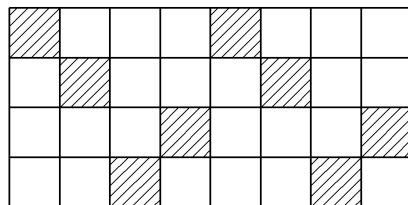
2프레임



3프레임

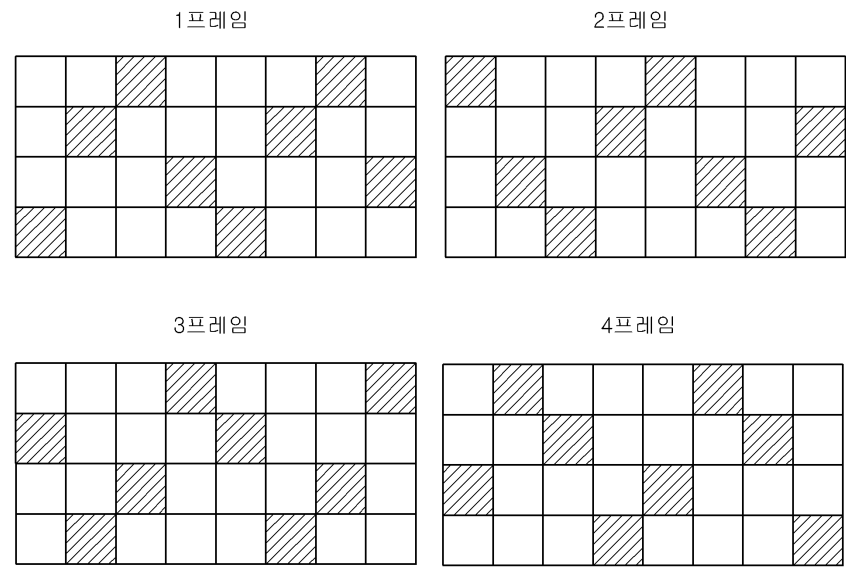


4프레임

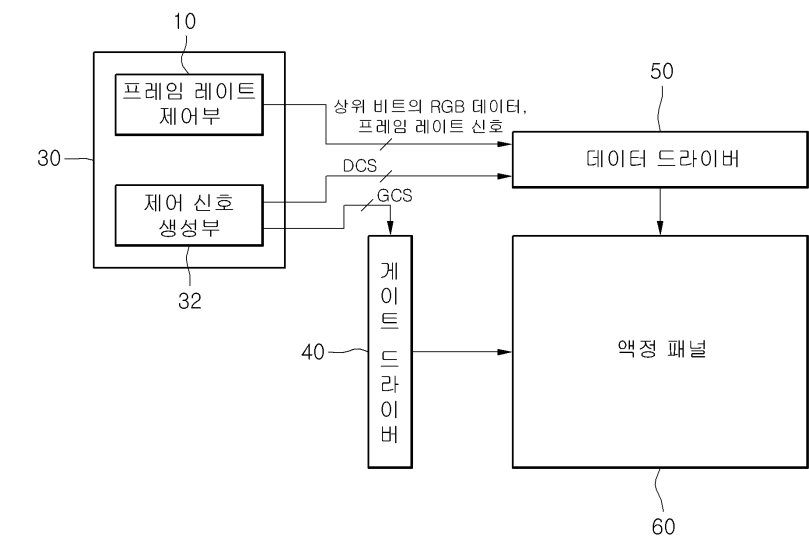


도면4c

청색 FRC 패턴("+2")



도면5



도면6a

1프레임

R	R	R	R	R	R	R	R
+	-	-	+	+	-	-	+
-	+	+	+	-	+	+	+
+	+	-	+	+	-	+	+
-	+	+	-	-	+	+	-

2프레임

R	R	R	R	R	R	R	R
-	+	+	-	-	+	+	-
+	+	-	+	+	+	-	+
-	+	+	+	-	+	+	+
+	-	-	+	+	-	-	+

3프레임

R	R	R	R	R	R	R	R
+	+	-	+	+	+	-	+
-	+	+	-	-	+	+	-
+	-	-	+	+	-	-	+
-	+	+	+	-	+	+	+

4프레임

R	R	R	R	R	R	R	R
-	+	+	+	-	+	+	+
+	-	-	+	+	-	-	+
-	+	+	-	-	+	+	-
+	+	-	+	+	-	+	+

도면6b

1프레임

G	G	G	G	G	G	G	G
+	+	-	-	+	+	-	-
+	-	+	+	+	-	+	+
+	+	+	-	+	+	+	-
-	-	+	+	-	-	+	+

2프레임

G	G	G	G	G	G	G	G
-	-	+	+	-	-	+	+
+	+	+	-	+	+	+	-
+	-	+	+	+	-	+	+
+	+	-	-	+	+	-	-

3프레임

G	G	G	G	G	G	G	G
+	+	+	-	+	+	+	-
-	-	+	+	-	-	+	+
+	+	-	-	+	+	-	-
+	-	+	+	+	-	+	+

4프레임

G	G	G	G	G	G	G	G
+	-	+	+	+	-	+	+
+	+	-	-	+	+	-	-
-	-	+	+	-	-	+	+
+	+	+	-	+	+	+	-

도면6c

1프레임

B	B	B	B	B	B	B	B
-	+	+	-	-	+	+	-
+	+	-	+	+	+	-	+
-	+	+	+	-	+	+	+
+	-	-	+	+	-	-	+

2프레임

B	B	B	B	B	B	B	B
+	-	-	+	+	-	-	+
-	+	+	+	-	+	+	+
+	+	-	+	+	+	-	+
-	+	+	-	-	+	+	-

3프레임

B	B	B	B	B	B	B	B
-	+	+	+	-	+	+	+
+	-	-	+	+	-	-	+
-	+	+	-	-	+	+	-
+	+	-	+	+	-	-	+

3프레임

B	B	B	B	B	B	B	B
+	+	-	+	+	+	-	+
-	+	+	-	-	+	+	-
+	-	-	+	+	-	-	+
-	+	+	+	-	+	+	+

专利名称(译)	标题帧速率控制部分其控制方法和具有该控制方法的液晶显示装置		
公开(公告)号	KR101386266B1	公开(公告)日	2014-04-18
申请号	KR1020080120251	申请日	2008-12-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON SUNG JOON 문성준 LEE SANG HOON 이상훈 OH KYU HA 오규하		
发明人	문성준 이상훈 오규하		
IPC分类号	G09G3/36 G09G3/20 G09G5/39 G02F1/133		
CPC分类号	G09G2340/0435 G09G3/3611 G09G3/2055 G09G2360/16		
其他公开文献	KR1020100061893A		
外部链接	Espacenet		

摘要(译)

公开了一种能够提高画面质量的帧率控制方法。帧速率控制方法通过基于较低位的红色，绿色和蓝色数据对红，绿和蓝帧速率控制模式进行帧速率调制来生成红，绿和蓝帧速率控制信号。低位的红色，绿色和蓝色数据是从红色，绿色和蓝色数据中提取的。红色，绿色和蓝色帧速率控制图案是通过将基本帧速率控制图案在一个方向上移动不同子像素数的过程获得的。针对多个帧建立基本帧速率控制模式。

