



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월12일
(11) 등록번호 10-1373536
(24) 등록일자 2014년03월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/30 (2006.01)
G09G 3/36 (2006.01) G11C 19/08 (2006.01)
(21) 출원번호 10-2011-0109738(분할)
(22) 출원일자 2011년10월26일
심사청구일자 2011년11월25일
(65) 공개번호 10-2011-0122086
(43) 공개일자 2011년11월09일
(62) 원출원 특허 10-2006-0101455
원출원일자 2006년10월18일
심사청구일자 2011년08월18일
(30) 우선권주장
JP-P-2005-303771 2005년10월18일 일본(JP)
(56) 선행기술조사문헌
KR1020070037793 A*
JP2002335153 A
JP2003101406 A
JP2003249848 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
우메자키 아츠시
일본, 243-0036, 카나가와켄, 아쓰기시, 하세,
398, 가부시킴가이샤 한도오파이 에네루기 켄큐쇼
내
(74) 대리인
장훈

전체 청구항 수 : 총 28 항

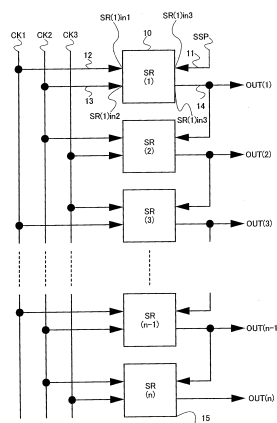
심사관 : 조기덕

(54) 발명의 명칭 반도체 장치, 구동 회로, 표시 장치, 액정 표시 장치, 및 반도체 장치의 구동 방법

(57) 요약

본 발명은 비선택 기간 중에 낮은 노이즈가 발생되고, 트랜지스터가 상시 온 상태에 있지 않은 반도체 장치 및 시프트 레지스터를 제공한다. 제 1 내지 제 4 트랜지스터들이 제공된다. 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 배선에 접속되고, 그 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트 전극에 접속되며, 제 1 트랜지스터의 게이트 전극은 제 5 배선에 접속된다. 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 3 배선에 접속되고, 그 소스 및 드레인 중 다른 쪽은 제 6 배선에 접속된다. 제 3 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선에 접속되고, 그 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트 전극에 접속되며, 제 3 트랜지스터의 게이트 전극은 제 4 배선에 접속된다. 제 4 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선에 접속되고, 그 소스 및 드레인 중 다른 쪽은 제 6 배선에 접속되며, 제 4 트랜지스터의 게이트 전극은 제 4 배선에 접속된다.

대표도 - 도1



특허청구의 범위

청구항 1

제 1 트랜지스터;

게이트 단자가 상기 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된 제 2 트랜지스터;

제 1 단자가 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속된 제 3 트랜지스터;

제 1 단자가 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고, 게이트 단자가 상기 제 3 트랜지스터의 게이트 단자에 전기적으로 접속된 제 4 트랜지스터;

제 1 단자가 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 5 트랜지스터;

게이트 단자가 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 6 트랜지스터;

게이트 단자가 상기 제 6 트랜지스터의 제 1 단자에 전기적으로 접속된 제 7 트랜지스터;

제 1 단자가 상기 제 7 트랜지스터의 상기 게이트 단자에 전기적으로 접속된 제 8 트랜지스터;

제 1 단자가 상기 제 7 트랜지스터의 제 1 단자에 전기적으로 접속되고, 게이트 단자가 상기 제 8 트랜지스터의 게이트 단자에 전기적으로 접속된 제 9 트랜지스터;

제 1 단자가 상기 제 7 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 10 트랜지스터; 및

게이트 단자가 상기 제 1 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 11 트랜지스터를 포함하고,

상기 제 11 트랜지스터의 제 1 단자 및 상기 제 4 트랜지스터의 상기 게이트 단자는 서로 전기적으로 절연되고,

상기 제 11 트랜지스터의 제 2 단자 및 상기 제 4 트랜지스터의 상기 게이트 단자는 서로 전기적으로 절연되고,

상기 제 6 트랜지스터의 제 2 단자와 상기 제 6 트랜지스터의 상기 게이트 단자는 서로 전기적으로 절연된, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 3 트랜지스터의 제 2 단자, 상기 제 4 트랜지스터의 제 2 단자, 상기 제 5 트랜지스터의 제 2 단자, 상기 제 8 트랜지스터의 제 2 단자, 상기 제 9 트랜지스터의 제 2 단자, 및 상기 제 10 트랜지스터의 제 2 단자 각각은 VSS의 전위를 갖는 전원선에 전기적으로 접속된, 반도체 장치.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 제 1 트랜지스터의 제 2 단자 및 상기 제 6 트랜지스터의 제 2 단자 중 적어도 하나는 VDD의 전위를 갖는 전원선에 전기적으로 접속된, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터 각각은 n-채널 트랜지스터인, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터 각각은 n-채널 보텀 게이트 트랜지스터(bottom gate transistor)인, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터 각각은 p-채널 트랜지스터인, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터 각각은 채널 영역을 포함하는 반도체층을 포함하고, 상기 채널 영역은 비정질 실리콘을 포함하는, 반도체 장치.

청구항 9

제 1 항에 있어서,

제 1 단자가 상기 제 7 트랜지스터의 상기 게이트 단자에 전기적으로 접속되고 제 2 단자가 상기 제 9 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 용량 소자를 더 포함하는, 반도체 장치.

청구항 10

제 1 트랜지스터;

게이트 단자가 상기 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된 제 2 트랜지스터;

제 1 단자가 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속된 제 3 트랜지스터;

제 1 단자가 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고 게이트 단자가 상기 제 3 트랜지스터의 게이트 단자에 전기적으로 접속된 제 4 트랜지스터;

제 1 단자가 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 5 트랜지스터;

제 1 단자가 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 6 트랜지스터;

제 1 단자가 상기 제 6 트랜지스터의 게이트 단자에 전기적으로 접속되고 제 2 단자가 상기 제 2 트랜지스터의 제 2 단자에 전기적으로 접속된 제 7 트랜지스터; 및

게이트 단자가 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속된 제 8 트랜지스터를 포함하는, 반도체 장치.

청구항 11

제 10 항에 있어서,

상기 제 3 트랜지스터의 제 2 단자, 상기 제 4 트랜지스터의 제 2 단자, 상기 제 5 트랜지스터의 제 2 단자, 상기 제 6 트랜지스터의 제 2 단자 각각은 VSS의 전위를 갖는 전원선에 전기적으로 접속된, 반도체 장치.

청구항 12

제 1 항 또는 제 10 항에 있어서,

상기 제 1 트랜지스터의 게이트 단자는 입력 단자에 전기적으로 접속된, 반도체 장치.

청구항 13

제 10 항에 있어서,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 1 트랜지스터의 제 2 단자에 전기적으로 접속된, 반도체 장치.

청구항 14

제 10 항에 있어서,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 1 트랜지스터의 제 2 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터는 p-채널 트랜지스터인, 반도체 장치.

청구항 15

제 10 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 및 상기 제 7 트랜지스터 각각은 n-채널 트랜지스터인, 반도체 장치.

청구항 16

제 10 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 및 상기 제 7 트랜지스터 각각은 n-채널 보텀 게이트 트랜지스터인, 반도체 장치.

청구항 17

제 10 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 및 상기 제 7 트랜지스터 각각은 p-채널 트랜지스터인, 반도체 장치.

청구항 18

제 10 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 및 상기 제 7 트랜지스터 각각은 채널 영역을 포함하는 반도체층을 포함하고, 상기 채널 영역은 비정질 실리콘을 포함하는, 반도체 장치.

청구항 19

제 1 항 또는 제 10 항에 있어서,

제 1 단자가 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속되고 제 2 단자가 상기 제 4 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 용량 소자를 더 포함하는, 반도체 장치.

청구항 20

제 1 항 또는 제 10 항에 있어서,

제 1 클록 신호는 상기 제 2 트랜지스터의 제 2 단자에 입력되고,

제 2 클록 신호는 상기 제 3 트랜지스터의 상기 게이트 단자 및 상기 제 4 트랜지스터의 상기 게이트 단자에 입력되고,

제 3 클록 신호는 상기 제 5 트랜지스터의 게이트 단자에 입력되는, 반도체 장치.

청구항 21

제 10 항에 있어서,

게이트 단자가 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 9 트랜지스터;

게이트 단자가 상기 제 9 트랜지스터의 제 1 단자에 전기적으로 접속된 제 10 트랜지스터;

제 1 단자가 상기 제 10 트랜지스터의 상기 게이트 단자에 전기적으로 접속된 제 11 트랜지스터;

제 1 단자가 상기 제 10 트랜지스터의 제 1 단자에 전기적으로 접속되고 게이트 단자가 상기 제 11 트랜지스터의 게이트 단자에 전기적으로 접속된 제 12 트랜지스터;

제 1 단자가 상기 제 10 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 13 트랜지스터;

제 1 단자가 상기 제 10 트랜지스터의 상기 제 1 단자에 전기적으로 접속된 제 14 트랜지스터;

제 1 단자가 상기 제 14 트랜지스터의 게이트 단자에 전기적으로 접속되고 제 2 단자가 상기 제 10 트랜지스터의 제 2 단자에 전기적으로 접속된 제 15 트랜지스터; 및

게이트 단자가 상기 제 10 트랜지스터의 상기 게이트 단자에 전기적으로 접속되고 제 1 단자가 상기 제 15 트랜지스터의 게이트 단자에 전기적으로 접속된 제 16 트랜지스터를 더 포함하는, 반도체 장치.

청구항 22

제 10 항에 있어서,

상기 제 8 트랜지스터의 제 1 단자는 상기 제 2 트랜지스터의 상기 제 2 단자에 전기적으로 접속된, 반도체 장치.

청구항 23

제 10 항에 있어서,

상기 제 8 트랜지스터의 제 1 단자는 상기 제 7 트랜지스터의 게이트 단자에 전기적으로 접속된, 반도체 장치.

청구항 24

제 23 항에 있어서,

상기 제 8 트랜지스터의 상기 제 1 단자는 상기 제 7 트랜지스터의 상기 게이트 단자에 직접 접속된, 반도체 장치.

청구항 25

제 10 항에 있어서,

상기 제 2 트랜지스터는 클록 신호가 상기 제 2 트랜지스터의 상기 제 2 단자에 입력될 수 있도록 설치된, 반도체 장치.

청구항 26

제 1 항 또는 제 10 항에 따른 상기 반도체 장치를 포함하는 구동 회로.

청구항 27

제 1 항 또는 제 10 항에 따른 상기 반도체 장치를 포함하는 게이트 구동 회로; 및

상기 게이트 구동 회로에 전기적으로 접속된 화소를 포함하는, 표시 장치.

청구항 28

제 1 항 또는 제 10 항에 따른 상기 반도체 장치를 포함하는 게이트 구동 회로; 및

상기 게이트 구동 회로에 전기적으로 접속된 화소를 포함하는, 액정 표시 장치.

청구항 29

제 1 항 또는 제 10 항에 따른 상기 반도체 장치의 구동 방법으로서,

상기 제 2 트랜지스터의 상기 게이트 단자에 VSS의 전위를 입력하도록 상기 제 3 트랜지스터를 제 1 턴온(turn on)시키는 단계; 및

상기 제 3 트랜지스터를 제 1 턴온시킨 후, 상기 제 2 트랜지스터의 상기 게이트 단자에 VSS의 전위를 입력하도록 상기 제 3 트랜지스터를 제 2 턴온시키는 단계를 포함하는, 반도체 장치의 구동 방법.

명세서

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다. 특히, 본 발명은 트랜지스터를 사용하여 구성된 시프트 레지스터에 관한 것이다. 또한, 본 발명은 반도체 장치를 구비한 표시 장치 및 표시 장치를 구비한 전자 기기에 관한 것이다.

[0002] 여기서 반도체 장치는 반도체 특성들을 활용함으로써 기능할 수 있는 전반적 장치를 지칭한다는 것을 유의하여야 한다.

배경 기술

[0003] 근년, 액정 표시 장치와 같은 대형 표시 장치들의 증가에 따라, 액정 표시 장치 및 발광 장치 같은 표시 장치가 활발히 개발되고 있다. 특히, 화소 회로, 시프트 레지스터 회로 등을 포함하는 구동 회로(이하, 내부 회로라 지칭됨)를 비정질 반도체로 형성된 트랜지스터들을 사용하여 절연체 위에 집적하는 기술이 활발히 개발되고 있으며, 이는 전력 소비 및 비용의 감소에 크게 기여하고 있다. 절연체 위에 형성된 내부 회로는 FPC 등을 통해 콘트롤러 IC 등(이하, 외부 회로라 지칭됨)에 접속되며, 그 동작이 제어된다.

[0004] 예로서, 비정질 반도체로 형성된 n-채널 트랜지스터들만을 사용하여 구성된 시프트 레지스터 회로가 제안되어 있다(예로서, 특허 문헌 1 참조). 그러나, 특허 문헌 1에 개시된 회로는 비선택 기간중에, 시프트 레지스터 회로의 출력이 부유 상태(floating state)이기 때문에, 비선택 기간 중에 노이즈가 생성된다는 문제점을 갖는다.

[0005] 이 문제점을 해결하기 위해, 비선택 기간 중에 그 출력이 부유 상태가 되지 않는 시프트 레지스터 회로가 제안되어 있다(예로서, 비특허 문헌 1 참조).

[0006] [특허 문헌 1]

[0007] PCT 국제 출원 번호 평10-500243호의 일문 번역본.

[0008] [비특허 문헌 1]

[0009] 저 노이즈 집적 게이트 드라이버를 갖는 2.0inch a-SiH TFT-LCD, SID'05 다이제스트 942 내지 945쪽.

발명의 내용

해결하려는 과제

[0010] 비특허 문헌 1에서, 비선택 기간 중에 전원과 출력 사이에 직렬로 접속되는 트랜지스터가 상시 온(on) 상태가 됨으로써 전원 전압이 출력된다. 또한, 시프트 레지스터 회로의 대부분의 동작 기간이 비선택 기간에 대응하기 때문에, 비선택 기간시 상시 온 상태인 트랜지스터는 시프트 레지스터 회로의 동작 기간의 대부분에 온 상태이다.

[0011] 그러나, 비정질 반도체로 형성된 트랜지스터는 온 상태에 있는 시간과, 인가 되는 전압에 따라 특성들이 열화된다. 특히, 임계 전압이 상승하는 임계 전압에서의 시프트는 주목할만 하다. 이는 시프트 레지스터 회로의 오동작의 주요한 원인들 중 하나이다.

[0012] 이런 문제점의 관점에서, 본 발명은 비선택 기간에 노이즈가 낮으며, 트랜지스터가 항상 온 상태가 되지 않는 시프트 레지스터 회로 및 반도체 장치를 제공하며, 이런 반도체 장치를 구비하는 표시 장치 및 이 표시 장치를 구비하는 전자 기기를 제공한다.

과제의 해결 수단

[0013] 본 발명의 반도체 장치는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 포함한다.

제 1 신호는 제 1 트랜지스터의 게이트에 입력되며, 사전결정된 전위가 그 드레인 및 소스 중 하나에 입력되며, 소스 및 드레인 중 다른 쪽은 제 3 트랜지스터의 소스 및 드레인 중 하나와 제 2 트랜지스터의 게이트에 연결된다. 제 2 신호는 제 2 트랜지스터의 소스 및 드레인 중 하나에 입력되고, 소스 및 드레인 중 다른 쪽은 출력 단자에 연결된다. 제 3 신호는 제 3 트랜지스터의 게이트에 입력되고, 사전결정된 전위가 그 드레인 및 소스 중 다른 쪽에 입력된다. 제 3 신호는 제 4 트랜지스터의 게이트에 입력되며, 사전결정된 전위가 그 소스 및 드레인 중 하나에 입력되고, 소스 및 드레인 중 다른 쪽은 출력 단자에 연결된다.

- [0014] 본 발명의 시프트 레지스터는 복수의 스테이지들에 의해 구성된 시프트 레지스터이다. 시프트 레지스터의 각 스테이지는 H-레벨 출력 신호가 선행 스테이지로부터 입력될 때 온 상태가 되고 H-레벨 만큼 높은 전위를 출력하는 제 1 트랜지스터와, 제 1 트랜지스터의 출력에 의해 온 상태가 되며, 소스 및 드레인 중 하나가 제 1 신호선에 연결되고, 소스 및 드레인 중 다른 쪽이 다음 스테이지의 제 1 트랜지스터에 연결되는 제 2 트랜지스터와, 선행 스테이지로부터 L-레벨 출력 신호가 입력되고, 제 2 트랜지스터가 부트 스트랩 동작 중이 아닐 때, 소정 기간 동안 규칙적 간격들로 제 2 트랜지스터의 게이트에 L-레벨 전위를 출력하기 위한 제 1 유닛과, 선행 스테이지로부터 L-레벨 출력 신호가 입력되고, 제 2 트랜지스터가 부트 스트랩 동작 중이 아닐 때, 소정 기간 동안 규칙적 간격들로 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에 L-레벨 전위를 출력하는 제 2 유닛을 포함한다.
- [0015] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛 및 제 2 유닛은 제 2 신호선에 의해 제어된다.
- [0016] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛은 제 2 신호선이 H-레벨일 때, L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 어떠한 전위도 출력하지 않는 기능을 갖는 제 3 트랜지스터를 포함한다.
- [0017] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 2 유닛은 제 2 신호선이 H-레벨일 때 L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 4 트랜지스터를 포함한다.
- [0018] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛은 다음 스테이지로부터의 출력 신호에 의해 제어되며, 제 2 유닛은 제 2 신호선에 의해 제어된다.
- [0019] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛은 다음 스테이지가 H-레벨 전위를 출력할 때 L-레벨 전위를 출력하고, 다음 스테이지가 L-레벨 전위를 출력할 때, 아무것도 출력하지 않는 기능을 갖는 제 5 트랜지스터를 포함한다.
- [0020] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 2 유닛은 제 2 신호선이 H-레벨 일 때, L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 6 트랜지스터를 포함한다.
- [0021] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛은 제 2 신호선에 의해 제어되고, 제 2 유닛은 제 2 신호선 및 제 3 신호선에 의해 제어된다.
- [0022] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛은 다음 스테이지가 H-레벨 전위를 출력할 때, L-레벨 전위를 출력하고, 다음 스테이지가 L-레벨 전위를 출력할 때, 아무것도 출력하지 않는 기능을 갖는 제 7 트랜지스터를 포함한다.
- [0023] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 2 유닛은 제 2 신호선이 H-레벨일 때 L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 8 트랜지스터를 포함하는 시프트 레지스터와, 제 3 신호선이 H-레벨일 때, L-레벨 전위를 출력하고, 제 3 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 9 트랜지스터를 포함하는 시프트 레지스터를 포함한다.
- [0024] 본 발명의 시프트 레지스터는 복수의 스테이지들에 의해 구성된 시프트 레지스터이다. 시프트 레지스터 회로의 각 스테이지는 H-레벨 출력 신호가 선행 스테이지로부터 입력될 때, 온 상태가 되고 H-레벨 만큼 높은 전위를 출력하는 제 1 트랜지스터와, 제 1 트랜지스터의 출력에 의해 온 상태가 되며, 소스 및 드레인 중 하나가 제 1 신호선에 연결되고, 소스 및 드레인 중 다른 쪽이 다음 스테이지의 제 1 트랜지스터에 연결되는 제 2 트랜지스터와, 선행 스테이지로부터 L-레벨 출력 신호가 입력되고, 제 2 트랜지스터가 부트 스트랩 동작 중이 아닐 때, 소정 기간 동안 규칙적 간격들로 제 2 트랜지스터의 게이트에 L-레벨 전위를 출력하기 위한 제 1 유닛과, 제 2 트랜지스터가 부트 스트랩 동작 중이 아닐 때, 소정 기간 동안 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에 L-레벨 전위를 출력하기 위한 제 3 유닛을 포함한다.
- [0025] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛은 제 2 신호선에 의해 제어되며, 제 3 유닛은

제 1 신호, 제 2 신호, 제 3 신호 및 제 2 트랜지스터의 게이트 전위의 반전 신호에 의해 제어된다.

- [0026] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 유닛은 제 2 신호선이 H-레벨일 때, L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 10 트랜지스터를 포함한다.
- [0027] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 2 유닛은 제 2 신호선이 H-레벨일 때 L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 11 트랜지스터와, 제 3 신호선이 H-레벨일 때, L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 12 트랜지스터와, 제 2 트랜지스터의 게이트 전위의 반전 신호가 H-레벨일 때 제 1 신호선의 신호를 출력하고, 제 2 트랜지스터의 게이트 전위의 반전 신호가 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 13 트랜지스터와, 제 13 트랜지스터가 제 1 신호선의 신호를 출력하고, 제 1 신호선이 H-레벨일 때, L-레벨 전위를 출력하고, 제 1 신호선이 L-레벨이고, 제 13 트랜지스터가 아무것도 출력하지 않을 때, 아무것도 출력하지 않는 기능을 갖는 제 14 트랜지스터를 포함한다.
- [0028] 상술한 구성을 갖는 본 발명의 시프트 레지스터는 제 2 트랜지스터의 게이트 전위가 H-레벨일 때, L-레벨 전위를 출력하고, 제 2 트랜지스터의 게이트 전위가 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 15 트랜지스터와, H-레벨 전위에 접속된 한 단자와 제 14 트랜지스터의 출력에 접속된 다른 단자를 갖는 저항 콤포넌트를 구비한 소자를 포함한다.
- [0029] 상술한 구성에 따른 본 발명의 시프트 레지스터에서, 저항 콤포넌트를 구비한 소자는 다이오드 접속된 제 16 트랜지스터이다.
- [0030] 본 발명의 시프트 레지스터는 복수의 스테이지들에 의해 구성된 시프트 레지스터이다. 시프트 레지스터의 각 스테이지는 H-레벨 출력 신호가 선행 스테이지로부터 입력될 때 온 상태가 되고, H-레벨 만큼 높은 전위를 출력하는 제 1 트랜지스터와, 제 1 트랜지스터의 출력에 의해 온되고, 소스 및 드레인 중 하나가 제 1 신호선에 접속되며, 소스 및 드레인 중 다른 쪽이 다음 스테이지의 제 1 트랜지스터에 접속되는 제 2 트랜지스터와, L-레벨 출력 신호가 선행 스테이지로부터 입력되고, 제 2 트랜지스터가 부트 스트랩 동작 중이 아닐 때, 소정 기간 동안 제 2 트랜지스터의 게이트에 L-레벨 전위를 출력하는 제 4 유닛과, 제 2 트랜지스터가 부트 스트랩 동작 중이 아닐 때, 소정 기간 동안 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에 L-레벨 전위를 출력하는 제 3 유닛을 포함한다.
- [0031] 상술한 구성에 따른 본 발명의 시프트 레지스터에서, 제 3 유닛 및 제 4 유닛은 제 1 신호선, 제 2 신호선, 제 3 신호선 및 제 2 트랜지스터의 게이트 전위의 반전 신호에 의해 제어된다.
- [0032] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 2 유닛은 제 2 신호선이 H-레벨일 때 L-레벨 전위를 출력하고, 제 2 신호선이 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 17 트랜지스터와, 제 2 트랜지스터의 게이트 전위의 반전 신호가 H-레벨일 때, 제 1 신호선의 신호를 출력하고, 제 2 트랜지스터의 게이트 전위의 반전 신호가 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 18 트랜지스터와, 제 2 트랜지스터의 게이트 전위의 반전 신호가 H-레벨일 때, 제 3 신호선의 신호를 출력하고, 제 2 트랜지스터의 게이트 전위의 반전 신호가 L-레벨일 때, 아무것도 출력하지 않는 기능을 갖는 제 19 트랜지스터와, 제 18 트랜지스터가 제 1 신호선의 신호를 출력하고, 제 1 신호선이 H-레벨일 때, L-레벨을 출력하고, 제 1 신호선이 L-레벨이고 제 18 트랜지스터가 아무것도 출력하지 않을 때, 아무것도 출력하지 않는 기능을 갖는 제 20 트랜지스터와, 제 18 트랜지스터가 제 1 신호선의 신호를 출력하고, 제 1 신호선이 H-레벨일 때, L-레벨 전위를 출력하고, 제 1 신호선이 L-레벨이고, 제 19 트랜지스터가 아무것도 출력하지 않을 때, 아무것도 출력하지 않는 기능을 갖는 제 21 트랜지스터를 포함한다.
- [0033] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 용량 소자는 게이트와 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽 사이에 접속된다.
- [0034] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 선행 스테이지의 출력신호는 제 1 트랜지스터의 게이트에 입력되고, 제 1 트랜지스터의 소스 및 드레인 중 하나는 H-레벨의 전원선에 접속되며, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트에 접속된다.
- [0035] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 선행 스테이지의 출력신호는 제 1 트랜지스터의 게이트에 입력되고, 제 1 트랜지스터의 소스 및 드레인 중 하나는 H-레벨의 전원 공급 선에 접속되며, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트에 접속된다.

- [0036] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 선행 스테이지의 출력 신호는 제 1 트랜지스터의 소스 및 드레인 중 하나와 게이트에 입력되며, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트에 접속된다.
- [0037] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, N-번째 스테이지(N은 자연수)에 입력되는 제 1 신호선을 통해 전송된 제어 신호, (N+1) 번째 스테이지에 입력되는 제 1 신호선을 통해 전송된 제어 신호 및 (N+2) 번째 스테이지에 입력되는 제 1 신호선을 통해 전송된 제어 신호는 120° 의 위상차를 갖는다.
- [0038] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, N-번째 스테이지(N은 자연수)에 입력되는 제 2 신호선을 통해 전송된 제어 신호, (N+1) 번째 스테이지에 입력되는 제 2 신호선을 통해 전송된 제어 신호 및 (N+2) 번째 스테이지에 입력되는 제 2 신호선을 통해 전송된 제어 신호는 120° 의 위상차를 갖는다.
- [0039] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, N-번째 스테이지(N은 자연수)에 입력되는 제 3 신호선을 통해 전송된 제어 신호, (N+1) 번째 스테이지에 입력되는 제 3 신호선을 통해 전송된 제어 신호 및 (N+2) 번째 스테이지에 입력되는 제 3 신호선을 통해 전송된 제어 신호는 120° 의 위상차를 갖는다.
- [0040] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 1 내지 제 21 트랜지스터들 각각은 비정질 반도체로 형성된다.
- [0041] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 적어도 하나의 전원선이 제 1, 제 2 및 제 3 신호선들과 제 1 내지 제 21 트랜지스터들 사이에 제공된다.
- [0042] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 제 2 트랜지스터의 채널 영역은 U 형상을 갖는다.
- [0043] 상술한 구성의 본 발명의 시프트 레지스터에서, 시프트 레지스터의 출력 신호는 레벨 시프터 회로를 통해 출력된다.
- [0044] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 시프트 레지스터에 입력된 제어 신호는 레벨 시프터 회로를 통해 입력된다.
- [0045] 상술한 구성을 갖는 본 발명의 시프트 레지스터에서, 복수의 스위칭 소자들은 시프트 레지스터의 출력 신호에 의해 순차적으로 온된다.
- [0046] 상술한 구성을 갖는 본 발명의 표시 장치에서, 화소, 시프트 레지스터를 사용하여 구성된 게이트 드라이버, 화소에 게이트 드라이버의 출력 신호를 전송하는 게이트 신호선 및 화소에 비디오 신호를 전송하는 소스 신호선이 제공된다. 게이트 드라이버의 출력 신호는 화소를 선택하고, 그에 의해, 비디오 신호가 선택된 화소에 기록된다.
- [0047] 또한, 화소는 적어도 그 투과율이 인가된 전압에 의존하여 변하는 액정 소자와, 게이트 신호선에 의해 온 또는 오프되도록 제어되는 스위칭 소자로서 동작하는 제 22 트랜지스터를 포함한다. 비디오 신호는 온 상태인 제 22 트랜지스터를 통해 액정 소자에 기록된다.
- [0048] 본 발명의 표시 장치에서, 게이트 드라이버는 비정질 반도체로 형성된 트랜지스터에 의해 구성된다. 게이트 드라이버들은 서로 대치되도록 배치되며, 동일한 타이밍에 동일 게이트 신호선을 선택한다.
- [0049] 본 발명에서, 비선택 기간에, 전원 전압을 출력하는 복수의 트랜지스터들을 순차적으로 온시킴으로써, 상시 온 상태인 트랜지스터가 존재하지 않는다. 따라서, 트랜지스터의 특성 열화가 억제될 수 있다. 또한, 항상 또는 비선택 기간 중의 특정 기간 동안 고정된 전압이 출력될 때, 노이즈가 감소될 수 있다.

발명의 효과

- [0050] 본 발명은 비선택 기간에 노이즈가 낮으며, 트랜지스터가 항상 온 상태가 되지 않는 시프트 레지스터 회로 및 반도체 장치를 제공하며, 이런 반도체 장치를 구비하는 표시 장치 및 이 표시 장치를 구비하는 전자 기기를 제공한다.

도면의 간단한 설명

- [0051] 도 1은 제 1 실시형태를 도시하는 도면.
도 2는 제 1 실시형태를 도시하는 도면.

도 3은 제 1 실시형태를 도시하는 도면.
 도 4a 및 도 4b는 제 1 실시형태를 도시하는 도면.
 도 5는 제 2 내지 제 4 실시형태를 도시하는 도면.
 도 6은 제 2 실시형태를 도시하는 도면.
 도 7a 및 도 7b는 제 2 실시 형태를 도시하는 도면.
 도 8은 제 3 실시 형태를 도시하는 도면.
 도 9a 및 도 9b는 제 3 실시형태를 도시하는 도면.
 도 10a 및 도 10b는 제 3 실시형태를 도시하는 도면.
 도 11은 제 4 실시형태를 도시하는 도면.
 도 12는 제 4 실시형태를 도시하는 도면.
 도 13은 제 5 실시형태를 도시하는 도면.
 도 14는 제 5 실시형태를 도시하는 도면.
 도 15는 제 5 및 제 6 실시형태를 도시하는 도면.
 도 16은 제 5 및 제 6 실시형태를 도시하는 도면.
 도 17은 제 5 실시형태를 도시하는 도면.
 도 18은 제 5 실시형태를 도시하는 도면.
 도 19는 제 5 실시형태를 도시하는 도면.
 도 20은 제 5 실시형태를 도시하는 도면.
 도 21은 제 6 실시형태를 도시하는 도면.
 도 22는 제 6 실시형태를 도시하는 도면.
 도 23은 제 6 실시형태를 도시하는 도면.
 도 24a 및 도 24b는 제 1 실시예를 도시하는 도면.
 도 25a 내지 도 25c는 제 6 실시예를 도시하는 도면.
 도 26은 제 7 실시예를 도시하는 도면.
 도 27a 내지 도 27d는 제 8 실시예를 도시하는 도면.
 도 28a 및 도 28b는 제 2 실시예를 도시하는 도면.
 도 29a 및 도 29b는 제 2 실시예를 도시하는 도면.
 도 30a 및 도 30b는 제 2 실시예를 도시하는 도면.
 도 31a 내지 도 31c는 제 3 실시예를 도시하는 도면.
 도 32a 내지 도 32d는 제 3 실시예를 도시하는 도면.
 도 33a 내지 도 33c는 제 3 실시예를 도시하는 도면.
 도 34a 내지 도 34d는 제 3 실시예를 도시하는 도면.
 도 35a 내지 도 35d는 제 3 실시예를 도시하는 도면.
 도 36a 내지 도 36d는 제 3 실시예를 도시하는 도면.
 도 37a 및 도 37b는 제 3 실시예를 도시하는 도면.
 도 38은 제 6 실시 형태를 도시하는 도면.

도 39는 제 6 실시 형태를 도시하는 도면.
 도 40은 제 6 실시 형태를 도시하는 도면.
 도 41a 및 도 41b는 제 5 실시예를 도시하는 도면.
 도 42a 및 도 42b는 제 5 실시예를 도시하는 도면.
 도 43a 및 도 43b는 제 5 실시예를 도시하는 도면.
 도 44는 제 7 실시 형태를 도시하는 도면.
 도 45는 제 7 실시 형태를 도시하는 도면.
 도 46은 제 6 실시 형태를 도시하는 도면.
 도 47은 제 6 실시 형태를 도시하는 도면.
 도 48은 제 3 실시 형태를 도시하는 도면.
 도 49는 제 6 실시 형태를 도시하는 도면.
 도 50a 및 도 50b는 제 3 실시 형태를 도시하는 도면.
 도 51은 제 1 실시 형태를 도시하는 도면.
 도 52는 제 2 실시 형태를 도시하는 도면.
 도 53은 제 3 실시 형태를 도시하는 도면.
 도 54는 제 4 실시 형태를 도시하는 도면.
 도 55는 제 1 실시 형태를 도시하는 도면.
 도 56은 제 2 실시 형태를 도시하는 도면.
 도 57은 제 3 실시 형태를 도시하는 도면.
 도 58은 제 4 실시 형태를 도시하는 도면.
 도 59a 및 도 59b는 제 1 실시 형태를 도시하는 도면.
 도 60a 및 도 60b는 제 2 실시 형태를 도시하는 도면.
 도 61a 및 도 61b는 제 3 실시 형태를 도시하는 도면.
 도 62a 및 도 62b는 제 3 및 제 4 실시 형태를 도시하는 도면.
 도 63은 제 4 실시 형태를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0052] 비록, 본 발명을 첨부 도면들을 참조로 실시 형태들 및 실시예들에 의거하여 전체적으로 설명하지만, 본 기술 분야의 숙련자들은 다양한 변경들 및 변형들을 명백히 알 수 있을 것이라는 것을 이해하여야 한다. 따라서, 이런 변경들 및 변형들이 본 발명의 범주로부터 벗어나지 않는 한, 이들은 여기에 포함되는 것으로 받아들여져야 한다.
- [0053] [제 1 실시 형태]
- [0054] 본 실시 형태에서, 비선택 기간중에 출력 전압의 노이즈를 감소시키기 위해 규칙적 간격들로 VSS를 출력함으로써 노이즈가 감소되는 시프트 레지스터 회로의 구성 및 동작을 도 1 내지 도 4를 참조로 설명한다.
- [0055] 도 1에 도시된 바와 같이, 회로(10)는 직렬로 접속된 n (n 은 2 이상의 자연수)개의 회로들(SR(1) 내지 SR(n))을 갖는 시프트 레지스터 회로를 구성한다.
- [0056] 입력 단자(11)는 제 2 내지 n 번째 스테이지들의 회로들(10)의 선행 스테이지의 출력 단자(14)로부터의 출력을 입력하기 위한, 그리고, 제 1 스테이지의 회로(10)로서의 SR(1)에 시작 펄스를 입력하기 위한 입력 단자이다. 입력 단자(12)는 CK1이 클록 신호로서 제 1 스테이지의 회로(10)로서의 SR(1)에 입력되고, CK2가 클록

신호로서, 제 2 스테이지의 회로(10)로서의 SR(2)에 입력되고, CK3이 클록 신호로서 제 3 스테이지의 회로(10)로서의 SR(3)에 입력되며, CK1이 제 4 스테이지의 회로(10)로서의 SR(4)에 입력되는 방식으로 CK1, CK2 및 CK3을 순차 입력하기 위한 입력 단자이다.

[0057] 입력 단자(13)는 CK2가 제 1 스테이지의 회로(10)로서의 SR(1)에 입력되고, CK3이 제 2 스테이지의 회로(10)로서의 SR(2)에 입력되고, CK1이 제 3 스테이지의 회로(10)로서의 SR(3)에 입력되며, CK2가 제 4 스테이지의 회로(10)으로서 SR(4)에 입력되는 방식으로, CK1, CK2 및 CK3을 순차 입력하기 위한 입력 단자이다. 출력 단자(14)는 제 1 스테이지의 회로(10)로서의 SR(1)로부터 OUT(1)을 출력하고, 제 2 스테이지의 회로(10)로서의 SR(2)의 입력 단자(11)에 OUT(1)을 출력하며, 제 2 스테이지의 회로(10)로서의 SR(2)로부터 OUT(2)를 출력하고, 제 3 스테이지의 회로(10)로서의 SR(3)의 입력 단자(11)에 OUT(2)를 출력하는, 회로(10)의 출력 단자이다. 입력 단자들(11 내지 14)은 배선에 각각 연결되어 있다는 것을 유의하여야 한다.

[0058] 여기서, SSP, CK1, CK2 및 CK3은 각각 하이 또는 로우의 이진값을 가지는 1 비트 신호들이다. 또한, OUT(1), OUT(2), OUT(3), OUT(n-1) 및 OUT(n)은 각각 하이 및 로우의 이진값을 가지는 1 비트 신호들이다. 하이는 정의(positive) 전원인 VDD와 동일한 전위이며, 로우는 부의(negative) 전원인 VSS와 동일한 전위이다.

[0059] 도 1에 도시된 시프트 레지스터 회로의 동작을 도 2에 도시된 본 실시 형태의 타이밍 차트를 참조로 설명한다.

[0060] 도 2에서, SSP는 그 펄스 폭이 CK1, CK2 및 CK3의 사이클의 1/3이 되는 하이가 되는 시작 펄스이다. CK1, CK2 및 CK3은 3상 클록 신호들이다. 도 1에서, SSP는 CK3이 하이가 될 때, 하이가 되는 것이 바람직하다. 노드 P(1)은 후술될 도 3에 도시된 노드 P의 전위를 갖는다. OUT(1)은 제 1 스테이지의 회로(10)로서의 SR(1)의 출력이며, OUT(2)는 제 2 스테이지의 회로(10)로서의 SR(2)의 출력이고, OUT(3)은 제 3 스테이지의 회로(10)로서의 SR(3)의 출력이며, OUT(n-1)은 (n-1)번째 스테이지의 회로(10)로서의 SR(n-1)의 출력이고, OUT(n)은 n번째 스테이지의 회로(10)로서의 SR(n)의 출력이다.

[0061] 도 2의 타이밍 차트에 도시된 바와 같이, SSP가 기간 T1에서 하이가 될 때, OUT(1)은 기간 T2에서 하이가 되며, 그후, OUT(2)는 기간 T3에 하이가 된다. 이 방식으로 시프트 레지스터 회로는 SSP의 출력을 시프트함으로써 실현된다.

[0062] 다음에, 제 1 스테이지의 회로(10)의 구성을 도 3을 참조로 설명한다.

[0063] 도 3에 도시된 회로(10)는 입력 단자(11), 입력 단자(12), 입력 단자(13), 출력 단자(14), 트랜지스터(31), 트랜지스터(32), 용량 소자(33), 회로(34) 및 회로(35)로 구성된다. 입력 단자들(11 내지 13)은 배선들에 접속된다는 것을 주의하여야 한다. 입력 단자들(11 내지 13) 및 출력 단자(14)는 도 1에서 설명된 것들과 유사하다. 트랜지스터들(31, 32)은 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터들이다. 용량 소자(33)는 두 개의 전극들을 갖는 용량 소자이다. 회로(34)는 CK2가 하이일 때, 로우를 노드 P에 출력하고, CK2가 로우일 때 그 출력이 부유 상태가 되는 회로이다. 회로(35)는 CK2가 하이일 때, 로우를 출력 단자(14)에 출력하고, CK2가 로우일 때, 그 출력이 부유 상태가 되는 회로이다.

[0064] 도 3에 도시된 회로의 접속들이 설명된다. 트랜지스터(31)의 게이트는 입력 단자(11)에 접속되며, 그 소스 및 드레인 중 하나는 VDD에 접속되고, 소스 및 드레인 중 다른 쪽은 용량 소자(33)의 하나의 전극, 트랜지스터(32)의 게이트 및 노드 P인 회로(34)의 출력 단자에 접속된다. 또한, 트랜지스터(32)의 소스 및 드레인 중 하나는 입력 단자(12)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 회로(35)의 출력 단자, 용량 소자(33)의 다른 단자 및 출력 단자(14)에 접속된다. 입력 단자(13)는 회로(35)의 입력 단자 및 회로(34)의 입력 단자에 접속된다.

[0065] 기간 T1, 기간 T2 및 기간 T3에서 도 3에 도시된 회로의 동작을 도 2에 도시된 본 실시 형태의 타이밍 차트를 참조로 개별적으로 설명한다. 또한, 노드 P 및 OUT(1)의 전위들은 초기 상태에서 VSS이다.

[0066] 기간 T1에서, SSP는 하이가 되고, CK1은 로우가 되며, CK2는 로우가 되고, CK3은 하이가 된다. 이 시기에 트랜지스터(31)의 게이트 전위는 VDD이고, 그 소스 및 드레인 중 하나의 전위는 VDD이며, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS이다. 따라서, 트랜지스터(31)는 온 되고, 노드 P의 전위는 상승하기 시작한다. 노드 P의 전위의 상승은 트랜지스터(31)의 임계 전압 만큼 VDD 보다 낮은 전위가 될 때 정지하고, 트랜지스터(31)가 오프 된다. 이 시점에서, 노드 P의 전위는 Vn1이다. 또한, CK2가 로우일 때, 회로들(34, 35)의 출력들은 부유 상태들이 된다. 따라서, 전하가 노드 P에 공급되지 않을 때, 노드 P는 부유 상태가 된다. 이 시점에서, 트랜지스터(32)의 게이트 전위는 Vn1이고, 그 소스 및 드레인 중 하나의 전위 및 그 소스 및 드레인 중 다른 쪽의 전위는 VSS이며, 따라서, 트랜지스터(32)는 온 상태이다. 그러나, 소스 및 드레인 중 하나의 전위 및 그 다른 쪽의 전

위가 동일 할 때, 전하의 이동이 존재하지 않으며, 그에 의해, 어떠한 전류도 흐르지 않고, 어떠한 전위 변화도 없다. 용량 소자(33)는 노드 P의 전위로서의 V_{n1} 과 출력 단자(14)의 전위로서의 VSS 사이의 전위차를 유지한다.

[0067] 기간 T2에서, SSP가 로우가 되고, CK1은 하이가 되고, CK2는 로우가 되며, CK3은 로우가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS이며, 그 소스 및 드레인 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 다른 쪽의 전위는 V_{n1} 이며, 그에 의해, 트랜지스터(31)는 오프 된다. CK2가 로우일 때, 회로들(34, 35)의 출력들은 부유 상태들이 된다. 이 시점에서, 트랜지스터(32)의 게이트 전위는 V_{n1} 이며, 그 드레인 및 소스 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 다른 쪽의 전위, 즉, 출력 단자(14)의 전위는 VSS가 되고, 그에 의해, 트랜지스터(32)는 온 되며, 출력 단자(14)의 전위는 상승하기 시작한다. 이때, 트랜지스터(32)의 소스와 드레인 중 다른 쪽과 게이트 사이에 접속된 용량 소자(33)는 기간 T1에서 유지된 전위차를 그대로 유지하며, 따라서, 소스 및 드레인 중 다른 쪽의 전위가 상승하고, 동시에 게이트 전압이 상승한다. 노드 P의 전위는 이 시점에서 V_{n2} 이다. 노드 P의 전위가 VDD와 트랜지스터(32)의 임계 전압의 합만큼 높게 상승할 때, 출력 단자(14)의 전위의 상승은 CK1과 동일한 VDD에서 정지한다. 달리 말해서, 부트 스트랩 동작에 의해, 출력 단자(14)의 전위는 CK1의 하이 전위인 VDD 만큼 높게 상승될 수 있다.

[0068] 기간 T3에서, SSP는 로우이며, CK1은 로우이고, CK2는 하이이고, CK3은 로우이다. 이때, 노드 P의 전위는 CK2가 하이일 때 VSS가 되고, VSS는 회로(34)로부터 출력되며, VSS가 회로(35)로부터 출력될 때, OUT(1)의 전위는 VSS가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS가 되며, 소스 및 드레인 중 하나의 전위는 VDD가 되고, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS가 되며, 그에 의해, 트랜지스터(31)는 오프 된다. 트랜지스터(32)의 게이트 전위는 VSS가 되며, 그 소스 및 드레인 중 하나의 전위는 VSS가 되고, 소스 및 드레인 중 다른 쪽의 전위는 VSS가 되며, 그에 의해, 트랜지스터(32)가 오프 된다.

[0069] 상술된 기간들(T1, T2, T3)에서의 동작들에 의해, SSP가 기간 T1에서 입력될 때, 기간 T2에서 OUT(1)이 출력된다. 즉, 시프트 레지스터는 클록 신호의 사이클의 1/3의 시프트를 갖는 SSP를 각각 출력하는 회로들(10)의 n 스테이지들을 접속함으로써 구성된다.

[0070] 도 3에서, 제 1 스테이지의 회로(10)로서의 SR(1)이 도시되어 있다. n-번째 스테이지의 회로(10)로서의 SR(n)이 도 51을 참조로 설명된다. 도 51에서, 트랜지스터(31), 트랜지스터(32), 용량 소자(33), 회로(34), 회로(35), 입력 단자(11), 입력 단자(12), 입력 단자(13) 및 출력 단자(14)는 도 3에 도시된 것들과 유사하다. 입력 단자(11)로부터 입력된 입력 신호는 선행 스테이지의 회로(10)의 출력 단자(14)에 접속되어 있다.

[0071] 트랜지스터(31)의 게이트 및 트랜지스터(32)의 소스 및 드레인 중 다른 쪽은 전원선으로서 기능하는 배선(이하, "전원선"이라 지칭함), 예로서, 정전원(VDD) 및 부전원(VSS) 및 기타 전원선 같은 전원선이나, 다른 신호선으로서 기능하는 배선(이하, "신호선"이라 지칭함)에 접속될 수 있다는 것을 유의하여야 한다. 또한, 트랜지스터(31)의 소스 및 드레인 중 다른 쪽은 다른 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다.

[0072] 도 3에 도시된 시프트 레지스터 회로에 사용되는 트랜지스터들은 모두 n-채널 트랜지스터들이며, 따라서, 단극 회로(unipolar circuit)를 형성하지만, 마찬가지로, p-채널 트랜지스터들만이 사용될 수 있다. 두말할 필요 없이, p-채널 트랜지스터와 n-채널 트랜지스터가 조합하여 사용될 수 있다. 모든 트랜지스터들이 p-채널 트랜지스터들인 시프트 레지스터 회로를 도 55를 참조로 설명한다.

[0073] 도 55에 도시된 회로 구성에서, 정전원(VDD), 부전원(VSS), 입력 단자(11), 입력 단자(12), 입력 단자(13) 및 출력 단자(14)는 도 3의 것들과 유사할 수 있다. 트랜지스터들(551, 552)은 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 p-채널 트랜지스터들이다. 용량 소자(553)는 두 개의 전극들을 갖는다. 회로(554)는 CK2가 로우일 때 하이를 노드 P에 출력하고, 그 출력은 CK2가 하이일 때 부유 상태가 된다. 회로(555)는 CK2가 로우일 때 하이를 출력 단자(14)에 출력하고, 그 출력은 CK2가 하이일 때 부유 상태가 된다.

[0074] 도 55에 도시된 회로의 접속들을 설명한다. 트랜지스터(551)의 게이트는 입력 단자(11)에 접속되고, 그 소스 및 드레인 중 하나는 정전원(VSS)에 접속되며, 그 소스 및 드레인 중 다른 쪽은 용량 소자(553)의 하나의 전극, 트랜지스터(552)의 게이트 및 노드 P인 회로(554)의 출력 단자에 접속된다. 트랜지스터(552)의 소스 및 드레인 중 하나는 입력 단자(12)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 회로(555)의 출력 단자, 용량 소자(553)의 다른 전극 및 출력 단자(14)에 접속된다. 입력 단자(13)는 회로(554)의 입력 단자 및 회로(555)의 입력 단자에 접속된다.

[0075] 트랜지스터(551)의 게이트와, 트랜지스터(552)의 소스 및 드레인 중 다른 쪽은 전원선, 예로서, 정전원(VDD) 및

부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다. 또한, 트랜지스터(551)의 소스 및 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다.

- [0076] 도 55에 도시된 회로(554)의 구성예를 도 59a를 참조로 설명한다. 도 59a의 회로(554)에 도시된 바와 같이, 입력 단자(13) 및 노드 P는 도 55의 것들과 유사하다. 트랜지스터(591)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 p-채널 트랜지스터이다.
- [0077] 도 59a에 도시된 회로의 접속들을 설명한다. 트랜지스터(591)의 게이트는 입력 단자(13)에 접속되고, 그 소스 및 드레인 중 하나는 VDD에 접속되며, 그 소스 및 드레인 중 다른 쪽은 노드 P에 접속된다.
- [0078] 도 59a의 동작을 설명한다. 트랜지스터(591)는 입력 단자(13)로부터 입력된 CK2가 로우일 때 온 되며, 그에 의해, VDD가 노드 P로 출력되는 반면, 트랜지스터(591)는 CK2가 하이일 때 오프 되며, 그에 의해, 노드 P에 아무 것도 출력되지 않는다. 이 방식으로, 회로(554)는 CK2가 로우일 때 하이를 출력하도록 기능하고, 그 출력은 CK2가 하이일 때, 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술된 회로 구성 대신 사용될 수 있다.
- [0079] 트랜지스터(591)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다는 것을 유의하여야 한다. 또한, 트랜지스터(591)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.
- [0080] 도 55에 도시된 회로(555)의 구성예를 도 59b를 참조로 설명한다. 도 59b에 도시된 바와 같이, 입력 단자(13) 및 출력 단자(14)는 도 55에 도시된 것들과 유사하다. 트랜지스터(592)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 p-채널 트랜지스터이다.
- [0081] 도 59b에 도시된 회로의 동작을 설명한다. 트랜지스터(592)는 입력 단자(13)로부터 입력된 CK2가 로우일 때 온 상태가 되며, 그에 의해 VDD가 출력 단자(14)에 출력되는 반면, 트랜지스터(592)는 CK2가 하이일 때, 오프 상태가 되며, 그에 의해, 출력 단자(14)에 아무것도 출력하지 않는다. 이 방식으로, 회로(555)는 CK2가 로우일 때 하이를 출력하는 기능을 가지며, 그 출력은 CK2가 하이일 때 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로구성 대신 사용될 수 있다.
- [0082] 트랜지스터(592)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속된다는 것을 유의하여야 한다. 또한, 트랜지스터(592)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.
- [0083] 다음에, 도 3에 도시된 회로(34)의 구성예를 도 4a를 참조로 설명한다.
- [0084] 도 4a에 도시된 회로(34)에서, 입력 단자(13) 및 노드 P는 도 3의 것들과 유사하다. 트랜지스터(41)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터이다.
- [0085] 도 4a에 도시된 회로의 접속들을 설명한다. 트랜지스터(41)의 게이트는 입력 단자(13)에 접속되고, 그 소스 및 드레인 중 하나는 VSS에 접속되며, 그 소스 및 드레인 중 다른 쪽은 노드 P에 접속된다.
- [0086] 도 4a에 도시된 회로의 동작을 설명한다. 트랜지스터(41)는 입력 단자(13)로부터 입력된 CK2가 하이일 때, 온 상태가 되며, 그에 의해 VSS가 노드 P에 출력되는 반면, 트랜지스터(41)는 CK2가 로우일 때 오프 상태가 되며, 그에 의해, 노드 P에 아무것도 출력되지 않는다. 이 방식으로, 회로(34)는 CK2가 하이일 때 로우를 출력하는 기능을 갖고, 그 출력은 CK2가 로우일 때 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.
- [0087] 트랜지스터(41)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선, 또는 다른 전원선에 접속될 수 있다는 것을 유의하여야 한다. 또한, 트랜지스터(41)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.
- [0088] 도 3에 도시된 회로(35)의 구성예를 도 4b를 참조로 설명한다.
- [0089] 도 4b에 도시된 회로(35)에서, 입력 단자(13) 및 출력 단자(14)는 도 3의 것들과 유사하다. 트랜지스터(42)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터이다.
- [0090] 도 4b에 도시된 회로의 동작을 설명한다. 트랜지스터(42)는 입력 단자(13)로부터 입력된 CK2가 하이일 때, 온

상태가 되며, 그에 의해 VSS가 출력 단자(14)에 출력되는 반면, 트랜지스터(42)는 CK2가 로우일 때 오프 상태가 되며, 그에 의해, 출력 단자(14)에 아무것도 출력되지 않는다. 이 방식으로, 회로(35)는 CK2가 하이일 때 로우를 출력하는 기능을 갖고, 그 출력은 CK2가 로우일 때 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.

[0091] 트랜지스터(42)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선, 또는 다른 전원선에 접속될 수 있다는 것을 유의하여야 한다. 트랜지스터(42)의 소스 및 드레인 중 하나가 트랜지스터(41)의 소스 및 드레인 중 하나가 접속되어 있는 VSS를 갖는 배선에 접속될 수 있다는 것은 두말할 필요가 없다. 또한, 트랜지스터(42)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.

[0092] 즉, 도 3 및 도 4에 도시된 구성들에서, 제 1 트랜지스터(트랜지스터(31)), 제 2 트랜지스터(트랜지스터(32)), 제 3 트랜지스터(트랜지스터(41)) 및 제 4 트랜지스터(트랜지스터(42))가 제공된다. 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 배선(VDD)에 접속되고, 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트 전극과 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에 접속되고, 제 1 트랜지스터의 게이트 전극은 제 5 배선(입력 단자(11))에 접속되며, 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 3 배선(입력 단자(12))에 접속되고, 소스 및 드레인 중 다른 쪽은 제 6 배선(출력 단자(14))에 접속되며, 제 3 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선(VSS)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트 전극에 접속되며, 제 3 트랜지스터의 게이트 전극은 제 4 배선(입력 단자(13))에 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선(VSS)에 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 6 배선(출력 단자(14))에 접속되고, 그 게이트 전극은 제 4 배선(입력 단자(13))에 접속된다. 또한, 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 5 배선(입력 단자(11))에 접속될 수 있다.

[0093] 상술한 바와 같은 시프트 레지스터에서, VSS는 CK2가 하이일 때, 노드 P 및 출력 단자(14)에 공급될 수 있다. 즉, 비선택 기간중에 규칙적 간격들로 VSS를 입력함으로써, 노이즈가 감소될 수 있다. 또한, 상시 온 상태인 트랜지스터가 존재하지 않기 때문에, 트랜지스터의 특성 열화가 억제될 수 있다. 부가적으로, 적어도 4개 트랜지스터들이 동작을 위해 사용될 수 있기 때문에, 전체 시프트 레지스터 회로내의 소자들의 수가 감소될 수 있으며, 이는 절연 기판 위의 작은 영역내에 내부 회로를 형성할 수 있게 한다.

[0094] 변형가능한 본 실시 형태의 소정 구성예들 및 동작 예들을 후술한다. 후술된 구성예들 및 동작예들은 "발명이 이루고자하는 기술적 과제", 실시 형태들 및 실시예들에 적용될 수 있다.

[0095] 도 1에 도시된 바와 같이, 회로(10)가 비선택 기간일 때 CK1, CK2 및 CK3의 클록 신호들이 입력되지만, 클록 신호들이 비선택 기간 중에 회로(10)에 입력되지 않도록 스위칭 소자 등이 제공될 수 있다. 결과적으로, 클록 신호선상의 부하가 감소되며, 전력 소비가 감소될 수 있다.

[0096] 또한, 도 1에서, 상술된 시프트 레지스터 회로는 역방향으로 주사될 수 있다. 예로서, n-번째 스테이지의 회로(10)의 출력이 (n-1) 번째 스테이지의 회로(10)에 입력될 수 있다. 이를 모든 스테이지들에서 반복함으로써, 역방향 스캐닝이 실현될 수 있다.

[0097] 도 2에 도시된 바와 같이, SSP, CK1, CK2 및 CK3의 펄스 폭은 1/3 사이클이며, 펄스 폭은 1/3 사이클 보다 근소하게 짧을 수 있다. 결과적으로, 통과 전류(through current) 같은 순간적으로 흐르는 전류가 억제될 수 있으며, 높은 동작 마진 및 낮은 전력 소비를 갖는 동작이 수행될 수 있다. 부트 스트랩 동작을 수행하는 회로 구성에서, 부유 상태의 노드가 존재하며, 이는 정상적 부트 스트랩 동작을 수행하는데 유리하다.

[0098] 도 2에서, SSP가 하이일 때의 기간 중에, CK3은 동일한 펄스 폭을 갖는 하이이다. 그러나, 본 발명은 이에 한정되지 않는다. 예로서, 신호가 외부 회로로부터 내부 회로로 전송될 때, 지연 시간은 버퍼 회로, 신호 진폭을 변경하는 레벨 시프터 회로 등에 의존하여 제어 신호들 사이에서 변할 수 있다.

[0099] 도 3에서, 용량 소자(33)는 부트 스트랩 동작을 위해 접속된다. 그러나, 부트 스트랩 동작을 위해, 트랜지스터(32)의 소스 및 드레인 중 다른 쪽과 게이트 사이에 충분히 큰 게이트-소스 커패시턴스 등이 존재하는 경우, 용량 소자(33)가 항상 제공될 필요가 있는 것은 아니다. 또한, 용량 소자(33)는 임의의 방법에 의해 형성될 수 있다. 예로서, 용량 소자는 반도체층과 게이트 배선층 사이, 또는 비정질 반도체층과 배선 사이에 형성될 수 있다. 반도체층과 게이트 배선층 사이에 용량 소자를 형성하는 것이 유리하며, 그 이유는 용량 소자가 보텀 게이트 트랜지스터(bottom gate transistor) 또는 탑 게이트 트랜지스터(top gate transistor)에 관계 없이 그 사이에 얇은 GI 막(게이트 절연막)이 개재된 상태로 형성될 수 있으며, 이것이, 작은 면적으로 보다 많은 커패시

턴스를 획득할 수 있게 하기 때문이다.

- [0100] 도 3에서, 트랜지스터(31)의 게이트에 SSP가 입력되지만, 그 소스 및 드레인 중 하나와 게이트가 서로 접속될 수 있으며, 이에 SSP가 입력될 수 있다. 결과적으로, 정전원(VDD)이 불필요하기 때문에, 하나의 전원선이 감소될 수 있다. 따라서, 시프트 레지스터 회로를 형성하기 위한 면적이 보다 작아질 수 있다. 결론적으로, 보다 높은 해상도 및 보다 좁은 프레임을 갖는 표시 장치가 제공될 수 있다.
- [0101] 도 3에 도시된 회로들(34, 35)은 상술한 바와 같이, CK2가 하이일 때 VSS가 출력되고, CK2가 로우일 때 그 출력이 부유 상태가 되는 임의의 회로들일 수 있다. 또한, 다음 스테이지의 회로(10)의 출력이 회로(34)의 입력 단자에 입력될 수 있으며, 후속 스테이지의 회로(10)의 출력이 유사하게 회로(35)의 입력 단자에 입력되거나, 후속 스테이지의 회로(10)의 출력이 회로들(34, 35)의 입력 단자들에 입력될 수 있다. 후속 스테이지의 회로(10)의 출력을 사용함으로써, 회로들(34, 35)은 제어 신호 뿐만 아니라, 시프트 레지스터 회로의 실제 출력과도 마찬가지로 동기될 수 있으며, 따라서, 전위가 시프트 레지스터 회로의 동작에 따라 적절히 변경될 수 있다는 장점이 존재한다.
- [0102] 도 3에 도시된 바와 같이, 용량 소자는 노드 P와 VSS 또는 VDD 사이에 접속될 수 있다. 용량 소자를 접속함으로써, 노드 P의 전위가 안정화될 수 있다.
- [0103] 도 3에서, 회로(34)는 항상 필요한 것은 아니라는 것에 유의하여야 한다. 즉, VSS가 회로(35)에 의해 규칙적 간격들로 출력되기 때문에, 트랜지스터(32)는 노드 P가 노이즈를 가질 때에도 오프된다. 결과적으로, 소자들의 수가 감소될 수 있다. 이때, 용량 소자는 노드 P와 VSS 또는 VDD 사이에 접속될 수 있다.
- [0104] [제 2 실시 형태]
- [0105] 본 실시 형태에서는 비선택 기간 중에 출력 전압의 노이즈가 규칙적 간격들로 VSS를 출력함으로써 감소되는 시프트 레지스터 회로의 동작 및 구성을 도 2 및 도 5 내지 도 7을 참조로 설명한다.
- [0106] 도 5에 도시된 바와 같이, 회로(50)는 직렬로 접속된 n (n 은 2 이상의 자연수)개의 회로들(SR(1) 내지 SR(n))에 의해 시프트 레지스터 회로를 형성한다.
- [0107] 입력 단자(51)는 제 1 스테이지의 회로(50)로서의 SR(1)에 시작 펄스를 입력하고, 선행 스테이지의 출력 단자(55)로부터의 출력을 제 2 내지 n -번째 스테이지들의 회로들(50)로서의 SR(2)에 입력하기 위한 입력 단자이다. 입력 단자(52)는 CK1이 클록 신호로서 제 1 스테이지의 회로(50)로서의 SR(1)에 입력되고, CK2가 클록 신호로서, 제 2 스테이지의 회로(50)로서의 SR(2)에 입력되며, CK3이 클록 신호로서, 제 3 스테이지의 회로(50)로서의 SR(3)에 입력되며, CK1이 제 4 스테이지의 회로(50)로서의 SR(4)에 입력되는 방식으로, CK1, CK2 및 CK3을 순차 입력하기 위한 입력 단자이다. 입력 단자(53)는 CK2가 제 1 스테이지의 회로(50)로서의 SR(1)에 입력되고, CK3이 제 2 스테이지의 회로(50)로서의 SR(2)에 입력되고, CK1이 제 3 스테이지의 회로(50)로서의 SR(3)에 입력되며, CK2가 제 4 스테이지의 회로(50)로서의 SR(4)에 입력되는 방식으로, 클록 신호들을 순차 입력하기 위한 입력 단자이다. 입력 단자(54)는 CK3이 제 1 스테이지의 회로(50)로서의 SR(1)에 입력되고, CK1이 제 2 스테이지의 회로(50)로서의 SR(2)에 입력되고, CK2가 제 3 스테이지의 회로(50)로서의 SR(3)에 입력되고, CK3이 제 4 스테이지의 회로(50)로서의 SR(4)에 입력되는 방식으로, 클록 신호들을 순차 입력하기 위한 입력 단자이다. 출력 단자(55)는 회로(50)의 출력 단자이며, 이는 제 1 스테이지의 회로(50)로서의 SR(1)으로부터 OUT(1)을 출력하고, 제 2 스테이지의 회로(50)로서의 SR(2)의 입력 단자(51)에 OUT(1)을 출력하고, 제 2 스테이지의 회로(50)로서의 SR(2)로부터 OUT(2)를 출력하고, 제 3 스테이지의 회로(50)로서의 SR(3)의 입력 단자(51)에 OUT(2)를 출력한다.
- [0108] 여기서, SSP, CK1, CK2 및 CK3은 각각 하이 및 로우의 이진 값을 가지는 1 비트 신호들이다. 하이는 정전원인 VDD와 동일한 전위이고, 로우는 부전원인 VSS와 동일한 전위이다. 여기서, SSP, CK1, CK2 및 CK3은 하이 및 로우의 이진값을 각각 가지는 1 비트 신호들이다. 또한, OUT(1), OUT(2), OUT(3), OUT($n-1$) 및 OUT(n)은 각각 이진값을 가지는 1 비트 신호들이다. 하이는 정전원인 VDD와 동일한 전위이고, 로우는 부전원인 VSS와 동일한 전위이다.
- [0109] 도 5에 도시된 시프트 레지스터 회로의 동작을 도 2에 도시된 본 실시 형태의 타이밍 차트를 참조로 설명한다.
- [0110] SSP, CK1, CK2 및 CK3은 제 1 실시 형태의 것들과 유사할 수 있다. 노드 P(1)은 후술된 도 6의 노드 P와 동일한 전위라는 것에 유의하여야 한다. OUT(1)은 제 1 스테이지의 회로(50)로서의 SR(1)의 출력이고, OUT(2)는 제 2 스테이지의 회로(50)로서의 SR(2)의 출력이고, OUT(3)은 제 3 스테이지의 회로(50)로서의 SR(3)의 출력이며,

OUT(n-1)은 (n-1) 번째 스테이지의 회로(50)로서의 SR(n-1)의 출력이고, OUT(n)은 n-번째 스테이지의 회로(50)로서의 SR(n)의 출력이다.

[0111] 도 2의 타이밍 차트에서, SSP가 기간 T1에 도시된 바와 같이 하이가 될 때, OUT(1)은 기간 T2에 도시된 바와 같이 하이가 되며, OUT(2)는 기간 T3에 도시된 바와 같이 하이가 된다. 이 방식으로, 시프트 레지스터 회로는 SSP의 출력을 시프트함으로써 실현된다.

[0112] 다음에, 도 6을 참조로 제 1 스테이지의 회로(50)의 구성을 설명한다.

[0113] 도 6에 도시된 회로(50)는 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 출력 단자(55), 트랜지스터(31), 트랜지스터(32), 용량 소자(33), 회로(34) 및 회로(35)를 포함한다. 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54) 및 출력 단자(55)는 도 5에서 설명된 것들과 유사하다. 트랜지스터(31) 및 트랜지스터(32)는 도 3에 예시된 것들과 유사하다. 회로(61)는 CK2가 하이일 때 노드 P에 로우를 출력하는 기능을 가지며, 그 출력은 CK2가 로우일 때 부유 상태가 된다. 회로(62)는 CK2 또는 CK3이 하이일 때 출력 단자(55)에 로우를 출력하는 기능을 가지며, 그 출력은 CK2 및 CK3이 로우일 때 부유 상태가 된다.

[0114] 도 6에 도시된 회로의 접속들을 설명한다. 트랜지스터(31)의 게이트는 입력 단자(51)에 접속되며, 그 소스 및 드레인 중 하나는 VDD에 접속되고, 그 소스 및 드레인 중 다른 쪽은 용량 소자(33)의 일 전극, 트랜지스터(32)의 게이트 및 회로(61)의 출력 단자, 즉, 노드 P에 접속된다. 트랜지스터(32)의 소스 및 드레인 중 하나는 입력 단자(52)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 회로(62)의 출력 단자, 용량 소자(33)의 다른 쪽 전극 및 출력 단자(55)에 접속된다. 입력 단자(53)는 회로(61)의 입력 단자 및 회로(62)의 입력 단자에 접속된다. 입력 단자(54)는 회로(62)의 입력 단자에 접속된다.

[0115] 도 2에 도시된 본 실시 형태의 타이밍 차트를 참조로, 기간 T1, 기간 T2 및 기간 T3에서의 도 6에 도시된 회로의 동작을 개별적으로 설명한다. 또한, 노드 P 및 OUT(1)의 전위들은 초기 상태에서 VSS이다.

[0116] 기간 T1에서, SSP는 하이가 되고, CK1은 로우가 되며, CK2는 로우가 되고, CK3은 하이가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VDD이며, 그 소스 및 드레인 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS이다. 따라서, 트랜지스터(31)가 온 상태가 되며, 노드 P의 전위는 VSS로부터 상승하기 시작한다. 노드 P의 전위의 상승은 트랜지스터(31)의 임계 전압 만큼 VDD 보다 낮은 전위가 되었을 때 정지하며, 그에 의해 트랜지스터(31)가 오프 상태가 된다. 이 시점에서, 노드 P의 전위는 Vn1이다. 또한, CK2가 로우일 때, 회로(61)의 출력은 부유 상태가 된다. 따라서, 노드 P에 전하가 공급되지 않기 때문에, 노드 P는 부유 상태가 된다. CK2가 로우이고, CK3이 하이일 때, 회로(62)는 로우를 출력한다. 이 시점에서, 트랜지스터(32)의 게이트 전위는 Vn1이고, 그 소스 및 드레인 중 하나의 전위는 VSS이며, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS이고, 따라서, 트랜지스터(32)가 온 상태가 된다. 그러나, 소스 및 드레인 중 하나의 전위 및 그 다른 쪽의 전위가 동일하기 때문에, 어떠한 전하의 이동도 존재하지 않으며, 어떠한 전류도 흐르지 않고, 어떠한 전위도 변하지 않는다. 용량 소자(33)는 노드 P의 전위로서 Vn1 및 출력 단자(55)의 전위로서 VSS 사이의 전위차를 유지한다.

[0117] 기간 T2에서, SSP는 로우가 되고, CK1은 하이가 되며, CK2는 로우가 되고, CK3은 로우가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS이고, 그 소스 및 드레인 중 하나의 전위는 VDD이며, 그 소스 및 드레인 중 다른 쪽의 전위는 Vn1이고, 그에 의해, 트랜지스터(31)는 오프 상태가 된다. CK2가 로우이기 때문에, 회로(61)의 출력은 부유 상태가 된다. CK2가 로우이고, CK3이 로우이기 때문에, 회로(62)의 출력은 부유 상태가 된다. 이 시점에서, 트랜지스터(32)의 게이트 전위는 Vn1이며, 그 소스 및 드레인 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 나머지의 전위, 즉, 출력 단자(55)의 전위는 VSS가 되고, 그에 의해, 트랜지스터(32)가 온 상태가 되며, 출력 단자(55)의 전위는 상승하기 시작한다. 이때, 트랜지스터(32)의 게이트와 그 소스 및 드레인 중 다른 쪽 사이에 접속되어 있는 용량 소자(33)는 기간 T1에서 유지된 전위차를 그대로 유지하며, 따라서, 소스 및 드레인 중 다른 쪽의 전위가 상승할 때, 게이트 전압이 동시에 상승한다. 노드 P의 전위는 이 시점에서 Vn2이다. 노드 P의 전위가 VDD와 트랜지스터(32)의 임계전압의 합 만큼 높게 상승할 때, 출력 단자(14)의 전위의 상승은 CK1과 동일한 VDD에서 정지한다. 달리 말해서, 부트 스트랩 동작에 의해, 출력 단자(55)의 전위는 CK1의 하이 전위인 VDD 만큼 높게 상승될 수 있다.

[0118] 기간 T3에서, SSP는 로우이고, CK1은 로우이며, CK2는 하이이고, CK3은 로우이다. 이 시점에서, 노드 P의 전위는 CK2가 하이이기 때문에, VSS가 되며, 회로(61)로부터 VSS가 출력되고, OUT(1)의 전위는 VSS가 회로(62)로부터 출력되기 때문에, VSS가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS가 되고, 소스 및 드레인

중 하나의 전위는 VDD가 되고, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS가 되며, 그에 의해, 트랜지스터(31)가 오프 상태가 된다. 트랜지스터(32)의 게이트 전위는 VSS가 되며, 그 소스 및 드레인 중 하나의 전위는 VSS가 되고, 소스 및 드레인 중 나머지의 전위는 VSS가 되며, 그에 의해, 트랜지스터(32)는 오프 상태가 된다.

- [0119] 상술한 기간들 T1, T2 및 T3에서의 동작들에 의해, SSP가 기간 T1에 입력될 때, 기간 T2에 OUT(1)이 출력된다. 즉, 시프트 레지스터 회로는 각각 클록 신호의 사이클의 1/3의 시프트를 갖는 SSP를 출력하는 회로들(50)의 n 스테이지들을 접속함으로써 구성된다.
- [0120] 도 6에 도시된 제 1 스테이지의 회로(50)를 설명하였으며, 이제, 도 52를 참조로, n-번째 스테이지의 회로(50)를 설명한다. 도 52에서, 트랜지스터(31), 트랜지스터(32), 용량 소자(33), 회로(61), 회로(62), 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 및 출력 단자(55)는 도 6에 설명된 것들과 유사하다. 회로의 특징은 입력 단자(51)로부터 입력된 입력 신호가 선행 스테이지의 회로의 출력 단자(55)에 접속되어 있다는 것이다.
- [0121] 트랜지스터(31)의 게이트 및 트랜지스터(32)의 소스 및 드레인 중 다른 쪽은 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(31)의 소스 및 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다.
- [0122] 도 6에 도시된 시프트 레지스터 회로에 사용되는 트랜지스터들은 모두 n-채널 트랜지스터들이며, 따라서, 단극성 회로를 형성하지만, 마찬가지로 p-채널 트랜지스터만이 사용될 수 있다. p-채널 트랜지스터와 n-채널 트랜지스터가 조합하여 사용될 수 있다는 것은 두말할 필요가 없다. 모든 트랜지스터들이 p-채널 트랜지스터들인 시프트 레지스터 회로를 도 56을 참조로 설명한다.
- [0123] 도 56에 도시된 회로 구성에서, 정전원(VDD), 부전원(VSS), 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 트랜지스터(551), 트랜지스터(552) 및 용량 소자(553)는 도 55의 것들과 유사할 수 있다. 회로(561)는 CK2가 로우일 때, 노드 P에 하이를 출력하는 기능을 가지며, 그 출력은 CK2가 하이일 때, 부유 상태가 된다. 회로(562)는 CK2 또는 CK3 중 어느 하나가 로우일 때, 노드 P에 하이를 출력하는 기능을 가지며, 그 출력은 CK2 및 CK3이 하이일 때, 부유 상태가 된다.
- [0124] 도 56에 도시된 회로의 접속들을 설명한다. 트랜지스터(551)의 게이트는 입력 단자(51)에 접속되고, 그 소스 및 드레인 중 하나는 정전원(VSS)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 용량 소자(553)의 일 전극, 트랜지스터(552)의 게이트 및 회로(561)의 출력 단자, 즉, 노드 P에 접속된다. 트랜지스터(552)의 소스 및 드레인 중 하나는 입력 단자(52)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 회로(562)의 출력 단자, 용량 소자(553)의 다른 쪽 전극 및 출력 단자(55)에 접속된다. 입력 단자(53)는 회로(562)의 제 1 입력 단자 및 회로(561)의 입력 단자에 접속된다. 입력 단자(54)는 회로(562)의 제 1 트랜지스터의 제 2 입력 단자에 접속된다.
- [0125] 트랜지스터(551)의 게이트 및 트랜지스터(552)의 소스 및 드레인 중 다른 쪽은 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다. 또한, 트랜지스터(551)의 소스 및 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선, 또는 다른 전원선에 접속될 수 있다.
- [0126] 다음에, 도 56에 도시된 회로(561)의 구성예를 도 60a를 참조로 설명한다.
- [0127] 도 60a에 도시된 회로(561)의 입력 단자(53) 및 노드 P는 도 55의 것들과 유사하다. 트랜지스터(601)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 p-채널 트랜지스터이다.
- [0128] 도 60a에 도시된 회로의 접속들을 설명한다. 트랜지스터(601)의 게이트는 입력 단자(53)에 접속되고, 그 소스 및 드레인 중 하나는 VDD에 접속되며, 그 소스 및 드레인 중 다른 쪽은 노드 P에 접속된다.
- [0129] 도 60a에 도시된 회로의 동작을 설명한다. 트랜지스터(601)는 입력 단자(53)로부터 입력된 CK2가 로우일 때 온 상태가 되며, 그에 의해, 노드 P에 VDD가 출력되며, CK2가 하이일 때, 트랜지스터(601)는 오프 상태가 되며, 그에 의해, 노드 P에 아무것도 출력하지 않는다. 이 방식으로, 회로(561)는 CK2가 로우일 때, 하이를 출력하는 기능을 갖고, 그 출력은 CK2가 하이일 때, 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.
- [0130] 트랜지스터(601)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다. 또한, 트랜지스터(601)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전

원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.

- [0131] 도 56에 도시된 회로(562)의 구성예를 도 60b를 참조로 설명한다.
- [0132] 도 60b에 도시된 회로(562)에서, 입력 단자들(53, 54)과 출력 단자(55)는 도 55의 것들과 유사하다. 트랜지스터들(602, 603)은 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 p-채널 트랜지스터들이다.
- [0133] 도 60b에 도시된 회로의 동작을 설명한다. 트랜지스터(602)는 입력 단자(53)로부터 입력된 CK2가 로우일 때, 온 상태가 되며, 그에 의해, VDD가 출력 단자(55)에 출력되고, CK2가 하이일 때, 트랜지스터(602)가 오프 상태가 되며, 그에 의해, 출력 단자(55)에 아무것도 출력하지 않는다. 트랜지스터(603)는 입력 단자(54)로부터 입력된 CK3이 로우일 때, 온 상태가 되며, 그에 의해, 출력 단자(55)에 VDD가 출력되며, CK3이 하이일 때, 출력 단자(55)에는 아무것도 출력되지 않는다. 이 방식으로, 회로(562)는 CK2 및 CK3이 로우일 때, 하이를 출력하는 기능을 가지며, 그 출력은 CK2 및 CK3이 하이일 때, 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.
- [0134] 트랜지스터(592)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(592)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.
- [0135] 다음에, 도 6에 도시된 회로(61)의 구성예를 도 7a를 참조로 설명한다.
- [0136] 도 7a에 도시된 회로(61)에 도시된 바와 같이, 입력 단자(53) 및 노드 P는 도 6의 것들과 유사하다. 트랜지스터(71)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터이다.
- [0137] 도 7a에 도시된 회로의 접속들을 설명한다. 트랜지스터(71)의 게이트는 입력 단자(53)에 접속되고, 그 소스 및 드레인 중 하나는 VSS에 접속되며, 소스 및 드레인 중 다른 쪽은 노드 P에 접속된다.
- [0138] 도 7a에 도시된 회로의 동작을 설명한다. 트랜지스터(71)는 입력 단자(53)로부터 입력된 CK2가 하이일 때, 온 상태가 되며, 그에 의해, VSS가 노드 P에 출력되고, CK2가 로우일 때, 트랜지스터(71)는 오프 상태가 되며, 그에 의해, 노드 P에는 아무것도 출력되지 않는다. 이 방식으로, 회로(71)는 CK2가 하이일 때, 로우를 출력하는 기능을 가지며, 그 출력은 CK2가 로우일 때 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.
- [0139] 트랜지스터(71)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다. 트랜지스터(71)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선 또는 다른 신호선에 접속될 수 있다.
- [0140] 도 6에 도시된 회로(62)의 구성예를 도 7b를 참조로 설명한다.
- [0141] *도 7b에 도시된 회로(62)에 도시된 바와 같이, 입력 단자(53), 입력 단자(54) 및 OUT(1)는 도 6의 것들과 유사하다. 트랜지스터들(72, 73)은 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터들이다.
- [0142] 도 7b에 도시된 회로의 접속들을 설명한다. 트랜지스터(72)의 게이트는 입력 단자(53)에 접속되고, 그 소스 및 드레인 중 하나는 VSS에 접속되며, 그 소스 및 드레인 중 나머지는 출력 단자(55)에 접속된다. 트랜지스터(73)의 게이트는 입력 단자(54)에 접속되고, 그 소스 및 드레인 중 하나는 VSS에 접속되며, 소스 및 드레인 중 다른 쪽은 출력 단자(55)에 접속된다. 트랜지스터들(72, 73)의 드레인 및 소스 중 하나가 트랜지스터(71)의 소스 및 드레인 중 하나가 접속되어 있는 VSS를 갖는 배선에 접속될 수 있다는 것은 두말할 것 없다.
- [0143] 도 7b에 도시된 회로의 동작을 설명한다. 트랜지스터(72)는 입력 단자(53)로부터 입력된 CK2가 하이일 때 온 상태가 되며, 그에 의해 VSS가 OUT(1)에 출력되고, 트랜지스터(72)는 CK2가 로우일 때 오프 상태가 되며, 그에 의해, OUT(1)에 아무것도 출력되지 않는다. 트랜지스터(73)는 입력 단자(54)로부터 입력된 CK3이 하이일 때 온 상태가 되며, 그에 의해, VSS가 OUT(1)에 출력되고, CK3이 로우일 때, 트랜지스터(73)는 오프 상태가 되며, 그에 의해, OUT(1)에 아무것도 출력되지 않는다. 이 방식으로, 회로(62)는 CK2 또는 CK3 중 어느 하나가 하이일 때, OUT(1)에 로우를 출력하는 기능을 가지며, 그 출력은 CK2 및 CK3이 로우일 때, 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.

- [0144] 트랜지스터(72) 및 트랜지스터(73) 각각의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(72)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다. 트랜지스터(73)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.
- [0145] 즉, 도 6 및 도 7에 도시된 구성들에서, 제 1 트랜지스터(트랜지스터(31)), 제 2 트랜지스터(트랜지스터(32)), 제 3 트랜지스터(트랜지스터(71)), 제 4 트랜지스터(72)) 및 제 5 트랜지스터(트랜지스터(73))가 제공된다. 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 배선(VDD)에 접속되고, 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트 전극과 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에 접속되고, 제 1 트랜지스터의 게이트 전극은 제 5 배선(입력 단자(51))에 접속되며, 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 3 배선(입력 단자(52))에 접속되고, 소스 및 드레인 중 나머지는 제 6 배선(출력 단자(55))에 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선(VSS)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트 전극에 접속되며, 제 3 트랜지스터의 게이트 전극은 제 4 배선(입력 단자(53))에 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선(VSS)에 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 6 배선(출력 단자(55))에 접속되고, 그 게이트 전극은 제 4 배선(입력 단자(53))에 접속되며, 제 5 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선(VSS)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 제 6 배선(출력 단자(55))에 접속되며, 그 게이트 전극은 제 7 배선(입력 단자(54))에 접속된다. 또한, 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 5 배선(입력 단자(51))에 접속될 수 있다.
- [0146] 상술된 바와 같은 시프트 레지스터 회로에서, CK2 또는 CK3 중 어느 하나가 하이가 될 때, VSS가 출력 단자(55)에 공급될 수 있다. 즉, 비선택 기간 중에 규칙적 간격들로 VSS를 입력함으로써, 노이즈가 감소될 수 있다. 또한, 상시 온 상태인 트랜지스터가 존재하지 않기 때문에, 트랜지스터의 특성 열화가 억제될 수 있다. 부가적으로, 제 1 실시 형태에 비해, VSS는 비선택 기간에 도시된 바와 같이, 두배 만큼 긴 기간 동안 출력 단자(55)에 공급될 수 있다. 따라서, 노이즈가 추가로 억제될 수 있다.
- [0147] 변할 수 있는 본 실시 형태의 소정 구성예들 및 동작예들을 후술한다. 후술된 구성예들 및 동작예들은 "발명이 이루고자하는 기술적 과제", 실시 형태들 및 실시예들에 적용될 수 있다. 제 1 실시 형태에 설명된 구성예 및 동작예는 본 실시 형태에 적용될 수 있다.
- [0148] 도 6에 도시된 바와 같이, 용량 소자가 노드 P와 VSS 또는 VDD 사이에 제공될 수 있다. 용량 소자를 접속함으로써, 노드 P의 전위가 안정화될 수 있다.
- [0149] 도 6에서, 용량 소자(33)는 부트 스트랩 동작을 위해 접속된다. 그러나, 트랜지스터(32)의 게이트와 소스 및 드레인 중 다른 쪽 사이에 부트 스트랩 동작을 위해 충분히 큰, 커패시턴스가 존재하는 경우, 용량 소자(33)는 제공될 필요가 항상 있는 것은 아니다. 또한, 용량 소자(33)는 어디든 형성될 수 있다. 예로서, 용량 소자는 비정질 반도체층과 게이트 배선층 사이, 또는 반도체층과 배선 사이에 형성될 수 있다. 용량 소자가 보텀 게이트 트랜지스터 또는 탑 게이트 트랜지스터에 무관하게 얇은 GI 막(게이트 절연막)이 사이에 개재된 상태로 형성될 수 있기 때문에, 반도체층과 게이트 배선층 사이에 용량 소자를 형성하는 것이 유리하며, 이는 보다 작은 면적으로 보다 많은 커패시턴스를 획득할 수 있게 한다.
- [0150] 도 6에서, 회로(61)가 항상 필요한 것은 아니라는 것에 유의하여야 한다. 즉, VSS가 회로(62)에 의해, 규칙적 간격들로 출력될 때, 트랜지스터(32)는 노드 P가 노이즈를 가질 때에도, 오프된다. 결과적으로, 소자들의 수가 감소될 수 있다. 이때, 용량 소자는 노드 P와 VSS 또는 VDD 사이에 접속될 수 있다.
- [0151] 일 스테이지의 회로(50)의 출력은 회로(62)의 입력 단자에 입력될 수 있으며, 후속 스테이지의 회로(50)의 출력은 유사하게 회로(35)의 입력 단자에 입력되거나, 후속 스테이지의 회로(50)의 출력이 회로들(61, 62)의 입력 단자들에 입력될 수 있다. 후속 스테이지의 회로(50)의 출력을 사용함으로써, 신호는 제어 신호 뿐만 아니라, 시프트 레지스터의 실제 출력과도 마찬가지로 동기화될 수 있고, 따라서, 시프트 레지스터 회로의 동작에 따라 전위가 변경될 수 있는 장점이 있다.
- [0152] 도 6에 도시된 바와 같이, 용량 소자는 노드 P와, VSS 또는 VDD 사이에 접속될 수 있다. 용량 소자를 접속함으로써, 노드 P가 안정화될 수 있다.
- [0153] [제 3 실시 형태]

- [0154] 본 실시 형태에서, 도 2, 도 5 및 도 8 내지 도 10을 참조로, 비선택 기간 중의 출력 전압의 노이즈가 비선택 기간 중에 VSS를 출력함으로써 감소되게 되는 시프트 레지스터 회로의 동작 및 구성을 설명한다.
- [0155] 도 5에 도시된 시프트 레지스터 회로의 구성 및 그 동작은 제 2 실시 형태에서 설명된 것들과 유사할 수 있다.
- [0156] 도 8을 참조로 제 1 스테이지의 회로(50)로서 SR(1)의 구성을 설명한다. 도 8에 도시된 회로(50)는 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 출력 단자(55), 트랜지스터(31), 트랜지스터(32), 용량 소자(33), 회로(81), 회로(82) 및 회로(83)로 구성된다.
- [0157] 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 출력 단자(55), 트랜지스터(31), 트랜지스터(32), 및 용량 소자(33)는 도 5에 도시된 것들과 유사하다.
- [0158] 회로(81)는 CK2가 하이일 때, 노드 P에 로우를 출력하는 기능을 가지며, 그 출력은 CK2가 로우일 때, 부유 상태가 된다. 회로(82)는 회로(83)의 출력이 하이이고, CK1, CK2 및 CK3 중 임의의 하나가 하이일 때 출력 단자(55)에 로우를 출력하는 기능을 가지며, 그 출력은 CK1, CK2 및 CK3이 로우일 때, 부유 상태가 된다. 회로(83)는 노드 P의 전위가 VDD 주변 또는 VDD와 같거나 그 보다 높을 때, 회로(82)에 로우를 출력하고, 노드 P의 전위가 VSS일 때, 회로(82)에 하이로 출력하는 기능을 갖는다.
- [0159] 도 8에 도시된 회로의 접속들이 설명된다. 트랜지스터(31)의 게이트는 입력 단자(51)에 접속되고, 그 소스 및 드레인 중 하나는 VDD에 접속되며, 그 소스 및 드레인 중 다른 쪽은 용량 소자(33)의 일 전극, 트랜지스터(32)의 게이트, 회로(83)의 입력 단자 및 회로(81)의 출력 단자, 즉, 노드 P에 접속된다. 트랜지스터(32)의 소스 및 드레인 중 하나는 입력 단자(52)에 접속되고, 소스 및 드레인 중 나머지는 회로(82)의 출력 단자, 용량 소자(33)의 다른 쪽 단자 및 출력 단자(55)에 접속된다. 입력 단자(52)는 회로(82)의 입력 단자에 접속되고, 입력 단자(53)는 회로(81)의 입력 단자 및 회로(82)의 입력 단자에 접속된다. 입력 단자(54)는 회로(82)의 입력 단자에 접속된다. 회로(83)의 출력 단자는 회로(82)의 입력 단자에 접속된다.
- [0160] 시간들 T1, 시간 T2 및 시간 T3중의 도 8에 도시된 회로의 동작을 도 2에 도시된 본 실시 형태의 타이밍 차트를 참조로 개별적으로 설명한다. 또한, 노드 P 및 OUT(1)의 전위들은 최초 상태에서 VSS이다.
- [0161] 시간 T1에서, SSP는 하이가 되고, CK1은 로우가 되며, CK2는 로우가 되고, CK3은 하이가 된다. 이 시기에 트랜지스터(31)의 게이트 전위는 VDD이고, 그 소스 및 드레인 중 하나의 전위는 VDD이며, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS이다. 따라서, 트랜지스터(31)는 온 상태가 되고, 노드 P의 전위는 VSS로 부터 상승하기 시작한다. 노드 P의 전위의 상승은 트랜지스터(31)의 임계 전압 만큼 VDD 보다 낮은 전위가 되었을 때 정지하며, 트랜지스터(31)가 오프 된다. 이 시점에서, 노드 P의 전위는 V_{n1} 이다. 또한, CK2가 로우일 때, 회로(81)의 출력은 부유 상태가 된다. 따라서, 전하가 노드 P에 공급되지 않기 때문에, 노드 P는 부유 상태가 된다. 회로(83)가 로우를 출력할 때, CK1은 로우이고, CK2는 로우이며, CK3은 하이이고, 회로(82)는 로우를 출력한다. 이 시점에서, 트랜지스터(32)의 게이트 전위는 V_{n1} 이고, 그 소스 및 드레인 중 하나의 전위는 VSS이며, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS이고, 따라서, 트랜지스터(32)가 온 상태가 된다. 그러나, 소스 및 드레인 중 하나의 전위 및 그 다른 쪽의 전위가 동일하기 때문에, 어떠한 전하도 이동하지 않으며, 그에 의해, 어떠한 전류도 흐르지 않고, 어떠한 전위도 변하지 않는다. 용량 소자(33)는 출력 단자(55)의 전위로서의 VSS와, 노드 P의 전위로서의 V_{n1} 사이의 전위차를 유지한다.
- [0162] 시간 T2에서, SSP는 로우가 되고, CK1은 하이가 되고, CK2는 로우가 되며, CK3은 로우가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS이며, 그 소스 및 드레인 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 다른 쪽의 전위는 V_{n1} 이며, 그에 의해, 트랜지스터(31)는 오프 상태가 된다. CK2가 로우일 때, 회로(81)의 출력은 부유 상태가 된다. 노드 P의 출력이 V_{n1} 이기 때문에, 회로(83)는 회로(82)의 입력 단자에 로우를 출력한다. 회로(83)의 출력이 로우이기 때문에, CK1은 하이이고, CK2는 로우이며, CK3은 로우이고, 회로(82)의 출력은 부유 상태가 된다. 이 시점에서, 트랜지스터(32)의 게이트 전위는 V_{n1} 이고, 그 소스 및 드레인 중 하나의 전위는 VDD이며, 그 소스 및 드레인 중 다른 쪽의 전위, 즉, 출력 단자(55)의 전위는 VSS가 되고, 그에 의해, 트랜지스터(32)가 온 상태가 되며, 출력 단자(55)의 전위가 상승하기 시작한다. 그후, 트랜지스터(32)의 게이트와 소스 및 드레인 중 다른 쪽 사이에 접속되어 있는 용량 소자(33)는 시간 T1 중에 유지된 전위차를 그대로 유지하며, 따라서, 소스 및 드레인 중 다른 쪽의 전위가 상승할 때, 동시에 게이트 전압도 상승한다. 노드 P의 전위는 이 시점에서, V_{n2} 이다. 노드 P의 전위가 트랜지스터(32)의 임계 전압과 VDD의 합 만큼 높게 상승할 때, 출력 단자(55)의 전위의 상승은 CK1과 동일한 VDD에서 정지한다. 달리 말해서, 부트 스트랩 동작에 의해, 출력 단자(55)의 전위는 CK1의 하이 전위인 VDD 만큼 높게 상승될 수 있다.

- [0163] 기간 T3에서, SSP는 로우이며, CK1은 로우이고, CK2는 하이이고, CK3은 로우이다. 이때, 노드 P의 전위는 CK2가 하이일 때 VSS가 되고, 회로(81)로부터 VSS가 출력되며, 그에 의해, 회로(83)는 회로(82)의 입력 단자에 하이를 출력한다. VSS가 회로(82)로부터 출력되기 때문에, OUT(1)의 전위는 VSS가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS이며, 소스 및 드레인 중 하나의 전위는 VDD가 되고, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS가 되고, 그에 의해, 트랜지스터(31)는 오프 상태가 된다. 트랜지스터(32)의 게이트 전위가 VSS가 되고, 그 소스 및 드레인 중 하나의 전위는 VSS가 되고, 소스 및 드레인 중 다른 쪽의 전위는 VSS가 되며, 그에 의해, 트랜지스터(32)가 오프 상태가 된다.
- [0164] 상술된 기간들(T1, T2, T3)에서의 동작들에 의해, SSP가 기간 T1에서 입력될 때, 기간 T2에서 OUT(1)이 출력된다. 즉, 시프트 레지스터는 클록 신호의 사이클의 1/3의 시프트를 갖는 SSP를 각각 출력하는 회로들(50)의 n 스테이지들을 접속함으로써 구성된다.
- [0165] 도 8에 도시된 제 1 스테이지의 회로(50)에 대하여 설명하였지만, 이제 도 53을 참조로 n-번째 스테이지의 회로에 대해 설명한다.
- [0166] 도 53에서, 트랜지스터들(31, 32), 용량 소자(33), 회로들(81, 82, 83), 입력 단자들(51, 52, 53, 54) 및 출력 단자(55)는 도 8에 도시된 것들과 유사하다. 회로의 특징은 단자(51)로부터 입력된 입력 신호가, 선행 스테이지의 회로의 출력 단자(55)에 접속된다는 것이다.
- [0167] 도 8에 도시된 시프트 레지스터 회로에 사용되는 트랜지스터들은 모두 n-채널 트랜지스터들이며, 따라서, 단극성 회로를 형성하지만, 마찬가지로, 단지 p-채널 트랜지스터들만이 사용될 수 있다. n-채널 트랜지스터와 p-채널 트랜지스터가 조합하여 사용될 수 있다는 것은 두말할 것 없다. 모든 트랜지스터들이 p-채널 트랜지스터들인 경우의 시프트 레지스터 회로가 도 57을 참조로 설명되어 있다.
- [0168] 도 57에 도시된 회로 구성에서, 정전원(VDD), 부전원(VSS), 입력 단자들(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 트랜지스터(551), 트랜지스터(552) 및 용량 소자(553)는 도 55의 것들과 유사할 수 있다. 회로(571)는 CK2가 로우일 때, 노드 P에 하이를 출력하는 기능을 가지며, 그 출력은 CK2가 하이일 때 부유 상태가 된다. CK1, CK2 및 CK3 중 임의의 하나가 로우일 때, 회로(572)는 출력 단자(55)에 하이를 출력한다.
- [0169] 도 57에 도시된 회로의 접속들을 설명한다. 트랜지스터(551)의 게이트는 입력 단자(51)에 접속되며, 그 소스 및 드레인 중 하나는 정전원(VSS)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 용량 소자(553)의 일 전극, 트랜지스터(552)의 게이트 및 회로(571)의 출력 단자, 즉, 노드 P에 접속된다. 트랜지스터(552)의 소스 및 드레인 중 하나는 입력 단자(52)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 회로(572)의 출력 단자, 용량 소자(553)의 다른 쪽 전극 및 출력 단자(55)에 접속된다. 입력 단자(52)는 회로(572)의 입력 단자에 접속된다. 입력 단자(53)는 회로(571)의 입력 단자 및 회로(572)의 제 1 입력 단자에 접속된다. 입력 단자(54)는 회로(572)의 제 1 트랜지스터의 제 2 입력 단자에 접속된다.
- [0170] 트랜지스터(551)의 게이트 및 트랜지스터(552)의 소스 및 드레인 중 다른 쪽은 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(551)의 소스 및 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다.
- [0171] 다음에, 도 8에 도시된 회로(81)의 구성예를 도 9a를 참조로 설명한다.
- [0172] 도 9a에 도시된 회로(81)에서, 입력 단자(53) 및 노드 P는 도 8의 것들과 유사하다. 트랜지스터(91)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터이다.
- [0173] 도 9a에 도시된 회로의 접속들을 설명한다. 트랜지스터(91)의 게이트는 입력 단자(53)에 접속되고, 그 소스 및 드레인 중 하나는 VSS에 접속되며, 그 소스 및 드레인 중 다른 쪽은 노드 P에 접속된다.
- [0174] 도 9a에 도시된 회로의 동작을 설명한다. 트랜지스터(91)는 입력 단자(53)로부터 입력된 CK2가 하이일 때 온 상태가 되며, 그에 의해, VSS가 노드 P에 출력되고, CK2가 로우일 때, 트랜지스터(91)가 오프 상태가 되며, 그에 의해, 노드 P에는 어떠한 것도 출력되지 않는다. 이 방식으로, 회로(91)는 CK2가 하이일 때, 로우를 출력하는 기능을 갖고, 그 출력은 CK2가 로우일 때 부유 상태가 된다. 또한, 동일 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다. 도 61은 p-채널 트랜지스터가 사용되는 경우의 구성예를 도시한다. 이런 변경은 본 기술 분야의 숙련자들에 의해 쉽게 달성될 수 있다.
- [0175] 트랜지스터(91)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선

또는 다른 전원선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(91)는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.

[0176] 다음에, 도 8에 도시된 회로(82)의 구성예를 도 9b를 참조로 설명한다.

[0177] 도 9b에 도시된 회로(82)에서, 입력 단자들(52, 53, 54) 및 OUT(1)은 도 8의 것들과 유사하다. 트랜지스터들(92, 93, 94, 95)은 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터들이다. Vout는 회로(82)의 출력이다.

[0178] 도 9b에 도시된 회로의 접속들을 설명한다. 트랜지스터(95)의 게이트는 Vout에 접속되고, 그 소스 및 드레인 중 하나는 입력 단자(52)에 접속되며, 그 소스 및 드레인 중 다른 쪽은 트랜지스터(92)의 게이트에 접속된다. 트랜지스터(92)의 소스 및 드레인 중 하나는 VSS에 접속되고, 그 소스 및 드레인 중 다른 쪽은 출력 단자(55)에 접속된다. 트랜지스터(93)의 게이트는 입력 단자(53)에 접속되고, 그 소스 및 드레인 중 하나는 VSS에 접속되며, 그 소스 및 드레인 중 다른 쪽은 출력 단자(55)에 접속된다. 트랜지스터(94)의 게이트는 입력 단자(54)에 접속되고, 그 소스 및 드레인 중 하나는 VSS에 접속되며, 그 소스 및 드레인 중 다른 쪽은 출력 단자(55)에 접속된다.

[0179] 도 9b에 도시된 회로의 동작을 설명한다. 트랜지스터(95)는 회로(82)의 출력으로부터 입력되는 Vout이 하이일 때, 온 상태가 되며, 그에 의해, CK1이 트랜지스터(92)의 게이트에 전송되고, Vout이 로우일 때, 트랜지스터(95)가 오프 상태가 되어 CK1이 트랜지스터(92)의 게이트에 전송되지 않고, 이는 그전의 상태로 잔류한다. 여기서, 트랜지스터(95)가 온 상태가 되고, 입력 단자(52)로부터 입력되는 CK1이 하이일 때, 트랜지스터(92)는 온 상태가 되고, VSS를 OUT(1)에 출력하며, CK1이 로우일 때, 트랜지스터(92)가 오프 상태가 되어, OUT(1)에 아무것도 출력되지 않는다. 트랜지스터(93)는 입력 단자(53)로부터 입력된 CK2가 하이일 때, 온 상태가 되며, 그에 의해, VSS가 OUT(1)에 출력되고, CK2가 로우일 때, 트랜지스터(93)는 오프 상태가 되며, 그에 의해, 아무것도 OUT(1)에 출력되지 않는다. 트랜지스터(94)는 입력 단자(54)로부터 입력된 CK3이 하이일 때, 온 상태가 되며, 그에 의해, VSS가 OUT(1)에 출력되고, CK3이 로우일 때에는 트랜지스터(94)가 오프 상태가 되어, OUT(1)에 아무것도 출력되지 않는다. 이 방식으로, 회로(82)는 회로(82)가 하이클을 출력하고, CK1이 하이이거나, CK2 또는 CK3 중 어느 하나가 하이일 때, 단자(55)에 로우를 출력하고, CK1, CK2 및 CK3이 로우일 때 그 출력이 부유 상태가 되는 기능 및 회로(83)가 로우를 출력하고, CK2 또는 CK3 중 어느 하나가 하이일 때 출력 단자(55)에 로우를 출력하고, CK2 및 CK3이 로우일 때 그 출력이 부유 상태가 되는 기능을 갖는다. 또한, 동일 기능을 가지는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.

[0180] 트랜지스터(92)의 소스 및 드레인 중 하나, 트랜지스터(93)의 소스 및 드레인 중 하나, 트랜지스터(94)의 소스 및 드레인 중 하나는 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(95)의 소스 및 드레인 중 하나, 트랜지스터(92)의 게이트, 트랜지스터(93)의 게이트 및 트랜지스터(94)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.

[0181] 다음에, 도 8에 도시된 회로(83)의 구성예를 도 10a를 참조로 설명한다.

[0182] 도 10a에 도시된 회로(83)에서, 노드 P 및 Vout는 도 8의 것들과 유사하다. 트랜지스터(101)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터이다. 저항기(102)는 저항 성분을 갖는다. 저항 성분을 가지는 한, 임의의 선형 소자 또는 비선형 소자가 사용될 수 있다. 예로서, 다이오드 접속된 트랜지스터가 사용될 수 있다.

[0183] 저항기(102)로서 트랜지스터가 사용되는 구성예가 도 48을 참조로 설명된다. 노드 P, Vout, 트랜지스터(101), 정전원(VDD) 및 부전원(VSS)은 도 10의 것들과 유사하다. 트랜지스터(481)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터이다. 트랜지스터(481)의 소스 및 드레인 중 하나는 정전원(VDD)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 Vout에 접속되며, 그 게이트는 소스 및 드레인 중 하나에 접속되고, 그에 의해, 트랜지스터(481)가 다이오드 접속된다. Vout는 온 상태인 트랜지스터(101)를 통해 VSS로부터 전하가 공급되지 않는 한, VDD로부터 트랜지스터(481)의 임계 전압을 차감함으로써 얻어진 전위이다. 이 방식으로, 노드 P가 로우가 될 때, 트랜지스터(101)는 오프 상태가 되며, Vout의 전위는 VDD로부터 트랜지스터(481)의 임계 전압을 차감함으로써 얻어진 전위가 되는 반면, 노드 P가 하이이고, 트랜지스터(101)가 온 상태일 때, Vout의 전위는 VSS 만큼 높아진다.

[0184] 도 10a에 도시된 회로의 접속들을 설명한다. 트랜지스터(101)의 게이트는 노드 P에 접속되고, 트랜지스터(101)

의 소스 및 드레인 중 하나는 저항기(102)의 일 단자 및 Vout에 접속되며, 그 소스 및 드레인 중 다른 쪽은 VSS에 접속된다. 저항기(102)의 다른 단자는 VDD에 접속된다.

- [0185] 도 10a에 도시된 회로의 동작을 설명한다. 트랜지스터(101)는 노드 P의 전위가 트랜지스터(101)의 임계 전압과 VSS의 합과 같거나 그 보다 높을 때, 온 상태가 되며, 그에 의해, Vout에 VSS가 출력된다. 트랜지스터(101)는 노드 P의 전위가 트랜지스터(101)의 임계 전압과 VSS의 합 보다 낮을 때, 오프 상태가 되며, 그에 의해, VDD가 저항기(102)를 통해 Vout에 출력된다. 이 방식으로, 회로(83)는 노드 P의 전위가 트랜지스터(101)의 임계 전압과 VSS의 합과 같거나 그 보다 높을 때, 회로(82)의 입력 단자에 로우를 출력하고, 노드 P의 전위가 트랜지스터(101)의 임계 전압과 VSS의 합 보다 낮을 때, 회로(82)의 입력 단자에 하이로 출력하는 기능을 갖는다. 또한, 동일한 기능을 갖는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다. 도 62는 p-채널 트랜지스터를 사용하는 도 10에 도시된 구성예에 대응하는 구성예를 도시한다.
- [0186] 트랜지스터(101)의 소스 및 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(101)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다.
- [0187] 도 8에 도시된 회로(83)의 다른 구성예를 도 10b를 참조로 설명한다.
- [0188] 도 10b에 도시된 회로(83)에 도시된 바와 같이, 노드 P 및 Vout는 도 8의 것들과 유사하다. OUT(2)는 다음 제 2 스테이지의 회로(50)의 출력이다. 예로서, 회로(83)가 n-번째 스테이지의 회로(50)인 경우, 그 OUT(2)는 (n+1) 번째 스테이지의 회로(50)의 출력에 대응한다. 트랜지스터들(102, 103)은 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터이다. 용량 소자(104)는 두 개의 전극들을 갖는다.
- [0189] 도 10b에 도시된 회로의 접속들을 설명한다. 트랜지스터(102)의 게이트는 OUT(2)에 접속되고, 그 소스 및 드레인 중 하나는 VDD에 접속되며, 그 소스 및 드레인 중 다른 쪽은 트랜지스터(103)의 소스 및 드레인 중 하나, 용량 소자(104)의 일 전극 및 Vout에 접속된다. 트랜지스터(103)의 게이트는 노드 P에 접속되고, 그 소스 및 드레인 중 다른 쪽은 VSS에 접속된다. 용량 소자(104)의 다른 쪽 전극은 VSS에 접속된다.
- [0190] 도 10b에 도시된 회로의 동작을 설명한다. 트랜지스터(103)는 노드 P의 전위가 트랜지스터(103)의 임계 전압과 VSS의 합과 같거나 그 보다 높을 때, 온 상태가 되며, 그에 의해, Vout에 VSS가 출력된다. 트랜지스터(103)는 노드 P의 전위가 트랜지스터(103)의 임계 전압과 VSS의 합 보다 낮을 때, 오프 상태가 되며, 그에 의해, 회로(83)의 출력이 부유 상태가 된다. 트랜지스터(102)는 OUT(2)가 하이일 때, 온 상태가 되며, VDD와 트랜지스터(102)의 임계 전압 사이의 차이에 대응하는 전압이 Vout에 출력된다. 트랜지스터(102)는 OUT(2)가 로우일 때 오프 상태가 되며, 그에 의해, 회로(83)의 출력은 부유 상태가 된다. 즉, Vout은 노드 P의 전위가 VDD 주변이거나, 그와 같거나, 그 보다 높을 때, 로우를 출력하는 반면, Vout는 노드 P의 전위가 VSS일 때에는 하이로 출력한다. 또한, 동일 기능을 가지는 다른 회로 구성이 상술한 회로 구성 대신 사용될 수 있다.
- [0191] 트랜지스터(102)의 게이트 및 트랜지스터(103)의 게이트는 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선, 또는 다른 신호선에 접속될 수 있다. 또한, 트랜지스터(103)의 소스 및 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다.
- [0192] 상술한 바와 같은 시프트 레지스터에서, VSS는 비선택 기간중에서와 같이, CK1, CK2 및 CK3 중 임의의 하나가 하이일 때, 출력 단자(55)에 공급될 수 있다. 즉, VSS가 비선택 기간 중에 출력 단자(55)에 공급되기 때문에, 전위가 안정화되고, 노이즈가 감소될 수 있으며, 상시 온 상태인 트랜지스터가 존재하지 않고, 따라서, 특성 열화가 억제될 수 있다. 또한, 규칙적 간격들로 노드 P에 VSS를 공급함으로써, 트랜지스터(32)는 확실히 오프 상태가 될 수 있다.
- [0193] 변할 수 있는 본 실시 형태의 소정 구성예들 및 동작예들을 후술한다. 후술된 동작예들 및 구성예들은 "발명이 이루고자하는 기술적 과제", 실시 형태들 및 실시예들에 적용될 수 있다. 제 1 실시 형태에 설명된 구성예들 및 동작예들이 본 실시 형태에 적용될 수 있다.
- [0194] 도 9a 및 도 9b에 도시된 바와 같이, 트랜지스터(92)의 게이트는 트랜지스터(95)가 오프 상태일 때, 부유 상태가 된다. 따라서, 전위를 유지하는 트랜지스터(92)의 게이트 커패시턴스가 충분히 크지 않을 때, 용량 소자가 부가적으로 접속될 수 있다. 이 경우, 용량 소자는 트랜지스터(92)의 게이트와 VDD 또는 VSS 사이에 접속되는 것이 바람직하다.
- [0195] 도 10b에 도시된 바와 같이, 용량 소자(104)는 Vout에 접속되지만, 용량 소자(104)는 Vout에 접속된 소자가 충

분한 커패시턴스를 가질 때, 생략될 수 있다. Vout에 접속된 용량 소자(104)를 생략함으로써, 보다 신속한 동작이 실현될 수 있다.

- [0196] 도 10b에 도시된 바와 같이, 노드 P는 트랜지스터(103)의 게이트에 접속되지만, 입력 단자(51)가 그에 접속될 수 있다. 입력 단자(51)를 접속시킴으로써, 트랜지스터들(102, 103)이 동시에 온 되는 기간이 존재하지 않으며, 따라서, 트랜지스터들(102, 103)을 통해 흐르는 통과 전류가 생성되지 않는다. 결과적으로, 오작동이 쉽게 발생하지 않으며, 전력 소비가 감소될 수 있다.
- [0197] [제 4 실시 형태]
- [0198] 본 실시 형태에서, 규칙적 간격들로 VSS를 출력함으로써, 비선형 기간중의 출력 전압의 노이즈가 감소되는 시프트 레지스터 회로의 동작 및 구성을 도 2, 도 5, 도 11 및 도 12를 참조로 설명한다.
- [0199] 도 5에 도시된 시프트 레지스터 회로의 동작 및 구성은 제 2 실시 형태에서 설명된 것들과 유사할 수 있다.
- [0200] 도 11을 참조로, 제 1 스테이지의 회로(50)로서의 SR(1)의 구성을 설명한다. 도 11에 도시된 회로(50)는 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 출력 단자(55), 트랜지스터(31), 트랜지스터(32), 용량 소자(33), 회로(111), 회로(82) 및 회로(83)로 구성된다. 입력 단자들(51, 52, 53, 54), 출력 단자(55), 회로들(82, 83), 트랜지스터들(31, 32), 용량 소자(33) 및 노드 P는 도 8에 도시된 것들과 유사하다.
- [0201] 회로(111)는 회로(83)가 하이를 출력하고, CK1, CK2 및 CK3 중 임의의 하나가 하이를 출력할 때, 노드 P에 로우를 출력하는 반면, CK1, CK2 및 CK3이 로우일 때에는 그 출력은 부유 상태가 된다. 회로(111)는 회로(83)가 로우를 출력하고, CK2가 하이일 때, 노드 P에 로우를 출력하는 기능을 가지며, 그 출력은 CK2가 로우일 때, 부유 상태가 된다.
- [0202] 도 11에 도시된 회로의 접속들을 설명한다. 트랜지스터(31)의 게이트는 입력 단자(51)에 접속되고, 그 소스 및 드레인 중 하나는 VDD에 접속되며, 그 소스 및 드레인 중 다른 쪽은 용량 소자(33)의 일 전극, 트랜지스터(32)의 게이트, 회로(83)의 입력 단자 및 회로(111)의 출력 단자, 즉, 노드 P에 접속된다. 트랜지스터(32)의 소스 및 드레인 중 하나는 입력 단자(52)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 회로(82)의 출력 단자, 용량 소자(33)의 다른 쪽 전극 및 출력 단자(55)에 접속된다. 입력 단자(52)는 회로(82)의 입력 단자 및 회로(111)의 입력 단자에 접속되고, 입력 단자(53)는 회로(82)의 입력 단자 및 회로(111)의 입력 단자에 접속되며, 입력 단자(54)는 회로(82)의 입력 단자 및 회로(111)의 입력 단자에 접속된다. 회로(83)의 출력 단자는 회로(82)의 입력 단자 및 회로(111)의 입력 단자에 접속된다.
- [0203] 기간 T1, 기간 T2 및 기간 T3 중의 도 11에 도시된 회로의 동작을 도 2에 도시된 본 실시 형태의 타이밍 차트를 참조로 개별적으로 설명한다. 또한, 노드 P 및 OUT(1)의 전위들은 초기 상태에서 VSS이다.
- [0204] 기간 T1에서, SSP는 하이가 되고, CK1은 로우가 되며, CK2는 로우가 되고, CK3은 하이가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VDD이며, 그 소스 및 드레인 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS이다. 따라서, 트랜지스터(31)는 온 상태가 되며, 노드 P의 전위는 VSS로부터 상승하기 시작한다. 노드 P의 전위의 상승은 트랜지스터(31)의 임계 전압 만큼 VDD 보다 낮은 전위가 될 때 정지하며, 트랜지스터(31)가 오프 된다. 이 시점에서, 노드 P의 전위는 Vn1이다. 노드 P의 전위가 Vn1이기 때문에, 회로(83)는 회로들(82, 83)의 입력 단자들에 로우를 출력한다. 회로(111)의 출력은 회로(83)가 로우를 출력하고, CK1이 로우이며, CK2가 로우이며, CK3이 하이기 때문에, 부유 상태가 된다. 회로(82)는 회로(83)가 로우를 출력하고, CK1이 로우이고, CK2가 로우이며, CK3이 하이기 때문에, 출력 단자(55)에 로우를 출력한다. 용량 소자(33)는 출력 단자(55)의 전위로서의 VSS와 노드 P의 전위로서의 Vn1 사이의 전위차를 유지한다.
- [0205] 기간 T2에서, SSP는 로우가 되고, CK1은 하이가 되고, CK2는 로우가 되며, CK3은 로우가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS이며, 그 소스 및 드레인 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 나머지의 전위는 Vn1이고, 그에 의해, 트랜지스터(31)는 오프 상태가 된다. 노드 P의 전위가 Vn1이기 때문에, 회로(83)는 회로(82)의 입력 단자 및 회로(111)의 입력 단자에 로우를 출력한다. 회로(83)의 출력이 로우이고, CK1은 하이고, CK2는 로우이며, CK3은 로우이기 때문에, 회로(111)의 출력은 부유 상태가 된다. 회로(83)의 출력이 로우이고, CK1이 하이고, CK2가 로우이고, CK3이 로우이기 때문에, 회로(82)의 출력은 부유 상태가 된다. 이 시점에서, 트랜지스터(32)의 게이트 전위는 Vn1이며, 그 소스 및 드레인 중 하나의 전위는 VDD이고, 그 소스 및 드레인 중 다른 쪽의 전위, 즉, 출력 단자(55)의 전위는 VSS가 되며, 그에 의해, 트랜지스터(32)는 온 상태가 되고, 출력 단자(55)의 전위가 상승하기 시작한다. 이때, 트랜지스터(32)의 소스와 드레인 중 다른 쪽과 게이트 사이에 접속되어 있는 용량 소자(33)는 기간 T1에서 유지된 전위차를 그대로 유지하고, 따라서, 소스 및

드레인 중 다른 쪽의 전위가 상승할 때, 게이트 전위가 동시에 상승한다. 노드 P의 전위는 이때, V_{n2} 이다. 노드 P의 전위가 트랜지스터(32)의 임계 전압과 VDD의 합 만큼 높게 상승할 때, 출력 단자(55)의 전위의 상승은 CK1과 동일한 VDD에서 정지한다. 달리 말하면, 부트 스트랩 동작에 의해, 출력 단자(55)의 전위가 CK1의 하이 전위인 VDD 만큼 높게 상승될 수 있다.

- [0206] 기간 T3에서, SSP는 로우이고, CK1은 로우이며, CK2는 하이이고, CK3은 로우이다. 이 시점에서, 노드 P의 전위는 CK2가 하이이고, 회로(111)로부터 VSS가 출력되기 때문에, VSS가 되고, 그에 의해, 회로(83)는 회로(82)의 입력 단자에 하이를 출력한다. OUT(1)의 전위는 VSS가 회로(82)로부터 출력되기 때문에, VSS가 된다. 이 시점에서, 트랜지스터(31)의 게이트 전위는 VSS가 되고, 소스 및 드레인 중 하나의 전위는 VDD가 되며, 그 소스 및 드레인 중 다른 쪽의 전위는 VSS가 되고, 그에 의해, 트랜지스터(31)가 오프 상태가 된다. 트랜지스터(32)의 게이트 전위가 VSS가 되고, 그 소스 및 드레인 중 하나의 전위는 VSS가 되며, 소스 및 드레인 중 다른 쪽의 전위는 VSS가 되고, 그에 의해, 트랜지스터(32)가 오프 상태가 된다.
- [0207] 상술한 기간들 T1, T2 및 T3에서의 동작들에 의해, 기간 T1 중에 SSP가 입력될 때, 기간 T2중에, OUT(1)이 출력된다. 즉, 시프트 레지스터 회로는 클록 신호의 사이클의 1/3의 시프트를 갖는 SSP를 출력하는 회로(50)의 n 스테이지들을 접속함으로써 구성된다.
- [0208] 도 11에 도시된 시프트 레지스터 회로에 사용되는 트랜지스터들은 모두 n-채널 트랜지스터들이며, 따라서, 단극성 회로를 형성하지만, 마찬가지로, 단지 p-채널 트랜지스터들만이 사용될 수 있다. p-채널 트랜지스터와 n-채널 트랜지스터가 조합하여 사용될 수 있는 것은 두말할 것 없다. 모든 트랜지스터들이 p-채널 트랜지스터들인 시프트 레지스터 회로가 도 58을 참조로 설명된다.
- [0209] 도 58에 도시된 회로 구성에서, 정전원(VDD), 부전원(VSS), 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54), 트랜지스터(551), 트랜지스터(552) 및 용량 소자(553)는 도 55의 것들과 유사할 수 있다. 회로들(572, 573)은 도 57의 것들과 유사할 수 있다. 회로(581)는 CK1, CK2 및 CK3 중 어느 하나가 로우일 때, 출력 단자(55)에 하이를 출력한다.
- [0210] 도 58에 도시된 회로의 접속들을 설명한다. 트랜지스터(551)의 게이트는 입력 단자(51)에 접속되고, 그 소스 및 드레인 중 하나는 정전원(VSS)에 접속되며, 그 소스 및 드레인 중 다른 쪽은 용량 소자(553)의 일 전극, 트랜지스터(552)의 게이트 및 회로(581)의 출력 단자, 즉, 노드 P에 접속된다. 트랜지스터(552)의 소스 및 드레인 중 하나는 입력 단자(52)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 회로(572)의 출력 단자, 용량 소자(553)의 다른 전극 및 출력 단자(55)에 접속된다. 입력 단자(52)는 회로(572)의 입력 단자에 접속된다. 입력 단자(53)는 회로(572)의 제 1 입력 단자 및 회로(581)의 입력 단자에 접속된다. 입력 단자(54)는 회로(562)의 제 1 트랜지스터의 제 2 입력 단자에 접속된다.
- [0211] 트랜지스터(551)의 게이트 및 트랜지스터(552)의 소스 및 드레인 중 다른 쪽은 전원선, 예로서, 정전원(VDD) 및 부전원(VSS) 같은 전원선, 다른 전원선 또는 다른 신호선에 접속될 수 있다는 것에 유의하여야 한다. 또한, 트랜지스터(551)의 소스 및 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다.
- [0212] 도 11에 도시된 제 1 스테이지의 회로(50)에 대해 설명하였지만, 이제, 도 54를 참조로, n-번째 스테이지의 회로(56)를 설명한다. 도 54에서, 트랜지스터(31), 트랜지스터(32), 용량 소자(33), 회로(111), 회로(82), 회로(83), 입력 단자(51), 입력 단자(52), 입력 단자(53), 입력 단자(54) 및 출력 단자(55)는 도 11에 설명된 것들과 유사하다. 회로(50)의 특징은 입력 단자(51)로부터 입력된 입력 신호가 선행 스테이지의 회로의 출력 단자(55)에 접속된다는 것이다.
- [0213] 다음에, 도 11에 도시된 회로(111)의 구성예를 도 12를 참조로 설명한다.
- [0214] 도 12에 도시된 회로(111)에서, 입력 단자(52), 입력 단자(53), 입력 단자(54) 및 OUT(1)는 도 5 및 도 11의 것들과 유사하다. 트랜지스터(121), 트랜지스터(122), 트랜지스터(123), 트랜지스터(124) 및 트랜지스터(125)는 비정질 반도체, 다결정 반도체 또는 단결정 반도체로 형성된 n-채널 트랜지스터들이다. Vout는 회로(111)의 출력이다.
- [0215] 도 12에 도시된 회로의 접속을 설명한다. 트랜지스터(124)의 게이트는 Vout에 접속되고, 그 소스 및 드레인 중 하나는 입력 단자(52)에 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(121)의 게이트에 접속된다. 트랜지스터(121)의 소스와 드레인 중 하나는 VSS에 접속되고 소스와 드레인 중 다른 쪽은 노드 P에 접속된다. 트랜지스터(122)의 게이트는 입력 단자(53)에 접속되고, 소스와 드레인 중 하나는 VSS에 접속되고 소스와 드레인 중

다른 쪽은 노드 P에 접속된다. 트랜지스터(125)의 게이트는 Vout에 접속되고, 소스와 드레인 중 하나는 입력 단자(54)에 접속되고, 소스와 드레인 중 다른 쪽은 트랜지스터(123)의 게이트에 접속된다. 트랜지스터(123)의 소스와 드레인 중 하나는 VSS에 접속되고 소스와 드레인 중 다른 쪽은 노드 P에 접속된다.

[0216] 도 12에 도시된 회로의 동작을 설명한다. 트랜지스터(124, 125)는 회로(83)의 출력으로부터 입력된 Vout이 하이일 때 온 상태가 되고, 그에 의해, CK1이 트랜지스터(121)의 게이트로 전송되고 CK3이 트랜지스터(123)의 게이트로 전송된다. 트랜지스터(124, 125)는 Vout이 로우일 때 오프 되고, 그에 의해, CK1은 트랜지스터(121)의 게이트로 전송되지 않고 이전 상태로 유지된다. CK3이 트랜지스터(123)의 게이트로 전송되지 않음에 따라, 트랜지스터(123)는 이전 상태로 유지된다. 여기서, 트랜지스터(124)가 온 상태가 되고, 입력 단자(52)로부터 입력된 CK1이 하이일 때 트랜지스터(121)가 온 상태가 되고, VSS가 노드 P에 출력되는 반면, CK1이 로우일 때 트랜지스터(121)는 오프되어, 노드 P에는 아무것도 출력되지 않는다. 트랜지스터(122)는 입력 단자(53)로부터 입력된 CK2가 하이일 때 온 상태가 되고, VSS가 노드 P에 출력되는 반면, 트랜지스터(122)는 CK2가 로우일 때 오프되어, 노드 P에는 아무것도 출력되지 않는다. 트랜지스터(123)는 트랜지스터(125)가 온 상태가 되고 입력 단자(54)로부터 입력된 CK3이 하이일 때 온 상태가 되고, VSS가 노드 P에 출력되는 반면, 트랜지스터(123)는 CK3이 로우일 때 오프되어, 노드 P에 아무것도 출력되지 않는다. 이러한 방식으로, 회로(83)가 하이클을 출력하고 CK1, CK2 및 CK3 중 어느 하나가 하이일 때 회로(111)는 출력 단자(55)에 로우를 출력하고, 그 출력은 CK1, CK2 및 CK3이 로우일 때 부유 상태가 된다. 따라서, 회로(111)는 회로(83)가 로우를 출력하고 CK2가 하이일 때 출력 단자(55)에 로우를 출력하는 기능을 갖고, 그 출력은 CK2가 로우일 때 부유 상태가 된다. 또한, 동일한 기능을 갖는 다른 회로 구성이 전술한 회로 구성 대신에 사용될 수 있다. 도 63은 p-채널 트랜지스터가 이용되는 구성예를 도시한다.

[0217] 트랜지스터(124)의 소스와 드레인 중 다른 쪽과, 트랜지스터(121)의 게이트, 트랜지스터(122)의 게이트, 트랜지스터(125)의 소스와 드레인 중 하나 및 트랜지스터(123)의 게이트는 신호선, 예로서, CK1, CK2, CK3 및 SSP와 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다. 또한, 트랜지스터(121)의 소스와 드레인 중 다른 쪽, 트랜지스터(122)의 소스와 드레인 중 다른 쪽 및 트랜지스터(123)의 소스와 드레인 중 다른 쪽은 신호선, 예로서, CK1, CK2, CK3 및 SSP와 같은 신호선, 다른 신호선 또는 다른 전원선에 접속될 수 있다.

[0218] 전술한 바와 같은 시프트 레지스터 회로에서, CK1, CK2, CK3 중 어느 하나가 비동작 기간에서 하이일 때 VSS가 출력 단자(55)와 노드 P에 공급될 수 있다. 즉, VSS가 비선택 기간중에 출력 단자(55)와 노드 P로 상시 공급됨에 따라, 전위는 안정화될 수 있고, 노이즈는 감소될 수 있고, 상시 온 상태인 트랜지스터가 없어서, 특성 열화가 억제될 수 있다.

[0219] 변할 수 있는 이러한 실시 형태의 소정의 구성예와 동작예를 후술한다. 후술하는 구성예와 동작예는 "발명이 이루고자 하는 기술적 과제", 실시 형태들, 실시예들에 적용될 수 있다. 제 1 실시 형태에서 설명되는 구성예와 동작예는 이러한 실시 형태에 적용될 수 있다.

[0220] 도 12에 도시된 바와 같이, 트랜지스터(121)의 게이트에 입력된 신호는 회로(82)의 트랜지스터(92)에 입력된 신호와 동일할 수 있다. 결과적으로, 트랜지스터들의 수가 감소될 수 있다.

[0221] 도 12에 도시된 바와 같이, 트랜지스터(121)의 게이트는 트랜지스터(124)가 오프 상태일 때 부유 상태이다. 따라서, 전위를 유지하는 트랜지스터(121)의 게이트 용량이 충분히 크지 않을 때, 용량 소자가 부가적으로 접속될 수 있다. 이 경우, 용량 소자는 트랜지스터(121)의 게이트와 VDD 또는 VSS 사이에 접속되는 것이 바람직하다.

[0222] 도 12에 도시된 바와 같이, 트랜지스터(123)의 게이트는 트랜지스터(125)가 오프 상태일 때 부유 상태이다. 따라서, 전위를 유지하는 트랜지스터(123)의 게이트 용량이 충분히 크지 않을 때, 용량 소자가 부가적으로 접속될 수 있다. 이 경우, 용량 소자는 트랜지스터(123)의 게이트와 VDD 또는 VSS 사이에 접속되는 것이 바람직하다.

[0223] [제 5 실시 형태]

[0224] 본 실시 형태에서는, 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로를 이용하는 회로의 소정 구성예를 설명한다.

[0225] 제 1 내지 제 4 실시 형태에 설명된 시프트 레지스터 회로에 의해 화소들을 주사하는 게이트 드라이버의 구성예를 도13을 참조하여 설명한다. 도 14에는 그 타이밍 차트가 예시되어 있다.

[0226] 도 13에 도시된 게이트 구동 회로는 제 1 내지 제 4 실시 형태에 설명된 시프트 레지스터 회로(131)로 형성된다. 이때, 시프트 레지스터 회로(131)로부터 출력되는 출력 신호들인 OUT1 내지 OUTn은 게이트 신호들로

서 화소들에 전송된다.

- [0227] 제어 신호들로서의 SSP, CK1, CK2 및 CK3은 도 14에 도시된 바와 같이 제 1 내지 제 4 실시 형태에 설명된 것과 유사한 타이밍에 시프트 레지스터 회로(131)에 입력된다. 전원으로서, 정전원(VDD)과 부전원(VSS)이 입력된다. 제어 신호의 진폭 전압은 정전원(VDD)과 부전원(VSS)에 대응한다. SSP가 도 14에 도시된 바와 같이 입력되면, 게이트 신호선들은 순차적으로 OUT(1)로부터 선택된다(이 동작은 이하에서 주사라 지칭됨). 이러한 방식으로, 시프트 레지스터(131)의 출력은 게이트 신호로서 게이트 신호선들(G1 내지 Gn)에 변화없이 출력된다.
- [0228] 여기서, 정전원(VDD)의 전위는 후술하는 화소의 비디오 신호의 최대값보다 높고, 부전원(VSS)의 전위는 비디오 신호의 최소값보다 낮은 것이 바람직하다. 이러한 방식으로, 비디오 신호는 화소에 확실하게 기록될 수 있고, 따라서 보다 우수한 이미지 품질을 갖는 표시 장치가 제공될 수 있다.
- [0229] 도 13에 설명된 게이트 드라이버는 게이트 신호로서 시프트 레지스터 회로(131)의 출력을 변화없이 출력한다. 이는 게이트 드라이버 부분의 영역을 감소시키는데 있어서 유리하다. 또한 게이트 드라이버 부분의 소자의 수가 감소됨에 따라, 산출량을 높일 수 있다는 장점이 있다.
- [0230] 도 15를 참조로, 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로의 출력 신호의 진폭 전압을 변경 시킴으로서 화소들을 주사하는 게이트 드라이버에 대하여 설명한다. 그 타이밍 차트가 도 16에 도시되어 있다.
- [0231] 도 15에 도시된 게이트 구동 회로는 제 1 내지 제 4 실시 형태에 설명된 시프트 레지스터 회로(151)와 레벨 시프터 회로(152)로 구성된다. 이때, 시프트 레지스터 회로(151)로부터 게이트 신호선들(G1 내지 Gn)을 통해 출력된 출력 신호들인 OUT(1) 내지 OUT(n)이 레벨 시프터 회로(152)를 통해 게이트 신호들로서 전송된다.
- [0232] 도 50a 및 50b를 참조로, 도 15에 도시된 레벨 시프터 회로(152)를 설명한다. 도 50에 도시된 레벨 시프터 회로는 도 15에 도시된 레벨 시프터 회로(152)뿐만 아니라 다른 도면, 실시 형태 및 실시예들에도 적용 가능하다.
- [0233] 도 50a에 도시된 레벨 시프터 회로에서, 적어도 n번째 로우의 시프트 레지스터 회로(151)의 출력으로서의 OUT(n), OUT(n)의 진폭 전압의 최대값보다 높은 전위를 갖는 전원(VDDH), 부전원(VSS), 저항 성분을 갖는 저항기(502) 및 트랜지스터(501)가 제공된다. OUT(n)은 트랜지스터(501)의 게이트에 입력되고, 소스와 드레인 중 하나는 부전원(VSS)에 접속되고, 소스와 드레인 중 다른 쪽은 저항기(502)와 게이트 신호선의 일 단자에 접속되고, 저항기(502)의 다른 단자는 전원(VDDH)에 접속된다.
- [0234] 도 50b에 도시된 레벨 시프터 회로에서, 적어도 n번째 로우의 시프트 레지스터 회로(151)의 출력으로서의 OUT(n), 전위가 OUT(n)의 진폭 전압의 최대값보다 높은 전원(VDDH), 부전원(VSS), 트랜지스터(503), 트랜지스터(504) 및 인버터 회로(505)가 제공된다. OUT(n)은 트랜지스터(504)의 게이트에 입력되고, 인버터 회로(505)를 통해 반전된 OUT(n)은 트랜지스터(503)의 게이트에 입력된다. 트랜지스터(504)의 소스와 드레인 중 하나는 부전원(VSS)에 접속되고, 트랜지스터(503)의 소스와 드레인 중 하나는 전원(VDD)에 접속된다. 트랜지스터(504)의 소스와 드레인 중 다른 쪽과 트랜지스터(505)의 소스와 드레인 중 다른 쪽은 게이트 신호선에 접속된다.
- [0235] 제어 신호들로서의 SSP, CK1, CK2 및 CK3은 도 16에 도시된 바와 같이 제 1 내지 제 4 실시 형태와 유사한 타이밍에서 시프트 레지스터 회로(151)에 입력된다. 전원으로서, 정전원 VDD와 부전원 VSS가 입력된다. 제어 신호의 진폭 전압은 정전원 VDD와 부전원 VSS에 대응하여 세팅된다. SSP가 도 16에 도시된 바와 같이 입력될 때, 게이트 신호선들이 OUT(1)로부터 순차적으로 선택된다(이 동작 또한 이후 주사라고 지칭함). 이 방식으로, 시프트 레지스터 회로(151)의 출력은 레벨 시프터 회로(152)에 입력될 수 있다. 이때 시프트 레지스터 회로(151)의 출력 신호의 진폭은 정전원(VDD)이 되는 하이 전위와 부전원(VSS)이 되는 로우 전위를 갖는다.
- [0236] 레벨 시프터 회로(152)는 이에 입력되는 시프트 레지스터 회로(151)의 출력 신호의 진폭 전압을 변경하는 기능을 갖는다. 예로서, 하이가 입력되면, 레벨 시프터 회로(152)는 전위를 정전원 VDD의 전위로부터 정전원 VDDH의 전위로 변화시키는 반면, 로우가 입력되면, 레벨 시프터 회로(152)는 전위를 게이트 신호선에 출력되도록 부전원 VSS의 전위로부터 부전원 VSSL의 전위로 변화시킨다. 정전원 VDDH의 전위는 전의 전원 VDD의 전위보다 높고, 부전원 VSSL의 전위는 부전원 VSS의 전위보다 낮다. 하이 신호의 진폭 전압만이 변화될 수 있거나 또는 로우 신호의 진폭 전압만이 변화될 수 있다.
- [0237] 여기서, 정전원 VDDH의 전위가 후술하는 화소에 입력되는 비디오 신호의 최대값보다 높고 부전원 VSS의 전위가 비디오 신호의 최소값보다 낮은 것이 바람직하다. 이러한 방식으로, 비디오 신호는 화소에 확실하게 기록될 수 있고, 따라서, 보다 높은 이미지 품질을 갖는 표시 장치가 제공될 수 있다.
- [0238] 도 15에 도시된 게이트 드라이버는 레벨 시프터 회로(152)를 통해 진폭 전압을 변화시킴으로서 게이트 신호선의

로 시프트 레지스터 회로(151)의 출력 신호를 출력한다. 이러한 방식으로, 시프트 레지스터 회로(151)는 보다 낮은 진폭 전압과 전원을 갖는 제어 신호에 의해 구동될 수 있다. 따라서, 전력 소모를 감소시키는데 있어 유리하다.

[0239] 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로에 레벨 시프터 회로를 통해 제어 신호를 입력하는 게이트 구동 회로를 도 17을 참조하여 설명한다. 그 타이밍 차트가 도 18에 도시되어 있다.

[0240] 도 17에 도시된 게이트 구동 회로는 제 1 내지 제 4 실시 형태에 설명된 시프트 레지스터 회로(171, 172)로 구성되고, 게이트 신호선(G1 내지 Gn)을 통해 시프트 레지스터 회로(151)로부터 출력되는 출력 신호 OUT1 내지 OUTn을 화소들에 전송한다.

[0241] 레벨 시프터 회로(172)는 입력 신호의 진폭 전압을 변화시키기 위한 회로이다. 예로서, 레벨 시프터 회로(172)는 입력된 신호의 하이 전위를 시프트 레지스터 회로(171)의 전원인 정전원 VDD의 전위로 변화시킬 수 있고, 그로우 전위를 부전원 VSS의 전위로 변화시킬 수 있다. 도 17의 경우에, 레벨 시프터 회로(172)에 입력된 제어 신호들 SSP, CK1, CK2 및 CK3의 진폭 전압은 정전원 VDD와 부전원 VSS에 대응하는 진폭 전압으로 변경될 수 있다. 즉, 작은 진폭, 예로서, 공지된 외부 회로의 진폭으로 입력된 제어 신호는 레벨 시프터 회로(172)를 통해 제어 신호의 진폭 전압을 정전원 VDD와 부전원 VSS에 대응하는 진폭 전압으로 변화시킴으로서 시프트 레지스터 회로(171)에 입력될 수 있다. 결과적으로, 도 17에 도시된 게이트 구동 회로는 외부 회로의 진폭 전압을 이용할 필요가 없이 구동될 수 있고, 추가로 외부 회로를 개발할 필요가 없다. 따라서, 표시 장치로서의 비용을 감소시키는데 유리하다.

[0242] 정전원 VDD와 부전원 VSS에 대응하는 진폭 전압을 갖도록 변화되는 SSP, CK1, CK2 및 CK3은 제 1 내지 제 4 실시 형태에서 설명된 바와 같이 도 18에 도시된 것과 유사한 타이밍에서 시프트 레지스터 회로(171)에 입력된다. 전원으로서, 정전원 VDD와 부전원 VSS는 시프트 레지스터 회로(171)에 입력된다. 도 18에 도시된 바와 같이, SSP가 입력될 때, 게이트 신호선들은 OUT(1)로부터 순차적으로 선택된다. 이러한 방식으로, 시프트 레지스터 회로(171)의 출력은 게이트 신호들로서 게이트 신호선들 G1 내지 Gn에 출력된다. 즉, 게이트 신호선들은 순차로 사용된다.

[0243] 여기서, 정전원 VDD의 전위는 후술하는 화소에 입력되는 비디오 신호의 최대값보다 높고, 부전원 VSS의 전위는 비디오 신호의 최소값보다 낮은 것이 바람직하다. 이러한 방식으로, 비디오 신호는 화소에 확실하게 기록될 수 있고, 따라서, 높은 이미지 품질을 갖는 표시 장치가 제공될 수 있다.

[0244] 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로를 이용하는 소스 구동 회로가 도 19를 참조하여 설명된다. 그 타이밍 차트가 도 20에 도시되어 있다.

[0245] 도 19에 도시된 소스 구동 회로는 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로(191)와 스위칭 소자(192)로 구성된다. 시프트 레지스터 회로(191)의 출력 신호에 의해, 스위칭 소자(192)는 제 1 컬럼으로서의 SW1로부터 SWm까지 순차적으로 온 상태가 된다. 스위칭 소자(192)의 일 단자는 비디오 신호를 전송하는 비디오 신호선에 접속되고, 스위칭 소자(192)의 다른 단자는 소스 신호선에 접속되어, 비디오 신호는 스위칭 소자(192)가 온 상태일 때 소스 신호선에 출력될 수 있다. 도 20에 도시된 바와 같이, 비디오 신호는 온 상태가 되는 컬럼의 소스 신호선에 따라 변화한다. 따라서, 모든 컬럼에서, 임의의 비디오 신호가 소스 신호선에 출력될 수 있다. 소스 신호선들이 화소들에 접속됨에 따라, 비디오 신호들이 화소들로 전송될 수 있다.

[0246] 여기서, 시프트 레지스터 회로(192)의 출력 신호는 제 1 내지 제 4 실시 형태에서 설명된 바와 같이 하이와 로우의 1 비트 신호이다. 하이 전위는 정전원 VDD의 전위이고, 로우 전위는 부전원 VSS의 전위이다. 스위칭 소자(192)는 시프트 레지스터 회로(191)의 출력에 의해 제어된다. 따라서, 정전원 VDD 및 부전원 VSS의 전위들은 비디오 신호들에 관계없이 스위칭 소자(192)를 확실하게 온 및 오프시킬 수 있는 전위일 필요가 있다. 즉, 정전원 VDD의 전위는 비디오 신호의 전위의 최대값보다 높은 것이 바람직하고, 부전원 VSS의 전위는 비디오 신호의 전위의 최소값보다 낮은 것이 바람직하다. 유사하게, 시프트 레지스터 회로(191)에 입력된 제어 신호는 정전원 VDD와 부전원 VSS의 전위들에 대응하는 진폭 전압을 가질 필요가 있다.

[0247] 스위칭 소자(192)는 n-채널 트랜지스터로 형성되는 것이 바람직하다. n-채널 트랜지스터의 게이트는 시프트 레지스터 회로(191)의 출력에 접속되고, 소스와 드레인 중 하나는 비디오 신호선에 접속되고, 소스와 드레인 중 다른 쪽은 소스 신호선에 접속된다. 이러한 방식으로, n-채널 트랜지스터는 시프트 레지스터 회로(191)의 출력이 하이일 때 온 상태가 되고, n-채널 트랜지스터는 시프트 레지스터 회로(191)의 출력이 로우일 때 오프될 수 있다. 스위칭 소자(192)로서 n-채널 트랜지스터를 이용함으로써, 비정질 실리콘이 트랜지스터를 형성하기 위해

이용될 수 있다. 즉, 스위칭 소자(192), 화소 부분 및 n-채널 트랜지스터들만에 의해 구성된 시프트 레지스터 회로가 동일한 기관 상에 형성될 수 있다는 이점이 있다.

[0248] 본 발명에 대하여 스위칭 소자로서 적용 가능한 트랜지스터의 형식은 제한되지 않는다. 본 발명에 이용하기 위한 트랜지스터는 비정질 실리콘 또는 다결정 실리콘으로 대표되는 비단결정 반도체 막을 이용하는 트랜지스터, 반도체 기관 또는 SOI 기관을 이용함으로써 형성된 MOS 트랜지스터, 접합 트랜지스터, 바이폴라 트랜지스터, 유기 반도체 또는 카본 나노튜브를 이용하는 트랜지스터 등이 될 수 있다. 또한, 트랜지스터가 장착되는 기관은 소정의 형식에 독립적으로 제한되지 않는다. 이는 단결정 기관, SOI 기관, 석영 기관, 유리 기관, 수지 기관 등 일 수 있다.

[0249] 트랜지스터가 스위칭 소자와 같이 단순히 동작함에 따라, 그 극성(도전성 형식)은 특별히 제한되지 않고, n-채널 트랜지스터 또는 p-채널 트랜지스터 중 하나가 이용될 수 있다. 그러나, 오프 전류가 작은 것이 바람직할 때, 보다 낮은 오프 전류를 갖는 트랜지스터가 이용되는 것이 바람직하다. 트랜지스터가 보다 낮은 오프 전류를 가짐에 따라, 도전형을 주는 불순물 원소가 낮은 농도로 첨가되는 채널 형성 영역과 소스 영역 또는 드레인 영역 사이의 영역(LDD 영역으로 지칭됨)을 갖는 트랜지스터이다.

[0250] 트랜지스터가 낮은 전위측 전원에 근접한 소스 전위로 동작할 때, n-채널 트랜지스터를 이용하는 것이 바람직하다. 이에 반해, 트랜지스터가 높은 전위측 전원에 근접한 소스 전위로 동작할 때, p-채널 트랜지스터를 이용하는 것이 바람직하다. 이러한 구성에서, 트랜지스터의 게이트-소스 전압의 절대값은 크게 설정될 수 있고, 따라서 트랜지스터는 스위치로서 쉽게 동작할 수 있다. CMOS 스위칭 소자는 n-채널 트랜지스터와 p-채널 트랜지스터 모두를 이용함으로써 형성될 수 있다는 것에 유의하여야 한다.

[0251] 도 19는 하나의 비디오 신호선을 도시하지만, 복수의 비디오 신호선들이 제공될 수 있다. 예로서, 두 개의 비디오 신호선들이 제공될 때, 두 개의 스위칭 소자(192)들은 시프트 레지스터 회로(191)의 출력 신호에 의해 제어되고, 또 하나의 비디오 신호선이 스위칭 소자(192)에 각각 접속된다. 결과적으로, 두 개의 스위칭 소자(192)들은 동시에 온 상태가 되고, 또 하나의 비디오 신호가 다른 소스 신호선에 출력될 수 있다. 즉, 동일한 수의 컬럼의 소스 신호선에서, 시프트 레지스터 회로(191)의 스테이지의 수는 절반으로 감소될 수 있다. 따라서, 시프트 레지스터 회로(191)를 형성하기 위한 영역이 절반으로 감소될 수 있다는 점에서 유리하다. 또한, 전체 소자들의 수가 감소되므로, 산출량이 개선될 것으로 기대할 수 있다.

[0252] 도 19에 도시된 바와 같이, 레벨 시프터 회로는 시프트 레지스터 회로(191)의 출력과 스위칭 소자(192) 사이에 부가로 제공될 수 있다. 그 결과, 시프트 레지스터 회로(191)는 작은 진폭 전압으로 동작할 수 있고, 시프트 레지스터 회로(191)의 출력 신호는 스위칭 소자(192)에 입력되기 위해 레벨 시프터 회로에 의해 증가될 수 있다. 즉, 작은 진폭 전압으로 시프트 레지스터 회로를 동작시킴으로써 전력 소비가 감소될 수 있다. 레벨 시프터 회로를 통해 스위칭 소자(192)로 시프트 레지스터 회로(191)의 출력 신호를 입력함으로써, 진폭 전압은 비디오 신호보다 높아진다.

[0253] 도 19에 도시된 바와 같이, 제어 신호는 레벨 시프터 회로를 통해 시프트 레지스터 회로(191)에 입력될 수 있다. 결과적으로, 본 발명의 표시 장치는 공지된 외부 회로를 사용함으로써 구동될 수 있다. 또한, 레벨 시프터 회로는 시프트 레지스터 회로(191)의 출력에 접속될 수 있다.

[0254] [제 6 실시 형태]

[0255] 본 실시 형태에서는 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로들을 갖는 게이트 드라이버 및 소스 드라이버를 사용하는 표시 장치의 소정 구성예들을 설명한다.

[0256] 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로가 게이트 드라이버로서 사용되는 경우의 표시 장치의 구성예를 도 21을 참조로 설명한다. 또한, 제어 신호선, 전원선, 카운터 전극 등은 편의상 도시되어 있지 않지만, 이들은 필요에 따라 부가적으로 제공될 수 있다. 게이트 드라이버는 필요에 따라 추가로 제공될 수 있다. 또한, 제 5 실시 형태에 설명된 게이트 드라이버는 도 21에 도시된 게이트 드라이버로서 바람직하게 사용될 수 있다.

[0257] 도 21에 도시된 표시 장치는 게이트 드라이버(212), 화소들(211), 게이트 신호선들(G1 내지 Gn) 및 소스 신호선들(S1 내지 Sm)을 포함한다. 게이트 드라이버(212)로부터 출력된 게이트 신호들을 전송하기 위한 게이트 신호선들 및 외부 회로로부터 전송된 비디오 신호들을 전송하기 위한 소스 신호선들은 화소들(211)을 제어한다.

[0258] 화소들(211) 각각은 액정 소자 같은 표시 소자와, FED 소자 및 EL 소자 같은 발광 소자를 포함하며, 표시 소자

를 제어하기 위한 스위칭 소자 또는 트랜지스터와, 트랜지스터의 임계 전압 또는 비디오 신호를 유지하기 위한 용량 소자 등을 포함할 수 있다.

[0259] 게이트 드라이버(212)는 비디오 신호가 기록되어 있는 화소(211)를 선택하기 위한 게이트 신호를 출력하는 게이트 구동 회로이다. 화소가 선택되면, 게이트 신호선들은 G1로부터 Gn까지 순차 선택된다. 또한, 게이트 신호선으로부터 화소에 전송되는 진폭 전압은 비디오 신호의 전위의 최소값 및 최대값 보다 높은 것이 바람직하다. 또한, 비디오 신호가 전류일 때, 비디오 신호는 흐르는 전류에 의해 결정되는, 소스 신호선의 전위의 최대값 및 최소값 보다 높은 진폭 전압을 갖는 것이 바람직하다. 게이트 신호선을 선택한다는 것은 게이트 드라이버(212)로부터 하이 신호를 출력하는 것을 의미한다. 게이트 신호선이 선택되지 않은 기간 중에, 게이트 드라이버(212)는 로우 신호를 출력한다.

[0260] 소스 신호선들(S1 내지 Sm)은 화소들에 외부 회로로부터 입력된 비디오 신호들을 전송하기 위한 소스 신호선들이다. 비디오 신호들은 아날로그 신호, 디지털 신호, 전류 또는 전압으로서 입력될 수 있다. 비디오 신호들을 출력하는 소스 드라이버는 내부 회로로서 형성될 수 있으며, 소스 드라이버의 출력은 소스 신호선에 출력될 수 있다. 또한, 소스 신호선에 입력된 비디오 신호가 라인 순차 구동에 의해 동시에 모든 컬럼들에 입력될 수 있거나, 분할된 비디오 신호들이 도트 순차 구동에 의해 하나의 컬럼 또는 복수의 컬럼들 단위로 입력될 수 있다.

[0261] 도 22는 소스 드라이버가 내부 회로로서 형성되는 경우의 구성예를 도시한다. 도 22에 도시된 바와 같이, 화소(211), 게이트 드라이버(212), 게이트 신호선들 및 소스 신호선들은 도 21의 것들과 유사할 수 있다. 소스 드라이버(221)는 도트 순차 구동 또는 라인 순차 구동에 의해 비디오 신호들을 출력하기 위한 소스 드라이버이다. 소스 드라이버(221)의 구성은 제 5 실시 형태에서 설명된 소스 드라이버의 구성을 사용할 수 있다.

[0262] 도 21의 표시 장치의 구성예에 도시된 바와 같이, m 비디오 신호들이 소스 신호선들의 m 컬럼들에 입력될 필요가 있다. 표시 장치가 보다 높은 해상도 및 보다 큰 크기를 가질 때, 비디오 신호들의 수, 즉, 비디오 신호들이 외부 회로, FPC 등을 통해 입력되는 단자들의 수는 그에 따라 현저히 증가할 것으로 예상된다. 이러한 관점에서, 특정 게이트 신호선이 게이트 드라이버에 의해 선택될 때의 기간(하이가 출력됨)이 복수의 기간들로 분할되고, 그에 의해, 분할된 기간들에서 또 다른 소스 신호선에 하나의 비디오 신호가 출력된다. 비디오 신호들이 입력되는 단자들의 수가 감소되는 비디오 신호 입력부의 구성예에 대하여 도 46을 참조로 설명한다. 도 47은 도 46의 타이밍 차트를 도시한다.

[0263] 도 46은 도 21에 도시된 표시 장치의 비디오 신호 입력부의 예를 도시한다. 도시되어 있지 않은 다른 부분들, 예로서, 화소들(211), 게이트 드라이버(212) 등은 도 21의 것들과 유사할 수 있다. 소스 신호선들이 R, G 및 B로 분할되어 있는 경우의 구성예를 도 46을 참조로 설명한다. 부가적으로, 비디오 신호들을 위한 두 개의 입력 단자들 및 6개 소스 신호선들이 편의상 제공되어 있지만, 본 발명은 이에 한정되지 않으며, 단자들 및 신호선들의 수는 필요에 따라 변경될 수 있다.

[0264] 도 46에 도시된 바와 같이, 제어 신호선(R), 제어 신호선(G) 및 제어 신호선(B), 비디오 신호 입력 단자S1(RGB) 및 비디오 신호 입력 단자 S2(RGB)는 제어 신호들이 외부적으로 입력되는 입력 단자들이다. 스위칭 소자(SW1R) 및 스위칭 소자(SW2R)는 제어 신호선(R)에 의해 온 또는 오프 되도록 제어된다. 스위칭 소자(SW1G) 및 스위칭 소자(SW2G)는 제어 신호선(G)에 의해 온 또는 오프되도록 제어된다. 스위칭 소자(SW1B) 및 스위칭 소자(SW2B)는 제어 신호선(B)에 의해 온 또는 오프되도록 제어된다. 소스 신호선(S1-R), 소스 신호선(S1-G), 소스 신호선(S1-B), 소스 신호선(S2-R), 소스 신호선(S2-G) 및 소스 신호선(S2-B)은 화소들에 비디오 신호들을 전송하기 위한 소스 신호선들이다.

[0265] 도 46에 도시된 회로의 접속들을 설명한다. 비디오 입력 단자 S1(RGB)은 스위칭 소자(SW1R)의 일 단자, 스위칭 소자(SW1G)의 일 단자 및 스위칭 소자(SW1B)의 일 단자에 접속된다. 스위칭 소자(SW1R)의 다른 쪽 단자는 소스 신호선(S1-R)에 접속되고, 스위칭 소자(SW1G)의 다른 쪽 단자는 소스 신호선(S1-G)에 접속되며, 스위칭 소자(SW1B)의 다른 쪽 단자는 소스 신호선(S1-B)에 접속된다. 비디오 입력 단자 S2(RGB), 스위칭 소자들(SW2R, SW2G, SW2B) 및 소스 신호선들(S1-R, S1-G, S1-B)은 유사하게 접속된다.

[0266] 스위칭 소자들(SW1R, SW1G, SW1B, SW2R, SW2G, SW2B)은 예로서, n-채널 트랜지스터들로서 형성된다. n-채널 트랜지스터의 소스 및 드레인 중 하나는 비디오 입력 단자 S1(RGB)에 접속되고, 그 소스 및 드레인 중 다른 쪽은 비디오 입력 단자 S1(RGB)에 접속되며, 그 게이트는 제어 신호선(R)에 접속되고, 그에 의해, 스위칭 소자로서의 기능이 실현될 수 있다. 스위칭 소자로서 n-채널 트랜지스터를 사용함으로써, 비정질 반도체가 쉽게 사용될 수 있으며, 이는 비용 감소 및 크기의 확대에 유리하다. 상술한 스위치들에 부가하여, 병렬로 접속된 n-채널 트랜

지스터와 p-채널 트랜지스터나 온 오프 제어가 가능한 임의의 소자 또는 회로로 구성된 일반적 아날로그 스위치가 사용될 수 있다.

[0267] 도 47은 n-번째 로우 및 (n+1) 번째 로우의 화소들(211)에 비디오 신호를 기록하는 경우의 타이밍 차트를 도시한다. 상술한 바와 같이, 비디오 신호가 n-번째 로우에 기록될 때의 기간(이하, 일 게이트 선택 기간이라고도 지칭됨)은 3개 기간들로 분할된다. 비디오 신호들(S1-Rn, S1-Gn 및 S1-Bn)이 비디오 신호 입력 단자 S1(RGB)에 외부 회로로부터 순차 입력된다. 비디오 신호들의 변화들에 따라서 스위칭 소자의 온/오프를 제어함으로써, 비디오 신호들은 하나의 비디오 신호 입력 단자에 의해 상술한 3개 소스 신호선들에 출력될 수 있다. 결과적으로, 비디오 신호 입력 단자들의 수가 감소된다.

[0268] 도 46에 도시된 구동(driving) 방법은 비정질 반도체로 형성된 화소들 및 트랜지스터들로 구성된 게이트 드라이버가 동일 기관위에 형성되어 있는 표시 장치를 위한 효과적인 방법이다. m-번째 로우 및 n-번째 컬럼의 화소, 소스 신호선들 및 게이트 신호선들만으로 형성된 표시 장치의 경우에, 적어도 m x n 단자들이 외부 회로에 접속하기 위해 필요하다. 동일 기관 위에 게이트 드라이버 및 화소들을 형성하는 경우에, 제어 신호를 입력하기 위한 단자, 게이트 드라이버를 구동하기 위한 전원을 위한 단자 및 n 로우들을 위한 n 입력 단자들이 입력 단자들로서 필요하다. 즉, 약 n 입력 단자들이 필요하다. 여기서, 도 46에 도시된 바와 같이, n 단자들이 (1/3)n 단자들로 감소될 때, 외부 회로의 규모는 감소된다.

[0269] 도 21에 도시된 회로의 동작을 설명한다. 상술한 바와 같이, 비디오 신호는 게이트 드라이버(212)에 의해 선택된 로우의 화소(211)에 기록될 수 있다. 기록된 비디오 신호는 얼마나 많은 광을 화소(211)가 방출 또는 전송하여야 하는지를 결정한다. 게이트 드라이버(212)에 의한 선택이 종결된 이후에, 다음 선택이 수행될 때까지 표시 소자의 커패시턴스 또는 용량 소자를 사용하여 비디오 신호를 유지함으로써, 휘도 또는 투과율이 유지된다. 이 방식으로, 액티브 매트릭스 구동이 실현된다.

[0270] 도 49를 참조로, 도 21, 도 22 및 도 46에 도시된 표시 장치의 구성예에 도시된 바와 같이, 게이트 드라이버들이 서로 대치되어 제공되어 있는 표시 장치의 구성예를 설명한다. 비록, 도 49에 도시되어 있지 않지만, 소스 신호선 및 화소(211)가 제공된다.

[0271] 도 49에 도시된 바와 같이, 게이트 드라이버들(212)은 동일한 타이밍에 게이트 신호들을 출력하는 게이트 드라이버들이며, 서로의 출력들은 동일 로우에 접속된다. 이들 게이트 드라이버들(212)은 도 21 및 도 22에 도시된 게이트 드라이버(212)에 유사할 수 있다.

[0272] 도 49에 도시된 바와 같이, 서로 대치되도록 제공된 게이트 드라이버들(212)에 의해 하나의 게이트 신호선을 구동하기 위한 구동 방법은 게이트 드라이버(212)의 구성에 무관하게 비정질 반도체로 형성된 트랜지스터를 사용하는 게이트 드라이버(212)를 형성하는 경우에 유리하다. 비정질 반도체로 형성되고, 낮은 전하 이동도를 갖는 트랜지스터는 다결정 반도체 및 단결정 반도체에 대해 성능이 매우 열악하다. 그러나, 이런 트랜지스터는 쉬운 제조 프로세스에 의해 제조될 수 있으며, 크기의 확장에 적합하다. 따라서, 내부 회로의 일부, 예로서, 게이트 드라이버가 화소들이 제공된 기관과 동일 기관 위에 제공되는 표시 장치가 개발되어 왔다. 그러나, 비정질 반도체로 형성된 트랜지스터를 사용하여 게이트 드라이버를 형성하는 경우에, 넓은 채널 폭을 갖는 트랜지스터가 필요하며, 그 이유는 트랜지스터의 낮은 성능 때문이다. 따라서, 게이트 드라이버를 위한 면적이 증가 되고, 이는 보다 높은 해상도 및 보다 좁은 프레임을 실현하는 것을 곤란하게 한다. 이러한 관점에서, 서로 대치되도록 제공된 두 개의 게이트 드라이버들에 의해 하나의 게이트 신호선을 구동함으로써, 게이트 신호선이 낮은 전류 성능으로도 정상적으로 주사될 수 있다.

[0273] 도 49에 도시된 바와 같이, 상술한 게이트 드라이버는 제 1 내지 제 4 실시 형태들에 설명된 시프트 레지스터 회로를 사용할 필요가 없다. 특히, 상술한 게이트 드라이버는 게이트 드라이버가 집적되어 있고, 낮은 성능을 갖는 비정질 반도체로 형성된 트랜지스터를 사용하여 형성된 표시 장치에 유리하다.

[0274] 이하, 도 21, 도 22 및 도 46에 도시된 화소들(211)의 소정 구성예들을 설명한다.

[0275] 액정 소자들을 사용하는 화소(211)의 구성예에 대하여 도 23을 참조로 설명한다.

[0276] 도 23의 화소(211)는 트랜지스터(231), 두 개의 전극들을 가지는 용량 소자(232), 두 개의 전극들을 가지는 액정 소자(233), 액정 소자(233)의 다른 쪽 전극으로서의 카운터 전극(234), 소스 신호선, 게이트 신호선 및 용량 소자(232)의 다른 쪽 전극으로서의 공용선으로 구성된다. 소스 신호선 및 게이트 신호선은 도 21, 도 22 및 도

46에 도시된 것들과 유사하다. 소스 신호선은 비디오 신호로서 아날로그 신호 전압을 전송한다.

[0277] 트랜지스터(231)는 스위치로서 동작하는 n-채널 트랜지스터이다. 트랜지스터(231)는 게이트 신호선의 전위가 하이일 때 온 상태가 되며, 게이트 신호선의 전위가 로우일 때 오프 상태가 된다. 트랜지스터(231)가 온 상태일 때, 소스 신호선 및 액정 소자(233)의 하나의 전극과, 용량 소자(232)의 하나의 전극이 전기적으로 접속되고, 그에 의해, 소스 신호선으로부터 전송된 비디오 신호가 그대로, 액정 소자(233)의 하나의 전극 및 용량 소자(232)의 하나의 전극에 전송된다. 트랜지스터(231)가 오프 상태일 때, 소스 신호선, 액정 소자(233)의 하나의 전극 및 용량 소자(232)의 하나의 전극이 전기적으로 분리되고, 그에 의해, 액정 소자(233)의 하나의 전극 및 용량 소자(232)의 하나의 전극에 어떠한 전하도 공급 또는 이동되지 않는다.

[0278] 용량 소자(232)는 온 상태인 트랜지스터(231)를 통해 소스 신호선으로부터 전송된 비디오 신호를 유지하기 위한 용량 소자이다. 용량 소자(232)의 다른 쪽 전극은 일정 전위를 가지는 공용선에 접속되며, 용량 소자(232)의 하나의 전극에 인가 되는 전위는 특정 기간 동안 유지될 수 있다. 또한, 용량 소자(232)의 다른 쪽 전극은 동작시 일정한 전위를 가지는 임의의 위치에 접속될 수 있다. 예로서, 용량 소자(232)의 다른 쪽 전극은 선행 로우의 게이트 신호선에 접속되는 것이 바람직하다. 선행 로우의 게이트 신호선이 주사되고 나면, 따라서, 거의 모든 로우들의 게이트 신호선이 로우이며, 주사 기간에 일정한 전위를 갖는다. 따라서, 선행 로우의 게이트 신호선은 공용선 대신 사용될 수 있다.

[0279] 액정 소자(233)의 다른 쪽 전극은 일정 전위를 가지는 카운터 전극(234)에 접속된다. 액정 소자(233)는 일 전극과 카운터 전극(234) 사이의 전위차에 따라 광 투과율이 변하는 액정 소자이다. 액정 소자(233)의 일 전극의 전위는 트랜지스터(231)와 소스 신호선을 통해 전송된 비디오 신호에 의해 결정되며, 따라서, 액정 소자(233)의 투과율은 비디오 신호의 전위에 의해 결정된다. 액정 소자(233)를 사용하는 표시 장치의 경우에, 백라이트가 사용될 수 있으며, 반사 전극이 사용될 수 있거나, 백라이트 및 반사 전극 양자 모두가 사용될 수 있다. 액정 소자(233)는 용량성 성분을 갖는다. 따라서, 액정 소자(233)가 비디오 신호를 유지하기 위한 충분한 용량성 성분을 가질 때, 용량 소자(232) 및 공용선은 제공될 필요가 없다.

[0280] 발광 소자를 사용한 화소(211)의 구성예를 도 38을 참조로 설명한다.

[0281] 도 38에 도시된 화소(211)는 트랜지스터(241), 트랜지스터(242), 두 개의 전극을 가지는 용량 소자(243), 두 개의 전극들을 가지는 발광 소자(244), 발광 소자(244)의 다른 쪽 전극으로서의 카운터 전극(245), 전원선, 소스 신호선 및 게이트 신호선으로 구성된다. 소스 신호선 및 게이트 신호선은 도 21, 도 22 및 도 46에 도시된 것들과 유사하다. 소스 신호선은 비디오 신호로서 1 비트 디지털 신호 전압 또는 아날로그 신호 전압을 전송한다.

[0282] 트랜지스터(241)는 스위치로서 동작하는 n-채널 트랜지스터이다. 트랜지스터(241)는 게이트 신호선의 전위가 하이일 때 온 상태가 되며, 게이트 신호선의 전위가 로우일 때, 오프 상태가 된다. 트랜지스터(241)가 온 상태일 때, 소스 신호선, 트랜지스터(242)의 게이트 및 용량 소자(243)의 하나의 전극이 전기적으로 접속되며, 그에 의해, 소스 신호선으로부터 전송된 비디오 신호가 트랜지스터(242)의 게이트 및 용량 소자(243)의 하나의 전극에 그대로 전송된다. 트랜지스터(241)가 오프 상태일 때, 소스 신호선, 트랜지스터(242)의 게이트 및 용량 소자(243)의 하나의 전극이 전기적으로 분리되고, 그에 의해, 용량 소자(243)의 하나의 전극 및 트랜지스터(242)의 게이트에 어떠한 전하도 공급 또는 이동되지 않는다.

[0283] 트랜지스터(242)는 선형 영역(linear region) 및 포화 영역(saturation region)에서 동작하는 n-채널 구동 트랜지스터이다. 트랜지스터(242)가 포화 영역에서 동작할 때, 그를 통해 흐르는 전류는 그 게이트에 인가된 전위에 의해 결정되는 반면, 트랜지스터(242)가 선형 영역에서 동작할 때, 트랜지스터(242)는 그 게이트에 인가된 전위에 의해 온 또는 오프된다. 전원선은 카운터 전극(245)의 것 보다 높은 일정 전위를 갖는다. 따라서, 트랜지스터(242)의 소스가 용량 소자(243)의 다른 쪽 전극에 접속되고, 그 드레인이 전원선에 접속된다.

[0284] 용량 소자(243)는 온 상태인 트랜지스터(241)를 통해 소스 신호선으로부터 전송되는 비디오 신호를 유지하기 위한 용량 소자이다. 용량 소자(243)의 일 전극은 트랜지스터(242)의 게이트에 접속되고, 그 다른 쪽 전극은 트랜지스터(242)의 소스에 접속된다. 즉, 용량 소자(243)는 트랜지스터(242)의 소스와 게이트 사이의 전위차를 유지한다. 따라서, 트랜지스터(242)의 소스 전위가 변할 때, 트랜지스터(242)의 게이트 전위가 마찬가지로 용량 결합에 의해 변한다. 용량 소자(243)의 다른 쪽 전극은 그 소스 전위가 후술될 발광 소자(244)에 공급되는 전류에 따라 변하기 때문에, 트랜지스터(242)의 소스에 접속된다. 즉, 비디오 신호 기록 기간(트랜지스터(241)가 온 상태일 때의 기간)이 과도 상태(transient state)에서 발광 소자(244)의 하나의 전극의 전위로 종결되는 경우, 트랜지스터(242)의 소스 전위가 변하고, 게이트-소스 전위가 변하며, 이는 전류값의 변화를 초래한다. 발광 소자

(244)의 하나의 전극의 전위가 비디오 신호 기록 기간 중에 정상 상태(steady state)로 설정될 수 있는 경우, 용량 소자(243)의 다른 쪽 전극은 전원선, 선행 로우의 게이트 신호선 또는 일정 전위를 갖는 임의의 위치에 접속될 수 있다.

[0285] 발광 소자(244)의 휘도는 그에 공급되는 전류에 비례하여 변한다. 즉, 휘도는 트랜지스터(242)에 의해 결정된 전류값에 비례하여 결정된다. 발광 소자(244)의 다른 쪽 전극은 카운터 전극(245)에 접속된다. 카운터 전극(245)은 일정 전위를 갖는 것이 바람직하지만, 전위는 트랜지스터(242)의 특성의 변화를 보상하기 위해 변경될 수 있다.

[0286] 구동 트랜지스터의 특성들의 변화를 보상하기 위해 발광 소자 및 화소 회로를 사용하는 화소(211)의 구성예를 도 39를 참조로 설명한다.

[0287] 도 39에 도시된 화소(211)는 트랜지스터(251), 트랜지스터(252), 트랜지스터(253), 두 개의 전극들을 갖는 용량 소자(254), 두 개의 전극들을 갖는 발광 소자(244), 발광 소자(244)의 다른 쪽 전극으로서의 카운터 전극(245), 전원선, 소스 신호선, 게이트 신호선으로 구성된다. 소스 신호선 및 게이트 신호선은 도 21, 도 22 및 도 46에 도시된 것들과 유사하다. 발광 소자(244) 및 카운터 전극(245)은 도 38의 것들과 유사하다. 소스 신호선은 비디오 신호로서 아날로그 신호 전류를 전송한다.

[0288] 트랜지스터(251)는 스위치로서 동작하는 n-채널 트랜지스터이다. 트랜지스터(251)는 게이트 신호선의 전위가 로우일 때, 오프되고, 게이트 신호선의 전위가 하이일 때 온 상태가 된다. 트랜지스터(251)가 온 상태일 때, 소스 신호선, 트랜지스터(252)의 소스, 용량 소자(254)의 하나의 전극 및 발광 소자(244)의 하나의 전극이 전기적으로 접속되며, 그에 의해, 비디오 신호가 소스 신호선으로부터 전송된다. 트랜지스터(251)가 오프 상태일 때, 소스 신호선, 트랜지스터(252)의 소스, 용량 소자(254)의 하나의 전극 및 발광 소자(244)의 하나의 전극은 전기적으로 분리되며, 그에 의해, 비디오 신호가 전송되지 않는다.

[0289] 트랜지스터(252)는 스위치로서 동작하는 n-채널 트랜지스터이다. 트랜지스터(252)는 게이트 신호선의 전위가 하이일 때 온 상태이고, 게이트 신호선의 전위가 로우일 때, 오프 상태이다. 트랜지스터(252)가 온 상태일 때, 전원선 및 트랜지스터(253)의 게이트는 전기적으로 접속되며, 그에 의해, 트랜지스터(253)가 다이오드 접속된다. 트랜지스터(252)가 오프 상태일 때, 전원선 및 트랜지스터(253)의 게이트가 분리되고, 그에 의해, 어떠한 전하도 트랜지스터(252)의 게이트에 공급 또는 이동되지 않는다.

[0290] 트랜지스터(253)는 포화 영역에서 동작하는 n-채널 트랜지스터이다. 트랜지스터(253)는 그를 통해 흐르는 전류에 의해 게이트 전압이 결정되는 구동 트랜지스터이다. 비디오 신호로서의 전류가 하이 전위를 가지는 게이트 신호선에 의해 온 상태인 트랜지스터들(251, 252)을 통해, 소스 신호선으로부터 입력되는 기록 기간에, 트랜지스터(253)는 다이오드 접속된다. 트랜지스터(253)의 소스는 발광 소자의 일 전극에 접속되고, 그 드레인은 전원선에 접속되며, 그래서, 비디오 신호로서의 전류가 전원선측으로부터 흐른다. 여기서, 비디오 신호 기록 기간 중이기 때문에, 전원선의 전위는 트랜지스터(253)의 소스 전위가 카운터 전극(256)의 전위와 발광 소자(244)의 임계 전압의 합과 같거나 그 보다 낮은 전위가 되는 것이 바람직하다. 트랜지스터(253)의 소스 전위가 카운터 전극(256)의 전위와 발광 소자(244)의 임계 전압의 합 보다 높은 경우에, 발광 소자(244)가 광을 방출하기에 충분히 큰 전류가 공급되고, 발광 소자(244)가 광을 방출한다. 또한, 비디오 신호는 정확하게 기록될 수 없으며, 이는 표시 품질을 열화시킨다. 이러한 방식으로, 비디오 신호가 기록될 때, 비디오 신호에 따라 트랜지스터(253)의 소스와 게이트 사이에 접속되는 용량 소자(254)내에 비디오 신호가 유지된다. 트랜지스터(253)가 포화 영역에서 동작하기 때문에, 소스와 드레인 전위들 사이의 전위차가 유지되는 경우, 일정 전류가 그를 통해 흐른다. 이 방식으로, 비디오 신호가 기록되고, 트랜지스터들(251, 252)은 오프 상태가 되며, 그에 의해, 트랜지스터들(253)의 게이트는 부유 상태가 된다. 전원선의 전위가 이 상태에서 상승될 때, 비디오 신호에 대응하는 전류가 전원선으로부터 트랜지스터(253)를 통해 발광 소자(244)로 흐르기 시작한다. 전류가 흐르기 시작할 때, 흐르는 전류에 대응하는 전위가 발광 소자(244)의 일 전극에 공급되며, 그에 의해, 그 전위가 점진적으로 상승한다. 결과적으로, 트랜지스터(253)의 소스 전위가 변하고, 트랜지스터(253)의 게이트 전위가 동시에 상승하며, 그 이유는 용량 소자(254)가 트랜지스터(253)의 소스와 게이트 사이의 전위차를 유지하기 때문이다. 즉, 트랜지스터(253)의 소스와 게이트 사이의 전위차는 전원선의 전위가 하이가 되고, 전류가 발광 소자(244)로 흐르기 시작할 때에도 변하지 않는다. 따라서, 비디오 신호에 대응하는 전류값이 발광 소자(244)에 공급될 수 있다.

[0291] 용량 소자(254)는 트랜지스터(253)의 소스와 게이트 사이의 전위차를 유지하기 위한 용량 소자이다. 상술한 바와 같이, 용량 소자(254)의 하나의 전극이 트랜지스터(253)의 소스와 발광 소자(244)의 하나의 전극에 접속되고, 용량 소자의 다른 쪽 전극은 트랜지스터(253)의 게이트에 접속된다.

- [0292] 상술한 바와 같이, 전원선은 비디오 신호 기록 기간 중에 로우 전위를 가지며, 기록 기간이 종결될 때, 하이 전위를 갖는다. 즉, 전원선은 이진 값의 전위를 갖는다. 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로는 이 전원선을 구동하기 위해 사용될 수 있다. 이 시프트 레지스터 회로는 하이 신호를 순차 출력하기 위한 구성을 갖는다. 그러나, 하이와 로우 사이에서 반전하는 인버터 회로를 사용함으로써, 전원선으로서의 기능이 달성될 수 있다.
- [0293] 구동 트랜지스터의 특성들의 변화를 보상하기 위해 발광 소자와 화소 회로를 사용하는 화소(211)의 구성예를 도 40을 참조로 설명한다.
- [0294] 도 40에 도시된 화소(211)는 트랜지스터(261), 트랜지스터(262), 트랜지스터(263), 트랜지스터(264), 두 개의 전극들을 가지는 용량 소자(265), 용량 소자(265)의 다른 쪽 전극으로서의 일정 전위선(266), 두 개의 전극들을 가지는 발광 소자(244), 상기 발광 소자(244)의 다른 쪽 전극으로서 카운터 전극(245), 전원선, 소스 신호선 및 게이트 신호선으로 구성된다. 소스 신호선 및 게이트 신호선은 도 21, 도 22 및 도 46에 설명된 것들과 유사하다. 발광 소자(244) 및 카운터 전극(245)은 도 38에 도시된 것들과 유사하다. 소스 신호선은 비디오 신호로서, 아날로그 신호 전류를 전송한다.
- [0295] 트랜지스터들(261, 262)은 스위치들로서 동작하는 n-채널 트랜지스터들이다. 트랜지스터들(261, 262)은 게이트 신호선의 전위가 하이일 때, 온 상태이고, 게이트 신호선의 전위가 로우일 때, 오프 상태이다. 트랜지스터들(261, 262)이 온 상태일 때, 소스 신호선 및 트랜지스터(263)의 게이트, 트랜지스터(264)의 게이트 및 용량 소자(265)의 하나의 전극이 전기적으로 접속되며, 그에 의해, 트랜지스터(263)가 다이오드 접속된다. 비디오 신호는 소스 신호선으로부터 흐르는 전류이다. 트랜지스터들(263, 264)의 소스들은 전원선이 발광 소자의 하나의 전극 보다 높은 전위를 갖도록 발광 소자의 하나의 전극에 접속된다. 트랜지스터들(263)의 드레인은 트랜지스터(262)에 접속되고, 트랜지스터(264)의 드레인은 전원선에 접속된다.
- [0296] 트랜지스터(263)는 포화 영역에서 동작하는 n-채널 트랜지스터이다. 트랜지스터(263)는 그를 통해 흐르는 전류에 의해 게이트 전압이 결정되는 구동 트랜지스터이다. 게이트 신호선이 하이 전위를 가지고, 트랜지스터들(261, 262)이 온 상태일 때, 트랜지스터(263)는 다이오드 접속되고, 비디오 신호가 소스 신호선으로부터 입력된다. 이 시점에서 트랜지스터(263)의 게이트 전위는 비디오 신호에 대응하며, 트랜지스터들(263, 264)은 공통적인 게이트들 및 소스들을 가지고, 따라서, 트랜지스터(264)의 게이트 전위 또한 비디오 신호에 대응한다. 트랜지스터들(263, 264)의 게이트들은 이 시점에서, 용량 소자(265)의 하나의 전극에서 유지된다. 이 방식으로, 게이트 신호선은 로우 전위를 가지며, 그에 의해, 트랜지스터들(261, 262)이 오프 상태가 된다. 이때, 트랜지스터들(263, 264)의 게이트 전위는 용량 소자(265) 내에서 유지된다. 트랜지스터(263)의 드레인은 부유 상태가 되며, 따라서, 전류는 트랜지스터(263)를 통해 발광 소자(244)로 흐르지 않는다.
- [0297] 용량 소자(265)의 다른 쪽 전극으로서의 일정 전위선(266)은 선행 로우의 게이트 신호선 또는 전원선일 수 있다. 대안적으로, 발광 소자(244)의 하나의 전극이 사용될 수 있다. 이 방식으로, 발광 소자(244)의 하나의 전극의 전위가 변할때에도, 트랜지스터(264)의 소스와 게이트 사이의 전위차를 변경하지 않고, 비디오 신호에 대응하는 전류가 발광 소자에 공급될 수 있다.
- [0298] [제 7 실시 형태]
- [0299] 본 실시 형태에서, 제 1 내지 제 4 실시 형태에서 설명된 시프트 레지스터 회로의 레이아웃의 예를 설명한다.
- [0300] 제 1 실시 형태에서 설명된 시프트 레지스터 회로가 보텀 게이트형 트랜지스터로 형성되는 경우의 구성예를 도 44를 참조로 설명한다. 도 44는 제 1 실시 형태에 설명된 시프트 레지스터의 구성예를 보여주지만, 본 발명은 이에 한정되지 않으며, 본 실시 형태는 제 2 내지 제 4 실시 형태에 설명된 시프트 레지스터 회로에도 마찬가지로 적용될 수 있다. 부가적으로, 본 실시 형태는 제 1 내지 제 4 실시 형태들에 설명된 것들 이외의 시프트 레지스터 회로에 적용될 수 있다.
- [0301] 도 44는 트랜지스터(31), 트랜지스터(32), 트랜지스터(41), 트랜지스터(42), CK1, CK2 및 CK3의 제어 신호들을 전송하기 위한 3개 제어 신호선들, 정전원(VDD)의 전위를 가지는 전원선 및 각각 부전원(VSS)의 전위를 가지는 두 개의 전원선들을 포함한다. CK1을 전송하기 위한 제어 신호선은 제어 신호선 CK1이라 지칭되고, CK2를 전송하기 위한 제어 신호선은 제어 신호선 CK2라 지칭되고, CK3을 전송하기 위한 제어 신호선은 제어 신호선 CK3이라 지칭되며, 정전원(VDD)의 전위를 가지는 전원선은 전원선 VDD라 지칭되며, 부전원(VSS)의 전위를 가지는 전원선은 전원선 VSS라 지칭된다.

- [0302] 도 44에 도시된 시프트 레지스터 회로의 구성예의 소정 특징을 설명한다.
- [0303] 시프트 레지스터 회로의 특징은 전원선 VDD 및 전원선 VSS가 시프트 레지스터 회로의 출력으로서 OUT(1)과 제어 신호선들(CK1, CK2 및 CK3) 사이에 제공된다는 것이다. 제어 신호선들(CK1, CK2 및 CK3)은 클록 신호들을 전송하기 위한 제어 신호선들로서 일정하게 변하는 전위들을 갖는다. 따라서, 기생 커패시턴스가 제어 신호선들 사이에 생성될 때, 제어 신호선의 전위의 변화로 인해 노이즈가 발생할 수 있다. OUT(1)가 후속 스테이지의 시프트 레지스터 회로의 입력에 대응하기 때문에, 노이즈가 OUT(1)에 발생하는 경우 시프트 레지스터 회로는 쉽게 오동작한다. 따라서, 제어 신호선들과 OUT(1) 사이에 일정한 전위들을 갖는 전원선들을 제공함으로써, 시프트 레지스터 회로상의 제어 신호선들에 의해 발생하는 노이즈의 영향이 감소될 수 있다.
- [0304] 시프트 레지스터 회로의 특징은 전원선 VDD, 전원선 VSS 및 트랜지스터가 제어 신호선들(CK1, CK2 및 CK3)과 OUT(1) 및 트랜지스터(32)의 출력을 접속하기 위한 금속 배선층 사이에 제공된다는 것이다. 상술한 바와 같이, 트랜지스터(32)의 출력과 OUT(1)을 접속하기 위한 금속 배선층내에 노이즈가 발생하는 경우에, 시프트 레지스터 회로의 오동작이 발생할 수 있다. 또한, 트랜지스터들의 배치에 따라서, 긴 배선이 준비될 필요가 있다. 따라서, 제어 신호선들 사이에 트랜지스터들과 전원선을 제공함으로써, 노이즈가 방지될 수 있다.
- [0305] 시프트 레지스터 회로의 특징은 부트 스트랩 동작을 수행하는 트랜지스터(32)가 U-형 트랜지스터로 형성되는 것이다. 트랜지스터(32)는 출력의 정전원(VDD)을 공급하기 위한 트랜지스터이며, 따라서, 높은 전류 성능이 필요하다. U-형 트랜지스터를 사용함으로써, 채널 폭이 넓게 설정될 수 있다.
- [0306] 트랜지스터들(41, 42)의 드레인과 소스 중 하나는 공용으로 사용된다. 결과적으로, 시프트 레지스터 회로를 위한 면적이 보다 작아질 수 있기 때문에, 보다 높은 해상도 및 보다 좁은 프레임을 갖는 표시 장치를 제공할 수 있다는 점이 유리하다.
- [0307] 시프트 레지스터 회로의 특징은 전원선 및 제어 신호선이 동일한 폭들을 갖는다는 것이다. 일반적으로, 큰 순시 전류가 전원선을 통해 흐르고, 따라서, 그 폭은 배선 저항을 감소시키도록 넓게 형성된다. 이 방식으로, 순시 전류로 인한 전압 강하에 의해 유발되는 오동작이 방지된다. 그러나, 본 발명에서 정전원(VDD)의 전위를 출력하기 위해 제어 신호선이 사용되고, 따라서, 큰 순시 전류도 제어 신호선의 통해 흐른다. 이러한 관점에서, 제어 신호선의 폭이 넓은 것이 바람직하다. 제어 신호선의 폭이 이전만큼 좁은 경우, 제어 신호선은 큰 순시 전류에 의해 유발되는 전압 강하로 인해 전위를 유지할 수 없으며, 이는 시프트 레지스터 회로의 오동작을 초래한다. 이러한 관점에서, 제어 신호선 및 전원선은 동일한 폭들을 갖는 것이 바람직하다. 또한, 본 발명의 시프트 레지스터 회로에서 전원선을 통해 작은 전류가 흐르기 때문에, 제어 신호선은 전원선 보다 넓은 폭을 가질 수 있다.
- [0308] 제 1 실시 형태에 설명된 시프트 레지스터 회로가 보텀 게이트형 트랜지스터로 형성되는 경우의 다른 구성예를 도 45를 참조로 설명한다. 도 45는 제 1 실시 형태에 설명된 시프트 레지스터의 구성예를 보여주지만, 본 발명은 이에 한정되지 않으며, 본 실시 형태는 제 2 내지 제 4 실시 형태에 설명된 시프트 레지스터 회로에도 마찬가지로 적용될 수 있다. 또한, 본 실시 형태는 제 1 내지 제 4 실시 형태들에 설명된 것들 이외의 시프트 레지스터 회로에 적용될 수 있다.
- [0309] 도 45에 도시된 회로는 트랜지스터(31), 트랜지스터(32), 트랜지스터(41), 트랜지스터(42), CK1, CK2 및 CK3의 제어 신호들을 전송하기 위한 3개 제어 신호선들, 정전원(VDD)의 전위를 가지는 전원선 및 부전원(VSS)의 전위를 가지는 전원선인 두 개의 전원선들을 포함한다. CK1을 전송하기 위한 제어 신호선은 제어 신호선 CK1이라 지칭되고, CK2를 전송하기 위한 제어 신호선은 제어 신호선 CK2라 지칭되고, CK3을 전송하기 위한 제어 신호선은 제어 신호선 CK3이라 지칭되며, 정전원(VDD)의 전위를 가지는 전원선은 전원선 VDD라 지칭되며, 부전원(VSS)의 전위를 가지는 전원선은 전원선 VSS라 지칭된다.
- [0310] 도 45에 도시된 시프트 레지스터 회로의 구성예의 소정 특징을 설명한다.
- [0311] 이 시프트 레지스터 회로의 특징은 시프트 레지스터 회로를 구성하는 트랜지스터가 일정 전위들을 가지는 전원선들 사이에 끼워지도록 제공되는 것이다. 부트 스트랩 동작이 사용될 때, 부유 상태의 노드가 존재하기 때문에, 노이즈가 감소될 필요가 있다. 즉, 일정전위들을 갖는 전원선들 사이에 트랜지스터를 끼워넣음으로써, 제어 신호선 또는 다른 회로들에 의해 유발되는 노이즈가 감소될 수 있다.
- [0312] [제 1 실시예]
- [0313] 본 실시예에서는 화소의 구조예를 설명한다. 도 24a 및 도 24b는 본 발명의 패널내의 화소를 각각 도시하는 단면도이다. 이들은 트랜지스터가 화소내에 배치된 스위칭 소자로서 사용되고, 발광 소자가 화소내에 배치된 표시

매체로서 사용되는 예를 보여 준다.

- [0314] 도 24a 및 도 24b에서, 참조 번호 2400은 기판을 나타내고, 2401은 베이스막을 나타내며, 2402 및 2412 각각은 반도체층을 나타내고, 2403은 제 1 절연막을 나타내고, 2404는 게이트 전극을 나타내고, 2414는 전극을 나타내고, 2405는 제 2 절연막을 나타내고, 2406은 소스 전극 및 드레인 전극으로서 기능할 수 있는 전극을 나타내고, 2407은 제 1 전극을 나타내고, 2408은 제 3 절연막을 나타내고, 2409는 발광층을 나타내고, 2417은 제 2 전극을 나타내고, 2410은 트랜지스터를 나타내고, 2415는 발광 소자를 나타내며, 2411은 용량 소자를 나타낸다. 도 24a 및 도 24b에서, 트랜지스터(2410) 및 용량 소자(2411)는 화소를 형성하는 소자들의 대표들로서 예시되어 있다. 도 24a의 구조를 설명한다.
- [0315] 기판(2400)은 바륨 보로실리케이트 유리 기판 또는 알루미늄 보로실리케이트 유리 기판 같은 유리 기판, 석영 기판, 세라믹 기판 등일 수 있다. 대안적으로, 기판(2400)은 각각 절연막이 그 위에 형성되는 표면을 구비하는 반도체 기판이나 스테인레스 강을 포함하는 금속 기판일 수 있다. 대안적으로, 기판(2400)은 플라스틱 같은 가요성 합성 수지로 형성될 수 있다. 기판(2400)의 표면은 CMP 같은 연마에 의해 미리 평탄화될 수 있다.
- [0316] 베이스막(2401)은 실리콘 산화물, 실리콘 질화물 또는 실리콘 질산화물 같은 절연막일 수 있다. 베이스막(2401)은 기판(2400)에 포함된 Na 같은 알칼리 토류 금속 또는 알칼리 금속이 반도체층(2402)내로 확산하여 트랜지스터(2410)의 특성에 부정적인 영향을 유발하는 것을 방지할 수 있다. 비록, 도 24a 및 도 24b에서, 베이스막(2401)이 단층으로 형성되지만, 이는 둘 이상의 층들로 형성될 수 있다. 석영 기판을 사용하는 경우 같이 불순물들의 확산이 큰 문제가 되지 않는 경우에, 베이스막(2401)이 항상 제공될 필요는 없다는 것에 유의하여야 한다.
- [0317] 반도체 층들(2402, 2412)로서, 패턴화된 결정 반도체막 및 비정질 반도체막이 사용될 수 있다. 결정 반도체 막은 비정질 반도체 막을 결정화함으로써 얻어질 수 있다. 결정화 방법으로서, 레이저 결정화, RTA 또는 어닐링 노를 사용하는 열적 결정화, 결정화를 촉진하기 위한 금속 원소를 사용하는 열적 결정화 등이 사용될 수 있다. 반도체층(2402)은 채널 형성 영역 및 도전형을 주는 불순물 원소가 추가 되어 있는 한 쌍의 불순물 영역들을 포함한다. 불순물 원소가 저농도로 추가 되어 있는 다른 불순물 영역이 채널 형성 영역과 한 쌍의 불순물 영역들 사이에 제공될 수 있다는 것에 유의하여야 한다. 따라서, 반도체층(2412)은 도전형을 주는 불순물 원소가 전체 반도체층(2412)에 추가 되어 있는 구조를 가질 수 있다.
- [0318] 제 1 절연막(2403)은 실리콘 산화물, 실리콘 질화물, 실리콘 질화물 산화물 등을 사용함으로써, 단층 또는 복수의 막들의 적층된 층들로 형성될 수 있다. 수소를 함유하는 층이 제 1 절연막(2403)으로서 사용되며, 반도체층(2402)이 수화될 수 있다는 것에 유의하여야 한다.
- [0319] 게이트 전극(2404) 및 전극(2414)은 Ta, W, Ti, Mo, Al, Cu, Cr 및 Nd로부터 선택된 원소들 또는 이런 원소들의 합금이나 화합물의 단층 또는 적층된 층들로 형성된다.
- [0320] 트랜지스터(2410)는 반도체층(2402), 게이트 전극(2404), 반도체층(2402)과 게이트 전극(2404) 사이의 제 1 절연막(2403)을 포함한다. 비록, 도 24a 및 도 24b에서, 발광 소자(2415)의 제 1 전극(2407)에 접속된 트랜지스터(2410)만이 화소를 구성하는 트랜지스터로서 도시되어 있지만, 화소는 복수의 트랜지스터들을 포함할 수 있다. 또한, 비록, 본 실시예에서, 트랜지스터(2410)는 탑 게이트 트랜지스터로서 도시되어 있지만, 이는 반도체층 아래에 게이트 전극을 갖는 보텀 게이트 트랜지스터 또는 반도체 층 위 및 아래에 게이트 전극들을 구비하는 이중 게이트 트랜지스터일 수도 있다.
- [0321] 용량 소자(2411)는 유전체로서의 제 1 절연막(2403) 및 그 사이에 제 1 절연막(2403)이 개재된 상태로 서로 대면하는 한 쌍의 전극들로서 전극(2414) 및 반도체층(2412)을 포함한다. 도 24a 및 도 24b는 화소에 포함된 용량 소자의 전극들의 쌍 중 하나가 트랜지스터(2410)의 반도체층(2402)과 동시에 형성되는 반도체층(2412)이고, 다른 전극이 트랜지스터(2410)의 게이트 전극(2404)과 동시에 형성된 전극(2414)인 예를 보여 준다. 그러나, 본 발명은 이에 한정되지 않는다.
- [0322] 제 2 절연막(2405)은 무기 절연막 또는 유기 절연막의 단층 또는 적층된 층들로 형성될 수 있다. 무기 절연막으로서, CVD에 의해 형성된 실리콘 산화물 막, SOG(스핀 온 글래스)에 의해 적용된 실리콘 산화물 막 등이 사용될 수 있다. 유기 절연막으로서, 폴리이미드, 폴리아미드 BCB(벤조사이클로부텐), 아크릴, 포지티브 감광성 유기 수지, 네거티브 감광성 유기 수지 등이 사용될 수 있다.
- [0323] 또한, 제 2 절연막(2405)으로서, 실리콘(Si)과 산소(O)의 결합의 뼈대를 가지는 물질이 사용될 수 있다. 이 물질의 치환기로서, 적어도 수소를 포함하는 유기 그룹(예로서, 알킬 그룹 또는 방향족 수산화탄소)이 사용될 수

있다. 대안적으로, 플루오로 그룹 또는 적어도 수소를 함유하는 유기 그룹 및 플루오로 그룹 양자 모두가 치환기로서 사용될 수 있다.

[0324] 제 2 절연막(2405)의 표면은 고밀도 플라즈마로 질화되도록 처리될 수 있다. 고밀도 플라즈마는 고주파수, 예로서, 2.45GHz를 갖는 마이크로파를 사용함으로써 생성된다. 1×10^{11} 내지 $1 \times 10^{13} \text{ cm}^{-3}$ 의 전자 밀도 및 0.2 내지 2.0eV(보다 바람직하게는, 0.5 내지 1.5eV)의 전자 온도를 갖는 고밀도 플라즈마가 사용된다는 것에 유의하여야 한다. 낮은 전자 온도의 특징을 가지는 고밀도 플라즈마가 상술한 바와 같이 액티브 종들(species)의 낮은 운동 에너지를 갖기 때문에, 종래의 플라즈마 처리에 비해 보다 적은 플라즈마 손상으로 보다 적은 결함들을 갖는 막이 형성될 수 있다. 고밀도 플라즈마 처리에서, 기판(2400)의 온도는 350 내지 450°C로 설정된다. 또한, 고밀도 플라즈마를 생성하기 위한 장치에서, 마이크로파를 생성하는 안테나와 기판(2400) 사이의 거리는 20 내지 80mm(바람직하게는, 20 내지 60mm)으로 설정된다.

[0325] 질소(N_2) 및 희유 가스(He, Ne, Ar, Kr 및 Xe 중 적어도 하나를 함유)의 분위기 또는 질소, 수소(H_2) 및 희유 가스의 분위기 또는 암모니아(NH_3) 및 희유 가스의 분위기에서, 제 2 절연막(2405)의 표면을 질화하기 위해, 상술한 고밀도 플라즈마 처리가 수행된다. 고밀도 플라즈마를 사용한 질화 처리에 의해 형성된 제 2 절연막(2405)의 표면은 H나 He, Ne, Ar, Kr 또는 Xe 같은 원소가 혼합된다. 예로서, 실리콘 산화물 막 또는 실리콘 산질화물 막이 제 2 절연막(2405)으로서 사용되고, 실리콘 질화물 막을 형성하도록 고밀도 플라즈마 처리를 받는다. 이렇게 형성된 실리콘 질화물 막에 포함된 수소를 활용함으로써, 트랜지스터(2410)의 반도체층(2402)이 수화될 수 있다. 수화 처리는 제 1 절연막(2403)에 포함된 수소를 사용하는 상술한 수화 처리와 조합될 수 있다는 것에 유의하여야 한다. 제 2 절연막(2405)으로서 사용되도록 상술한 고밀도 플라즈마 처리에 의해 형성된 질화물 막 위에 절연막이 형성될 수 있다.

[0326] 전극(2406)은 Al, Ni, C, W, Mo, Ti, Pt, Cu, Ta, Au 및 Mn으로부터 선택된 원소 또는 이런 원소들을 함유하는 합금의 단층 또는 적층된 층들로 형성된다.

[0327] 제 1 전극(2407) 및 제 2 전극(2417) 중 하나 또는 양자 모두는 투광성 전극일 수 있다. 투광성 전극으로서, 텅스텐 산화물을 함유하는 인듐 산화물(IWO), 텅스텐 산화물을 함유하는 인듐 아연 산화물(IWZO), 티타늄 산화물을 함유하는 인듐 산화물(ITiO), 티타늄 산화물을 함유하는 인듐 주석 산화물(ITTiO) 등이 사용될 수 있다. 대안적으로, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 실리콘 산화물이 추가 되어 있는 인듐 주석 산화물(ITSO) 등이 사용될 수 있다는 것은 두말할 필요가 없다.

[0328] 발광층(2409)은 정공 주입/운반층, 발광층 및 전자 주입/운반층 같은 다른 기능을 갖는 복수의 층들로 형성되는 것이 바람직하다.

[0329] 정공 주입/운반층은 정공 운반 특성을 갖는 유기 화합물과, 유기 화합물에 관하여 전자 수용 특성을 갖는 무기 화합물을 포함하는 화합물로 형성되는 것이 바람직하다. 이 구조는 극도로 양호한 정공 주입/운반 특성이 얻어질 수 있도록 근본적으로 거의 어떠한 고유 캐리어들도 갖지 않는 유기 화합물 내에서 다수의 정공 캐리어들을 생성한다. 따라서, 구동 전압은 종래의 구동 전압 보다 낮게 설정될 수 있다. 또한, 정공 주입/운반층이 구동 전압을 상승시키지 않고 두껍게 이루어질 수 있기 때문에, 먼지 등으로 인한 발광 소자의 단락 회로가 억제될 수 있다.

[0330] 정공 운반 특성을 갖는 유기 화합물로서, 4,4',4"-트리스[N-(3-메틸페닐)-N-페닐아미노]-트리페닐아민(MTDATA로 약칭됨), 1,3,5-트리스[N,N-디(m-토릴)아미노]벤젠(m-MTDAB로 약칭됨), N,N'-디페닐-N,N'-비스(3-메틸페닐)-1,1'-바이페닐-4,4'-디아민(TPD로 약칭됨), 4,4'-비스[N-(1-나프틸)-N-페닐아미노]바이페닐(NPB로 약칭됨) 등이 예로서 주어진다. 그러나, 정공 운반 특성을 가지는 유기 화합물은 이 예에 한정되지 않는다.

[0331] 전자 수용 특성을 가지는 무기 화합물로서, 티타늄 산화물, 지르코늄 산화물, 바나듐 산화물, 몰리브덴 산화물, 텅스텐 산화물, 레늄 산화물, 루테튬 산화물, 아연 산화물 등이 예로서 주어진다. 특히, 바나듐 산화물, 몰리브덴 산화물, 텅스텐 산화물 및 레늄 산화물이 양호하며, 그 이유는 이들 산화물들이 진공 증착을 위해 쉽게 사용될 수 있기 때문이다.

[0332] 전자 주입/운반층은 전자 운반 특성을 갖는 유기 화합물을 사용하여 형성된다. 구체적으로, 트리스(8-퀴놀리놀라토)알루미늄(Alq_3 으로 약칭됨), 트리스(4-메틸-8-퀴놀리놀라토)알루미늄(Almq_3 으로 약칭됨) 등이 예로서 주어진다. 그러나, 전자 운반 특성을 갖는 유기 화합물은 이 예에 한정되지 않는다.

- [0333] 발광층으로서, 하기의 화합물이 예로서 주어질 수 있다: 9,10-디(2-나프틸)안트라센(DNA로 약칭됨), 9,10-디(2-나프틸)-2-테르트-부틸안트라센(t-BuDNA로 약칭됨), 4,4'-비스(2,2-디페닐비닐)바이페닐(DPVBi로 약칭됨), 쿠마린 30, 쿠마린 6, 쿠마린 545, 쿠마린 545T, 페틸렌, 루브렌, 피이프란탄, 2,5,8,11-테트라(테르트-부틸)페틸렌(TBP로 약칭됨), 9,10-디페닐안트라센(DPA로 약칭됨), 5,12-디페닐테트라센, 4-(디시아노메틸렌)-2-메틸-[p-(디메틸아미노)스티릴]-4H-피란(DCM1로 약칭됨), 4-(디시아노메틸렌)-2-메틸-6-[2-(줄로리딘-9-일)에틸]-4H-피란(DCM2로 약칭됨) 및 4-(디시아노메틸렌)-2,6-비스[p-(디에틸아미노)스티릴]-4H-피란(BisDCM으로 약칭됨) 등. 대안적으로, 비스[2-(4',6'-디플루오로페닐)피리디나토-N,C^{2'}]이리듐(피콜리네이트)(FIrpic으로 약칭됨), 비스{2-(3',5'-비스(트리플루오로메틸)페닐)피리디나토-N,C^{2'}}이리듐(피콜리네이트)(Ir(CF₃ppy)₂(pic)로 약칭됨), 트리스(2-페닐피리디나토-N,C^{2'})이리듐(Ir(ppy)₃으로 약칭됨), 비스(2-페닐피리디나토-N,C^{2'})이리듐(아세틸아세토네이트)(Ir(ppy)₂(acac)로 약칭됨), 비스[2-(2'-티에닐)피리디나토-N-C^{3'}]이리듐(아세틸아세토네이트)(Ir(thp)₂(acac)로 약칭됨), 비스(2-페닐퀴놀리나토-N,C^{2'})이리듐(아세틸아세토네이트)(Ir(pq)₂(acac)로 약칭됨) 또는 비스[2-(2'-벤조티에닐)피리디나토-N-C^{3'}]이리듐(아세틸아세토네이트)(Ir(btp)₂(acac)로 약칭됨) 같은 인광을 발광할 수 있는 화합물이 사용될 수 있다.
- [0334] 또한, 발광층을 형성하기 위해 사용될 수 있는 고 분자량 전자발광 물질로서, 폴리파라페닐렌 비닐렌 기반 물질, 폴리파라페닐렌 기반 물질, 폴리티오펜 기반 물질 또는 폴리플루오렌 기반 물질이 예로서 주어질 수 있다.
- [0335] 어떤 경우에도, 발광층의 구조는 변할 수 있다. 따라서, 발광 소자로서의 목적이 달성될 수 있는 한, 특정 정공 또는 전자 주입/운반층 또는 발광층을 제공하는 대신, 정공 또는 전자 주입/운반층이나 발광층을 위해 사용되도록 전극층을 제공하거나, 분산 발광 물질을 제공하는 것 같은 구조의 변경들이 허용될 수 있다.
- [0336] 제 1 전극(2407) 및 제 2 전극(2417) 중 다른 쪽은 비투광성 물질로 형성될 수 있다. 예로서, Li나 Cs 같은 알칼리 금속, Mg, Ca 또는 Sr 같은 알칼리 토 금속, 이런 금속들을 함유하는 합금(Mg:Ag, Al:Li, Mg:In 등), 이런 금속들의 화합물(CaF₂ 또는 CaN)이나 Yb 또는 Er 같은 희토류 금속이 사용될 수 있다.
- [0337] 제 3 절연막(2408)은 제 2 절연막(2405)과 동일한 물질을 사용하여 형성될 수 있다. 제 3 절연막(2408)은 제 1 전극(2407)의 단부 부분을 덮도록 제 1 전극(2407)의 외주상에 형성되며, 인접 화소들 사이에서 발광층(2409)을 분리시키는 기능을 갖는다.
- [0338] 발광층(2409)은 단층 또는 복수의 층들로 형성된다. 복수의 층들로 형성되는 경우에, 이들 층들은 캐리어 운반 특성에 관하여, 정공 주입층, 정공 운반층, 발광층, 전자 운반층, 전자 주입층 등으로 분류될 수 있다. 층들 사이의 경계는 항상 명료할 필요가 있는 것은 아니며, 계면이 불명확하도록 인접 층들을 구성하는 물질들이 서로 혼합되어 있는 경우가 존재한다는 것을 유의하여야 한다. 유기물 또는 무기물이 각 층을 위해 사용될 수 있다. 유기물로서, 임의의 고분자 유기물, 중분자 유기물 및 저분자 유기물이 사용될 수 있다.
- [0339] 발광 소자(2415)는 발광층(2409)과, 발광층(2409)이 그 사이에 개재되어 있는 제 1 전극(2407) 및 제 2 전극(2417)으로 형성된다. 제 1 전극(2407) 및 제 2 전극(2417) 중 하나는 애노드에 대응하며, 다른 쪽은 캐소드에 대응한다. 임계 전압 보다 높은 순방향 바이어스 전압이 애노드와 캐소드 사이에 인가될 때, 전류는 애노드로부터 캐소드로 흐르며, 그래서, 발광 소자(2415)가 광을 방출한다.
- [0340] 도 24b의 구조에 대해 설명한다. 도 24a 및 도 24b와 공통된 부분에 대해서는 동일 참조 번호가 사용되며, 설명을 생략한다는 것을 유의하여야 한다. 도 24b는 도 24a의 제 2 절연막(2405)과 제 3 절연막(2408) 사이에 절연막(2418)이 개재되어 있는 구조를 도시한다. 제 2 전극(2416) 및 제 1 전극(2406)은 절연막(2418) 내에 형성된 접촉공에서 접속된다.
- [0341] 절연막(2418)은 제 2 절연막(2405)과 동일한 구조를 가질 수 있다. 제 2 전극(2416)은 제 1 전극(2406)과 동일한 구조를 가질 수 있다.
- [0342] [제 2 실시예]
- [0343] 본 실시예에서는 트랜지스터의 반도체층으로서 비정질 실리콘(a-Si:H) 막을 사용하는 경우에 대해 설명한다. 도 28a 및 도 28b는 각각 탑 게이트 트랜지스터의 경우를 보여 주며, 도 29a 및 도 30a는 보텀 게이트 트랜지스터

의 경우를 각각 보여 준다.

- [0344] 도 28a는 반도체 층을 위해 비정질 실리콘을 사용하는 탑 게이트 트랜지스터의 단면도를 도시한다. 베이스막(2802)이 기판(2801) 위에 형성된다. 또한, 화소 전극(2803)이 베이스막(2802) 위에 형성된다. 부가적으로, 제 1 전극(2804)이 화소 전극(2803)과 동일한 물질로 동일층내에 형성된다.
- [0345] 기판으로서, 유리 기판, 석영 기판, 세라믹 기판 등이 사용될 수 있다. 베이스막(2802)은 알루미늄 질화물, 실리콘 산화물, 실리콘 산질화물 등의 단층 또는 그 적층된 층들을 사용하여 형성될 수 있다.
- [0346] 배선들(2805, 2806)은 베이스막(2802) 위에 형성되며, 화소 전극(2803)의 단부는 배선(2805)으로 덮여진다. 각각 N-형 도전성을 가지는 N-형 반도체 층들(2807, 2808)이 배선들(2805, 2806) 위에 각각 형성된다. 부가적으로, 반도체 층(2809)은 배선들(2805, 2806) 사이에, 그리고, 베이스막(2802) 위에 형성되며, 이는 N-형 반도체 층들(2807, 2808)을 덮도록 부분적으로 연장된다. 이 반도체 층은 비정질 실리콘(a-Si:H) 막 또는 마이크로결정 반도체(μ -Si:H) 막 같은 비정질 반도체 막으로 형성된다. 그후, 게이트 절연막(2810)이 반도체 층(2809) 위에 형성되고, 절연막(2811)이 게이트 절연막(2810)과 동일한 물질로 동일층내에, 그리고, 또한, 제 1 전극(2804) 위에 형성된다. 게이트 절연막(2810)으로서, 실리콘 산화물 막, 실리콘 질화물 막 등이 사용될 수 있다는 것을 유의하여야 한다.
- [0347] 게이트 전극(2812)은 게이트 절연막(2810) 위에 형성된다. 부가적으로, 제 2 전극(2813)은 게이트 전극과 동일한 물질로 동일층내에, 그리고, 사이에 절연막(2811)이 개재된 상태로 제 1 전극(2804) 위에 형성된다. 용량 소자(2819)는 절연막(2811)이 제 1 전극(2804)과 제 2 전극(2813) 사이에 개재되는 영역에 대응한다. 층간 절연막(2814)은 용량 소자(2819), 구동 트랜지스터(2818) 및 화소 전극(2803)의 단부 부분들을 덮도록 형성된다.
- [0348] 유기 화합물을 포함하는 층(2815) 및 카운터 전극(2816)은 층간 절연막(2814)의 개구부에 배치된 화소 전극(2803) 및 층간 절연막(2814) 위에 형성된다. 따라서, 발광 소자(2817)는 유기 화합물을 포함하는 층(2815)이 화소 전극(2803)과 카운터 전극(2816) 사이에 개재되어 있는 영역에 대응한다.
- [0349] 도 28a에 도시된 제 1 전극(2804)은 도 28b에 도시된 바와 같이 제 1 전극으로 형성될 수 있다. 제 1 전극(2820)은 배선들(2805, 2806)과 동일한 물질로 동일층내에 형성된다.
- [0350] 도 29a 및 도 29b는 그 반도체 층으로서 비정질 실리콘을 사용하는 보텀 게이트 트랜지스터를 구비한 표시 패널의 부분 단면도이다. 게이트 전극(2903)은 기판(2901) 위에 형성된다. 또한, 제 1 전극(2904)이 게이트 전극(2903)과 동일한 물질로 동일층내에 형성된다. Ti, Cr, Mo, W 또는 Ta 같은 고용점 금속이 게이트 전극(2903)을 위해 사용될 수 있다.
- [0351] 게이트 절연막(2905)은 게이트 전극(2903)과 제 1 전극(2904)을 덮도록 형성된다. 게이트 절연막(2905)으로서, 실리콘 산화물 막, 실리콘 질화물 막 등이 사용된다.
- [0352] 반도체 층(2906)은 게이트 절연막(2905) 위에 형성된다. 부가적으로, 반도체층(2907)이 반도체 층(2906)과 동일한 물질로 동일층내에 형성된다. 기판으로서, 유리 기판, 석영 기판, 세라믹 기판 등이 사용될 수 있다.
- [0353] N-형 도전성을 가지는 N-형 반도체 층들(2908, 2909)이 반도체층(2906) 위에 형성되고, N-형 반도체층(2910)이 반도체층(2907) 위에 형성된다. 배선들(2911, 2912)은 각각 N-형 반도체 층들(2908, 2909) 위에 형성되며, 도전층(2913)은 N-형 반도체 층(2910) 위에 배선들(2911, 2912)과 동일한 물질로 동일층내에 형성된다.
- [0354] 제 2 전극은 반도체층(2907), N-형 반도체층(2910) 및 도전층(2913)으로 형성된다. 게이트 절연막(2905)이 제 2 전극과 제 1 전극(2904) 사이에 개재되어 있는 구조를 가지는 용량 소자(2920)가 형성된다는 것을 유의하여야 한다.
- [0355] 배선(2911)의 일 단부 부분이 연장되고, 화소 전극(2914)이 연장된 배선(2911)의 상부 부분과 접촉하도록 형성된다.
- [0356] 그후, 절연층(2915)이 용량 소자(2920), 구동 트랜지스터(2919) 및 화소 전극(2914)의 단부 부분을 덮도록 형성된다. 유기 화합물을 포함하는 층(2916)과 카운터 전극(2917)은 화소 전극(2914)과 절연층(2915) 위에 형성된다. 발광 소자(2918)는 화소 전극(2914)과 카운터 전극(2917) 사이에 유기 화합물을 포함하는 층(2916)이 개재되어 있는 영역에 대응한다.
- [0357] 반도체 층(2907) 및 용량 소자의 제 2 전극의 일부가 되는 N-형 반도체 층(2910)은 반드시 필요한 것은 아니다. 즉, 제 2 전극은 도전층(2913)일 수 있으며, 그래서, 용량 소자가 게이트 절연막이 제 1 전극(2904)과 도전층

(2913) 사이에 개재되어 있는 구조를 가질 수 있다.

- [0358] 화소 전극(2914)은 도 29a에서 배선(2911)을 형성하기 이전에 형성되며, 그에 의해, 도 29b에 도시된 용량 소자(2920)가 얻어질 수 있으며, 이는 게이트 절연막(2905)이 화소 전극(2914)으로 형성된 제 2 전극(2921)과 제 1 전극(2904) 사이에 개재되어 있는 구조를 갖는다.
- [0359] 도 29a 및 도 29b는 반전된 스테거형 채널 에칭된 트랜지스터들을 나타내지만, 채널 보호 트랜지스터가 사용될 수 있다. 도 30a 및 도 30b를 참조로, 채널 보호 트랜지스터들을 설명한다.
- [0360] 도 30a에 도시된 채널 보호 트랜지스터는 에칭 마스크로서 기능하는 절연층(3001)이 반도체층(2906)의 채널 형성 영역 위에 제공되어 있는 점이 도 29a에 도시된 채널 에칭된 구동 트랜지스터(2919)와 다르다. 다른 공통 부분들은 동일 참조 번호들로 표시되어 있다.
- [0361] 유사하게, 도 30b에 도시된 채널 보호 트랜지스터는 에칭 마스크로서 기능하는 절연층(3001)이 반도체층(2906)의 채널 형성 영역 위에 제공되어 있는 점이 도 29b에 도시된 채널 에칭된 구동 트랜지스터(2919)와 다르다. 다른 공통 부분들은 동일 참조 번호들로 표시되어 있다.
- [0362] 본 실시예의 화소에 포함된 트랜지스터의 반도체 층(채널형성 영역, 소스 영역, 드레인 영역 등)으로서 비정질 반도체 막을 사용함으로써, 제조 비용이 감소될 수 있다. 예로서, 비정질 반도체 막은 도 6 및 도 7에 도시된 화소 구조를 사용함으로써 적용될 수 있다.
- [0363] 본 실시예의 화소 구조가 적용될 수 있는 용량 소자들 및 트랜지스터들의 구조들은 상술한 것들에 한정되지 않으며, 다양한 트랜지스터들 및 용량 소자들의 구조들이 사용될 수 있다.
- [0364] 본 실시예는 제 1 실시예와 자유롭게 조합하여 구현될 수 있다.
- [0365] [제 3 실시예]
- [0366] 본 실시예에서는 예로서, 트랜지스터들을 포함하는 반도체 장치를 제조하는 방법으로서, 플라즈마 처리를 사용하는 반도체 장치의 제조 방법에 대해 설명한다.
- [0367] 도 31a 내지 도 31c는 트랜지스터들을 포함하는 반도체 장치의 구조예들을 도시한다. 도 31b는 도 31a의 선 a-b를 따라 취한 단면도에 대응하며, 도 31c는 도 31a의 선 c-d를 따라 취한 단면도에 대응한다.
- [0368] 도 31a 내지 도 31c에 도시된 반도체 장치는 절연막(4602)을 사이에 개재한 기판(4601) 위에 제공된 반도체 막들(4603a, 4603b), 사이에 게이트 절연층(4604)이 개재된 반도체 막들(4603a, 4603b) 위에 제공된 게이트 전극들(4605), 게이트 전극들(4605)을 덮도록 제공된 절연막들(4606, 4607) 및 절연막(4607) 위에 제공되어 반도체 막들(4603a, 4603b)의 소스 영역 또는 드레인 영역에 전기적으로 접속되어 있는 도전막(4608)을 포함한다. 비록, 도 31a 내지 도 31c는 채널 영역으로서 반도체 막(4603a)의 일부를 사용하는 n-채널 트랜지스터(4610a), 채널 영역으로서 반도체 막(4603b)의 일부를 사용하는 p-채널 트랜지스터(4610b)를 제공하는 경우를 예시하고 있지만, 본 발명은 이런 구조에 한정되지 않는다. 예로서, 비록, 도 31a 내지 도 31c에서 n-채널 트랜지스터(4610a)는 LDD 영역들을 구비하고, p-채널 트랜지스터(4610b)는 LDD 영역을 구비하지 않지만, 트랜지스터들 양자 모두가 LDD 영역들을 구비하거나, 트랜지스터들 중 어느 쪽도 LDD 영역들을 구비하지 않는 구조들이 제공될 수 있다.
- [0369] 본 실시예에서, 도 31a 내지 도 31c에 도시된 반도체 장치는 반도체 막 또는 절연막을 산화 또는 질화함으로써, 즉, 기판(4601), 절연막(4602), 반도체 막들(4603a, 4603b), 게이트 절연막(4604), 절연막(4606) 및 절연막(4607) 중 적어도 하나의 층에 플라즈마 산화 또는 질화 처리를 수행함으로써, 제조된다. 이 방식에서, 플라즈마 처리에 의해 반도체 막 또는 절연막을 산화 또는 질화함으로써, 반도체 막 또는 절연막의 표면이 변경될 수 있으며, 그에 의해, CVD 또는 스퍼터링에 의해 형성된 절연막에 비해 보다 밀도 높은 절연막이 형성될 수 있다. 따라서, 핀 홀들 같은 결함들이 억제될 수 있고, 따라서, 반도체 장치의 특성들 등이 개선될 수 있다.
- [0370] 본 실시예에서, 도면을 참조로 플라즈마 처리에 의해 도 31a 내지 도 31c에 도시된 게이트 절연막(4604) 또는 반도체막들(4603a, 4603b)을 산화 또는 질화하는 것에 의한 반도체 장치의 제조 방법을 설명한다.
- [0371] 아일랜드형 반도체 막들이 각각 거의 직각을 갖는 예지 부분을 갖도록 형성되는 경우에 대하여 설명한다.
- [0372] 먼저, 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)이 기판(4601) 위에 형성된다(도 32a). 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)은 기판(4601) 위에 미리 형성되어 있는 절연막(4602) 위에, 주 성분으로

서 실리콘(Si)을 함유하는 물질(예로서, $\text{Si}_x\text{Ge}_{1-x}$)을 사용하여 스퍼터링, LPCVD, 플라즈마 CVD 등에 의해 비정질 반도체 막을 형성하고, 그후, 비정질 반도체 막을 결정화하고, 추가로 선택적으로 반도체 막을 에칭함으로써 제공될 수 있다. 비정질 반도체 막의 결정화는 레이저 결정화, RTA나 어닐링 노를 사용하는 열적 결정화, 결정화를 촉진하는 금속 원소들을 사용하는 열적 결정화 또는 그 조합에 의해 수행될 수 있다는 것에 유의하여야 한다. 도 32a에서 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)이 거의 직각($\theta=85^\circ$ 내지 100°)을 갖는 에지 부분을 갖도록 형성된다는 것에 유의하여야 한다.

[0373] 이어서, 반도체 막들(4603a, 4603b)은 각각 반도체 막들(4603a, 4603b)의 표면들 상에 산화물 또는 질화물 막들(4621a, 4621b)(이하, 절연막들(4621a, 4621b)이라고도 지칭함)을 형성하도록 플라즈마 처리에 의해 산화 또는 질화된다(도 32b). 예로서, 반도체 막들(4603a, 4603b)을 위해 Si가 사용될 때, 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x)이 절연막들(4621a, 4621b)로서 형성된다. 또한, 플라즈마 처리에 의한 산화 이후에, 반도체 막들(4603a, 4603b)은 질화되도록 다시 플라즈마 처리를 받을 수 있다. 이 경우, 실리콘 산화물이 먼저 반도체 막들(4603a, 4603b) 위에 형성되고, 그후, 실리콘 질화물 산화물(SiN_xO_y)($x>y$)이 실리콘 산화물의 표면 위에 형성된다. 플라즈마 처리에 의해 반도체 막을 산화시키는 경우에, 플라즈마 처리는 산소 분위기(예로서, 산소(O_2))와 희유 가스(He, Ne, Ar, Kr 및 Xe 중 적어도 하나를 함유)를 포함하는 분위기, 산소, 수소(H_2) 및 희유 가스를 포함하는 분위기 또는 디니트로젠 모노옥사이드 및 희유 가스를 함유하는 분위기)에서 수행된다는 것을 유의하여야 한다. 한편, 플라즈마 처리에 의해 반도체 막을 질화하는 경우에, 플라즈마 처리는 질소 분위기(예로서, 질소(N_2)) 및 희유 가스(He, Ne, Ar, Kr 및 Xe 중 적어도 하나를 함유)를 포함하는 분위기, 질소, 수소 및 희유 가스를 포함하는 분위기 또는 NH_3 및 희유 가스를 포함하는 분위기)에서 수행된다. 희유 가스로서, 예로서, Ar이 사용될 수 있다. 대안적으로, Ar과 Kr의 혼합 가스가 사용될 수 있다. 따라서, 절연막들(4621a, 4621b)은 플라즈마 처리에 사용된 희유 가스(He, Ne, Ar, Kr 및 Xe 중 적어도 하나를 함유)를 포함하며, Ar이 사용되는 경우, 절연막들(4621a, 4621b)은 Ar을 포함한다.

[0374] 플라즈마 처리는 상술한 가스를 함유하는 분위기에서, 1×10^{11} 내지 $1 \times 10^{13} \text{ cm}^{-3}$ 의 플라즈마 전자 밀도 및 0.5 내지 1.5eV의 플라즈마 전자 온도에서 수행된다. 플라즈마 전자 밀도가 높고, 기판(4601) 위에 형성된 처리 대상물(여기서, 반도체 막들(4603a, 4603b)의 주변의 전자 온도가 낮기 때문에, 처리 대상물에 대한 플라즈마 손상이 방지될 수 있다. 부가적으로, 플라즈마 전자 밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 만큼 또는 그 이상으로 높기 때문에, 플라즈마 처리에 의한 처리 대상물의 질화 또는 산화에 의해 형성된 질화물 또는 산화물 막은 두께의 평활성 등에서 유리하고, CVD, 스퍼터링 등에 의해 형성된 막에 비해 조밀하다. 또한, 플라즈마 전자 온도가 1 eV 만큼 또는 그 이하로 낮기 때문에, 산화 또는 질화 처리는 종래의 플라즈마 처리 또는 열적 산화에 비해 보다 낮은 온도에서 수행될 수 있다. 예로서, 플라즈마 처리가 100도 또는 그 이상의 유리 기판의 변형점 보다 낮은 온도에서 수행되는 경우에도 충분히 산화 또는 질화 처리가 수행될 수 있다. 플라즈마를 생성하기 위한 주파수로서, 마이크로파들(2.45GHz) 같은 높은 주파수들이 사용될 수 있다는 것에 유의하여야 한다. 플라즈마 처리는 이하에서 특정하지 않는 한, 상술한 조건들 하에서 수행된다는 것을 유의하여야 한다.

[0375] 후속하여, 게이트 절연막(4604)이 절연막들(4621a, 4621b)을 덮도록 형성된다(도 32c). 게이트 절연막(4604)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물(SiO_xN_y)($x>y$) 또는 실리콘 질화물 산화물(SiN_xO_y)($x>y$) 같은 산소 또는 질소를 함유하는 절연막의 적층된 층 구조 또는 단층 구조 중 어느 하나를 갖도록 스퍼터링, LPCVD 또는 플라즈마 CVD에 의해 형성될 수 있다. 예로서, Si가 반도체 막들(4603a, 4603b)을 위해 사용되고, Si가 반도체 막들(4603a, 4603b)의 표면들상에 절연막들(4621a, 4621b)로서 실리콘 산화물을 형성하도록 플라즈마 처리에 의해 산화될 때, 실리콘 산화물은 절연막들(4621a, 4621b) 위에 게이트 절연막으로서 형성된다. 부가적으로, 도 32b에서, 플라즈마 처리에 의해 반도체 막들(4603a, 4603b)을 산화 또는 질화함으로써 형성된 절연막들(4621a, 4621b)이 충분히 두꺼울 때, 절연막들(4621a, 4621b)은 게이트 절연막들로서 사용될 수 있다.

[0376] 후속하여, 게이트 절연막(4604) 위에 게이트 전극들(4605) 등을 형성함으로써, 채널 영역들로서 아일랜드 형상들을 가지는 반도체 막들(4603a, 4603b)을 각각 구비하는 n-채널 트랜지스터(4610a) 및 p-채널 트랜지스터(4610b)를 갖는 반도체 장치가 제조될 수 있다(도 32d).

[0377] 이 방식으로, 반도체 막들(4603a, 4603b) 위에 게이트 절연막(4604)을 제공하기 이전에, 플라즈마 처리에 의해 반도체 막들(4603a, 4603b)의 표면들을 산화 또는 질화함으로써, 채널 형성 영역들의 에지 부분들(4651a, 4651b)에서의 게이트 절연막(4604)의 커버리지 결함들에 의해 유발되는, 게이트 전극들 및 반도체 막들 사이의

단락 회로들 등이 방지될 수 있다. 즉, 아일랜드형 반도체 막들의 에지 부분들이 거의 직각($\Theta=85$ 내지 100°)인 경우에, 게이트 절연막이 CVD, 스퍼터링 등에 의해 반도체 막을 덮도록 형성될 때, 반도체 막들의 에지 부분들에서의 게이트 절연막의 파괴 등으로부터 초래되는 커버리지 결함이 유발될 수 있다는 고려사항이 있다. 그러나, 미리 플라즈마 처리에 의해 반도체 막들의 표면들을 산화 또는 질화함으로써, 이런 커버리지 결함 등이 방지될 수 있다.

[0378] 대안적으로, 도 32c에서, 게이트 절연막(4604)은 게이트 절연막(4604)을 형성한 이후, 플라즈마 처리를 수행함으로써 산화 또는 질화될 수 있다. 이 경우, 산화물 또는 질화물 막(이하, 절연막(4623)이라고도 지칭됨)이 반도체 막들(4603a, 4603b)을 덮도록 형성되는 게이트 절연막(4604)에 대해 플라즈마 처리를 수행하여 게이트 절연막(4604)을 산화 또는 질화함으로써, 게이트 절연막(4604)(도 33a)의 표면위에 형성된다(도 33b). 플라즈마 처리는 도 32b의 것들과 유사한 조건들에서 수행될 수 있다. 부가적으로, 절연막(4623)은 플라즈마 처리에 사용되는 희유 가스를 포함하며, 예로서, Ar이 플라즈마 처리를 위해 사용될 때, Ar을 포함한다.

[0379] 대안적으로, 도 33b를 참조하면, 산소 분위기에서 플라즈마 처리를 수행함으로써, 게이트 절연막(4604)을 산화시킨 이후, 게이트 절연막(4604)은 질화되도록 다시 질소 분위기에서 플라즈마 처리를 받을 수 있다. 이 경우, 실리콘 산화물 또는 실리콘 산질화물(SiO_xN_y)($x>y$)이 먼저, 반도체 막들(4603a, 4603b)의 형상들을 갖도록 형성되고, 그후, 실리콘 질화물 산화물(SiN_xO_y)($x>y$)이 게이트 전극들(4623)과 접촉하도록 형성된다. 그후, 절연막(4623) 위에 게이트 전극들(4605) 등을 형성함으로써, 채널 영역들로서 아일랜드 형상들을 가지는 반도체 막들(4603a, 4603b)을 각각 구비하는 n-채널 트랜지스터들(4610a) 및 p-채널 트랜지스터들(4610b)을 가지는 반도체 장치가 제조될 수 있다(도 33c). 이 방식으로, 플라즈마 처리에 의해 게이트 절연막의 표면을 산화 또는 질화함으로써, 게이트 절연막의 표면은 밀도있는 막을 형성하도록 변형될 수 있다. 플라즈마 처리에 의해 얻어진 절연막은 밀도가 높으며, CVD 또는 스퍼터링에 의해 형성된 절연막에 비해, 핀 홀들 같은 결함들을 거의 갖지 않는다. 따라서, 트랜지스터들의 특성들이 개선될 수 있다.

[0380] 비록, 도 33a 내지 도 33c가 반도체 막들(4603a, 4603b)의 표면들이 반도체 막들(4603a, 4603b)에 대한 플라즈마 처리를 미리 수행함으로써, 산화 또는 질화되는 경우를 예시하였지만, 플라즈마 처리가 반도체 막들(4603a, 4603b)에 수행되지 않고, 게이트 절연막(4604)을 형성한 이후에 수행되는 방법이 사용될 수 있다. 이 방식에서, 게이트 전극 형성 이전에 플라즈마 처리를 수행함으로써, 반도체 막의 에지 부분들에서의 게이트 절연막의 파괴 같은 커버리지 결함으로 인해 반도체 막이 노출되어 있는 경우에도 반도체 막은 산화 또는 질화될 수 있으며, 따라서, 반도체 막의 에지 부분들에서의 게이트 절연막의 커버리지 결함에 의해 유발될 수 있는, 게이트 전극과 반도체 막 사이의 단락 회로들 등이 방지될 수 있다.

[0381] 이 방식에서, 플라즈마 처리에 의해 게이트 절연막 또는 반도체 막들을 산화 또는 질화함으로써, 아일랜드 형상의 반도체 막들이 거의 직각을 갖는 에지 부분들을 갖도록 형성되어 있는 경우에도, 반도체 막들의 에지 부분들에서의 게이트 절연막의 커버리지 결함에 의해 유발될 수 있는 게이트 전극들과 반도체 막들 사이의 단락 회로들 등이 방지될 수 있다.

[0382] 후속하여, 기판 위에 형성된 아일랜드 형상의 반도체 막들이 테이퍼된 에지 부분들($\Theta=30$ 내지 85°)을 가지는 경우를 예시한다.

[0383] 먼저, 아일랜드 형상을 갖는 반도체 막들(4603a, 4603b)이 기판(4601) 위에 형성된다(도 34a). 아일랜드 형상을 갖는 반도체 막들(4603a, 4603b)은 주 성분으로서 실리콘(Si)을 함유하는 물질(예로서, $\text{Si}_x\text{Ge}_{1-x}$) 등을 사용하여 스퍼터링, LPCVD, 플라즈마 CVD 등에 의해, 미리 기판(4601) 위에 형성된 절연막(4602) 위에 비정질 반도체 막을 형성하고, 그후, 레이저 결정화, RTA 또는 어닐링 노를 사용하는 열적 결정화, 또는 결정화를 촉진하는 금속 원소들을 사용하는 열적 결정화에 의해 비정질 반도체 막을 결정화하고, 추가로, 선택적으로 반도체 막을 에칭 제거함으로써 제공될 수 있다. 도 34a에서, 아일랜드형 반도체 막들은 테이퍼된 에지 부분들($\Theta=35$ 내지 85°)을 갖도록 형성된다.

[0384] 후속하여, 게이트 절연막(4604)이 반도체 막들(4603a, 4603b)을 덮도록 형성된다(도 34b). 게이트 절연막(4604)은 스퍼터링, LPCVD, 플라즈마 CVD 등에 의해, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물(SiO_xN_y)($x>y$) 또는 실리콘 질화물 산화물(SiN_xO_y)($x>y$) 같은 산소 또는 질소를 함유하는 절연막의 단층 구조 또는 적층된 층 구조 중 어느 하나를 갖도록 제공될 수 있다.

[0385] 후속하여, 산화물 또는 질화물 막(이하, 절연막(4624)이라고도 지칭함)이 플라즈마 처리에 의해 게이트 절연막

(4604)을 산화 또는 질화함으로써 게이트 절연막(4604)의 표면에 형성된다(도 34c). 플라즈마 처리는 상술한 조건들하에서 수행될 수 있다. 예로서, 실리콘 산화물 또는 실리콘 산질화물(SiO_xN_y)($x>y$)이 게이트 절연막(4604)으로서 사용되는 경우에, 게이트 절연막(4604)은 산소 분위기에서 플라즈마 처리를 수행함으로써 산화되고, 그에 의해, CVD, 스퍼터링 등에 의해 형성된 게이트 절연막에 비해, 핀 홀들 같은 결함들을 거의 갖지 않는 밀도있는 막이 게이트 절연막의 표면에 형성될 수 있다. 다른 한편, 게이트 절연막(4604)이 질소 분위기에서의 플라즈마 처리에 의해 질화될 때, 실리콘 질화물 산화물 막(SiN_xO_y)($x>y$)이 게이트 절연막(4604)의 표면에 절연막(4624)으로서 제공될 수 있다. 대안적으로, 산소 분위기에서 플라즈마 처리를 수행함으로써, 게이트 절연막(4604)을 산화한 이후, 게이트 절연막(4604)이 질화되도록 다시 질소 분위기에서 플라즈마 처리를 받을 수 있다. 부가적으로, 절연막(4624)은 플라즈마 처리에 사용된 희유 가스를 함유하며, 예로서, Ar이 플라즈마 처리에 사용될 때, Ar을 포함한다.

[0386] 후속하여, 게이트 절연막(4604) 위에 게이트 전극들(4605) 등을 형성함으로써, 각각 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)을 구비하는 n-채널 트랜지스터(4610a) 및 p-채널 트랜지스터(4610b)를 갖는 반도체 장치가 제조될 수 있다(도 34d).

[0387] 이 방식으로, 게이트 절연막에 플라즈마 처리를 수행함으로써, 산화물 또는 질화물 막으로 이루어진 절연막이 게이트 절연막의 표면에 제공될 수 있으며, 따라서, 게이트 절연막의 표면이 변경될 수 있다. 플라즈마 처리를 사용한 산화 또는 질화에 의해 얻어진 절연막이 밀도있으며, CVD 또는 스퍼터링에 의해 형성된 게이트 절연막에 비해, 핀 홀들 같은 결함들을 거의 갖지 않기 때문에, 트랜지스터들의 특성들이 개선될 수 있다. 부가적으로, 테이퍼된 에지 부분들을 갖도록 반도체 막들을 형성함으로써, 반도체 막들의 에지 부분들에서의 게이트 절연막의 커버리지 결함에 의해 유발될 수 있는 반도체 막들과 게이트 전극들 사이의 단락 회로들 등이 방지될 수 있다. 또한, 게이트 절연막을 형성한 이후 플라즈마 처리를 수행함으로써, 게이트 전극들과 반도체 막들 사이의 단락 회로들 등이 보다 효과적으로 방지될 수 있다.

[0388] 후속하여, 도면들을 참조로, 도 34a 내지 도 34d의 것과는 다른 반도체 장치의 제조 방법을 설명한다. 구체적으로, 플라즈마 처리가 반도체 막들의 테이퍼된 에지 부분들에 선택적으로 수행되는 경우가 예시되어 있다.

[0389] 먼저, 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)이 기판(4601) 위에 형성된다(도 35a). 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)은 주 성분으로서 실리콘(Si)을 함유하는 물질(예로서, $\text{Si}_x\text{Ge}_{1-x}$) 등을 사용하여, 스퍼터링, LPCVD, 플라즈마 CVD 등에 의해, 미리 기판(4601) 위에 형성되어 있는 절연막(4602) 위에 비정질 반도체 막을 형성하고, 비정질 반도체 막을 결정화하고, 추가로, 레지스트들(4625a, 4625b)을 마스크들로서 사용하여 선택적으로 반도체 막을 에칭함으로써 제공될 수 있다. 비정질 반도체 막의 결정화는 레이저 결정화, RTA 또는 어닐링 노를 사용하는 열적 결정화, 결정화를 촉진하는 금속 원소들을 사용하는 열적 결정화 또는 그들의 조합 같은 결정화 방법에 의해 수행될 수 있다는 것에 유의하여야 한다.

[0390] 후속하여, 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)의 에지 부분들이 반도체 막들을 에칭하기 위해 사용되는 레지스트들(4625a, 4625b)을 제거하기 이전에 플라즈마 처리에 의해 선택적으로 산화 또는 질화되며, 그에 의해, 산화물 또는 질화물 막(이하, 절연막(4626)이라고도 지칭함)이 반도체 막들(4603a, 4603b)의 에지 부분들상에 형성된다(도 35b). 플라즈마 처리는 상술한 조건들하에서 수행된다. 부가적으로, 절연막(4626)은 플라즈마 처리에 사용되는 희유 가스를 포함한다.

[0391] 후속하여, 게이트 절연막(4604)이 반도체 막들(4603a, 4603b)을 덮도록 형성된다(도 35c). 게이트 절연막(4604)은 상술된 바와 유사한 방식으로 형성될 수 있다.

[0392] 후속하여, 게이트 절연막(4604) 위에 게이트 전극들(4605) 등을 형성함으로써, 채널 영역들로서, 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)을 각각 구비하는 n-채널 트랜지스터(4610a) 및 p-채널 트랜지스터(4610b)를 구비한 반도체 장치가 제조될 수 있다(도 35d).

[0393] 반도체 막들(4603a, 4603b)이 테이퍼된 에지 부분들을 구비할 때, 반도체 막들(4603a, 4603b)의 일부로서 형성되는 채널 영역들의 에지 부분들(4652a, 4652b)도 테이퍼지게 되고, 그에 의해, 그 부분내의 게이트 절연막 및 반도체 막들의 두께는 중앙부에서의 두께와 다르며, 이는 트랜지스터들의 특성들에 부정적인 영향을 줄 수 있다. 따라서, 채널 영역들의 에지 부분들로 인한 트랜지스터들에 대한 이런 영향들은 여기에서는 플라즈마 처리에 의해, 채널 영역들의 에지 부분들을 선택적으로 산화 또는 질화시킴으로써, 반도체 막들, 즉, 채널 영역들의 에지 부분들 위에 절연막을 형성함으로써 감소될 수 있다.

- [0394] 비록, 도 35a 내지 도 35d는 플라즈마 처리에 의해 반도체 막들(4603a, 4603b)의 에지 부분들만이 산화 또는 질화되는 예를 예시하지만, 도 34c에 도시된 바와 같이 게이트 절연막(4604)도 플라즈마 처리에 의해 산화 또는 질화될 수 있다(도 37a).
- [0395] 다음에, 도면들을 참조로 상술한 것과는 다른 반도체 장치의 제조 방법을 설명한다. 구체적으로, 테이퍼된 형상들을 갖는 반도체 막들에 플라즈마 처리가 수행되는 경우를 예시한다.
- [0396] 먼저, 아일랜드 형상들을 갖는 반도체 막들(4603a, 4603b)이 상술한 바와 유사하게 기판(4601) 위에 형성된다(도 36a).
- [0397] 다음에, 반도체 막들(4603a, 4603b)이 플라즈마 처리에 의해 산화 또는 질화되고, 그에 의해, 반도체 막들(4603a, 4603b)의 표면들상에 산화물 또는 질화물 막들(이하, 절연막들(4627a, 4627b)이라고도 지칭함)을 형성한다(도 36b). 플라즈마 처리는 상술한 조건들하에서 수행될 수 있다. 예로서, Si가 반도체 막들(4603a, 4603b)로 사용될 때, 절연막들(4627a, 4627b)로서, 실리콘 산화물 또는 실리콘 질화물이 형성된다. 부가적으로, 플라즈마 처리에 의해 산화된 이후, 반도체 막들(4603a, 4603b)은 질화되도록 다시 플라즈마 처리를 받을 수 있다. 이 경우에, 실리콘 산화물 또는 실리콘 산질화물(SiO_xN_y)($x>y$)이 먼저 반도체 막들(4603a, 4603b)의 위에 형성되고, 그후, 실리콘 질화물 산화물(SiN_xO_y)($x>y$)이 실리콘 산화물상에 형성된다. 따라서, 절연막들(4627a, 4627b)은 플라즈마 처리에 사용되는 희유 가스를 포함한다. 반도체 막들(4603a, 4603b)의 에지 부분들은 플라즈마 처리를 수행함으로써, 동시에 산화 또는 질화된다.
- [0398] 다음에, 게이트 절연막(4604)이 절연막들(4627a, 4627b)을 덮도록 형성된다(도 36c). 게이트 절연막(4604)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물(SiO_xN_y)($x>y$) 또는 실리콘 질화물 산화물(SiN_xO_y)($x>y$) 같은 산소 또는 질소를 함유하는 절연막의 단층 구조 또는 적층된 층 구조 중 어느 하나를 갖도록 스퍼터링, LPCVD, 플라즈마 CVD 등에 의해 형성될 수 있다. 예로서, Si가 반도체 막들(4603a, 4603b)로 사용되고, 반도체 막들(4603a, 4603b)의 표면들이 절연막들(4627a, 4627b)로서, 실리콘 산화물을 형성하도록 플라즈마 처리에 의해 산화될 때, 실리콘 산화물은 절연막들(4627a, 4627b) 위에 게이트 절연막으로서 형성된다.
- [0399] 다음에, 게이트 절연막(4604) 위에 게이트 전극들(4605) 등을 형성함으로써, 채널 영역들로서 아일랜드 형상들을 가지는 반도체 막들(4603a, 4603b)을 각각 가지는 n-채널 트랜지스터들(4610a) 및 p-채널 트랜지스터들(4610b)을 구비한 반도체 장치가 제조될 수 있다(도 36d).
- [0400] 반도체 막들이 테이퍼된 에지 부분들을 구비할 때, 반도체 막들의 일부들에 형성되어 있는 채널 영역들의 에지 부분들도 테이퍼지며, 이는 반도체 소자들의 특성들에 부정적인 영향을 줄 수 있다. 이런 반도체 소자들에 대한 영향들은 플라즈마 처리에 의해 반도체 막들을 산화 또는 질화시킴으로써 감소될 수 있으며, 그 이유는, 채널 영역들의 에지 부분들도 이에 따라 산화 또는 질화되기 때문이다.
- [0401] 비록, 도 36a 내지 도 36d가 단지 반도체 막들(4603a, 4603b)만이 플라즈마 처리에 의해 산화 또는 질화되는 예를 예시하지만, 도 34b에 도시된 바와 같이, 게이트 절연막(4604)도 플라즈마 처리에 의해 산화 또는 질화될 수 있다는 것은 두말할 필요가 없다. 이 경우에, 산소 분위기에서의 플라즈마 처리에 의해 산화된 이후, 게이트 절연막(4604)은 질화되도록 다시 플라즈마 처리를 받게 된다. 이 경우에, 실리콘 산화물(SiO_x) 또는 실리콘 산질화물(SiO_xN_y)($x>y$)이 먼저 반도체 막들(4603a, 4603b)의 형상들을 갖도록 형성되고, 그후, 게이트 전극들(4605)과 접촉되도록 실리콘 질화물 산화물(SiNO_y)($x>y$)이 형성된다.
- [0402] 이때, 먼지(4673)는 브러싱 같은 단순한 세척에 의해 절연막(4674)의 표면으로부터 쉽게 제거되는 상태에 있다. 이 방식으로, 플라즈마 처리를 수행함으로써, 반도체 막 또는 절연막에 부착되는 미세 먼지조차도 쉽게 제거될 수 있다. 이 효과는 플라즈마 처리를 수행함으로써 얻어지는 것이며, 따라서, 본 실시예에 뿐만 아니라 다른 실시예들에도 유사한 바가 적용될 수 있다는 것을 유의하여야 한다.
- [0403] 이 방식으로, 플라즈마 처리를 사용하는 산화 또는 질화에 의해 게이트 절연막 또는 반도체 막의 표면을 변경함으로써, 밀도있고 고품질인 절연막이 형성될 수 있다. 부가적으로, 절연막의 표면에 부착되는 먼지 등이 세척에 의해 쉽게 제거될 수 있다. 따라서, 절연막이 얇게 형성될 때에도 핀 홀들 같은 결함들이 방지될 수 있으며, 그에 의해, 트랜지스터들 같은 반도체 소자들의 마이크로제조 및 고성능이 실현될 수 있다.
- [0404] 비록, 본 실시예는 게이트 절연막(4604) 또는 반도체 막들(4603a, 4603b)을 산화 또는 질화하기 위해, 반도체 막들(4603a, 4603b) 또는 게이트 절연막(4604)에 플라즈마 처리가 수행되는 예를 예시하지만, 플라즈마 처리를

받는 층은 이에 한정되지 않는다. 예로서, 플라즈마 처리는 기관(4601) 또는 절연막(4602)이나, 절연막(4606 또는 4607)에 수행될 수 있다.

[0405] 본 실시예는 제 1 또는 제 2 실시예와 자유롭게 조합하여 구현될 수 있다.

[0406] [제 4 실시예]

[0407] 본 실시예에서, 예로서, 도 41a 내지 도 43b를 참조로 트랜지스터들을 포함하는 반도체 장치를 제조하기 위한 마스크 패턴의 예를 설명한다.

[0408] 도 41a에 도시된 반도체 층들(5610, 5611)은 실리콘 또는 실리콘을 함유하는 결정 반도체로 형성되는 것이 바람직하다. 예로서, 단결정 반도체, 레이저 어닐링 등에 의해 실리콘 막을 결정화함으로써 얻어진 다결정 실리콘이 사용될 수 있다. 대안적으로, 반도체 특성들을 나타내는 한, 금속 산화물 반도체, 비정질 실리콘 또는 유기 반도체가 사용될 수 있다.

[0409] 어떤 경우에도, 최초로 형성되는 반도체가 절연면을 가지는 기관의 표면의 일부 또는 전체(트랜지스터의 반도체 영역으로서 정의된 면적 보다 큰 면적을 갖는 영역) 위에 제공된다. 그후, 마스크 패턴이 포토리소그래피에 의해 반도체 층 위에 형성된다. 마스크 패턴을 사용하여 반도체 층을 에칭함으로써, 각각 특정 아일랜드 형상을 가지는 반도체 층들(5610, 5611)이 형성되고, 이는 트랜지스터의 소스 및 드레인 영역들과 채널 형성 영역을 포함한다. 반도체 층들(5610, 5611)은 레이아웃의 적절성에 따라 결정된다.

[0410] 도 41a에 도시된 반도체 층들(5610, 5611)을 형성하기 위한 포토마스크는 도 41b에 도시된 마스크 패턴(5630)을 구비한다. 이 마스크 패턴(5630)의 형상은 포토리소그래피 공정에 사용되는 레지스트가 포지티브 유형인지 또는 네거티브 유형인지 여부에 따라 다르다. 포지티브 레지스트를 사용하는 경우에, 도 41b에 도시된 마스크 패턴(5630)은 차광부로서 형성된다. 마스크 패턴(5630)은 다각형의 꼭지점(A)이 제거된 형상을 갖는다. 부가적으로, 코너(B)는 직각 코너를 형성하지 않도록 복수의 코너들이 제공되는 형상을 갖는다. 이 포토마스크의 패턴에서, 코너들은 각 제거된 코너(직각 삼각형)의 일 측부가 예로서, 10 μ m 이하의 길이를 갖도록 제거된다.

[0411] 도 41a에 도시된 반도체 층들(5610, 5611)은 도 41b에 도시된 마스크 패턴(5630)을 반영한다. 이 경우에, 마스크 패턴(5630)은 원래의 것과 유사한 패턴이 형성되거나, 마스크 패턴(5630)의 코너들이 보다 둥글어지는 방식으로 전사된다. 즉, 마스크 패턴(5630)의 것들에 비해, 보다 매끄러운 형상을 갖는 둥근 코너 부분들이 제공될 수 있다.

[0412] 적어도 부분적으로 실리콘 산화물 또는 실리콘 질화물을 포함하는 절연층이 반도체 층들(5610, 5611) 위에 형성된다. 이 절연층을 형성하는 한가지 목적은 게이트 절연층을 형성하는 것이다. 그후, 게이트 배선들(5712, 5713, 5714)이 도 42a에 도시된 바와 같이, 반도체 층들과 부분적으로 중첩하도록 형성된다. 게이트 배선(5712)은 반도체 층(5610)에 대응하여 형성된다. 게이트 배선(5713)은 반도체 층들(5610, 5611)에 대응하여 형성된다. 게이트 배선(5714)은 반도체 층들(5610, 5611)에 대응하여 형성된다. 게이트 배선들은 절연층 위에 금속층 또는 고 도전성 반도체 층을 증착시키고, 그후, 포토리소그래피에 의해 층상에 패턴을 인쇄함으로써 형성된다.

[0413] 게이트 배선들을 형성하기 위한 포토마스크는 도 42b에 도시된 마스크 패턴(5731)을 구비한다. 이 마스크 패턴(5731)에서, 그 코너들은 각 제거된 코너(직각 삼각형)가 10 μ m 이하의 일 측부를 갖거나, 배선 폭의 1/5 내지 1/2의 일 측부를 갖는 방식으로 제거된다. 도 41a에 도시된 게이트 배선들(5712, 5713, 5714)은 도 42b에 도시된 마스크 패턴(5731)의 형상을 반영한다. 이 경우에, 마스크 패턴(5731)은 마스크 패턴(5731)에 유사한 패턴이 형성되거나, 마스크 패턴(5731)의 코너들이 더 둥글어지는 방식으로 전사될 수 있다. 즉, 마스크 패턴(5731)의 것들에 비해, 보다 매끄러운 형상을 갖는 둥근 코너 부분이 제공된다. 구체적으로, 게이트 배선들(5712, 5713, 5714)의 각 코너는 제거된 코너가 배선 폭의 1/5 내지 1/2의 길이를 갖도록 에치 부분을 제거함으로써 둥글어지도록 형성된다. 코너의 돌출부를 둥글게 형성하는 것은 플라즈마를 사용한 건식 에칭시 비정상적 방전으로 인한 미세 분말의 발생을 억제한다. 부가적으로, 코너의 오목한 부분을 둥글게 형성함으로써, 세척시 미세 분말이 발생하는 경우에도, 이들이 코너에 수집되지 않고 세척 제거될 수 있는 효과가 얻어질 수 있다. 결과적으로, 산출량이 상당히 개선되는 것이 기대될 수 있다.

[0414] 층간 절연층은 게이트 배선들(5712, 5713, 5714)이 형성된 이후 형성되는 층이다. 층간 절연층은 폴리이미드 또는 아크릴 수지 같은 유기 절연물 또는 실리콘 산화물 같은 무기 절연물을 사용하여 형성된다. 실리콘 질화물 또는 실리콘 질화물 산화물 같은 다른 절연층이 층간 절연층과 게이트 배선들(5712, 5713, 5714) 사이에 제공될 수 있다. 또한, 실리콘 질화물이나 실리콘 질화물 산화물 같은 절연층이 마찬가지로 층간 절연층 위에 제공될 수 있다. 이런 절연층은 외부 금속 이온들이나 습기 같은 트랜지스터에 부정적 영향을 줄 수 있는 불순물들에

의한 게이트 절연층 및 반도체 층의 오염을 방지한다.

- [0415] 층간 절연층의 사전결정된 위치들에 개구들이 형성된다. 예로서, 개구들은 층간 절연층 아래에 배치된 반도체 층들과 게이트 배선들에 대응하는 위치들에 제공된다. 마스크 패턴을 사용하는 포토리소그래피에 의해 금속들 또는 금속 화합물들의 단층 또는 복수의 층들을 갖는 배선층이 형성되고, 그후, 사전결정된 패턴으로 에칭된다. 그후, 도 43a에 도시된 바와 같이, 배선들(5815 내지 5820)이 반도체 층들과 부분적으로 중첩하도록 형성된다. 배선은 특정 소자들 사이를 접속하며, 이는 배선이 레이아웃의 규제에 의해 선형적이 아니라, 코너들을 포함하여 특정 소자들을 접속한다는 것을 의미한다. 부가적으로 배선의 폭은 접촉부와 다른 부분들에서 변한다. 접촉부의 폭이 배선 폭과 같거나 그 보다 넓은 경우에, 접촉부의 배선은 다른 부분들의 폭 보다 넓게 형성된다.
- [0416] 배선들(5815 내지 5820)을 형성하기 위한 포토마스크는 도 43b에 도시된 마스크 패턴(5832)을 갖는다. 이 경우에, 또한, 각 배선은 직각 코너(직각 삼각형)가 제거된 삼각형의 일 측부가 $10\mu\text{m}$ 이하이거나, 배선 폭의 $1/5$ 내지 $1/2$ 의 길이를 갖는 상태로 제거되며, 그래서, 코너가 둥글어진다. 코너의 돌출부를 둥글게 형성하는 것은, 플라즈마를 사용한 건식 에칭시, 비정상적 방전이 억제될 수 있기 때문에, 미세 분말의 발생을 억제하는 것을 돕는다. 부가적으로, 코너의 오목한 부분을 둥글게 형성함으로써, 세척시 미세 분말이 발생될 때에도, 이들이 코너에 수집되지 않고 세척 제거되는 효과를 얻을 수 있다. 따라서, 산출량들이 현저히 향상될 수 있다. 배선들의 코너들이 둥글게 형성될 때, 전기 전도성이 기대될 수 있다. 또한, 복수의 배선들이 평행하게 형성될 때, 먼지는 쉽게 세척 제거될 수 있다.
- [0417] 도 43a에서, n-채널 트랜지스터들(5821 내지 5824) 및 p-채널 트랜지스터들(5825 및 5826)이 형성된다. n-채널 트랜지스터(5823) 및 p-채널 트랜지스터(5825)와, n-채널 트랜지스터(5824) 및 p-채널 트랜지스터(5826)는 각각 인버터들(5827, 5828)을 구성한다. 6개 트랜지스터들을 포함하는 회로는 SRAM을 구성한다는 것을 유의하여야 한다. 실리콘 질화물 또는 실리콘 산화물 같은 절연층은 이들 트랜지스터들 위에 형성될 수 있다.
- [0418] 본 실시예는 제 1 내지 제 3 실시예 중 임의의 것과 자유롭게 조합하여 구현될 수 있다는 것을 유의하여야 한다.
- [0419] [제 5 실시예]
- [0420] 본 실시예에서, 화소들이 형성되어 있는 기판이 밀봉되는 구조를 도 25a 내지 도 25c를 참조로 설명한다. 도 25a는 화소들이 형성되어 있는 기판이 밀봉되는 패널의 상면도이며, 도 25b 및 도 25c는 도 25a의 선 A-A'를 따라 취한 단면도이다. 도 25b 및 도 25c는 다른 방법들에 의해 밀봉이 형성되는 예들을 보여 준다.
- [0421] 도 25a 내지 도 25c에서, 복수의 화소들을 갖는 화소부(2502)가 기판(2501) 위에 제공되며, 밀봉재(2506)가 화소부(2502)를 둘러싸도록 제공되고, 밀봉 물질(2507)이 그에 부착된다. 화소들의 구조에 대하여, 실시 형태들 및 제 1 실시예에서 설명된 것들이 사용될 수 있다.
- [0422] 도 25b의 표시 패널에서, 도 25a의 밀봉 물질(2507)은 카운터 기판(2521)에 대응한다. 광을 투과시키는 카운터 기판(2521)이 접착제층으로서 밀봉재(2506)를 사용하여 기판(2501)에 부착되고, 따라서, 밀봉된 공간(2522)이 기판(2501), 카운터 기판(2521) 및 밀봉재(2506)에 의해 형성되게 된다. 카운터 기판(2521)은 컬러 필터(2520)와 컬러 필터의 보호를 위한 보호막(2523)을 구비한다. 화소부(2502)에 배치된 발광 소자들로부터 방출된 광은 컬러 필터(2520)를 통해 외부로 방출된다. 밀봉된 공간(2522)은 불활성 수지, 액체 등으로 충전된다. 밀봉된 공간(2522)을 충전하기 위한 수지는 흡습제가 분산되어 있는 투광성 수지일 수 있다. 부가적으로, 동일한 물질들이 밀봉재(2506)와 밀봉된 공간(2522)에 충전되는 물질로 사용될 수 있으며, 그래서, 카운터 기판(2521)의 접착과 화소부(2502)의 밀봉이 동시에 수행될 수 있다.
- [0423] 도 25c에 도시된 표시 패널에서, 도 25a의 밀봉 물질(2507)은 밀봉 물질(2524)에 대응한다. 밀봉 물질(2524)은 접착층으로서 밀봉재(2506)를 사용하여 기판(2501)에 부착되며, 밀봉된 공간(2508)은 기판(2501), 밀봉재(2506) 및 밀봉 물질(2524)에 의해 형성된다. 밀봉 물질(2524)은 그 오목한 부분 앞에 흡습제(2509)를 구비하고, 흡습제(2509)는 습기, 산소 등을 흡수함으로써, 밀봉된 공간(2508) 내의 청정한 분위기를 유지하고, 발광 소자들의 열화를 억제하도록 기능한다. 오목한 부분은 미세 망상 커버 물질(2510)로 덮여진다. 커버 물질(2510)은 공기 및 습기를 통과시키는 반면, 흡습제(2509)는 이들을 통과시키지 않는다. 밀봉된 공간(2508)은 질소나 아르곤 같은 희유 가스 및 불활성 수지나 액체로 충전될 수 있다는 것에 유의하여야 한다.
- [0424] 화소부(2502) 등에 신호들을 전송하기 위한 입력 단자부(2511)가 기판(2501) 위에 제공된다. 비디오 신호들 같은 신호들은 FPC(가요성 인쇄 회로)(2512)를 통해 입력 단자부(2511)에 전송된다. 입력 단자부(2511)에서, 도전체들이 분산되어 있는 수지(이방성 도전성 수지: ACF)를 사용하여 기판(2501) 위에 형성된 배선들이 FPC(2512)

에 제공된 배선들에 전기적으로 접속되어 있다.

- [0425] 화소부(2502) 및 화소부(2502)에 신호들을 입력하기 위한 구동 회로는 기관(2501) 위에 일체로 형성될 수 있다. 대안적으로, 화소부(2502)에 신호들을 입력하기 위한 구동 회로는 COG(칩 온 글래스)에 의해 기관(2501)상에 접속되도록 IC 칩내에 형성되거나, IC 칩이 TAB(테이프 자동화 본딩)이나 인쇄 보드를 사용하여 기관(2501) 위에 배치될 수 있다.
- [0426] 본 실시예는 제 1 내지 제 4 실시예 중 임의의 것과 자유롭게 조합하여 구현될 수 있다.
- [0427] [제 6 실시예]
- [0428] 본 발명은 패널에 신호들을 입력하기 위한 회로가 패널상에 장착되는 표시 모듈에 적용될 수 있다.
- [0429] 도 26은 패널(2600)이 회로 보드(2604)와 조합되어 있는 표시 모듈을 도시한다. 비록, 도 26이 콘트롤러(2605), 신호 분할 회로(2606) 등이 회로 보드(2604) 위에 형성되어 있는 예를 보여 주지만, 회로 보드(2604) 위에 형성되는 회로들은 이들에 한정되지 않는다. 패널을 제어하기 위한 신호들을 생성할 수 있는 임의의 회로가 형성될 수 있다.
- [0430] 회로 보드(2604) 위에 형성된 회로들로부터 출력된 신호들은 접속 배선(2607)을 통해 패널(2600)에 입력된다.
- [0431] 패널(2600)은 화소부(2601), 소스 드라이버(2602) 및 게이트 드라이버들(2603)을 포함한다. 패널(2600)의 구조는 제 1 및 제 2 실시예들 등에서 설명된 것들과 유사할 수 있다. 비록, 도 26이 소스 드라이버(2602) 및 게이트 드라이버들(2603)이 화소부(2601)와 동일 기관상에 형성되어 있는 예를 보여 주지만, 본 발명의 표시 모듈은 이에 한정되지 않는다. 게이트 드라이버들(2603)만이 화소부(2601)와 동일 기관 위에 형성되고, 소스 드라이버(2602)는 회로 보드 위에 형성될 수 있다. 대안적으로, 소스 드라이버 및 게이트 드라이버들 양자 모두가 회로 보드 위에 형성될 수 있다.
- [0432] 다양한 전자 기기들의 표시부들이 이런 표시 모듈을 채용함으로써 형성될 수 있다.
- [0433] 본 실시예는 제 1 내지 제 5 실시예들 중 임의의 것과 자유롭게 조합하여 구현될 수 있다.
- [0434] [제 7 실시예]
- [0435] 본 실시예에서, 본 발명에 따른 전자 기기들을 설명한다. 전자 기기들은 카메라(비디오 카메라, 디지털 카메라 등), 프로젝터, 헤드 장착형 디스플레이(고글형 디스플레이), 네비게이션 시스템, 카 스테레오, 퍼스널 컴퓨터, 게임기, 휴대용 정보 단말기(모바일 컴퓨터, 휴대 전화, 전자 도서 등), 기록 매체를 구비하는 이미지 재생 장치(구체적으로, 재생된 이미지를 표시할 수 있는 디스플레이를 구비하고, 디지털 다용도 디스크(DVD) 같은 기록 매체를 재생하기 위한 장치) 등을 포함한다. 전자 기기들의 예들이 도 27a 내지 도 27d에 도시되어 있다.
- [0436] 도 27a는 주본체(2711), 하우징(2712), 표시부(2713), 키보드(2714), 외부 접속 포트(2715), 포인팅 마우스(2716) 등을 포함하는 퍼스널 컴퓨터를 도시한다. 본 발명은 표시부(2713)에 적용된다. 본 발명을 사용하여, 표시부의 전력 소비가 감소될 수 있다.
- [0437] 도 27b는 기록 매체(구체적으로, DVD 재생 장치)를 구비한 이미지 재생 장치를 보여 주며, 이는 주본체(2721), 하우징(2722), 제 1 표시부(2723), 제 2 표시부(2724), 기록 매체(DVD 등) 판독부(2725), 조작 키(2726), 스피커부(2727) 등을 포함한다. 제 1 표시부(2723)는 주로 이미지 데이터를 표시하며, 제 2 표시부(2724)는 주로 텍스트 데이터를 표시한다. 본 발명은 제 1 표시부(2723) 및 제 2 표시부(2724)에 적용된다. 본 발명을 사용하여, 표시부의 전력 소비가 감소될 수 있다.
- [0438] 도 27c는 주본체(2731), 오디오 출력부(2732), 오디오 입력부(2733), 표시부(2734), 조작 스위치들(2735), 안테나(2736) 등을 포함하는 휴대 전화를 보여 준다. 본 발명은 표시부(2734)에 적용된다. 본 발명을 사용하여, 표시부의 전력 소비가 감소될 수 있다.
- [0439] 도 27d는 주본체(2741), 표시부(2742), 하우징(2743), 외부 접속 포트(2744), 원격 제어 수신부(2745), 이미지 수신부(2746), 배터리(2747), 오디오 입력부(2748), 조작 키들(2749) 등을 포함하는 카메라를 보여 준다. 본 발명은 표시부(2742)에 적용된다. 본 발명을 사용하여, 표시부의 전력 소비가 감소될 수 있다.
- [0440] 본 실시예는 제 1 내지 제 6 실시예 중 임의의 것과 자유롭게 조합하여 구현될 수 있다.
- [0441] 본 출원은 그 전문이 본 명세서에 참조로 통합되어 있는 2005년 10월 18일자로 일본 특허청에 출원된 일본 특허

출원 제 2005-303771호를 기초로 한다.

부호의 설명

[0442]

10: 제 1 스테이지의 회로

11: 입력 단자

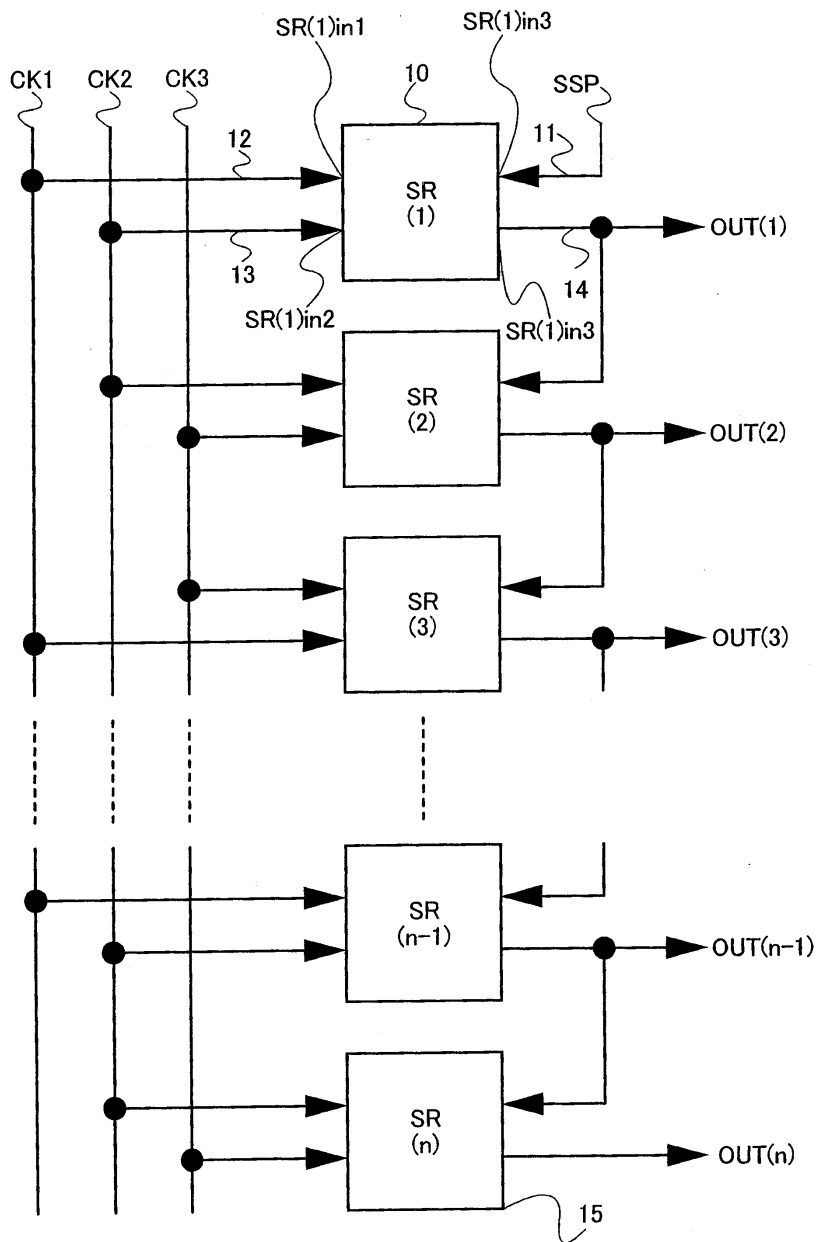
12: 입력 단자

14: 출력 단자

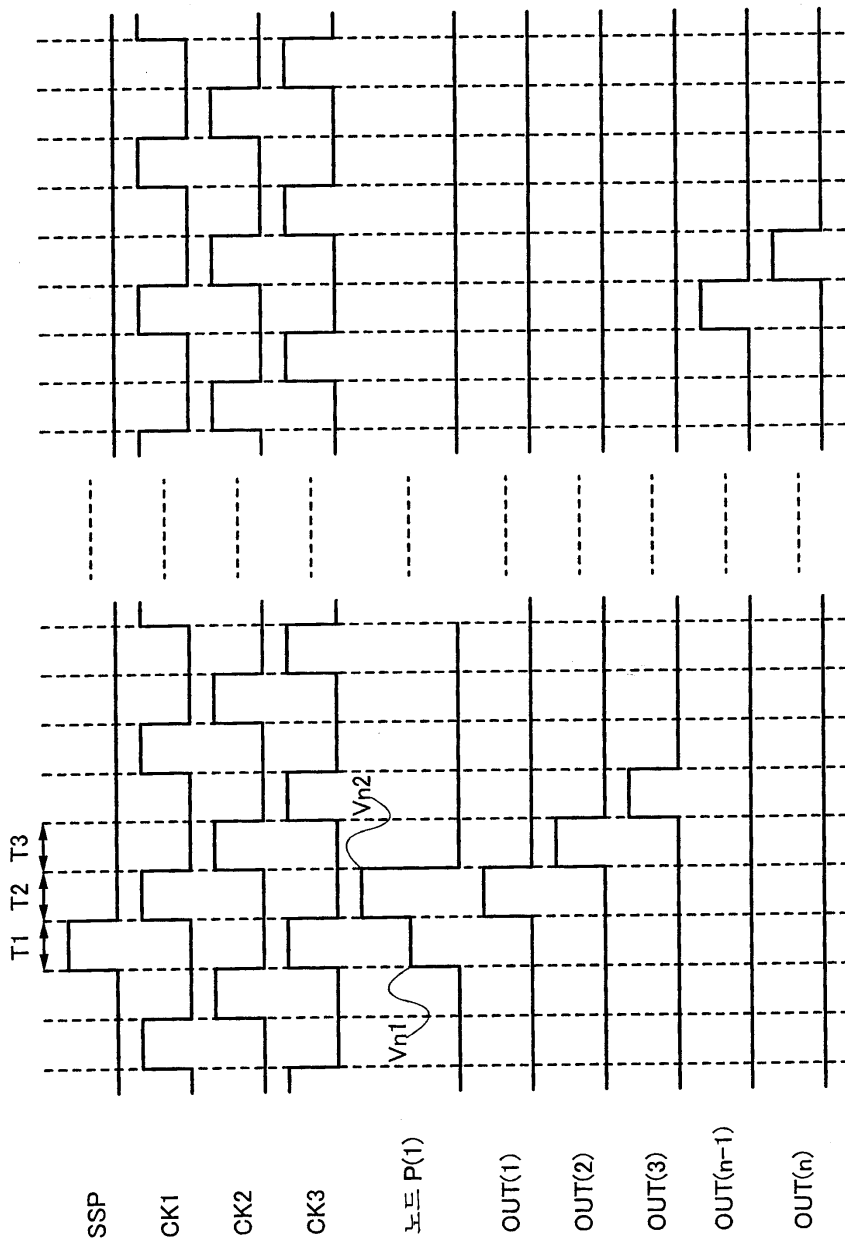
31: 트랜지스터

도면

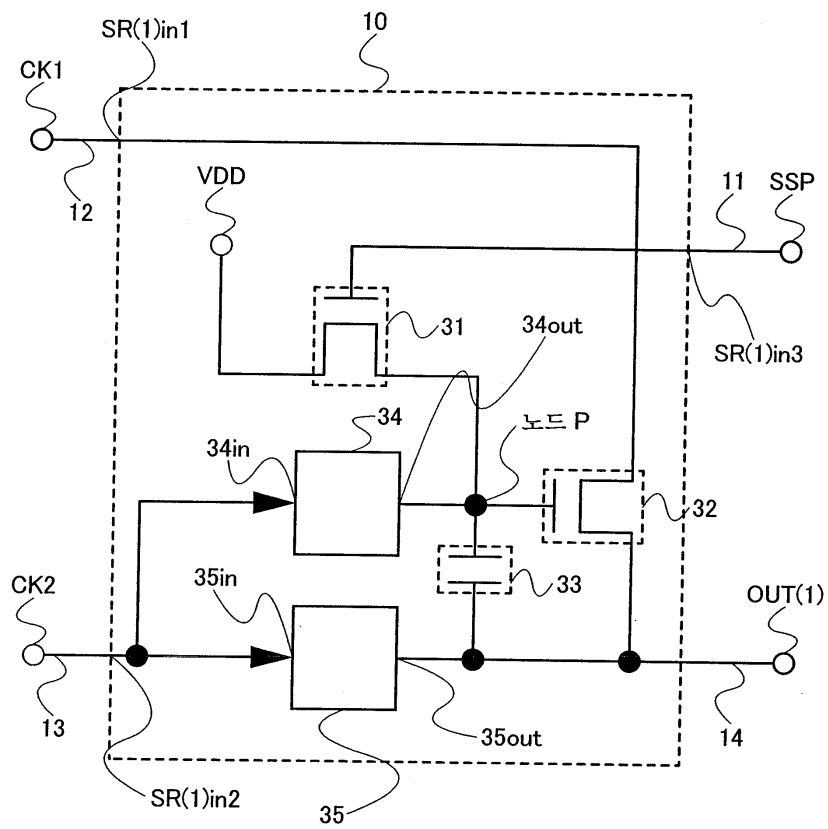
도면1



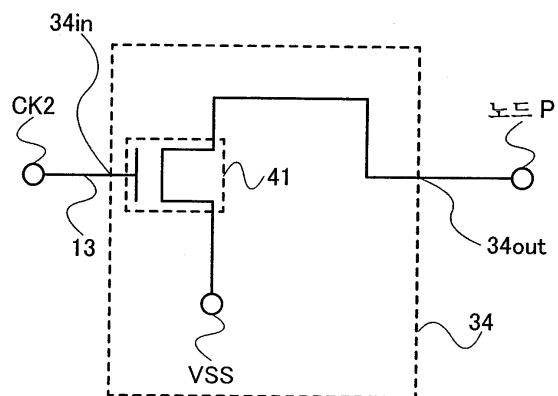
도면2



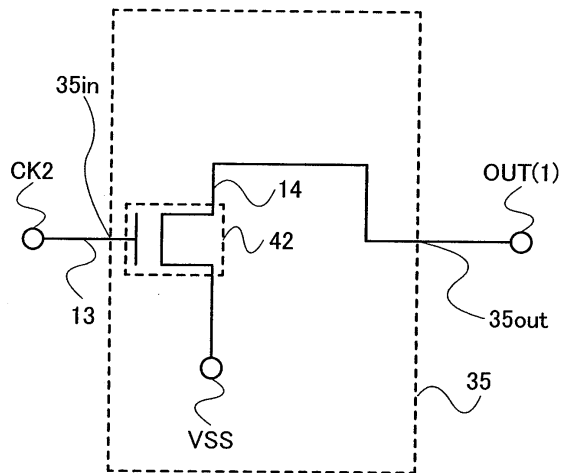
도면3



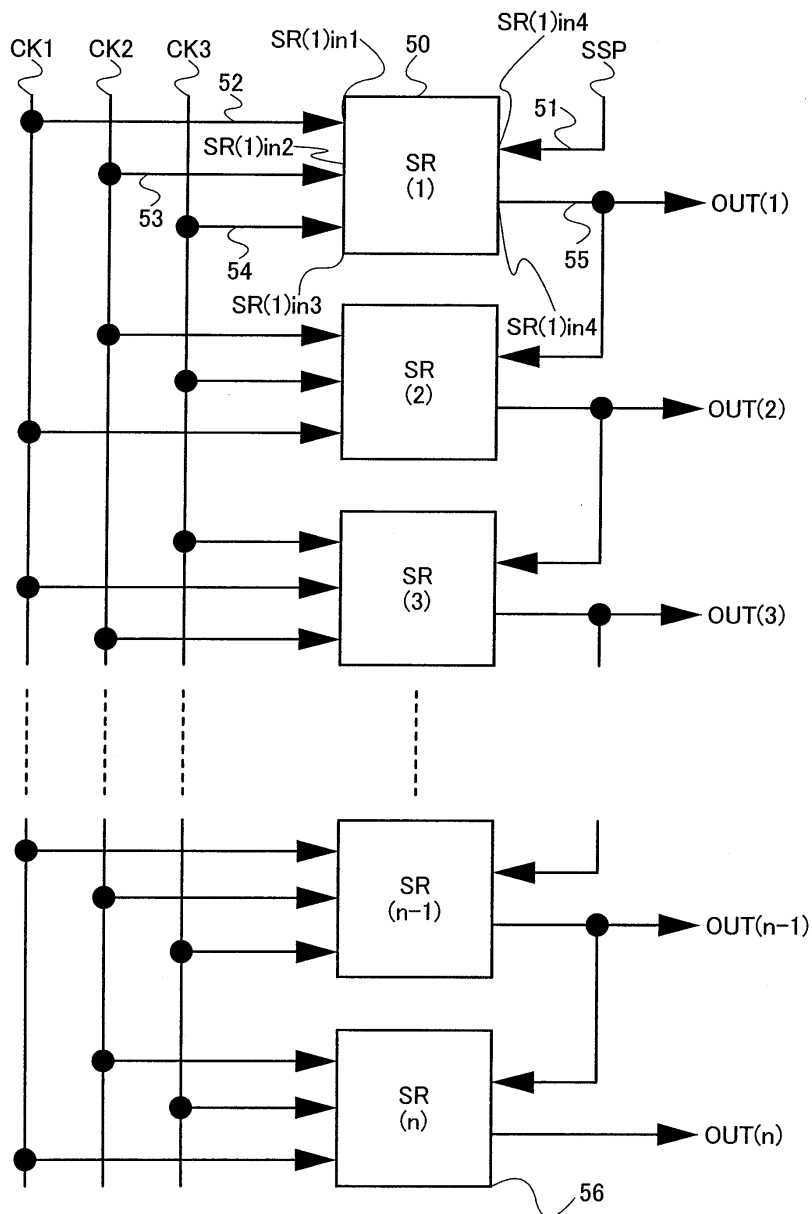
도면4a



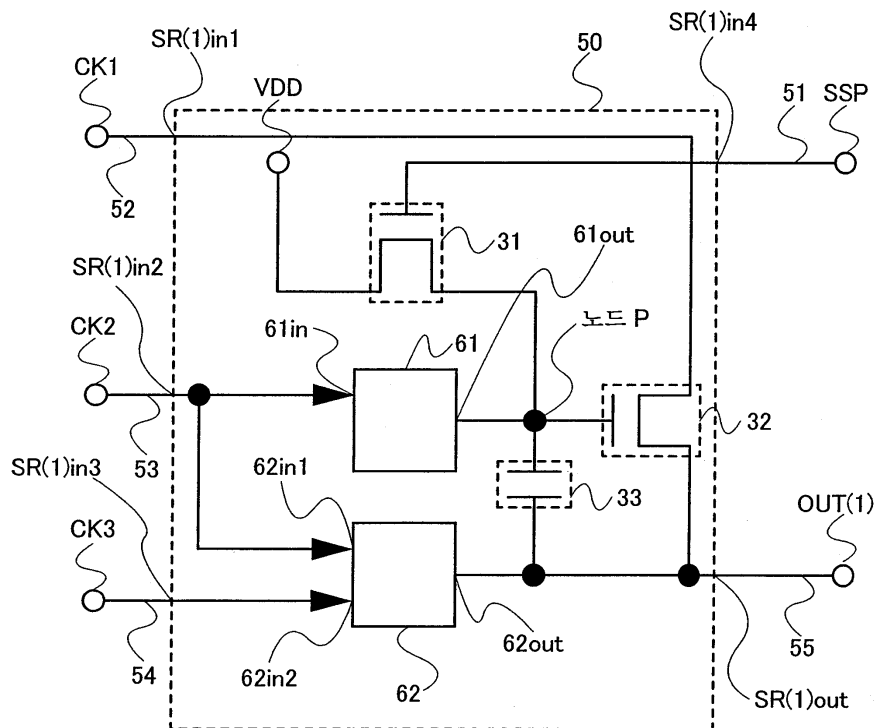
도면4b



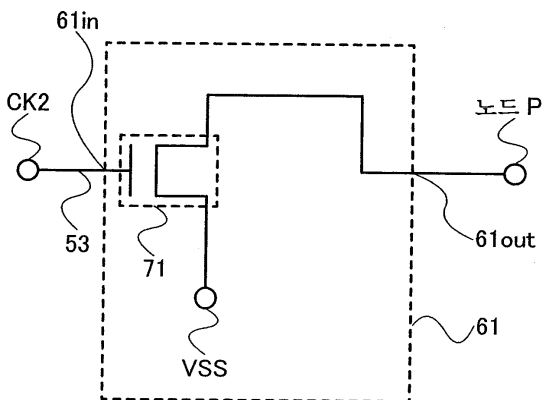
도면5



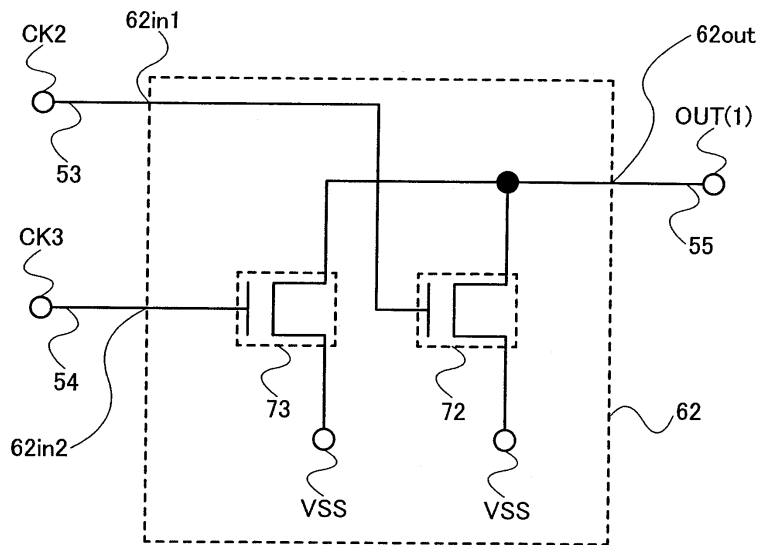
도면6



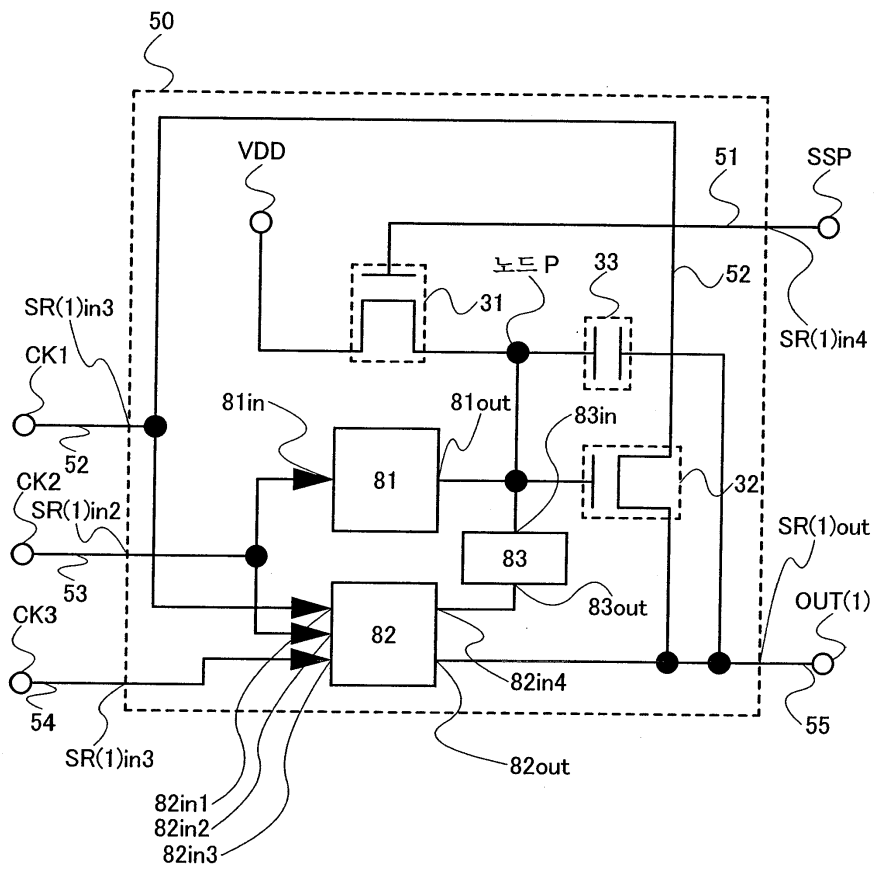
도면7a



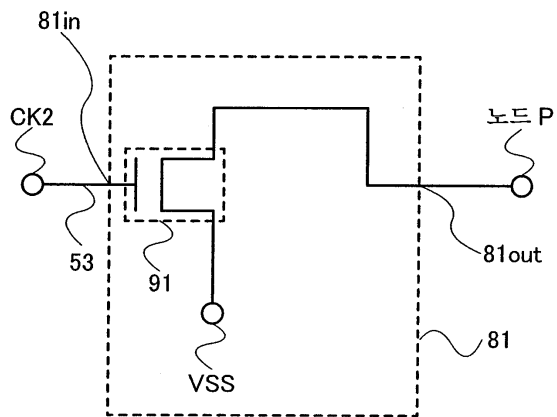
도면7b



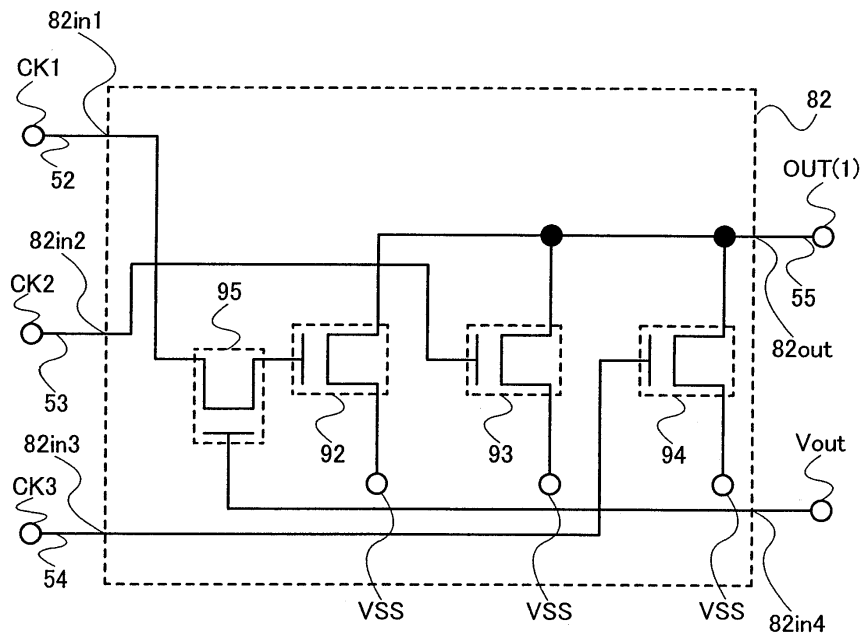
도면8



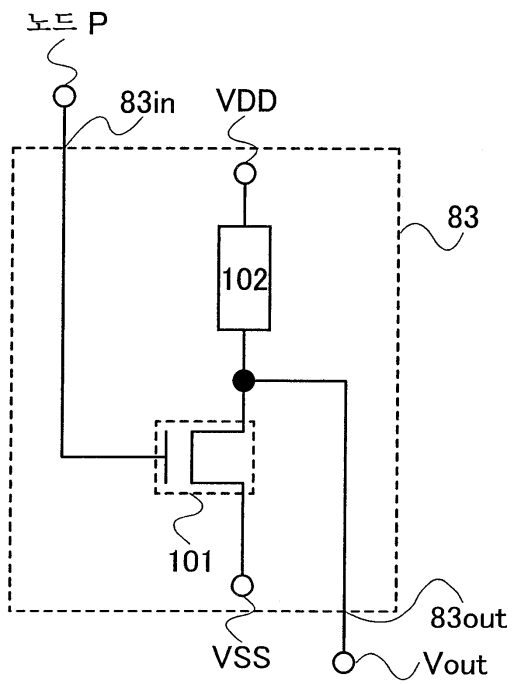
도면9a



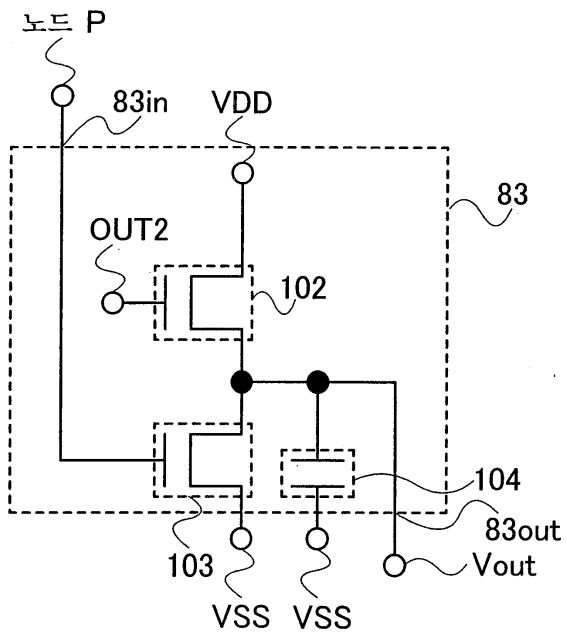
도면9b



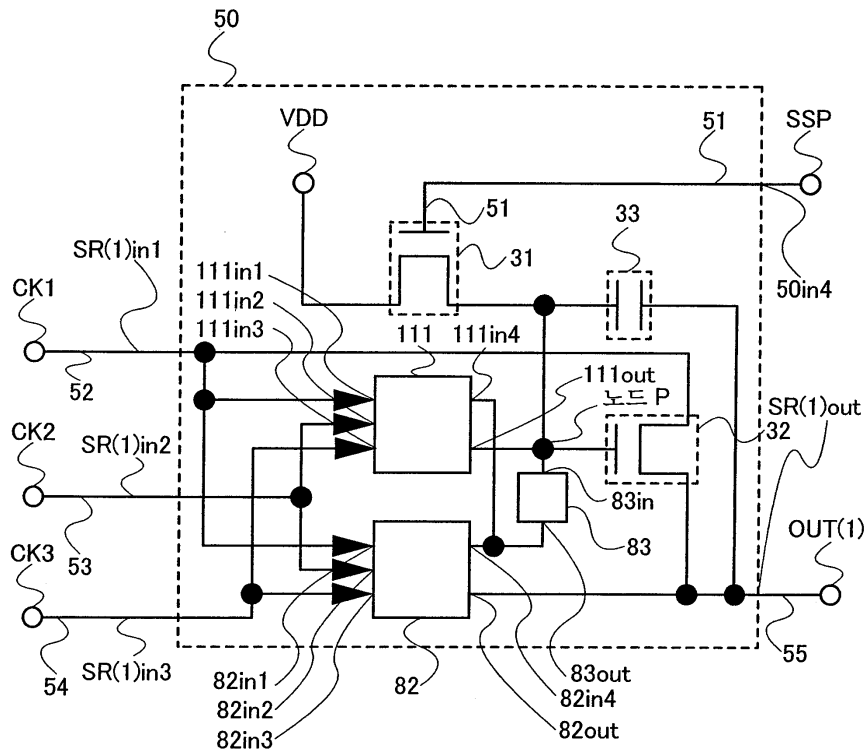
도면10a



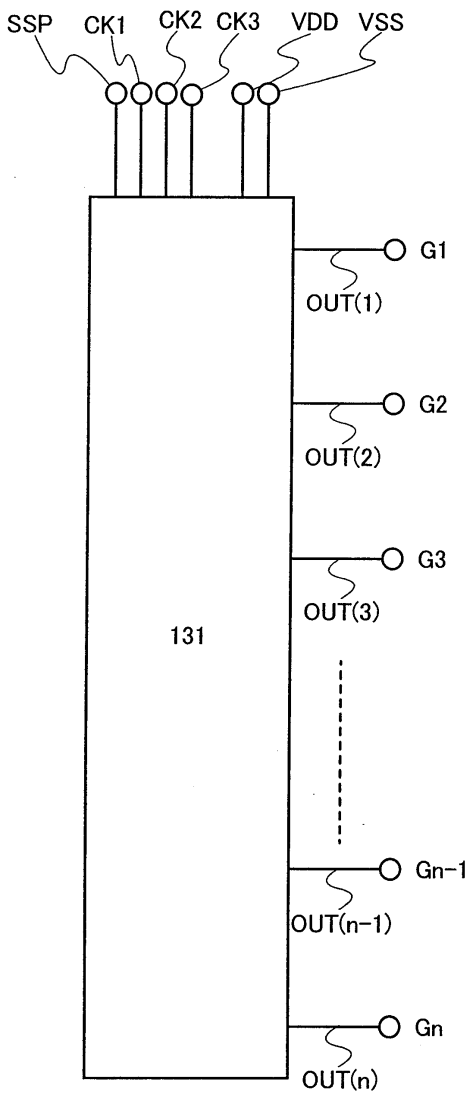
도면10b



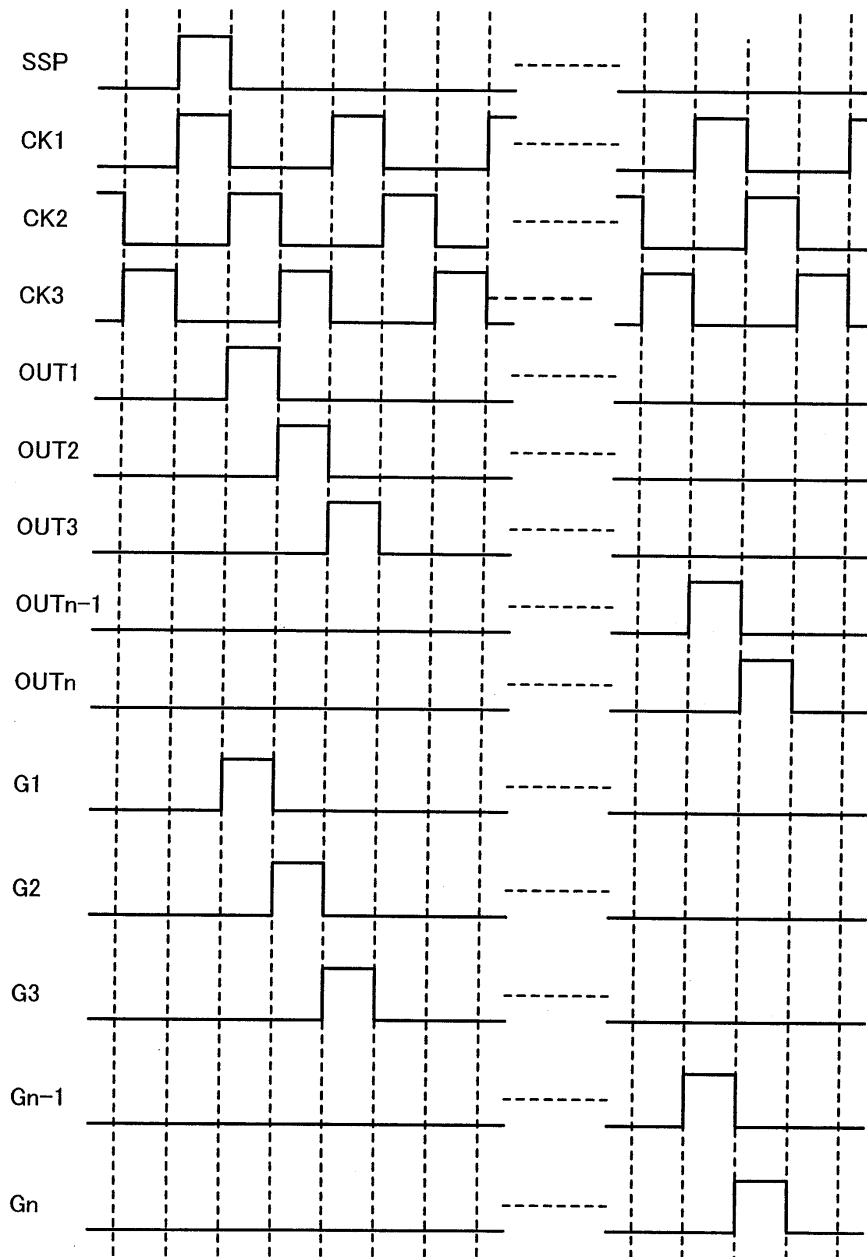
도면11



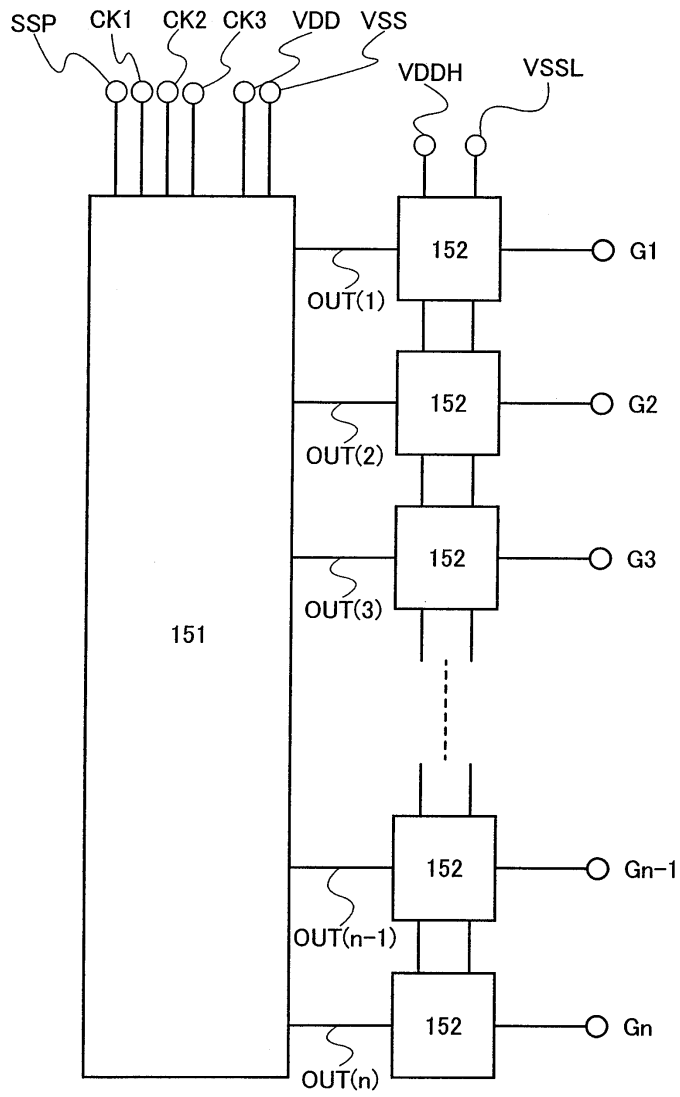
도면13



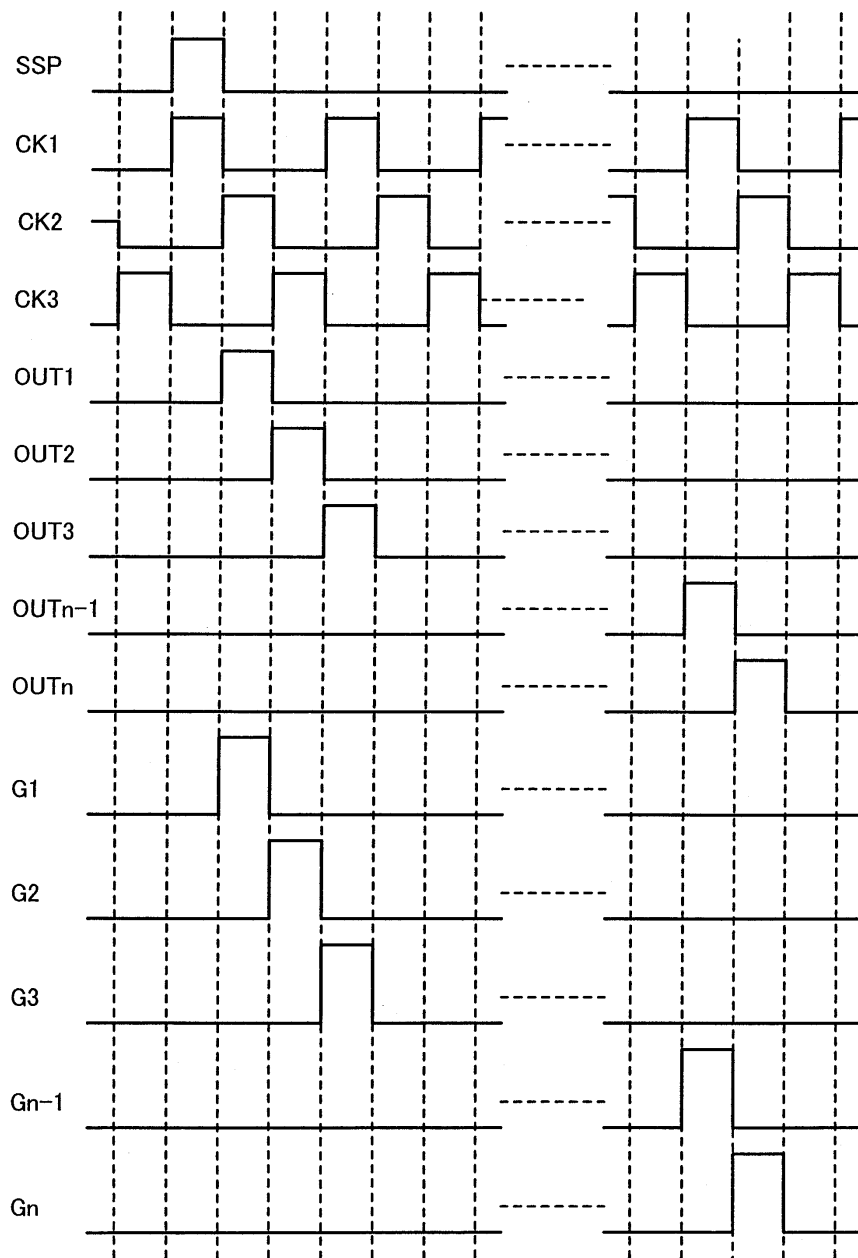
도면14



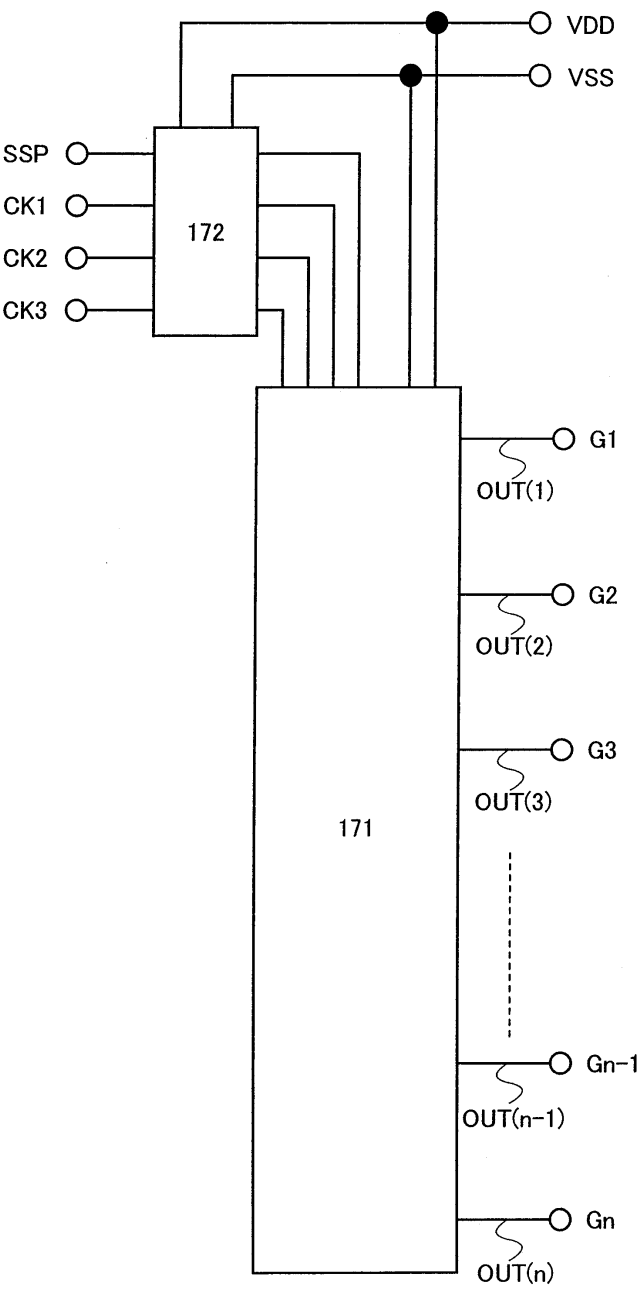
도면15



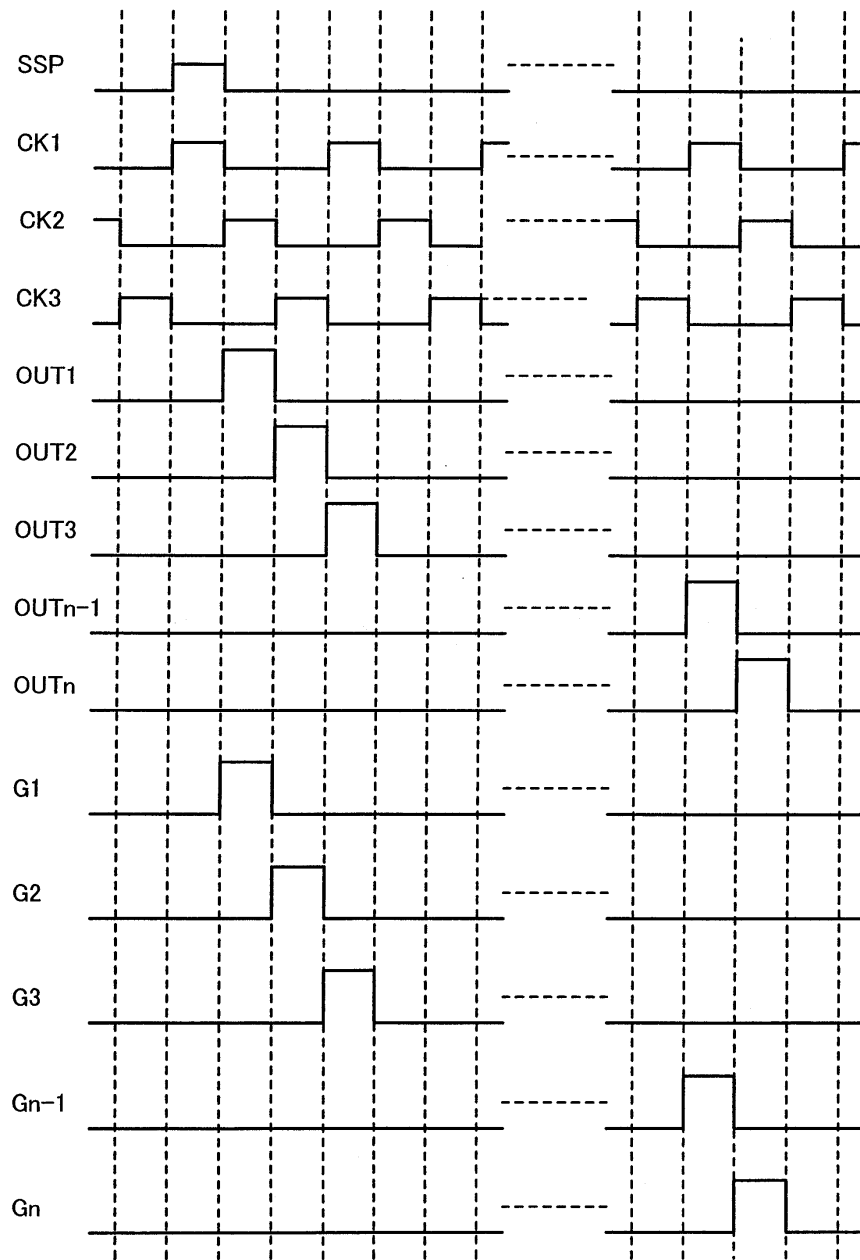
도면16



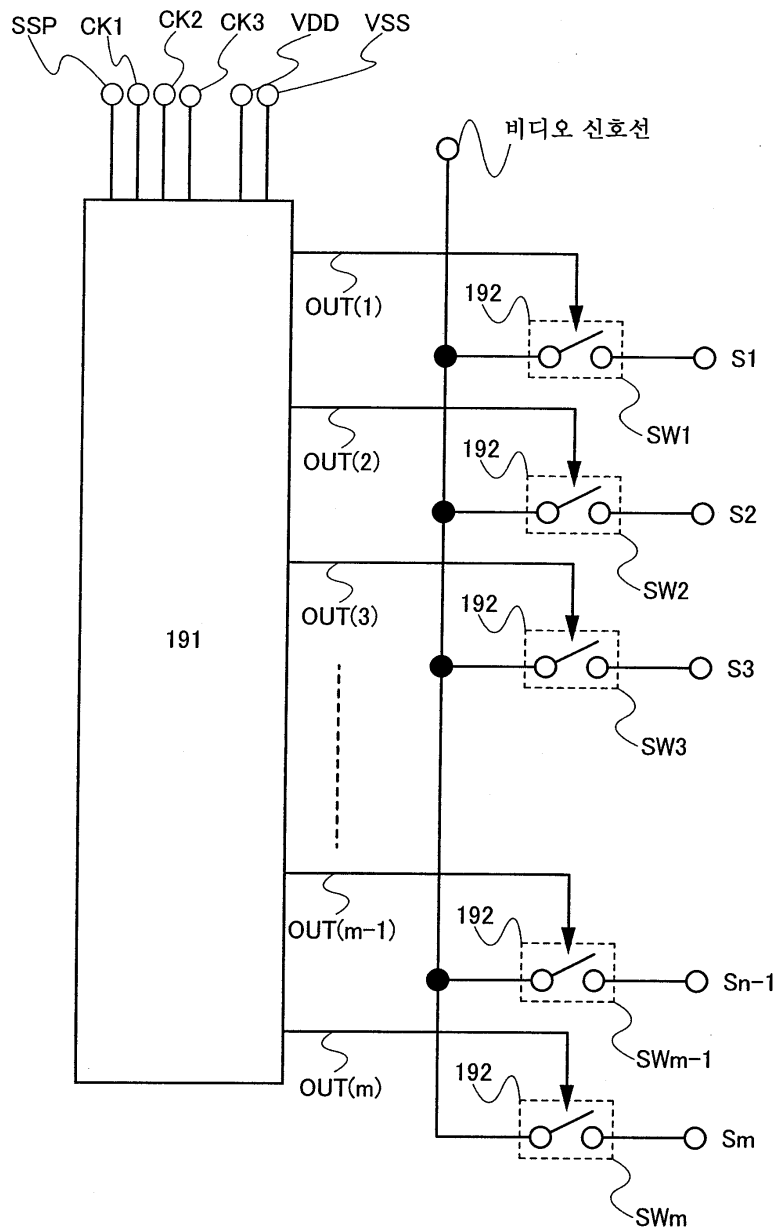
도면17



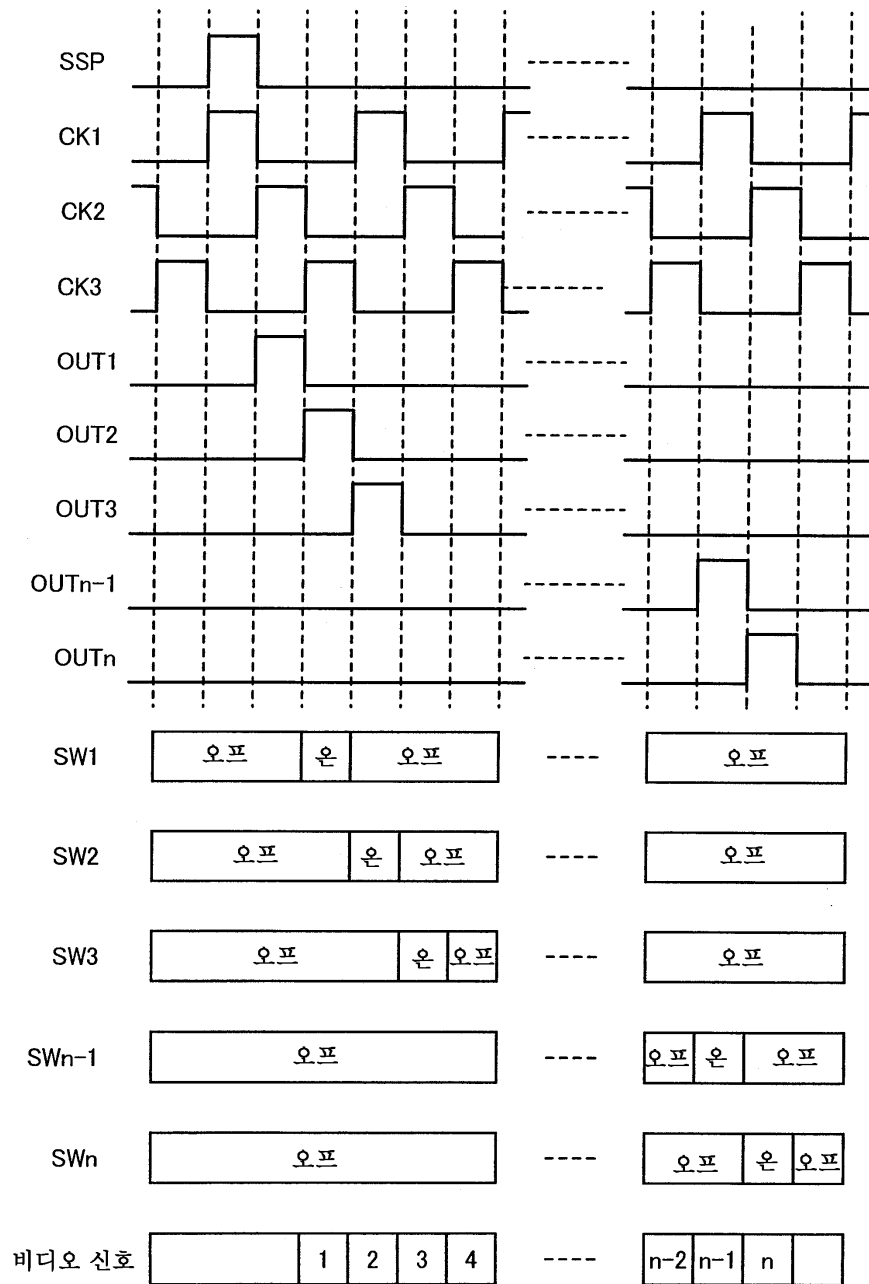
도면18



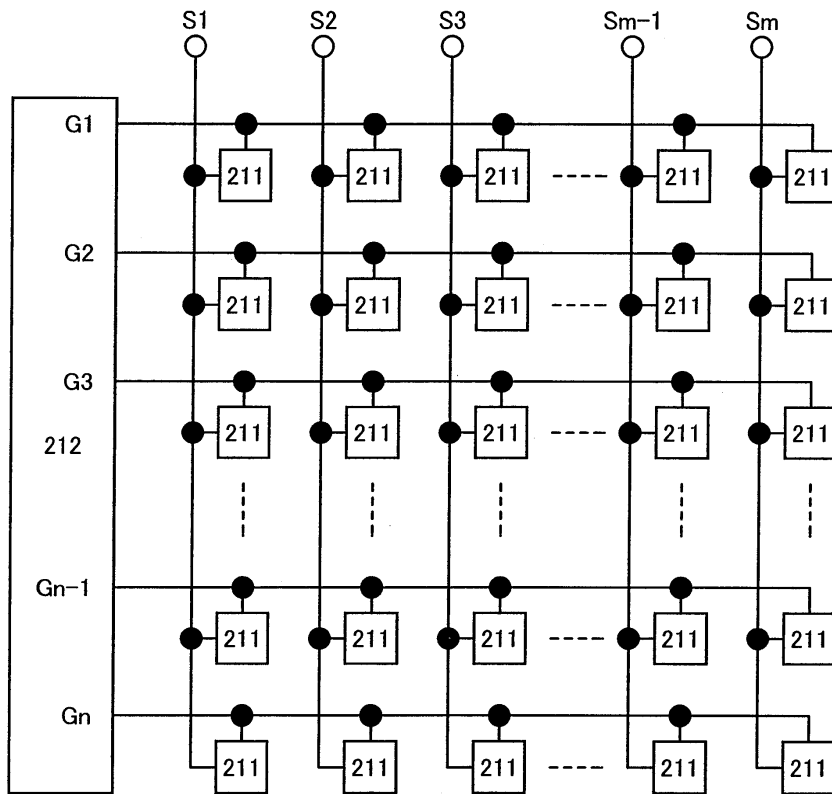
도면19



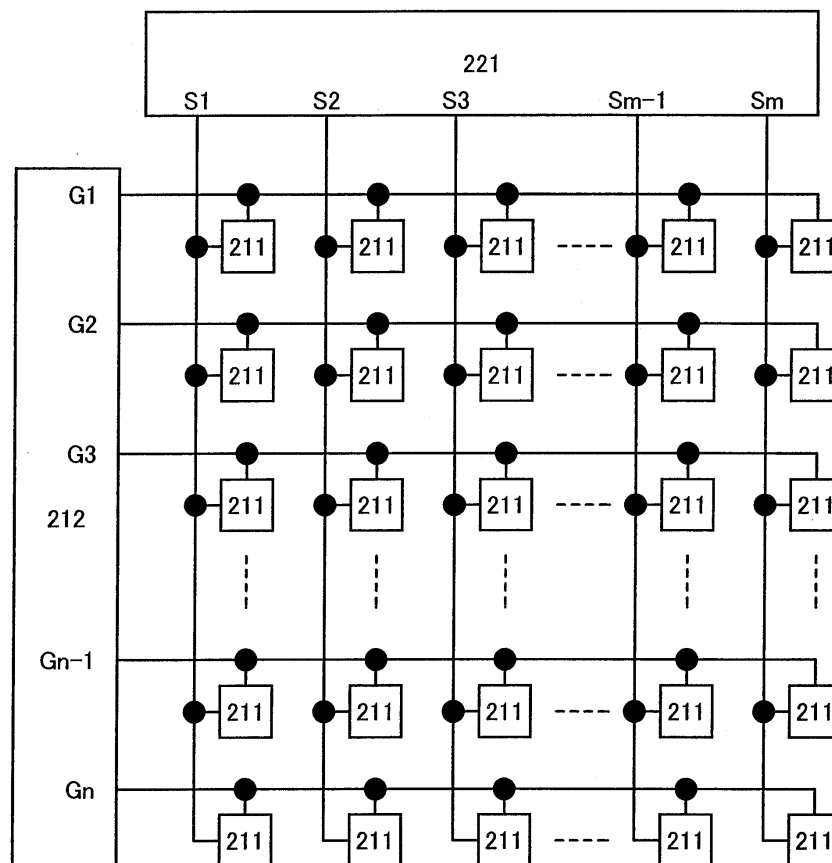
도면20



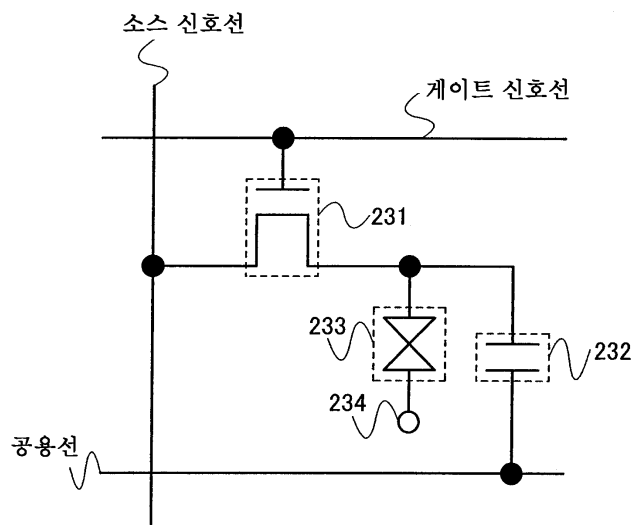
도면21



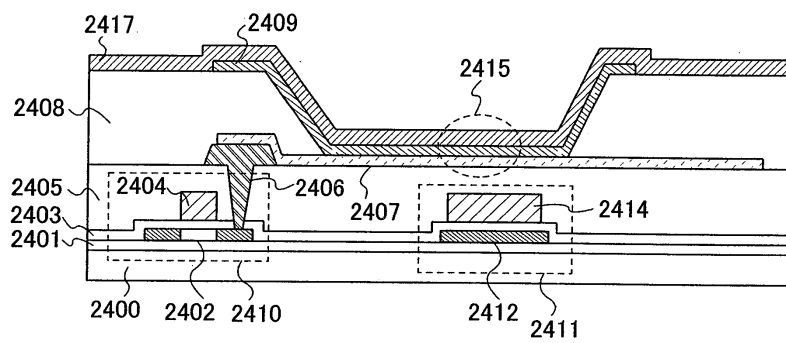
도면22



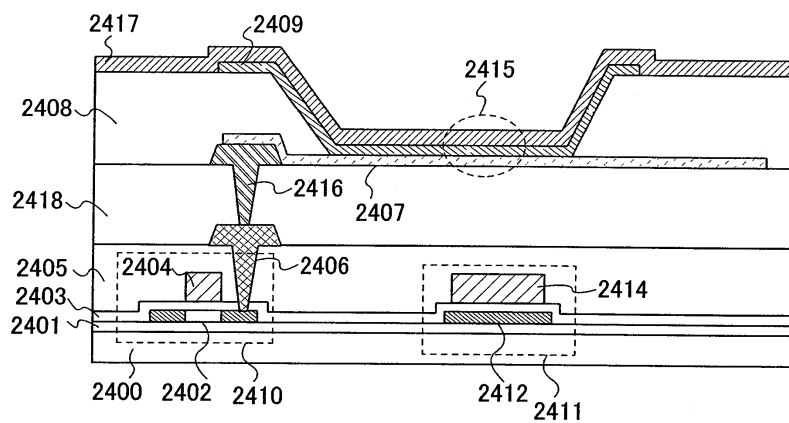
도면23



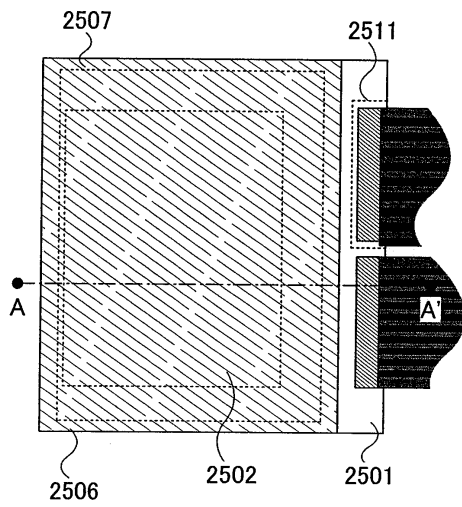
도면24a



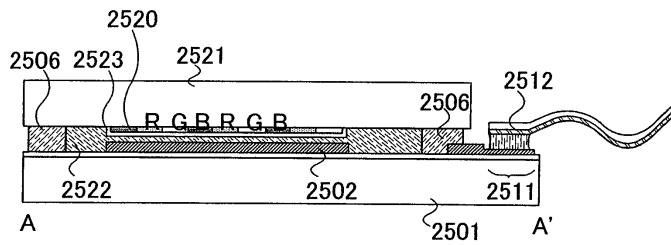
도면24b



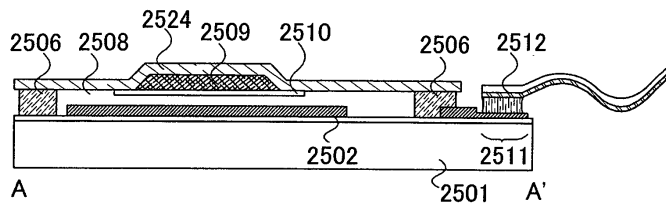
도면25a



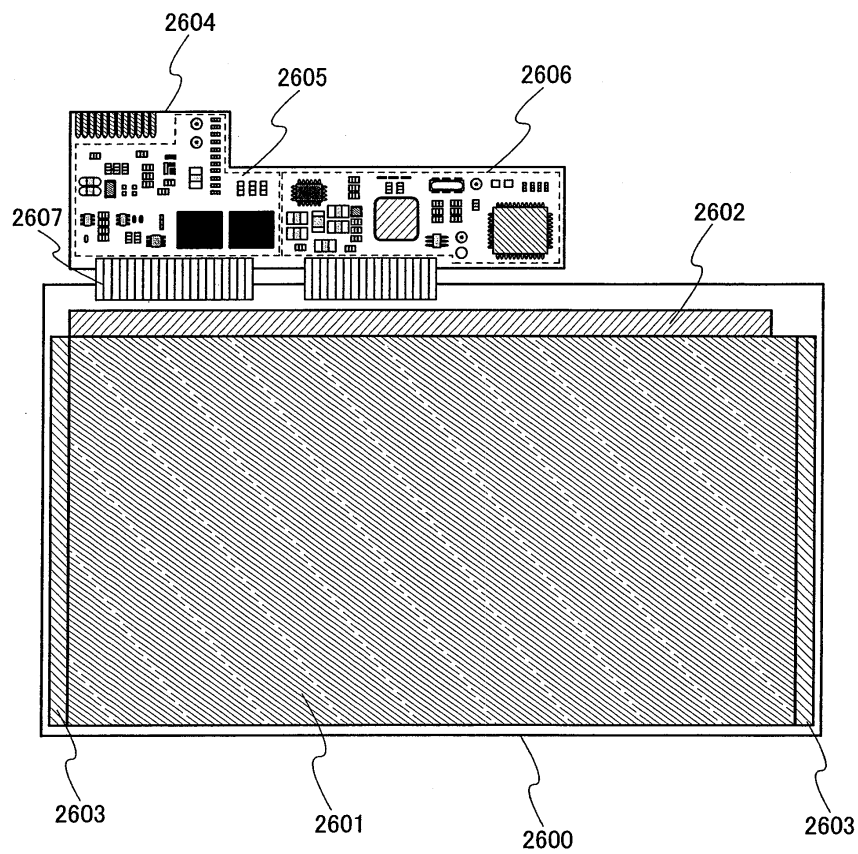
도면25b



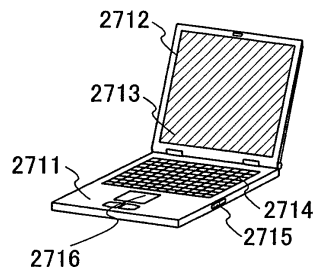
도면25c



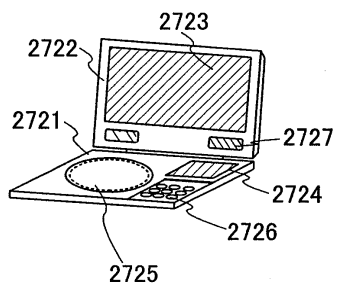
도면26



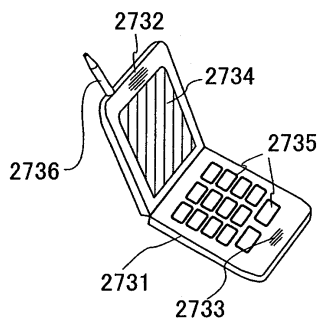
도면27a



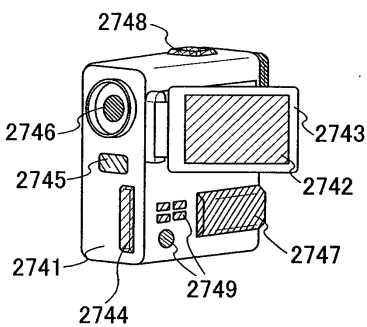
도면27b



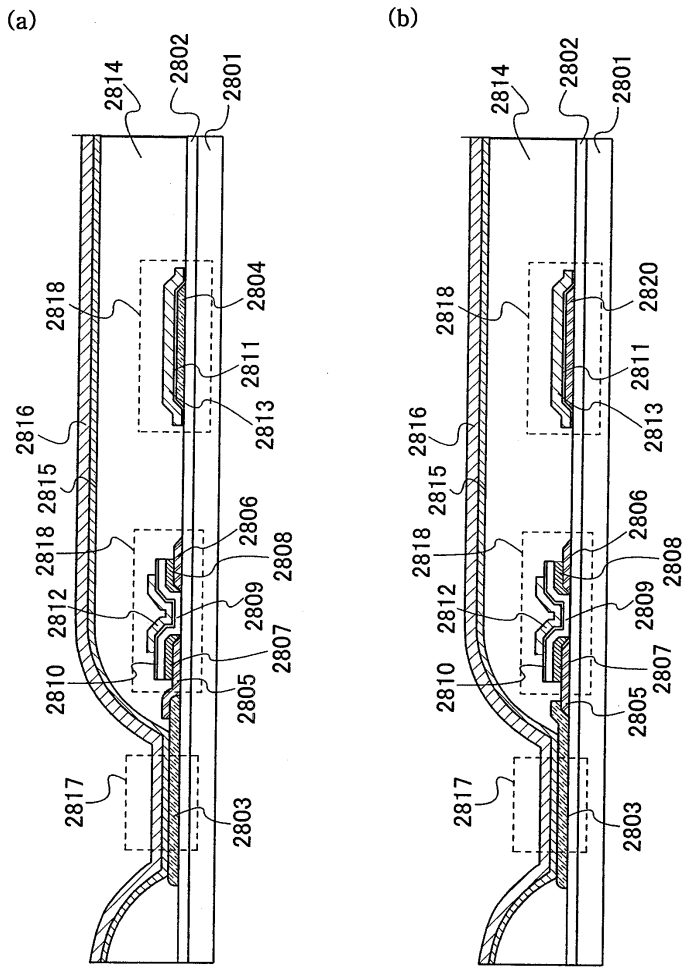
도면27c



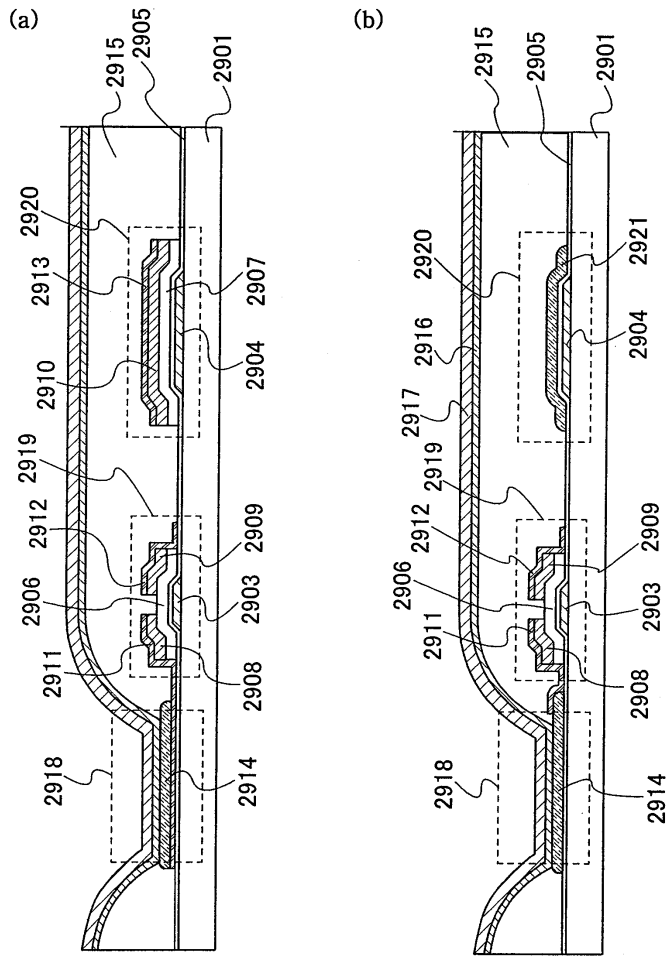
도면27d



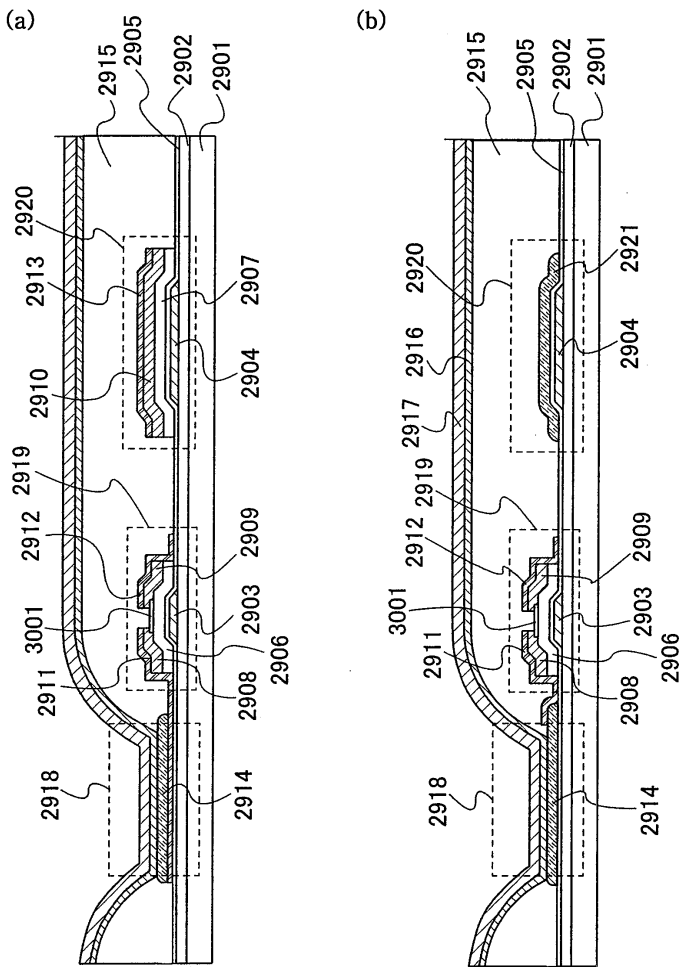
도면28



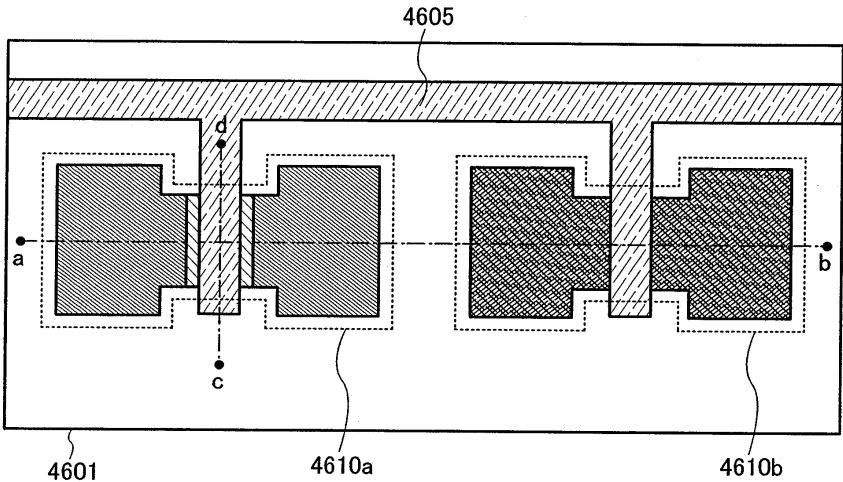
도면29



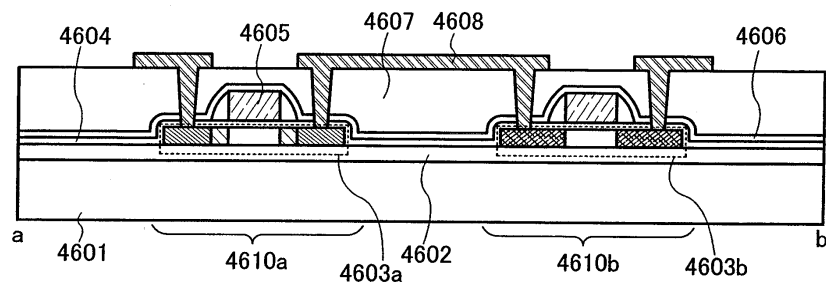
도면30



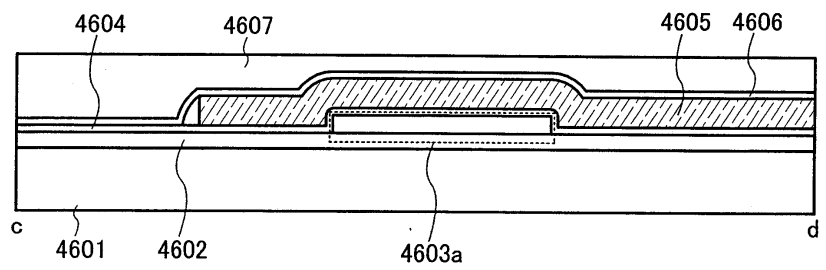
도면31a



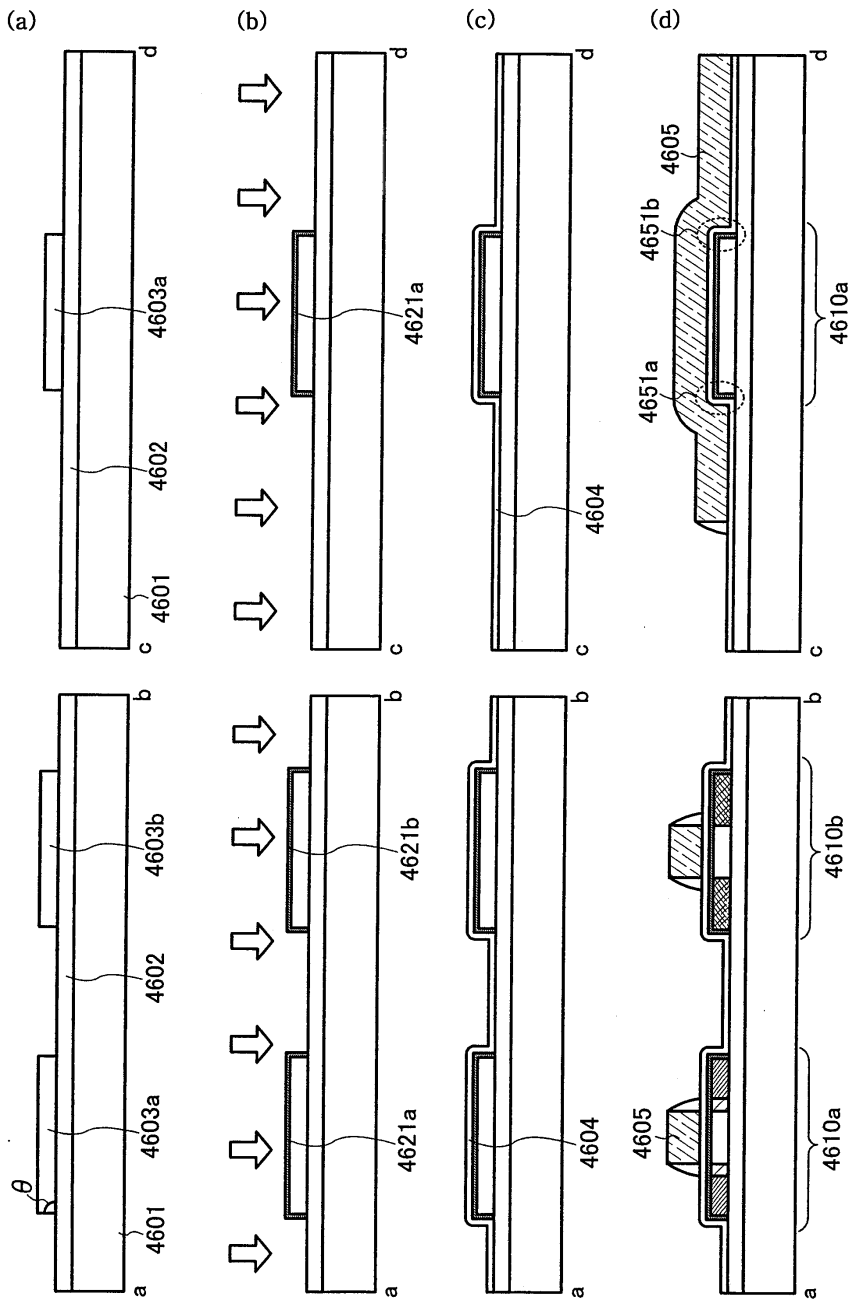
도면31b



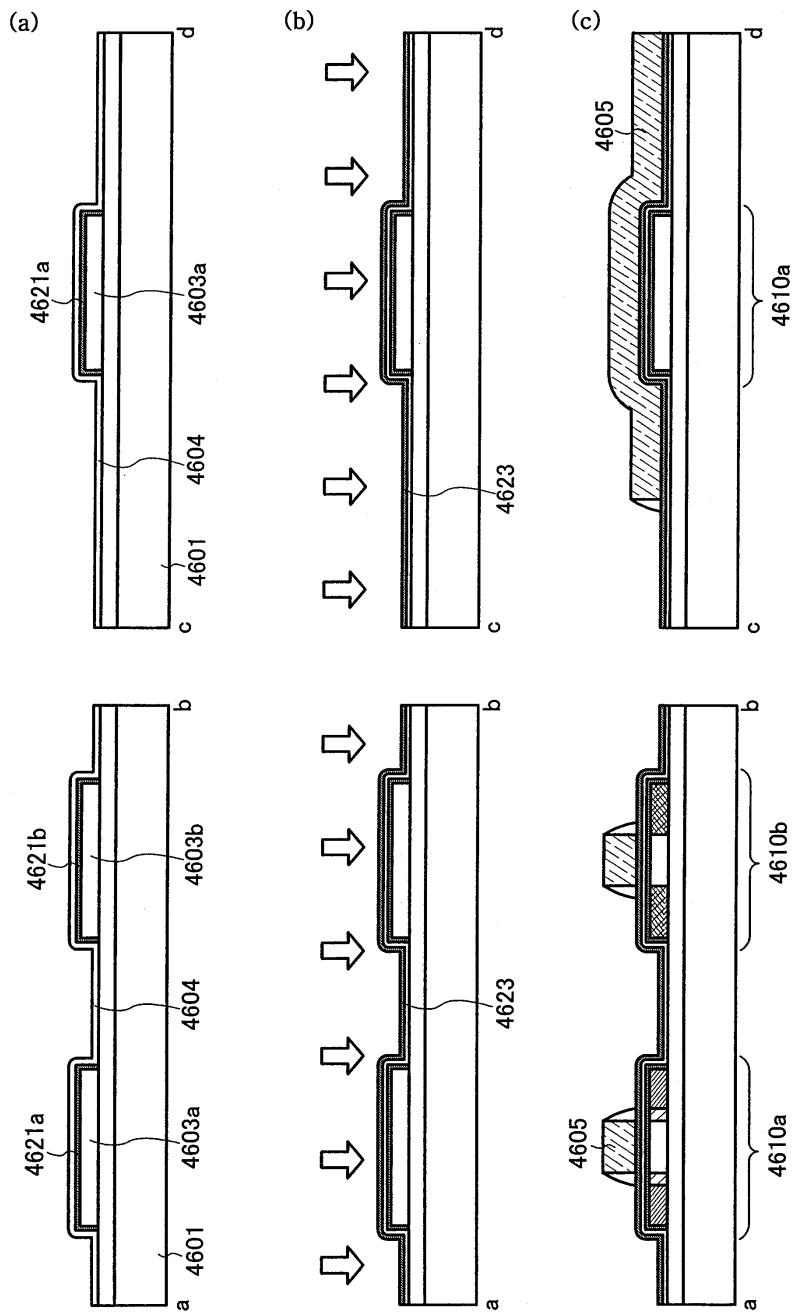
도면31c



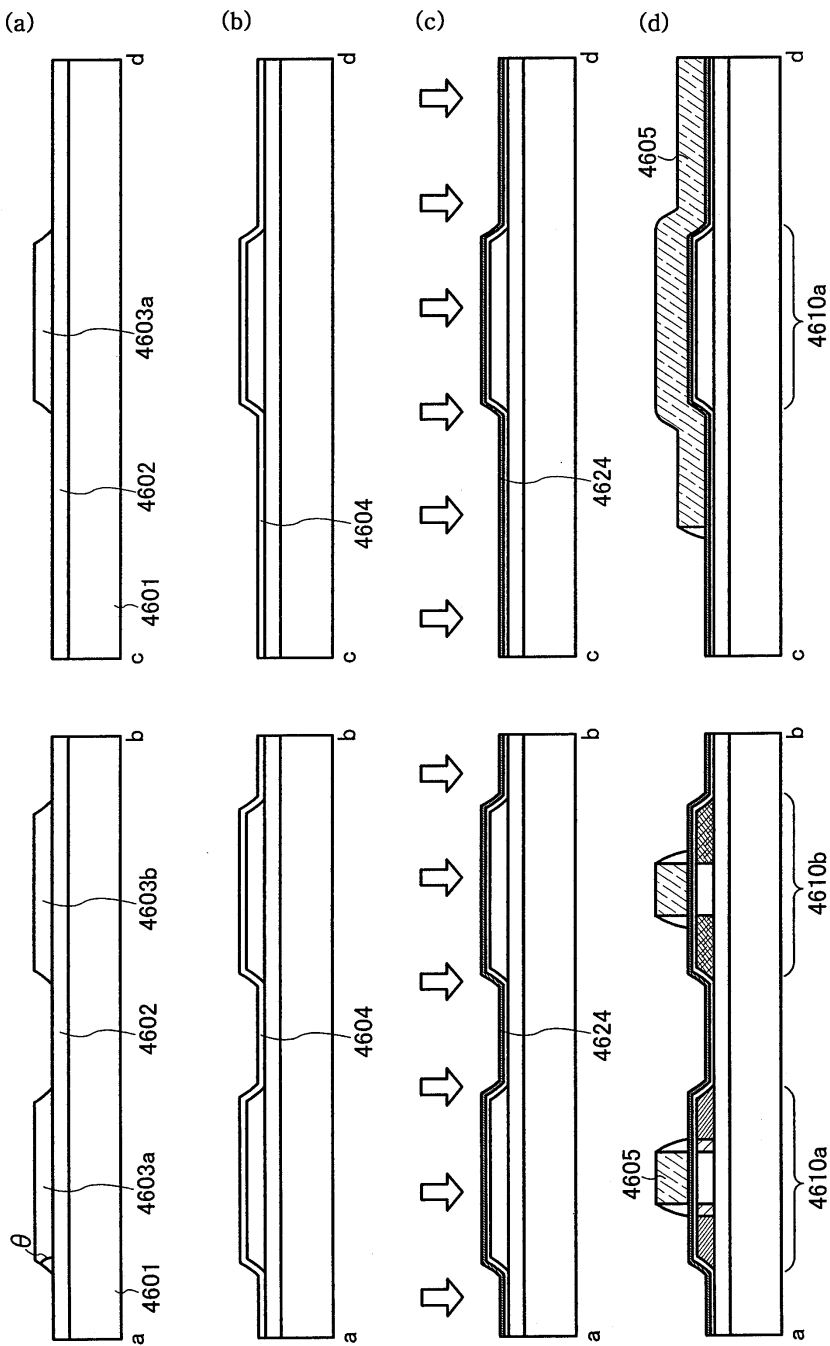
도면32



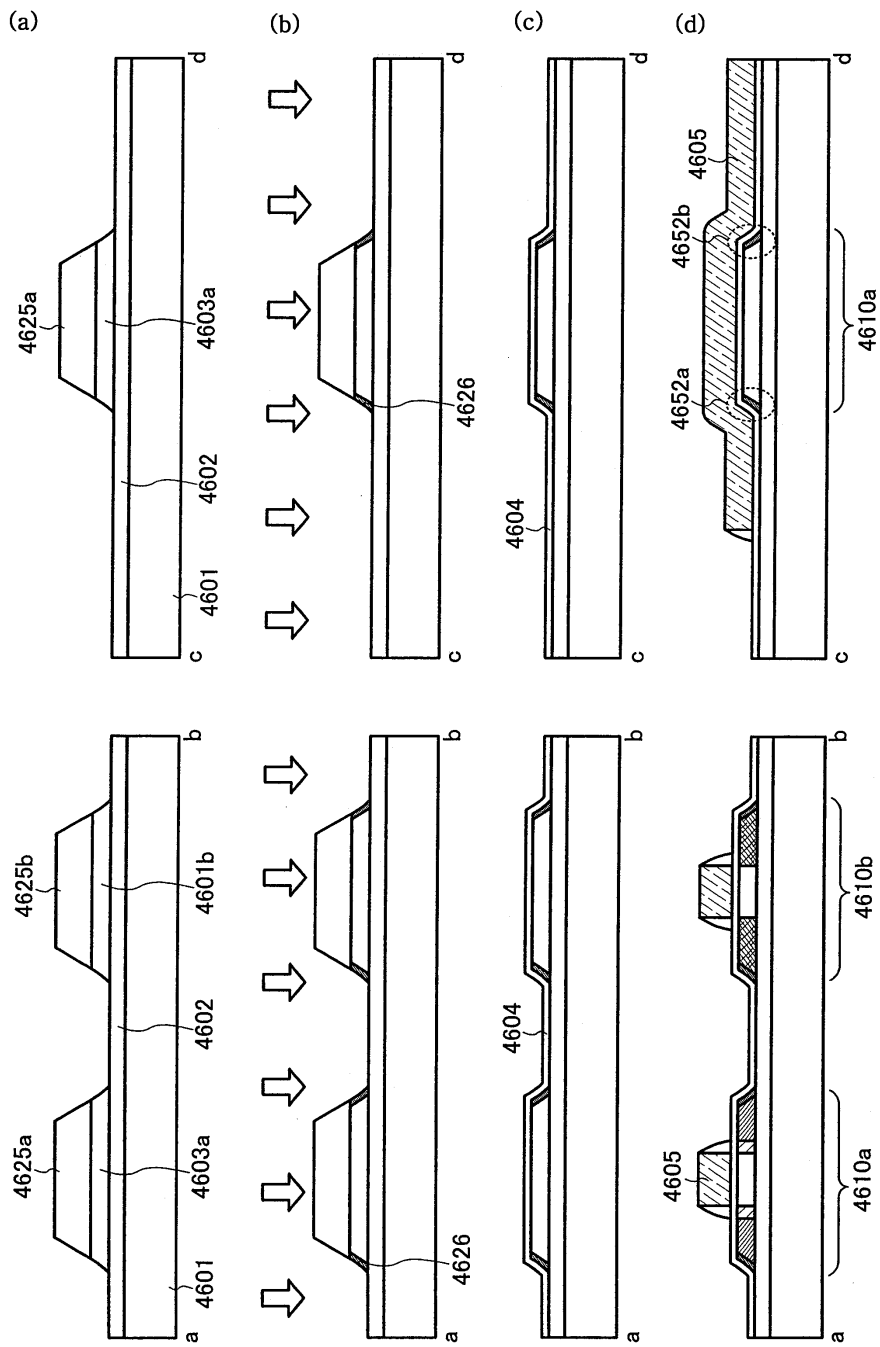
도면33



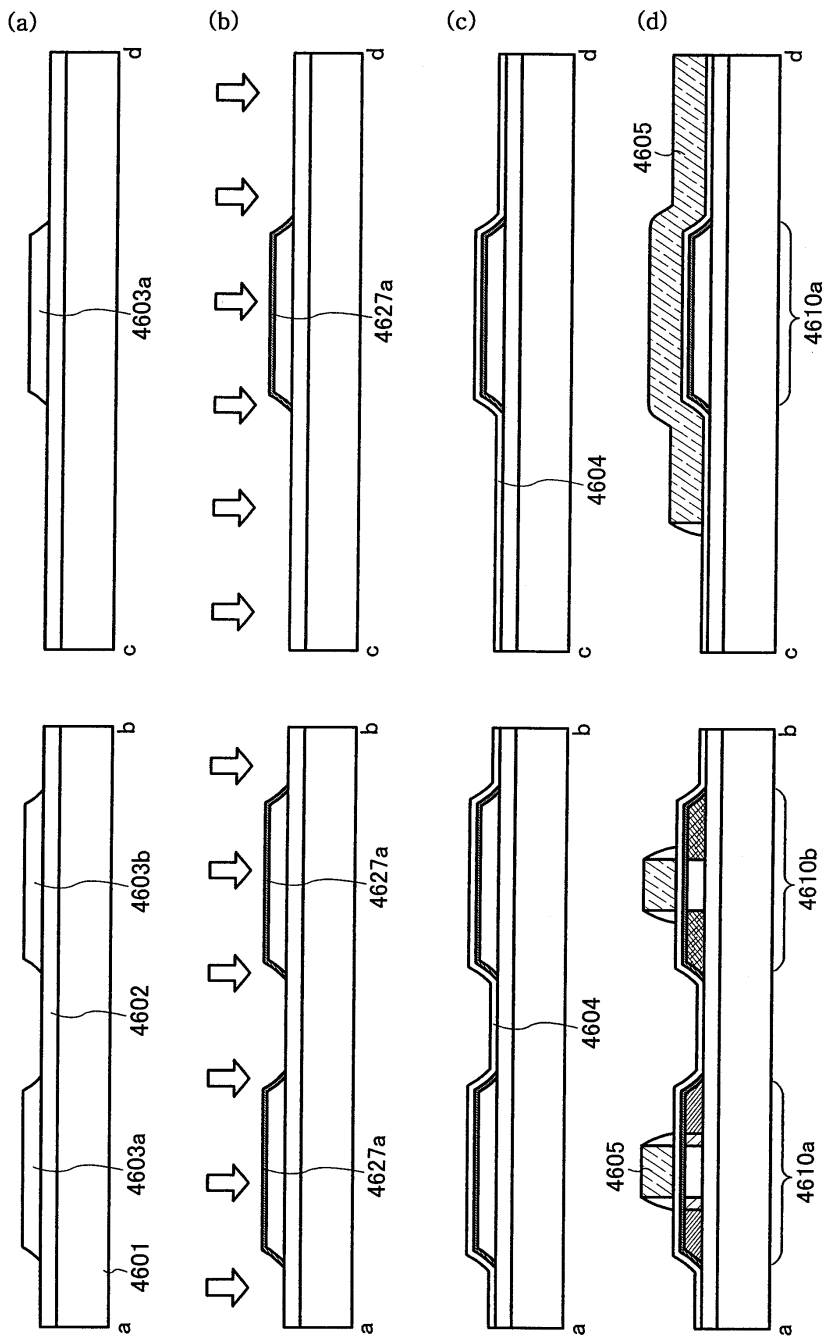
도면34



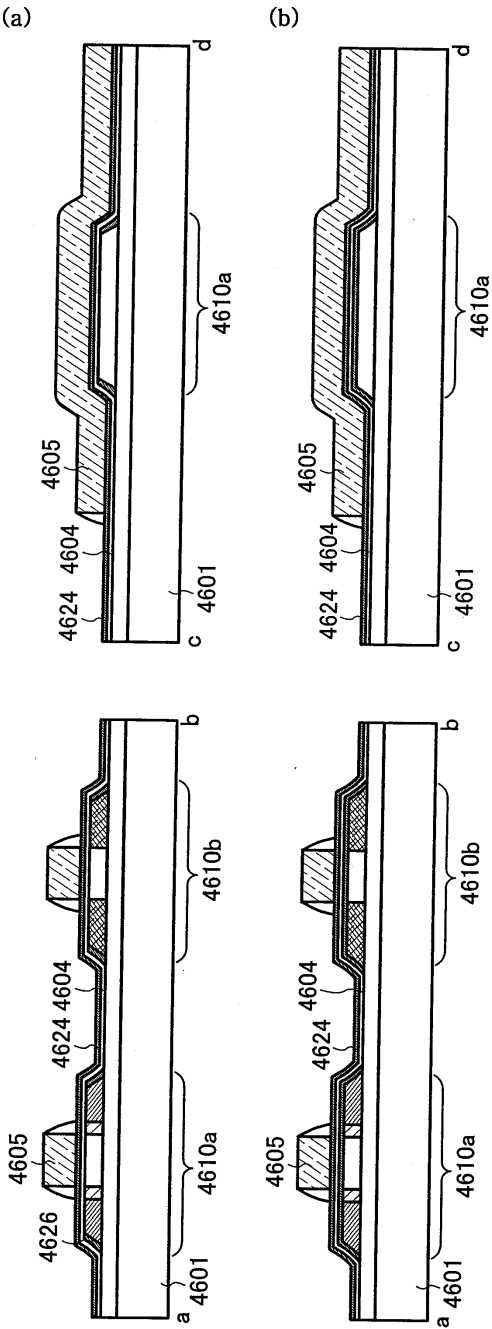
도면35



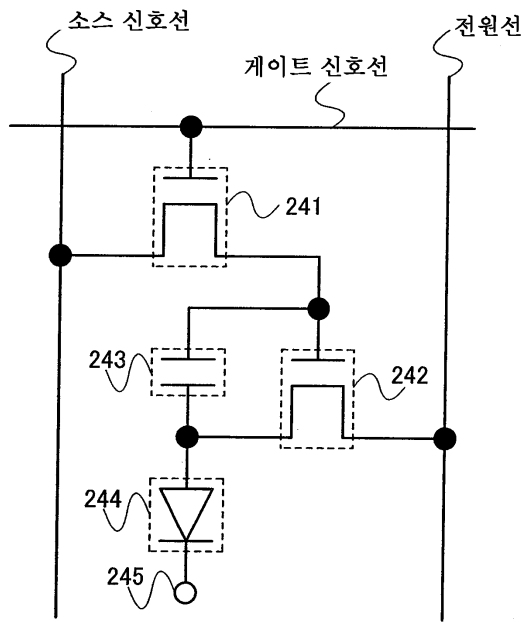
도면36



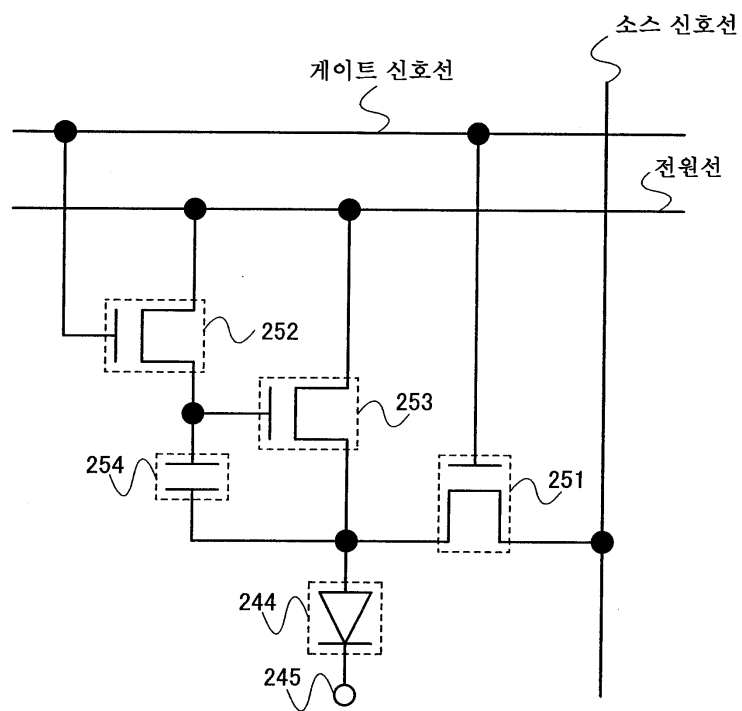
도면37



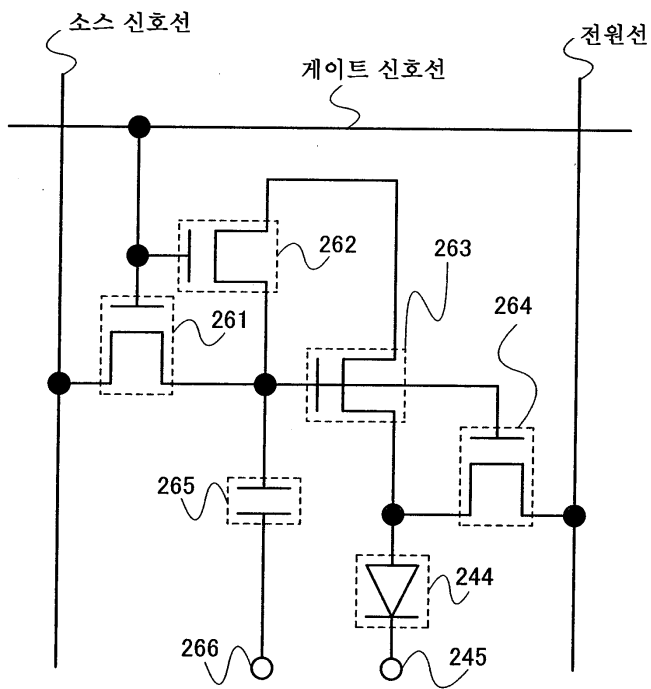
도면38



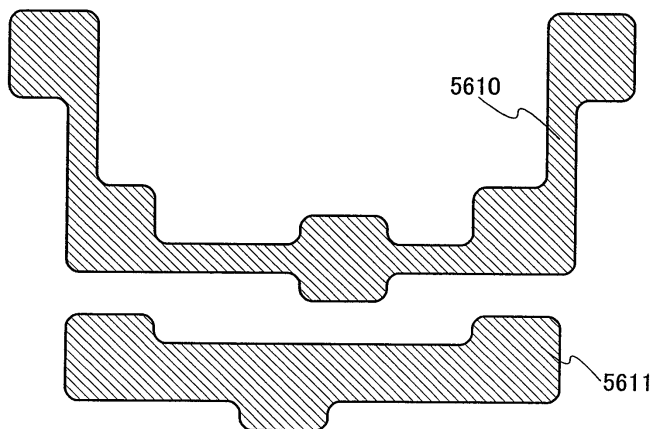
도면39



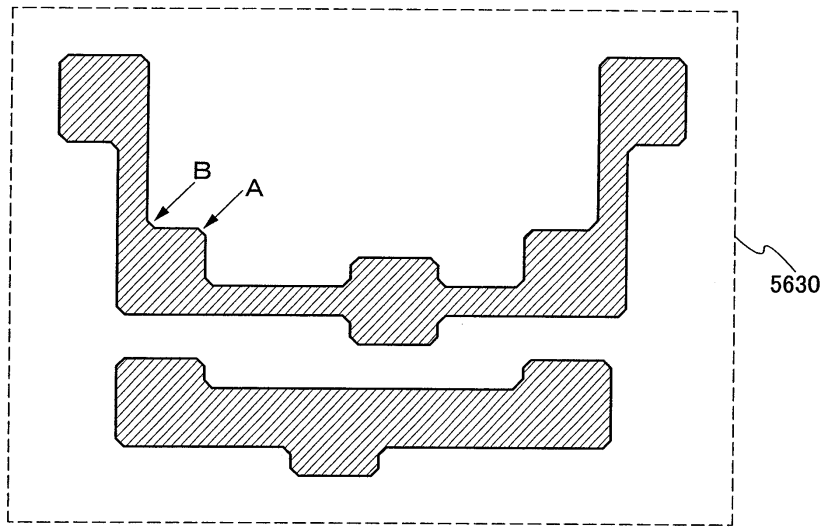
도면40



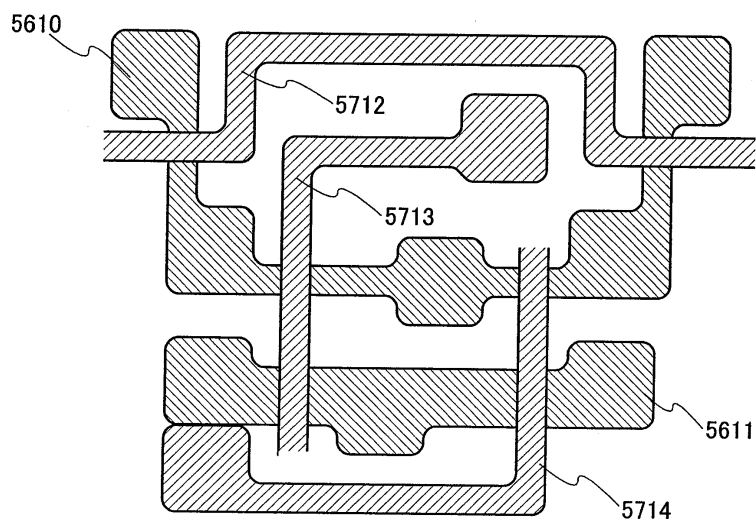
도면41a



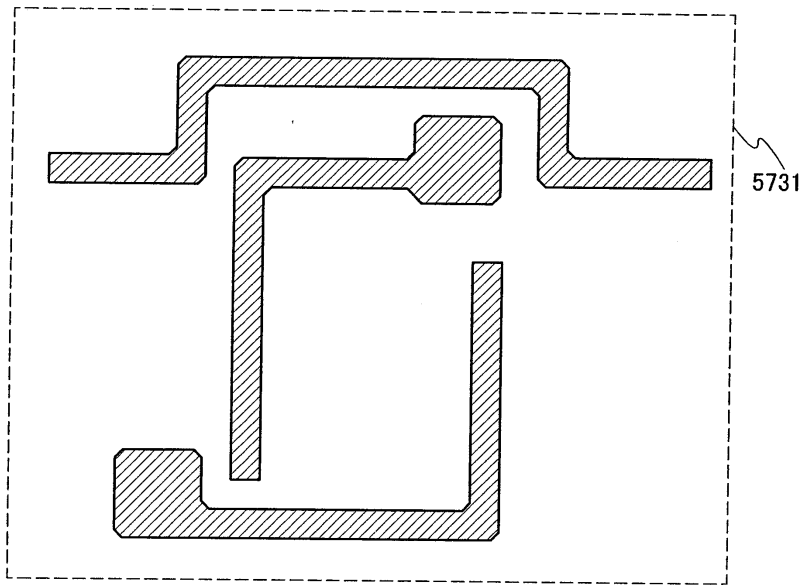
도면41b



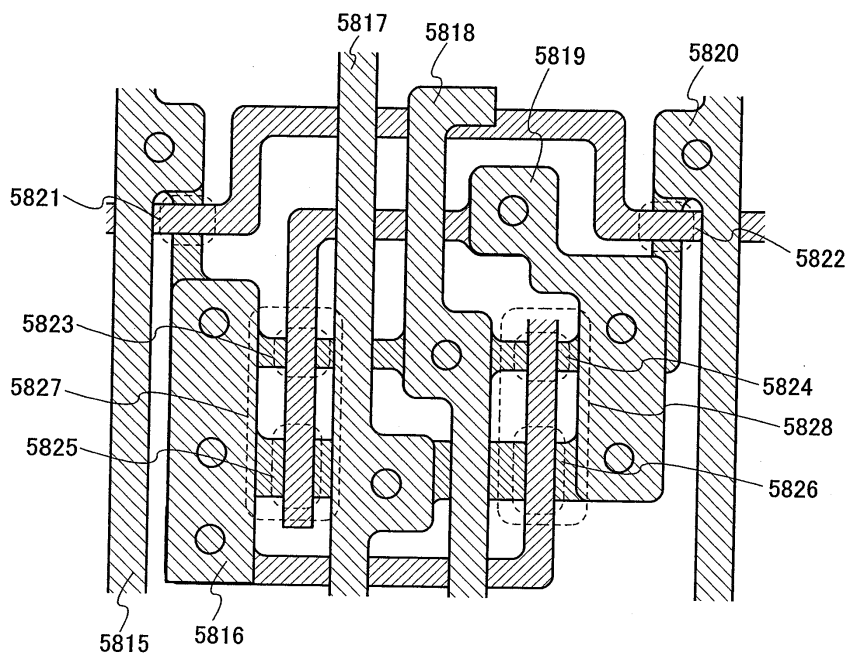
도면42a



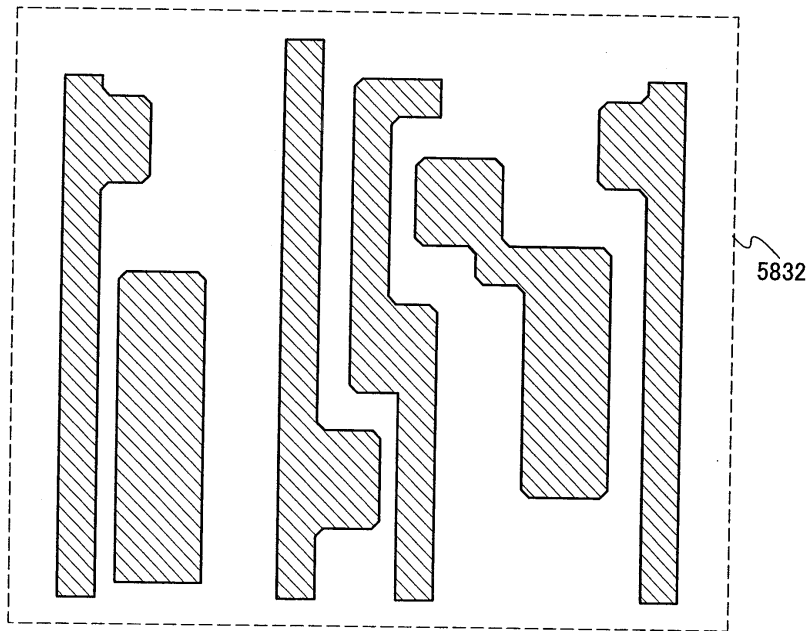
도면42b



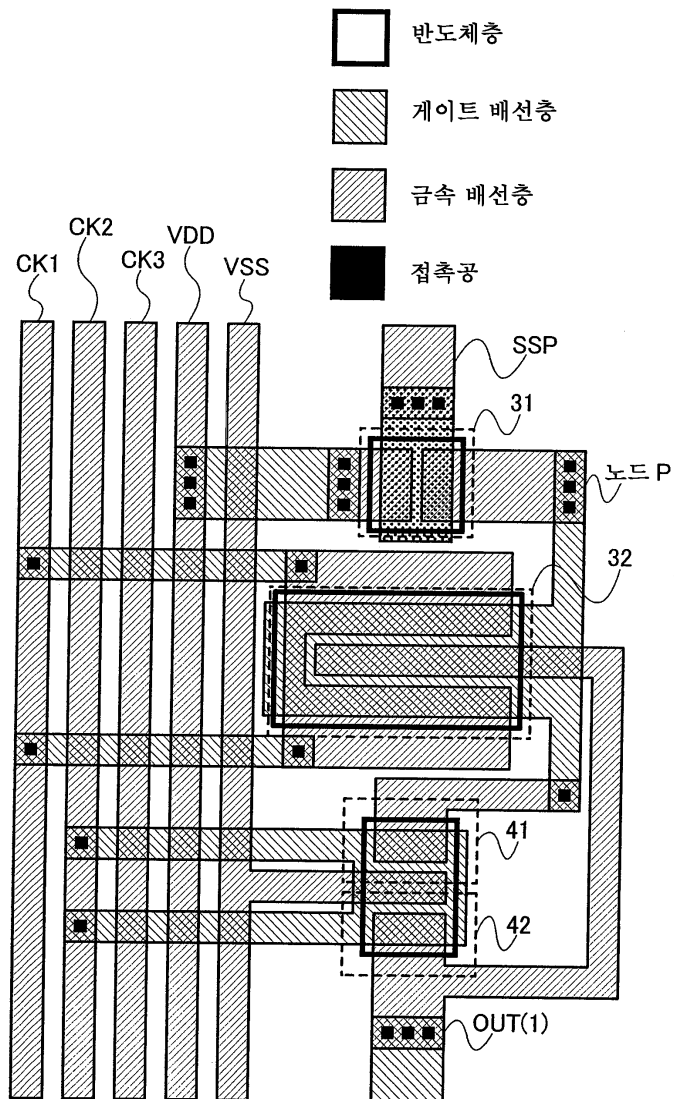
도면43a



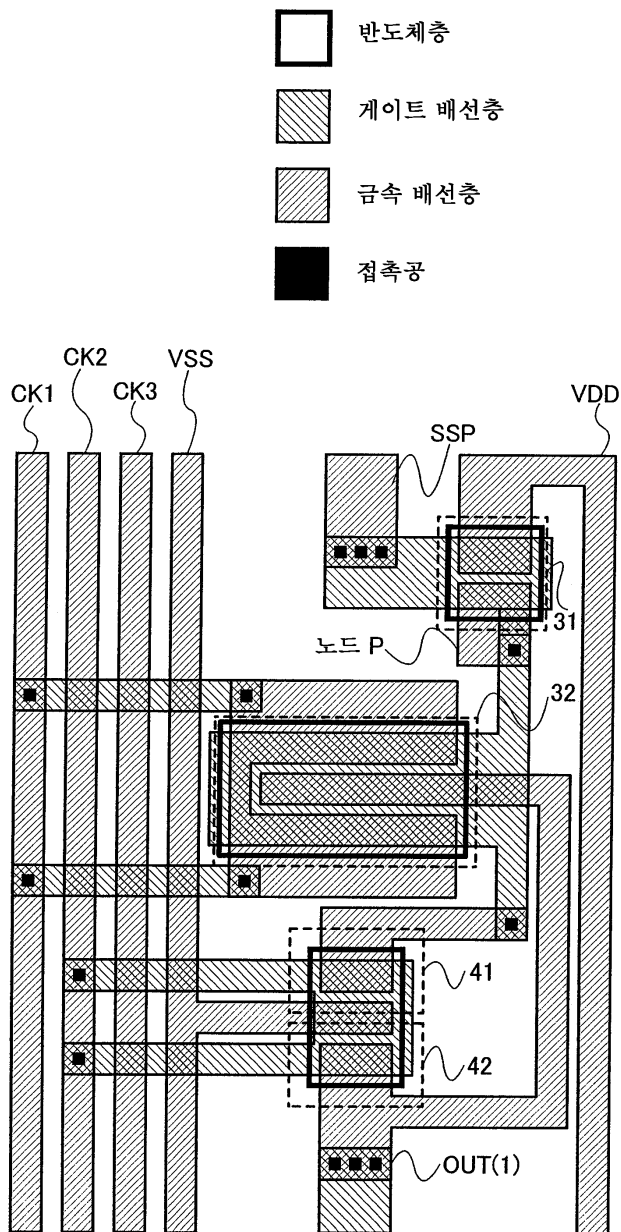
도면43b



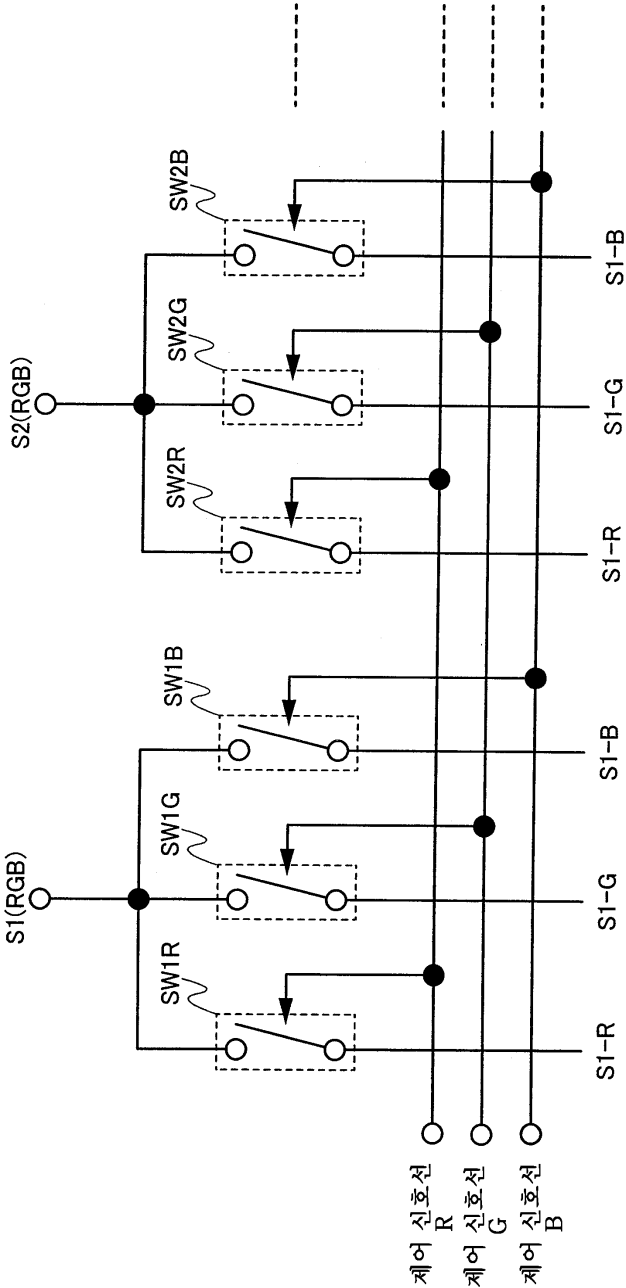
도면44



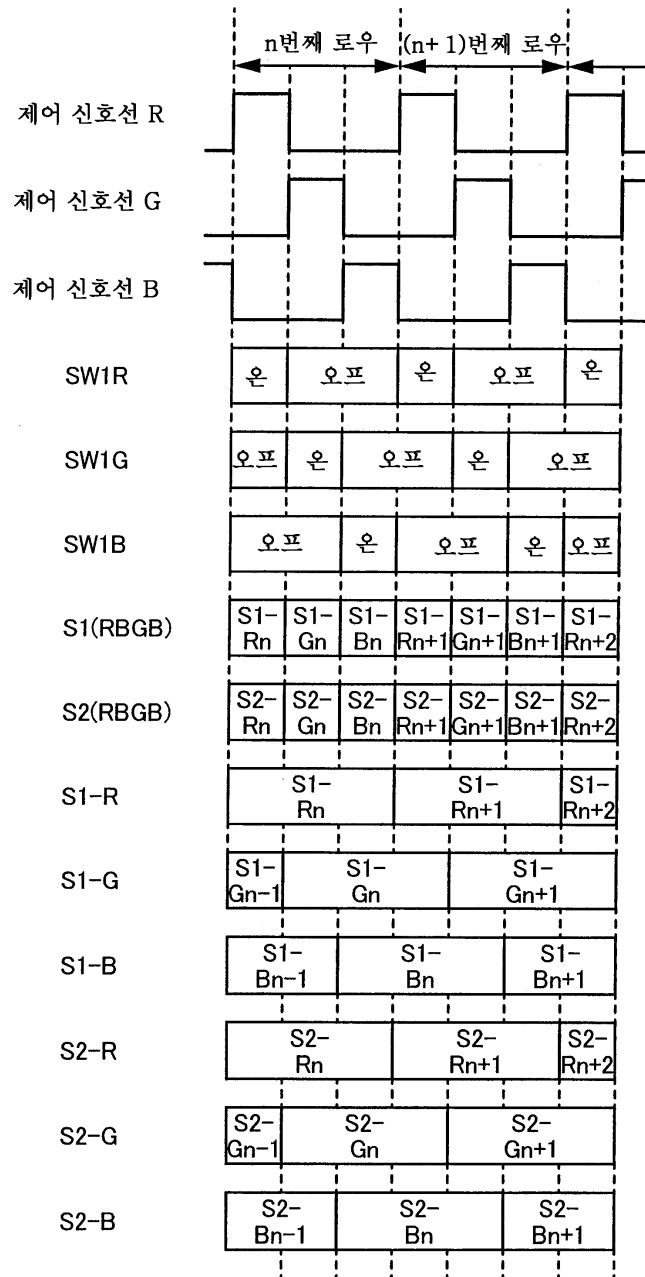
도면45



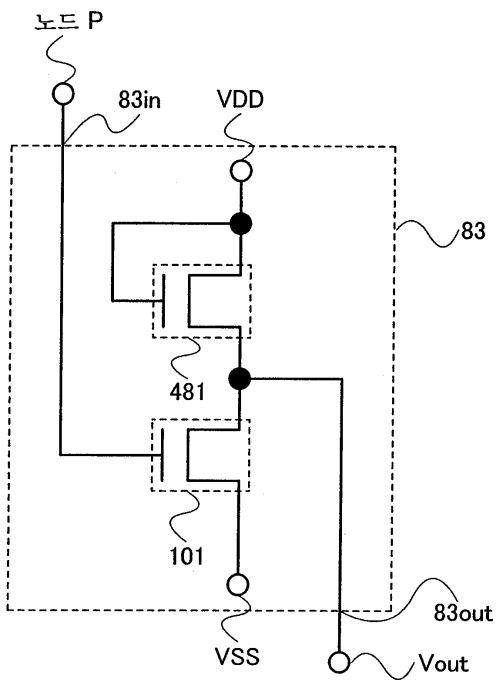
도면46



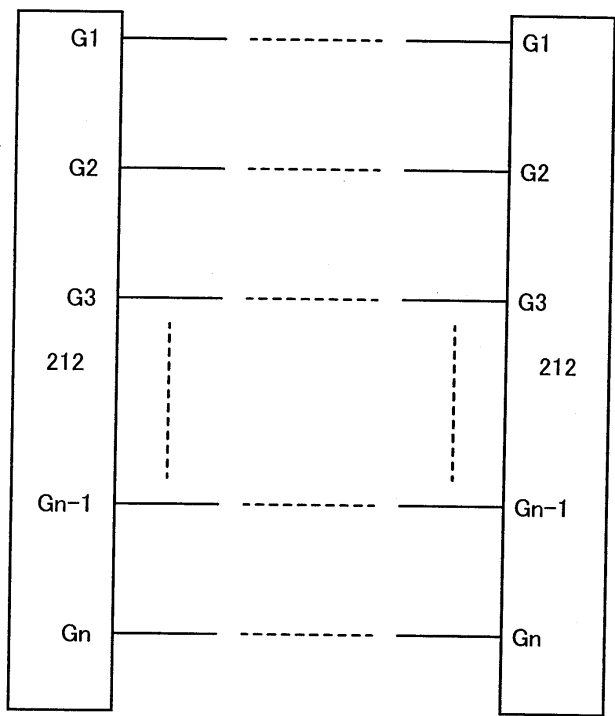
도면47



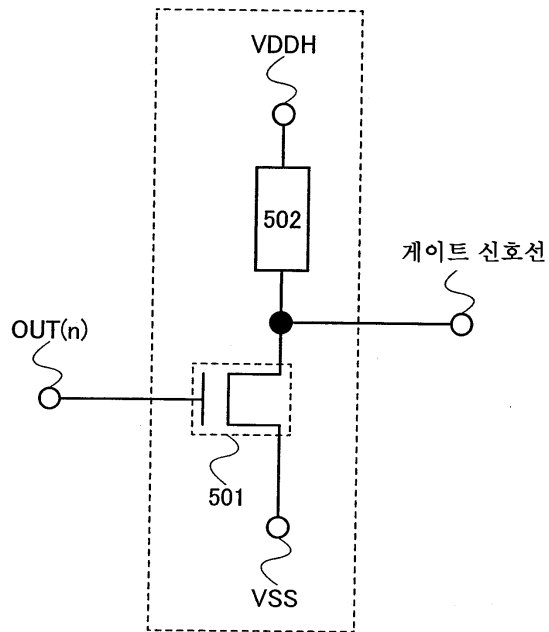
도면48



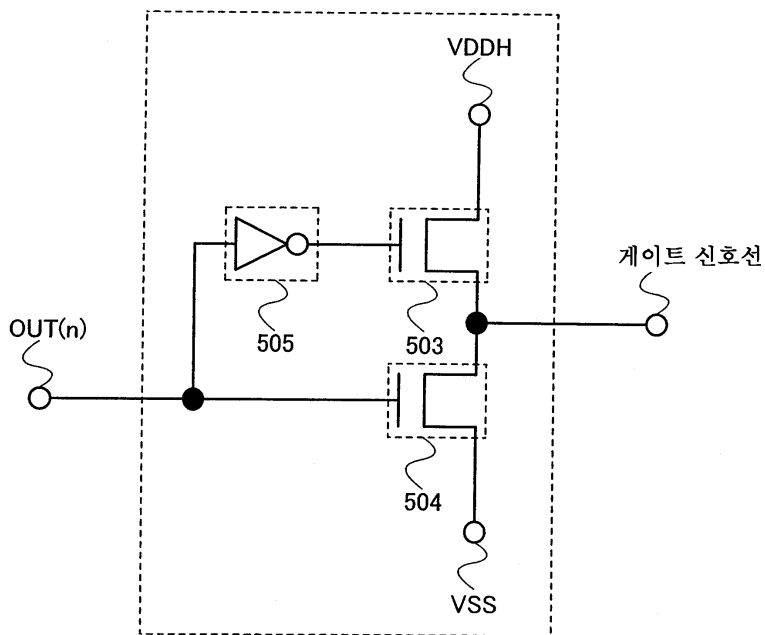
도면49



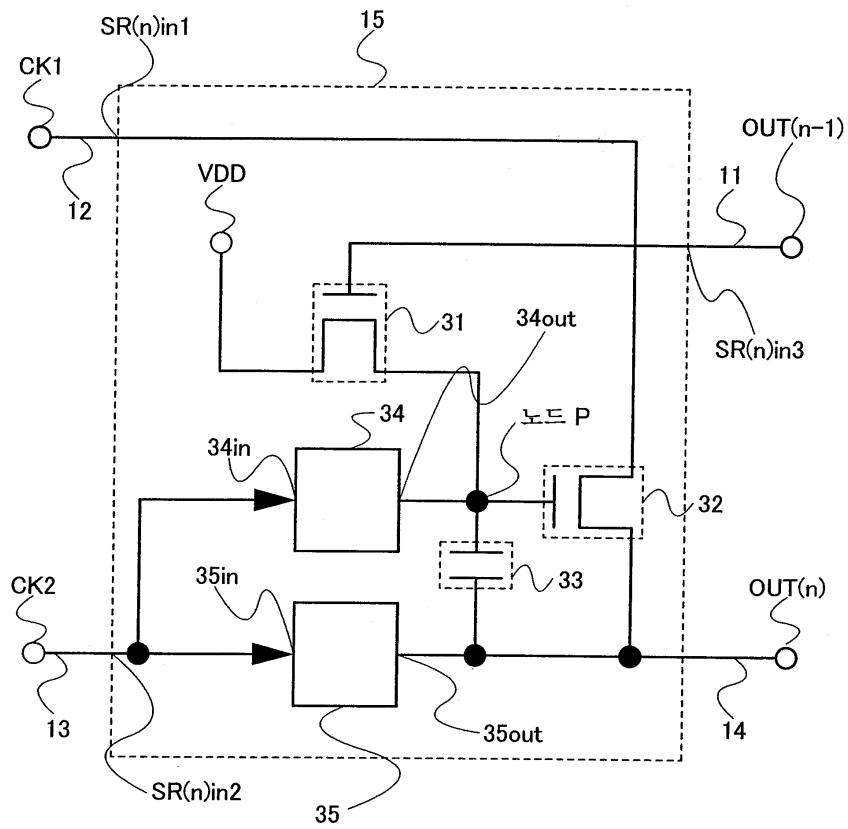
도면50a



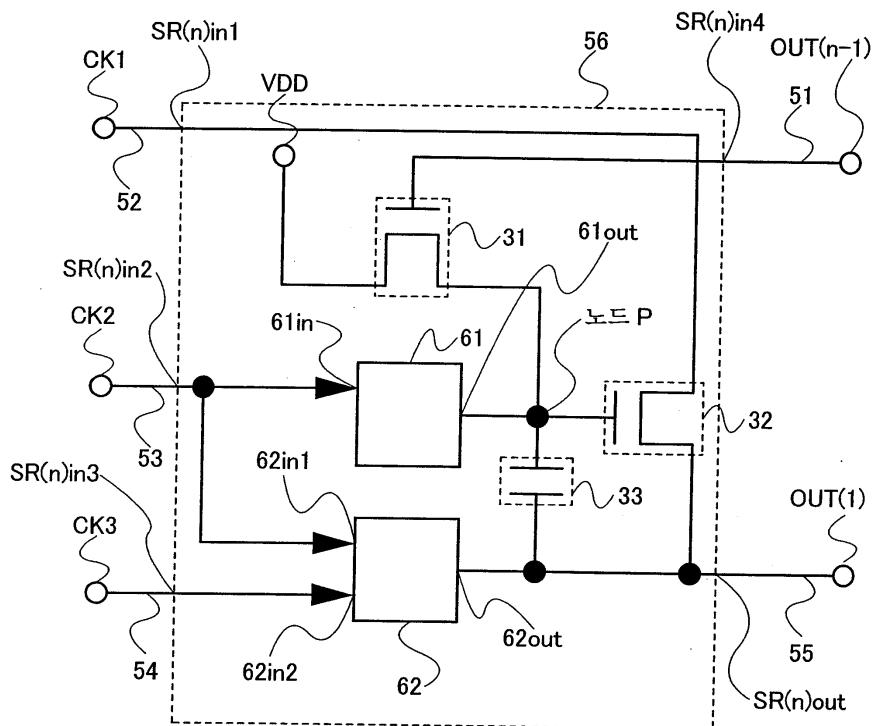
도면50b



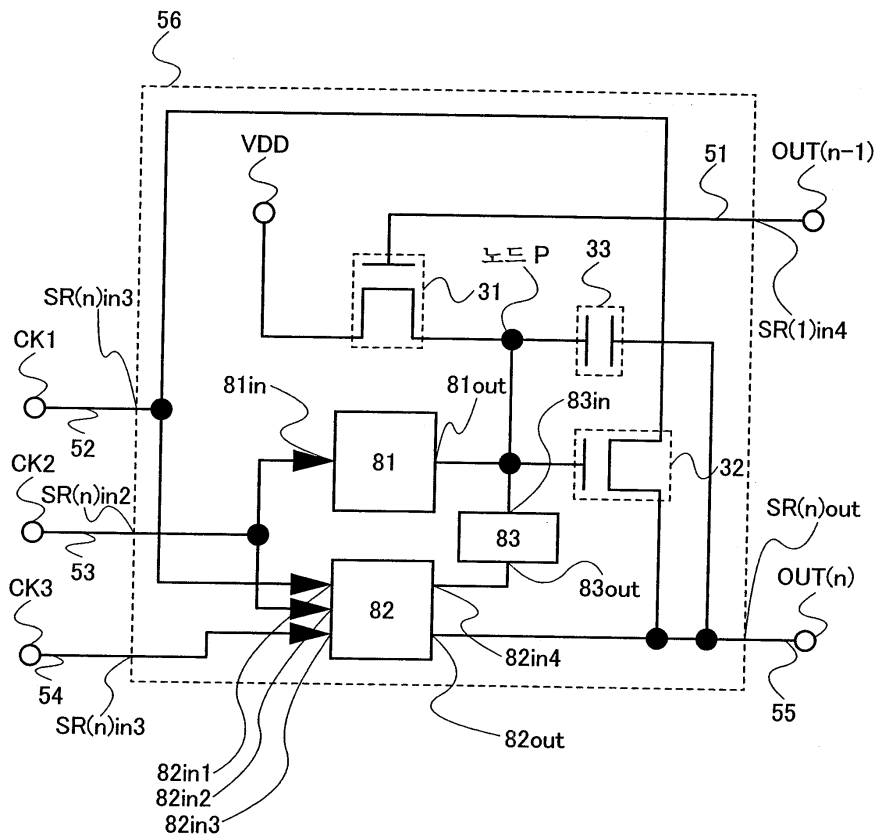
도면51



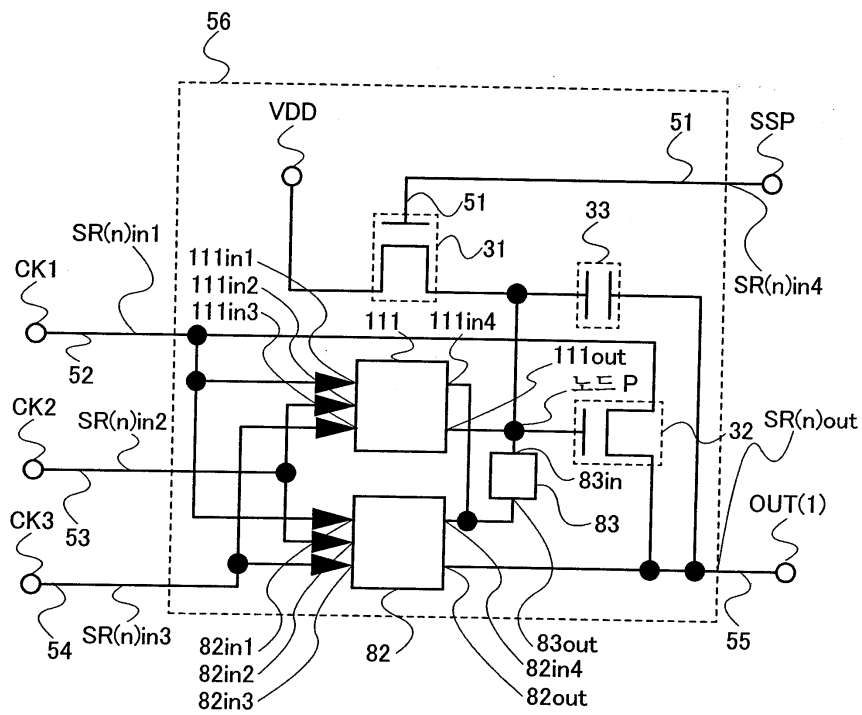
도면52



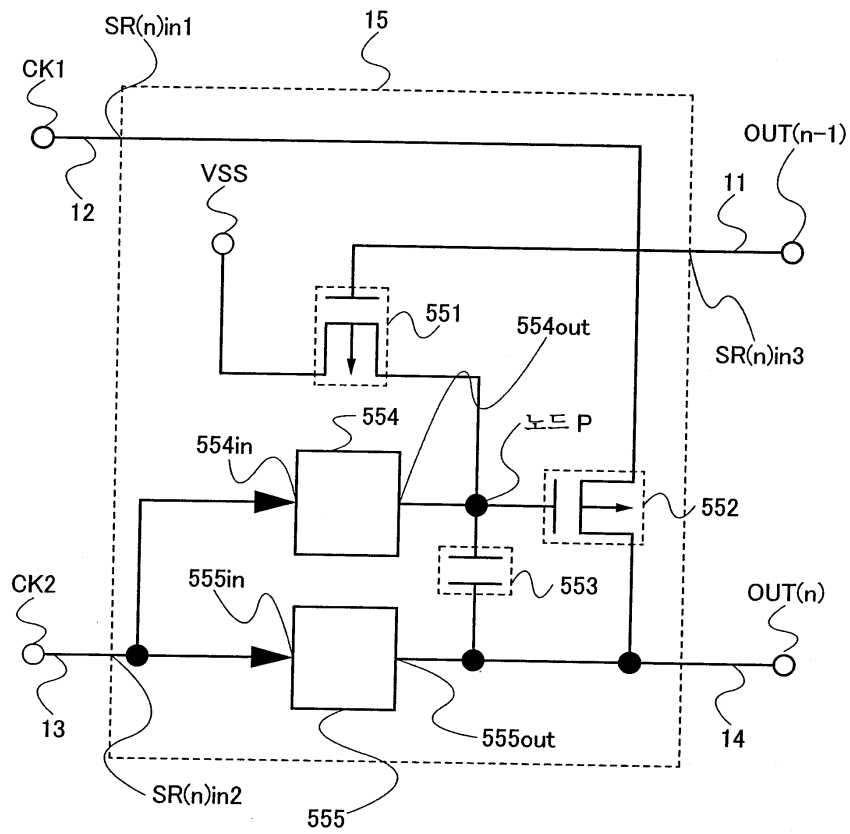
도면53



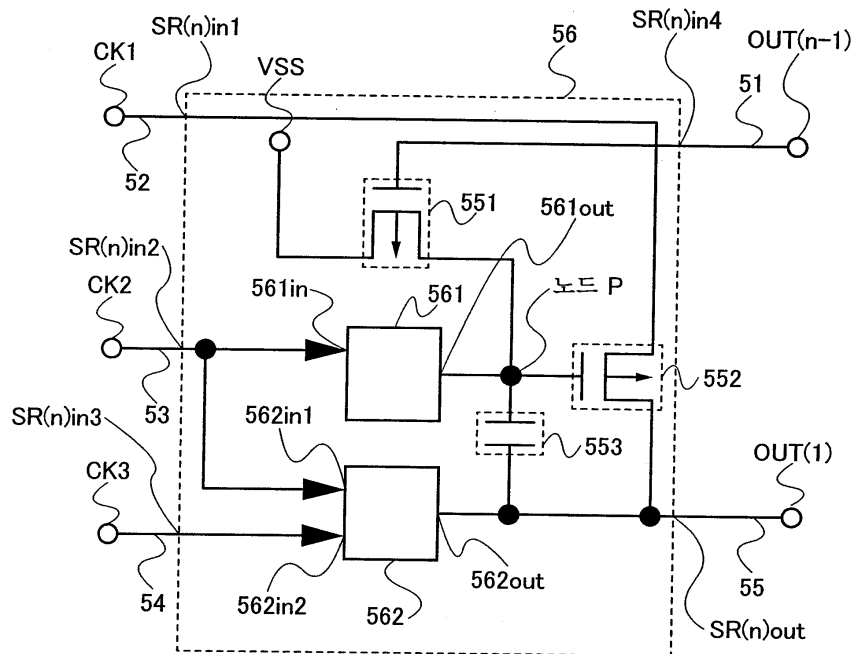
도면54



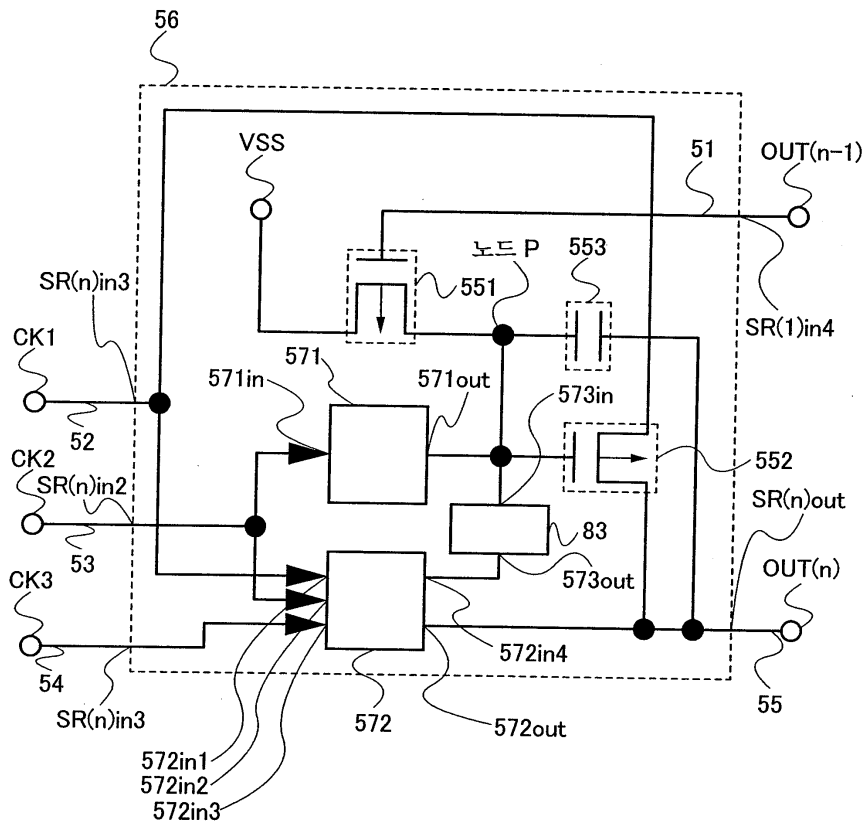
도면55



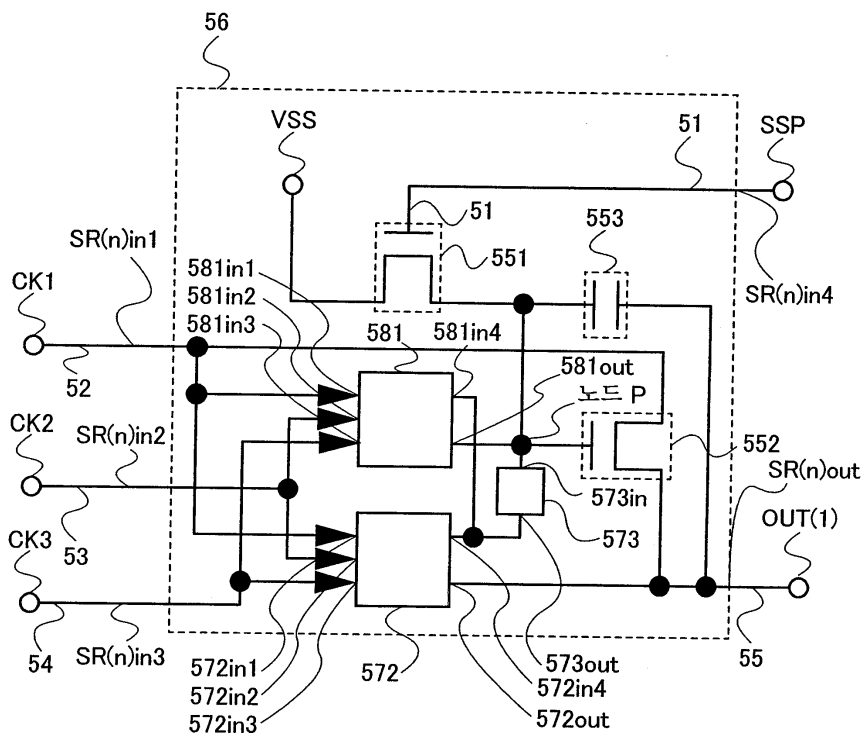
도면56



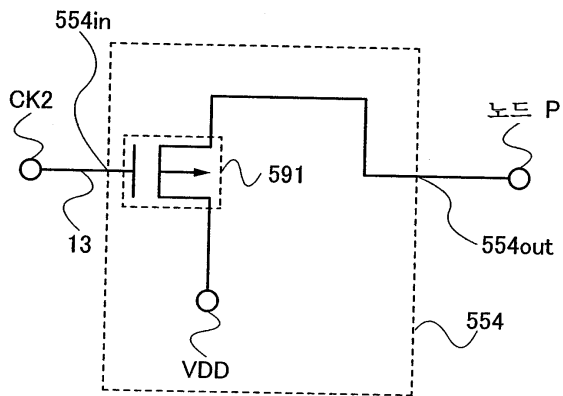
도면57



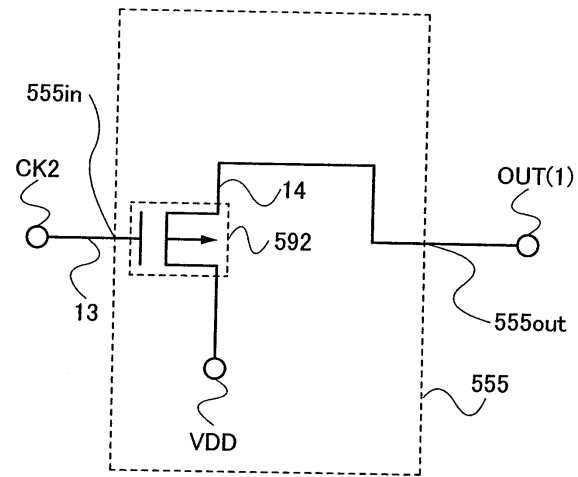
도면58



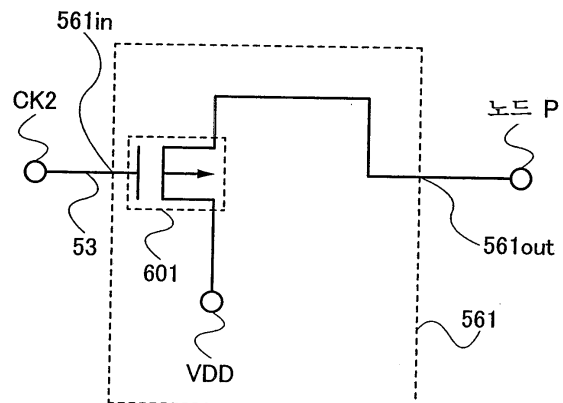
도면59a



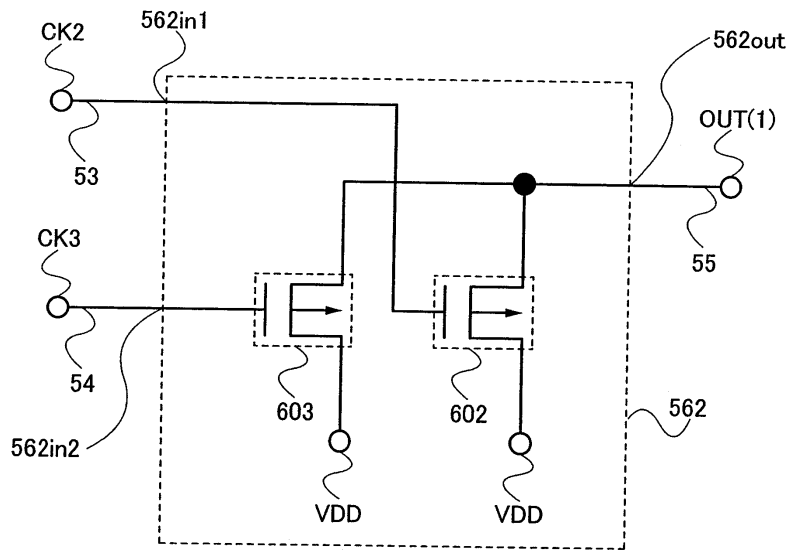
도면59b



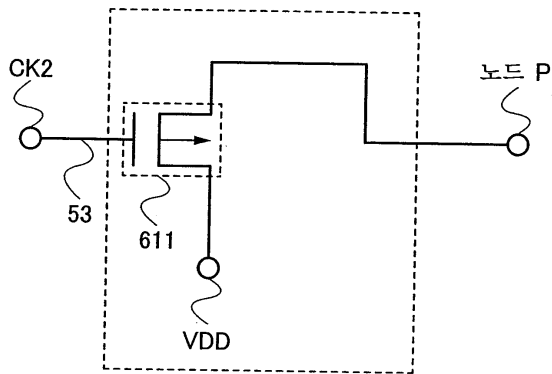
도면60a



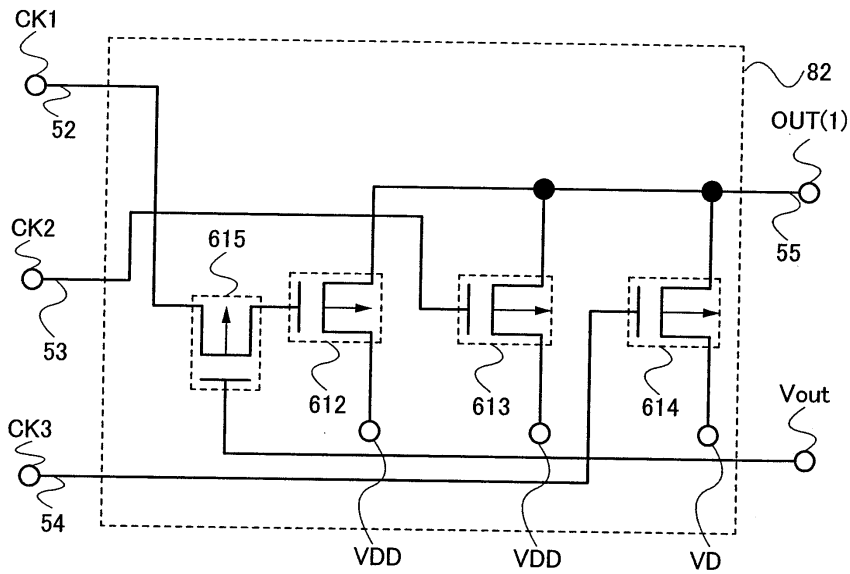
도면60b



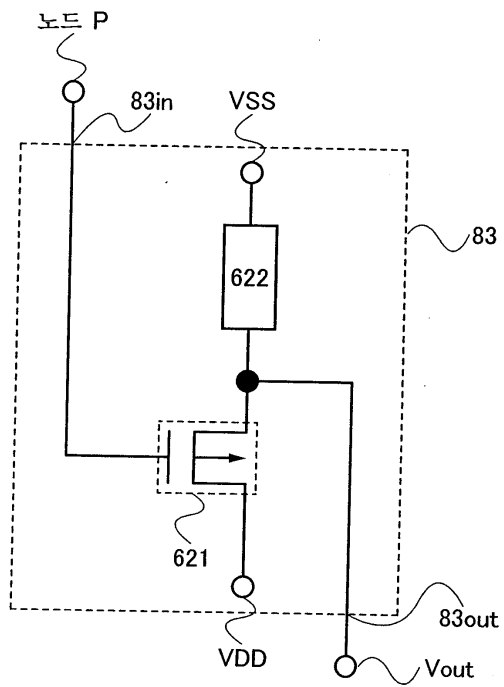
도면61a



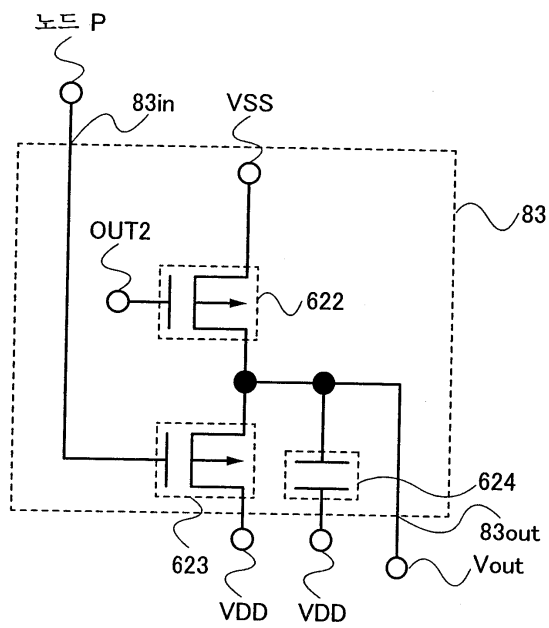
도면61b



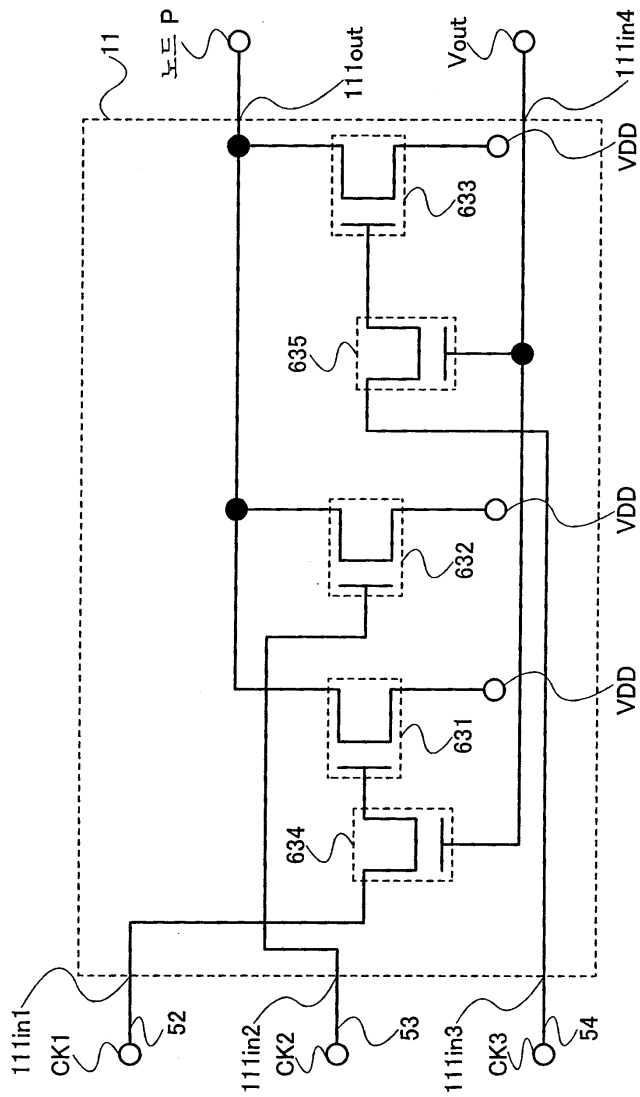
도면62a



도면62b



도면63



专利名称(译)	标题：半导体器件，驱动电路，显示器件，液晶显示器件和半导体器件的驱动方法		
公开(公告)号	KR101373536B1	公开(公告)日	2014-03-12
申请号	KR1020110109738	申请日	2011-10-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	UMEZAKI ATSUSHI		
发明人	UMEZAKI ATSUSHI		
IPC分类号	G09G3/20 G09G3/30 G09G3/36 G11C19/08		
CPC分类号	G09G2310/0267 G09G2320/043 G09G2310/0275 G09G3/3677 G11C19/184 G09G3/3266 G09G2310/0286 G09G2330/021 G09G2320/02 G09G2310/0289 G09G3/3648 G09G2300/0426 G09G2330/023		
代理人(译)	李昌勋		
优先权	2005303771 2005-10-18 JP		
其他公开文献	KR1020110122086A		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件和移位寄存器，其中在非选择时段期间产生低噪声，并且晶体管不总是处于导通状态。提供第一至第四晶体管。其连接到源极和漏极的第一晶体管的培养基I第一布线，源极中的另一个和所述漏极连接到所述第二晶体管的栅电极，所述第一晶体管的栅电极连接到第五布线。第二晶体管的源极和漏极中的一个连接到第三布线，源极和漏极中的另一个连接到第六布线。之一的源极与第三晶体管的漏极中的一个连接到第二布线，并且其另一个源极和漏极被连接到所述第二晶体管的栅电极，第三晶体管的栅电极连接到第四布线。第四晶体管的源极和漏极中的一个连接到第二布线，源极和漏极中的另一个连接到第六布线，并且第四晶体管的栅极连接到第四布线。

