



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월09일
(11) 등록번호 10-1349781
(24) 등록일자 2014년01월03일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0063620

(22) 출원일자 2010년07월01일

심사청구일자 2011년11월10일

(65) 공개번호 10-2012-0002883

(43) 공개일자 2012년01월09일

(56) 선행기술조사문헌

KR1020070028978 A*

KR1020090109257 A*

KR1020080002412 A

KR1020100092375 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김영도

대구광역시 북구 동천로 156, 102동 1106호 (동천동, 동화골든빌)

차제현

경상북도 경산시 대학로13길 26, 한서신희하이츠 101동 710호 (정평동)

이현정

경상북도 칠곡군 석적읍 동중리9길 13, 나래원 기숙사 C동 215호

(74) 대리인

박장원

전체 청구항 수 : 총 14 항

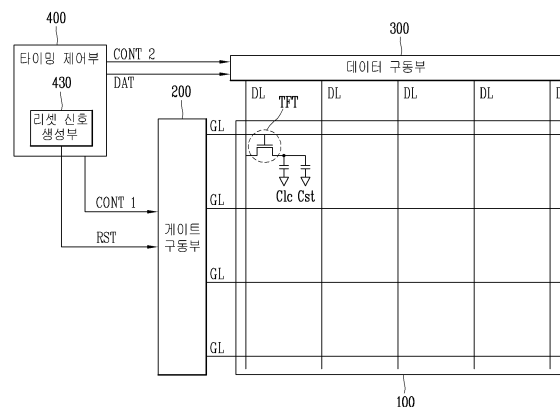
심사관 : 신영교

(54) 발명의 명칭 게이트 구동부 및 이를 포함하는 액정표시장치

(57) 요약

설계 마진 확보 및 제조 비용을 절감하여 수율을 향상시킬 수 있는 게이트 구동부가 제공된다. 게이트 구동부는, 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공받아 구동하는 N개의 스테이지 회로부를 포함하는 쉬프트 레지스터를 포함하는 게이트 구동부에 있어서 상기 쉬프트 레지스터의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부의 리셋 단자에는 외부에서 제공되는 리셋 신호가 인가된다.

대표도 - 도5



특허청구의 범위

청구항 1

외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공받아 구동하는 N개의 스테이지 회로부를 포함하는 쉬프트 레지스터를 포함하는 게이트 구동부에 있어서,

상기 쉬프트 레지스터의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부의 리셋 단자에는 외부에서 제공되는 리셋 신호가 인가되며, 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 개시 신호인 것을 특징으로 하는 게이트 구동부.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 리셋 신호의 폭은 1H 또는 2H인 것을 특징으로 하는 게이트 구동부.

청구항 5

제1항에 있어서,

상기 리셋 신호의 폭은 액정패널의 해상도에 따라 달라지는 것을 특징으로 하는 게이트 구동부.

청구항 6

외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공받아 구동하는 N개의 스테이지 회로부를 포함하는 쉬프트 레지스터를 포함하는 게이트 구동부에 있어서,

상기 쉬프트 레지스터의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부의 리셋 단자에는 외부에서 제공되는 리셋 신호가 인가되며, 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 별도의 리셋 신호인 것을 특징으로 하는 게이트 구동부.

청구항 7

제6항에 있어서,

상기 리셋 신호의 폭은 1H 또는 2H인 것을 특징으로 하는 게이트 구동부.

청구항 8

제1항 또는 제6항에 있어서,

상기 게이트 구동부는 순방향 또는 역방향으로 동작하는 양방향 게이트 구동부인 것을 특징으로 하는 게이트 구동부.

청구항 9

제8항에 있어서,

상기 개시 신호 및 상기 리셋 신호는 상기 양방향 게이트 구동부에 직접 입력되는 것을 특징으로 하는 게이트 구동부.

청구항 10

외부에서 입력되는 영상 신호를 표시하는 액정패널;

게이트 구동부와 데이터 구동부를 구동하기 위한 게이트 및 데이터 제어 신호를 생성하는 타이밍 제어부;

상기 타이밍 제어부로부터 상기 데이터 제어 신호를 제공받아 해당 데이터 라인에 영상 신호에 대응되는 데이터 전압을 인가하는 데이터 구동부; 및

상기 타이밍 제어부로부터 상기 게이트 제어 신호를 제공받아 해당 게이트 라인에 게이트 신호를 인가하며, 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공받아 구동하는 N개의 스테이지 회로부를 포함하는 쉬프트 레지스터를 포함하고, 상기 쉬프트 레지스터의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부의 리셋 단자에는 외부에서 제공되는 리셋 신호가 인가되며, 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 개시 신호인 것을 특징으로 하는 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

제10항에 있어서,

상기 리셋 신호의 폭은 1H 또는 2H인 것을 특징으로 하는 액정표시장치.

청구항 14

제10항에 있어서,

상기 리셋 신호의 폭은 액정패널의 해상도에 따라 달라지는 것을 특징으로 하는 액정표시장치.

청구항 15

외부에서 입력되는 영상 신호를 표시하는 액정패널;

게이트 구동부와 데이터 구동부를 구동하기 위한 게이트 및 데이터 제어 신호를 생성하는 타이밍 제어부;

상기 타이밍 제어부로부터 상기 데이터 제어 신호를 제공받아 해당 데이터 라인에 영상 신호에 대응되는 데이터 전압을 인가하는 데이터 구동부; 및

상기 타이밍 제어부로부터 상기 게이트 제어 신호를 제공받아 해당 게이트 라인에 게이트 신호를 인가하며, 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공받아 구동하는 N개의 스테이지 회로부를 포함하는 쉬프트 레지스터를 포함하고, 상기 쉬프트 레지스터의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부의 리셋 단자에는 외부에서 제공되는 리셋 신호가 인가되며, 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 별도의 리셋 신호인 것을 특징으로 하는 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 16

제15항에 있어서,

상기 리셋 신호의 폭은 1H 또는 2H인 것을 특징으로 하는 액정표시장치.

청구항 17

제10항 또는 제15항에 있어서,

상기 게이트 구동부는 순방향 또는 역방향으로 동작하는 양방향 게이트 구동부인 것을 특징으로 하는 액정표시장치.

청구항 18

제17항에 있어서,

상기 개시 신호 및 상기 리셋 신호는 상기 양방향 게이트 구동부에 직접 입력되는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 게이트 구동부에 관한 것으로, 보다 상세하게는 설계 마진 확보 및 제조 비용을 절감하여 수율을 향상시킬 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것이다.

배경기술

[0002] 일반적으로 액정표시장치(Liquid Crystal Display; LCD)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다.

[0003] 이러한 액정표시장치는 외부에서 입력되는 화상 데이터를 표시하는 액정패널과 액정패널을 구동하기 위한 구동회로를 포함한다.

[0004] 최근에는 구동회로를 액정패널 내에 실장하여 제조 원가를 절감하고 전력 소모를 최소화하는 게이트 인 패널(Gate In Panel 이하, GIP) 방식을 사용하는 액정표시장치가 제안되었다.

[0005] 도 1은 종래 GIP 방식을 사용하는 액정표시장치를 나타내는 도면이다.

[0006] 도 1에 도시된 바와 같이, 액정패널(10) 내에는 다수의 게이트 라인(GL)과 데이터 라인(DL)이 수직 교차하여 배열되고, 게이트 라인(GL)과 데이터 라인(DL)의 교차영역에는 화소가 배치된다. 이러한 화소에는 박막트랜지스터(Thin Film Transistor 이하, TFT)와 TFT에 연결된 화소 전극이 형성된다. 이때, TFT는 게이트 라인(GL)으로부터 신호를 입력받아 동작하며, 데이터 라인(DL)과 화소 전극을 전기적으로 연결한다.

[0007] 게이트 구동부(20)는 타이밍 제어부(40)로부터 제어신호(CONT1)를 제공받아 게이트 신호를 생성하고, 생성된 게이트 신호를 게이트 라인(GL)에 순차적으로 공급하여 게이트 라인(GL)에 연결되어 있는 TFT를 턴온시킨다.

[0008] 데이터 구동부(30)는 타이밍 제어부(40)로부터 제어신호(CONT2)와 영상 신호(DAT)를 제공받아 데이터 라인(DL)에 영상 신호(DAT)에 해당하는 데이터 전압을 인가한다. 이에 따라 화소별로 공급되는 데이터 전압에 따라 화소전극과 공통전극 사이에 형성되는 전계에 의해 액정층의 투과율을 조절함으로써 화상을 표시하게 된다.

[0009] 타이밍 제어부(40)는 게이트 구동부(20)와 데이터 구동부(30)를 제어하며, 게이트 구동부(20)에는 제어 신호(CONT1)를 공급하고, 데이터 구동부(30)에는 제어 신호(CONT2) 및 영상 신호(DAT) 등을 공급한다.

[0010] 여기서, 게이트 구동부(20)는 액정패널(10) 상에 TFT 공정시 함께 형성될 수 있으며, 데이터 구동부(30)는 액정패널(10) 상에 형성될 수 있으며, 그렇지 않을 수도 있다.

[0011] 도 2는 도 1의 게이트 구동부를 나타내는 도면이고, 도 3은 게이트 구동부에 사용되는 개시 신호 및 클럭 신호를 나타내는 타이밍도이다.

[0012] 도 2에 도시된 바와 같이, 게이트 구동부(20)는 도 3의 타이밍 제어부(40)로부터 개시 신호(Vst)와 4개의 클럭 신호(CLK1 내지 CLK4)를 제공받아 구동하는 N개의 스테이지 회로부로 구성되는 쉬프트 레지스터(21)와 제1 및 제2 더미 스테이지 회로부로 구성되는 더미 쉬프트 레지스터(23)를 포함한다.

[0013] N개의 스테이지 회로부 중 제1 스테이지 회로부는 개시 신호(Vst)와 제1 클럭 신호(CLK1)를 제공받아 첫 번째 게이트 라인에 게이트 신호(Vout1)를 출력하며, 이하 N번째 스테이지 회로부는 개시 신호로 (N-2)번째 쉬프트 레지스터의 게이트 신호(Vout (N-2))와 제4 클럭 신호(CLK4)를 입력받아 N번째 게이트 신호(VoutN)를 출력한다.

[0014] 여기서, N개의 스테이지 회로부들은 게이트 신호 즉, 하이 레벨의 게이트 신호를 출력한 후에 리셋 신호(RESET) 신호에 의해 로우 레벨의 게이트 신호를 출력하게 된다. 예를 들면, 제1 스테이지 회로부는 하이 레벨의 게이트 신호(Vout1)를 출력한 후에 제3 스테이지 회로부의 게이트 신호(Vout3)를 리셋 신호로 입력받아 로우 레벨의 게이트 신호를 출력하게 된다.

- [0015] 한편, 제(N-1) 스테이지 회로부와 제N 스테이지 회로부는 각각 하이 레벨의 게이트 신호를 출력한 후에 리셋 신호를 입력받아 로우 레벨의 게이트 신호를 출력해야 하는데, 도 1의 타이밍 제어부(40)에서는 제(N-1) 스테이지 회로부와 제N 스테이지 회로부를 리셋시키기 위한 별도의 리셋 신호를 제공하지 않고 있다. 그러므로, 액정패널(10) 상에 더미 쉬프트 레지스터(23)를 추가로 형성하여 제(N-1) 스테이지 회로부와 제N 스테이지 회로부에 리셋 신호를 제공하고 있다.
- [0016] 도 4는 GIP 방식을 사용하는 액정표시장치의 양방향 게이트 구동부를 나타내는 도면이다.
- [0017] 도 4에 도시된 바와 같이, 양방향 게이트 구동부(50)는 도 3의 타이밍 제어부(40)로부터 개시 신호(Vst)와 4개의 클럭 신호(CLK1 내지 CLK4)를 제공받아 구동하는 N개의 스테이지 회로부로 구성되는 쉬프트 레지스터(51)와 제1 및 제2 더미 스테이지 회로부로 구성되는 제1 및 제2 더미 게이트 구동부(53, 55)를 포함한다.
- [0018] N개의 스테이지 회로부로 구성되는 쉬프트 레지스터(51)는 도 2의 쉬프트 레지스터(21)의 구성과 동작이 동일하며, 제1 및 제2 더미 게이트 구동부(53, 55)는 도면에 도시하지 않았으나, 각각의 제1 및 제2 더미 스테이지 회로부를 구비한다.
- [0019] 순방향 게이트 구동부로 동작하는 경우, 제1 더미 게이트 구동부(53)는 타이밍 제어부(40)로부터 개시 신호(Vst)와 제1 및 제2 클럭 신호(CLK1, CLK2)를 입력받아 동작하게 되고, N개의 스테이지 회로부로 구성되는 쉬프트 레지스터(51)는 제1 더미 게이트 구동부(53)로부터 개시 신호(Vst)와 제1 및 제2 클럭 신호(CLK1, CLK2) 및 리셋 신호(RESET)를 입력받아 동작하게 된다.
- [0020] 상기와 같이, 게이트 구동부가 순방향으로 동작하는 경우에는 도 2에서와 같이 쉬프트 레지스터(51)의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부는 각각 하이 레벨의 게이트 신호를 출력한 후에 리셋 신호(RESET)를 입력받아 로우 레벨의 게이트 신호를 출력해야 하는데, 도 1의 타이밍 제어부(40)에서는 제(N-1) 스테이지 회로부와 제N 스테이지 회로부를 리셋시키기 위한 별도의 리셋 신호를 제공하지 않으므로, 액정패널(10) 상에 제1 더미 게이트 구동부(53)를 추가로 형성하여 제(N-1) 스테이지 회로부와 제N 스테이지 회로부에 리셋 신호를 제공하고 있다.
- [0021] 또한, 역방향 게이트 구동부로 동작하는 경우, 제2 더미 게이트 구동부(55)는 타이밍 제어부(40)로부터 개시 신호(Vst)와 제1 및 제2 클럭 신호(CLK1, CLK2)를 입력받아 동작하게 되고, N개의 스테이지 회로부로 구성되는 쉬프트 레지스터(51)는 제2 더미 게이트 구동부(55)로부터 개시 신호(Vst)와 제1 및 제2 클럭 신호(CLK1, CLK2) 및 리셋 신호(RESET)를 입력받아 동작하게 된다. 이때, 게이트 구동부가 역방향으로 동작하는 동작하므로 제1 스테이지 회로부는 제N 스테이지 회로부, 제2 스테이지 회로부는 제(N-1) 스테이지 회로부로, 제N 스테이지 회로부는 제1 스테이지 회로부로 동작하게 된다.
- [0022] 쉬프트 레지스터(51)의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부는 각각 하이 레벨의 게이트 신호를 출력한 후에 리셋 신호를 입력받아 로우 레벨의 게이트 신호를 출력해야 하는데, 타이밍 제어부(40)에서는 제(N-1) 스테이지 회로부와 제N 스테이지 회로부를 리셋시키기 위한 별도의 리셋 신호를 제공하지 않으므로, 액정패널(10) 상에 제2 더미 게이트 구동부(55)를 추가로 형성하여 제(N-1) 스테이지 회로부와 제N 스테이지 회로부에 리셋 신호를 제공하고 있다.
- [0023] 상기와 같이, 도 2의 GIP 방식을 사용하는 게이트 구동부와 도 4의 GIP 방식을 사용하는 양방향 게이트 구동부를 사용하는 경우에는 각각 액정패널(10) 상에 더미 쉬프트 레지스터(23)와 제1 및 제2 더미 게이트 구동부(53, 55)를 추가로 형성해야 하므로 설계 면적이 감소하게 되어 공정 마진 확보에 어려움이 있으며, 액정패널(10)의 제조 비용이 증가하게 된다.
- [0024] 그리고, 도 3의 'A'에서와 같이, 제1 및 제2 클럭 신호(CLK1, CLK2)는 더미 쉬프트 레지스터(23)와 제1 및 제2 더미 게이트 구동부(53, 55)를 동작시키기 위한 신호 파형이 더 추가되므로, 타이밍 제어부(40) 내부의 메모리 용량이 증가하게 된다.
- [0025] 또한, 도 4에서와 같이 GIP 방식을 사용하는 양방향 게이트 구동부는 타이밍 제어부(40)에서 제공되는 개시 신호(Vst)가 쉬프트 레지스터(51)에 직접 입력되는 것이 아니며, 제1 및 제2 더미 게이트 구동부(53, 55)를 통해 쉬프트 레지스터(51)에 입력되므로, 신호의 출력 특성이 저하될 수 있다. 이로 인해 양방향 게이트 구동부를 장시간 구동하여 제1 및 제2 더미 게이트 구동부(53, 55)의 성능이 저하될 경우, 쉬프트 레지스터(51)에서 출력되는 게이트 신호들의 출력이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0026] 본 발명은 상기한 문제를 해결하기 위한 것으로, 설계 마진 확보 및 제조 비용을 절감하여 수율을 향상시킬 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치를 제공함에 있다.

[0027] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0028] 상기한 목적들을 달성하기 위하여, 본 발명의 일실시예에 따른 게이트 구동부는, 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공받아 구동하는 N개의 스테이지 회로부를 포함하는 쉬프트 레지스터를 포함하는 게이트 구동부에 있어서 상기 쉬프트 레지스터의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부의 리셋 단자에는 외부에서 제공되는 리셋 신호가 인가된다.

[0029] 상기 리셋 신호는 상기 개시 신호를 사용하여 생성한다.

[0030] 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 개시 신호이다.

[0031] 상기 리셋 신호의 폭은 1H 또는 2H이다.

[0032] 상기 리셋 신호의 폭은 액정패널의 해상도에 따라 달라진다.

[0033] 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 별도의 리셋 신호이다.

[0034] 상기 리셋 신호의 폭은 1H 또는 2H이다.

[0035] 상기 게이트 구동부는 순방향 또는 역방향으로 동작하는 양방향 게이트 구동부다.

[0036] 상기 개시 신호 및 상기 리셋 신호는 상기 양방향 게이트 구동부에 직접 입력된다.

[0037] 본 발명의 일실시예에 따른 액정표시장치는 외부에서 입력되는 영상 신호를 표시하는 액정패널, 게이트 구동부와 데이터 구동부를 구동하기 위한 게이트 및 데이터 제어 신호를 생성하는 타이밍 제어부, 상기 타이밍 제어부로부터 상기 데이터 제어 신호를 제공받아 해당 데이터 라인에 영상 신호에 대응되는 데이터 전압을 인가하는 데이터 구동부 및 상기 타이밍 제어부로부터 상기 게이트 제어 신호를 제공받아 해당 게이트 라인에 게이트 신호를 인가하며, 외부로부터 개시 신호와 제1 내지 제4 클럭 신호를 제공받아 구동하는 N개의 스테이지 회로부를 포함하는 쉬프트 레지스터를 포함하고, 상기 쉬프트 레지스터의 제(N-1) 스테이지 회로부와 제N 스테이지 회로부의 리셋 단자에는 외부에서 제공되는 리셋 신호가 인가되는 게이트 구동부를 포함한다.

[0038] 상기 리셋 신호는 상기 개시 신호를 사용하여 생성한다.

[0039] 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 개시 신호이다.

[0040] 상기 리셋 신호의 폭은 1H 또는 2H이다.

[0041] 상기 리셋 신호의 폭은 액정패널의 해상도에 따라 달라진다.

[0042] 상기 리셋 신호는 상기 제4 클럭 신호가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 별도의 리셋 신호이다.

[0043] 상기 리셋 신호의 폭은 1H 또는 2H이다.

[0044] 상기 게이트 구동부는 순방향 또는 역방향으로 동작하는 양방향 게이트 구동부다.

[0045] 상기 개시 신호 및 상기 리셋 신호는 상기 양방향 게이트 구동부에 직접 입력된다.

발명의 효과

[0046] 상술한 바와 같이, 본 발명에 따른 게이트 구동부 및 이를 포함하는 액정표시장치는 설계 마진 확보 및 제조 비

용을 절감하여 수율을 향상시킬 수 있는 효과를 제공한다.

도면의 간단한 설명

도 1은 종래 GIP 방식을 사용하는 액정표시장치를 나타내는 도면.

도 2는 도 1의 게이트 구동부를 나타내는 도면.

도 3은 게이트 구동부에 사용되는 개시 신호 및 클럭 신호를 나타내는 타이밍도.

도 4는 GIP 방식을 사용하는 액정표시장치의 양방향 게이트 구동부를 나타내는 도면.

도 5는 본 발명의 일실시예에 따른 GIP 방식을 사용하는 액정표시장치를 나타내는 도면.

도 6은 본 발명의 일실시예에 따른 리셋 신호 생성부를 나타내는 도면.

도 7은 본 발명의 일실시예에 따른 게이트 구동부에 사용되는 개시 신호 및 클럭 신호를 나타내는 타이밍도.

도 8은 본 발명의 일실시예에 따른 게이트 구동부를 나타내는 도면.

도 9는 본 발명의 다른 실시예에 따른 GIP 방식을 사용하는 액정표시장치의 양방향 게이트 구동부를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

이하, 첨부한 도면을 참조하여 본 발명에 따른 GIP 방식을 사용하는 액정표시장치의 바람직한 실시예를 상세히 설명한다.

도 5는 본 발명의 일실시예에 따른 GIP 방식을 사용하는 액정표시장치를 나타내는 도면이다.

도 5에 도시된 바와 같이, GIP 방식을 사용하는 액정표시장치는 액정패널(100), 게이트 구동부(200), 데이터 구동부(300) 및 타이밍 제어부(400)를 포함한다.

액정패널(100)은 다수의 게이트 라인(GL) 및 데이터 라인(DL)과 이에 연결되어 있으며, 매트릭스(matrix) 형태로 배열된 다수의 화소를 포함한다. 여기서, 게이트 라인(GL)은 가로방향으로 형성되어 있으며, 데이터 라인(DL)은 세로방향으로 형성되어 있다.

각 화소는 게이트 라인(GL) 및 데이터 라인(DL)에 연결된 박막트랜지스터(TFT)와 이에 연결된 액정 캐패시터(liquid crystal capacitor, Clc) 및 유지 캐패시터(storage capacitor, Cst)를 포함한다.

박막트랜지스터(TFT)는 어레이 기판 상에 형성되어 있으며, 삼단자 소자로서 제어 단자 및 입력 단자는 각각 게이트 라인(GL) 및 데이터 라인(DL)에 연결되어 있으며, 출력 단자는 액정 캐패시터(ClC) 및 유지 캐패시터(Cst)에 연결되어 있다.

액정 캐패시터(ClC)는 어레이 기판의 화소 전극과 컬러필터 기판의 공통 전극을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 화소 전극은 박막트랜지스터(TFT)에 연결되며 공통 전극은 컬러필터 기판의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다.

유지 캐패시터(Cst)는 어레이 기판에 구비된 별개의 신호선(도시하지 않음)과 화소 전극이 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극에 대응하는 영역에 적색, 녹색, 또는 청색의 컬러 필터를 구비함으로써 가능하다. 여기에서, 컬러필터는 컬러필터 기판의 해당 영역에 형성할 수 있다.

액정 패널(100)의 어레이 기판 및 컬러필터 기판 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착된다.

게이트 구동부(200)는 GIP 방식을 사용하며, 타이밍 제어부(400)로부터 제공되는 게이트 제어 신호(CONT1)에 따라 게이트 신호를 게이트 라인(GL)에 인가하여 게이트 라인(GL)에 연결되어 있는 박막트랜지스터(TFT)를 턴온시킨다. 또한, 본 발명에서 게이트 구동부(200)는 설계 마진 확보와 제조 비용을 절감하여 수율을 향상시키기 위한 쉬프트 레지스터를 포함한다. 이에 대한 자세한 설명은 도 8을 참조하여 설명하기로 한다.

- [0059] 데이터 구동부(300)는 타이밍 제어부(400)로부터 제공되는 데이터 제어 신호(CONT2)에 따라 한 행의 단위 화소에 대응하는 영상 신호(DAT)를 차례로 입력받고, 데이터 전압 중 각 영상 신호(DAT)에 대응하는 데이터 전압을 선택함으로써 영상 신호(DAT)를 해당 데이터 전압으로 변환한다.
- [0060] 타이밍 제어부(400)는 게이트 구동부(200) 및 데이터 구동부(300) 등의 동작을 제어하는 게이트 및 데이터 제어 신호(CONT1, CONT2)를 생성하여 각 해당하는 제어 신호를 게이트 구동부(200) 및 데이터 구동부(300)에 제공한다. 또한, 본 발명에서 타이밍 제어부(400)는 게이트 구동부(200)에 리셋 신호(RESET)를 제공하는 리셋 신호 생성부(430)를 포함한다. 이에 대한 자세한 설명은 도 6을 참조하여 설명하기로 한다.
- [0061] 도 6은 본 발명의 일실시예에 따른 리셋 신호 생성부를 나타내는 도면이고, 도 7은 본 발명의 일실시예에 따른 게이트 구동부에 사용되는 개시 신호 및 클럭 신호를 나타내는 타이밍도이고, 도 8은 본 발명의 일실시예에 따른 게이트 구동부를 나타내는 도면이다.
- [0062] 도 6에 도시된 바와 같이, 본 발명의 일실시예에 따른 타이밍 제어부(400)는 리셋 신호 생성부(430)를 포함한다. 리셋 신호 생성부(430)는 도 7에 도시된 바와 같이, 타이밍 제어부(400)로부터 제공되는 개시 신호(Vst)를 제공받아 이를 리셋 신호(RESET)로 사용하게 된다. 이때, 리셋 신호 생성부(430)는 제4 클럭신호(CLK4)가 하이 레벨에서 로우 레벨로 변하는 시점에서 개시 신호(Vst)가 로우 레벨에서 하이 레벨로 변하는 리셋 신호(RST)를 출력한다. 그리고, 리셋 신호 생성부(430)로부터 출력되는 리셋 신호(RST)는 게이트 구동부(200)에 제공된다.
- [0063] 여기서, 개시 신호(Vst) 및 제1 내지 제4 클럭 신호(CLK1 내지 CLK4)는 타이밍 제어부(400)로부터 제공되며, 예를 들면 개시 신호(Vst)의 폭은 1H 또는 2H일 수 있으며 이에 제한되는 것은 아니다. 그리고, 액정패널(100)의 해상도에 따라 리셋 신호(RST)의 폭이 달라질 수 있다.
- [0064] 또한, 본 발명에서는 리셋 신호(RST)를 생성하기 위해 타이밍 제어부(400)로부터 제공되는 개시 신호(Vst)를 사용하지 않고, 임의의 신호를 사용하여 제4 클럭신호(CLK4)가 하이 레벨에서 로우 레벨로 변하는 시점에서 로우 레벨에서 하이 레벨로 변하는 별도의 리셋 신호(RST)를 생성하여 게이트 구동부(200)에 제공할 수 있다. 이때, 리셋 신호(RST)의 폭은 예를 들면, 1H 또는 2H일 수 있다.
- [0065] 본 발명에서는 리셋 신호 생성부(430)가 타이밍 제어부(400)에 포함되는 것을 예로 들어 설명하였으나, 리셋 신호 생성부(430)는 타이밍 제어부(400)에 포함되지 않을 수 도 있다.
- [0066] 도 8에 도시된 바와 같이, 본 발명의 일실시예에 따른 게이트 구동부(200)는 타이밍 제어부(400)로부터 개시 신호(Vst)와 4개의 클럭 신호(CLK1 내지 CLK4)를 제공받아 구동하는 N개의 스테이지 회로부로 구성되는 쉬프트 레지스터를 포함한다.
- [0067] 여기서, N개의 스테이지 회로부 중 제1 스테이지 회로부는 개시 신호(Vst)와 제1 클럭 신호(CLK1)를 제공받아 첫 번째 게이트 라인(GL)에 게이트 신호(Vout1)를 출력하며, 제3 스테이지 회로부에서 출력되는 게이트 신호(Vout3)를 입력받아 리셋 신호(RESET)로 사용한다.
- [0068] 제2 스테이지 회로부는 개시 신호(Vst)와 제2 클럭 신호(CLK2)를 제공받아 두 번째 게이트 라인(GL)에 게이트 신호(Vout2)를 출력하며, 제4 스테이지 회로부에서 출력되는 게이트 신호(Vout4)를 입력받아 리셋 신호(RESET)로 사용한다.
- [0069] 제3 스테이지 회로부는 개시 신호(Vst)로 제1 스테이지 회로부에서 출력되는 게이트 신호(Vout1)와 제3 클럭 신호(CLK3)를 제공받아 세 번째 게이트 라인(GL)에 게이트 신호(Vout3)를 출력하며, 도면에 도시하지 않았으나, 제5 스테이지 회로부에서 출력되는 게이트 신호(Vout5)를 입력받아 리셋 신호(RESET)로 사용한다.
- [0070] 제4 스테이지 회로부는 개시 신호(Vst)로 제2 스테이지 회로부에서 출력되는 게이트 신호(Vout2)와 제4 클럭 신호(CLK4)를 제공받아 네 번째 게이트 라인(GL)에 게이트 신호(Vout4)를 출력하며, 도면에 도시하지 않았으나, 제6 스테이지 회로부에서 출력되는 게이트 신호(Vout6)를 입력받아 리셋 신호(RESET)로 사용한다.
- [0071] 본 발명에서 제(N-1) 스테이지 회로부는 도면에 도시하지 않았으나, 개시 신호(Vst)로 제(N-3) 스테이지 회로부에서 출력되는 게이트 신호(Vout(N-3))와 제3 클럭 신호(CLK3)를 제공받아 (N-1)번째 게이트 라인(GL)에 게이트 신호(Vout((N-1)))를 출력하며, 도 7에서와 같이 리셋 신호 생성부(430)에서 출력되는 리셋 신호(RESET)를 제(N-1) 스테이지 회로부의 리셋 신호(RESET)로 사용한다.
- [0072] 또한, 제N 스테이지 회로부는 도면에 도시하지 않았으나, 개시 신호(Vst)로 제(N-2) 스테이지 회로부에서 출력

되는 게이트 신호(Vout(N-2))와 제4 클럭 신호(CLK4)를 제공받아 N번째 게이트 라인(GL)에 게이트 신호(VoutN)를 출력하며, 도 7에서와 같이 리셋 신호 생성부(430)에서 출력되는 리셋 신호(RESET)를 제N 스테이지 회로부의 리셋 신호(RESET)로 사용한다.

[0073] 상기와 같이, 본 발명의 일실시예에 따른 게이트 구동부는 액정패널 상에 더미 쉬프트 레지스터를 추가로 형성하여 제(N-1) 스테이지 회로부와 제N 스테이지 회로부에 리셋 신호를 제공하는 종래 게이트 구동부와 달리 외부에서 리셋 신호를 생성하여 제(N-1) 스테이지 회로부와 제N 스테이지 회로부에 각각 제공함으로써 액정패널 상에 더미 쉬프트 레지스터를 형성하지 않아도 되므로, 설계 면적을 증가시켜 공정 마진을 확보할 수 있다. 이에 따라 액정패널의 제조 비용을 절감할 수 있다.

[0074] 도 9는 본 발명의 다른 실시예에 따른 GIP 방식을 사용하는 액정표시장치의 양방향 게이트 구동부를 나타내는 도면이다.

[0075] 도 9에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 양방향 게이트 구동부(500)에는 도 7의 타이밍 제어부(400)로부터 제공되는 개시 신호(Vst) 및 리셋 신호(RST)가 직접 입력되므로 개시 신호(Vst) 및 리셋 신호(RST)의 출력 특성이 저하되는 것을 방지할 수 있다.

[0076] 여기서, 게이트 구동부(500)가 순방향으로 동작하는 경우, 도 8의 게이트 구동부(200)와 동일하게 동작하며, 이때에 리셋 신호 생성부(430)로부터 제공되는 리셋 신호(RESET)를 제(N-1) 스테이지 회로부 및 제N 스테이지 회로부의 리셋 신호(RESET)로 사용한다.

[0077] 또한, 게이트 구동부(500)가 역방향으로 동작하는 경우, 제1 스테이지 회로부는 제N 스테이지 회로부, 제2 스테이지 회로부는 제(N-1) 스테이지 회로부, 제N 스테이지 회로부는 제1 스테이지 회로부로 동작하게 된다. 이때, 순방향으로 동작하는 게이트 구동부와 동일하게 리셋 신호 생성부(430)로부터 제공되는 리셋 신호(RESET)를 제(N-1) 스테이지 회로부 및 제N 스테이지 회로부의 리셋 신호(RESET)로 사용한다.

[0078] 상기와 같이, 본 발명의 다른 실시예에 따른 양방향 게이트 구동부는 도 4에서와 같이, 쉬프트 레지스터의 상단 및 하단에 더미 쉬프트 레지스터를 추가로 형성하여 제(N-1) 스테이지 회로부와 제N 스테이지 회로부에 리셋 신호를 제공하는 종래 양방향 게이트 구동부와 달리 외부에서 리셋 신호를 생성하여 제(N-1) 스테이지 회로부와 제N 스테이지 회로부에 각각 제공함으로써 액정패널 상에 더미 쉬프트 레지스터를 형성하지 않아도 되므로, 설계 면적을 증가시켜 공정 마진을 확보할 수 있다. 이에 따라 액정패널의 제조 비용을 절감할 수 있다.

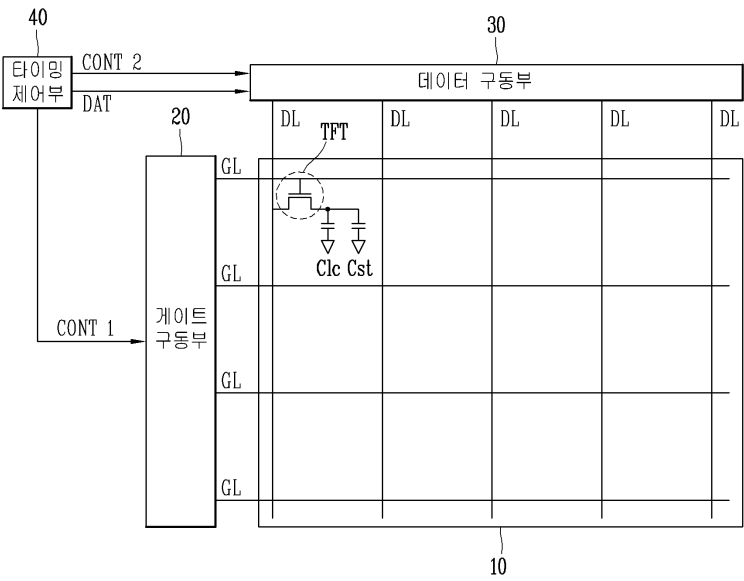
[0079] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

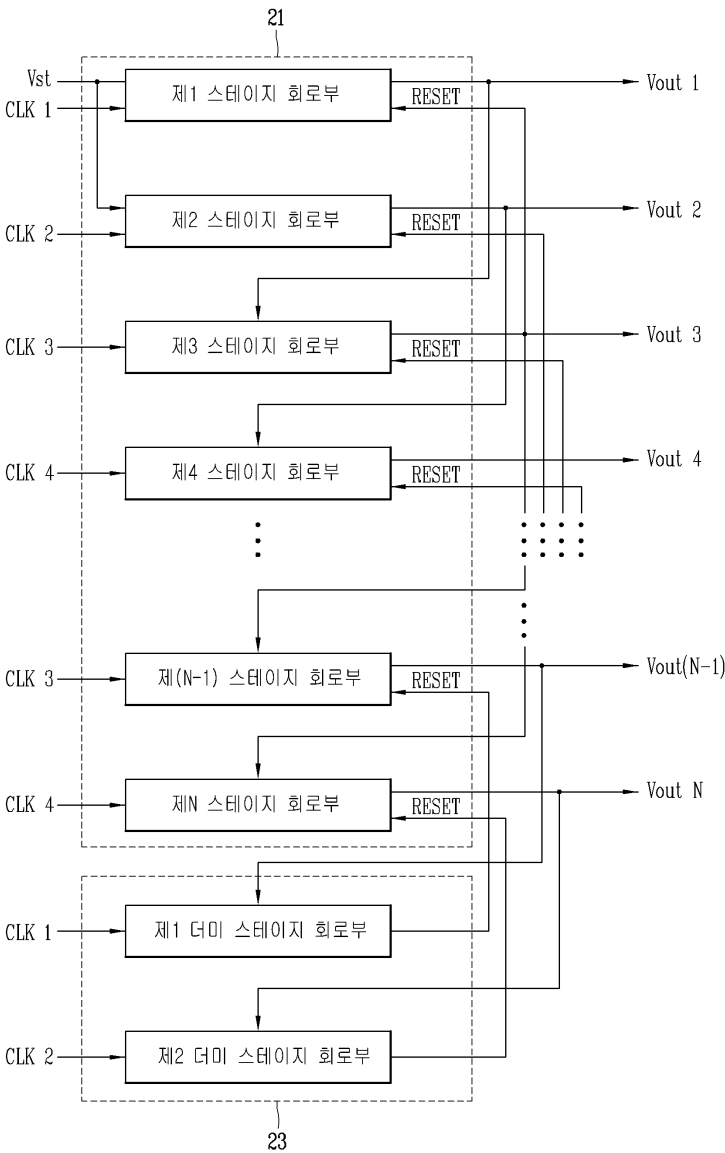
[0080] 100: 액정패널 200: 게이트 구동부
300: 데이터 구동부 400: 타이밍 제어부
430: 리셋 신호 생성부 500: 양방향 게이트 구동부

도면

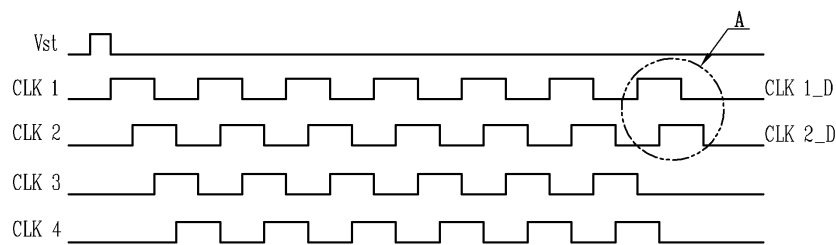
도면1



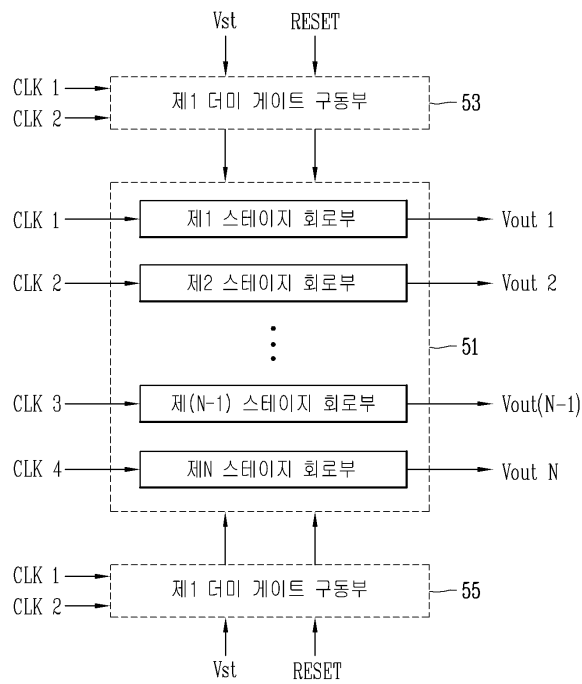
도면2



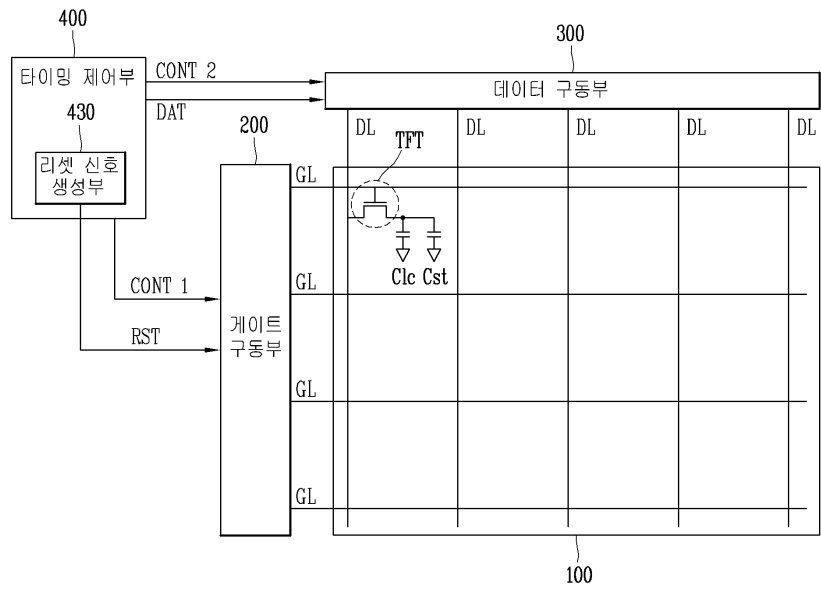
도면3



도면4



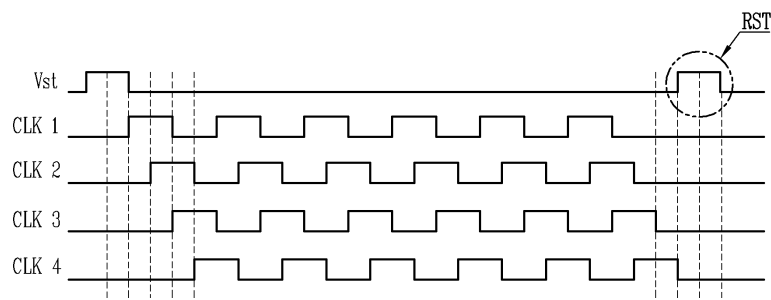
도면5



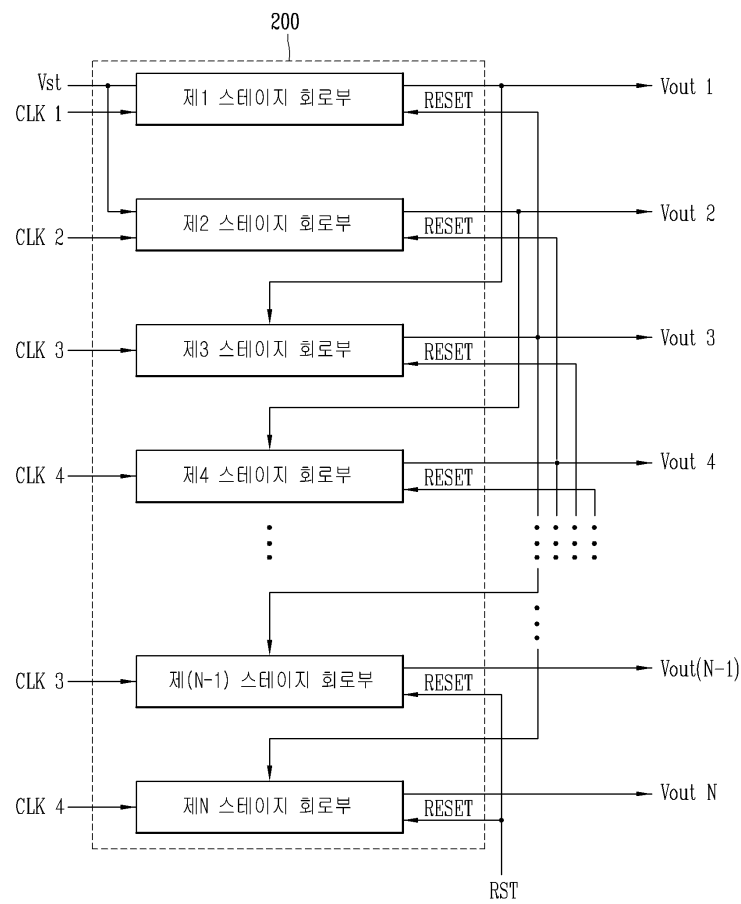
도면6



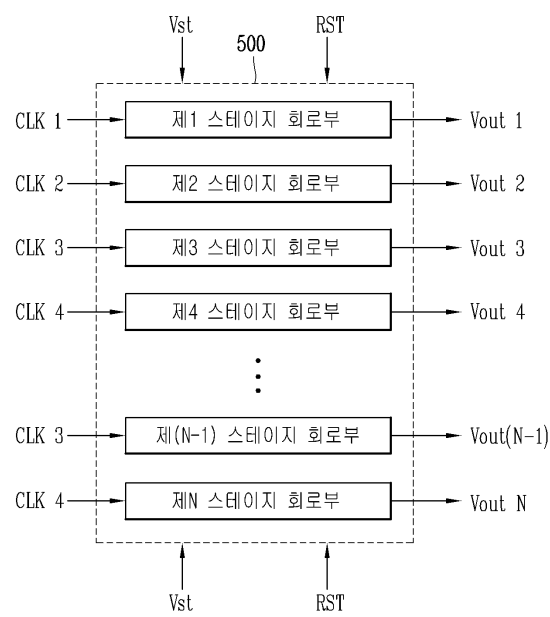
도면7



도면8



도면9



专利名称(译)	栅极驱动器和包括其的液晶显示器		
公开(公告)号	KR101349781B1	公开(公告)日	2014-01-09
申请号	KR1020100063620	申请日	2010-07-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG DO 김영도 CHA JE HEON 차제헌 LEE HYUN JEONG 이현정		
发明人	김영도 차제헌 이현정		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0286 G09G2310/08 G11C19/28		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020120002883A		
外部链接	Espacenet		

摘要(译)

提供一种能够确保设计余量并降低制造成本以提高产量的栅极驱动器。栅极驱动器包括栅极驱动器，该栅极驱动器包括移位寄存器，该移位寄存器包括N级电路部分，用于从外部接收起始信号和第一至第四时钟信号并驱动栅极驱动器，移位寄存器的第 (N-1) 级电路部分，外部提供的复位信号被施加到第N级电路部分的复位端子。

