



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0032261
(43) 공개일자 2020년03월25일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01) G02F 1/1333 (2006.01)
G02F 1/1368 (2006.01) H01L 27/12 (2006.01)
(52) CPC특허분류
G02F 1/13454 (2013.01)
G02F 1/133345 (2013.01)
(21) 출원번호 10-2020-7007826(분할)
(22) 출원일자(국제) 2013년07월10일
심사청구일자 2020년03월17일
(62) 원출원 특허 10-2018-7038087
원출원일자(국제) 2013년07월10일
심사청구일자 2019년01월17일
(85) 번역문제출일자 2020년03월17일
(86) 국제출원번호 PCT/JP2013/069456
(87) 국제공개번호 WO 2014/014039
국제공개일자 2014년01월23일
(30) 우선권주장
JP-P-2012-161344 2012년07월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
호사카 야스하루
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
시마 유키노리
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

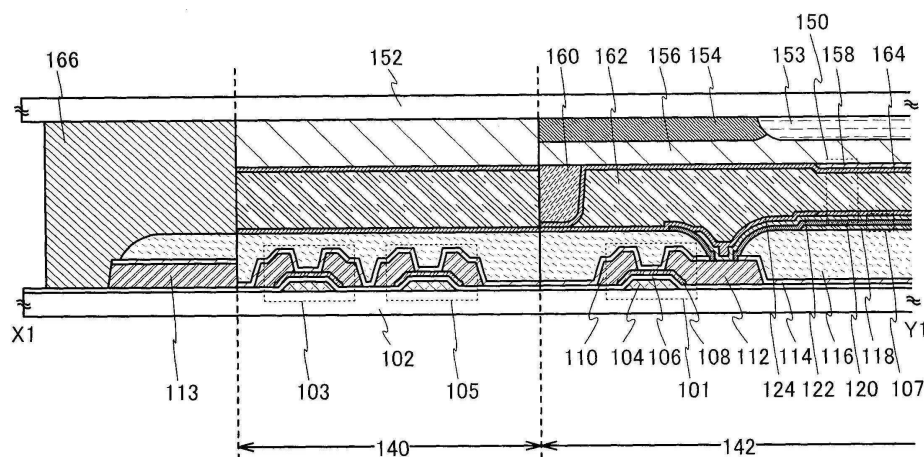
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시 장치, 및 표시 장치를 포함하는 전자 장치

(57) 요약

표시 장치는, 화소부(142) 및 구동 회로부(140)를 포함한다. 화소부는, 제1 트랜지스터(101), 제1 트랜지스터 위의 제1 절연막(114), 제1 절연막 위의 제2 절연막(116), 제2 절연막 위의 제3 절연막(120), 제3 절연막 위의 제1 전극(122), 및 제1 전극 위의 제1 배향막(124)을 포함한다. 구동 회로부는, 제2 트랜지스터(103), 제2 트랜지스터 위의 제1 절연막, 제1 절연막 위의 제2 절연막, 및 제2 절연막 위의 제1 배향막을 포함한다. 제1 절연막은, 무기 절연 재료를 포함한다. 제2 절연막은, 유기 절연 재료를 포함한다. 제3 절연막은, 무기 절연 재료를 포함한다. 제1 배향막은, 전체적으로 구동 회로부 내의 제2 절연막과 접한다.

대표도



(52) CPC특허분류

G02F 1/1368 (2013.01)

H01L 27/1214 (2013.01)

H01L 27/1225 (2013.01)

H01L 27/1248 (2013.01)

(72) 발명자

오카자키 겐이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 슌페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

표시 장치에 있어서,

화소부로서,

제1 트랜지스터;

상기 제1 트랜지스터 위의 제1 절연막;

상기 제1 절연막 위의 제2 절연막으로서, 개구부를 포함하는 상기 제2 절연막;

상기 제2 절연막 위의 제3 절연막;

상기 제3 절연막 위의 픽셀 전극으로서, 상기 개구부를 통해 상기 제1 트랜지스터에 전기적으로 접속되는 상기 픽셀 전극; 및

상기 제3 절연막과 상기 픽셀 전극 위의 제1 배향막

을 포함하는 화소부; 및

구동 회로부로서,

제2 트랜지스터;

상기 제2 트랜지스터 위의 상기 제1 절연막; 및

상기 제1 절연막 위의 상기 제2 절연막

을 포함하는 상기 구동 회로부

를 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각은 채널 형성 영역을 포함하는 산화물 반도체층을 포함하고,

상기 제1 트랜지스터는 상기 산화물 반도체층에 접하는 전극을 더 포함하고,

상기 제3 절연막의 일부는 상기 전극에 접하고,

상기 제3 절연막의 상기 일부는 상기 제2 절연막의 상기 개구부 내에 있고,

상기 제1 절연막은 산화 실리콘막이고,

상기 제2 절연막은 아크릴계 수지막이고,

상기 제3 절연막은 질화 실리콘막이며,

상기 제2 절연막의 일부는 상기 제1 배향막에 접하는, 표시 장치.

청구항 2

표시 장치에 있어서,

화소부로서,

제1 트랜지스터;

상기 제1 트랜지스터 위의 제1 절연막;

상기 제1 절연막 위의 제2 절연막;

상기 제2 절연막 위의 제1 전극;

상기 제2 절연막과 상기 제1 전극 위의 제3 절연막; 및

상기 제3 절연막 위의 제2 전극으로서, 상기 제1 트랜지스터에 전기적으로 접속되는 상기 제2 전극을 포함하는 화소부; 및

구동 회로부로서,

제2 트랜지스터;

상기 제2 트랜지스터 위의 상기 제1 절연막; 및

상기 제1 절연막 위의 상기 제2 절연막

을 포함하는 상기 구동 회로부

를 포함하고,

상기 제3 절연막은 상기 제2 절연막에 제공된 제1 개구부 내에 있고,

상기 제1 절연막은 무기 절연 재료를 포함하고,

상기 제2 절연막은 유기 절연 재료를 포함하고,

상기 제3 절연막은 유기 절연 재료를 포함하며,

상기 구동 회로부는, 상기 제2 절연막이 상기 제3 절연막에 의해 덮이지 않는 영역을 포함하는, 표시 장치.

청구항 3

제2항에 있어서, 상기 제1 개구부의 단부는 상기 제3 절연막과 중첩하는, 표시 장치.

청구항 4

표시 장치로서,

기판 위의 화소부 및 구동 회로부를 포함하고,

상기 화소부는,

제1 트랜지스터;

상기 제1 트랜지스터 위의 제1 절연막;

상기 제1 절연막 위의 제2 절연막으로서, 제1 개구부를 포함하는 상기 제2 절연막;

상기 제2 절연막 위의 제3 절연막;

상기 제3 절연막 위의 화소 전극으로서, 상기 제1 개구부를 통해 상기 제1 트랜지스터에 전기적으로 접속되는 상기 화소 전극; 및

상기 제3 절연막과 상기 화소 전극 위의 제1 배향막;

을 포함하고,

상기 구동 회로부는,

제2 트랜지스터;

상기 제2 트랜지스터 위의 상기 제1 절연막; 및

상기 제1 절연막 위의 상기 제2 절연막

을 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각은 채널 형성 영역을 포함하는 산화물 반도체층을 포함하고,

상기 제3 절연막은 상기 제1 개구부 내의 상기 제2 절연막의 측면에 직접 접하고,

상기 제1 절연막은 무기 절연 재료를 포함하고,
 상기 제2 절연막은 유기 절연 재료를 포함하고,
 상기 제3 절연막은 무기 절연 재료를 포함하며,
 상기 구동 회로부는, 상기 제2 절연막이 상기 제3 절연막에 의해 덮이지 않는 영역을 포함하는, 표시 장치.

청구항 5

제1항 또는 제4항에 있어서,
 상기 제1 배향막 위의 액정층; 및
 상기 액정층 위의 제2 배향막을 더 포함하고,
 상기 제1 배향막과 상기 제2 배향막은 서로 접하는, 표시 장치.

청구항 6

제2항에 있어서,
 상기 제2 전극 위의 제3 전극;
 상기 제3 전극 위의 제4 절연막;
 상기 제4 절연막 위의 착색막; 및
 상기 제4 절연막 위의 차광막을 더 포함하는, 표시 장치.

청구항 7

제2항 또는 제4항에 있어서,
 상기 제1 절연막은, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막, 및 Ga-Zn계 금속 산화물막 중 임의의 것이고,
 상기 제3 절연막은, 질화 실리콘막, 질화산화 실리콘막, 및 산화 알루미늄막 중 임의의 것인, 표시 장치.

청구항 8

제2항 또는 제4항에 있어서,
 상기 제2 절연막은, 아크릴계 수지, 폴리이미드계 수지, 벤조시클로부텐계 수지, 폴리이미드계 수지, 및 에폭시계 수지 중 임의의 것인, 표시 장치.

청구항 9

제2항에 있어서,
 상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각은 산화물 반도체층을 포함하는, 표시 장치.

청구항 10

제5항에 있어서,
 상기 제2 배향막 위의 대향 전극;
 상기 대향 전극 위의 제4 절연막;
 상기 제4 절연막 위의 착색막; 및
 상기 제4 절연막 위의 차광막을 더 포함하는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 패널을 사용하는 표시 장치 또는 유기 EL 패널을 사용하는 표시 장치에 관한 것이다. 또한, 본 발명은 해당 표시 장치를 포함하는 전자 장치에 관한 것이다.

배경 기술

[0002] 최근, 액정 패널을 사용하는 표시 장치 및 유기 EL 패널을 사용하는 표시 장치는 활발하게 개발되고 있다. 이들 표시 장치는, 화소 제어용의 트랜지스터(화소 트랜지스터)만이 기판 위에 형성되고 주사 회로(구동 회로)가 주변 IC에 포함되어 있는 표시 장치와, 화소 트랜지스터와 동일한 기판 위에 주사 회로가 형성되어 있는 표시 장치로 크게 분류된다.

[0003] 표시 장치의 프레임폭 협소화 또는 주변 IC의 비용 저감에 있어서, 구동 회로가 화소 트랜지스터와 일체화되는 표시 장치가, 유효하다. 그러나, 구동 회로에 사용되는 트랜지스터는, 화소 트랜지스터보다도, 높은 전기 특성(예를 들어, 전계 효과 이동도(μFE) 또는 임계값)을 갖도록 요구된다.

[0004] 트랜지스터에 적용가능한 반도체 박막용의 재료로서는, 실리콘계 반도체 재료가 널리 알려져 있다. 다른 재료로서는, 산화물 반도체 재료가 주목받고 있다. 예를 들어, 인듐(In), 갈륨(Ga) 및 아연(Zn)을 함유하고 있으며 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물을 사용하여 반도체 박막이 형성되어 있는 트랜지스터가 개시되어 있다(예를 들어, 특허문헌 1 참조).

[0005] 산화물 반도체를 반도체층에 사용하는 트랜지스터는, 실리콘계 반도체 재료인 비정질 실리콘을 반도체층에 사용하는 트랜지스터보다도 전계 효과 이동도가 크다. 따라서, 산화물 반도체를 사용하는 트랜지스터는, 고속으로 동작할 수 있고, 화소 트랜지스터가 구동 회로와 일체화되어 있는 표시 장치에 적합하게 사용될 수 있다. 그 외에, 산화물 반도체를 사용하는 트랜지스터는, 다결정 실리콘을 반도체층에 사용하는 트랜지스터보다도 제조 공정이 용이하다.

[0006] 그러나, 산화물 반도체를 반도체층에 사용하는 트랜지스터의 문제점은, 산화물 반도체 내에 수소 또는 수분 등의 불순물의 인입이, 캐리어를 생성하고, 해당 트랜지스터의 전기 특성을 변동시킨다는 것이다.

[0007] 상술한 문제를 해결하기 위해서, 트랜지스터의 채널 형성 영역으로서 사용된 산화물 반도체막 내의 수소 원자의 농도를 $1 \times 10^{16} \text{ cm}^{-3}$ 미만으로 함으로써 신뢰성을 향상시킨 트랜지스터가 개시되어 있다(예를 들어, 특허문헌 2).

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 특허 공개 제2006-165528호 공보
(특허문헌 0002) 일본 특허 공개 제2011-139047호 공보

발명의 내용

해결하려는 과제

[0009] 특허문헌 2에도 기재되어 있는 바와 같이, 산화물 반도체막을 반도체층에 사용하는 트랜지스터의 전기 특성을 충분히 유지하기 위해서는, 수소, 수분 등을 해당 산화물 반도체막으로부터 최대한 제거하는 것이 중요하다.

[0010] 또한, 표시 장치의 화소 영역 및 구동 회로 영역의 양쪽에 트랜지스터를 사용하는 경우, 이는 구동 방법에도 의존하지만, 화소 영역에 사용된 트랜지스터에 대한 전기적 부하보다도 구동 회로 영역에 사용된 트랜지스터에 대한 전기적 부하가 크다. 따라서, 구동 회로 영역에 사용된 트랜지스터의 전기 특성이 중요해진다.

[0011] 특히, 산화물 반도체막을 반도체층에 사용하는 트랜지스터를, 화소 영역 및 구동 회로 영역에 사용한 표시 장치에서는, 고온 및 고습 환경 하의 신뢰성 시험에서 발생하는, 구동 회로 영역에 사용된 트랜지스터의 열화가 문제가 되고 있다. 해당 트랜지스터의 열화의 원인은, 트랜지스터 위에 형성된 유기 절연막으로부터, 산화물 반도체막 내로의 수분 등의 인입으로 인해, 반도체층으로서 사용된 산화물 반도체막의 캐리어 밀도가 증가하기 때

문이다.

[0012] 상기의 관점에서, 본 발명의 한 실시 형태의 목적은, 화소 영역 및 구동 회로 영역에 트랜지스터를 포함하는 표시 장치의 전기 특성의 변동을 억제하고, 신뢰성을 향상시키는 것이다. 특히, 본 발명의 한 실시 형태의 목적은, 트랜지스터의 채널 형성 영역에 산화물 반도체막을 사용하는 표시 장치에 있어서, 해당 산화물 반도체막 내로의 수소 또는 수분의 인입을 억제하고, 표시 장치의 전기 특성의 변동을 억제하며, 그 신뢰성을 향상시키는 것이다.

과제의 해결 수단

[0013] 상기 목적들 중 임의의 목적을 달성하기 위해서, 본 발명의 한 실시 형태는, 표시 장치에 있어서, 화소 영역 및 구동 회로 영역에 사용된 트랜지스터를 갖는 트랜지스터의 전기 특성 변동을 억제할 수 있는 구조를 제공한다. 특히, 본 발명의 한 실시 형태는, 트랜지스터의 채널 형성 영역에 산화물 반도체막을 사용하고, 해당 트랜지스터 위에 유기 절연 재료에 의해 형성된 평탄화 막이, 수소 또는 수분이 산화물 반도체막, 특히 구동 회로 영역에 사용된 산화물 반도체막에 인입하기 어렵게 되는 특성의 구조를 갖는 구조를 제공한다. 이 구조는, 보다 구체적으로는 이하와 같다.

[0014] 본 발명의 한 실시 형태는, 화소 전극과 이 화소 전극에 전기적으로 접속되는 적어도 하나의 제1 트랜지스터를 각각 포함하는 복수의 화소가 배열되어 있는 화소 영역과, 화소 영역의 외측에 인접하여 있고, 해당 화소 영역의 각 화소에 포함되는 제1 트랜지스터에 신호를 공급하는 적어도 하나의 제2 트랜지스터를 포함하는 구동 회로 영역이 제공된 제1 기판과, 제1 기판과 대향하게 제공된 제2 기판과, 제1 기판과 제2 기판 간에 삽입된 액정층과, 제1 트랜지스터 및 제2 트랜지스터 위에 무기 절연 재료를 포함하는 제1 층간 절연막과, 제1 층간 절연막 위에 유기 절연 재료를 포함하는 제2 층간 절연막과, 제2 층간 절연막 위에 무기 절연 재료를 포함하는 제3 층간 절연막을 포함하는 표시 장치이다. 이 표시 장치에 있어서, 제3 층간 절연막은 화소 영역의 상부 영역의 일부에 제공되고, 해당 제3 층간 절연막의 단부는 구동 회로 영역보다도 내측에 형성된다.

[0015] 상기 구조에 있어서, 다음이 포함될 수 있다: 화소 전극 위의 제1 배향막; 제1 배향막 위의 액정층; 액정층 위의 제2 배향막; 제2 배향막 위의 대향 전극; 대향 전극 위의 유기 보호 절연막; 유기 보호 절연막 위의 착색막과 차광막; 및 착색막과 차광막 위의 제2 기판.

[0016] 본 발명의 다른 실시 형태는, 화소 전극과 이 화소 전극에 전기적으로 접속되는 적어도 하나의 제1 트랜지스터를 각각 포함하는 복수의 화소가 배열되어 있는 화소 영역과, 화소 영역의 외측에 인접하여 있고, 해당 화소 영역의 각 화소에 포함되는 제1 트랜지스터에 신호를 공급하는 적어도 하나의 제2 트랜지스터를 포함하는 구동 회로 영역이 제공되는 제1 기판과, 제1 기판과 대향하게 제공된 제2 기판과, 제1 기판과 제2 기판 간에 삽입된 발광층과, 제1 트랜지스터 및 제2 트랜지스터 위에 무기 절연 재료를 포함하는 제1 층간 절연막과, 제1 층간 절연막 위에 유기 절연 재료를 포함하는 제2 층간 절연막과, 제2 층간 절연막 위에 무기 절연 재료를 포함하는 제3 층간 절연막을 포함하는 표시 장치이다. 이 표시 장치에 있어서, 제3 층간 절연막은 화소 영역의 상부 영역의 일부에 제공되고, 해당 제3 층간 절연막의 단부는 구동 회로 영역보다도 내측에 형성된다.

[0017] 상기 구조에 있어서는, 화소 전극 위의 발광층과, 이 발광층 위의 전극이 포함될 수 있다.

[0018] 또한, 상기 구조들 중 임의의 구조에 있어서, 제3 층간 절연막은, 질화 실리콘막, 질화산화 실리콘막(silicon nitride oxide film), 및 산화 알루미늄막 중에서 선택된 하나인 것이 바람직하다.

[0019] 또한, 상기 구조들 중 임의의 구조에 있어서, 제1 트랜지스터 및 제2 트랜지스터의 각각의 채널 형성 영역에 포함된 반도체 재료가 산화물 반도체인 것이 바람직하다. 또한, 제1 트랜지스터 및 제2 트랜지스터 각각은, 게이트 전극과, 이 게이트 전극 위에 산화물 반도체를 포함하는 반도체층과, 이 반도체층 위의 소스 전극 및 드레인 전극을 포함하는 것이 바람직하다.

[0020] 본 발명의 한 실시 형태는, 상기 구조들 중 임의의 구조를 갖는 표시 장치를 포함하는 전자 장치를 그 범주에 포함한다.

발명의 효과

[0021] 화소 영역 및 구동 회로 영역에 트랜지스터를 포함하는 표시 장치의 전기 특성의 변동이 억제될 수 있고, 표시 장치의 신뢰성이 향상될 수 있다. 특히, 트랜지스터의 채널 형성 영역에 산화물 반도체막을 사용하는 표시 장치에 있어서, 해당 산화물 반도체막 내로의 수소 또는 수분의 인입이 억제될 수 있고, 표시 장치의 전기 특성의

변동이 억제될 수 있으며, 그 신뢰성이 향상될 수 있다.

도면의 간단한 설명

[0022] 첨부 도면에서,

도 1a 내지 도 1c는 표시 장치의 한 모드의 상면을 도시한다.

도 2는 표시 장치의 한 모드의 단면을 도시한다.

도 3은 표시 장치의 한 모드의 상면을 도시한다.

도 4는 표시 장치의 한 모드의 단면을 도시한다.

도 5a 및 도 5b는 본 발명의 한 실시 형태에 관한 이미지 센서를 갖는 표시 장치의 일례의 회로도 및 단면도를 도시한다.

도 6a 내지 도 6c는 본 발명의 한 실시 형태에 관한 테이블릿형 단말기의 일례를 도시한다.

도 7a 내지 도 7c는 본 발명의 한 실시 형태에 관한 전자 장치의 일례를 각각 도시한다.

도 8은 질량 전하비에 대한 방출 가스의 이온 강도를 도시한다.

도 9는 각 질량 전하비에 대해서 기판 표면 온도에 대한 이온 강도를 도시한다.

도 10은 관측된 시료의 단면 이미지를 도시한다.

도 11a 및 도 11b는 시료의 전기 특성을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하에서는, 본 발명의 실시 형태에 대해서 도면을 사용해서 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 정신 및 범위를 벗어나지 않는 한, 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 실시 형태의 기재 내용에 한정해서 해석되는 것이 아니다.

[0024] 이하에 설명하는 실시 형태에 있어서, 동일한 구성 요소는 도면 전체적으로 동일한 참조 번호로 표시될 수 있다. 도면에서 나타내는 구성 요소, 즉 층, 영역 등의 두께, 폭, 상대적인 위치 등은, 실시 형태의 설명에 있어서 명확성을 위해서 일부 경우에 과장된다는 점에 유의해야 한다.

[0025] 이러한 명세서 등에 있어서, "전극"이나 "배선"의 용어는, 구성 요소의 기능을 한정하지 않는다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그의 반대의 경우도 마찬가지이다. 또한, "전극"이나 "배선"의 용어는, 복수의 "전극"이나 "배선"이 일체로 되어서 형성되어 있는 경우를 포함할 수 있다.

[0026] 또한, 본 명세서 등에 있어서, 질화산화 실리콘막은, 질소, 산소 및 실리콘을 성분으로서 함유하고, 질소의 함유량이 산소의 함유량보다도 많은 막이다. 또한, 산화질화 실리콘막(silicon oxynitride film)은, 산소, 질소 및 실리콘을 성분으로서 함유하고, 산소의 함유량이 질소의 함유량보다도 많은 막이다.

[0027] 예를 들어, "소스" 및 "드레인"의 기능은, 반대 극성의 트랜지스터를 사용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우에는 서로 교체되는 경우가 있다. 따라서, 본 명세서 등에 있어서는, "소스" 및 "드레인"의 용어는, 각각 드레인 및 소스를 나타내는데 사용될 수 있다.

[0028] (실시 형태 1)

[0029] 본 실시 형태에서는, 표시 장치의 한 모드로서, 액정 패널을 사용하는 표시 장치에 대해서, 도 1a 내지 도 1c 및 도 2를 사용해서 설명한다.

[0030] 도 1a 내지 도 1c는, 표시 장치의 한 모드로서, 표시 장치의 상면도를 나타낸다. 도 1a, 도 1b 및 도 1c는, 각각, 표시 장치 전체, 표시 장치의 구동 회로부의 일부분, 및 화소 영역의 일부분의 상면도를 나타낸다는 점에서 유의해야 한다. 또한, 도 2는, 도 1a에 있어서의 선 X1-Y1을 따라 취한 단면도에 해당한다.

[0031] 도 1a에 나타내는 표시 장치에 있어서, 제1 기판(102) 위에 제공되는 화소 영역(142)과, 이 화소 영역(142)의 외측에 인접하여, 해당 화소 영역(142)에 신호를 공급하는 구동 회로 영역인 게이트 드라이버 회로부(140) 및

소스 드라이버 회로부(144)를 둘러싸도록 시일재(166)가 제공되고; 제2 기관(152)에 의해 밀봉이 행해진다. 화소 영역(142)과, 게이트 드라이버 회로부(140) 및 소스 드라이버 회로부(144)가 제공되어 있는 제1 기관(102)과 대향하도록 제2 기관(152)이 제공된다. 따라서, 화소 영역(142), 게이트 드라이버 회로부(140), 및 소스 드라이버 회로부(144)는, 제1 기관(102), 시일재(166), 및 제2 기관(152)에 의해, 표시 소자와 함께 밀봉되어 있다.

[0032] 도 1a에 있어서는, 제1 기관(102) 위에서, 시일재(166)에 의해 둘러싸여 있는 영역과는 다른 영역에는, 화소 영역(142), 게이트 드라이버 회로부(140), 및 소스 드라이버 회로부(144)에 전기적으로 접속되어 있는 플렉시블 인쇄 회로(FPC: Flexible Printed Circuit) 단자부(146)가 제공되어 있다. FPC 단자부(146)에는, FPC(148)가 접속되어 있다. 화소 영역(142), 게이트 드라이버 회로부(140) 및 소스 드라이버 회로부(144)에 부여된 신호 및 전위는, FPC(148)를 통해 공급된다.

[0033] 도 1a에 있어서는, 게이트 드라이버 회로부(140) 및 소스 드라이버 회로부(144)가 화소 영역(142)이 형성되어 있는 제1 기관(102) 위에 형성된 예를 나타내고 있지만, 이러한 구조가 본 발명을 한정하지는 않는다. 예를 들어, 소스 드라이버 회로가 형성되어 있는 추가 제공된 기관(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기관)이 제1 기관(102) 위에 실장되도록, 게이트 드라이버 회로부(140)만이 제1 기관(102) 위에 형성될 수 있다.

[0034] 도 1a에 있어서는, 2개의 게이트 드라이버 회로부(140)가 화소 영역(142)의 양측에 배치되는 구조가 예시되어 있지만, 이러한 구조가 본 발명을 한정하지는 않는다. 예를 들어, 화소 영역(142)의 한측에만 게이트 드라이버 회로부(140)가 배치될 수 있다.

[0035] 추가 제공된 구동 회로 기관의 접속 방법에 대한 특별한 제한은 없으며; 칩 온 글래스(COG: Chip On Glass) 방법, 와이어 본딩 방법, 또는 테이프 자동 본딩 (TAB: Tape Automated Bonding) 방법 등이 사용될 수 있다. 또한, 표시 장치는, 표시 소자가 밀봉되어 있는 패널과, 이 패널 위에 컨트롤러를 포함하는 IC 등이 실장되어 있는 모듈을 포함한다.

[0036] 이와 같이, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체는, 화소 영역(142)이 형성되어 있는 제1 기관(102) 위에 형성될 수 있어, 시스템-온-패널이 얻어질 수 있다.

[0037] 도 1c에 있어서는, 화소 영역(142)에는, 제1 트랜지스터(101) 및 용량 소자(107)가 형성되어 있다. 제1 트랜지스터(101)에 있어서, 게이트 전극(104), 소스 전극(110) 및 드레인 전극(112)이, 반도체층(108)에 전기적으로 접속되어 있다. 도 1c의 평면도에는 도시하지 않지만, 제1 트랜지스터(101) 위에는, 무기 절연 재료를 사용하여 형성된 제1 층간 절연막과, 제1 층간 절연막 위에 유기 절연 재료를 사용하여 형성된 제2 층간 절연막과, 제2 층간 절연막 위에 무기 절연 재료를 사용하여 형성된 제3 층간 절연막이, 형성되어 있다. 용량 소자(107)는, 용량 전극(118)과, 용량 전극(118) 위에 형성된 제3 층간 절연막과, 제3 층간 절연막 위에 형성된 화소 전극(122)을 포함한다.

[0038] 도 1b에 있어서는, 구동 회로 영역인 게이트 드라이버 회로부(140)에는, 제2 트랜지스터(103) 및 제3 트랜지스터(105)가 형성되어 있다. 게이트 드라이버 회로부(140) 내의 각 트랜지스터에 있어서는, 게이트 전극(104), 소스 전극(110) 및 드레인 전극(112)이, 반도체층(108)에 전기적으로 접속되어 있다. 게이트 드라이버 회로부(140)에 있어서는, 게이트 전극(104)을 포함하는 게이트선이 수평 방향으로 연장되고, 소스 전극(110)을 포함하는 소스선이 수직 방향으로 연장되고, 드레인 전극(112)을 포함하는 드레인선이 소스 전극과 이격해서 수직 방향으로 연장되고 있다.

[0039] 제2 트랜지스터(103) 및 제3 트랜지스터(105)를 포함하는 게이트 드라이버 회로부(140)는, 화소 영역(142)의 각 화소에 포함되는 제1 트랜지스터(101)에 신호를 공급할 수 있다.

[0040] 각종 신호의 제어, 전압의 승압 등을 행하기 위해서, 게이트 드라이버 회로부(140)에 있어서의 제2 트랜지스터(103) 및 제3 트랜지스터(105)는, 비교적 높은 전압, 구체적으로는, 10V 내지 30V 정도의 전압을 필요로 한다. 대조적으로, 화소 영역(142)에 있어서의 제1 트랜지스터(101)는, 화소의 스위칭을 위해서만 사용되기 때문에, 수 V 내지 20V 정도의 전압에서 구동될 수 있다. 따라서, 게이트 드라이버 회로부(140)에 있어서의 제2 트랜지스터(103) 및 제3 트랜지스터(105)에 부여되는 스트레스는, 화소 영역(142)에 있어서의 제1 트랜지스터(101)에 부여되는 스트레스보다 매우 크다.

[0041] 도 1a 내지 도 1c에 나타내는 표시 장치의 구조를 보다 구체적으로 설명하기 위해서, 도 1a 내지 도 1c에 있어서의 선 X1-Y1을 따라 취한 단면도에 상당하는 도 2를 사용하여, 게이트 드라이버 회로부(140) 및 화소 영역

(142)의 구조에 대해서, 이하 설명한다.

- [0042] 화소 영역(142)에 있어서는, 제1 기판(102)과, 제1 기판(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 게이트 절연막(106)과, 게이트 절연막(106)과 접하고, 게이트 전극(104)과 중첩하여 제공된 반도체층(108)과, 게이트 절연막(106) 및 반도체층(108) 위에 형성된 소스 전극(110) 및 드레인 전극(112)에 의해, 제1 트랜지스터(101)가 형성된다.
- [0043] 또한, 화소 영역(142)은, 제1 트랜지스터(101) 위에, 보다 구체적으로는 게이트 절연막(106), 반도체층(108), 소스 전극(110) 및 드레인 전극(112) 위에 무기 절연 재료를 사용하여 형성된 제1 층간 절연막(114)과, 제1 층간 절연막(114) 위에 유기 절연 재료를 사용하여 형성된 제2 층간 절연막(116)과, 제2 층간 절연막(116) 위에 형성된 용량 전극(118)과, 제2 층간 절연막(116) 및 용량 전극(118) 위에 무기 절연 재료를 사용하여 형성된 제3 층간 절연막(120)과, 제3 층간 절연막(120) 위에 형성된 화소 전극(122)을 포함한다.
- [0044] 용량 전극(118), 제3 층간 절연막(120) 및 화소 전극(122)에 의해, 용량 소자(107)가 형성되어 있다는 점에 유의해야 한다. 용량 전극(118), 제3 층간 절연막(120) 및 화소 전극(122)은, 가시광의 투광성을 갖는 재료를 사용하여 형성되는 것이 바람직한데, 이 경우에, 화소 영역의 개구율을 감소시키지 않고 큰 용량이 확보될 수 있다.
- [0045] 화소 영역(142)은, 화소 전극(122) 위에, 제1 배향막(124)과, 제1 배향막(124) 위에 제공된 액정층(162)과, 액정층(162) 위에 제공된 제2 배향막(164)과, 제2 배향막(164) 위에 제공된 대향 전극(158)과, 대향 전극(158) 위에 제공된 유기 보호 절연막(156)과, 유기 보호 절연막(156) 위에 제공된 착색막(153) 및 차광막(154)과, 착색막(153) 및 차광막(154) 위에 제공된 제2 기판(152)을 포함한다.
- [0046] 화소 전극(122)과, 제1 배향막(124)과, 액정층(162)과, 제2 배향막(164)과, 대향 전극(158)에 의해, 표시 소자인 액정 소자(150)가 형성되어 있다는 점에 유의해야 한다.
- [0047] 게이트 드라이버 회로부(140)에 있어서, 제1 기판(102)과, 제1 기판(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 게이트 절연막(106)과, 게이트 절연막(106)과 접하고, 게이트 전극(104)과 중첩하도록 제공된 반도체층(108)과, 게이트 절연막(106) 및 반도체층(108) 위에 형성된 소스 전극(110) 및 드레인 전극(112)에 의해, 제2 트랜지스터(103) 및 제3 트랜지스터(105)가 형성되어 있다.
- [0048] 또한, 게이트 드라이버 회로부(140)는, 제2 트랜지스터(103) 및 제3 트랜지스터(105) 위에, 구체적으로는 게이트 절연막(106), 반도체층(108), 소스 전극(110) 및 드레인 전극(112) 위에 형성된 제1 층간 절연막(114)과, 제1 층간 절연막(114) 위에 형성된 제2 층간 절연막(116)을 포함한다.
- [0049] 즉, 제3 층간 절연막(120)은, 화소 영역(142)의 상부 영역의 일부에 제공되고, 제3 층간 절연막(120)의 단부는, 구동 회로 영역인 게이트 드라이버 회로부(140)보다도 내측에 형성된다.
- [0050] 상기 구조는, 외부로부터 도입되는 수분 또는 표시 장치 내부에서 발생한 수분, 수소 등의 가스를, 게이트 드라이버 회로부(140)의 제2 층간 절연막(116)의 상부에 방출할 수 있게 한다. 따라서, 제1 트랜지스터(101), 제2 트랜지스터(103) 및 제3 트랜지스터(105) 내부에 수분, 수소 등의 가스가 도입되는 것을 억제할 수 있다.
- [0051] 유기 절연 재료를 사용하여 형성되는 제2 층간 절연막(116)에 있어서, 표시 장치에 포함되는 트랜지스터의 요철 등이 저감되도록, 평탄성이 개선된 유기 절연 재료가 필요해진다. 이것은, 트랜지스터의 요철 등의 저감이, 표시 장치의 화질을 향상시킬 수 있게 하기 때문이다. 그러나, 가열 등이 행해질 때, 해당 유기 절연 재료는, 수소, 수분 또는 유기 성분을 가스로서 방출한다.
- [0052] 예를 들어, 반도체층(108)에, 실리콘계 반도체 재료인 실리콘막을 사용하는 트랜지스터에 있어서, 상술한 수소, 수분 또는 유기 성분의 가스가 큰 문제가 될 가능성이 낮다. 그러나, 본 발명의 한 실시 형태에 있어서는, 반도체층(108)은 산화물 반도체막을 사용하여 형성되고, 따라서 유기 절연 재료를 사용하여 형성된 제2 층간 절연막(116)으로부터의 가스를 외부에 적절하게 방출시킬 필요가 있다. 반도체층(108)이 산화물 반도체막을 사용하여 형성되는 경우에, 제3 층간 절연막(120)의 단부가, 구동 회로 영역인 게이트 드라이버 회로부(140)보다도 내측에 형성되는 구조는, 우수한 효과를 갖는다는 점에 유의해야 한다. 또한, 산화물 반도체 이외의 재료(예를 들어, 실리콘계 반도체 재료인 비정질 실리콘 또는 결정성 실리콘)를 사용하여 형성된 반도체층(108)을 갖는 트랜지스터에 있어서도, 유사한 효과가 얻어진다.
- [0053] 본 실시 형태에 있어서는, 유기 절연 재료를 사용하여 형성된 제2 층간 절연막(116) 위에, 무기 절연 재료를 사용하여 형성된 제3 층간 절연막(120)은, 용량 소자(107)의 유전체로서 사용된다. 또한, 무기 절연 재료를 사용

하여 형성된 제3 층간 절연막(120)은, 외부로부터 제2 층간 절연막(116) 내에 수소, 수분 등의 인입을 억제할 수 있다.

[0054] 그러나, 제3 층간 절연막(120)이, 게이트 드라이버 회로부(140)에 사용되는 제2 트랜지스터(103) 및 제3 트랜지스터(105) 위의 제2 층간 절연막(116) 위에 형성되면, 제2 층간 절연막(116) 내의 유기 절연 재료로부터 방출된 가스는, 외부에 확산될 수 없어, 제2 트랜지스터(103) 및 제3 트랜지스터(105) 내부에 인입된다.

[0055] 상술한 유기 절연 재료로부터 방출된 가스가, 트랜지스터의 반도체층(108)에 사용된 산화물 반도체에 인입되면, 가스는 산화물 반도체막 내로 불순물로서 도입된다. 이는, 반도체층(108)을 사용하는 트랜지스터의 특성을 변동시킨다.

[0056] 대조적으로, 도 2에 도시한, 게이트 드라이버 회로부(140)에 사용되는 제2 트랜지스터(103) 및 제3 트랜지스터(105) 위에 제3 층간 절연막(120)이 개구된 구조, 즉 제3 층간 절연막(120)이, 화소 영역(142)의 일부에 제공되고, 제3 층간 절연막(120)의 단부가 게이트 드라이버 회로부(140)보다도 내측에 형성되는 구조에 있어서, 제2 층간 절연막(116)으로부터 방출된 가스는, 외부에 확산할 수 있다.

[0057] 또한, 도 2에 도시한 바와 같이, 화소 영역(142)에 사용된 제1 트랜지스터(101)에 있어서도, 반도체층(108)과 중첩하는 무기 절연 재료를 사용하여 형성된 제3 층간 절연막(120)의 일부를 제거하는 것이 바람직하다. 이러한 구조는, 유기 절연 재료를 사용하여 형성된 제2 층간 절연막(116)으로부터 방출된 가스가, 제1 트랜지스터(101) 내에 인입되는 것을 억제할 수 있다.

[0058] 여기서, 도 1a 내지 도 1c 및 도 2에 도시하는 표시 장치의 다른 구성 요소에 대해서, 이하 상세하게 설명한다.

[0059] 제1 기판(102) 및 제2 기판(152)에 대해서는, 알루미늄실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리 등의 유리 재료가 사용된다. 대량 생산에 있어서, 제1 기판(102) 및 제2 기판(152)에 대해서는, 다음의 사이즈들 중 임의의 사이즈를 갖는 마더 유리를 사용하는 것이 바람직하다: 제8 세대(2160mm×2460mm), 제9 세대(2400mm×2800mm 또는 2450mm×3050mm), 제10 세대(2950mm×3400mm) 등. 고온 처리 온도 및 장기간 처리 시간은, 마더 유리를 대폭으로 수축시킨다. 따라서, 마더 유리를 사용해서 양산을 행하는 경우, 제조 공정에서의 가열 처리는, 바람직하게는 600℃ 이하, 더욱 바람직하게는 450℃ 이하, 더욱 바람직하게는 350℃ 이하에서 행하는 것이 바람직하다.

[0060] 제1 기판(102) 및 게이트 전극(104)의 사이에 하지 절연막을 제공될 수 있다는 점에 유의해야 한다. 하지 절연막으로서, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막, 산화 갈륨막, 산화 하프늄막, 산화 이트륨막, 산화 알루미늄막, 산화질화 알루미늄막 등이 예로서 주어질 수 있다. 하지 절연막으로서, 질화 실리콘막, 산화 갈륨막, 산화 하프늄막, 산화 이트륨막, 산화 알루미늄막 등을 사용하면, 제1 기판(102)으로부터 알칼리 금속, 물, 수소 등의 불순물이 반도체층(108) 내에 인입되는 것을 억제할 수 있다는 점에 유의해야 한다.

[0061] 게이트 전극(104)에 대해서는, 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴 및 텅스텐으로부터 선택된 금속 원소, 상술한 금속 원소들 중 임의의 것을 성분으로서 함유하는 합금, 또는 상술한 금속 원소를 조합하여 함유하는 합금 등이, 사용될 수 있다. 망간 및 지르코늄의 금속 원소 중 하나 또는 둘 다 사용될 수 있다. 또한, 게이트 전극(104)은, 단층 구조, 또는 2층 이상의 적층 구조를 가질 수 있다. 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되는 2층 구조, 질화 티타늄막 위에 티타늄막이 적층되는 2층 구조, 질화 티타늄막 위에 텅스텐막이 적층되는 2층 구조, 질화 탄탈막 또는 질화 텅스텐막 위에 텅스텐막이 적층되는 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이 순서대로 적층되는 3층 구조 등이, 예로서 주어질 수 있다. 대안적으로, 알루미늄과, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소를 함유하는 막, 합금막, 또는 질화막이 사용될 수 있다.

[0062] 게이트 전극(104)은, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하여 형성될 수도 있다. 상기 투광성을 갖는 도전성 재료 및 상기 금속 원소를 사용하여 형성된 적층 구조를 사용할 수도 있다.

[0063] 또한, 게이트 전극(104)과 게이트 절연막(106)과의 사이에는, In-Ga-Zn계 산질화물 반도체막, In-Sn계 산질화물 반도체막, In-Ga계 산질화물 반도체막, In-Zn계 산질화물 반도체막, Sn계 산질화물 반도체막, In계 산질화물 반도체막, 금속 질화막(InN 또는 ZnN 등) 등이 제공될 수 있다. 이들 막은 각각, 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 갖는데, 이는 산화물 반도체의 전자 친화력보다도 크다. 따라서, 산화물 반도체를 사용하는

트랜지스터의 문턱 전압은, 양의 방향으로 시프트될 수 있고, 소위 노멀리 오프의 스위칭 소자가 달성될 수 있다. 예를 들어, In-Ga-Zn계 산질화물 반도체막으로서는, 적어도 반도체층(108)보다 높은 질소 농도, 구체적으로는 7 원자% 이상의 질소 농도를 갖는 In-Ga-Zn계 산질화물 반도체막이 사용된다.

[0064] 게이트 절연막(106)으로서는, 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막 또는 Ga-Zn계 금속 산화물막 등의 적층 또는 단층이 제공될 수 있다. 반도체층(108)과의 계면 특성을 향상시키기 위해서는, 게이트 절연막(106)에 있어서의, 적어도 반도체층(108)과 접하는 영역은, 산화 절연막으로 형성되는 것이 바람직하다.

[0065] 또한, 게이트 절연막(106) 위에, 산소, 수소, 물 등의 차단 효과를 갖는 절연막을 제공함으로써, 반도체층(108)으로부터의 산소의 외부로의 확산과, 외부로부터 반도체층(108) 내로의 수소, 물 등의 인입을 방지할 수 있다. 산소, 수소, 물 등의 차단 효과를 갖는 절연막에 대해서는, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 및 산화질화 하프늄막이, 예로서 주어질 수 있다.

[0066] 게이트 절연막(106)은, 제1 질화 실리콘막으로서, 결함이 적은 질화 실리콘막이 사용되고, 제1 질화 실리콘막 위에 제2 질화 실리콘막으로서, 수소가 적게 방출되고 암모니아가 적게 방출되는 질화 실리콘막이 제공되고, 제2 질화 실리콘막 위에 산화 절연막이 제공되는 적층 구조를 갖도록 형성될 때, 결함이 적으면서 수소가 적게 방출되고 암모니아가 적게 방출되는 게이트 절연막으로서 형성될 수 있다. 따라서, 게이트 절연막(106) 내에 포함되는 수소 및 질소가, 반도체층(108)으로 이동하는 것이, 억제될 수 있다.

[0067] 게이트 절연막(106)으로서 질화 실리콘막의 사용은, 이하의 효과를 갖는다. 산화 실리콘막에 비해서, 질화 실리콘막은, 비유전율이 높으며, 동등한 정전 용량을 얻기 위해 큰 두께를 필요로 한다. 따라서, 게이트 절연막의 물리적 두께는 커질 수 있다. 따라서, 제1 트랜지스터(101), 제2 트랜지스터(103) 및 제3 트랜지스터(105)의 내압의 저하가 억제되고 내압이 향상되어, 표시 장치에 사용된 트랜지스터의 정전 파괴가 억제될 수 있다.

[0068] 또한, 게이트 전극(104)에 구리가 사용되고, 게이트 전극(104)에 접하는 게이트 절연막(106)으로서 질화 실리콘막이 사용되는 경우, 구리와 암모니아 분자들 사이의 반응이 억제될 수 있도록, 질화 실리콘막으로부터 가열에 의해 방출된 암모니아 분자의 수가 가능한 한 저감되는 것이 바람직하다.

[0069] 산화물 반도체막을 반도체층(108)에 사용하는 트랜지스터에 있어서, 산화물 반도체막과 게이트 절연막과의 계면에서의 또는 게이트 절연막 내의 포획 준위(계면 준위라고도 함)는, 트랜지스터의 문턱 전압을, 대표적으로는 음의 방향으로 시프트시키고, 서브스레시홀드 스윙(S 값)을 증대시키는데, 이 서브스레시홀드 스윙(S 값)은 트랜지스터가 온 상태로 될 때 드레인 전류를 한 자릿수 변경시키는데 필요한 게이트 전압을 나타낸다. 이 결과, 트랜지스터 간의 전기 특성이 변동된다고 하는 문제가 있다. 따라서, 결함이 적은 질화 실리콘막을 게이트 절연막으로서 사용함으로써, 문턱 전압의 음의 방향으로의 시프트 및 트랜지스터 간의 전기 특성의 변동이 저감될 수 있다.

[0070] 게이트 절연막(106)은, 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄 알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 하프늄, 또는 산화 이트륨 등의 high-k 재료를 사용하여 형성될 수 있어, 트랜지스터의 게이트 누설이 저감될 수 있다.

[0071] 게이트 절연막(106)의 두께는, 바람직하게는 5nm 이상 400nm 이하, 보다 바람직하게는 10nm 이상 300nm 이하, 보다 바람직하게는 50nm 이상 250nm 이하이다.

[0072] 산화물 반도체는, 적어도 인듐(In) 또는 아연(Zn) 또는 In과 Zn의 양쪽을 포함하는 바람직한 반도체층(108)에 사용된다. 산화물 반도체를 사용하는 트랜지스터 간의 전기 특성의 변동을 저감시키기 위해서, 산화물 반도체는 In 또는 Zn 이외에, 하나 이상의 스테빌라이저를 포함하는 것이 바람직하다.

[0073] 스테빌라이저의 예로서는, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 등이 있다. 다른 스테빌라이저의 예로서는, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 및 루테튬(Lu) 등의 란타노이드가 있다.

[0074] 산화물 반도체로서는, 예를 들어, 다음의 재료들 중 임의의 재료가 사용될 수 있다: 산화 인듐, 산화 주석, 산화 아연, In-Zn계 금속 산화물, Sn-Zn계 금속 산화물, Al-Zn계 금속 산화물, Zn-Mg계 금속 산화물, Sn-Mg계 금속 산화물, In-Mg계 금속 산화물, In-Ga계 금속 산화물, In-W계 금속 산화물, In-Ga-Zn계 금속 산화물(IGZO라고

도 표기함), In-Al-Zn계 금속 산화물, In-Sn-Zn계 금속 산화물, Sn-Ga-Zn계 금속 산화물, Al-Ga-Zn계 금속 산화물, Sn-Al-Zn계 금속 산화물, In-Hf-Zn계 금속 산화물, In-La-Zn계 금속 산화물, In-Ce-Zn계 금속 산화물, In-Pr-Zn계 금속 산화물, In-Nd-Zn계 금속 산화물, In-Sm-Zn계 금속 산화물, In-Eu-Zn계 금속 산화물, In-Gd-Zn계 금속 산화물, In-Tb-Zn계 금속 산화물, In-Dy-Zn계 금속 산화물, In-Ho-Zn계 금속 산화물, In-Er-Zn계 금속 산화물, In-Tm-Zn계 금속 산화물, In-Yb-Zn계 금속 산화물, In-Lu-Zn계 금속 산화물, In-Sn-Ga-Zn계 금속 산화물, In-Hf-Ga-Zn계 금속 산화물, In-Al-Ga-Zn계 금속 산화물, In-Sn-Al-Zn계 금속 산화물, In-Sn-Hf-Zn계 금속 산화물, 및 In-Hf-Al-Zn계 금속 산화물.

- [0075] 예를 들어, In-Ga-Zn계 금속 산화물은, In, Ga 및 Zn을 주성분으로서 함유하는 산화물을 의미하며, Ga와 Zn에 대한 In의 비율에 대한 특별한 제한은 없다는 점에 유의해야 한다. In-Ga-Zn계 금속 산화물은, In, Ga 및 Zn 이외의 금속 원소를 함유할 수 있다.
- [0076] 대안적으로, 산화물 반도체로서는, $\text{InM}_3(\text{ZnO})_m$ (m은 0보다 크고, 정수가 아님)으로 표기되는 재료를 사용될 수 있다. M은, Ga, Fe, Mn 및 Co로부터 선택된 1개 이상의 금속 원소를 나타낸다는 점에 유의해야 한다. 대안적으로, 산화물 반도체로서는, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ (n은 0보다 큰 정수)으로 표기되는 재료를 사용할 수 있다.
- [0077] 예를 들어, 원자수비가 1:1:1(=1/3:1/3:1/3), 2:2:1(=2/5:2/5:1/5), 또는 3:1:2(=1/2:1/6:1/3)인 In, Ga 및 Zn을 함유하는 In-Ga-Zn계 금속 산화물, 또는 그 조성이 상기 조성 근방인 산화물들 중 임의의 산화물을 사용할 수 있다. 대안적으로, 원자수비가 1:1:1(=1/3:1/3:1/3), 2:1:3(=1/3:1/6:1/2), 또는 2:1:5(=1/4:1/8:5/8)인 In, Sn 및 Zn을 함유하는 In-Sn-Zn계 금속 산화물을 사용할 수 있다. 산화물 반도체막의 원자수비에 있어서의 각 원자의 비율은, 오차로서 $\pm 20\%$ 의 범위에서 변동할 수 있다는 점에 유의해야 한다.
- [0078] 그러나, 그 조성은 이들에 한정되지 않고, 필요로 하는 반도체 특성 및 전기 특성(예를 들면, 전계 효과 이동도, 문턱 전압, 및 변동)에 따라서 적절한 조성을 갖는 재료를 사용할 수 있다. 필요로 하는 반도체 특성을 얻기 위해서는, 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절하게 설정하는 것이 바람직하다.
- [0079] 예를 들어, In-Sn-Zn계 금속 산화물이 사용되는 경우에는 비교적 용이하게 높은 이동도가 얻어질 수 있다. In-Ga-Zn계 금속 산화물이 사용되는 경우에 있어서도, 벌크내 결함 밀도를 낮춤으로써 전계 효과 이동도를 높일 수 있다.
- [0080] 또한, 반도체층(108)에 사용될 수 있는 금속 산화물의 에너지 갭은, 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 이러한 넓은 에너지 갭을 갖는 산화물 반도체막을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0081] 이어서, 반도체층(108)으로서 사용할 수 있는 산화물 반도체막의 구조에 대해서 설명한다.
- [0082] 산화물 반도체막은, 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 크게 구별된다. 비단결정 산화물 반도체막은, c-축 정렬 결정 산화물 반도체(CAAC-OS: c-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등 중에서 임의의 것을 포함한다.
- [0083] 여기에서는, CAAC-OS막에 대해서 설명한다.
- [0084] CAAC-OS막은, 복수의 결정부를 갖는 산화물 반도체막 중 하나이며, 각 결정부의 대부분은 1변이 100nm 미만인 입방체 내에 수용된다. 따라서, CAAC-OS막에 포함되는 결정부가, 1변이 10nm 미만, 5nm 미만 또는 3nm 미만인 입방체 내에 수용되는 경우가 있다.
- [0085] CAAC-OS막의 투과형 전자 현미경(TEM: Transmission Electron Microscope) 이미지에 있어서, 결정부 간의 경계, 즉 결정립계가 명확하게 확인되지 않는다. 따라서, CAAC-OS막에 있어서, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0086] 시료면에 대략 평행한 방향에서 관측된 CAAC-OS막의 TEM 이미지(단면 TEM 이미지)에 의하면, 결정부에 있어서, 금속 원자가 층상으로 배열되어 있다. 각각의 금속 원자 층은, CAAC-OS막이 형성되어 있는 면(이하, CAAC-OS막이 형성되어 있는 면을 형성면이라고도 함) 또는 CAAC-OS막의 상면에 의해 반사된 모폴로지(morphology)를 가지며, CAAC-OS막의 형성면 또는 상면에 평행하게 배열된다.
- [0087] 한편, 시료면에 대략 수직인 방향에서 관측된 CAAC-OS막의 TEM 이미지(평면 TEM 이미지)에 의하면, 결정부에 있어서, 금속 원자가 삼각 형상 또는 육각형 형상으로 배열되어 있다. 그러나, 다른 결정부 간에서, 금속 원자의

배열에 규칙성은 없다.

- [0088] 본 명세서에 있어서, 용어 "평행"은, 2개의 직선 간에 형성된 각도가 -10° 이상 10° 이하인 것을 나타내고, 따라서, 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한, 용어 "수직"은, 2개의 직선 간에 형성된 각도가 80° 이상 100° 이하인 것을 나타내고, 따라서, 각도가 85° 이상 95° 이하인 경우를 포함한다.
- [0089] 단면 TEM 이미지 및 평면 TEM 이미지의 결과로부터, CAAC-OS막 내의 결정부에서 배향이 확인된다.
- [0090] CAAC-OS막은, X선 회절(XRD: X-Ray Diffraction) 장치를 사용해서 구조 해석된다. 예를 들어, InGaZnO₄의 결정을 갖는 CAAC-OS막이 면외(out-of-plane) 법에 의해 해석되면, 회절각(2θ)이 31° 근방일 때 피크가 자주 나타난다. 이러한 피크는, InGaZnO₄의 결정의 (009)면으로부터 유래하는데, 이는 CAAC-OS막의 결정이 c-축 배향을 갖고, c-축이 CAAC-OS막의 형성면 또는 상면에 대략 수직인 방향으로 배향되는 것을 나타낸다.
- [0091] 한편, CAAC-OS막이, c-축에 대략 수직인 방향으로 X선이 시료에 입사되는 면내(in-plane) 법에 의해 해석되면, 2θ 가 56° 근방일 때 피크가 자주 나타난다. 이러한 피크는, InGaZnO₄의 결정의 (110)면으로부터 유래한다. 여기서, 분석(ϕ 스캔)은, 2θ 가 56° 근방에 고정된 축(ϕ 축)으로서 시료면의 법선 벡터 주위를 시료가 회전하는 조건하에서 행해진다. 시료가 InGaZnO₄의 단결정 산화물 반도체막인 경우에, 6개의 피크가 나타난다. 이러한 6개의 피크는 (110)면과 등가인 결정면으로부터 유래한다. 한편, CAAC-OS막의 경우에, 2θ 를 56° 근방에 고정해서 ϕ 스캔이 행해진 경우에도, 피크가 명료하게 관측되지 않는다.
- [0092] 상기 결과에 의하면, c-축 배향을 가지면서, a축 및 b축의 방향이 결정부 간에서 다른 CAAC-OS막에 있어서는, c-축은, 형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 단면 TEM 이미지에서 관측된 층상으로 배열된 각각의 금속 원자 층은, 결정의 a-b면에 평행한 면에 대응한다.
- [0093] 결정부는, CAAC-OS막의 성막과 동시에 형성되거나, 가열 처리 등의 결정화 처리를 통해 형성된다는 점에 유의해야 한다. 상술한 바와 같이, 결정의 c-축은, CAAC-OS막의 형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상이 에칭 등에 의해 변화되는 경우, c-축은, CAAC-OS막의 형성면의 법선 벡터 또는 상면의 법선 벡터에 반드시 평행하지 않을 수 있다.
- [0094] 또한, CAAC-OS막 중의 결정화도가 반드시 균일하지 않다. 예를 들어, CAAC-OS막에 이어지는 결정 성장이 막의 상면 근방으로부터 발생하는 경우에, 상면 근방의 결정화도는, 형성면 근방에서보다도 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정이 변하고, CAAC-OS막의 결정화도는 영역에 따라 다르다.
- [0095] InGaZnO₄의 결정을 갖는 CAAC-OS막이 면외(out-of-plane) 법에 의해 해석되면, 2θ 가 31° 근방인 피크 이외에, 2θ 의 피크가 36° 근방에서도 관측될 수 있다. 2θ 가 36° 근방의 피크는, ZnGa₂O₄의 결정의 (311)면으로부터 유래하며; 그러한 피크는 GaZnO₄의 결정을 갖는 CAAC-OS막 중의 일부에, ZnGa₂O₄의 결정이 포함되는 것을 나타내고 있다. CAAC-OS막에 있어서, 2θ 의 피크는 31° 근방에 나타나고, 2θ 의 피크는 36° 근방에 나타나지 않는 것이 바람직하다.
- [0096] CAAC-OS막은, 불순물 농도가 낮은 산화물 반도체막이다. 불순물은, 산화물 반도체막의 주성분이 아니며, 수소, 탄소, 실리콘, 전이 금속 원소 등을 포함하는 원소들 중 임의의 원소이다. 특히, 산화물 반도체막에 포함되는 금속 원소보다도 산소와의 결합력이 강한 원소(예를 들면, 실리콘)는, 원소가 산화물 반도체막으로부터 산소를 빼앗기 때문에 산화물 반도체막 내의 원자 배열을 어지럽힘으로써, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에; 그러한 원소들 중 임의의 원소가 산화물 반도체막 내에 포함되면, 그 원소가 산화물 반도체막의 원자 배열을 어지럽힘으로써, 결정성을 저하시키는 요인이 된다. 산화물 반도체막에 포함되는 불순물은, 캐리어 트랩이나 캐리어 발생원이 될 수 있다는 점에 유의해야 한다.
- [0097] CAAC-OS막은, 결함 상태의 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은, 캐리어 트랩으로서의 역할을 하거나, 수소가 포획될 때 캐리어 발생원으로서의 역할을 한다.
- [0098] 불순물 농도가 낮으며 결함 상태의 밀도가 낮은(산소 결손이 적은) 상태는, "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 칭한다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도가 낮다. 따라서, 해당 산화물 반도체막을 사용하는 트랜지스터는, 부의 문턱 전압을

거의 갖지 않는다(노멀리-온 특성을 거의 갖지 않는다). 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은, 캐리어 트랩이 적다. 따라서, 해당 산화물 반도체막을 사용하는 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높다. 산화물 반도체막의 캐리어 트랩에 포획된 전하는, 방출할 때까지 필요로 하는 시간이 길고, 마치 고정 전하와 같이 행동할 수 있다는 점에 유의해야 한다. 따라서, 불순물 농도가 높고, 결함 상태의 밀도가 높은 산화물 반도체막을 사용하는 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다.

[0099] CAAC-OS막을 사용하는 트랜지스터에 있어서는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0100] 예를 들어, CAAC-OS막은, 다결정 산화물 반도체 스퍼터링용 타겟을 사용하여, 스퍼터링법에 의해 성막된다. 해당 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면을 따라 타겟으로부터 박리될 수 있고, a-b면에 평행한 면을 갖는 스퍼터링 입자(평판 형상의 스퍼터링 입자 또는 펠릿 형상의 스퍼터링 입자)는 타겟으로부터 박리될 수 있다. 이 경우, 해당 평판 형상의 스퍼터링 입자는, 결정 상태를 유지한 채로 기판에 도달함으로써, CAAC-OS막을 기판 위에 성막할 수 있다.

[0101] CAAC-OS막을 성막하기 위해서는, 이하의 조건을 사용하는 것이 바람직하다.

[0102] 성막 시에 CAAC-OS막으로의 불순물 혼입량을 저감함으로써, 불순물에 의해 결정 상태가 붕괴하는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(예를 들면, 수소, 물, 이산화탄소 또는 질소)의 농도를 저감할 수 있다. 또한, 성막 가스 내의 불순물의 농도를 저감할 수 있다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.

[0103] 성막 시의 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달한 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는, 성막 시의 기판 가열 온도를 100°C 내지 740°C , 바람직하게는 150°C 내지 500°C 로 하는 것이 바람직하다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나서, 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0104] 또한, 성막 가스 내의 산소 비율을 높이고, 전력을 최적화함으로써, 성막 시의 플라즈마 손상을 경감하는 것이 바람직하다. 성막 가스 내의 산소 비율은, 30 체적% 이상, 바람직하게는 100 체적%이다.

[0105] 대안적으로, 반도체층(108)으로서 사용된 산화물 반도체막은, 복수의 산화물 반도체막의 적층 구조를 가질 수 있다. 예를 들어, 산화물 반도체막은, 다른 조성의 금속 산화물을 사용하여 형성되는 제1 산화물 반도체막과 제2 산화물 반도체막의 적층 구조를 가질 수 있다. 예를 들어, 제1 산화물 반도체막은, 2원계 금속 산화물, 3원계 금속 산화물 및 4원계 금속 산화물 중 임의의 것을 사용하여 형성될 수 있고, 제2 산화물 반도체막은, 이들 산화물 중 제1 산화물 반도체막에 사용한 산화물과는 다른 임의의 것을 사용하여 형성된다.

[0106] 또한, 제1 산화물 반도체막과 제2 산화물 반도체막의 구성 원소는 동일하게 만들어질 수 있고, 제1 산화물 반도체막과 제2 산화물 반도체막의 구성 원소의 조성이 상이하게 만들어진다. 예를 들어, 제1 산화물 반도체막은, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함할 수 있고, 제2 산화물 반도체막은 원자수비가 3:1:2인 In, Ga 및 Zn을 포함할 수 있다. 대안적으로, 제1 산화물 반도체막은 원자수비가 1:3:2인 In, Ga 및 Zn을 포함할 수 있고, 제2 산화물 반도체막은 원자수비가 2:1:3인 In, Ga 및 Zn을 포함할 수 있다. 산화물 반도체막의 원자수비에 있어서 각 원자의 비율이 오차로서 $\pm 20\%$ 의 범위 내에서 변동한다는 점에 유의해야 한다.

[0107] 이때, 제1 산화물 반도체막과 제2 산화물 반도체막 중, 게이트 전극에 가까운 측(채널측)의 산화물 반도체막이, In과 Ga를, $\text{In} > \text{Ga}$ 이 되게 함유하는 것이 바람직하다. 게이트 전극으로부터 먼 측(백 채널측)의 산화물 반도체막은, In과 Ga를, $\text{In} \leq \text{Ga}$ 이 되게 함유하는 것이 바람직하다.

[0108] 또한, 산화물 반도체막은, 제1 산화물 반도체막, 제2 산화물 반도체막 및 제3 산화물 반도체막의 3층 구조를 가질 수 있는데, 여기서 그 구성 원소는 동일하게 만들어지며, 제1 산화물 반도체막, 제2 산화물 반도체막 및 제3 산화물 반도체막의 구성 원소의 조성은 상이하게 만들어진다. 예를 들어, 제1 산화물 반도체막은 원자수비가 1:3:2인 In, Ga 및 Zn을 함유할 수 있고, 제2 산화물 반도체막은 원자수비가 3:1:2인 In, Ga 및 Zn을 함유할 수 있으며, 제3 산화물 반도체막은 원자수비가 1:1:1인 In, Ga 및 Zn을 함유할 수 있다.

[0109] Ga 및 Zn보다 In의 원자수비가 더 작게 함유하는 산화물 반도체막, 대표적으로는 원자수비가 1:3:2인 In, Ga 및 Zn을 함유하는 제1 산화물 반도체막에 있어서, 산소 결손의 발생이, Ga 및 Zn보다 In의 원자수비가 더 크게 함유하는 산화물 반도체막, 대표적으로는 제2 산화물 반도체막, 및 Ga, Zn 및 In의 원자수비가 동일하게 함유하는 산화물 반도체막, 대표적으로는 제3 산화물 반도체막에서보다, 더 방지될 수 있기 때문에, 캐리어 밀도의 증가를 억제할 수 있다. 또한, 원자수비가 1:3:2인 In, Ga 및 Zn을 함유하는 제1 산화물 반도체막이 비정질 구조이

면, 제2 산화물 반도체막은 CAAC-OS막이 되기 쉽다.

- [0110] 제1 산화물 반도체막, 제2 산화물 반도체막 및 제3 산화물 반도체막의 구성 원소는 동일하기 때문에, 제1 산화물 반도체막은, 제2 산화물 반도체막과의 계면에 있어서의 트랩 준위가 적다. 따라서, 산화물 반도체막이 상기 구조를 갖는 경우, 경시 변화(change over time) 또는 광 열화에 의한 트랜지스터의 문턱 전압의 변화량을 저감할 수 있다.
- [0111] 산화물 반도체에서는, 주로 중금속의 s 궤도가 캐리어 전도에 기여하고 있고, 산화물 반도체에서의 In의 함유율이 증가하면, s 궤도의 겹치기가 증가하기 쉽다. 따라서, In과 Ga를 In>Ga가 되게 함유하는 산화물은, In과 Ga를 In≤Ga가 되게 함유하는 산화물보다도 높은 캐리어 이동도를 갖는다. 또한, Ga에서는, In에서보다, 산소 결손의 형성 에너지가 커서 산소 결손이 발생하기 어렵기 때문에; In과 Ga를 In≤Ga가 되게 함유하는 산화물은, In과 Ga를 In>Ga가 되게 함유하는 산화물보다 안정된 특성을 갖는다.
- [0112] 채널층의 산화물 반도체막에 In과 Ga를 In>Ga가 되게 함유하는 산화물 반도체를 사용하고, 백 채널층의 산화물 반도체막에 In과 Ga를 In≤Ga가 되게 함유하는 산화물 반도체를 사용함으로써, 트랜지스터의 전계 효과 이동도 및 신뢰성을 더 향상시킬 수 있다.
- [0113] 또한, 제1 산화물 반도체막, 제2 산화물 반도체막 및 제3 산화물 반도체막은, 결정성이 다른 산화물 반도체를 사용하여 형성될 수 있다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 및 CAAC-OS의 적절한 조합을 사용하여, 산화물 반도체막이 형성될 수 있다. 제1 산화물 반도체막 또는 제2 산화물 반도체막에 비정질 산화물 반도체를 적용하면, 산화물 반도체막의 내부 응력이나 외부로부터의 응력이 완화하고, 트랜지스터의 특성 변동이 저감되고, 트랜지스터의 신뢰성이 더 향상될 수 있다.
- [0114] 산화물 반도체막의 두께는, 1nm 이상 100nm 이하, 더욱 바람직하게는 1nm 이상 30nm 이하, 더욱 바람직하게는 1nm 이상 50nm 이하, 더욱 바람직하게는 3nm 이상 20nm 이하인 것이 바람직하다.
- [0115] 반도체층(108)에 사용하는 산화물 반도체막에 있어서, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도는, 1×10^{18} 원자/cm³ 이하, 더욱 바람직하게는 2×10^{16} 원자/cm³ 이하인 것이 바람직하다. 이는, 알칼리 금속 또는 알칼리 토금속이, 산화물 반도체와 결합하면, 알칼리 금속 또는 알칼리 토금속의 일부가 캐리어를 생성하여, 트랜지스터의 오프 전류를 상승시키기 때문이다.
- [0116] 또한, 반도체층(108)에 사용하는 산화물 반도체막에 있어서, 2차 이온 질량 분석법에 의해 얻어지는 수소 농도는, 5×10^{18} 원자/cm³ 미만, 바람직하게는 1×10^{18} 원자/cm³ 이하, 보다 바람직하게는 5×10^{17} 원자/cm³ 이하, 더욱 바람직하게는 1×10^{16} 원자/cm³ 이하인 것이 바람직하다.
- [0117] 산화물 반도체막에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응해서 물을 생성하고, 산소가 탈리한 격자(또는 산소가 탈리한 부분)에는 결손이 형성된다. 또한, 수소의 일부가 산소와 결합하면, 캐리어로서의 역할을 하는 전자가 발생한다. 이 때문에, 산화물 반도체막의 성막 공정에 있어서, 수소를 포함하는 불순물을 가능한 많이 저감시킴으로써, 산화물 반도체막 내의 수소 농도를 저감할 수 있다. 따라서, 수소를 가능한 많이 제거한 산화물 반도체막을 채널 영역에 사용함으로써, 문턱 전압의 음의 방향으로의 시프트를 억제할 수 있고, 전기 특성의 변동을 저감할 수 있다. 또한, 트랜지스터의 소스와 드레인 간의 누설 전류, 대표적으로는, 오프 전류를 저감할 수 있다.
- [0118] 또한, 반도체층(108)에 사용하는 산화물 반도체막의 질소 농도를 5×10^{18} 원자/cm³ 이하로 설정하는데, 이는 트랜지스터의 문턱 전압의 음의 방향으로의 시프트를 억제할 수 있고, 전기 특성의 변동을 저감할 수 있다.
- [0119] 수소를 가능한 많이 제거함으로써 고순도화된 산화물 반도체막을 채널 영역에 사용한 트랜지스터의 오프 전류가 낮다는 것을, 다양한 실험에 의해 증명할 수 있다는 점에 유의해야 한다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 트랜지스터조차도, 소스 전극과 드레인 전극 간의 전압(드레인 전압)이 1V 내지 10V의 범위에 있을 때, 반도체 파라미터 애널리저의 측정 한계 이하, 즉 1×10^{-13} A 이하의 오프 전류를 가질 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭에 의해 계산한 수치에 상당하는 오프 전류는, 100 zA/mm 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터가 서로 접속되어, 용량 소자에 유입 또는 용량 소자로부터 유출하는 전하가 해당 트랜지스터에 의해 제어되는 회로를 사용하여, 오프 전류의 측정을 행했다. 해당 측정에 있

어서, 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 영역에 사용하고, 용량 소자의 단위 시간당의 전하량의 변화로부터 해당 트랜지스터의 오프 전류를 측정했다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극 간의 전압이 3V인 경우에, 수십 $\mu\text{A}/\mu\text{m}$ 의 더 낮은 오프 전류가 얻어진다는 것을 알았다. 따라서, 고순도화된 산화물 반도체막을 사용하여 채널 영역이 형성되는 트랜지스터는, 매우 낮은 오프 전류를 갖는다.

[0120] 소스 전극(110) 및 드레인 전극(112)은, 도전 재료로서, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈륨 및 텅스텐 등의 금속들 중 임의의 금속, 또는 이들 금속을 주성분으로 함유하는 합금을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성된다. 다음의 구조가 예로서 주어질 수 있다: 실리콘을 포함하는 알루미늄막의 단층 구조; 알루미늄막 위에 티타늄막을 적층하는 2층 구조; 텅스텐막 위에 티타늄막을 적층하는 2층 구조; 구리-마그네슘-알루미늄 합금 막 위에 구리막을 형성하는 2층 구조; 티타늄막 또는 질화 티타늄막, 알루미늄막 또는 구리막, 및 티타늄막 또는 질화 티타늄막이 이 순서대로 적층된 3층 구조; 및 몰리브덴 막 또는 질화 몰리브덴 막, 알루미늄막 또는 구리막, 및 몰리브덴 막 또는 질화 몰리브덴 막이 이 순서대로 적층된 3층 구조 등. 산화 인듐, 산화 주석 또는 산화 아연을 함유하는 투명 도전 재료가 사용될 수 있다는 점에 유의해야 한다.

[0121] 본 실시 형태에서는, 소스 전극(110) 및 드레인 전극(112)이 반도체층(108) 위에 제공되지만, 게이트 절연막(106)과 반도체층(108)의 사이에 제공될 수 있다.

[0122] 제1 층간 절연막(114)으로서는, 반도체층(108)에 사용하는 산화물 반도체막과의 계면 특성을 향상시키기 위해서, 산화물 절연막을 사용하는 것이 바람직하다. 제1 층간 절연막(114)으로서는, 두께 150nm 이상 400nm 이하의 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막 또는 Ga-Zn계 금속 산화물막 등을 사용할 수 있다. 제1 층간 절연막(114)은, 산화물 절연막과 질화물 절연막의 적층 구조를 가질 수 있다. 예를 들어, 제1 층간 절연막(114)은, 산화질화 실리콘막과 질화 실리콘막의 적층 구조를 가질 수 있다.

[0123] 제2 층간 절연막(116)에 대해서는, 아크릴계 수지, 폴리이미드계 수지, 벤조시클로부텐계 수지, 폴리이미드계 수지 또는 에폭시계 수지 등, 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 이들 재료 중 임의의 재료를 사용하여 형성되는 복수의 절연막을 적층시킴으로써, 제2 층간 절연막(116)을 형성할 수 있다는 점에 유의해야 한다. 제2 층간 절연막(116)을 사용함으로써, 제1 트랜지스터(101) 등의 요철을 저장할 수 있다.

[0124] 용량 전극(118)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고도 함), 인듐 아연 산화물, 또는 실리콘 산화물을 첨가한 인듐 주석 산화물 등의 투광성 도전성 재료를 사용하여 형성될 수 있다.

[0125] 제3 층간 절연막(120)으로서는, 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막 또는 산화 알루미늄막 등의 무기 절연 재료를 사용할 수 있다. 특히, 제3 층간 절연막(120)으로서는, 질화 실리콘막, 질화산화 실리콘막 및 산화 알루미늄막 중에서 선택된 하나가 사용되는 것이 바람직하다. 질화 실리콘막, 질화산화 실리콘막 및 산화 알루미늄막 중에서 선택된 하나를 제3 층간 절연막(120)으로서 사용함으로써, 제2 층간 절연막(116)으로부터의 수소 또는 수분의 방출을 억제할 수 있다.

[0126] 화소 전극(122)으로서는, 용량 전극(118)의 것과 유사한 재료를 사용할 수 있다. 용량 전극(118)과 화소 전극(122)의 재료가 동일하거나 상이할 수 있지만, 동일한 재료의 사용이, 제조 비용을 저감할 수 있다는 점에서 바람직하다.

[0127] 제1 배향막(124) 및 제2 배향막(164)에 대해서는, 아크릴계 수지, 폴리이미드계 수지, 벤조시클로부텐계 수지, 폴리이미드계 수지 또는 에폭시계 수지 등, 내열성을 갖는 유기 재료를 사용할 수 있다.

[0128] 액정층(162)에 대해서는, 열가소성 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정 또는 반강유전성 액정 등의 액정 재료를 사용할 수 있다. 이러한 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅 상, 키랄 네마틱상, 등방상 등을 나타낸다.

[0129] 대안적으로, 횡전계 방식을 채용하는 경우, 배향막(제1 배향막(124) 또는 제2 배향막(164))이 불필요한 블루상(blue phase)을 나타내는 액정을 사용할 수 있다. 블루상은 액정상 중 하나인데, 이는 콜레스테릭 액정의 온도를 승온해 가면서, 콜레스테릭상이 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위해서 수 중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 짧고, 광학적 등방

성인데, 이는 배향 처리를 불필요하게 하고, 시야각 의존성을 작게 한다. 또한, 배향막을 제공할 필요가 없고, 러빙 처리도 불필요하기 때문에, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있고, 제조 공정 중에 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치는 향상된 생산성으로 제조될 수 있다. 산화물 반도체막을 사용하는 트랜지스터는, 정전기의 영향에 의해 트랜지스터의 전기적인 특성이 현저하게 변동해서 설계 범위를 일탈할 가능성이 있다. 따라서, 산화물 반도체막을 사용하는 트랜지스터를 포함하는 액정 표시 장치에 블루상을 나타내는 액정 재료를 사용하는 것이 보다 효과적이다.

[0130] 또한, 액정 재료의 고유 저항은, $1 \times 10^9 \Omega \cdot \text{cm}$ 이상, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 본 명세서에 있어서의 고유 저항은, 20℃의 온도에서 측정된다는 점에 유의해야 한다.

[0131] 표시 장치에 형성된 저장 용량 소자의 크기는, 화소 영역에 제공되는 트랜지스터의 누설 전류 등을 고려하여 설정되어, 소정의 기간 동안 전하를 유지할 수 있다. 저장 용량 소자의 크기는, 트랜지스터의 오프 전류 등을 고려해서 설정할 수 있다. 고순도화되고 산소 결손의 형성이 억제된 산화물 반도체층을 포함하는 트랜지스터를 사용하고, 예를 들어 표시 소자로서, 액정 소자를 사용하는 경우, 각 화소에 있어서의 액정 용량의 1/3 이하, 바람직하게는 1/5 이하인 용량을 갖는 저장 용량 소자이면 충분하다.

[0132] 고순도화되고, 산소 결손의 형성이 억제된 산화물 반도체를 반도체층에 사용하는 본 실시 형태에서 트랜지스터의 오프 상태에 있어서의 전류(오프 전류)를 저감하는 것이 가능하다. 따라서, 화상 신호 등의 전기 신호가 장기간 유지될 수 있고, 온 상태에서는 기입 간격이 길게 설정될 수 있다. 따라서, 리프레시 동작의 빈도를 저감할 수 있는데, 이는 소비 전력을 억제하는 효과로 이어진다.

[0133] 도 1a 내지 도 1c 및 도 2에 도시하는 표시 장치에 있어서의 액정 소자(150)의 구동 모드로서는, 트위스트 네마틱(TN) 모드, 면내-스위칭(IPS) 모드, 프린지 필드 스위칭(FFS) 모드, 축 방향 대칭 정렬 마이크로 셀(ASM) 모드, 광학 보상 복굴절(OCB) 모드, 강유전성 액정(FLC) 모드, 반 강유전성 액정(AFLC) 모드 등을 사용할 수 있다. 특히, 넓은 시야각을 얻기 위해서는, FFS 모드를 사용하는 것이 바람직하다.

[0134] 표시 장치는, 수직 배향(VA) 모드를 이용한 투과형의 액정 표시 장치 등의 노멀리 블랙형의 액정 표시 장치일 수 있다. 수직 배향 모드로서는, 몇 가지 예가 주어진다. 예를 들어, 멀티-도메인 수직 배향(MVA) 모드, 패턴형 수직 배향(PVA) 모드 등을 사용할 수 있다. 또한, 화소를 몇 개의 영역(서브픽셀)으로 나누고, 각각의 영역에서 별도의 방향으로 분자가 배열되는, 소위 멀티 도메인화 또는 멀티 도메인 설계라고 하는 방법을 사용할 수 있다.

[0135] 도 1a 내지 도 1c 및 도 2에서는 도시하고 있지 않으나, 편광 부재, 위상차 부재 또는 반사 방지 부재 등의 광학 부재(광학 기관) 등이 적절히 제공될 수 있다. 예를 들어, 편광 기관 및 위상차 기관을 사용함으로써 원 편광을 얻을 수 있다. 또한, 광원으로서, 백라이트, 사이드 라이트 등을 사용할 수 있다.

[0136] 화소 영역(142)에 있어서의 표시의 방법으로서, 프로그래시브 방법, 인터레이스 방법 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어되는 색 요소는, RGB(R, G 및 B는, 각각 적색, 녹색 및 청색에 해당함)의 삼색에 한정되지 않는다. 예를 들어, R, G, B, 및 W(W는 백색에 해당함) 또는 R, G, B, 및 옐로우, 시안, 마젠타 등에서 1색 이상을 사용할 수 있다. 색 요소의 각 도트 사이에서 표시 영역의 크기가 상이할 수 있다는 점에 유의해야 한다. 개시하는 발명은 컬러 표시의 표시 장치에의 적용에 한정되는 것이 아니라, 모노크롬 표시의 표시 장치에 적용할 수도 있다는 점에 유의해야 한다.

[0137] 또한, 제2 기관(152)의 하방에는, 스페이서(160)가 제공되어 있어, 제1 기관(102)과 제2 기관(152)과의 간격(셀 갭)을 제어한다. 셀 갭은, 액정층(162)의 두께를 결정한다는 점에 유의해야 한다. 스페이서(160)는, 절연막 등을 선택적으로 예칭함으로써 얻어지는 기둥 형상의 스페이서 또는 구상의 스페이서와 같은 임의의 형상을 가질 수 있다.

[0138] 착색막(153)은, 소위 컬러 필터로서 기능한다. 착색막(153)에 대해서는, 특정 파장 대역의 광을 투과하는 특성을 갖는 재료를 사용하고, 염료나 안료를 함유한 유기 수지막 등을 사용할 수 있다.

[0139] 차광막(154)은, 소위 블랙 매트릭스로서 기능한다. 차광막(154)으로서, 인접하는 화소로부터 방출된 광을 차광할 수 있는 한, 금속막 또는 흑색 염료나 흑색 안료를 함유한 유기 수지막 등 임의의 막을 사용할 수 있다. 본 실시 형태에 있어서는, 흑색 안료를 함유한 유기 수지막으로 형성된 차광막(154)을 예시하고 있다.

[0140] 유기 보호 절연막(156)은, 착색막(153)에 포함되는 이온성 물질이 액정층(162) 내로 확산하지 않도록 제공된다.

그러나, 유기 보호 절연막(156)은, 이러한 구조에 한정되지 않으며, 반드시 제공되는 것은 아니다.

- [0141] 시일재(166)로서는, 열경화형 수지, 또는 자외선 경화형 수지 등을 사용할 수 있다. 도 2에 도시하는 시일재(166)에 의한 밀봉 영역은, 제1 기관(102)과 제2 기관(152) 사이에, 게이트 절연막(106), 소스 전극(110)과 드레인 전극(112)과 동일한 공정에서 형성된 전극(113), 제1 층간 절연막(114), 및 제2 층간 절연막(116)이 제공되는 구조를 갖지만; 이러한 구조는 예시이며, 본 발명을 한정하지는 않는다. 예를 들어, 이 구조는 게이트 절연막(106)과 제1 층간 절연막(114)만이 제공되는 구조일 수 있다. 제2 층간 절연막(116)이 제거될 때 외부로부터의 수분 등의 인입이 더욱 방지되기 때문에, 도 2에 도시한 바와 같이, 제2 층간 절연막(116)의 일부를 제거 또는 후퇴시키는 것이 바람직하다.
- [0142] 이상과 같이, 본 실시 형태에서 설명된 표시 장치는, 화소 영역과 구동 회로 영역에 형성된 트랜지스터와, 트랜지스터 위에 형성된 제1 층간 절연막과, 제1 층간 절연막 위에 형성된 제2 층간 절연막과, 제2 층간 절연막 위에 형성된 제3 층간 절연막을 포함한다. 이러한 구조에서, 제3 층간 절연막은 화소 영역의 상부 영역의 일부에 제공되고, 제3 층간 절연막의 단부는 구동 회로 영역보다도 내측에 형성된다. 이러한 구조는, 제2 층간 절연막으로부터의 탈가스가 트랜지스터측에 인입하는 것을 억제하는데, 이는 표시 장치의 신뢰성을 높일 수 있다. 또한, 제1 층간 절연막은, 제2 층간 절연막으로부터의 탈가스가 트랜지스터측에 인입하는 것을 억제할 수 있다.
- [0143] 본 실시 형태는, 다른 실시 형태 및 실시예에서 설명된 구조들 중 임의의 구조와 적절히 조합해서 구현될 수 있다.
- [0144] (실시 형태 2)
- [0145] 본 실시 형태에서는, 도 3 및 도 4를 참조하여, 유기 EL 패널을 사용한 표시 장치를 표시 장치의 한 모드로서 설명한다. 실시 형태 1에서의 부분과 유사한 부분은 동일한 참조 번호로 표시되고, 그 상세한 설명은 생략한다.
- [0146] 도 3 및 도 4는, 표시 장치의 한 모드로서, 표시 장치의 상면도 및 단면도를 각각 나타낸다. 도 4는, 도 3에 있어서의 선 X2-Y2을 따른 단면도에 상당한다.
- [0147] 도 3에 도시하는 표시 장치에 있어서, 제1 기관(102) 위에 제공된 화소 영역(142)과, 이 화소 영역(142)의 외측에 인접 위치하여, 이 화소 영역(142)에 신호를 공급하는 구동 회로 영역인 게이트 드라이버 회로부(140) 및 소스 드라이버 회로부(144)를 둘러싸도록, 시일재(166)가 제공되고; 밀봉은 제2 기관(152)에 의해 수행된다. 화소 영역(142), 게이트 드라이버 회로부(140) 및 소스 드라이버 회로부(144)가 제공된 제1 기관(102)과 대향하도록 제2 기관(152)이 제공되어 있다. 따라서, 화소 영역(142), 게이트 드라이버 회로부(140) 및 소스 드라이버 회로부(144)는, 제1 기관(102), 시일재(166) 및 제2 기관(152)에 의해, 표시 소자와 함께 밀봉되어 있다.
- [0148] 이와 같이, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체는, 화소 영역(142)이 형성되어 있는 제1 기관(102) 위에 형성될 수 있어, 시스템-온-패널이 얻어질 수 있다. 또한, 박막 트랜지스터를 포함하는 구동 회로의 전체 또는 일부가 화소 영역과 동일 기관 위에 형성될 수 있어, 시스템-온-패널이 얻어질 수 있다.
- [0149] 이어서, 도 3에 있어서의 선 X2-Y2을 따른 단면도에 상당하는 도 4를 사용하여, 화소 영역(142) 및 게이트 드라이버 회로부(140)의 구성에 대해서, 이하 상세하게 설명한다.
- [0150] 화소 영역(142)에 있어서, 제1 기관(102)과, 제1 기관(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 게이트 절연막(106)과, 게이트 절연막(106)과 접하고, 게이트 전극(104)과 중첩하게 제공된 반도체층(108)과, 게이트 절연막(106) 및 반도체층(108) 위에 형성된 소스 전극(110) 및 드레인 전극(112)에 의해, 제1 트랜지스터(101)가 형성된다.
- [0151] 또한, 화소 영역(142)은, 다음을 포함한다: 제1 트랜지스터(101) 위에, 구체적으로는 게이트 절연막(106), 반도체층(108), 소스 전극(110) 및 드레인 전극(112) 위에 무기 절연 재료를 사용하여 형성된 제1 층간 절연막(114)과; 제1 층간 절연막(114) 위에 유기 절연 재료를 사용하여 형성된 제2 층간 절연막(116)과; 제2 층간 절연막(116) 위에 무기 절연 재료를 사용하여 형성된 제3 층간 절연막(120)과; 제2 층간 절연막(116) 및 제3 층간 절연막(120) 위에 형성된 격벽(126)과; 제3 층간 절연막(120) 및 격벽(126) 위에 형성된 화소 전극(122)과; 화소 전극(122) 위에 형성된 발광층(128)과; 발광층(128) 위에 형성된 전극(130).
- [0152] 화소 전극(122), 발광층(128) 및 전극(130)이 발광 소자(170)를 형성한다는 점에 유의해야 한다.
- [0153] 또한, 발광 소자(170) 위에, 보다 상세하게는 전극(130) 위에는, 충전재(172)가 제공된다. 충전재(172)

위에는, 제2 기관(152)이 제공되어 있다. 즉, 제1 기관(102)과 제2 기관(152)과의 사이에는, 발광 소자(170) 및 충전제(172)가 삽입되어 있다.

- [0154] 게이트 드라이버 회로부(140)에 있어서, 제1 기관(102)과, 제1 기관(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 게이트 절연막(106)과, 게이트 절연막(106)과 접하고, 게이트 전극(104)과 중첩되게 제공된 반도체층(108)과, 게이트 절연막(106) 및 반도체층(108) 위에 형성된 소스 전극(110) 및 드레인 전극(112)에 의해, 제2 트랜지스터(103) 및 제3 트랜지스터(105)가 형성되어 있다.
- [0155] 또한, 게이트 드라이버 회로부(140)는, 제2 트랜지스터(103) 및 제3 트랜지스터(105) 위에, 보다 상세하게는 게이트 절연막(106), 반도체층(108), 소스 전극(110) 및 드레인 전극(112) 위에 무기 절연 재료를 사용하여 형성된 제1 층간 절연막(114)과, 이 제1 층간 절연막(114) 위에 유기 절연 재료를 사용하여 형성된 제2 층간 절연막(116)을 포함한다.
- [0156] 따라서, 제3 층간 절연막(120)은, 화소 영역(142)의 상부 영역의 일부에 제공되고, 제3 층간 절연막(120)의 단부는 구동 회로 영역인 게이트 드라이버 회로부(140)보다도 내측에 형성된다.
- [0157] 상기 구조는, 외부로부터 도입되는 수분 또는 표시 장치 내부에서 발생한 수분, 수소 등의 가스를 게이트 드라이버 회로부(140)의 제2 층간 절연막(116)의 상부에 방출할 수 있게 한다. 따라서, 제1 트랜지스터(101), 제2 트랜지스터(103) 및 제3 트랜지스터(105) 내부에 수분, 수소 등의 가스가 도입되는 것을 억제할 수 있다.
- [0158] 유기 절연 재료를 사용하여 형성되는 제2 층간 절연막(116)에 있어서는, 표시 장치에 포함된 트랜지스터의 요철 등이 저감되도록, 평탄성이 향상된 유기 절연 재료가 필요해진다. 이는, 트랜지스터의 요철 등의 감소가 표시 장치의 표시 품질의 향상으로 이어지기 때문이다. 그러나, 가열 등이 행해지면, 해당 유기 절연 재료는 수소, 수분 또는 유기 성분을 가스로서 방출해버린다.
- [0159] 예를 들어, 반도체층(108)에, 실리콘계 반도체 재료인 실리콘막을 사용한 트랜지스터에 있어서는, 상술한 수소, 수분 또는 유기 성분의 가스가 큰 문제가 될 가능성이 낮다. 그러나, 본 발명의 한 실시 형태에 있어서는, 반도체층(108)은 산화물 반도체막을 사용하여 형성되므로, 유기 절연 재료를 사용하여 형성되는 제2 층간 절연막(116)으로부터의 가스를 적절하게 방출시킬 필요가 있다. 반도체층(108)을 산화물 반도체막을 사용하여 형성하면, 제3 층간 절연막(120)의 단부가 구동 회로 영역인 게이트 드라이버 회로부(140)보다도 내측에 형성되는 구조는, 우수한 효과를 갖는다는 점에 유의해야 한다. 또한, 산화물 반도체 이외의 재료(예를 들어, 실리콘계 반도체 재료인 비정질 실리콘 또는 결정성 실리콘)를 사용하여 반도체층(108)이 형성된 트랜지스터에 있어서는, 유사한 효과가 얻어질 수 있다.
- [0160] 본 실시 형태에 있어서, 제2 층간 절연막(116) 위의 제3 층간 절연막(120)은, 제2 층간 절연막(116)으로부터 방출되는 가스가 발광 소자(170)측으로 인입하는 것을 억제하기 위해서 및/또는 화소 전극(122)과 제2 층간 절연막(116) 간의 밀착성을 향상시키기 위해서 형성되어 있다. 이러한 구조는, 발광 소자(170)측으로 제2 층간 절연막(116)으로부터의 수소, 수분 등의 가스가 인입하는 것을 억제할 수 있다.
- [0161] 그러나, 게이트 드라이버 회로부(140)에 사용하는 제2 트랜지스터(103) 및 제3 트랜지스터(105) 위의 제2 층간 절연막(116) 위에 제3 층간 절연막(120)을 형성하면, 제2 층간 절연막(116) 내의 유기 절연 재료로부터 방출되는 가스가 외부로 확산할 수 없어, 제2 트랜지스터(103) 및 제3 트랜지스터(105) 내부에 인입된다.
- [0162] 상술한 가스가 트랜지스터의 반도체층(108)에 사용하는 산화물 반도체에 인입하면, 산화물 반도체막 내에 불순물로서 가스가 도입된다. 이는, 해당 반도체층(108)을 사용한 트랜지스터의 특성을 변동시킨다.
- [0163] 반면에, 게이트 드라이버 회로부(140)에 사용하는 제2 트랜지스터(103) 및 제3 트랜지스터(105) 위에 제3 층간 절연막(120)이 개구되는, 도 4에 도시한 구조, 즉 제3 층간 절연막(120)이 화소 영역(142)의 일부에 제공되고 제3 층간 절연막(120)의 단부가 게이트 드라이버 회로부(140)보다도 내측에 형성되는 구조에 있어서는, 제2 층간 절연막(116)으로부터 방출되는 가스가, 외부로 확산할 수 있다.
- [0164] 또한, 도 4에 도시한 바와 같이, 화소 영역(142)에 사용하는 제1 트랜지스터(101)에 있어서는, 반도체층(108)과 중첩하는, 무기 절연 재료를 사용하여 형성된 제3 층간 절연막(120)의 일부를 제거하는 것이 바람직하다. 이러한 구조는, 유기 절연 재료를 사용하여 형성된 제2 층간 절연막(116)으로부터 방출되는 가스가, 제1 트랜지스터(101) 내로 인입하는 것을 억제할 수 있다.
- [0165] 여기서는, 실시 형태 1에 설명한 표시 장치와는 구조가 다른 도 3 및 도 4에 도시하는 표시 장치의 다른 구성

요소에 대해서, 이하 상세한 설명을 행한다.

- [0166] 격벽(126)은, 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성된다. 특히, 화소 전극(122) 위에 개구부를 갖도록 감광성의 수지 재료를 사용하여 격벽(126)이 형성되어, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다.
- [0167] 충전재(172)로서는, 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있다. 예를 들어, 폴리비닐 클로라이드(PVC), 아크릴계 수지, 폴리이미드계 수지, 에폭시계 수지, 실리콘계 수지, 폴리비닐 부티랄(PVB) 또는 에틸렌비닐아세테이트(EVA)를 사용할 수 있다. 예를 들어 충전재(172)로서는, 질소가 사용된다.
- [0168] 발광 소자(170)로서는, 일렉트로루미네센스를 이용하는 발광 소자를 사용할 수 있다. 일렉트로루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 또는 무기 화합물인지에 따라 구분된다. 일반적으로, 전자 는 유기 EL 소자라고 하고, 후자는 무기 EL 소자라고 한다. 여기에서는, 유기 EL 소자가 사용된다.
- [0169] 유기 EL 소자에 있어서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극(화소 전극(122) 및 전극(130))으로부터 전자 및 정공이 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태가 된다. 발광성의 유기 화합물은, 그 여기 상태에서부터 기저 상태로 복귀됨으로써, 발광한다. 이러한 메커니즘으로부터, 이러한 발광 소자는, 전류 여기형의 발광 소자라고 불린다.
- [0170] 발광 소자(170)로부터 광을 취출하기 위해서, 적어도 하나의 전극(화소 전극(122) 또는 전극(130))은 투광성을 갖는다. 발광 소자는, 다음의 발광 구조들 중 임의의 것을 채택할 수 있다: 제1 기관(102)과는 반대측의 면을 통해 발광을 취출하는 상면 방출 구조; 제1 기관(102)측의 면을 통해 발광을 취출하는 하면 방출 구조; 또는 제1 기관(102)측의 면 및 제1 기관(102)과는 반대측의 면을 통해 발광을 취출하는 양면 방출 구조.
- [0171] 발광 소자(170)에 산소, 수소, 수분, 이산화탄소 등이 인입하는 것을 방지하기 위해서, 전극(130) 및 격벽(126) 위에는 보호막이 형성될 수 있다. 보호막으로서, 질화 실리콘막, 질화산화 실리콘막 등을 형성할 수 있다. 또한, 제1 기관(102), 제2 기관(152) 및 시일재(166)에 의해 형성되는 공간에는, 충전재(172)가 채워져 밀봉되어 있다. 이렇게, 외기에 패닐이 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호막(라미네이트막 또는 자외선 경화 수지막 등)이나 커버재로 패닐이 패키징(밀봉)되는 것이 바람직하다.
- [0172] 또한, 필요하다면, 발광 소자(170)의 방출면 위에는, 편광판, 원 편광판(타원 편광판 포함), 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판) 또는 컬러 필터 등의 광학 필름이 적절히 제공될 수 있다. 또한, 편광판 또는 원 편광판에는, 반사 방지막이 제공될 수 있다. 예를 들어, 표면의 요철에 의해 반사광이 확산되어, 글레이어를 저감할 수 있는 안티글레이어 처리를 실행할 수 있다.
- [0173] 발광층(128)에 대해서는, 삼중항 여기 에너지를 발광으로 변환하는 발광성 재료인 게스트 재료와, 해당 게스트 재료보다도 삼중항 여기 에너지의 준위(T_1 준위)가 높은 호스트 재료를 포함하는 유기 화합물을 사용하는 것이 바람직하다. 발광층(128)은, 복수의 발광층이 적층된 구조(소위, 탠덤 구조)나, 발광층 이외의 기능층(예를 들면, 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층, 또는 전하 발생층)을 포함하는 구조를 가질 수 있다는 점에 유의해야 한다.
- [0174] 시일재(166)에 대해서는, 실시 형태 1에 나타난 재료들 중 임의의 재료 외에, 분말 유리(프릿 유리라고도 함)를 용해 및 응고시켜서 형성한 유리체 등의 유리 재료를 포함하는 재료가 사용될 수 있다. 이러한 재료는, 수분 및 가스의 투과를 효과적으로 억제할 수 있다. 따라서, 표시 소자로서, 발광 소자(170)를 사용한 경우, 해당 발광 소자(170)의 열화가 억제될 수 있어, 표시 장치가 매우 높은 신뢰성을 가질 수 있다.
- [0175] 도 4에 도시하는 시일재(166)에 의한 밀봉 영역은, 제1 기관(102)과 제2 기관(152)의 사이에 게이트 절연막(106)만이 제공되는 구조를 갖지만; 이러한 구조는 일례이며, 본 발명을 한정하지는 않는다. 예를 들어, 이 구조는, 게이트 절연막(106)과 제1 층간 절연막(114)이 적층되는 구조일 수 있다. 도 4에 도시한 바와 같이, 양호한 구조에서는, 제2 층간 절연막(116)이 제거된 영역에, 시일재(166)가 배치된다는 점에 유의해야 한다.
- [0176] 이상과 같이, 본 실시 형태에 설명된 표시 장치는, 화소 영역과 구동 회로 영역에 형성된 트랜지스터와, 해당 트랜지스터 위에 형성된 제1 층간 절연막과, 제1 층간 절연막 위에 형성된 제2 층간 절연막과, 제2 층간 절연막 위에 형성된 제3 층간 절연막을 포함한다. 이러한 구조에서, 제3 층간 절연막은, 화소 영역의 상부 영역의 일부에 제공되고, 제3 층간 절연막의 단부는 구동 회로 영역보다도 내측에 형성된다. 이러한 구조는, 제2 층간

절연막으로부터의 탈가스가 트랜지스터측에 인입하는 것을 억제하는데, 이는 표시 장치의 신뢰성을 높일 수 있다. 또한, 제1 층간 절연막은, 제2 층간 절연막으로부터의 탈가스가 트랜지스터측에 인입하는 것을 억제할 수 있다.

[0177] 본 실시 형태는, 다른 실시 형태 또는 실시예에 설명된 구조들 중 임의의 구조와 적절히 조합해서 구현될 수 있다.

[0178] (실시 형태 3)

[0179] 본 실시 형태에서는, 상술한 실시 형태에서 나타난 표시 장치들 중 임의의 표시 장치와 조합해서 사용될 수 있는 이미지 센서에 대해서 설명한다.

[0180] 도 5a에는, 이미지 센서를 갖는 표시 장치의 일례를 나타낸다. 도 5a는 이미지 센서를 갖는 표시 장치의 하나의 화소의 등가 회로를 나타낸다.

[0181] 포토 다이오드 소자(4002)의 한쪽의 전극은 리셋 신호선(4058)에 전기적으로 접속되고, 포토 다이오드 소자(4002)의 다른 쪽의 전극은 트랜지스터(4040)의 게이트 전극에 전기적으로 접속되어 있다. 트랜지스터(4040)의 소스 전극과 드레인 전극 중 한쪽은 전원 전위(VDD)에 전기적으로 접속되고, 트랜지스터(4040)의 소스 전극과 드레인 전극 중 다른 쪽은 트랜지스터(4056)의 소스 전극과 드레인 전극 중 한쪽에 전기적으로 접속되어 있다. 트랜지스터(4056)의 게이트 전극은 게이트 선택선(4057)에 전기적으로 접속되고, 트랜지스터(4056)의 소스 전극과 드레인 전극 중 다른 쪽은 출력 신호선(4071)에 전기적으로 접속되어 있다.

[0182] 제1 트랜지스터(4030)는, 화소 스위칭용의 트랜지스터이다. 제1 트랜지스터(4030)의 소스 전극과 드레인 전극 중 한쪽은 영상 신호선(4059)에 전기적으로 접속되고, 제1 트랜지스터(4030)의 소스 전극과 드레인 전극 중 다른 쪽은 용량 소자(4032) 및 액정 소자(4034)에 전기적으로 접속되어 있다. 제1 트랜지스터(4030)의 게이트 전극은, 게이트선(4036)에 전기적으로 접속되어 있다.

[0183] 제1 트랜지스터(4030), 용량 소자(4032) 및 액정 소자(4034)의 구조는, 실시 형태 1에서 나타난 표시 장치와 유사할 수 있다는 점에 유의해야 한다.

[0184] 도 5b는, 이미지 센서를 갖는 표시 장치의 하나의 화소의 일부의 단면도와, 구동 회로부의 단면도를 나타낸다. 화소 영역(5042)에 있어서, 제1 기판(4001) 위에는, 포토 다이오드 소자(4002) 및 제1 트랜지스터(4030)가 제공되어 있다. 구동 회로인 게이트 드라이버 회로부(5040)에 있어서, 제1 기판(4001) 위에는, 제2 트랜지스터(4060) 및 제3 트랜지스터(4062)가 제공되어 있다.

[0185] 화소 영역(5042)에 있어서의 포토 다이오드 소자(4002) 및 제1 트랜지스터(4030) 위에는, 제1 층간 절연막(4014), 제2 층간 절연막(4016) 및 제3 층간 절연막(4020)이 형성되어 있다. 제2 층간 절연막(4016) 위에는, 제3 층간 절연막(4020)을 유전체로서 사용하는 용량 소자(4032)가 형성되어 있다.

[0186] 따라서, 제3 층간 절연막(4020)은 화소 영역(5042)의 일부에 제공되고, 제3 층간 절연막(4020)의 단부는 게이트 드라이버 회로부(5040)보다도 내측에 형성되어 있다. 이러한 구조에 의해, 제2 층간 절연막(4016)으로부터 방출되는 가스는, 외부로 확산할 수 있다. 따라서, 이러한 구조는, 제2 층간 절연막(4016)으로부터의 탈가스가 트랜지스터측에 인입하는 것을 억제할 수 있는데, 이는 표시 장치의 신뢰성을 높일 수 있다.

[0187] 포토 다이오드 소자(4002)에 있어서, 제1 트랜지스터(4030)의 소스 전극 및 드레인 전극과 동일한 공정으로 형성되는 하부 전극과, 액정 소자(4034)의 화소 전극과 동일한 공정으로 형성되는 상부 전극이 한 쌍의 전극으로서 포함되고, 한 쌍의 전극 간에는 다이오드가 존재한다.

[0188] 포토 다이오드 소자(4002)로서 사용할 수 있는 다이오드로서는, p형 반도체막과 n형 반도체막의 적층을 포함하는 pn형 다이오드, p형 반도체막, i형 반도체막 및 n형 반도체막의 적층을 포함하는 pin형 다이오드, 쇼트키형 다이오드 등을 사용할 수 있다.

[0189] 포토 다이오드 소자(4002) 위에는, 제1 배향막(4024), 액정층(4096), 제2 배향막(4084), 대향 전극(4088), 유기 절연막(4086), 착색막(4085), 제2 기판(4052) 등이 제공되어 있다.

[0190] pin형 다이오드는 p형의 반도체막층을 수광면으로서 사용할 때 양호한 광전변환 특성을 갖는다는 점에 유의해야 한다. 이는, 정공 이동도가 전자 이동도에 비하여 작기 때문이다. 본 실시 형태는, 제2 기판(4052)의 표면으로부터, 착색막(4085), 액정층(4096) 등을 통해, 포토 다이오드 소자(4002)에 입사하는 광을 전기 신호로 변환하는 예를 도시하고 있지만, 이러한 예는 본 발명을 한정하지는 않는다. 예를 들어, 착색막(4085)은 생략될 수

있다.

- [0191] 본 실시 형태에서 나타낸 포토 다이오드 소자(4002)는, 포토 다이오드 소자(4002)에 광이 입사함으로써 야기되는, 한 쌍의 전극 사이에서의 전류의 흐름을 이용한다. 포토 다이오드 소자(4002)가 광을 검출하면, 피검출물의 정보가 판독될 수 있다.
- [0192] 예를 들어, 표시 장치용 트랜지스터의 형성 공정과, 이미지 센서의 공정을 동시에 행함으로써, 본 실시 형태에서 나타낸 이미지 센서를 갖는 표시 장치의 생산성을 높일 수 있다. 그러나, 상술한 실시 형태에서 나타낸 표시 장치들 중 임의의 표시 장치와, 본 실시 형태에서 나타낸 이미지 센서를 다른 기판 위에 제조할 수 있다. 구체적으로는, 상술한 실시 형태에서 나타낸 표시 장치들 중 임의의 표시 장치에 있어서, 이미지 센서를 제2 기판 위에 제조할 수 있다.
- [0193] 본 실시 형태는, 다른 실시 형태 또는 다른 실시예에 기재한 구조들 중 임의의 구조와 적절히 조합해서 구현될 수 있다.
- [0194] (실시 형태 4)
- [0195] 본 실시 형태에서는, 본 발명의 한 실시 형태의 표시 장치를 사용한 태블릿형 단말기의 일례를 설명한다.
- [0196] 도 6a 내지 도 6c는 절첩식 태블릿형 단말기이다. 도 6a는, 개방된 태블릿형 단말기를 도시한다. 태블릿형 단말기는, 하우징(8630)과, 이 하우징(8630)에 제공된, 표시부(8631a), 표시부(8631b), 표시 모드 스위치(8034), 전원 스위치(8035), 절전 모드 스위치(8036), 고정구(8033) 및 조작 스위치(8038)를 포함한다.
- [0197] 본 발명의 한 실시 형태의 표시 장치는, 표시부(8631a) 및 표시부(8631b)에 적용할 수 있다.
- [0198] 표시부(8631a)의 일부 또는 전부는 터치 패널로서 기능할 수 있고, 표시된 조작 키가 터치될 때 입력될 수 있다. 예를 들어, 표시부(8631a)는 전체면에 키보드 버튼을 터치 패널로서 기능할 수 있게 표시할 수 있고, 표시부(8631b)는 표시 화면으로서 사용될 수 있다.
- [0199] 표시부(8631a)와 마찬가지로, 표시부(8631b)의 일부 또는 전부는 터치 패널로서 기능할 수 있다.
- [0200] 또한, 표시부(8631a)의 터치 패널의 영역과, 표시부(8631b)의 터치 패널의 영역은, 동시에 입력을 위해 터치될 수도 있다.
- [0201] 표시 모드 스위치(8034)에 의해, 예를 들어, 인물 모드, 풍경 모드 등의 사이, 및 흑백 표시와 컬러 표시의 사이에서 표시가 전환될 수 있다. 절전 모드 스위치(8036)에 의해, 태블릿형 단말기에 내장된 광 센서에 의해 검출된 외광에 따라서 표시의 휘도가 제어될 수 있다. 광 센서 이외에, 태블릿형 단말기에는, 기울기를 검출할 수 있는 자이로스코프 또는 가속도 센서 등의 센서를 포함하는 다른 검출 장치가 포함될 수 있다는 점에 유의해야 한다.
- [0202] 도 6a는, 표시부(8631a)와 표시부(8631b)의 면적이 동일한 예를 나타내고 있지만; 이러한 예가 본 발명을 한정하지 않는다는 점에 유의해야 한다. 표시부(8631a)와 표시부(8631b)는 면적 또는 표시의 품질이 다를 수 있다. 예를 들어, 한쪽의 표시 패널이 다른 쪽 패널보다도 고정밀의 표시를 행할 수 있다.
- [0203] 도 6b에서, 태블릿형 단말기는 폐쇄 상태이다. 태블릿형 단말기는, 하우징(8630)과, 이 하우징(8630)에 제공되어 있는 태양 전지(8633) 및 충방전 제어 회로(8634)를 포함한다. 도 6b에서는, 충방전 제어 회로(8634)의 일례로서, 배터리(8635) 및 DCDC 컨버터(8636)를 포함하는 구조가 나타난다.
- [0204] 태블릿형 단말기는 접철식이기 때문에, 태블릿형 단말기가 미사용시에는 하우징(8630)이 폐쇄된 상태일 수 있다. 따라서, 표시부(8631a)와 표시부(8631b)가 보호될 수 있는데, 이로 인해 내구성이 우수하고, 장기간 사용의 관점에서도 신뢰성이 우수하게 된다.
- [0205] 도 6a 내지 도 6c에 나타낸 태블릿형 단말기는, 여러 가지 정보(예를 들면, 정지 화상, 동화상 및 텍스트 화상)를 표시하는 기능, 캘린더, 일자 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력에 의해 조작 또는 편집하는 터치 입력 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수도 있다.
- [0206] 태양 전지(8633)에 의해 얻어진 전력은, 태블릿형 단말기의 동작에 사용할 수 있거나 배터리(8635)에 축적할 수 있다. 태양 전지(8633)는, 하우징(8630)의 양면에 제공될 수 있다는 점에 유의해야 한다. 배터리(8635)로서 리튬 이온 전지를 사용하면, 소형화 등의 이점이 있다.

- [0207] 도 6b에 나타내는 충방전 제어 회로(8634)의 구조 및 동작에 대해서는, 도 6c의 블록도를 참조하여 설명한다. 도 6c에서는, 태양 전지(8633), 배터리(8635), DCDC 컨버터(8636), 컨버터(8637), 스위치 SW1, 스위치 SW2, 스위치 SW3 및 표시부(8631)를 나타내고 있다. 도 6c에 있어서의 배터리(8635), DCDC 컨버터(8636), 컨버터(8637) 및 스위치 SW1 내지 SW3은, 도 6b에 나타내는 충방전 제어 회로(8634)에 대응한다.
- [0208] 태양 전지(8633)에 의해 발전이 되는 경우, 태양 전지에 의해 발전한 전력의 전압은, 전력이 배터리(8635)를 충전하기 위한 전압을 갖도록 DCDC 컨버터(8636)에 의해 승압 또는 강압된다. 이어서, 스위치 SW1이 턴 온되고, 전력의 전압은 표시부(8631)에 최적인 전압이 되도록 컨버터(8637)에 의해 승압 또는 강압된다. 또한, 표시부(8631)에서의 표시를 행하지 않을 때는, 스위치 SW1이 턴 오프되고, 스위치 SW2는 턴 온되어, 배터리(8635)가 충전된다.
- [0209] 발전 수단의 일례로서 태양 전지(8633)에 대해서 나타냈지만, 이는 본 발명을 한정하지 않는다. 압전 소자나 열전 변환 소자(펄티에 소자) 등의 다른 발전 수단이 대신 사용될 수 있다는 점에 유의해야 한다. 예를 들어, 무선(비접촉)으로 전력을 송수신해서 충전할 수 있는 무 점접 전력 전송 모듈 등, 다른 충전 수단을 조합해서 사용하여, 배터리가 충전될 수 있다.
- [0210] 본 실시 형태는, 다른 실시 형태 또는 실시예에 기재한 구조들 중 임의의 구조와 적절히 조합해서 구현될 수 있다.
- [0211] (실시 형태 5)
- [0212] 본 실시 형태에서는, 상술한 실시 형태에서 나타난 표시 장치들 중 임의의 표시 장치 등을 포함하는 전자 장치의 예에 대해서 설명한다.
- [0213] 도 7a는 휴대형 정보 단말기를 나타낸다. 도 7a에 나타내는 휴대형 정보 단말기는, 하우징(9300), 버튼(9301), 마이크로폰(9302), 표시부(9303), 스피커(9304) 및 카메라(9305)를 포함하고, 휴대형 전화기로서의 기능을 갖는다. 표시부(9303)에는, 상기 실시 형태에서 나타난 표시 장치 및 이미지 센서를 갖는 표시 장치 중 임의의 것을 적용할 수 있다.
- [0214] 도 7b는, 디스플레이를 나타낸다. 도 7b에 나타내는 디스플레이는, 하우징(9310)과 표시부(9311)를 포함한다. 표시부(9311)에는, 상기 실시 형태에서 나타난 표시 장치와 이미지 센서를 갖는 표시 장치 중 임의의 것을 적용할 수 있다.
- [0215] 도 7c는, 디지털 스틸 카메라를 나타낸다. 도 7c에 나타내는 디지털 스틸 카메라는, 하우징(9320), 버튼(9321), 마이크로폰(9322) 및 표시부(9323)를 포함한다. 표시부(9323)에는, 상술한 실시 형태에서 나타난 표시 장치와 이미지 센서를 갖는 표시 장치 중 임의의 것을 적용할 수 있다.
- [0216] 본 발명의 한 실시 형태를 적용함으로써, 전자 장치의 신뢰성을 높일 수 있다.
- [0217] 본 실시 형태는, 다른 실시 형태 및 실시예에 기재한 구조들 중 임의의 구조와 적절히 조합해서 구현될 수 있다.
- [0218] [실시예 1]
- [0219] 본 실시예에서는, 표시 장치에 사용할 수 있는 유기 수지의 대표적인 예인 아크릴 수지로부터의 방출 가스에 대해서 조사했다.
- [0220] 시료에 있어서는, 유리 기판 위에 아크릴 수지를 도포하고, 질소 가스 분위기하에서, 1시간 동안 250℃로 가열 처리를 행했다. 아크릴 수지는 가열 처리 후에 두께가 1.5μm가 되도록 형성되었다는 점에 유의해야 한다.
- [0221] 제조된 시료로부터의 탈가스는, 열 탈착 분광법(TDS: Thermal Desorption Spectroscopy)에 의해 측정되었다.
- [0222] 도 8은, 기판 표면 온도 250℃에서, 질량 전하비(M/z이라고도 함)에 있어서의 방출 가스의 이온 강도를 나타낸다. 도 8에 있어서, 황축은 질량 전하비를 나타내고, 종축은 강도(임의 단위)를 나타낸다. 도 8에 도시한 것과 같이, 물에 기인한 것으로 보이는 질량 전하비가 18인 이온의 가스(H₂O 가스), 질량 전하비가 28인 이온의 가스(C₂H₄ 가스), 질량 전하비가 44인 이온의 가스(C₃H₈ 가스), 및 질량 전하비가 56인 이온의 가스(C₄H₈ 가스)가 검출되었다. 각 질량 전하비의 근방에는, 가스의 프래그먼트 이온이 검출되었다는 점에 유의해야 한다.
- [0223] 도 9는 또한, 기판 표면 온도에 대한 각 질량 전하비(18, 28, 44 및 56)의 이온 강도를 나타낸다. 도 9에 있어

서, 횡축은 기판 표면 온도(°C)를 나타내고, 종축은 강도(임의 단위)를 나타낸다. 기판 표면 온도가 55°C 내지 270°C의 범위에 있을 경우, 물에 기인한 것으로 보이는 질량 전하비가 18인 이온의 강도는, 55°C 이상 100°C 이하의 범위에서의 피크 및 150°C 이상 270°C 이하의 범위에서의 피크를 갖는 것을 알았다. 반면에, 탄화수소에 기인한 것으로 보이는 질량 전하비가 28, 44 및 56인 이온의 강도는 각각, 150°C 이상 270°C 이하의 범위에서의 피크를 갖는 것을 알았다.

[0224] 상기에 도시한 바와 같이, 산화물 반도체막 내의 불순물로서의 역할을 하는 물, 탄화수소 등이 유기 수지로부터 방출되는 것을 알았다. 특히, 물은 55°C 이상 100°C 이하의 비교적 저온에서도 방출되는 것을 알았다. 즉, 유기 수지에 기인하는 불순물이 산화물 반도체막에 도달하면, 트랜지스터의 전기 특성이 열화될 수 있다는 것이 시사되었다.

[0225] 또한, 유기 수지가, 물, 탄화수소 등의 방출 가스를 투과하지 않는 막(예를 들면, 질화 실리콘막, 질화산화 실리콘막, 또는 산화 알루미늄막)으로 피복되는 경우, 유기 수지로부터 가스의 방출이, 물, 탄화수소 등의 방출 가스를 투과하지 않는 막에의 압력을 높이는데, 이는 최종적으로 물, 탄화수소 등의 방출 가스를 투과하지 않는 막을 파괴시키고, 트랜지스터의 형상 불량을 야기한다는 것이 시사되었다.

[0226] [실시예 2]

[0227] 본 실시예에서는, 트랜지스터를 제조하고, 단면 형상 및 그 전기 특성을 평가했다.

[0228] 각 시료에 있어서, 산화물 반도체막이 사용되는 채널 에치형 구조를 갖는 보텀-게이트 톱-콘택트형의 트랜지스터가 제공되어 있다. 해당 트랜지스터는, 유리 기판 위에 제공된 게이트 전극과, 게이트 전극 위에 제공된 게이트 절연막과, 게이트 절연막을 개재해서 게이트 전극 위에 제공된 산화물 반도체막과, 산화물 반도체막 위에 접해서 제공된 한 쌍의 전극을 포함한다. 여기서, 게이트 전극에는 텅스텐막을 사용했고, 게이트 절연막에는 질화 실리콘막과 그 위의 산화질화 실리콘막을 사용했고, 산화물 반도체막에는 In-Ga-Zn 산화막을 사용했다. 각각의 전극에 대해서는, 텅스텐막, 텅스텐막 위의 알루미늄막, 및 알루미늄막 위의 티타늄막을 사용했다.

[0229] 각각의 전극 위에는, 보호 절연막(450nm 두께의 산화질화 실리콘막과, 그 위에 제공된 50nm 두께의 질화 실리콘막)이 제공되어 있다.

[0230] 이 실시예의 시료에 있어서는, 보호 절연막 위에는 2 μ m 두께의 아크릴 수지가 제공되어 있고, 아크릴 수지 위에는 아크릴 수지의 측면 일부를 노출하도록 200nm 두께의 질화 실리콘막이 제공되어 있다. 비교예의 시료에 있어서, 보호 절연막 위에는 1.5 μ m 두께의 아크릴 수지가 제공되어 있고, 아크릴 수지 위에는 아크릴 수지를 덮도록 200nm 두께의 질화 실리콘막이 제공되어 있다.

[0231] 도 10은, 비교예의 시료의 확대 부분의 단면 형상의 투과 전자 이미지(TE 이미지라고도 함)를 나타내는데, 이는 TEM에 의해 얻어졌다. 단면 형상의 관측에 있어서는, 주식회사 히타치 하이테크놀로지스사 제조의 초박막 평가 시스템 HD-2300을 사용했다. 도 10에 있어서는, 전극 중 한쪽의 전극만이 도시되어 있다는 점에 유의해야 한다. 도 10에 도시하는 전극 및 이 전극을 덮도록 제공된 보호 절연막으로부터, 보호 절연막에서, 전극에 의해 형성된 단차로부터 균열이 발생하고 있는 것을 알았다. 또한, 이 실시예의 시료와 비교예의 시료에 있어서 관측 영역의 구조는, 대략 유사하기 때문에, 이 실시예의 시료의 단면 형상은 도시되지 않는다.

[0232] 따라서, 이 실시예의 시료는, 아크릴 수지로부터의 방출 가스가 시료의 외부로 추출되는 구조를 가지며, 비교예의 시료는 아크릴 수지로부터의 방출 가스가 시료의 외부로 추출되지 않는 구조를 갖는다. 즉, 비교예의 시료에 있어서, 아크릴 수지로부터의 방출 가스는, 외부로는 추출되지 않고, 보호 절연막에 발생한 균열을 통해서 트랜지스터에 인입된다.

[0233] 이어서, 시료의 트랜지스터의 전기 특성인 게이트 전압(Vg)-드레인 전류(Id) 특성을 측정했다. Vg-Id 특성은, 각각 채널 길이가 3 μ m이고, 채널 폭이 3 μ m인 트랜지스터를 사용하여 측정했다. Vg-Id 특성의 측정에 있어서는, 드레인 전압(Vd)은 1V 또는 10V로 설정되었고, 게이트 전압(Vg)은 -20V로부터 15V로 소인(sweep)되었다는 점에 유의해야 한다.

[0234] 도 11a 및 도 11b는, 시료의 Vg-Id 특성을 나타낸다. 600mm×720mm의 유리 기판 위의 20개의 트랜지스터의 Vg-Id 특성은, 가능한 한 균등하게 측정되었다. 도 11a는, 이 실시예의 시료의 트랜지스터의 Vg-Id 특성 및 전계 효과 이동도를 나타내고, 도 11b는 비교예의 시료의 트랜지스터의 Vg-Id 특성을 나타낸다. 도 11a에 나타나는 전계 효과 이동도는 10V의 드레인 전압(Vd)에서 얻어졌다는 점에 유의해야 한다. 전계 효과 이동도는 도 11b에 도시되지 않는데, 그 이유는 산출하기가 어려웠기 때문이다.

- [0235] 도 11a는, 이 실시예의 시료의 트랜지스터가, 양호한 스위칭 특성을 보여준다는 것을 나타낸다. 도 11b는, 비교예의 시료의 트랜지스터가, 스위칭 특성을 보여주지 않고, 노멀리 온인 것을 나타낸다.
- [0236] 이 실시예의 시료와의 비교는, 비교예의 시료의 스위칭 특성의 불량이, 아크릴 수지로부터의 방출 가스가 트랜지스터에 영향을 미쳤기 때문에 야기된다는 것을 나타낸다. 구체적으로, 이는, 아크릴 수지로부터의 방출 가스가 산화물 반도체 막 내의 캐리어 밀도를 증가시키고, 게이트 전극으로부터의 전계가 트랜지스터가 오프되는 것을 방지하기 때문이라고 추정된다.
- [0237] 이 실시예는, 유기 수지가, 물, 탄화수소 등의 방출 가스를 투과하지 않는 막(여기서는, 200nm 두께의 질화 실리콘막)으로 덮이면, 유기 수지로부터의 방출 가스가 트랜지스터의 스위칭 특성의 불량을 야기한다는 것을 나타낸다. 이 실시예는 또한, 유기 수지를 덮고, 물, 탄화수소 등의 방출 가스를 투과하지 않는 막의 일부에, 방출 가스가 시료 외부로 추출되는 경로를 제공함으로써, 해당 트랜지스터의 스위칭 특성의 불량을 피할 수 있고, 양호한 스위칭 특성을 얻을 수 있다는 것을 나타낸다.

부호의 설명

- [0238] 101: 제1 트랜지스터
 102: 제1 기판
 103: 제2 트랜지스터
 104: 게이트 전극
 105: 제3 트랜지스터
 106: 게이트 절연막
 107: 용량 소자
 108: 반도체층
 110: 소스 전극
 112: 드레인 전극
 113: 전극
 114: 제1 층간 절연막
 116: 제2 층간 절연막
 118: 용량 전극
 120: 제3 층간 절연막
 122: 화소 전극
 124: 제1 배향막
 126: 격벽
 128: 발광층
 130: 전극
 140: 게이트 드라이버 회로부
 142: 화소 영역
 144: 소스 드라이버 회로부
 146: FPC 단자부
 148: FPC
 150: 액정 소자

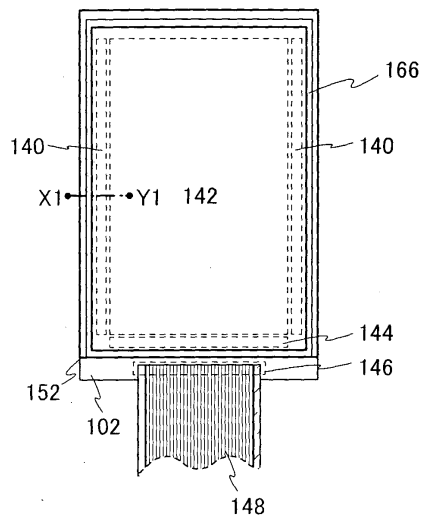
152: 제2 기판
 153: 착색막
 154: 차광막
 156: 유기 보호 절연막
 158: 대향 전극
 160: 스페이서
 162: 액정층
 164: 제2 배향막
 166: 시일재
 170: 발광 소자
 172: 충전재
 4001: 제1 기판
 4002: 포토 다이오드 소자
 4014: 제1 층간 절연막
 4016: 제2 층간 절연막
 4020: 제3 층간 절연막
 4024: 제1 배향막
 4030: 제1 트랜지스터
 4032: 용량 소자
 4034: 액정 소자
 4036: 게이트선
 4040: 트랜지스터
 4052: 제2 기판
 4056: 트랜지스터
 4057: 게이트 선택선
 4058: 리셋 신호선
 4059: 영상 신호선
 4060: 제2 트랜지스터
 4062: 제3 트랜지스터
 4071: 출력 신호선
 4084: 제2 배향막
 4085: 착색막
 4086: 유기 절연막
 4088: 대향 전극
 4096: 액정층
 5040: 게이트 드라이버 회로부

5042: 화소 영역
8033: 고정구
8034: 스위치
8035: 전원 스위치
8036: 스위치
8038: 조작 스위치
8630: 하우징
8631: 표시부
8631a: 표시부
8631b: 표시부
8633: 태양 전지
8634: 충방전 제어 회로
8635: 배터리
8636: DCDC 컨버터
8637: 컨버터
9300: 하우징
9301: 버튼
9302: 마이크로폰
9303: 표시부
9304: 스피커
9305: 카메라
9310: 하우징
9311: 표시부
9320: 하우징
9321: 버튼
9322: 마이크로폰
9323: 표시부

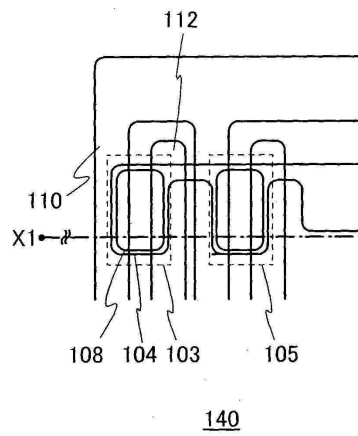
본 출원은 2012년 7월 20일에 일본 특허청에 제출된 일본 특허 출원 번호 제2012-161344호에 기초하며, 그 전체 내용은 본원에 참조로 인용된다.

도면

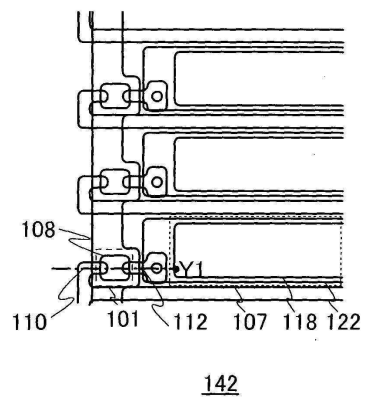
도면1a



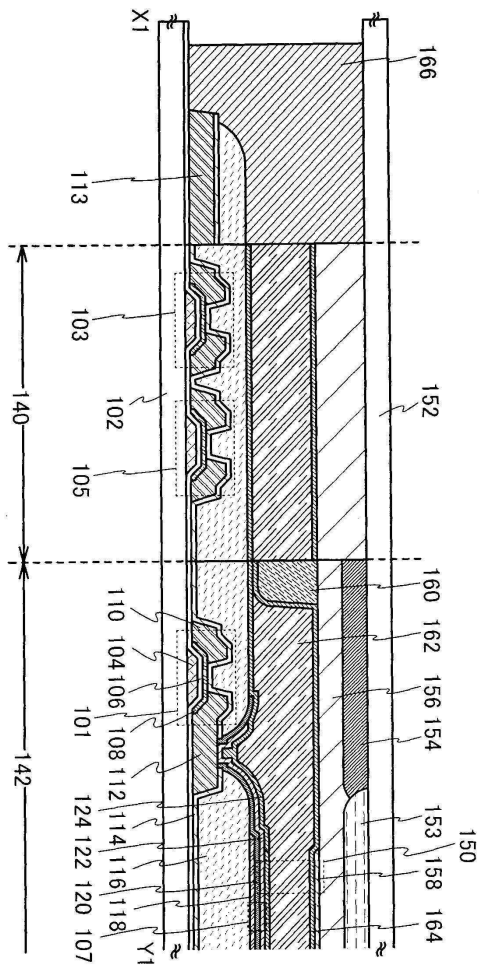
도면1b



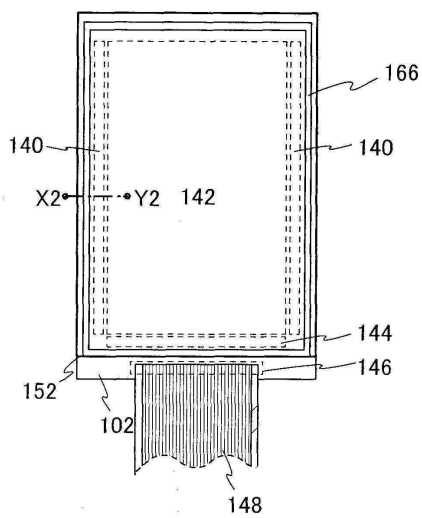
도면1c



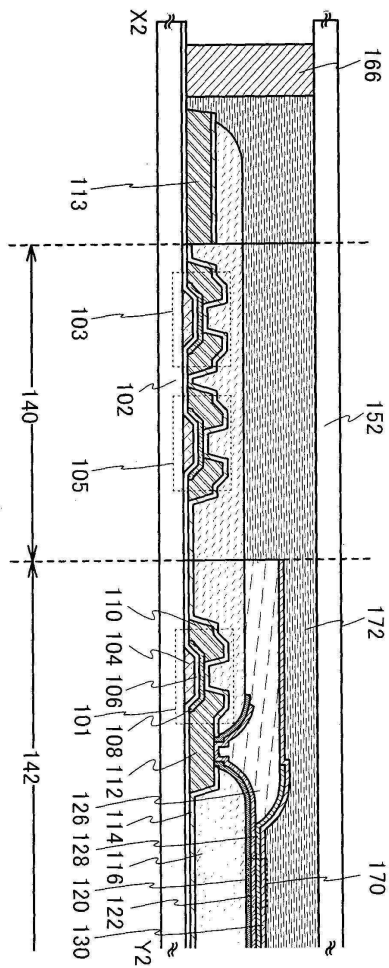
도면2



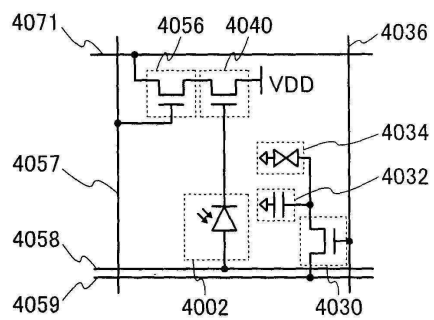
도면3



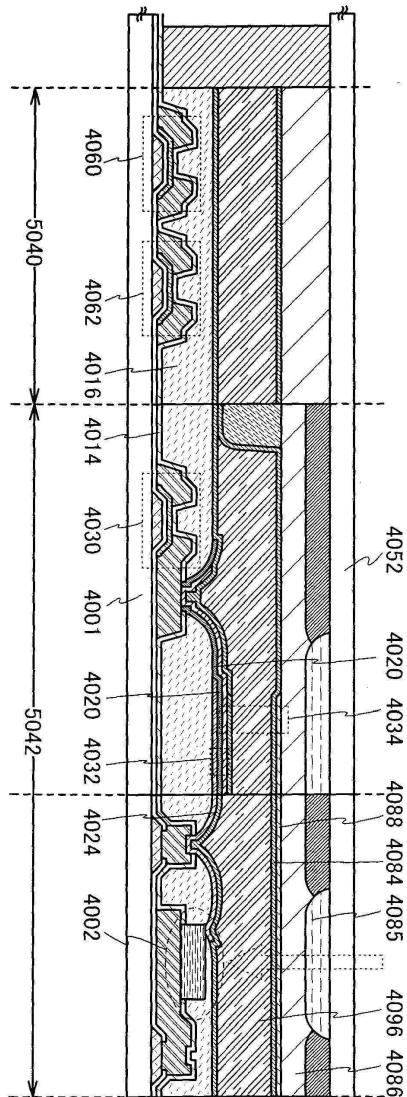
도면4



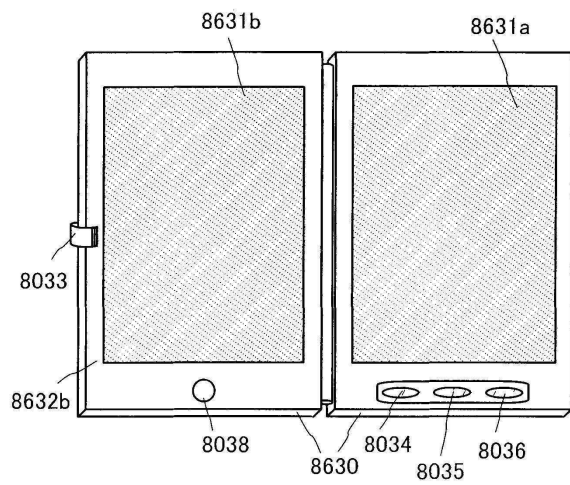
도면5a



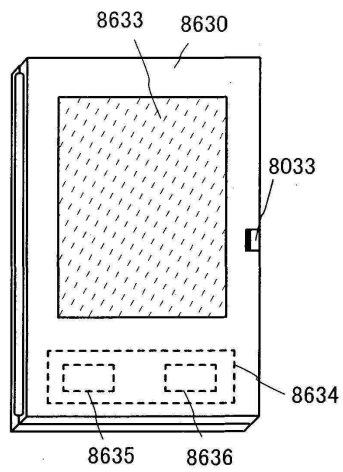
도면5b



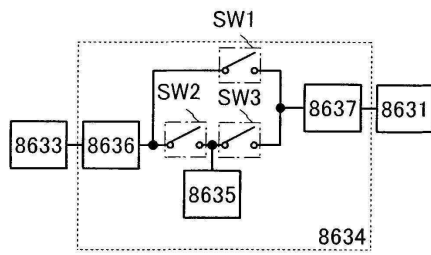
도면6a



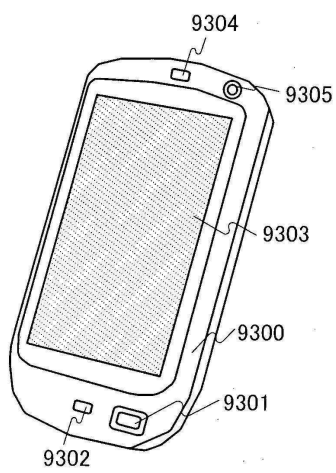
도면6b



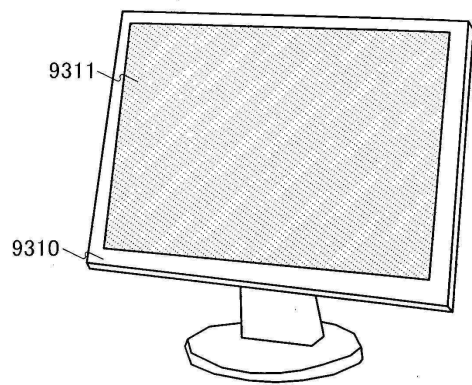
도면6c



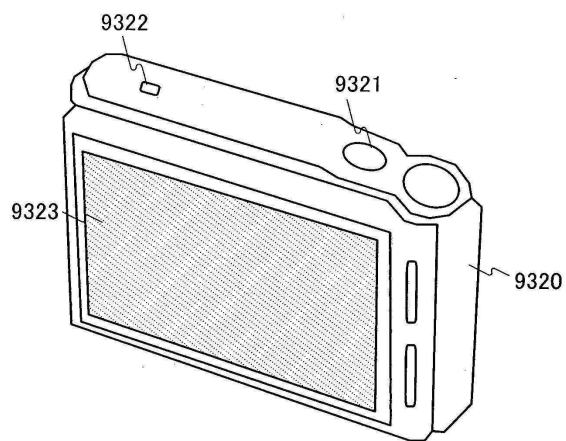
도면7a



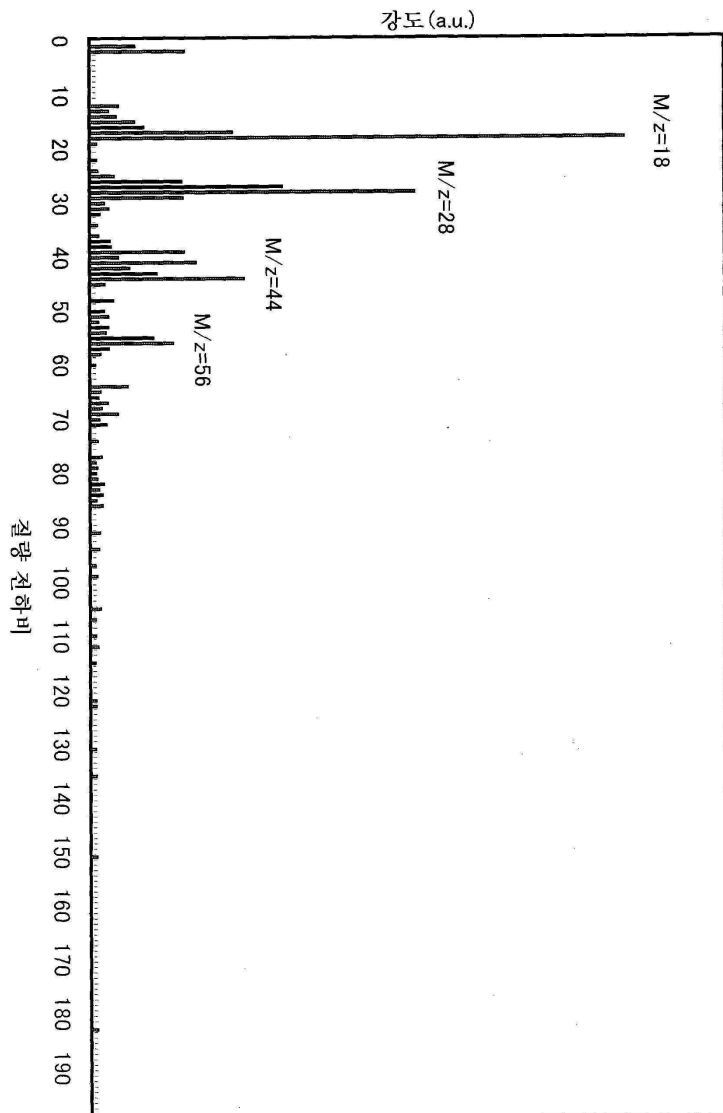
도면7b



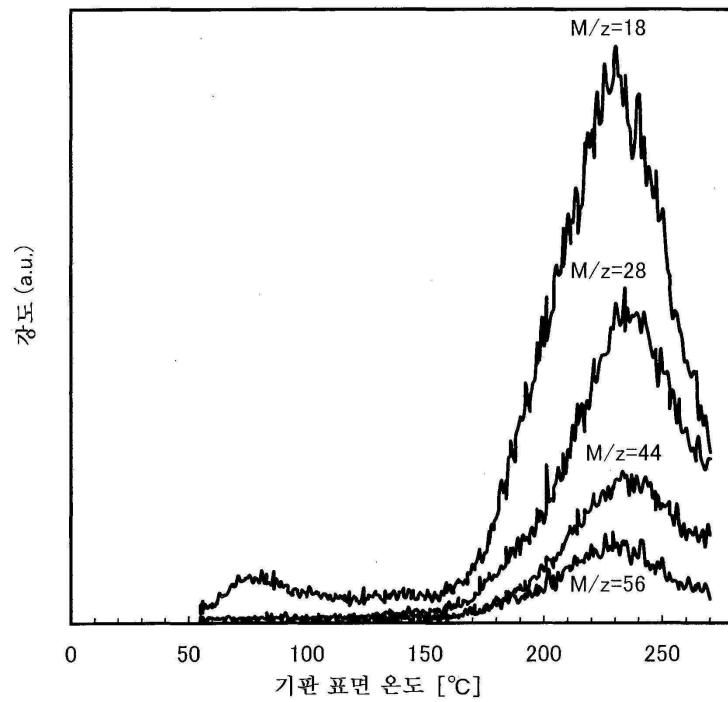
도면7c



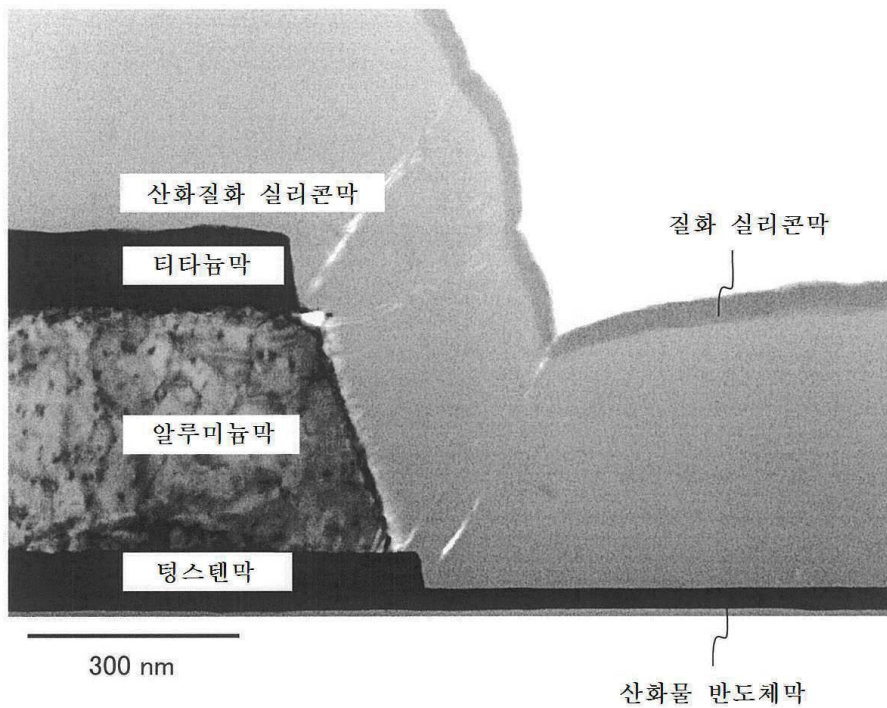
도면8



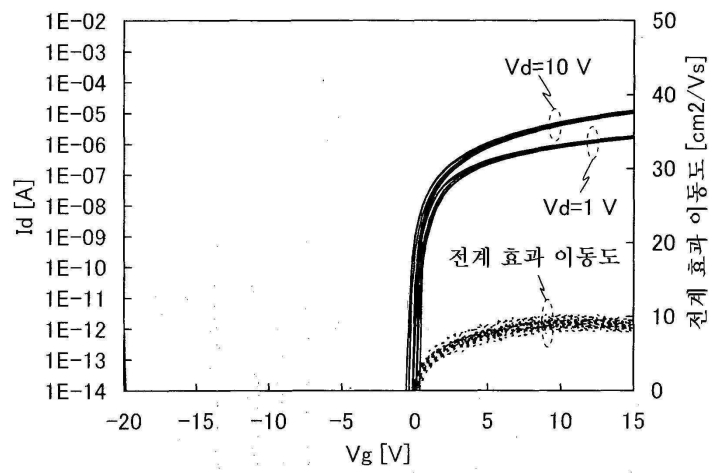
도면9



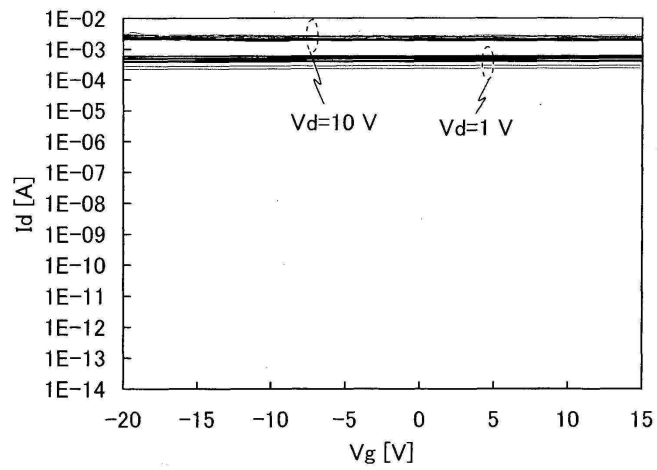
도면10



도면11a



도면11b



专利名称(译)	显示设备和包括该显示设备的电子设备		
公开(公告)号	KR1020200032261A	公开(公告)日	2020-03-25
申请号	KR1020207007826	申请日	2013-07-10
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	야마자키순페이		
发明人	호사카 야스하루 시마 유키노리 오카자키 겐이치 야마자키 순페이		
IPC分类号	G02F1/1345 G02F1/1333 G02F1/1368 H01L27/12		
CPC分类号	G02F1/13454 G02F1/133345 G02F1/1368 H01L27/1214 H01L27/1225 H01L27/1248 G02F1/133512 G02F1/1337 G02F1/136227		
代理人(译)	Gimtaehong Gimjinhoe		
优先权	2012161344 2012-07-20 JP		
外部链接	Espacenet		

摘要(译)

该显示装置包括：第一基板，其具有设置在像素区域的外部并且与像素区域相邻的驱动器电路区域，并且包括至少一个第二晶体管，该第二晶体管向像素区域中的每个像素中的第一晶体管提供信号。面对第一衬底的衬底，在第一衬底和第二衬底之间的液晶层，在第一晶体管和第二晶体管之上包括无机绝缘材料的第一层间绝缘膜，在衬底之上包括有机绝缘材料的第二层间绝缘膜 第一层间绝缘膜和在第二层间绝缘膜上包括无机绝缘材料的第三层间绝缘膜。第三层间绝缘膜设置在像素区域的上部区域的一部分中，并且在比驱动电路区域靠内侧的一侧具有边缘部。

