(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0075633
(43) 공개일자 2019년07월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1335 (2019.01) *G09G 3/36* (2006.01)
(52) CPC특허분류
G02F 1/133553 (2013.01)
G09G 3/3677 (2013.01)
(21) 출원번호 10-2017-0177380
(22) 출원일자 2017년12월21일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김선경
경기도 파주시 월롱면 엘지로 245
조성현
경기도 파주시 월롱면 엘지로 245
서소원
경기도 파주시 월롱면 엘지로 245
(74) 대리인
네이트특허법인

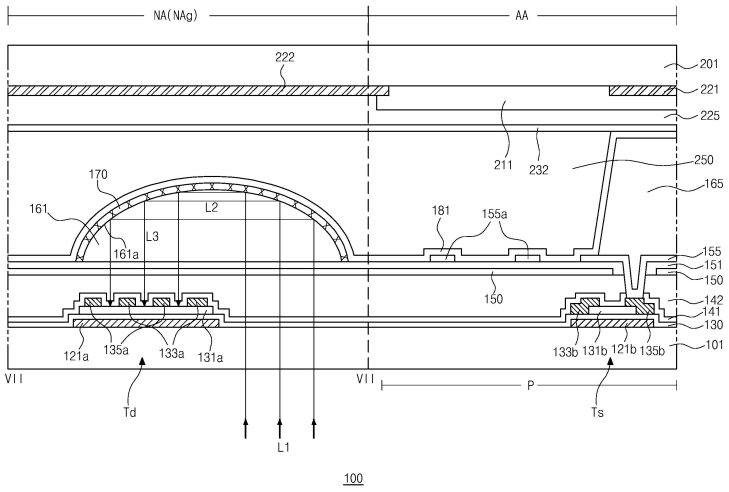
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **액정표시장치**

(57) 요 약

본 발명은 스위칭트랜지스터를 구비한 화소가 배열된 표시영역과, 상기 표시영역 외부의 비표시영역이 정의된 기판과; 상기 기판 상의 비표시영역에 형성된 다수의 구동트랜지스터를 포함하고, 상기 스위칭트랜지스터에 연결된 게이트배선에 게이트신호를 출력하는 게이트구동회로와; 상기 다수의 구동트랜지스터 중 적어도 하나의 상부에는, 해당 구동트랜지스터와 일부가 중첩하고 나머지 일부가 이 구동트랜지스터의 외측에 위치하며 상방으로 볼록한 형상을 갖는 반사패턴을 포함하는 액정표시장치를 제공한다.

대 표 도 - 도7



(52) CPC특허분류
G02F 2001/13356 (2013.01)
G09G 2300/0408 (2013.01)
G09G 2300/0426 (2013.01)
G09G 2320/043 (2013.01)

명 세 서

청구범위

청구항 1

스위칭트랜지스터를 구비한 화소가 배열된 표시영역과, 상기 표시영역 외부의 비표시영역이 정의된 기판과;

상기 기판 상의 비표시영역에 형성된 다수의 구동트랜지스터를 포함하고, 상기 스위칭트랜지스터에 연결된 게이트배선에 게이트신호를 출력하는 게이트구동회로와;

상기 다수의 구동트랜지스터 중 적어도 하나의 상부에는, 해당 구동트랜지스터와 일부가 중첩하고 나머지 일부가 이 구동트랜지스터의 외측에 위치하며 상방으로 볼록한 형상을 갖는 반사패턴

을 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 구동트랜지스터는,

상기 기판의 내면 상의 제1게이트전극과;

상기 제1게이트전극 상에 이에 의해 가려진 제1반도체층과;

상기 제1반도체층 상에 제1소스전극 및 제1드레인전극을 포함하는

액정표시장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 반사패턴이 형성된 구동트랜지스터의 상부에, 이 반사패턴이 상면을 따라 형성된 볼록패턴

을 더 포함하는 액정표시장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 스위칭트랜지스터는,

상기 기판의 내면 상의 제2게이트전극과;

상기 제2게이트전극 상에 이에 의해 가려진 제2반도체층과;

상기 제2반도체층 상에 제2소스전극 및 제2드레인전극을 포함하는

액정표시장치.

청구항 5

제 3 항에 있어서,

상기 표시영역에 상기 볼록패턴과 동일 물질로 형성된 컬럼스페이서

를 더 포함하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 반사패턴은 볼록한 곡면 형상이나 볼록한 다각 형상을 갖는

액정표시장치.

청구항 7

제 1 항에 있어서,

상기 구동트랜지스터는 n타입의 트랜지스터인

액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는, 게이트구동회로의 트랜지스터에 대한 문턱전압 쉬프트 현상을 개선하여 신뢰성을 향상시킬 수 있는 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display device), 플라즈마표시장치(PDP : plasma display panel), 유기발광소자(OLED : organic light emitting diode)표시장치와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 널리 사용되고 있다.

[0004] 최근들어, 액정표시장치의 게이트구동회로인 쉬프트레지스터를 어레이기판에 직접 형성한 GIP(gate-in panel) 방식 게이트구동회로가 사용되고 있다.

[0005] 이와 같은 GIP 게이트구동회로는 게이트배선 각각에 대응하는 다수의 스테이지로 구성되며, 각 스테이지에는 예를 들면 n타입의 다수의 트랜지스터가 구성되어 있다.

[0006] 그런데, 액정표시장치를 장시간 구동하게 되면, GIP 게이트구동회로에 형성된 트랜지스터는 장시간 파지티브 바이어스(positive bias) 스트레스를 받게되어 문턱전압(threshold voltage)이 파지티브 쉬프트(shift)되는 PBTS(positive bias threshold stress) 현상이 발생하게 된다.

[0007] 더욱이, 산화물반도체를 사용한 트랜지스터는 PBTS에 더욱 취약하다.

[0008] 이와 관련하여 종래의 PBTS 현상을 도시한 도 1을 참조할 수 있다. 도 1에서, 검은색 그래프는 0 sec 즉 최초 구동시 Vgs 대비 Ids의 그래프이고, 적색 그래프는 3600 sec 시점에서의 Vgs 대비 Ids의 그래프이다.

[0009] 도 1을 살펴보면, 장시간 구동하게 되면, GIP 게이트구동회로의 트랜지스터가 PBTS 현상에 의해 문턱전압이 파지티브 쉬프트(+ shift)되어 열화됨을 알 수 있다.

[0010] 이처럼, PBTS 현상에 의해 트랜지스터가 열화됨에 따라, 스테이지는 해당 출력 신호를 미출력하거나 멀티(multi) 출력하는 등 비정상적으로 거동하게 되어, 게이트구동회로의 신뢰성이 저하되는 문제가 발생하게 된다.

발명의 내용

해결하려는 과제

[0011] 본 발명은, 게이트구동회로의 트랜지스터에 대한 문턱전압 쉬프트 현상을 개선하여 신뢰성을 향상시킬 수 있는 방안을 제공하는 것에 과제가 있다.

과제의 해결 수단

[0012] 전술한 바와 같은 과제를 달성하기 위해, 본 발명은 스위칭트랜지스터를 구비한 화소가 배열된 표시영역과, 상기 표시영역 외부의 비표시영역이 정의된 기판과; 상기 기판 상의 비표시영역에 형성된 다수의 구동트랜지스터를 포함하고, 상기 스위칭트랜지스터에 연결된 게이트배선에 게이트신호를 출력하는 게이트구동회로와; 상기 다수의 구동트랜지스터 중 적어도 하나의 상부에는, 해당 구동트랜지스터와 일부가 중첩하고 나머지 일부가 이 구동트랜지스터의 외측에 위치하며 상방으로 볼록한 형상을 갖는 반사패턴을 포함하는 액정표시장치를 제공한다.

[0013] 여기서, 상기 구동트랜지스터는, 상기 기판의 내면 상의 제1게이트전극과; 상기 제1게이트전극 상에 이에 의해 가려진 제1반도체층과; 상기 제1반도체층 상에 제1소스전극 및 제1드레인전극을 포함할 수 있다.

[0014] 상기 반사패턴이 형성된 구동트랜지스터의 상부에, 이 반사패턴이 상면을 따라 형성된 볼록패턴을 더 포함할 수 있다.

[0015] 상기 스위칭트랜지스터는, 상기 기판의 내면 상의 제2게이트전극과; 상기 제2게이트전극 상에 이에 의해 가려진 제2반도체층과; 상기 제2반도체층 상에 제2소스전극 및 제2드레인전극을 포함할 수 있다.

[0016] 상기 표시영역에 상기 볼록패턴과 동일 물질로 형성된 컬럼스페이서를 더 포함할 수 있다.

[0017] 상기 반사패턴은 볼록한 곡면 형상이나 볼록한 다각 형상을 가질 수 있다.

[0018] 상기 구동트랜지스터는 n타입의 트랜지스터일 수 있다.

발명의 효과

[0019] 본 발명에서는, GIP영역의 게이트구동회로를 구성하는 구동트랜지스터 상에 이와 일부 중첩하고 이의 외측으로 연장되며 상부로 볼록한 형상의 반사패턴을 형성하게 된다.

[0020] 이에 따라, 백라이트유닛에서 출사된 광은 그 경로가 변경되어 구동트랜지스터 상부에서 하방으로 구동트랜지스터의 반도체층에 제공될 수 있게 된다.

[0021] 이로 인해, 구동트랜지스터의 PBTS 현상은 입사된 광에 의해 발생되는 NBTIS 현상에 의해 상쇄되어, 문턱전압의 파지티브(+) 쉬프트는 개선될 수 있게 된다.

[0022] 따라서, PBTS에 의한 구동트랜지스터의 열화가 완화되어 게이트구동회로는 정상적으로 거동될 수 있게 되므로, 게이트구동회로의 신뢰성이 향상될 수 있게 된다.

도면의 간단한 설명

[0023] 도 1은 종래의 GIP 게이트구동회로의 트랜지스터의 파지티브 쉬프트 현상을 도시한 도면.

도 2는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 블럭도.

도 3은 본 발명의 실시예에 따른 화소 구조의 일예를 도시한 회로도.

도 4는 본 발명의 실시예에 따른 게이트구동회로의 구성을 개략적으로 도시한 블럭도.

도 5는 본 발명의 실시예에 따른 게이트구동회로의 각 스테이지의 일예를 도시한 회로도.

도 6은 본 발명의 실시예에 따른 게이트구동회로의 구동트랜지스터의 평면 구조를 도시한 평면도.

도 7은 도 6의 절단선 VII-VII을 따라 도시한 구동트랜지스터의 단면 구조와 게이트구동회로에 인접 배치된 화소의 단면 구조를 함께 도시한 단면도.

도 8은 본 발명의 실시예에 따른 볼록패턴이 볼록한 삼각 형상을 갖는 경우를 도시한 단면도.

도 9 및 10은 본 발명의 실시예에 따른 볼록패턴을 형성하는 방법의 일예를 도시한 단면도.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

[0025] 도 2는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 블럭도이고, 도 3은 본 발명의 실시예에 따른 화소 구조의 일예를 도시한 회로도이다.

[0026] 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치(10)는 액정패널(100)과, 데이터구동회로(310)와, 게이트구동회로(320)와, 타이밍제어회로(330)와, 백라이트유닛(300)을 포함할 수 있다.

[0027] 액정패널(100)은 영상을 표시하는 표시패널로서, 이는 영상을 표시하는 영역인 표시영역(AA)과 표시영역(AA) 주변에 위치하여 이를 둘러싸는 비표시영역(NA)을 포함할 수 있다.

[0028] 액정패널(100)의 표시영역(AA)에는 다수의 행라인과 열라인을 따라 매트릭스 형태로 화소(P)가 배치된다.

[0029] 이와 같은 액정패널(100)은 액정층과 이를 사이에 두고 서로 대면 합착된 2개의 기판인 제1,2기판을 포함하여 구성될 수 있다.

[0030] 여기서, 제1기판은 예를 들면 하부기판 또는 어레이기판에 해당되며, 이 제1기판에는 화소(P)를 구동하는 어레이소자가 형성될 수 있다.

[0031] 제1기판에 대향하는 대향기판인 제2기판은 예를 들면 상부기판 또는 컬러필터기판에 해당되며, 각 화소(P)에 대응되는 컬러필터패턴과, 컬러필터패턴을 두르며 어레이소자를 가리는 블랙매트릭스가 형성될 수 있다.

[0032] 액정패널(100)의 제1기판에는 행라인을 따라 연장되어 해당 행라인의 화소(P)에 게이트신호를 전달하는 게이트배선(GL)이 형성되고, 열라인을 따라 연장되어 해당 열라인의 화소(P)에 데이터신호를 전달하는 데이터배선(DL)이 형성될 수 있다.

[0033] 여기서, 액정패널(100)의 각 화소(P)에 대해 도 3을 함께 참조하여 설명한다.

[0034] 화소(P)에는 스위칭트랜지스터(Ts)와, 액정커패시터(Clc)와, 스토리지커패시터(Cst)가 구성될 수 있다.

[0035] 여기서, 본 실시예에서는, 스위칭트랜지스터(Ts)로서 하이 레벨 전압에 의해 턴온(turn-on)되는 n타입의 트랜지스터가 사용된 경우를 예로 든다.

[0036] 이와 같은 스위칭트랜지스터(Ts)는 이의 반도체층으로서, 예를 들면, 비정질 실리콘,다결정 실리콘,산화물 반도체(일예로, IGZO) 등으로 이루어질 수 있다.

[0037] 스위칭트랜지스터(Ts)의 게이트전극은 해당 게이트배선(GL)에 연결되고 소스전극은 해당 데이터배선(DL)에 연결된다.

[0038] 액정커패시터(Clc)는, 각 화소(P)에 형성되며 스위칭트랜지스터(Ts)의 드레인전극과 연결되어 데이터전압을 인가받는 화소전극과, 공통전압을 인가받는 공통전극과, 화소전극 및 공통전극 사이에 위치하는 액정층으로 구성될 수 있다.

[0039] 액정커패시터(Clc)의 액정층은, 화소전극과 공통전극 사이에 발생되는 전계에 의해 구동되어 투과도가 조절될 수 있게 된다.

[0040] 스토리지커패시터(Cst)는 액정커패시터(Clc)의 화소전극 및 스위칭트랜지스터(Ts)의 드레인전극에 연결된다. 이와 같은 스토리지커패시터(Cst)는, 액정커패시터(Clc)의 화소전극에 인가된 데이터전압을 다음번 프레임의 데이터전압 인가시까지 유지하는 기능을 수행하게 된다.

[0041] 위와 같은 화소(P)를 구비한 액정패널(100)로서 다양한 종류의 액정패널이 사용될 수 있다.

[0042] 예를 들면, IPS(in plane switching) 방식, AH-IPS(advanced high performance-IPS) 방식, TN(twisted nematic) 방식, VA(vertical alignment) 방식, ECB(electrically controlled birefringence) 방식 등 모든 형태의 액정패널이 사용될 수 있다.

[0043] 여기서, IPS 방식이나 AH-IPS 방식이 사용되는 경우에, 어레이기판인 제1기판에는 화소전극과 함께 횡전계를 형성하는 공통전극이 형성될 수 있다.

[0044] 한편, 본 실시예에서는, 설명의 편의를 위해, AH-IPS 방식의 액정패널을 예로 든다.

[0045] 백라이트유닛(300)는 액정패널(100) 하부에 배치되어 액정패널(100)에 광을 조사하게 된다. 이와 같은 백라이트유닛(300)은 광원으로서 발광다이오드(LED: light emitting diode)를 사용할 수 있다.

[0046] 데이터구동회로(310)는 타이밍제어회로(330)로부터 디지털 영상데이터와 데이터제어신호를 입력받고, 이 데이터제어신호에 응답하여 영상데이터를 아날로그 데이터전압으로 변환하여 각 데이터배선(DL)에 출력한다.

[0047] 데이터구동회로(310)는 적어도 하나의 구동IC로 구성될 수 있는데, 이에 한정되지는 않는다.

[0048] 게이트구동회로(320)는 타이밍제어회로(330)로부터 게이트제어신호를 입력받아 게이트신호(Vg)를 대응되는 게이트배선(GL)에 출력하게 된다.

[0049] 게이트제어신호는 게이트신호(Vg) 출력을 위해 게이트구동회로(320)에 공급되는 제어신호로서, 예를 들면, 스타트펄스(Vst), 초기화펄스(QRST), n상(n은 2 이상의 정수)의 쉬프트클럭 즉 게이트클럭(CLKs) 등을 포함할 수 있다.

[0050] 이와 같은 게이트구동회로(320)는 GIP 방식으로 구성되어, 액정패널(100)의 어레이기판의 비표시영역(NA)에 직접 형성된다.

[0051] 즉, 게이트구동회로(320)는 표시영역(AA)의 어레이소자들을 형성하는 공정과 동일한 공정으로 형성된다. 그리고, 다수의 게이트배선(GL)의 일측의 비표시영역(NA) 부분인 GIP영역(NAg)에 배치될 수 있다.

[0052] 위와 같은 게이트구동회로(320)의 구체적인 구조에 대해서는 후술한다.

[0053] 타이밍제어회로(330)는, 예를 들면, LVDS(Low Voltage Differential Signaling) 인터페이스나 TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 시스템으로부터 타이밍신호와 디지털 영상데이터를 입력받게 된다.

[0054] 이와 같이 입력된 타이밍신호를 사용하여, 타이밍제어회로(330)는 데이터제어신호와 게이트제어신호를 각각 생성하고 데이터구동회로(310)와 게이트구동회로(320)에 각각 출력하게 된다.

[0055] 그리고, 타이밍제어회로(330)는 입력된 영상데이터를 처리하여 데이터구동회로(310)에 출력하게 된다.

[0056] 이하, 본 실시예의 GIP 방식 게이트구동회로(320)의 구조에 대해 보다 도 2 및 3과 함께 도 4 및 5를 참조하여 상세하게 설명한다.

[0057] 도 4는 본 발명의 실시예에 따른 게이트구동회로의 구성을 개략적으로 도시한 블럭도이고, 도 5는 본 발명의 실시예에 따른 게이트구동회로의 각 스테이지의 일예를 도시한 회로도이다.

[0058] 여기서, 설명의 편의를 위해, 4상의 게이트클럭(CLK1~CLK4)이 사용되고, 게이트구동회로(120)를 구성하는 구동트랜지스터로서 화소(P) 내의 스위칭트랜지스터(Ts)와 동일한 n타입의 트랜지스터가 사용되는 경우를 예로 든다. 그리고, 도 5에서는 게이트구동회로(120)의 스테이지(STG)로서 첫번째 스테이지(STG1)를 예로 들어 도시하였다.

[0059] 도 4 및 5를 함께 참조하면, 게이트구동회로(320)는 쉬프트레지스터로 구성될 수 있으며, 종속적으로(즉, 캐스케이드(cascade) 형태로) 연결된 다수의 스테이지(STG) 즉 제1 내지 N스테이지(STG1~STGN)를 포함할 수 있다.

[0060] 이와 같은 스테이지(STG)의 출력단들은 각각 해당 게이트배선(GL)에 연결되어 해당 게이트신호(Vg)를 출력하게 된다.

[0061] 이와 같이 쉬프트레지스터로 구성된 게이트구동회로(320)는 스테이지(STG)를 통해 프레임 단위로 스타트펄스(Vst)를 게이트클럭들(CLK1~CLK4)에 따라 쉬프트시켜 위상이 순차적으로 쉬프트된 게이트펄스들(Vg1~VgN)을 출력한다.

[0062] 한편, 스테이지들(STG)은 프레임 초기에 초기화펄스(QRST)에 의해 동시에 초기화 즉 리셋(reset)될 수 있다.

[0063] 여기서, 타이밍제어회로(330)에서 공급된 스타트펄스(Vst)는 첫번째 단에 위치하는 첫번째 스테이지(STG1)에 인가되어 해당 게이트신호(Vg1)의 쉬프트 스타트 타이밍을 제어하게 된다.

[0064] 그리고, 각 게이트신호(Vg)는 현재단 스테이지(STG)가 연결된 게이트배선(GL)에 게이트펄스로 인가됨과 동시에 이의 후단에 위치하는 스테이지로서 일예로 다음단 스테이지의 스타트 타이밍을 제어하는 캐리신호(Cr)로 이용된다.

[0065] 이처럼, 첫번째 스테이지(STG1)의 아래에 위치하는 나머지 스테이지들은, 선순위 일예로 이전단 스테이지의 게이트펄스를 스타트펄스로 하여 셋(set) 되어 동작을 시작할 수 있다.

[0066] 이처럼, 스테이지(STG)가 셋 상태가 되면 Q노드에 연결된 풀업트랜지스터(T6)가 턴온되어 이에 입력된 해당 게이트클럭(CLK)을 게이트펄스로 출력할 수 있게 된다.

[0067] 한편, 스테이지(STG)는 게이트펄스 출력 후 이에 입력된 다른 위상의 게이트클럭에 의해 리셋될 수 있다.

[0068] 이처럼, 스테이지(STG)가 리셋 상태가 되면 Qb노드에 연결된 풀다운트랜지스터(T7)가 턴온되어 이에 입력된 저전위전압(Vss)(또는 게이트로우전압)을 출력할 수 있게 된다.

[0069] 위와 같이, 스테이지(STG)는 셋/리셋 상태에 따라 출력이 제어되어 턴온 레벨(즉 하이 레벨)의 게이트펄스와 턴오프 레벨(즉 로우 레벨) 전압으로 구성된 게이트신호(Vg)를 출력할 수 있다.

[0070] 위와 같이 동작하는 각 스테이지(STG)의 회로 구성에 대해 도 5를 참조하여 보다 상세하게 살펴본다.

[0071] 스테이지(STG)는, 게이트신호(Vg)를 출력하는 출력회로로서 Q노드의 전위에 따라 스위칭되는 풀업트랜지스터(T6)와 Qb노드의 전위에 따라 스위칭되는 풀다운트랜지스터(T7)를 포함한 출력회로와, Q노드와 Qb노드를 셋/리셋하기 위한 셋/리셋 스위치회로를 포함할 수 있다.

[0072] 풀업트랜지스터(T6)는 게이트클럭들(CLK1~CLK4) 중 게이트펄스로 출력되는 출력 게이트클럭인 제1게이트클럭(CLK1)의 입력단과 제1출력노드(NO1) 사이에 접속되어 Q노드의 전위에 따라 스위칭된다. 풀업트랜지스터(T6)는 게이트전극이 Q노드에 연결되고, 소스전극이 출력 게이트클럭(CLK1) 입력단에 연결되며, 드레인전극이 해당 출력노드인 제1출력노드(NO1)에 연결된다.

[0073] 풀업트랜지스터(T6)의 게이트전극과 제1출력노드(NO1) 사이에는 부스트커패시터(Cb)가 접속된다. Q노드 및 Qb노드가 셋 된 상태에서 제1게이트클럭(CLK1)이 입력될 때, 부스트커패시터(Cb)는 제1게이트클럭(CLK1)에 동기하여 풀업트랜지스터(T6)의 게이트전극을 부스트 스트랩핑(boost strapping) 시킴으로써 풀업트랜지스터(T6)를 효과적으로 턴온 시킬 수 있다.

[0074] 풀다운트랜지스터(T7)는 저전위전압(Vss)의 입력단과 제1출력노드(NO) 사이에 접속되어 Qb노드의 전위에 따라 스위칭 된다. 풀다운트랜지스터(T7)는 게이트전극이 Qb노드에 연결되고, 소스전극이 출력노드(NO)에 연결되고, 드레인전극이 저전위전압(Vss)의 입력단에 연결된다.

[0075] 셋/리셋 스위치회로는 다수의 트랜지스터들(일예로, Tqrst,T1~T5,T8)로 구성되어 Q노드와 Qb노드를 셋/리셋시키는 기능을 한다.

[0076] 이와 관련하여, 셋/리셋 스위치회로는 해당 스테이지(STG)의 게이트클럭인 제1게이트클럭(CLK1)과는 다른 위상의 게이트클럭으로서 예를 들어 제3게이트클럭(CLK3)과 초기화펄스(QRST)에 응답하여, Q노드의 전위를 턴오프 레벨로 리셋시킴과 동시에 Qb노드의 전위를 턴온 레벨로 리셋시킬 수 있다.

[0077] 이와 같은 리셋 동작은 다수의 트랜지스터로서 예를 들어 Tqrst,T3,T4로 구성된 리셋회로부에 의해 구현될 수 있다.

[0078] 한편, 셋/리셋 스위치회로는 스타트펄스(Vst)와 제1게이트클럭(CLK1)과 다른 위상의 게이트클럭으로서 예를 들어 제4게이트클럭(CLK4)에 응답하여, Q노드의 전위를 턴온 레벨로 셋 시킴과 동시에 Qb노드의 전위를 턴오프 레벨로 셋 시킨다.

[0079] 이와 같은 셋 동작은 위 리셋회로부를 구성하는 트랜지스터를 이외의 트랜지스터로서 예를 들어 T1,T2,T5,T8로 구성된 셋회로부에 의해 구현될 수 있다.

[0080] 이와 같은 셋 동작에 의해, 전술한 구성의 스테이지(STG)는 해당 제1게이트클럭(CLK1)을 게이트펄스로 출력할 수 있다.

[0081] 한편, 스테이지(STG)의 출력회로는 캐리신호(Cr)를 별도로 출력하도록 구성될 수 있으며, 이 경우에 출력회로는 풀업트랜지스터(T6) 및 풀다운트랜지스터(T7)와 병렬로 연결되고 동일한 구조의 다른 풀업트랜지스터(T6c) 및 풀다운트랜지스터(T7c)를 포함할 수 있다.

[0082] 이때, 설명의 편의를 위해, 게이트신호(Vg)를 출력하는 트랜지스터들을 제1풀업트랜지스터(T6) 및 제1풀다운트랜지스터(T7)라고 하며, 캐리신호(Cr)를 출력하는 트랜지스터들을 제2풀업트랜지스터(T6c) 및 제2풀다운트랜지

스터(T7c)라고 할 수 있다.

[0083] 한편, 전술한 스테이지(STG)의 회로 구조는 일예로서 이와 다른 구조로 구성될 수 있다.

[0084] 위와 같이 본 실시예의 게이트구동회로(320)는 GIP 방식으로서, 이에 구성된 구동트랜지스터들은 표시영역(AA)의 스위칭트랜지스터(Ts)를 형성하는 과정에서 함께 형성되어 동일한 적층 구조를 가질 수 있다.

[0085] 그런데, 액정표시장치를 장시간 구동하게 되면, GIP 게이트구동회로(320)에 형성된 구동트랜지스터들은 장시간 바이어스 파지티브 바이어스(positive bias) 스트레스를 받게되어 문턱전압(threshold voltage)이 파지티브 쉬프트(shift)되는 PBTS(positive bias threshold stress) 현상이 발생하게 된다.

[0086] 더욱이, 이동도 특성 등이 우수한 산화물반도체를 사용하는 경우에 구동 트랜지스터는 PBTS에 더욱 취약하다.

[0087] 이와 같은 PBTS에 의해 구동트랜지스터가 열화됨으로써, 스테이지(STG)는 해당 출력 신호인 게이트신호(Vg)와 캐리신호(Cr)를 미출력하거나 멀티(multi) 출력하는 등 비정상적으로 거동하게 되어, 게이트구동회로(320)의 신뢰성이 저하될 수 있다.

[0088] 특히, 스테이지(STG)의 신호 출력을 담당하는 구동 트랜지스터들인 풀업트랜지스터(T6,T6c)와 풀다운트랜지스터(T7,T7c)에 PBTS 현상이 발생하는 경우에, 이는 게이트구동회로(320) 비정상적인 출력 동작에 직접적인 영향을 주게 된다.

[0089] 이에 대해, 본 실시예에서는, GIP 방식의 스테이지(STG)를 구성하는 다수의 구동트랜지스터들 중 적어도 하나에 대해 PBTS를 완화하기 위한 리커버리(recovery) 구조를 적용하게 된다.

[0090] 이와 같은 PBTS 리커버리 구조에 대해 도 6 및 도 7을 함께 참조하여 보다 상세하게 설명한다.

[0091] 도 6은 본 발명의 실시예에 따른 게이트구동회로의 구동트랜지스터의 평면 구조를 도시한 평면도이다. 도 7은 도 6의 절단선 VII-VII을 따라 도시한 구동트랜지스터의 단면 구조와 게이트구동회로에 인접 배치된 화소의 단면 구조를 함께 도시한 단면도이다.

[0092] 도 2 내지 5와 함께 도 6 및 7을 참조하면 살펴보면, 본 실시예의 액정패널(100)의 어레이기판(101)인 제1기판(101) 상에, 표시영역(AA)의 각 화소(P)에는 이를 구동하는 스위칭트랜지스터(Ts)가 형성된다.

[0093] 그리고, 비표시영역(NA) 중 게이트구동회로(120)가 형성된 GIP영역(NAg)에는 이를 구성하는 구동트랜지스터(Td)가 형성된다.

[0094] 이때, 스위칭트랜지스터(Ts)와 구동트랜지스터(Td)는 동일한 구조로 형성된다.

[0095] 이와 관련하여, 화소(P)에는 제1기판(101) 내면 상에 제2게이트전극(121b)이 형성된다. 한편, 제2게이트전극(121b) 형성시 이에 연결되는 게이트배선(GL)이 형성될 수 있다.

[0096] 제2게이트전극(121b) 상에는 실질적으로 제1기판(101)의 전면을 따라 게이트절연막(130)이 형성된다.

[0097] 게이트절연막(130) 상에는 제2반도체층(131b)이 형성된다. 이때, 제2반도체층(131b)은, 비정질 실리콘, 다결정 실리콘, 산화물 반도체 등으로 형성될 수 있다.

[0098] 그리고, 제2반도체층(131b) 상에는 서로 이격된 제2소스전극(133b) 및 제2드레인전극(135b)이 형성된다. 한편, 제2소스전극(133b) 및 제2드레인전극(135b) 형성시, 제2소스전극(133b)에 연결되는 데이터배선(DL)이 형성될 수 있다.

[0099] 화소(P)의 스위칭트랜지스터(Ts)는 위와 같이 배치된 제2게이트전극(121b)와 제2반도체층(131b)과 제2소스전극(133b) 및 제2드레인전극(135b)으로 구성될 수 있다.

[0100] 이때, 스위칭트랜지스터(Ts)의 제2게이트전극(121b)은 상부에 위치하는 제2반도체층(131b) 전체를 가리도록, 제2반도체층(131b) 보다 큰 면적을 갖게 형성될 수 있다.

[0101] 이처럼, 제2게이트전극(121b)이 제2반도체층(131b)의 하부 전체를 가리도록 형성되면, 제1기판(101) 하부에서 조사되는 광이 제2반도체층(131b)로 입사되는 것을 차단할 수 있게 되므로, 광조사에 의해 제2반도체층(131b)의 특성이 열화되는 것을 방지할 수 있다.

[0102] 이와 관련하여, n타입의 제2반도체층(131b)의 경우에, 광이 입사되면 제2반도체층(131b)은 문턱전압이 네거티브(negative) 쉬프트되는 NBTIS(negative bias threshold illumination stress) 현상이 발생하여, 스위칭트랜지

스터(Ts)가 비정상적으로 구동될 수 있다.

[0103] 이와 같은 NBTIS 현상을 방지하기 위해, 제2게이트전극(121b)을 제2반도체층(131b)의 하부를 덮도록 형성할 수 있다.

[0104] 위와 같은 스위칭트랜지스터(Ts)의 적층 구조와 동일하게, GIP영역(NAg)에 스테이지(STG)를 구성하는 구동트랜지스터(Td)가 형성될 수 있다.

[0105] 이에 대해, GIP영역(NAg)에는 제1기판(101) 내면 상에 제1게이트전극(121a)이 형성된다.

[0106] 제1게이트전극(121a) 상에는 게이트절연막(130)이 배치된다. 게이트절연막(130) 상에는 제1반도체층(131a)이 형성된다.

[0107] 그리고, 제1반도체층(131a) 상에는 서로 이격된 제1소스전극(133a) 및 제1드레인전극(135a)이 형성된다.

[0108] GIP영역(NAg)의 구동트랜지스터(Td)는, 위와 같이 배치된 제1게이트전극(121a)와 제1반도체층(131a)과 제1소스전극(133a) 및 제1드레인전극(135a)으로 구성될 수 있다.

[0109] 이때, 스위칭트랜지스터(Ts)의 평면 배치 구조와 마찬가지로, 구동트랜지스터(Td)의 제1게이트전극(121a)은 이의 상부에 위치하는 제1반도체층(131a) 전체를 가리도록 제1반도체층(131a) 보다 큰 면적을 갖게 형성될 수 있다.

[0110] 이에 따라, 제1반도체층(131a) 하부로 광이 직접 조사되는 것은 방지될 수 있다.

[0111] 위와 같이 구성된 스위칭트랜지스터(Ts) 및 구동트랜지스터(Td) 상에는, 이들을 덮는 적어도 하나의 보호막이 실질적으로 제1기판(101) 전면에 걸쳐 형성될 수 있다.

[0112] 이와 관련하여 예를 들면, 제1보호막(141) 및 이 상부의 제2보호막(142)이 적층될 수 있다.

[0113] 이 경우에, 제1보호막(141)은 산화실리콘(SiO2)이나 질화실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다. 그리고, 제2보호막(142)은 벤조사이클로부텐이나 포토 아크릴과 같은 유기절연물질로 형성될 수 있다.

[0114] 제2보호막(142) 상에는, 실질적으로 표시영역(AA)에 배치된 화소들(P)에 대응하여 공통전극(150)이 형성될 수 있다.

[0115] 공통전극(150)은 ITO와 같은 투명 도전성물질로 형성되며, 공통전압을 인가받게 된다.

[0116] 한편, 공통전극(150)은 비표시영역(NA)까지 연장되어 형성될 수 있으며, 이 경우에 구동트랜지스터(Td) 상부에도 공통전극(150)이 배치될 수 있다. 이와 같은 공통전극(150)은 GIP영역(NAg) 외측에 위치하는 공통전달배선까지 연장되어 연결되도록 구성될 수 있다.

[0117] 공통전극(150) 상에는, 실질적으로 제1기판(101) 전면에 걸쳐 제3보호막(151)이 형성될 수 있다.

[0118] 제3보호막(151)은 산화실리콘(SiO2)이나 질화실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다.

[0119] 표시영역(AA)의 제3보호막(151) 상에는, 화소(P) 마다 패터닝된 화소전극(155)이 형성될 수 있다.

[0120] 화소전극(155)은 드레인콘택홀(CH)을 통해 해당 화소(P)의 제2드레인전극(135b)와 연결될 수 있다. 이때, 드레인콘택홀(CH)은, 제1,2,3보호막(141,142,151)에 형성될 수 있다.

[0121] 여기서, 화소전극(155)은, 해당 화소(P)에 위치하는 공통전극(150) 부분과 마주보며 프린지필드를 형성하는 핑거(finger) 형상(또는 바(bar) 형상)의 다수의 전극패턴(155a)을 포함할 수 있다.

[0122] 한편, GIP영역(NAg)의 제3보호막(151) 상에는, 상방으로 볼록하게 돌출된 형상을 갖는 볼록패턴(161)이 형성될 수 있다.

[0123] 여기서, 볼록패턴(161)은 구동트랜지스터(Td)에 대응하여 이의 상부에 배치된다. 이때, 볼록패턴(161)은 일부가 구동트랜지스터(Td) 형성 영역에 중첩되도록 형성된다.

[0124] 즉, 볼록패턴(161)은 구동트랜지스터(Td)에 중첩되는 부분과, 구동트랜지스터(Td)에 중첩되지 않고 이의 외측에 위치하는 비중첩 부분으로 구분될 수 있다.

[0125] 한편, 중첩 부분은 실질적으로 구동트랜지스터(Td)의 일부나 전체를 덮을 수 있도록 형성될 수 있다.

[0126] 특히, 볼록패턴(161)의 중첩 부분은 구동트랜지스터(Td)의 제1반도체층(131a)의 노출 영역(즉, 제1소스전극

(133a) 및 제1드레인전극(135a)에 의해 덮혀지지 않고 상부로 노출된 영역)의 적어도 일부에 대향하도록 형성된다.

[0127] 위와 같은 볼록패턴(161)은 그 폭이 상방으로 좁아지는 패턴으로서, 이 패턴의 형상을 정의하는 상면(161a)은 상방으로 볼록한 형상을 갖게 된다.

[0128] 이와 같은 볼록패턴(161)은, 도 7에 도시한 바와 같이, 볼록한 반구 형상으로 형성될 수 있다. 즉, 볼록패턴(161)의 상면(161a)인 볼록면(161a)이 곡면 형상을 갖도록 형성될 수 있다.

[0129] 이와 다른 예로서, 볼록패턴(161)은 삼각 형상을 포함하여 볼록한 형태의 다각 형상으로 형성될 수 있으며, 도 8에는 볼록한 삼각 형상의 볼록패턴(161)을 도시하였다.

[0130] 한편, 표시영역(AA)에는 화소전극(155)이 형성된 제1기판(101) 상에, 볼록패턴(161)과 동일한 물질로 이루어진 컬럼스페이서(165)가 형성될 수 있다.

[0131] 컬럼스페이서(165)는 액정층(250)의 셀갭을 유지하는 기능을 하는 구성에 해당된다.

[0132] 이와 같은 컬럼스페이서(165)는 볼록패턴(161) 보다 큰 두께(또는 높이)를 갖도록 형성된다.

[0133] 이처럼, 볼록패턴(161)은 컬럼스페이서(165)와 동일한 물질로 동일 공정에서 형성될 수 있으므로, 이를 형성하기 위한 별도의 마스크 공정이 요구되지 않는다.

[0134] 위와 같은 형성된 볼록패턴(161) 상에는, 이의 볼록한 상면(161a) 전체를 따라 반사패턴(170)이 형성될 수 있다.

[0135] 반사패턴(170)은 은(Ag)과 같이 반사 특성이 우수한 금속물질로 형성될 수 있다.

[0136] 반사패턴(170)은 볼록패턴(161) 상에 형성되므로, 반사패턴(170)은 볼록패턴(161)의 상면(161a)과 동일하게 볼록한 형상을 갖도록 형성된다.

[0137] 그리고, 볼록패턴(161)과 실질적으로 동일하게, 반사패턴(170)은 하부의 구동트랜지스터(Td)와 중첩될 수 있게 된다.

[0138] 이와 관련하여, 반사패턴(170)은 일부가 구동트랜지스터(Td) 형성 영역에 중첩되도록 형성될 수 있다.

[0139] 즉, 반사패턴(170)은 구동트랜지스터(Td)에 중첩되는 부분과, 구동트랜지스터(Td)에 중첩되지 않고 이의 외측에 위치하는 비중첩 부분으로 구분될 수 있다.

[0140] 한편, 중첩 부분은 실질적으로 구동트랜지스터(Td)의 일부나 전체를 덮을 수 있도록 형성될 수 있다.

[0141] 특히, 반사패턴(170)의 중첩 부분은 구동트랜지스터(Td)의 제1반도체층(131a)의 노출 영역(즉, 제1소스전극(133a) 및 제1드레인전극(135a)에 의해 덮혀지지 않고 상부로 노출된 영역)의 적어도 일부에 대향하도록 형성된다.

[0142] 이와 같이 형성된 반사패턴(170)은, 이의 볼록한 형상을 이용하여 백라이트유닛(300)으로부터 상방으로 진행하는 광을 반사시켜 구동트랜지스터(Td)의 상부에서 하방으로 구동트랜지스터(Td)에 입사시키는 작용을 수행할 수 있게 된다.

[0143] 이와 관련하여, 도 7을 참조하여 설명하면, 백라이트유닛(300)에서 상방으로 출사된 광(L1)은, 구동트랜지스터(Td) 외측 영역에서 상방으로 진행하게 된다.

[0144] 이때, 반사패턴(170)은 구동트랜지스터(Td)에 중첩되지 않고 이의 외측 영역에 위치하는 비중첩 부분을 갖도록 형성된다. 이 비중첩 부분은 이의 외측(즉, 도면상 우측) 하부 방향으로 곡면 형태의 경사진 구조를 갖게 된다.

[0145] 이에 따라, 반사패턴(170)의 비중첩 부분으로 진행하는 광(L1)은, 이 비중첩 부분에서 반사되어 반사패턴(170)의 내측(즉, 도면상 좌측) 방향으로 경로가 변경된다.

[0146] 이때, 구동트랜지스터(Td)와 중첩하는 반사패턴(170)의 중첩 부분은, 비중첩 부분과는 반대로 중첩 부분의 외측(즉, 도면상 좌측) 하부 방향으로 곡면 형태의 경사진 구조를 갖게 된다.

[0147] 이에 따라, 비중첩 부분에서 반사되어 좌측으로 진행하는 광(L2)은, 중첩 부분에서 반사되어 하방으로 경로가 변경된다.

[0148] 이와 같이 하방으로 경로가 변경된 광(L3)은, 구동트랜지스터(Td) 즉 이의 제1반도체층(131a)으로 입사될 수 있

게 된다.

[0149] 한편, 도 8에서와 같이 반사패턴(170)이 볼록한 삼각 형상으로 형성된 경우에도, 도 7에서와 유사하게 광의 경로가 변경되어 구동트랜지스터(Td)의 제1반도체층(131a)로 입사될 수 있다.

[0150] 위와 같이, 볼록한 형상의 반사패턴(170)을 구동트랜지스터(Td)에 일부 중첩하도록 형성하게 되면, 구동트랜지스터(Td)의 외측의 투명한 어레이기판 영역에서 상방으로 진행하는 광(L1)에 대해 구동트랜지스터(Td) 상부에서 하방으로 진행하도록 경로를 전환하여 구동트랜지스터(Td)에 제공할 수 있게 된다.

[0151] 이처럼, 구동트랜지스터(Td)에 대해 하방으로 광(L3)이 공급되면, 구동트랜지스터(Td)의 PBTS는 완화될 수 있게 된다.

[0152] 이와 관련하여, 구동트랜지스터(Td)의 n타입 제1반도체층(131a)에 광이 입사되면, 앞서 언급한 바와 같이, 이의 문턱전압은 네거티브(negative) 쉬프트되는 NBTIS(negative bias threshold illumination stress) 현상이 발생하게 된다.

[0153] 이러한바, 구동트랜지스터(Td)의 PBTS 현상은, 반사패턴(170)에 의해 하방으로 제공된 광(L3)에 의한 NBTIS 현상으로 인해 상쇄될 수 있게 된다.

[0154] 즉, PBTS로 인해 구동트랜지스터(Td)의 문턱전압은 파지티브(+) 쉬프트되는데, 반사패턴(170)를 통한 광 입사에 의한 NBTIS로 인해 구동트랜지스터(Td)의 문턱전압은 네거티브(-) 쉬프트된다.

[0155] 따라서, 광 입사에 따른 네거티브(-) 쉬프트 작용에 의해, 구동트랜지스터(Td)의 문턱전압의 파지티브(+) 쉬프트는 완화될 수 있게 된다.

[0156] 이처럼, 구동트랜지스터(Td)의 상부에 위치하는 볼록한 형상의 반사패턴(170)은, 구동트랜지스터(Td)의 PBTS를 완화하는 문턱전압 리커버리 구조로 기능할 수 있게 된다.

[0157] 한편, 반사패턴(170)이 형성된 제1기판(101) 상에는, 실질적으로 제1기판(101) 전면을 따라 제1배향막(181)이 형성될 수 있다.

[0158] 이와 같은 제1배향막(181)은, 반사패턴(170)과 컬럼스페이서(165)와 화소전극(155)을 덮을 수 있다.

[0159] 위와 같이 제1배향막(181)이 형성된 제1기판(101)인 어레이기판(101)에 대향하여, 제2기판(201)인 컬러필터기판(201)은 액정층(250)을 사이에 두고 배치될 수 있다.

[0160] 이와 관련하여, 제2기판(201)의 내면 상에는, 각 화소(P)에 대응하는 컬러필터패턴(211)이 형성될 수 있다.

[0161] 그리고, 이웃한 컬러필터패턴(211) 사이에는, 각 화소(P)의 경계에 대응하여 배치되어 게이트배선(GL)과 데이터배선(DL)과 스위칭트랜지스터(Ts)를 가리는 제1블랙매트릭스(221)가 형성될 수 있다. 이 제1블랙매트릭스(221)는 제2기판(201)의 표시영역(AA)에 형성된다.

[0162] 또한, 제2기판(201)의 내면 상에는, 비표시영역(NA)에 제2블랙매트릭스(222)가 형성되며, 이에 따라 비표시영역(NA)을 통해 외부로 광이 출사되는 것을 방지할 수 있다. 이처럼, 제2블랙매트릭스(222)는 비표시영역(NA)에 형성되므로, 이는 GIP영역(NAg)의 게이트구동회로(320)를 가릴 수 있게 된다.

[0163] 컬러필터패턴(211) 및 블랙매트릭스(221,222) 상에는, 실질적으로 제2기판(201) 전면에 따라 평탄화층(225)이 형성될 수 있다.

[0164] 그리고, 평탄화층(225) 상에는, 실질적으로 제2기판(201) 전면을 따라 제2배향막(232)이 형성될 수 있다.

[0165] 위와 같이 구성된 제1기판(101) 및 제2기판(201) 사이에는 액정층(250)이 개재될 수 있다. 이 액정층(250)은 표시영역(AA)에 위치하여 각 화소(P) 단위로 구동될 수 있다. 한편, 액정층(250)은 GIP영역(NAg)에도 위치할 수 있다.

[0166] 이와 같은 액정층(250) 내에는, 이의 셀갭을 유지하는 컬럼스페이서(165)가 분산되어 배치될 수 있다. 여기서, 컬럼스페이서(165)는, 표시영역(AA) 뿐만 아니라 액정층(250)이 존재하는 GIP영역(NAg)에도 배치될 수 있다.

[0167] 그리고, 앞서 언급한 바와 같이, 컬럼스페이서(165)의 두께(또는 높이)는 이와 동일한 물질로 동일한 공정에서 형성되는 볼록패턴(161)의 두께 보다 두껍게 형성된다.

[0168] 또한, 컬럼스페이서(165)는, 반사패턴(170)이 형성된 상태의 볼록패턴(161)의 두께(즉, 볼록패턴(161) 및 반사

패턴(170)의 두께의 합) 보다 크게 형성된다.

[0169] 이와 같이 구성되면, 볼록패턴(161) 및 반사패턴(170) 구조는 컬럼스페이서(165)의 셀갭 유지 작용에 영향을 주지 않으면서 하부의 구동트랜지스터(Td)에 광을 유입시킬 수 있게 된다.

[0170] 이하, 도 9 및 10을 함께 참조하여, 본 실시예의 볼록패턴(161)을 형성하는 방법의 일예를 설명한다.

[0171] 도 9 및 10은 본 발명의 실시예에 따른 볼록패턴을 형성하는 방법의 일예를 도시한 단면도이다.

[0172] 먼저, 도 9를 참조하면, 표시영역(AA)에 화소전극(155)이 형성된 제1기판(101) 상에 유기절연물질로 형성된 유기절연층(160)을 형성하고 이 상에 포토레지스트층을 형성한다. 그리고, 포토레지스트층이 형성된 제1기판(101) 상부에 포토마스크(290)를 배치한다.

[0173] 포토마스크(290)는 광을 투과하는 투과부(TA)와 광을 차단하는 차단부(BA)와 광을 부분적으로 투과 및 차단하는 하프톤부(HA)를 포함할 수 있다.

[0174] 여기서, 차단부(BA)는 컬럼스페이서(165)가 형성되는 영역에 대응하여 배치된다.

[0175] 그리고, 하프톤부(HA)는 볼록패턴(161)이 형성되는 영역에 대응하여 배치되는데, 즉 구동트랜지스터(Td)와 일부 중첩하며 나머지 부분은 구동트랜지스터(Td)의 외측에 위치하도록 배치될 수 있다.

[0176] 또한, 투과부(TA)는 차단부(BA) 및 하프톤부(HA)를 제외한 영역에 배치된다.

[0177] 이때, 하프톤부(HA)는 외측 방향으로 갈수록 광투과율이 점진적으로 증가하도록 구성될 수 있다. 예를 들면, 볼록한 곡면 형상의 볼록패턴(161)을 형성하는 경우에, 하프톤부(HA)는 외측 방향으로 갈수록 광투과율이 비선형적인 형태로 증가하도록 구성될 수 있다.

[0178] 위와 같이 구성된 포토마스크(290)를 배치하고, 이를 사용하여 포토레지스트층에 대해 노광 공정 및 현상 공정을 진행하게 된다.

[0179] 이에 따라, 차단부(BA)에 대응하는 제1기판(101)의 영역에는 볼록한 형상의 제1포토레지스트패턴(PR1)이 형성될 수 있다. 그리고, 차단부(BA)에 대응하는 제1기판(101)의 영역에는 제1포토레지스트패턴(PR1) 보다 두꺼운 두께의 제2포토레지스터패턴(PR2)이 형성될 수 있다.

[0180] 이와 같이 제1,2포토레지스터패턴(PR1,PR2)을 형성한 후, 도 10에 도시한 바와 같이, 유기물질층(160)에 대해 건식식각을 진행하게 된다.

[0181] 한편, 이 건식식각은 제1,2포토레지스트패턴(PR1,PR2)에 대해서도 영향을 주게 되어, 건식식각이 진행되는 동안 제1,2포토레지스트패턴(PR1,PR2)은 애싱(ashing)될 수 있게 된다.

[0182] 이에 따라, 제1포토레지스터패턴(PR1)은 두께 방향으로 애싱되어 전체가 제거될 수 있다. 그리고, 제1포토레지스트패턴(PR2) 보다 두꺼운 제2포토레지스트패턴(PR1)은 두께 방향으로 애싱되어 일부가 제거될 수 있다.

[0183] 이와 같은 건식식각 공정이 완료되면, 제2포토레지스트패턴(PR2)의 하부에는 실질적으로 유기물질층(160)이 제거되지 않고 남겨지게 되어 컬럼스페이서(165)가 형성될 수 있다.

[0184] 그리고, 제1포토레지스트패턴(PR1)은 모두 제거되고, 실질적으로 이 형상과 동일한 유기물질층(160)이 패턴되어 볼록패턴(161)이 형성될 수 있다.

[0185] 이와 같이 컬럼스페이서(165)와 볼록패턴(161)을 형성한 후, 반사물질을 형성하고 마스크 공정을 진행하여 패턴함으로써, 볼록패턴(161) 상에 반사패턴(170)을 형성하게 된다.

[0186] 전술한 바와 같이, 본 발명의 실시예에 따르면, GIP영역의 게이트구동회로를 구성하는 구동트랜지스터 상에 이와 일부 중첩하고 이의 외측으로 연장되며 상부로 볼록한 형상의 반사패턴을 형성하게 된다.

[0187] 이에 따라, 백라이트유닛에서 출사된 광은 그 경로가 변경되어 구동트랜지스터 상부에서 하방으로 구동트랜지스터의 반도체층에 제공될 수 있게 된다.

[0188] 이로 인해, 구동트랜지스터의 PBTS 현상은 입사된 광에 의해 발생되는 NBTIS 현상에 의해 상쇄되어, 문턱전압의 파지티브(+) 쉬프트는 개선될 수 있게 된다.

[0189] 따라서, PBTS에 의한 구동트랜지스터의 열화가 완화되어 게이트구동회로는 정상적으로 거동될 수 있게 되므로, 게이트구동회로의 신뢰성이 향상될 수 있게 된다.

[0190] 전술한 본 발명의 실시예는 본 발명의 일예로서, 본 발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본 발명의 변형을 포함한다.

부호의 설명

[0191] 10: 액정표시장치 100: 액정패널

101: 제1기판 121a: 제1게이트전극

121b: 제2게이트전극 130: 게이트절연막

131a: 제1반도체층 131b: 제2반도체층

133a: 제1소스전극 133b: 제2소스전극

135a: 제1드레인전극 135b: 제2드레인전극

141: 제1보호막 142: 제2보호막

150: 공통전극 151: 제3보호막

155: 화소전극 155a: 전극패턴

160: 유기절연층 161: 볼록패턴

161a: 볼록패턴의 상면 165: 컬럼스페이서

170: 반사패턴 181: 제1배향막

201: 제2기판 211: 컬러필터패턴

221: 제1블랙매트릭스 222: 제2블랙매트릭스

225: 평탄화층 232: 제2배향막

250: 액정층 290: 포토마스크

300: 백라이트유닛 310: 데이터구동회로

320: 게이트구동회로 330: 타이밍제어회로

P: 화소

Ts: 스위칭트랜지스터

Clc: 액정커패시터

Cst: 스토리지커패시터

AA: 표시영역

NA: 비표시영역

NAg: GIP영역

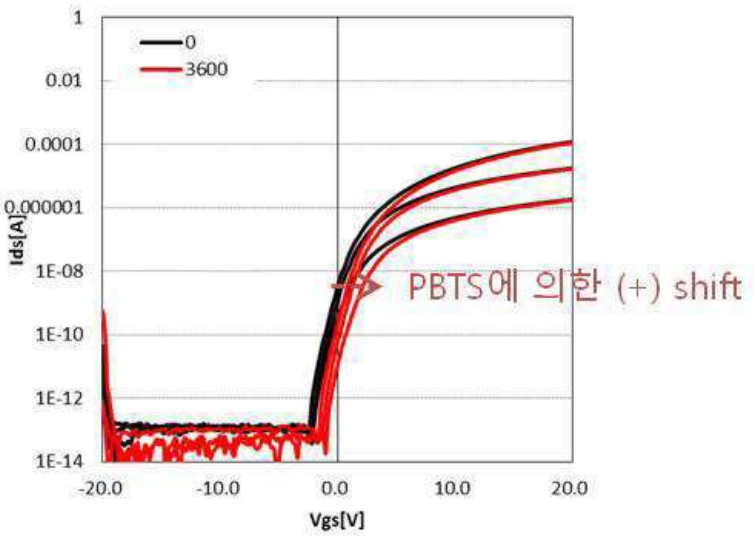
TA: 투과부

HA: 반투과부

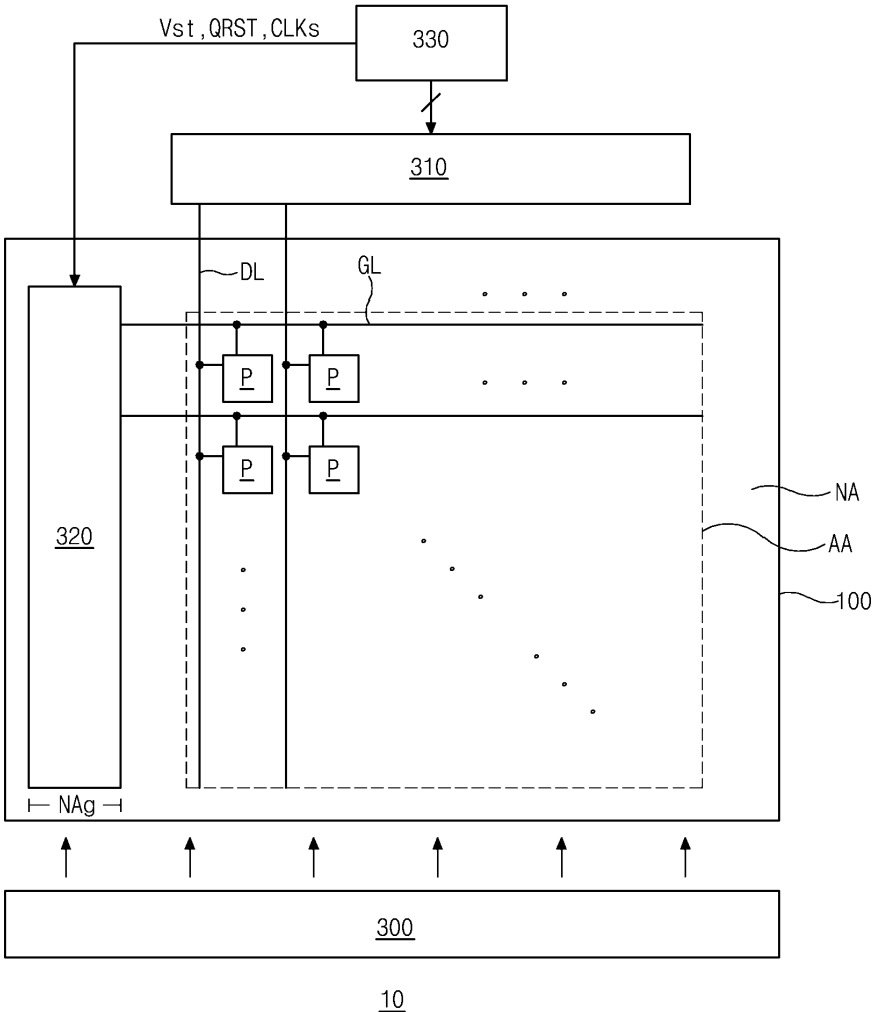
BA: 차단부

도면

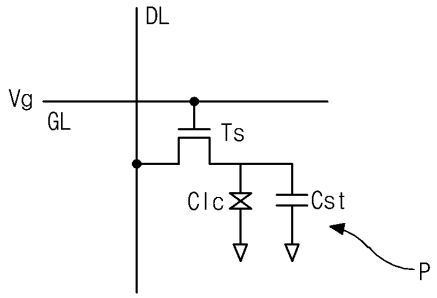
도면1


1
0.01
0.0001
0.000001
1E-08
1E-10
1E-12
1E-14
Ids[A]
0
3600
PBTS에 의한 (+) shift
-20.0
-10.0
0.0
10.0
20.0
Vgs[V]

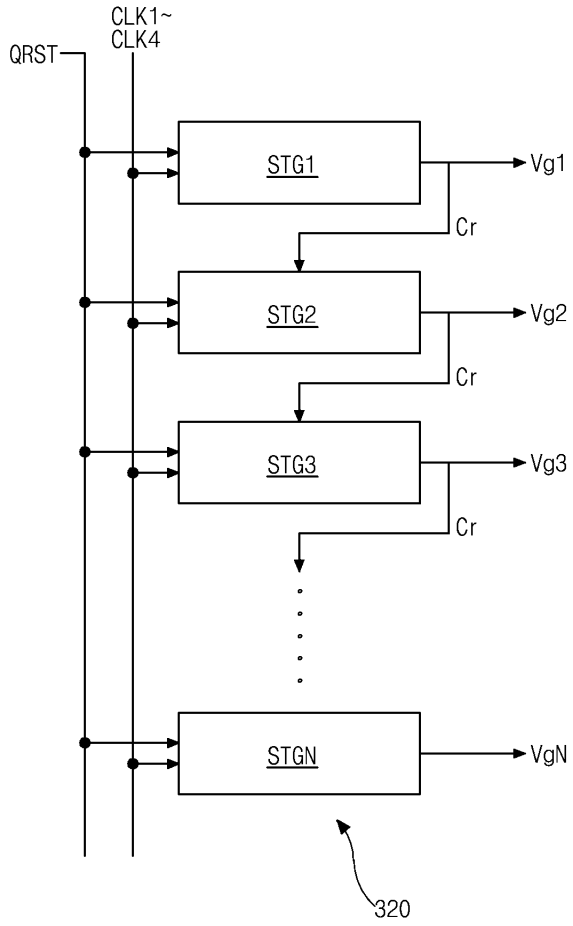
도면2


Vst,QRST,CLKs
330
310
DL
GL
P
320
NA
AA
100
NAg
300
10

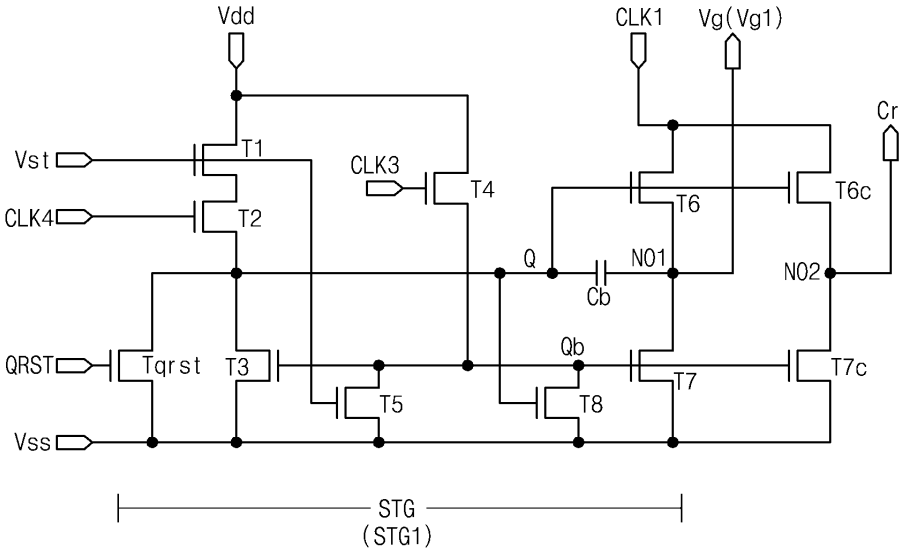
도면3


DL
Vg
GL
Ts
Clc
Cst
P

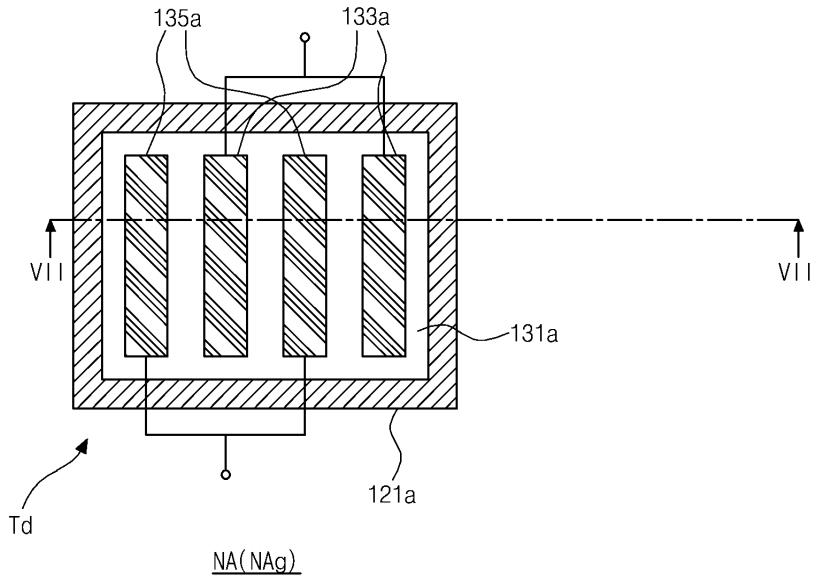
도면4


CLK1~
CLK4
QRST
STG1
Vg1
Cr
STG2
Vg2
Cr
STG3
Vg3
Cr
STGN
VgN
320

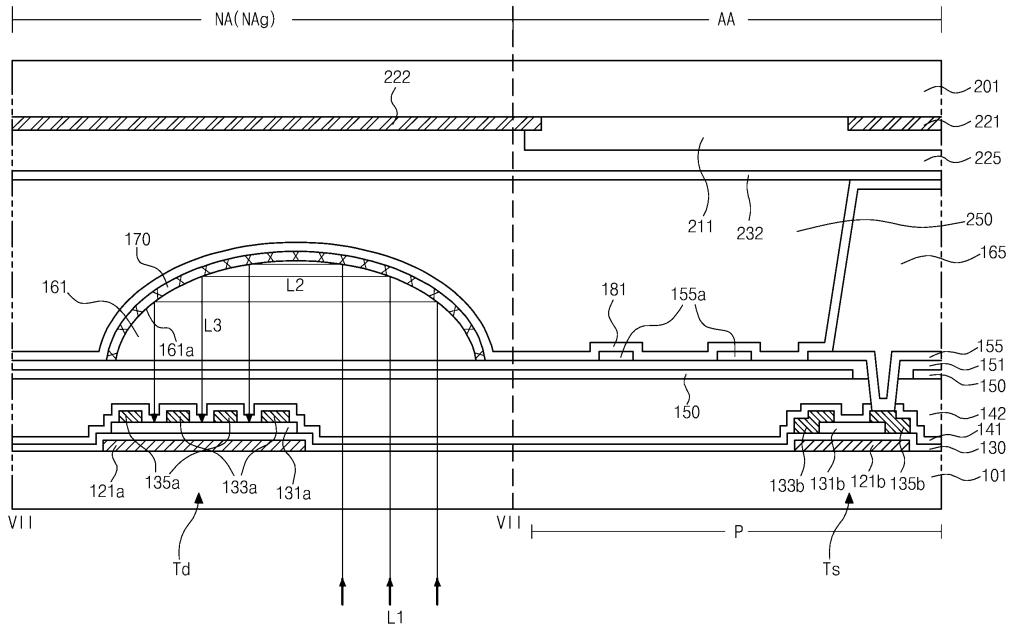
도면5


Vdd
CLK1
Vg(Vg1)
Cr
Vst
T1
CLK3
T4
T6
T6c
CLK4
T2
Q
NO1
NO2
Cb
QRST
Tqrst
T3
Qb
T7c
T5
T8
T7
Vss
STG
(STG1)

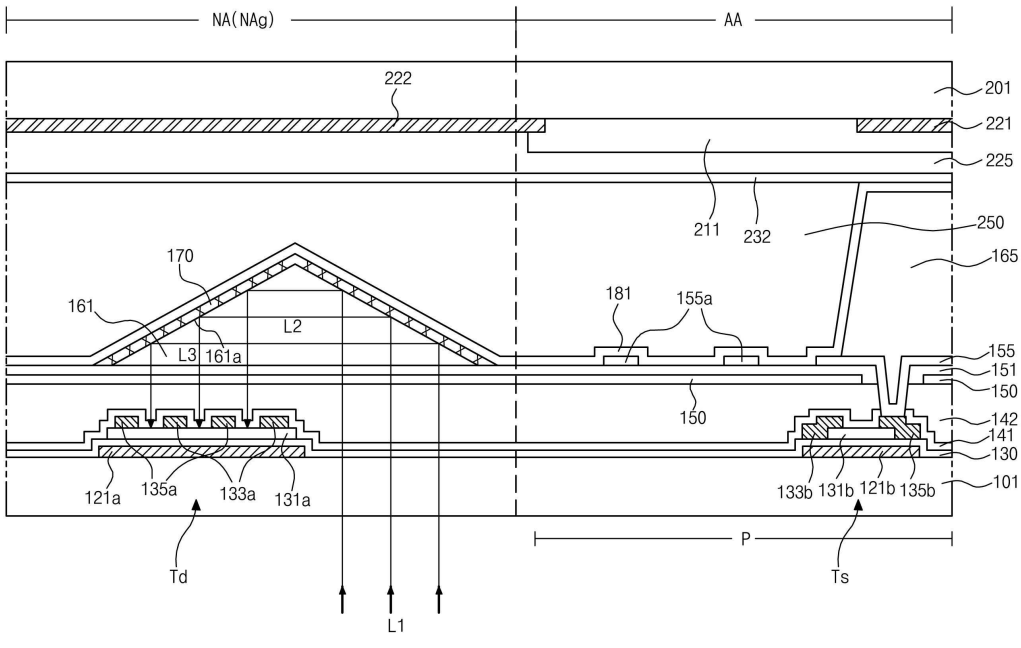
도면6


135a
133a
VII
VII
131a
121a
Td
NA(NAg)

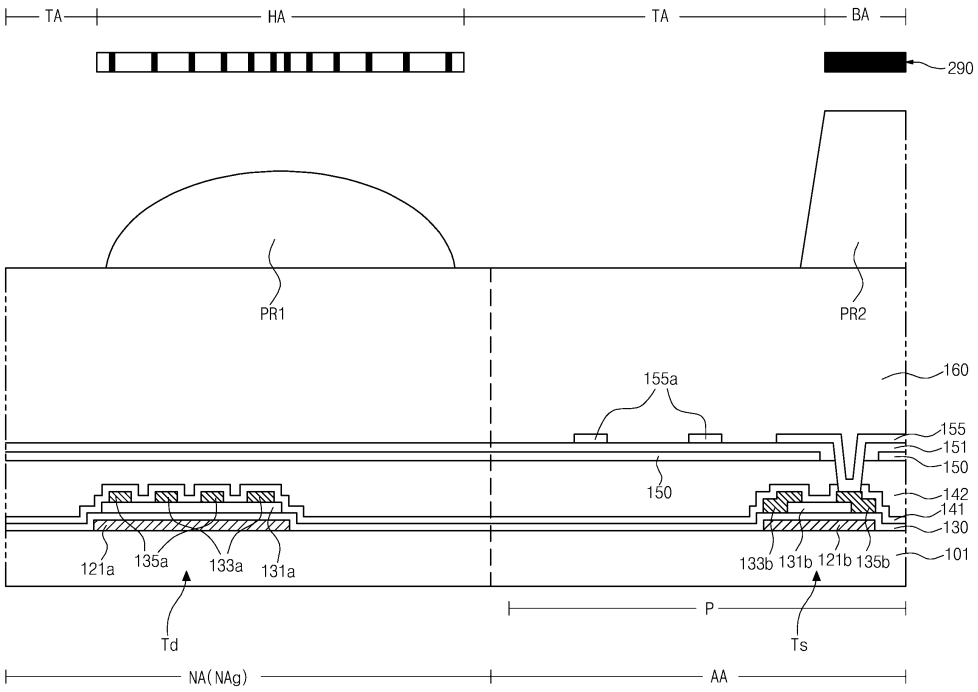
도면7


NA(NAg)
AA
222
201
221
225
211
232
250
165
170
161
L2
L3
161a
181
155a
155
151
150
142
141
130
101
121a
135a
133a
131a
133b
131b
121b
135b
VII
VII
P
Td
Ts
L1
100

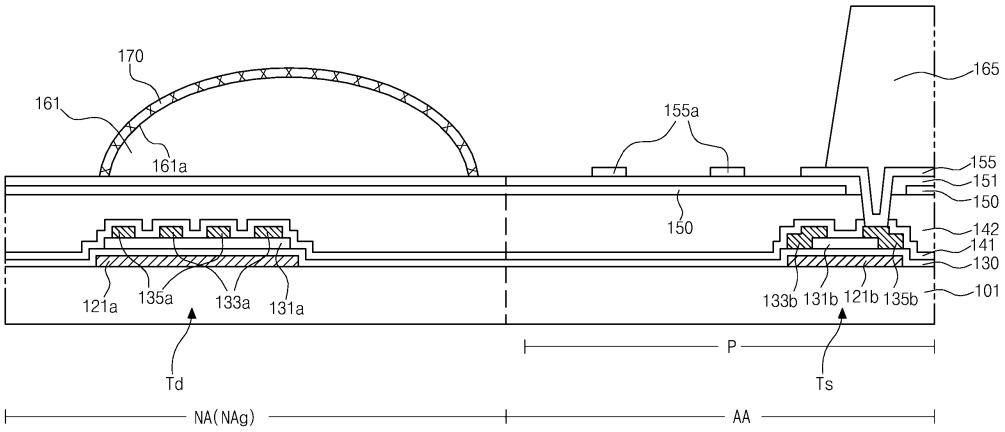
도면8


NA(NAg)
AA
222
201
221
225
211
232
250
165
170
161
L2
L3
161a
181
155a
155
151
150
142
141
130
101
121a
135a
133a
131a
133b
131b
121b
135b
P
Td
Ts
L1
100

도면9


TA
HA
TA
BA
290
PR1
PR2
160
155a
155
151
150
150
142
141
130
121a
135a
133a
131a
133b
131b
121b
135b
101
P
Td
Ts
NA(NAg)
AA

도면10


170
161
161a
165
155a
155
151
150
150
142
141
130
121a
135a
133a
131a
133b
131b
121b
135b
101
P
Td
Ts
NA(NAg)
AA

100

专利名称(译)	液晶显示器		
公开(公告)号	KR1020190075633A	公开(公告)日	2019-07-01
申请号	KR1020170177380	申请日	2017-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김선경 조성현 서소원		
发明人	김선경 조성현 서소원		
IPC分类号	G02F1/1335 G09G3/36		
CPC分类号	G02F1/133553 G09G3/3677 G02F2001/13356 G09G2300/0408 G09G2300/0426 G09G2320/043		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置。液晶显示装置包括：基板，其上形成有配置有包括开关晶体管的像素的显示区域；以及在该显示区域的外侧的非显示区域。栅极驱动电路，其包括形成在基板上的非显示区域中的多个驱动晶体管，并且向连接至开关晶体管的栅极线输出栅极信号；反射图案的一部分在多个驱动晶体管的至少一个上部中的一部分与对应的驱动晶体管部分重叠，并且另一部分位于驱动晶体管的外部并且向上凸出。可以提高栅极驱动电路的可靠性。

