



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0031620
(43) 공개일자 2017년03월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01) G02F 1/1335 (2006.01)
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
H05B 33/12 (2006.01)
(52) CPC특허분류
G02F 1/1333 (2013.01)
G02F 1/1336 (2013.01)
(21) 출원번호 10-2016-0114538
(22) 출원일자 2016년09월06일
심사청구일자 없음
(30) 우선권주장
JP-P-2015-179114 2015년09월11일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
오리카와, 요시아키
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
코에즈카, 준이치
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
오카자키, 켄이치
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 6 항

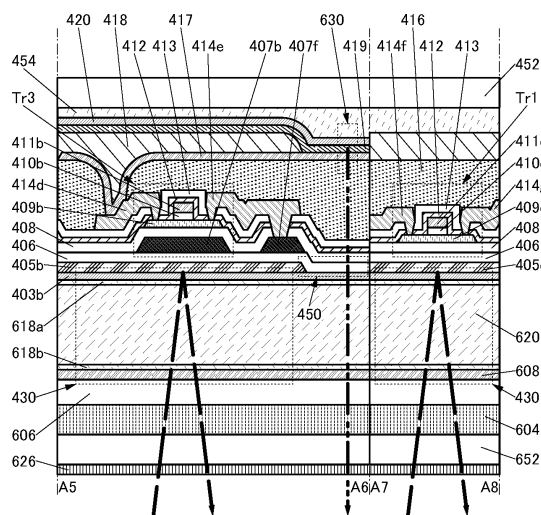
(54) 발명의 명칭 표시 장치 및 그 제작 방법

(57) 요약

본 발명은 편리성 또는 신뢰성이 우수한 신규 표시 장치를 제공한다. 또는 소비 전력이 낮고, 표시 품질이 높은 표시 장치를 제공한다.

제 1 표시 소자와, 제 2 표시 소자와, 제 1 트랜지스터와, 제 2 트랜지스터를 갖는 표시 장치로서, 제 1 표시 소자는 제 1 화소 전극과, 액정층을 갖고, 제 2 표시 소자는 제 2 화소 전극과, 발광층을 갖고, 제 1 트랜지스터는 제 1 화소 전극과 전기적으로 접속되고, 제 2 트랜지스터는 제 2 화소 전극과 전기적으로 접속되고, 제 1 트랜지스터 및 제 2 트랜지스터는 산화물 반도체막을 갖고, 제 1 화소 전극 및 제 2 화소 전극은 산화물 반도체막이 갖는 금속 원소를 적어도 1 이상 갖는다.

대표도 - 도6



(52) CPC특허분류

H01L 27/1225 (2013.01)

H01L 27/1251 (2013.01)

H01L 27/3262 (2013.01)

H05B 33/12 (2013.01)

명세서

청구범위

청구항 1

표시 장치에 있어서,
제 1 표시 소자;
제 2 표시 소자;
제 1 트랜지스터; 및
제 2 트랜지스터를 포함하고,
상기 제 1 표시 소자는 제 1 화소 전극과 액정층을 포함하고,
상기 제 2 표시 소자는 제 2 화소 전극과 발광층을 포함하고,
상기 제 1 트랜지스터는 상기 제 1 화소 전극과 전기적으로 접속되고,
상기 제 2 트랜지스터는 상기 제 2 화소 전극과 전기적으로 접속되고,
상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 각각 산화물 반도체막을 포함하고,
상기 제 1 화소 전극과 상기 제 2 화소 전극은 각각 상기 산화물 반도체막에 함유된 적어도 하나의 금속 원소를 포함하는, 표시 장치.

청구항 2

제 1 항에 있어서,
상기 제 1 표시 소자는 반사막을 더 포함하고,
상기 반사막은 상기 제 1 화소 전극과 전기적으로 접속되며, 입사되는 광을 반사하는 기능을 갖고,
상기 반사막은 입사되는 광을 투과하는 개구부가 제공되고,
상기 제 2 표시 소자는 상기 개구부를 향하여 광을 방출하는 기능을 갖는, 표시 장치.

청구항 3

제 1 항에 있어서,
상기 산화물 반도체막은 In, Zn, 및 M을 포함하고,
M은 Al, Ga, Y, 또는 Sn인, 표시 장치.

청구항 4

제 1 항에 있어서,
상기 산화물 반도체막은 결정부를 포함하고,
상기 결정부는 c축 배향성을 갖는, 표시 장치.

청구항 5

제 1 항에 있어서,
상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 적어도 한쪽은 스테거형 구조를 갖는, 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 적어도 한쪽은,

제 1 도전막;

상기 제 1 도전막 위의 제 1 절연막;

상기 제 1 절연막 위의 제 1 산화물 반도체막;

상기 제 1 산화물 반도체막 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 2 산화물 반도체막을 포함하고,

상기 제 2 산화물 반도체막은 채널 폭 방향의 단면에서 상기 제 2 산화물 반도체막을 개재하여 상기 제 1 산화물 반도체막의 측면을 덮고,

상기 제 1 산화물 반도체막은 상기 채널 폭 방향의 상기 단면에서 상기 제 1 도전막과 상기 제 2 절연막에 의하여 둘러싸인, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 표시 장치 및 그 제작 방법에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상기 기술 분야에 한정되지 않는다. 본 명세서 등에서 기재하는 본 발명의 일 형태가 속하는 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는, 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로, 본 발명의 일 형태가 속하는 기술 분야로서 구체적으로 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법 또는 이들의 제조 방법을 일례로 들 수 있다.

배경 기술

[0003] 백 라이트로서 면 발광을 하는 광원을 사용하여 투과형 액정 표시 장치를 조합함으로써 소비 전력의 저감과 표시 품질의 저하의 억제에 양립하는 액정 표시 장치가 알려져 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개2011-248351호 공보

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 형태는 편리성 또는 신뢰성이 우수한 표시 장치를 제공하는 것을 과제 중 하나로 한다.

[0006] 또는, 본 발명의 일 형태는 소비 전력이 낮고, 표시 품질이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 표시 장치의 구동 회로의 폭을 좁게 하여 더 슬림 베젤화를 도모할 수 있는 구성을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다.

[0007] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

- [0008] 본 발명의 일 형태는 제 1 표시 소자와, 제 2 표시 소자와, 제 1 트랜지스터와, 제 2 트랜지스터를 갖는 표시 장치이고, 제 1 표시 소자는 제 1 화소 전극과, 액정층을 갖고, 제 2 표시 소자는 제 2 화소 전극과 발광층을 갖고, 제 1 트랜지스터는 제 1 화소 전극과 전기적으로 접속되고, 제 2 트랜지스터는 제 2 화소 전극과 전기적으로 접속되고, 제 1 트랜지스터 및 제 2 트랜지스터는 산화물 반도체막을 갖고, 제 1 화소 전극 및 제 2 화소 전극은 산화물 반도체막이 갖는 금속 원소를 하나 이상 갖는, 표시 장치이다.
- [0009] 또한, 상기 형태에서, 제 1 표시 소자는 반사막을 더 갖고, 반사막은 제 1 화소 전극과 전기적으로 접속되고, 또한, 입사되는 광을 반사하는 기능을 갖고, 반사막에는 입사되는 광을 투과하는 개구부가 제공되고, 제 2 표시 소자는 개구부를 향하여 광을 방출하는 기능을 갖는 것이 바람직하다.
- [0010] 또한, 상기 형태에서, 산화물 반도체막은 In과, Zn과, M(M은 Al, Ga, Y 또는 Sn)을 포함하면 바람직하다. 또한, 상기 형태에서, 산화물 반도체막은 결정부를 갖고, 결정부는 c축 배향성을 가지면 바람직하다.
- [0011] 또한, 상기 형태에서, 제 1 트랜지스터 및 제 2 트랜지스터 중 어느 한쪽 또는 양쪽 모두가 스테거형 구조를 가지면 바람직하다.
- [0012] 또한, 상기 형태에서, 제 1 트랜지스터 및 제 2 트랜지스터 중 한쪽 또는 양쪽 모두는 제 1 도전막과, 제 1 도전막 위의 제 1 절연막과, 제 1 절연막 위의 제 1 산화물 반도체막과, 제 1 산화물 반도체막 위의 제 2 절연막과, 제 2 절연막 위의 제 2 산화물 반도체막을 갖고, 제 2 산화물 반도체막은 채널 폭 방향의 단면에서 제 2 절연막을 개재(介在)하여 제 1 산화물 반도체막의 측면을 덮고, 제 1 산화물 반도체막은 채널 폭 방향의 단면에서 제 1 도전막과, 제 2 산화물 반도체막에 의하여 둘러싸인 구조를 가지면 바람직하다.

발명의 효과

- [0013] 본 발명의 일 형태에 의하여 편리성 또는 신뢰성이 우수한 신규 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 소비 전력이 낮고, 표시 품질이 높은 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 표시 장치의 구동 회로의 폭을 좁게 하여 더 슬림 베젤화를 도모할 수 있는 구성을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신규 표시 장치를 제공할 수 있다.
- [0014] 또한, 상술한 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 반드시 상술한 모든 효과를 가질 필요는 없다. 또한, 상술한 것 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 상술한 것 외의 효과가 추출될 수 있다.

도면의 간단한 설명

- [0015] 도 1은 표시 장치를 설명하기 위한 블록도 및 회로도.
 도 2는 화소 회로를 설명하기 위한 회로도.
 도 3은 표시 소자의 표시 영역을 설명하는 모식도.
 도 4는 표시 장치 및 화소 회로를 설명하기 위한 상면도.
 도 5는 표시 소자를 설명하기 위한 단면도.
 도 6은 표시 소자를 설명하기 위한 단면도.
 도 7은 표시 소자를 설명하기 위한 단면도.
 도 8은 표시 소자를 설명하기 위한 단면도.
 도 9는 표시 장치의 제작 공정을 설명하기 위한 단면도.
 도 10은 표시 장치의 제작 공정을 설명하기 위한 단면도.
 도 11은 표시 장치의 제작 공정을 설명하기 위한 단면도.
 도 12는 표시 장치의 제작 공정을 설명하기 위한 단면도.
 도 13은 표시 장치의 제작 공정을 설명하기 위한 단면도.
 도 14는 표시 장치의 제작 공정을 설명하기 위한 단면도.

- 도 15는 표시 장치를 설명하기 위한 단면도.
- 도 16은 표시 장치를 설명하기 위한 단면도.
- 도 17은 표시 장치를 설명하기 위한 단면도.
- 도 18은 표시 장치를 설명하기 위한 단면도.
- 도 19는 반도체 장치를 설명하기 위한 상면도 및 단면도.
- 도 20은 반도체 장치를 설명하기 위한 상면도 및 단면도.
- 도 21은 반도체 장치를 설명하기 위한 단면도.
- 도 22는 반도체 장치를 설명하기 위한 단면도.
- 도 23은 반도체 장치를 설명하기 위한 단면도.
- 도 24는 반도체 장치를 설명하기 위한 단면도.
- 도 25는 반도체 장치를 설명하기 위한 단면도.
- 도 26은 반도체 장치를 설명하기 위한 단면도.
- 도 27은 반도체 장치를 설명하기 위한 단면도.
- 도 28은 반도체 장치를 설명하기 위한 단면도.
- 도 29는 반도체 장치를 설명하기 위한 단면도.
- 도 30은 밴드 구조를 설명하기 위한 단면도.
- 도 31은 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 32는 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 33은 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 34는 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 35는 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 36은 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 37은 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조 해석을 설명하기 위한 도면 및 CAAC-OS의 제한
시야 전자 회절 패턴을 나타낸 도면.
- 도 38은 CAAC-OS의 단면 TEM 이미지 및 평면 TEM 이미지와 그 해석 이미지.
- 도 39는 nc-OS의 전자 회절 패턴을 나타낸 도면 및 nc-OS의 단면 TEM 이미지.
- 도 40은 a-like OS의 단면 TEM 이미지.
- 도 41은 In-Ga-Zn 산화물의 전자 조사에 의한 결정부의 변화를 도시한 도면.
- 도 42는 표시 모듈을 설명하기 위한 도면.
- 도 43은 전자 기기를 설명하는 도면.
- 도 44는 표시 장치를 설명하기 위한 사시도.
- 도 45는 표시 장치를 설명하기 위한 사시도.
- 도 46은 정보 처리 장치의 구성을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0016]

아래에, 실시형태에 대하여 도면을 참조하여 설명한다. 단, 실시형태는 많은 상이한 형태에서 실시할 수 있으며, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면

용이하게 이해할 수 있다. 따라서, 본 발명은 아래의 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

- [0017] 또한, 도면에 있어서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시형태는 반드시 그 스케일에 한정되지 않는다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타내는 형상 또는 값 등에 한정되지 않는다.
- [0018] 또한, 본 명세서에서 이용하는 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.
- [0019] 또한, 본 명세서에 있어서, "위에", "아래에" 등의 배치를 나타내는 어구는 구성들간의 위치 관계를, 도면을 참조하여 설명하기 위하여 편의상 이용하고 있다. 또한, 구성들의 위치 관계는, 각 구성을 묘사하는 방향에 따라 적절히 달라진다. 따라서, 명세서에서 설명한 어구에 한정되지 않고, 상황에 따라서 적절히 바꿔 말할 수 있다.
- [0020] 또한, 본 명세서 등에서 트랜지스터란, 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극)의 사이에 채널 영역을 갖고 있어, 드레인과 채널 영역과 소스를 통하여 전류를 흐르게 할 수 있는 것이다. 또한, 본 명세서 등에 있어서, 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.
- [0021] 또한, 소스나 드레인의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 등의 경우에는 서로 바뀌는 경우가 있다. 이 때문에, 본 명세서 등에서는, 소스나 드레인이라는 용어는 서로 바꾸어 사용할 수 있는 것으로 한다.
- [0022] 또한, 본 명세서 등에서, "전기적으로 접속"에는, '어떠한 전기적 작용을 갖는 것'을 통하여 접속되어 있는 경우가 포함된다. 여기서, '어떠한 전기적 작용을 갖는 것'은 접속 대상간에서 전기 신호의 주고 받음을 가능하게 하는 것이면 특별한 제한을 받지 않는다. 예를 들어, '어떠한 전기적 작용을 갖는 것'에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 이 외 각종 기능을 갖는 소자 등이 포함된다.
- [0023] 또한, 본 명세서 등에서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0024] 또한, 본 명세서 등에 있어서, '막'이라는 용어와 '층'이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, '도전층'이라는 용어를 '도전막'이라는 용어로 바꿀 수 있는 경우가 있다. 또는 예를 들어 '절연막'이라는 용어를 '절연층'이라는 용어로 바꿀 수 있는 경우가 있다.
- [0025] 또한, 본 명세서 등에서 오프 전류란, 특별한 설명이 없는 한, 트랜지스터가 오프 상태('비도통 상태'나 '차단 상태'라고도 함)일 때의 드레인 전류를 말한다. 오프 상태란, 특별한 설명이 없는 한, n채널형 트랜지스터의 경우에는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은 상태, p채널형 트랜지스터의 경우에는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 높은 상태를 말한다. 예를 들어, n채널형 트랜지스터의 오프 전류란, 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은 상태일 때의 드레인 전류를 말하는 경우가 있다.
- [0026] 트랜지스터의 오프 전류는 V_{gs} 에 의존하는 경우가 있다. 따라서, "트랜지스터의 오프 전류가 I 이하이다"라는 것은 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 말하는 경우가 있다. '트랜지스터의 오프 전류'란, V_{gs} 가 소정의 값을 가질 때의 오프 상태 시, V_{gs} 가 소정의 범위 내의 값을 가질 때의 오프 상태 시, 또는 V_{gs} 가 충분히 저감된 오프 전류가 얻어지는 값을 가질 때의 오프 상태 시, 등의 오프 전류를 말하는 경우가 있다.
- [0027] 일례로서, 문턱 전압 V_{th} 가 0.5V이고, V_{gs} 가 0.5V일 때의 드레인 전류가 1×10^{-9} A이고, V_{gs} 가 0.1V일 때의 드레인 전류가 1×10^{-13} A이고, V_{gs} 가 -0.5V일 때의 드레인 전류가 1×10^{-19} A이고, V_{gs} 가 -0.8V일 때의 드레인 전류가 1×10^{-22} A인 n채널형 트랜지스터를 생각한다. 상기 트랜지스터의 드레인 전류는 V_{gs} 가 -0.5V일 때, 또는 V_{gs} 가 -0.5V~-0.8V의 범위일 때 1×10^{-19} A 이하이기 때문에, '상기 트랜지스터의 오프 전류는 1×10^{-19} A 이하이다'라고

하는 경우가 있다. 상기 트랜지스터의 드레인 전류가 1×10^{-22} A 이하가 되는 V_{gs} 가 존재하기 때문에, '상기 트랜지스터의 오프 전류는 1×10^{-22} A 이하이다'라고 하는 경우가 있다.

[0028] 또한, 본 명세서 등에서는, 채널 폭(W)을 갖는 트랜지스터의 오프 전류를, 채널 폭(W)당 전류값으로 나타내는 경우가 있다. 또한, 소정의 채널 폭(예를 들어 $1 \mu\text{m}$)당 전류값으로 나타내는 경우가 있다. 후자의 경우, 오프 전류의 단위는 전류/길이의 차원을 갖는 단위(예를 들어 $\text{A}/\mu\text{m}$)로 표현될 경우가 있다.

[0029] 트랜지스터의 오프 전류는 온도에 의존하는 경우가 있다. 본 명세서에서 오프 전류란, 특별한 설명이 없는 한, 실온, 60°C , 85°C , 95°C , 또는 125°C 일 때의 오프 전류를 말하는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도일 때, 또는 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어 $5^\circ\text{C} \sim 35^\circ\text{C}$ 중 어느 하나의 온도)일 때의 오프 전류를 말하는 경우가 있다. "트랜지스터의 오프 전류가 I 이하이다"란, 실온, 60°C , 85°C , 95°C , 125°C , 상기 트랜지스터가 포함되는 반도체 장치의 신뢰성이 보증되는 온도, 또는, 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어, $5^\circ\text{C} \sim 35^\circ\text{C}$ 중 어느 하나의 온도)에 있어서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 가리키는 경우가 있다.

[0030] 트랜지스터의 오프 전류는 드레인과 소스 사이의 전압(V_{ds})에 의존하는 경우가 있다. 본 명세서에 있어서, 오프 전류는 특별한 설명이 없는 한, V_{ds} 가 0.1V , 0.8V , 1V , 1.2V , 1.8V , 2.5V , 3V , 3.3V , 10V , 12V , 16V , 또는 20V 일 때의 오프 전류를 말하는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} 일 때, 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{ds} 일 때의 오프 전류를 말하는 경우가 있다. '트랜지스터의 오프 전류가 I 이하이다'라는 것은 V_{ds} 가 0.1V , 0.8V , 1V , 1.2V , 1.8V , 2.5V , 3V , 3.3V , 10V , 12V , 16V , 또는 20V 일 때, 상기 트랜지스터가 포함되는 반도체 장치의 신뢰성이 보증되는 V_{ds} 일 때, 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{ds} 일 때의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 말하는 경우가 있다.

[0031] 상기 오프 전류의 설명에 있어서, 드레인을 소스로 바꿔 읽어도 좋다. 즉, 오프 전류란, 트랜지스터가 오프 상태일 때 소스를 흐르는 전류를 말하는 경우도 있다.

[0032] 또한, 본 명세서 등에서는 오프 전류와 같은 의미로 누설 전류라고 기재하는 경우가 있다. 또한, 본 명세서 등에서, 오프 전류란, 예를 들어 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 말하는 경우가 있다.

[0033] 또한, 본 명세서 등에 있어서, '반도체'라고 표기한 경우라도, 예를 들어, 도전성이 충분히 낮은 경우에는, '절연체'로서의 특성을 갖는 경우가 있다. 또한, '반도체'와 '절연체'는 경계가 애매하여, 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에 기재된 '반도체'는, '절연체'로 바꿔 말하는 것이 가능한 경우가 있다. 마찬가지로, 본 명세서 등에 기재된 '절연체'는, '반도체'로 바꿔 말하는 것이 가능한 경우가 있다. 또는, 본 명세서 등에 기재된 '절연체'를 '반절연체'로 바꿔 말하는 것이 가능한 경우가 있다.

[0034] 또한, 본 명세서 등에 있어서, '반도체'라고 표기한 경우라도, 예를 들어, 도전성이 충분히 높은 경우에는, '도전체'로서의 특성을 갖는 경우가 있다. 또한, '반도체'와 '도전체'는 경계가 애매하여, 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에 기재된 '반도체'는, '도전체'로 바꿔 말하는 것이 가능한 경우가 있다. 마찬가지로, 본 명세서 등에 기재된 '도전체'는, '반도체'로 바꿔 말하는 것이 가능한 경우가 있다.

[0035] 또한, 본 명세서 등에서 반도체의 불순물이란, 예를 들어, 반도체를 구성하는 주성분 외의 것을 가리킨다. 예를 들어, 농도가 $0.1\text{atomic}\%$ 미만의 원소는 불순물이다. 불순물이 함유됨으로써 예를 들어, 반도체에서 DOS(Density of States)의 형성이나 캐리어 이동도의 저하나 결정성의 저하 등이 일어날 수 있다. 반도체가 산화물 반도체를 포함하는 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 제 1 족 원소, 제 2 족 원소, 제 14 족 원소, 제 15 족 원소, 및 주성분 이외의 전이 금속(transition metal) 등이 있으며, 특히 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체인 경우, 예를 들어 수소 등의 불순물의 혼입에 의하여 산소 결손을 형성하는 경우가 있다. 또한 반도체가 실리콘을 갖는 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 산소, 수소를 제외한 제 1 족 원소, 제 2 족 원소, 제 13 족 원소, 제 15 족 원소 등이 있다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치에 대하여 도 1~도 14를 참조하여 설명한다.

- [0038] <1-1. 표시 장치의 구성>
- [0039] 우선, 표시 장치의 구성에 대하여 도 1을 참조하여 설명한다. 도 1에 도시된 표시 장치(500)는 화소부(502)와, 화소부(502)의 외측에 배치되는 게이트 드라이버 회로부(504a)와, 게이트 드라이버 회로부(504b)와, 화소부(502)의 외측에 배치되는 소스 드라이버 회로부(506)를 갖는다.
- [0040] [화소부]
- [0041] 화소부(502)는 X행(X는 2 이상의 자연수), Y열(Y는 2 이상의 자연수)에 배치되는 화소 회로(501(X,Y))를 갖는다. 또한, 화소 회로(501(X,Y))는 2개의 표시 소자를 갖고, 이 2개의 표시 소자는 각각 상이한 기능을 갖는다. 2개의 표시 소자 중 한쪽은 입사되는 광을 반사하는 기능을 갖고, 2개의 표시 소자 중 다른 쪽은 광을 방출하는 기능을 갖는다. 또한, 이 2개의 표시 소자의 자세한 사항에 대해서는 후술한다.
- [0042] [게이트 드라이버 회로부]
- [0043] 게이트 드라이버 회로부(504a), 게이트 드라이버 회로부(504b) 및 소스 드라이버 회로부(506)의 일부 또는 모두는 화소부(502)와 동일 기판 위에 형성되는 것이 바람직하다. 이에 의하여, 부품 수나 단자 수를 줄일 수 있다. 게이트 드라이버 회로부(504a), 게이트 드라이버 회로부(504b) 및 소스 드라이버 회로부(506)의 일부 또는 모두가 화소부(502)와 동일 기판 위에 형성되지 않는 경우에는 COG(Chip On Glass) 또는 TAB(Tape Automated Bonding)에 의하여 별도 준비된 구동 회로 기판(예를 들어 단결정 반도체막 또는 다결정 반도체막으로 형성된 구동 회로 기판)을 표시 장치(500)에 형성하여도 좋다.
- [0044] 또한, 게이트 드라이버 회로부(504a), 게이트 드라이버 회로부(504b)는 화소 회로(501(X,Y))를 선택하는 신호(주사 신호)를 출력하는 기능을 갖고, 소스 드라이버 회로부(506)는 화소 회로(501(X,Y))가 갖는 표시 소자를 구동하기 위한 신호(데이터 신호)를 공급하는 기능을 갖는다.
- [0045] 또한, 게이트 드라이버 회로부(504a)는 주사 신호가 공급되는 배선(이하, 주사선($G_{E1} \sim G_{EX}$)이라고 함)의 전위를 제어하는 기능, 또는 초기화 신호를 공급하는 기능을 갖는다. 또한, 게이트 드라이버 회로부(504b)는 주사 신호가 공급되는 배선(이하, 주사선($G_{L1} \sim G_{LX}$)이라고 함)의 전위를 제어하는 기능, 또는 초기화 신호를 공급하는 기능을 갖는다. 단, 이에 한정되지 않고, 게이트 드라이버 회로부(504a) 및 게이트 드라이버 회로부(504b)는 다른 신호를 제어 또는 공급할 수 있다.
- [0046] 또한, 도 1에서는 게이트 드라이버 회로부로서 게이트 드라이버 회로부(504a)와 게이트 드라이버 회로부(504b)의 2개를 제공하는 구성에 대하여 예시하였지만, 이에 한정되지 않고, 하나의 게이트 드라이버 회로부, 또는 3개 이상의 게이트 드라이버 회로부를 제공하는 구성으로 하여도 좋다.
- [0047] [소스 드라이버 회로부]
- [0048] 소스 드라이버 회로부(506)는 화상 신호를 바탕으로 화소 회로(501(X,Y))에 기록하는 데이터 신호를 생성하는 기능, 데이터 신호가 공급되는 배선(이하, 신호선($S_{L1} \sim S_{LY}$) 및 신호선($S_{E1} \sim S_{EY}$)이라고 함)의 전위를 제어하는 기능, 또는 초기화 신호를 공급하는 기능을 갖는다. 단, 이에 한정되지 않고, 소스 드라이버 회로부(506)는 다른 신호를 생성, 제어, 또는 공급하는 기능을 가져도 좋다.
- [0049] 또한, 소스 드라이버 회로부(506)는 복수의 아날로그 스위치 등을 사용하여 구성된다. 소스 드라이버 회로부(506)는, 복수의 아날로그 스위치를 순차적으로 온 상태로 함으로써, 화상 신호를 시분할한 신호를 데이터 신호로서 출력할 수 있다.
- [0050] 또한, 도 1에서는 소스 드라이버 회로부(506)를 하나 제공하는 구성에 대하여 예시하였지만, 이에 한정되지 않고, 표시 장치(500)에는 복수의 소스 드라이버 회로부를 제공하여도 좋다. 예를 들어, 2개의 소스 드라이버 회로부를 제공하고, 한쪽 소스 드라이버 회로부에 의하여 신호선($S_{L1} \sim S_{LY}$)을 제어하고, 다른 쪽 소스 드라이버 회로부에 의하여 신호선($S_{E1} \sim S_{EY}$)을 제어하여도 좋다.
- [0051] [화소 회로]
- [0052] 또한, 화소 회로(501(X,Y))는 주사선($G_{L1} \sim G_{LX}$) 및 주사선($G_{E1} \sim G_{EX}$) 중 하나를 통하여 펄스 신호가 입력되고, 신호선($S_{L1} \sim S_{LY}$) 및 신호선($S_{E1} \sim S_{EY}$) 중 하나를 통하여 데이터 신호가 입력된다.

- [0053] 예를 들어, m 행 n 열짜(m 은 X 이하의 자연수를 나타내고, n 은 Y 이하의 자연수를 나타냄)의 화소 회로(501(m , n))는 주사선($G_{L,m}$) 및 주사선($G_{E,m}$)을 통하여 게이트 드라이버 회로부(504a)로부터 펄스 신호가 입력되고, 주사선($G_{L,m}$) 및 주사선($G_{E,m}$)의 전위에 따라 신호선($S_{L,n}$) 및 신호선($S_{E,n}$)을 통하여 소스 드라이버 회로부(506)로부터 데이터 신호가 입력된다.
- [0054] 또한, 화소 회로(501(m , n))는 상술한 바와 같이 2개의 표시 소자를 갖는다. 주사선($G_{L,1} \sim G_{L,X}$)은 2개의 표시 소자 중 한쪽에 공급되는 펄스 신호의 전위를 제어하는 배선이고, 주사선($G_{E,1} \sim G_{E,X}$)은 2개의 표시 소자 중 다른 쪽에 공급되는 펄스 신호의 전위를 제어하는 배선이다.
- [0055] 또한, 신호선($S_{L,1} \sim S_{L,Y}$)은 2개의 표시 소자 중 한쪽에 공급되는 데이터 신호의 전위를 제어하는 배선이고, 신호선($S_{E,1} \sim S_{E,Y}$)은 2개의 표시 소자의 다른 쪽에 공급되는 데이터 신호의 전위를 제어하는 배선이다.
- [0056] [외부 회로]
- [0057] 표시 장치(500)에는 외부 회로(508a) 및 외부 회로(508b)가 접속된다. 또한, 외부 회로(508a) 및 외부 회로(508b)를 표시 장치(500)에 형성하는 구성으로 하여도 좋다.
- [0058] 또한, 외부 회로(508a)는 도 1에 도시된 바와 같이 애노드 전위가 공급되는 배선(이하, 애노드 선($ANO_1 \sim ANO_X$))이라고 함)과 전기적으로 접속되어 있으며, 외부 회로(508b)는 공통 전위가 공급되는 배선(이하, 공통선($COM_1 \sim COM_X$))이라고 함)과 전기적으로 접속되어 있다.
- [0059] <1-2. 화소 회로의 구성예>
- [0060] 다음에 화소 회로(501(m , n))의 구성에 대하여 도 2를 참조하여 설명한다.
- [0061] 도 2는 본 발명의 일 형태에 따른 표시 장치(500)가 갖는 화소 회로(501(m , n))와, 화소 회로(501(m , n))의 열 방향으로 인접된 화소 회로(501(m , $n+1$))를 설명하는 회로도이다. 또한, 본 명세서 등에서는 열 방향이란 신호선($S_{L,n}$)(또는 신호선($S_{E,n}$))의 n 의 수치가 증감하는 방향이고, 행 방향이란 주사선($G_{L,m}$)(또는 주사선($G_{E,m}$))의 m 의 수치가 증감하는 방향이다.
- [0062] 화소 회로(501(m , n))는 트랜지스터($Tr1$)와, 트랜지스터($Tr2$)와, 트랜지스터($Tr3$)와, 용량 소자($C1$)와, 용량 소자($C2$)와, 표시 소자(430)와, 표시 소자(630)를 갖는다. 또한, 화소 회로(501(m , $n+1$))도 같은 구성을 갖는다.
- [0063] 또한, 화소 회로(501(m , n))는 신호선($S_{L,n}$), 신호선($S_{E,n}$), 주사선($G_{L,m}$), 주사선($G_{E,m}$), 공통선(COM_m), 공통선($VCOM1$), 공통선($VCOM2$), 및 애노드선(ANO_m)과 전기적으로 접속되어 있다. 또한, 화소 회로(501(m , $n+1$))는 신호선($S_{L,n+1}$), 신호선($S_{E,n+1}$), 주사선($G_{L,m}$), 주사선($G_{E,m}$), 공통선(COM_m), 공통선($VCOM1$), 공통선($VCOM2$), 및 애노드선(ANO_m)과 전기적으로 접속되어 있다.
- [0064] 또한, 신호선($S_{L,n}$), 신호선($S_{L,n+1}$), 주사선($G_{L,m}$), 공통선(COM_m), 공통선($VCOM1$)은 각각 표시 소자(430)를 구동시키기 위한 배선이고, 신호선($S_{E,n}$), 신호선($S_{E,n+1}$), 주사선($G_{E,m}$), 공통선($VCOM2$), 애노드선(ANO_m)은 각각 표시 소자(630)를 구동시키기 위한 배선이다.
- [0065] 또한, 신호선($S_{E,n}$) 및 신호선($S_{E,n+1}$)에 공급되는 전위와 신호선($S_{L,n}$) 및 신호선($S_{L,n+1}$)에 공급되는 전위가 상이한 경우, 도 2에 도시된 바와 같이, 신호선($S_{E,n}$)과 신호선($S_{L,n+1}$)을 이격(離隔)하도록 배치하면 바람직하다. 바꿔 말하면, 신호선($S_{E,n}$)과 신호선($S_{E,n+1}$)을 인접하도록 배치하면 바람직하다. 이러한 배치로 함으로써 신호선($S_{L,n}$) 및 신호선($S_{L,n+1}$)과 신호선($S_{E,n}$)과 신호선($S_{E,n+1}$) 사이에 생기는 전위 차의 영향을 저감시킬 수 있다.
- [0066] <1-3. 제 1 표시 소자의 구성예>
- [0067] 표시 소자(430)는 광의 반사 또는 광의 투과를 제어하는 기능을 갖는다. 특히, 표시 소자(430)를 광의 반사를 제어하는, 소위 반사형의 표시 소자로 하면 적합하다. 표시 소자(430)를 반사형의 표시 소자로 함으로써 외광을 사용하여 표시할 수 있게 되기 때문에 표시 장치의 소비 전력을 억제할 수 있다. 예를 들어, 표시 소자(430)로서는 반사막과 액정 소자와 편광판을 조합한 구성 또는 마이크로 일렉트로 메카니컬 시스템(MEMS)을 사

용하는 구성 등으로 하면 좋다.

[0068] <1-4. 제 2 표시 소자의 구성예>

[0069] 표시 소자(630)는 광을 방출하는 기능, 즉 발광하는 기능을 갖는다. 따라서, 표시 소자(630)를 발광 소자로 바꿔 읽어도 좋다. 예를 들어, 표시 소자(630)는 일렉트로루미네선스 소자(EL 소자라고도 함)를 사용하는 구성, 또는 발광 다이오드를 사용하는 구성 등으로 하면 좋다.

[0070] 이와 같이, 본 발명의 일 형태에 따른 표시 장치에서는 표시 소자(430) 및 표시 소자(630)에 나타낸 바와 같이 상이한 기능을 갖는 표시 소자를 사용한다. 예를 들어, 표시 소자 중 한쪽을 반사형의 액정 소자로 하고, 표시 소자 중 다른 쪽을 투과형의 EL 소자를 사용함으로써 편리성 또는 신뢰성이 우수한 신규 표시 장치를 제공할 수 있다. 또한, 외광이 밝은 환경 하에서는 반사형의 액정 소자를 이용하고, 외광이 어두운 환경 하에서는 투과형의 EL 소자를 사용함으로써 소비 전력이 낮고, 표시 품질이 높은 표시 장치를 제공할 수 있다.

[0071] <1-5. 표시 소자의 구동 방법>

[0072] 다음에, 표시 소자(430) 및 표시 소자(630)의 구동 방법에 대하여 설명한다. 또한, 이하의 설명에 대해서는 표시 소자(430)에 액정 소자를 사용하고, 표시 소자(630)에 발광 소자를 사용하는 구성으로 한다.

[0073] [제 1 표시 소자의 구동 방법]

[0074] 화소 회로(501(m, n))에서 트랜지스터(Tr1)의 게이트 전극은 주사선(G_{Lm})에 전기적으로 접속된다. 또한, 트랜지스터(Tr1)의 소스 전극 또는 드레인 전극 중 한쪽은 신호선(S_{Ln})에 전기적으로 접속되고, 다른 쪽은 표시 소자(430)의 한 쌍의 전극 중 한쪽에 전기적으로 접속된다. 트랜지스터(Tr1)는 온 상태 또는 오프 상태가 됨으로써 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.

[0075] 또한, 표시 소자(430)의 한 쌍의 전극 중 다른 쪽은 공통선(VCOM1)과 전기적으로 접속된다.

[0076] 또한, 용량 소자(C1)의 한 쌍의 전극 중 한쪽은 공통선(COM_m)에 전기적으로 접속되고, 다른 쪽은 트랜지스터(Tr1)의 소스 전극 및 드레인 전극 중 다른 쪽, 및 표시 소자(430)의 한 쌍의 전극 중 한쪽에 전기적으로 접속된다. 용량 소자(C1)는 화소 회로(501(m, n))에 기록된 데이터를 유지하는 기능을 갖는다.

[0077] 예를 들어, 도 1에 도시된 게이트 드라이버 회로부(504b)에 의하여 각 행의 화소 회로를 순차적으로 선택하고, 트랜지스터(Tr1)를 온 상태로 하여 데이터 신호의 데이터를 기록한다. 데이터가 기록된 화소 회로(501(m, n))는 트랜지스터(Tr1)가 오프 상태가 됨으로써 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시할 수 있다.

[0078] [제 2 표시 소자의 구동 방법]

[0079] 화소 회로(501(m, n))에서 트랜지스터(Tr2)의 게이트 전극은 주사선(G_{Em})에 전기적으로 접속된다. 또한, 트랜지스터(Tr2)의 소스 전극 또는 드레인 전극 중 한쪽은 신호선(S_{En})에 전기적으로 접속되고, 다른 쪽은 트랜지스터(Tr3)의 게이트 전극에 전기적으로 접속된다. 트랜지스터(Tr2)는 온 상태 또는 오프 상태가 됨으로써 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.

[0080] 용량 소자(C2)의 한 쌍의 전극 중 한쪽은 애노드선(ANO_m)에 전기적으로 접속되고, 다른 쪽은 트랜지스터(Tr2)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다. 용량 소자(C2)는 화소 회로(501(m, n))에 기록된 데이터를 유지하는 기능을 갖는다.

[0081] 또한, 트랜지스터(Tr3)의 게이트 전극은 트랜지스터(Tr2)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(Tr3)의 소스 전극 및 드레인 전극 중 한쪽은 애노드선(ANO_m)에 전기적으로 접속되고, 소스 전극 및 드레인 전극 중 다른 쪽은 표시 소자(630)의 한 쌍의 전극 중 한쪽에 전기적으로 접속된다. 또한, 트랜지스터(Tr3)에는 백 게이트 전극이 제공되고 이 백 게이트 전극은 트랜지스터(Tr3)의 게이트 전극과 전기적으로 접속된다.

[0082] 또한, 표시 소자(630)의 한 쌍의 전극 중 다른 쪽은 공통선(VCOM2)에 전기적으로 접속된다.

[0083] 예를 들어, 도 1에 도시된 게이트 드라이버 회로부(504a)에 의하여 각 행의 화소 회로를 순차적으로 선택하여 트랜지스터(Tr2)를 온 상태로 하여 데이터 신호의 데이터를 기록한다. 데이터가 기록된 화소 회로(501(m, n))

는 트랜지스터(Tr2)가 오프 상태가 됨으로써 유지 상태가 된다. 또한, 기록된 데이터 신호의 전위에 따라 트랜지스터(Tr3)의 소스 전극과 드레인 전극 사이에 흐르는 전류량이 제어되고, 표시 소자(630)는 흐르는 전류량에 따른 휘도로 발광한다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시할 수 있다.

[0084] 이와 같이, 본 발명의 일 형태에 따른 표시 장치는 2개의 표시 소자를 상이한 트랜지스터를 사용하여 각각 독립적으로 제어할 수 있다. 따라서, 표시 품질이 높은 표시 장치를 제공할 수 있다.

[0085] 또한, 본 발명의 일 형태에 따른 표시 장치에 사용하는 트랜지스터(트랜지스터(Tr1) 및 트랜지스터(Tr2))는 산화물 반도체막을 갖는다. 산화물 반도체막을 갖는 트랜지스터는 비교적 높은 전계 효과 이동도가 얻어지기 때문에 고속 구동이 가능해진다. 또한, 산화물 반도체막을 갖는 트랜지스터의 오프 전류는 극히 작다. 따라서, 표시 장치의 리프레시 레이트를 낮추어도 표시 장치의 휘도가 유지될 수 있게 되어 소비 전력을 억제할 수 있다.

[0086] 또한, 표시 소자(430) 및 표시 소자(630)의 표시 방식으로서는 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때 화소에서 제어되는 색 요소로서 RGB(R은 적색, G는 녹색, B는 청색을 나타냄)를 들 수 있다. 단, 색 요소는 RGB의 3가지 색에 한정되지 않는다. 예를 들어, RGB에 옐로우, 사이안, 마젠타, 화이트 등을 1색 이상 추가하여도 좋다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 달라도 좋다. 단, 본 발명의 일 형태에 따른 표시 장치는 컬러 표시의 표시 장치에 한정되는 것은 아니며, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0087] <1-6. 표시 소자의 표시 영역>

[0088] 여기서, 표시 소자(430) 및 표시 소자(630)의 화소 회로(501(m, n))에서의 표시 영역에 대하여 도 3의 (A), (B)를 참조하여 설명한다.

[0089] 도 3의 (A)는 화소 회로(501(m, n))와, 화소 회로(501(m, n))의 열 방향으로 인접되는 화소 회로(501(m, n-1)) 및 화소 회로(501(m, n+1))의 표시 영역을 설명하기 위한 모식도이다.

[0090] 도 3의 (A)에 도시된 화소 회로(501(m, n)), 화소 회로(501(m, n-1)) 및 화소 회로(501(m, n+1))의 각각은 표시 소자(430)의 표시 영역으로서 기능하는 표시 영역(430d)과, 표시 소자(630)의 표시 영역으로서 기능하는 표시 영역(630d)을 갖는다.

[0091] 예를 들어, 표시 영역(430d)으로서는 광을 반사하는 영역을 갖고, 표시 영역(630d)으로서는 광을 투과하는 영역을 갖는다. 도 3의 (A)에 도시된 바와 같이, 화소 회로(501(m, n))의 열 방향으로 인접되는 화소 회로(501(m, n-1)) 및 화소 회로(501(m, n+1))는 화소 회로(501(m, n))와 상이한 위치에 표시 영역(630d)을 갖는 것이 바람직하다.

[0092] 도 3의 (A)에 도시된 바와 같이 표시 영역(630d)을 배치함으로써, 표시 소자(630)를 구분하여 제작하는 경우의 제조 수율을 높일 수 있다. 또는 인접하는 화소 회로 사이에서의 표시 소자(630)로부터 방출되는 광의 간섭을 억제할 수 있다.

[0093] 또한, 도 3의 (A)에서는 화소 회로(501(m, n-1)), 화소 회로(501(m, n)) 및 화소 회로(501(m, n+1))의 배치를 열 방향의 줄무늬 배열에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어, 도 3의 (B)에 도시된 바와 같은 행 방향의 줄무늬 배열로 하여도 좋다. 또는 도시하지 않았지만 델타(delta) 배열, 또는 펜타일(pentile) 배열로 하여도 좋다. 또한, 도 3의 (B)는 화소 회로(501(m, n))와, 화소 회로(501(m, n))의 행 방향으로 인접되는 화소 회로(501(m-1, n)) 및 화소 회로(501(m+1, n))의 표시 영역을 설명하기 위한 모식도이다.

[0094] 도 3의 (B)에 도시된 화소 회로(501(m, n)), 화소 회로(501(m-1, n)) 및 화소 회로(501(m+1, n))의 각각은 표시 소자(430)의 표시 영역으로서 기능하는 표시 영역(430d)과, 표시 소자(630)의 표시 영역으로서 기능하는 표시 영역(630d)을 갖는다. 표시 영역(430d)과 표시 영역(630d)의 구성으로서는 도 3의 (A)에 도시된 구성과 같이 하면 좋다.

[0095] <1-7. 표시 소자의 구성예(상면)>

[0096] 다음에 도 1에 도시된 표시 장치(500)의 구체적인 구성예에 대하여 도 4 및 도 5를 참조하여 설명한다.

[0097] 도 4의 (A)는 표시 장치(500)의 상면도이다. 상술한 바와 같이, 표시 장치(500)는 화소부(502)와, 화소부(502)의 외측에 배치되는 게이트 드라이버 회로부(504a) 및 게이트 드라이버 회로부(504b)와, 화소부(502)의 외측에 배치되는 소스 드라이버 회로부(506)를 갖는다. 또한, 도 4의 (A)에는 화소부(502)가 갖는 화소 회로

(501(m, n))를 모식적으로 나타내었다. 또한, 도 4의 (A)에서 표시 장치(500)에는 FPC(Flexible Printed Circuit)가 전기적으로 접속되어 있다.

[0098] 또한, 도 4의 (B)는 도 4의 (A)에 도시된 화소 회로(501(m, n))와, 화소 회로(501(m, n))에 인접하여 배치된 화소 회로(501(m, n+1))를 모식적으로 나타낸 상면도이다. 도 4의 (B)에 도시된 신호선($S_{L,n}$), 신호선($S_{L,n+1}$), 신호선($S_{E,n}$), 신호선($S_{E,n+1}$), 주사선($G_{L,m}$), 주사선($G_{E,m}$), 공통선(COM_m), 및 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr3)는 도 2에 도시된 부호에 각각 대응한다. 또한, 도 4의 (B)에서, 표시 영역(430d)과, 표시 영역(630d)은 도 3의 (A)에 도시된 부호에 각각 대응한다. 또한, 도 4의 (B)에 도시된 공통선(COM_{m+1})은 화소 회로(501(m, n))에 인접하여 배치되는 화소 회로(501(m, n+1))가 갖는 공통선을 나타낸 것이다.

[0099] <1-8. 표시 소자의 구성예(단면)>

[0100] 다음에 표시 장치(500)의 단면 구조에 대하여 도 5를 참조하여 설명한다.

[0101] 도 5는 도 4의 (A), (B)에 도시된 일점쇄선 A1-A2, 일점쇄선 A3-A4, 일점쇄선 A5-A6, 일점쇄선 A7-A8, 일점쇄선 A9-A10, 일점쇄선 A11-A12의 절단면에 상당하는 단면도이다.

[0102] 또한, 일점쇄선 A1-A2의 단면은 표시 장치(500)에 FPC가 장착된 영역에, 일점쇄선 A3-A4의 단면은 게이트 드라이버 회로부(504a)가 제공된 영역에, 일점쇄선 A5-A6의 단면은 표시 소자(430) 및 표시 소자(630)가 제공된 영역에, 일점쇄선 A7-A8의 단면은 표시 소자(430)가 제공된 영역에, 일점쇄선 A9-A10의 단면은 표시 장치(500)의 접속 영역에, 일점쇄선 A11-A12의 단면은 표시 장치(500)의 단부 근방의 영역에 각각 상당한다.

[0103] 도 5에서, 표시 장치(500)는 기관(452)과, 기관(652) 사이에 표시 소자(430)와, 표시 소자(630)와, 트랜지스터(Tr1)와, 트랜지스터(Tr3)와, 트랜지스터(Tr4)를 갖는다.

[0104] 또한, 상술한 바와 같이, 표시 소자(430)는 입사되는 광을 반사하는 기능을 갖고, 표시 소자(630)는 광을 방출하는 기능을 갖는다. 도 5에서, 표시 소자(430)에 입사되는 광과 반사되는 광을 파선의 화살표로 모식적으로 나타내었다. 또한, 표시 소자(630)가 방출하는 광을 이점쇄선의 화살표로 모식적으로 나타내었다.

[0105] [화소 회로]

[0106] 먼저, 도 5에 도시된 일점쇄선 A5-A6의 단면, 및 일점쇄선 A7-A8의 단면의 자세한 사항에 대하여 도 6을 참조하여 설명한다. 도 6은 도 5에 도시된 일점쇄선 A5-A6 및 일점쇄선 A7-A8의 단면의 일부 구성 요소를 확대하고 또한 상하를 반전한 단면도에 상당한다. 또한, 도 6에서, 도면이 복잡해지는 것을 피하기 위하여 구성 요소의 일부를 생략하여 도시한 경우가 있다.

[0107] 표시 소자(430)는 도전막(403b)과, 액정층(620)과, 도전막(608)을 갖는다. 또한, 도전막(403b)은 화소 전극으로서의 기능을 갖고, 도전막(608)은 대향 전극으로서의 기능을 갖는다. 또한, 도전막(403b)은 트랜지스터(Tr1)와 전기적으로 접속되어 있다.

[0108] 또한, 표시 소자(430)는 도전막(403b)과 전기적으로 접속되는 도전막(405b), 도전막(405c)을 갖는다. 도전막(405b), 도전막(405c)은 입사되는 광을 반사하는 기능을 갖는다. 즉, 도전막(405b), 도전막(405c)은 반사막으로서 기능한다. 또한, 이 반사막에는 입사되는 광을 투과하는 개구부(450)가 제공된다. 도 6에서, 개구부(450)에 따라 반사막으로서 기능하는 도전막이 섬 형상으로 분리되어 트랜지스터(Tr1)의 아래쪽에는 도전막(405c)이, 트랜지스터(Tr3)의 아래쪽에는 도전막(405b)이 배치된다. 또한, 개구부(450)로부터 표시 소자(630)의 광이 방출되기 때문에 개구부(450)가 도 5에 도시된 표시 영역(630d)에 상당한다.

[0109] 또한, 표시 소자(630)는 개구부(450)를 향하여 광을 방출하는 기능을 갖는다. 도 6에서, 표시 소자(630)는 소위 하방(下方) 방출형(보통 이미전형)의 발광 소자가 된다.

[0110] 또한, 표시 소자(630)는 도전막(417)과, EL층(419)과, 도전막(420)을 갖는다. 또한, 도전막(417)은 화소 전극 및 애노드 전극으로서의 기능을 갖고, 도전막(420)은 대향 전극 및 카소드 전극으로서의 기능을 갖는다. 또한, 본 실시형태에서는 도전막(417)이 애노드 전극으로서 기능하고, 도전막(420)이 카소드 전극으로서의 기능을 갖는 구성에 대하여 설명하지만, 이에 한정되지 않는다. 예를 들어 도전막(417)이 카소드 전극으로서 기능하고, 도전막(420)이 애노드 전극으로서 기능하여도 좋다.

[0111] 또한, 도전막(417)은 트랜지스터(Tr3)와 전기적으로 접속되어 있다.

[0112] 트랜지스터(Tr1) 및 트랜지스터(Tr3)는 산화물 반도체막을 갖는다. 또한, 화소 전극으로서 기능하는 도전막

(403b), 도전막(417)은 트랜지스터(Tr1), 트랜지스터(Tr3)에 포함되는 산화물 반도체막이 갖는 금속 원소를 하나 이상 갖는다.

- [0113] 예를 들어, 트랜지스터(Tr1) 및 트랜지스터(Tr3)의 채널 영역에 산화물 반도체막을 사용하여 화소 전극으로서 기능하는 도전막(403b), 도전막(417)에 채널 영역에 사용하는 산화물 반도체막과 같은 조성의 산화물 반도체막을 사용함으로써 제조 비용을 저감시킬 수 있다. 도 6에 도시된 바와 같이, 복수의 표시 소자 및 복수의 트랜지스터를 갖는 표시 장치에서는 절연막, 도전막, 또는 반도체막 등이 복수 필요하기 때문에 상이한 공정에서 재료를 공통적으로 사용하는 것이 중요하다.
- [0114] 또한, 트랜지스터(Tr1) 및 트랜지스터(Tr3)는 도 6에 도시된 바와 같이, 스택거형(톱 게이트 구조라고도 함)이면 바람직하다. 스택거형 구조의 트랜지스터로 함으로써 게이트 전극과 소스 전극 및 드레인 전극 사이에 생길 수 있는 기생 용량을 저감시킬 수 있다.
- [0115] 또한, 트랜지스터(Tr1)는 절연막(406) 및 절연막(408) 위에 형성되고, 절연막(408) 위의 산화물 반도체막(409c)과, 산화물 반도체막(409c) 위의 절연막(410c)과, 절연막(410c) 위의 산화물 반도체막(411c)을 갖는다. 절연막(410c)은 게이트 절연막으로서의 기능을 갖고, 산화물 반도체막(411c)은 게이트 전극으로서의 기능을 갖는다.
- [0116] 또한, 산화물 반도체막(409c) 및 산화물 반도체막(411c) 위에는 절연막(412), 절연막(413)이 제공된다. 또한, 절연막(412), 절연막(413)에는 산화물 반도체막(409c)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(414f), 도전막(414g)이 산화물 반도체막(409c)에 전기적으로 접속된다. 도전막(414f), 도전막(414g)은 각각 트랜지스터(Tr1)의 소스 전극 및 드레인 전극으로서의 기능을 갖는다.
- [0117] 또한, 트랜지스터(Tr1) 위에는 절연막(416), 절연막(418)이 제공된다.
- [0118] 또한, 트랜지스터(Tr3)는 절연막(406) 위에 형성되고, 절연막(406) 위의 도전막(407b)과, 도전막(407b) 위의 절연막(408)과, 절연막(408) 위의 산화물 반도체막(409b)과, 산화물 반도체막(409b) 위의 절연막(410b)과, 절연막(410b) 위의 산화물 반도체막(411b)을 갖는다. 도전막(407b)은 제 1 게이트 전극으로서의 기능을 갖고, 절연막(408)은 제 1 게이트 절연막으로서의 기능을 갖는다. 또한, 절연막(410b)은 제 2 게이트 절연막으로서의 기능을 갖고, 산화물 반도체막(411b)은 제 2 게이트 전극으로서의 기능을 갖는다.
- [0119] 또한, 산화물 반도체막(409b) 및 산화물 반도체막(411b) 위에는 절연막(412), 절연막(413)이 제공된다. 또한, 절연막(412), 절연막(413)에는 산화물 반도체막(409b)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(414d), 도전막(414e)이 산화물 반도체막(409b)에 전기적으로 접속된다. 도전막(414d), 도전막(414e)은 각각 트랜지스터(Tr3)의 소스 전극 및 드레인 전극으로서의 기능을 갖는다.
- [0120] 또한, 도전막(414e)은 절연막(406), 절연막(408), 절연막(412), 절연막(413)에 제공된 개구부를 통하여 도전막(407f)과 전기적으로 접속된다. 또한, 도전막(407f)은 도전막(407b)과 같은 공정으로 제작되고, 접속 전극으로서의 기능을 갖는다.
- [0121] 또한, 트랜지스터(Tr3) 위에는 절연막(416) 및 도전막(417)이 제공된다. 또한, 절연막(416)에는 도전막(414d)에 달하는 개구부가 제공되어 이 개구부를 통하여 도전막(414d)과 도전막(417)이 전기적으로 접속된다.
- [0122] 또한, 도전막(417) 위에는 절연막(418), EL층(419), 및 도전막(420)이 제공된다. 또한, 절연막(418)에는 도전막(417)에 달하는 개구부가 제공되어 이 개구부를 통하여 도전막(417)과 EL층(419)이 전기적으로 접속된다.
- [0123] 또한, 도전막(420)은 밀봉재(454)를 개재하여 기관(452)과 접촉되어 있다.
- [0124] 또한, 기관(452)과 대향하는 기관(652) 위에는 착색막(604), 절연막(606), 및 도전막(608)이 제공된다. 또한, 기관(652)의 아래쪽에는 기능막(626)이 제공된다. 또한, 표시 소자(430)에서 반사되는 광, 및 표시 소자(630)로부터 방출되는 광은 착색막(604), 기능막(626) 등을 통하여 추출된다.
- [0125] 또한, 도 6에 도시된 바와 같이, 표시 소자(430)는 액정층(620)에 접촉되는 배향막(618a), 배향막(618b)을 갖는다. 또한, 배향막(618a), 배향막(618b)을 제공하지 않는 구성으로 하여도 좋다.
- [0126] 또한, 도 6에 도시된 바와 같이, 트랜지스터(Tr1)와, 트랜지스터(Tr3)의 구조를 변경함으로써 회로 면적을 축소시킬 수 있다. 구체적으로는 트랜지스터(Tr1)에서는 게이트 전극으로서 기능하는 산화물 반도체막(411c)이 제공된 싱글 게이트의 트랜지스터이다. 한편으로, 트랜지스터(Tr3)에서는 제 1 게이트 전극으로서 기능하는 도전막(407b)과, 제 2 게이트 전극으로서 기능하는 산화물 반도체막(411b)이 제공된 멀티 게이트의 트랜지스터이다. 또한, 본 발명의 일 형태에 따른 표시 장치에 사용하는 트랜지스터 구조는 상술한 것에 한정되지 않는다. 예를

들어, 트랜지스터(Tr1) 및 트랜지스터(Tr3)의 둘 다를 싱글 게이트 구조 또는 멀티 게이트 구조로 하여도 좋다.

[0127] [FPC 및 게이트 드라이버 회로부]

[0128] 다음에, 도 5에 도시된 일점쇄선 A1-A2의 단면, 및 일점쇄선 A3-A4의 단면의 자세한 사항에 대하여 도 7을 참조하여 설명한다. 도 7은 도 5에 도시된 일점쇄선 A1-A2 및 일점쇄선 A3-A4의 단면의 일부 구성 요소를 확대하고 또한 상하를 반전한 단면도에 상당한다. 또한, 도 7에서, 도면이 복잡해지는 것을 피하기 위하여 구성 요소의 일부를 생략하여 도시된 경우가 있다.

[0129] 도 7에 도시된 FPC는 ACF(이방성 도전 필름(Anisotropic Conductive Film))을 통하여 도전막(403a)과 전기적으로 접속되어 있다. 또한, 도전막(403a) 위에는 절연막(404)이 제공된다. 또한, 절연막(404)에는 도전막(403a)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(403a)과, 도전막(405a)이 전기적으로 접속되어 있다.

[0130] 또한, 도전막(405a) 위에는 절연막(406)이 제공된다. 또한, 절연막(406)에는 도전막(407a)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(405a)과, 도전막(407a)이 전기적으로 접속되어 있다. 또한, 도전막(407a) 위에는 절연막(408), 절연막(412), 절연막(413)이 제공된다. 또한, 절연막(408), 절연막(412), 절연막(413)에는 도전막(405a)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(407a)과, 도전막(414a)이 전기적으로 접속되어 있다.

[0131] 또한, 절연막(413) 및 도전막(414a) 위에는 절연막(416), 절연막(418)이 제공된다. 절연막(418)은 밀봉재(454)를 개재하여 기판(452)과 접촉되어 있다.

[0132] 도 7에 도시된 트랜지스터(Tr4)는 게이트 드라이버 회로부(504a)가 갖는 트랜지스터에 상당한다.

[0133] 트랜지스터(Tr4)는 절연막(406) 위에 형성되고, 절연막(406) 위의 도전막(407e)과, 도전막(407e) 위의 절연막(408)과, 절연막(408) 위의 산화물 반도체막(409a)과, 산화물 반도체막(409a) 위의 절연막(410a)과, 절연막(410a) 위의 산화물 반도체막(411a)을 갖는다. 도전막(407e)은 제 1 게이트 전극으로서의 기능을 갖는다. 또한, 절연막(410a)은 제 2 게이트 절연막으로서의 기능을 갖고, 산화물 반도체막(411a)은 제 2 게이트 전극으로서의 기능을 갖는다.

[0134] 또한, 산화물 반도체막(409a) 및 산화물 반도체막(411a) 위에는 절연막(412), 절연막(413)이 제공된다. 또한, 절연막(412), 절연막(413)에는 산화물 반도체막(409a)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(414b), 도전막(414c)이 산화물 반도체막(409a)에 전기적으로 접속된다. 도전막(414b), 도전막(414c)은 각각 트랜지스터(Tr4)의 소스 전극 및 드레인 전극으로서의 기능을 갖는다.

[0135] 또한, 트랜지스터(Tr4)는 상술한 바와 같이 트랜지스터(Tr3)와 마찬가지로 멀티 게이트 구조의 트랜지스터이다. 게이트 드라이버 회로부(504a)에 멀티 게이트 구조의 트랜지스터를 사용함으로써 전류 구동 능력을 향상시킬 수 있기 때문에 구동 회로의 폭을 좁게 할 수 있다.

[0136] 또한, 트랜지스터(Tr4) 위에는 절연막(416), 절연막(418)이 제공된다. 또한, 절연막(418)은 밀봉재(454)를 개재하여 기판(452)과 접촉되어 있다.

[0137] 또한, 기판(452)과 대향하는 기판(652) 위에는 차광막(602), 절연막(606), 및 도전막(608)이 제공된다.

[0138] 또한, 도전막(608) 위의 트랜지스터(Tr4)와 중첩되는 위치에 구조체(610a)가 형성되어 있다. 또한, 구조체(610a)는 액정층(620)의 두께를 제어하는 기능을 갖는다. 또한, 도 7에서는 구조체(610a)와 절연막(404) 사이에 배향막(618a), 배향막(618b)을 갖는다. 단, 구조체(610a)와 절연막(404) 사이에 배향막(618a), 배향막(618b)이 형성되지 않아도 된다.

[0139] 또한, 기판(652)의 단부에는 실재(622)가 제공된다. 또한, 실재(622)는 기판(652)과 도전막(403a) 사이에 제공된다.

[0140] [접속 영역 및 단부 근방의 영역]

[0141] 다음에 도 5에 도시된 일점쇄선 A9-A10의 단면, 및 일점쇄선 A11-A12의 단면의 자세한 사항에 대하여 도 8을 참조하여 설명한다. 도 8은 도 5에 도시된 일점쇄선 A9-A10 및 일점쇄선 A11-A12의 단면의 구성 요소를 확대하고, 또한 상하를 반전한 단면도에 상당한다. 또한, 도 8에서, 도면이 복잡해지는 것을 피하기 위하여 구성 요소의 일부를 생략하여 도시된 경우가 있다.

- [0142] 도 8에서, 도전막(608)과, 도전막(403c)은 도전체(624)를 통하여 전기적으로 접속된다. 또한, 도전체(624)는 실재(622) 내에 포함된다. 또한, 도전막(608)은 기관(652), 차광막(602), 및 절연막(606) 위에 제공된다.
- [0143] 또한, 도전막(403c) 위에는 절연막(404)이 제공된다. 또한, 절연막(404)에는 도전막(403c)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(403c)과, 도전막(405d)이 전기적으로 접속되어 있다. 또한, 도전막(405d) 위에는 절연막(406)이 제공된다. 또한, 절연막(406) 위에는 도전막(405d)에 달하는 개구부가 제공되어 이 개구부를 통하여 도전막(405d)과 도전막(407d)이 전기적으로 접속된다.
- [0144] 또한, 도전막(407d) 위에는 절연막(408), 절연막(412), 절연막(413)이 제공된다. 또한, 절연막(408), 절연막(412), 절연막(413)에는 도전막(407d)에 달하는 개구부가 제공되고, 이 개구부를 통하여 도전막(407d)과, 도전막(414h)이 전기적으로 접속되어 있다. 또한, 도전막(414h) 위에는 절연막(416), 절연막(418)이 제공된다. 절연막(418)은 밀봉재(454)를 개재하여 기관(452)과 접촉되어 있다.
- [0145] 또한, 기관(452), 기관(652)의 단부에는 실재(622)가 제공된다. 또한, 실재(622)는 기관(652)과 절연막(404) 사이에 제공된다.
- [0146] <1-9. 표시 소자의 제작 방법>
- [0147] 다음에 도 5에 도시된 표시 장치(500)의 제작 방법에 대하여 도 9~도 14를 참조하여 설명한다. 또한, 도 9~도 14는 표시 장치(500)의 제작 방법을 설명하는 단면도이다.
- [0148] 먼저, 기관(401) 위에 도전막(402)을 형성한다. 그 후, 도전막(402) 위에 도전막을 형성하고, 이 도전막을 섬 형상으로 가공함으로써 도전막(403a), 도전막(403b), 도전막(403c)을 형성한다(도 9의 (A) 참조).
- [0149] 도전막(402)은 박리층으로서의 기능을 갖고, 도전막(403a), 도전막(403c)은 접속 전극으로서의 기능을 갖고, 도전막(403b)은 화소 전극으로서의 기능을 갖는다. 또한, 본 실시형태에서는 도전막(402)에는 텅스텐막을 사용하고, 도전막(403a), 도전막(403b), 도전막(403c)에는 In-Ga-Zn 산화물을 사용한다. 또한, 이 In-Ga-Zn 산화물로서 IGZO(In:Ga:Zn=4:2:4.1[원자수비])막을 사용한다.
- [0150] 다음에 도전막(402), 및 도전막(403a), 도전막(403b), 도전막(403c) 위에 절연막을 형성하고, 상기 절연막의 원하는 영역에 개구부를 형성함으로써 절연막(404)을 형성한다. 이어서, 도전막(403a), 도전막(403b), 도전막(403c), 및 절연막(404) 위에 도전막을 형성하고, 상기 도전막을 섬 형상으로 가공함으로써 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d)을 형성한다(도 9의 (B) 참조).
- [0151] 절연막(404)으로서는 도전막(403a), 도전막(403b), 도전막(403c)이 중첩되는 위치에 개구부를 갖는다. 또한, 이 개구부를 통하여 도전막(403a), 도전막(403b), 도전막(403c)과, 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d)이 전기적으로 접속된다. 또한, 본 실시형태에서 절연막(404)에는 산화질화 실리콘막을 사용하고 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d)에는 은, 팔라듐, 및 구리의 합금막을 사용한다. 이와 같이, 도전막(405a), 도전막(405b), 도전막(405d)은 반사막으로서 기능하기 때문에 반사율이 높은 금속막(예를 들어 은을 함유하는 막)을 사용하면 적합하다.
- [0152] 다음에 절연막(404), 및 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d) 위에 절연막을 형성하고, 상기 절연막의 원하는 영역에 개구부를 형성함으로써 절연막(406)을 형성한다. 이어서, 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d), 및 절연막(406) 위에 도전막을 형성하고, 상기 도전막을 섬 형상으로 가공함으로써 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(407f), 도전막(407g)을 형성한다(도 9의 (C) 참조).
- [0153] 절연막(406)으로서는 도전막(405a), 도전막(405c), 도전막(405d)이 중첩되는 위치에 개구부를 갖는다. 또한, 이 개구부를 통하여 도전막(405a), 도전막(405c), 도전막(405d)과, 도전막(407a), 도전막(407c), 도전막(407d)이 전기적으로 접속된다. 또한, 본 실시형태에서는 절연막(406)에는 산화질화 실리콘막을 사용하고, 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(407f), 도전막(407g)에는 질화 tantalum막과 구리막의 적층막을 사용한다.
- [0154] 다음에 절연막(406), 및 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(407f), 도전막(407g) 위에 절연막(408)을 형성한다. 이어서, 절연막(408) 위에 산화물 반도체막을 형성하고, 상기 산화물 반도체막을 섬 형상으로 가공함으로써 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)을 형성한다(도 10의 (A) 참조).

- [0155] 본 실시형태에서 절연막(408)에는 산화질화 실리콘막을 사용하고, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에는 In-Ga-Zn 산화물을 사용한다. 또한, 이 In-Ga-Zn 산화물은 도전막(403a), 도전막(403b), 도전막(403c)에 사용하는 산화물 반도체막과 동일한 조성이면 바람직하다. 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c), 및 도전막(403a), 도전막(403b), 도전막(403c)에 동일한 조성의 산화물 반도체막을 사용함으로써 제조 비용을 억제할 수 있다.
- [0156] 다음에 절연막(408), 및 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c) 위에 절연막 및 산화물 반도체막을 형성하고, 상기 절연막 및 상기 산화물 반도체막을 원하는 형상으로 가공함으로써 섬 형상의 절연막(410a), 절연막(410b), 절연막(410c)과, 섬 형상의 산화물 반도체막(411a), 산화물 반도체막(411b), 산화물 반도체막(411c)을 형성한다(도 10의 (B) 참조).
- [0157] 본 실시형태에서 절연막(410a), 절연막(410b), 절연막(410c)에는 산화질화 실리콘을 사용하고, 산화물 반도체막(411a), 산화물 반도체막(411b), 산화물 반도체막(411c)에는 In-Ga-Zn 산화물을 사용한다. 또한, 이 In-Ga-Zn 산화물은 도전막(403a), 도전막(403b), 도전막(403c) 및 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에 사용하는 산화물 반도체막과 동일한 조성이면 바람직하다. 산화물 반도체막(411a), 산화물 반도체막(411b), 산화물 반도체막(411c), 및 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c), 그리고 도전막(403a), 도전막(403b), 도전막(403c)에 동일한 조성의 산화물 반도체막을 사용함으로써 제조 비용을 억제할 수 있다.
- [0158] 다음에 절연막(408), 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c) 위에 절연막을 형성하고, 이 절연막의 원하는 영역에 개구부를 형성함으로써 절연막(412), 절연막(413)을 형성한다(도 10의 (C) 참조).
- [0159] 또한, 도 10의 (C)에서 절연막(412)과 절연막(413)의 2층 적층 구조에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어, 절연막(412)의 단층 구조, 절연막(413)의 단층 구조, 또는 절연막(412), 절연막(413)과 다른 절연막이 적층된 3층 이상의 적층 구조로 하여도 좋다. 또한, 본 실시형태에서 절연막(412)에는 질화 실리콘막을 사용하고, 절연막(413)에는 질화산화 실리콘막을 사용한다.
- [0160] 또한, 절연막(412), 절연막(413)에 개구부를 제공할 때 절연막(408)의 일부에도 개구부가 제공된다. 또한, 절연막(408), 절연막(412), 절연막(413)에 제공되는 개구부는 도전막(407a), 도전막(407c), 도전막(407d), 도전막(407f)에 달한다.
- [0161] 다음에 절연막(413) 위에 도전막을 형성하고, 상기 도전막을 원하는 형상으로 가공함으로써 도전막(414a), 도전막(414b), 도전막(414c), 도전막(414d), 도전막(414e), 도전막(414f), 도전막(414g), 도전막(414h)을 형성한다(도 11의 (A) 참조).
- [0162] 도전막(414b), 도전막(414c)은 트랜지스터(Tr4)의 소스 전극 및 드레인 전극으로서 기능한다. 또한, 도전막(414d), 도전막(414e)은 트랜지스터(Tr3)의 소스 전극 및 드레인 전극으로서 기능한다. 또한, 도전막(414f), 도전막(414g)은 트랜지스터(Tr1)의 소스 전극 및 드레인 전극으로서 기능한다.
- [0163] 또한, 트랜지스터(Tr1)에서 도전막(414g)은 도전막(407c) 및 도전막(405c)을 통하여 도전막(403b)과 전기적으로 접속된다. 트랜지스터(Tr1)에 의하여 도전막(403b)의 전위를 제어할 수 있다.
- [0164] 또한, 본 실시형에서, 도전막(414a), 도전막(414b), 도전막(414c), 도전막(414d), 도전막(414e), 도전막(414f), 도전막(414g), 도전막(414h)에는 질화 탄탈럼과 구리의 적층막을 사용한다. 또한, 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(407f), 도전막(407g), 및 도전막(414a), 도전막(414b), 도전막(414c), 도전막(414d), 도전막(414e), 도전막(414f), 도전막(414g), 도전막(414h)에 사용하는 도전막을 같은 재료로 함으로써 제조 비용을 억제할 수 있기 때문에 적합하다. 또한, 상기 도전막이 구리를 포함하는 구성으로 함으로써 대면적(예를 들어 마더 유리의 크기가 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등)의 기판을 사용한 경우에도 신호의 지연 등을 억제할 수 있기 때문에 적합하다.
- [0165] 다음에 트랜지스터(Tr1), 트랜지스터(Tr3), 트랜지스터(Tr4)를 덮도록 절연막(416)을 형성한다. 또한, 절연막(416)은 도전막(414d)과 중첩되는 영역에 개구부를 갖는다. 이어서, 절연막(416) 및 도전막(414d) 위에 도전막을 형성하고, 상기 도전막을 원하는 형상으로 가공함으로써 도전막(417)을 형성한다. 이어서, 절연막(416) 및 도전막(417) 위의 원하는 영역에 절연막(418)을 형성한다(도 11의 (B) 참조).

- [0166] 또한, 절연막(418)은 도전막(417)과 중첩되는 영역에 개구부를 갖는다. 또한, 본 실시형태에서 절연막(416)에는 아크릴 수지막을 사용하고, 도전막(417)에는 In-Sn-Si 산화물(ITSO라고도 함)을 사용하고, 절연막(418)에는 폴리이미드 수지막을 사용한다.
- [0167] 다음에 도전막(417), 및 절연막(418) 위에 EL층(419)을 형성하고, 이어서 EL층(419) 위에 도전막(420)을 형성한다(도 11의 (C) 참조).
- [0168] 도전막(417), EL층(419), 및 도전막(420)에 의하여 표시 소자(630)가 형성된다. 또한, 도전막(417)이 표시 소자(630)의 한 쌍의 전극 중 한쪽으로서 기능하고, 도전막(420)이 표시 소자(630)의 한 쌍의 전극 중 다른 쪽으로서 기능한다. 또한, 도시하지 않았지만 EL층(419)은 색 요소(RGB)마다 구별하여 제작한다. 본 실시형태에서 R 및 G에는 발광층에 인광 재료를 사용하고, B에는 발광층에 형광 재료를 사용한다. 또한, 본 실시형태에서 도전막(420)에는 은과 마그네슘의 합금막을 사용한다.
- [0169] 상술한 공정으로 기관(401) 위의 형성되는 소자를 제작할 수 있다.
- [0170] 다음에 기관(452)과 대향하여 배치되는 기관(652)의 제작 방법에 대하여 도 12의 (A), (B), (C)를 참조하여 아래에서 설명한다.
- [0171] 먼저, 기관(652) 위에 차광막(602)을 형성한다. 그 후, 기관(652) 및 차광막(602) 위에 착색막(604)을 형성한다(도 12의 (A) 참조).
- [0172] 본 실시형태에서 차광막(602)에는 타이타늄막을 사용하고, 착색막(604)에는 안료를 포함한 아크릴 수지를 사용한다.
- [0173] 다음으로, 차광막(602) 및 착색막(604) 위에 절연막(606)을 형성한다. 그 후, 절연막(606) 위에 도전막(608)을 형성한다(도 12의 (B) 참조).
- [0174] 본 실시형태에서 절연막(606)에는 아크릴 수지막을 사용하고, 도전막(608)에는 ITS0막을 사용한다.
- [0175] 다음에 도전막(608) 위의 원하는 영역에 구조체(610a), 구조체(610b)를 형성한다. 그 후, 도전막(608) 및 구조체(610a), 구조체(610b) 위에 배향막(618b)을 형성한다(도 12의 (C) 참조).
- [0176] 또한, 배향막(618b)은 제공하지 않는 구성으로 하여도 좋다. 또한, 본 실시형태에서 구조체(610a), 구조체(610b)에는 아크릴 수지막을 사용하고, 배향막(618b)에는 폴리이미드 수지막을 사용한다. 또한, 본 실시형태에서 구조체(610a), 구조체(610b)를 기관(652) 위에 형성하는 구성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어, 상술한 기관(401) 위에 형성되는 소자 위에 구조체(610a), 구조체(610b)를 형성하여도 좋다.
- [0177] 이상의 공정으로, 기관(652) 위에 형성하는 소자를 제작할 수 있다.
- [0178] 다음에 기관(401) 위에 형성된 소자를 기관(401)으로부터 박리한다. 구체적으로는 기관(401) 위에 형성된 도전막(402)과, 도전막(402) 위에 형성된 도전막(403a), 도전막(403b), 도전막(403c), 및 절연막(404)의 계면에서 박리된다. 이 박리 방법으로서, 기관(401) 위에 형성된 소자 위에 밀봉재(454)를 형성한다. 그 후, 밀봉재(454) 위에 기관(452)을 접합하여 도전막(402)의 계면에서 소자를 박리한다(도 13의 (A) 참조).
- [0179] 도전막(402)의 계면에서 소자를 박리할 때, 도전막(403a), 도전막(403b), 도전막(403c)의 표면(도 13의 (A)에서는 도전막(403a), 도전막(403b), 도전막(403c)의 이면(裏面))이 노출된다. 또한, 도전막(403a), 도전막(403b), 도전막(403c)의 표면에 절연막 또는 이물질이 부착되어 있는 경우에는 세정 처리, 애싱 처리, 또는 에칭 처리를 행하여 상기 절연막 및 상기 이물질 등을 제거하면 바람직하다.
- [0180] 또한, 도전막(402)의 계면으로부터 소자를 박리할 때, 도전막(402)과, 도전막(402) 위에 형성된 도전막(403a), 도전막(403b), 도전막(403c) 및 절연막(404)의 계면에 극성 용매(대표적으로는 물) 또는 비극성 용매 등을 첨가하면 바람직하다. 예를 들어, 도전막(402)의 계면으로부터 소자를 박리할 때, 물을 사용함으로써 박리대전에 따른 대미지를 경감할 수 있기 때문에 적합하다.
- [0181] 또한, 도전막(402)으로서는 예를 들어 아래의 재료를 사용할 수 있다. 도전막(402)으로서는 텅스텐, 몰리브덴, 타이타늄, 탄탈럼, 나이오븀, 니켈, 코발트, 지르코늄, 아연, 루테튬, 로듐, 팔라듐, 오스뮴, 이리듐, 실리콘 중에서 선택된 원소, 이 원소를 포함하는 합금 재료, 또는 이 원소를 포함하는 화합물 재료를 포함하고, 단층 또는 적층된 구조를 사용할 수 있다. 또한, 실리콘을 포함하는 층의 경우, 이 실리콘을 포함하는 결정 구조로서는 비정질, 미결정, 다결정, 단결정의 어느 것이라도 좋다.

- [0182] 또한, 도전막(402)으로서 텅스텐을 포함하는 층과 텅스텐 산화물을 포함하는 층의 적층 구조를 형성하는 경우, 텅스텐을 포함하는 층을 형성하고, 그 상층에 산화물로 형성되는 절연층을 형성함으로써, 텅스텐층과 절연층과의 계면에, 텅스텐의 산화물을 포함하는 층이 형성되는 것을 활용하여도 좋다. 또한, 텅스텐을 포함하는 층의 표면을, 열산화 처리, 산소 플라즈마 처리, 일산화이질소(N_2O) 플라즈마 처리, 또는 오존수 등의 산화력이 강한 용액에서의 처리 등을 행하여 텅스텐의 산화물을 포함하는 층을 형성하여도 좋다. 상기 플라즈마 처리나 열 처리는 산소, 질소, 일산화 이질소 단독, 또는 이 가스와 다른 가스의 혼합 가스 분위기에서 행하여도 좋다. 상기 플라즈마 처리나 가열 처리에 의하여 도전막(402)의 표면 상태를 바꿈으로써 도전막(402)과 나중에 형성되는 도전막(403a), 도전막(403b), 도전막(403c), 및 절연막(404)의 밀착성을 제어할 수 있다.
- [0183] 또한, 본 실시형태에서 도전막(402)을 제공하는 구성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어, 도전막(402)을 제공하지 않는 구성으로 하여도 좋다. 이 경우, 도전막(402)이 형성되는 위치에 유기 수지막을 형성하여도 좋다. 상기 유기 수지막으로서 예를 들어 폴리이미드 수지막, 폴리아마이드 수지, 아크릴 수지막, 에폭시 수지막, 또는 페놀 수지막 등을 들 수 있다.
- [0184] 또한, 도전막(402) 대신에 상기 유기 수지막을 사용하는 경우, 기관(401) 위에 형성되는 소자의 박리 방법으로서 기관(401)의 아래 측으로부터 레이저 광을 조사함으로써 상기 유기 수지막이 취약화되어 기관(401)과 유기 수지막의 계면, 또는 유기 수지막과 도전막(403a), 도전막(403b), 도전막(403c), 및 절연막(404)의 계면에서 박리할 수 있다.
- [0185] 또한, 상기 레이저 광을 조사하는 경우, 레이저 광의 조사 에너지 밀도를 조정함으로써 기관(401)과 도전막(403a), 도전막(403b), 도전막(403c), 및 절연막(404) 사이에 밀착성이 높은 영역과 밀착성이 낮은 영역을 구별하여 만들 수 있다. 이 밀착성이 높은 영역과 밀착성이 약한 영역을 구별하여 만든 후 밀착성이 약한 영역을 박리하여도 좋다.
- [0186] 다음에 소자를 반전하여 기관(452)을 아래쪽에 배치하고, 절연막(404) 및 도전막(403b) 위에 배향막(618a)을 형성한다(도 13의 (B) 참조).
- [0187] 또한, 배향막(618a)으로서는 배향막(618b)과 같은 재료를 사용하면 좋다.
- [0188] 다음에 기관(452) 위의 소자와, 기관(652) 위의 소자를 접합하여 실재(622)를 사용하여 밀봉한다. 그 후, 기관(452)과, 기관(652) 사이에 액정층(620)을 형성하여 표시 소자(430)를 형성한다(도 14 참조).
- [0189] 또한, 도전막(403c) 위의 실재(622) 내에는 도전체(624)가 제공된다. 도전체(624)로서는 디스펜서법 등을 이용하여 실재(622) 내의 원하는 영역에 도전성의 입자를 형성하면 좋다. 또한, 도전체(624)를 통하여 도전막(403c)과 도전막(608)이 전기적으로 접속된다.
- [0190] 다음에 기관(652) 위에 기능막(626)을 형성한다(도 14 참조).
- [0191] 또한, 기능막(626)은 형성하지 않아도 된다.
- [0192] 그 후, 도전막(403a)에 ACF를 개재하여 FPC를 접착한다. 또한, ACF 대신에 ACP(이방성 도전 페이스트 (Anisotropic Conductive Paste))를 사용하여도 좋다.
- [0193] 이상의 공정으로, 도 5에 도시된 표시 장치(500)를 제작할 수 있다.
- [0194] <1-10. 표시 소자의 변형예 1>
- [0195] 또한, 도 5에 도시된 표시 장치(500)에 터치 패널을 제공하는 구성으로 하여도 좋다. 상기 터치 패널로서 정전 용량 방식(표면형 정전기 용량 방식, 투영형 정전 용량 방식 등)을 적절히 이용할 수 있다.
- [0196] 표시 장치(500)에 터치 패널을 제공하는 구성에 대하여 도 15~도 17을 참조하여 설명한다.
- [0197] 도 15는 표시 장치(500)에 터치 패널(691)을 제공하는 단면도이고, 도 16은 표시 장치(500)에 터치 패널(692)을 제공하는 구성의 단면도이고, 도 17은 표시 장치(500)에 터치 패널(693)을 제공하는 구성의 단면도이다.
- [0198] 도 15에 도시된 터치 패널(691)은 기관(652)과 착색막(604) 사이에 제공되는, 소위 인셀형이다. 터치 패널(691)은 차광막(602), 및 착색막(604)을 형성하기 전에 기관(652) 위에 형성하면 좋다.
- [0199] 또한, 터치 패널(691)은 차광막(662)과, 절연막(663)과, 도전막(664)과, 도전막(665)과, 절연막(666)과, 도전막(667)과, 절연막(668)을 갖는다. 예를 들어, 손가락이나 스타일러스 등의 피검지체가 근접함으로써 도전막

(664)과, 도전막(665)의 상호 용량의 변화를 검지할 수 있다.

- [0200] 또한, 도 15에 도시된 트랜지스터(Tr4)의 위쪽에는 도전막(664)과, 도전막(665)의 교차부를 명시하였다. 도전막(667)은 절연막(666)에 제공된 개구부를 통하여 도전막(665)을 사이에 두는 2개의 도전막(664)과 전기적으로 접속되어 있다. 또한, 도 15에서 도전막(667)이 제공된 영역을 게이트 드라이버 회로부(504a)에 상당하는 영역에 제공되는 구성을 예시하였지만, 이에 한정되지 않고, 예를 들어, 화소 회로(501(m, n))가 제공되는 영역에 형성하여도 좋다.
- [0201] 도전막(664), 및 도전막(665)은 차광막(662)과 중첩되는 영역에 제공된다. 또한, 도 15에 도시된 바와 같이 도전막(664)은 표시 소자(630)와 중첩되지 않도록 제공되면 바람직하다. 바꿔 말하면, 도전막(664)은 표시 소자(630)와 중첩되는 영역에 개구부를 갖는다. 즉, 도전막(664)은 메시(mesh) 형상을 갖는다. 이와 같은 구성으로 함으로써 도전막(664)은 표시 소자(630)가 방출하는 광을 차단하지 않는 구성으로 할 수 있다. 따라서, 터치 패널(691)을 배치함으로 인한 휘도의 저하가 매우 적기 때문에 시인성이 높고, 또한, 소비 전력이 저감된 표시 장치를 구현할 수 있다. 또한, 도전막(665)도 같은 구성으로 하면 좋다.
- [0202] 또한, 도전막(664) 및 도전막(665)이 표시 소자(630)와 중첩되지 않기 때문에 도전막(664) 및 도전막(665)에는 가시광의 투과율이 낮은 금속 재료를 사용할 수 있다. 그러므로, 가시광의 투과율이 높은 산화물 재료를 사용하는 경우에 비하여 도전막(664) 및 도전막(665)의 저항을 낮게 할 수 있게 되고, 터치 패널의 센서 감도를 향상시킬 수 있다.
- [0203] 또한, 차광막(662)에는 후술하는 차광막(602)에 사용할 수 있는 재료를 적용할 수 있다. 또한, 절연막(663), 절연막(666), 절연막(668)에는 후술하는 절연막(404), 절연막(406), 절연막(408), 절연막(410a), 절연막(410b), 절연막(410c), 절연막(412), 절연막(413), 절연막(416), 절연막(418), 절연막(606)에 사용할 수 있는 재료를 적용할 수 있다. 또한, 도전막(664), 도전막(665), 도전막(667)에는 후술하는 도전막(402), 도전막(403a), 도전막(403b), 도전막(403c), 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d), 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(414a), 도전막(414b), 도전막(414c), 도전막(414d), 도전막(414e), 도전막(414f), 도전막(414g), 도전막(414h), 도전막(417), 도전막(420), 도전막(608), 산화물 반도체막(411a), 산화물 반도체막(411b), 산화물 반도체막(411c)에 사용할 수 있는 재료를 적용할 수 있다.
- [0204] 또한, 도전막(664), 도전막(665), 도전막(667)에는 도전성의 나노 와이어를 사용하여도 좋다. 상기 나노 와이어는 직경의 평균값이 1nm 이상 100nm 이하, 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 25nm 이하의 크기로 하면 좋다. 또한, 상기 나노 와이어로서, Ag 나노 와이어, Cu 나노 와이어, 또는 Al 나노 와이어 등의 금속 와이어, 또는 카본 나노 튜브 등을 사용하면 좋다. 예를 들어, 도전막(664), 도전막(665), 도전막(667) 중 어느 하나 또는 전부에 Ag 나노 와이어를 사용하는 경우, 가시광의 광 투과율을 89% 이상, 시트 저항값을 40Ω/□ 이상 100Ω/□ 이하로 할 수 있다.
- [0205] 도 16에 도시된 터치 패널(692)은 기관(652)의 위쪽에 제공되는, 소위 온셀형이다. 터치 패널(692)은 터치 패널(691)과 같은 구성을 갖는다.
- [0206] 도 17에 도시된 터치 패널(693)은 기관(672) 위에 제공되고, 접촉제(674)를 개재하여 기관(652)과 접촉되어 있다. 터치 패널(693)은 소위 아웃셀형(외장형이라고도 함)이다. 터치 패널(693)은 터치 패널(691)과 같은 구성을 갖는다. 이와 같이 본 발명의 일 형태에 따른 표시 장치는 다양한 형태의 터치 패널과 조합하여 사용할 수 있다.
- [0207] <1-11. 표시 장치의 변형예 2>
- [0208] 또한, 도 5에 도시된 표시 장치(500)의 액정 소자를 횡전계 방식, 여기에서는 FFS 모드의 액정 소자로 하는 구성의 일례를 도 18에 도시하였다.
- [0209] 도 18에 도시된 표시 장치(500)는 상술한 구성에 더하여 도전막(403b), 도전막(403c) 위의 절연막(681)과, 절연막(681) 위의 도전막(682)을 갖는다.
- [0210] 또한, 일점쇄선 A9-A10에 도시된 접속 영역에서 절연막(681)은 개구부를 갖고, 이 개구부를 통하여 도전막(682)과 도전막(403c)이 전기적으로 접속되어 있다. 또한, 도 18에서는 실재(622) 내에 포함되는 도전체(624)가 제공되지 않는 구성이다.
- [0211] 도전막(682)은 공통 전극으로서의 기능을 갖는다. 또한, 도전막(682)은 상면 형상에서 슬릿을 갖는 형상 또는

빗살 형상으로 하면 된다. 또한, 도 18에 도시된 표시 장치(500)에서는 도전막(682)을 제공하는 구성이기 때문에 기관(652) 측에 제공되는 도전막(608)을 제공하는 구성이다. 또한, 도전막(682)을 제공하고, 더하여 기관(652) 측에 도전막(608)을 제공하는 구성으로 하여도 된다.

[0212] 또한, 절연막(681)에는 후술하는 절연막(404), 절연막(406), 절연막(408), 절연막(410a), 절연막(410b), 절연막(410c), 절연막(412), 절연막(413), 절연막(416), 절연막(418), 절연막(606)에 사용할 수 있는 재료를 적용할 수 있다. 또한, 도전막(682)에는 후술하는 도전막(402), 도전막(403a), 도전막(403b), 도전막(403c), 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d), 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(414a), 도전막(414b), 도전막(414c), 도전막(414d), 도전막(414e), 도전막(414f), 도전막(414g), 도전막(414h), 도전막(417), 도전막(420), 도전막(608), 산화물 반도체(411a), 산화물 반도체(411b), 산화물 반도체(411c)에 사용할 수 있는 재료를 적용할 수 있다.

[0213] 또한, 도전막(682)을 투광성을 갖는 재료로 형성함으로써 투광성을 갖는 용량 소자를 형성할 수 있다. 상기 투광성을 갖는 용량 소자는 도전막(682)과, 도전막(682)과 중첩되는 절연막(681)과, 도전막(403c)으로 구성된다. 이와 같은 구성으로 함으로써 용량 소자에 축적되는 전하량을 크게 할 수 있어 적합하다.

[0214] <1-12. 표시 장치의 구성 요소>

[0215] 다음에 도 5~도 14에 예시된 표시 장치(500) 및 표시 장치(500)의 제작 방법에 기재된 각 구성 요소에 대하여 아래에서 설명한다.

[0216] [기관]

[0217] 기관(401), 기관(452), 기관(652)으로서 제작 공정 중의 열 처리를 견딜 수 있을 정도의 내열성을 갖는 재료를 사용할 수 있다.

[0218] 구체적으로는 무알칼리 유리, 소다석회 유리, 포타슘 유리, 크리스털 유리, 석영 또는 사파이어 등을 사용할 수 있다. 또한, 무기 절연막을 사용하여도 좋다. 상기 절연막으로서는 예를 들어, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 알루미늄산화막 등을 들 수 있다.

[0219] 또한, 상기 무알칼리 유리로서는 예를 들어, 0.2mm 이상 0.7mm 이하의 두께로 하면 좋다. 또는 무알칼리 유리를 연마함으로써 상술한 두께로 하여도 좋다.

[0220] 또한, 기관(401), 기관(452), 기관(652)으로서, 제 6 세대(1500mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2400mm), 제 9 세대(2400mm×2800mm), 제 10 세대(2950mm×3400mm) 등의 면적이 큰 유리 기관을 사용할 수 있다. 이에 의하여, 대형의 표시 장치를 제작할 수 있다.

[0221] 또한, 기관(401), 기관(452), 기관(652)으로서 실리콘이나 탄화실리콘으로 이루어진 단결정 반도체 기관, 다결정 반도체 기관이나, 실리콘 저마늄 등의 화합물 반도체 기관, SOI 기관 등을 사용하여도 좋다.

[0222] 또한, 기관(401), 기관(452), 기관(652)으로서, 금속 등의 무기 재료를 사용하여도 좋다. 금속 등의 무기 재료로서는 스테인리스 강 또는 알루미늄 등을 들 수 있다.

[0223] 또한, 기관(401), 기관(452), 기관(652)으로서, 수지, 수지 필름 또는 플라스틱 등의 유기 재료를 사용하여도 좋다. 상기 수지 필름으로서는 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 폴리우레탄, 아크릴 수지, 에폭시 수지, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES), 또는 실록산 결합을 갖는 수지 등을 들 수 있다.

[0224] 또한, 기관(401), 기관(452), 기관(652)으로서, 무기 재료와 유기 재료를 조합한 복합 재료를 사용하여도 좋다. 상기 복합 재료로서는 금속판 또는 박판 형상의 유리판과 수지 필름을 접합한 재료, 섬유상의 금속, 입자상의 금속, 섬유상의 유리, 또는 입자상의 유리를 수지 필름에 분산시킨 재료, 또는 섬유상의 수지, 입자상의 수지를 무기 재료로 분산시킨 재료 등을 들 수 있다.

[0225] [도전막]

[0226] 도전막(402), 도전막(403a), 도전막(403b), 도전막(403c), 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d), 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(414a), 도전막(414b), 도전막(414c), 도전막(414d), 도전막(414e), 도전막(414f), 도전막(414g), 도전막(414h), 도전막(417), 도전막(420), 도전막(608), 산화물 반도체(411a), 산화물 반도체(411b), 산화물 반도체(411c)에

는 도전성을 갖는 금속판, 가시광을 반사하는 기능을 갖는 도전막, 또는 가시광을 투과하는 기능을 갖는 도전막을 사용하면 좋다.

- [0227] 도전성을 갖는 금속판으로서, 알루미늄, 금, 백금, 은, 구리, 크로뮴, 탄탈럼, 타이타늄, 폴리브데늄, 텅스텐, 니켈, 철, 코발트, 팔라듐, 또는 망가니즈 중에서 선택되는 금속 원소를 포함하는 재료를 사용할 수 있다. 또는, 상술한 금속 원소를 포함하는 합금을 사용하여도 좋다.
- [0228] 상술한 도전성을 갖는 금속막으로서, 구체적으로 타이타늄막 위에 구리막을 적층하는 2층 구조, 질화 타이타늄막 위에 구리막을 적층하는 2층 구조, 질화 탄탈럼막 위에 구리막을 적층하는 2층 구조, 타이타늄막 위에 구리막을 적층하고, 그 위에 타이타늄막을 형성하는 3층 구조 등을 사용하면 좋다. 특히, 구리 원소를 포함하는 도전막을 사용함으로써 저항을 낮게 할 수 있어 적합하다. 또한, 구리 원소를 포함하는 도전막으로서는 구리와 망가니즈를 포함하는 합금막을 들 수 있다. 상기 합금막은 웨트 에칭법을 사용하여 가공할 수 있기 때문에 적합하다.
- [0229] 또한, 상술한 도전성을 갖는 금속막으로서 도전성 고분자 또는 도전성 폴리머를 사용하여도 좋다.
- [0230] 또한, 상술한 가시광을 반사하는 기능을 갖는 도전막으로서는 금, 은, 구리, 또는 팔라듐 중에서 선택된 금속 원소를 포함하는 재료를 사용할 수 있다. 특히, 은 원소를 포함하는 도전막을 사용함으로써 가시광에 따른 반사율을 높일 수 있기 때문에 적합하다.
- [0231] 또한, 상술한 가시광을 투과하는 기능을 갖는 도전막으로서는 인듐, 주석, 아연, 갈륨, 또는 실리콘 중에서 선택된 원소를 포함하는 재료를 사용할 수 있다. 구체적으로는 In 산화물, Zn 산화물, In-Sn 산화물(ITO라고도 함), In-Sn-Si 산화물(ITSO라고도 함), In-Zn 산화물, In-Ga-Zn 산화물 등을 들 수 있다.
- [0232] 또한, 상술한 가시광을 투과하는 기능을 갖는 도전막으로서는 그래핀 또는 그래파이트를 포함하는 막을 사용하여도 좋다. 그래핀을 포함하는 막으로서는 산화 그래핀을 포함하는 막을 형성하고, 산화 그래핀을 포함하는 막을 환원함으로써 그래핀을 포함하는 막을 형성할 수 있다. 환원하는 방법으로는 열을 가하는 방법이나 환원제를 사용하는 방법 등을 들 수 있다.
- [0233] 또한, 화소 전극으로서의 기능을 갖는 도전막(403c) 및 도전막(417)은 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)이 갖는 금속 원소를 하나 이상 갖는다. 예를 들어, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)이 In-M-Zn 산화물(M은 Al, Ga, Y, 또는 Sn) 등의 금속 산화물로 구성되는 경우, 도전막(403c) 및 도전막(417)은 In, M(M은 Al, Ga, Y, 또는 Sn), Zn 중 어느 하나를 갖는다.
- [0234] [절연막]
- [0235] 절연막(404), 절연막(406), 절연막(408), 절연막(410a), 절연막(410b), 절연막(410c), 절연막(412), 절연막(413), 절연막(416), 절연막(418), 절연막(606)으로서는 절연성의 무기 재료, 절연성의 유기 재료, 또는 절연성의 무기 재료와 절연성의 유기 재료를 포함하는 절연성의 복합 재료를 사용할 수 있다.
- [0236] 상술한 절연성의 무기 재료로서는 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막 등을 들 수 있다. 또한, 상술한 무기 재료를 복수 적층하여도 좋다.
- [0237] 또한, 상술한 절연성의 유기 재료로서는 예를 들어, 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 폴리우레탄, 아크릴 수지, 에폭시 수지, 또는 실록산 결합을 갖는 수지를 포함하는 재료를 들 수 있다. 또한, 상술한 절연성의 유기 재료로서는 감광성을 갖는 재료를 사용하여도 좋다.
- [0238] [산화물 반도체막]
- [0239] 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)은 In-M-Zn 산화물(M은 Al, Ga, Y, 또는 Sn) 등의 산화물로 형성된다. 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다.
- [0240] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)이 In-M-Zn 산화물인 경우, In과 M의 원자수 비율은, In 및 M의 합을 100atomic%로 하였을 때 In이 25atomic%보다 높고, M이 75atomic% 미만, 또는 In이 34atomic%보다 높고, M이 66atomic% 미만으로 한다.
- [0241] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)은 에너지 갭이 2eV 이상, 또는 2.5eV 이상, 또는 3eV 이상이면 바람직하다.

- [0242] 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 60nm 이하이다.
- [0243] 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)이 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 성막하기 위하여 사용하는 스퍼터링 타겟의 금속 원소의 원자수비는, $\text{In} \geq \text{M}$, $\text{Zn} \geq \text{M}$ 을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타겟의 금속 원소의 원자수비로서 $\text{In}:\text{M}:\text{Zn}=1:1:1$, $\text{In}:\text{M}:\text{Zn}=1:1:1.2$, $\text{In}:\text{M}:\text{Zn}=2:1:1.5$, $\text{In}:\text{M}:\text{Zn}=2:1:2.3$, $\text{In}:\text{M}:\text{Zn}=2:1:3$, $\text{In}:\text{M}:\text{Zn}=3:1:2$, $\text{In}:\text{M}:\text{Zn}=4:2:4.1$, $\text{In}:\text{M}:\text{Zn}=5:1:7$ 등이 바람직하다. 또한, 성막되는 산화물 반도체막(108)의 원자수비는 각각, 상기의 스퍼터링 타겟에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 정도 변동하는 경우가 있다. 예를 들어, 스퍼터링 타겟으로서, 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ 을 사용하는 경우, 성막되는 산화물 반도체막의 원자수비는, $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ 근방이 되는 경우가 있다. 또한, 예를 들어, 스퍼터링 타겟으로서, 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=5:1:7$ 을 사용하는 경우, 성막되는 산화물 반도체막의 원자수비는, $\text{In}:\text{Ga}:\text{Zn}=5:1:6$ 근방이 되는 경우가 있다.
- [0244] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에서, 제 14 족 원소 중 하나인 실리콘이나 탄소가 포함되면 산소 결손이 증가되어 n형이 되는 경우가 있다. 그러므로, 산화물 반도체막(108), 특히 채널 영역(108i)에서, 실리콘 또는 탄소의 농도를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 할 수 있다. 이 결과, 트랜지스터는 문턱 전압이 플러스가 되는 전기 특성(노멀리 오프 특성이라고도 함)을 갖는다. 또한, 상술한 실리콘 또는 탄소의 농도는, 예를 들어, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 측정할 수 있다.
- [0245] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에서, SIMS에 의하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 할 수 있다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성할 경우가 있고 이로 인하여 트랜지스터의 오프 전류가 증대될 수 있다. 그러므로, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에서의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 이 결과, 트랜지스터는 문턱 전압이 플러스가 되는 전기 특성(노멀리 오프 특성이라고도 함)을 갖는다.
- [0246] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에 질소가 포함되어 있으면 캐리어인 전자가 생겨 캐리어 밀도가 증가되어 n형이 되는 경우가 있다. 이 결과, 질소가 포함되어 있는 산화물 반도체막을 이용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에서, 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어 SIMS로 얻어지는 질소 농도를 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하면 좋다.
- [0247] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에서, 불순물 원소를 저감함으로써, 산화물 반도체막의 캐리어 밀도를 저감시킬 수 있다. 이로써, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)에서 캐리어 밀도를 $1 \times 10^{17} \text{ cm}^{-3}$ 이하, 또는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, 또는 $1 \times 10^{13} \text{ cm}^{-3}$ 이하, 또는 $1 \times 10^{11} \text{ cm}^{-3}$ 이하로 할 수 있다.
- [0248] 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)으로서 불순물 농도가 낮고, 결합 준위 밀도가 낮은 산화물 반도체막을 이용함으로써, 더욱 우수한 전기 특성을 갖는 트랜지스터를 제작할 수 있다. 여기에서는, 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 또는, 진성, 또는 실질적으로 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮출 수 있는 경우가 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 문턱 전압이 플러스가 되는 전기 특성(노멀리 오프 특성이라고도 함)이 되기 쉽다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결합 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 전류가 현저히 작은 특성을 얻을 수 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 되는 경우가 있다.
- [0249] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)은 비단결정 구조라도 좋다. 비단결정 구조는, 예를 들어, 후술하는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에 있어서, 비정질 구조는 가장 결

함 준위 밀도가 높고, CAAC-OS는 가장 결함 준위 밀도가 낮다.

- [0250] 또한, 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)이, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 및 단결정 구조의 영역의 2종 이상을 갖는 단층막, 또는 이막이 적층된 구조라도 좋다.
- [0251] [액정층]
- [0252] 액정층(620)으로서는 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 들 수 있다. 또는, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상, 등을 나타내는 액정 재료를 사용하여도 좋다. 또는, 블루상을 나타내는 액정 재료를 사용하여도 좋다.
- [0253] 또한, 액정층(620)의 구동 방법에는, IPS(In-Plane-Switching) 모드, TN(Twisted Nematic) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 들 수 있다. 또한, 수직 배향(VA) 모드, 구체적으로는 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ECB(Electrically Controlled Birefringence) 모드, CPA(Continuous Pinwheel Alignment) 모드, ASV(Advanced Super-View) 모드 등의 구동 방법을 사용하여도 좋다.
- [0254] [EL층]
- [0255] EL층(419)은 적어도 발광 재료를 갖는다. 이 발광 재료로서는 유기 화합물, 또는 양자 도트 등의 무기 화합물을 들 수 있다.
- [0256] 상술한 유기 화합물, 및 무기 화합물로서 예를 들어, 증착법(진공 증착법을 포함함), 잉크젯법, 도포법, 그라비아 인쇄법 등의 방법을 사용하여 형성할 수 있다.
- [0257] 유기 화합물에 사용할 수 있는 재료로서는 형광 재료 또는 인광 재료를 들 수 있다. 수명의 관점에서 보면 형광 재료를 사용하면 좋고, 효율의 관점에서 보면 인광 재료를 사용하면 좋다. 또는 형광 재료 및 인광 재료의 양쪽 모두를 갖는 구성으로 하면 좋다.
- [0258] 또한, 양자 도트는 수nm 크기의 반도체 나노 결정이며, 1×10^3 개~ 1×10^6 개 정도의 원자로 구성된다. 양자 도트는 크기에 의존하여 에너지 시프트하기 때문에 같은 물질로 구성되는 양자 도트라도 크기에 따라 파장이 다르고, 사용하는 양자 도트의 크기를 변경함에 의하여 발광 파장을 용이하게 조정할 수 있다.
- [0259] 또한, 양자 도트는 발광 스펙트럼의 피크 폭이 좁기 때문에 색순도가 좋은 발광을 얻을 수 있다. 또한, 양자 도트의 이론적인 내부 양자 효율은 거의 100%라고 생각되고 있으며, 형광 발광을 나타내는 유기 화합물의 25%를 크게 웃돌아 인광 발광을 나타내는 유기 화합물과 동등하다. 이로써, 양자 도트를 발광 재료로서 사용함으로써 발광 효율이 높은 발광 소자를 얻을 수 있다. 이에 더하여, 무기 화합물인 양자 도트는 그 본질적인 안정성도 우수하기 때문에 수명의 관점에서도 바람직한 발광 소자를 얻을 수 있다.
- [0260] 양자 도트를 구성하는 재료로서 주기율표 제 14 족 원소, 주기율표 제 15 족 원소, 주기율표 제 16 족 원소, 복수의 주기율표 제 14 족 원소로 이루어진 화합물, 주기율표 제 4 족~주기율표 제 14 족에 속하는 원소와 주기율표 제 16 족 원소의 화합물, 주기율표 제 2 족 원소와 주기율표 제 16 족 원소의 화합물, 주기율표 제 13 족 원소와 주기율표 제 15 족 원소의 화합물, 주기율표 제 13 족 원소와 주기율표 제 17 족 원소의 화합물, 주기율표 제 14 족 원소와 주기율표 제 15 족 원소의 화합물, 주기율표 제 11 족 원소와 주기율표 제 17 족 원소의 화합물, 산화철류, 산화 타이타늄류, 칼코게나이드스피넬류, 각종 반도체 클러스터 등을 들 수 있다.
- [0261] 구체적으로는 셀레늄화 카드뮴, 황화 카드뮴, 텔루륨화 카드뮴, 셀레늄화 아연, 산화 아연, 황화 아연, 텔루륨화 아연, 황화 수은, 셀레늄화 수은, 텔루륨화 수은, 비소화 인듐, 인화 인듐, 비소화 갈륨, 인화 갈륨, 질화 인듐, 질화 갈륨, 안티모니화 인듐, 안티모니화 갈륨, 인화 알루미늄, 비소화 알루미늄, 안티모니화 알루미늄, 셀레늄화 납, 텔루륨화 납, 황화 납, 셀레늄화 인듐, 텔루륨화 인듐, 황화 인듐, 셀레늄화 갈륨, 황화 비소, 셀레늄화 비소, 텔루륨화 비소, 황화 안티모니, 셀레늄화 안티모니, 텔루륨화 안티모니, 황화 비스무트, 셀레늄화 비스무트, 텔루륨화 비스무트, 실리콘, 탄소화 실리콘, 저마늄, 주석, 셀레늄, 텔루륨, 붕소, 탄소, 인, 질화 붕소, 인화 붕소, 비소화 붕소, 질화 알루미늄, 황화 알루미늄, 황화 바륨, 셀레늄화 바륨, 텔루륨화 바륨, 황화 갈륨, 셀레늄화 갈륨, 텔루륨화 갈륨, 황화 베릴륨, 셀레늄화 베릴륨, 텔루륨화 베릴륨, 황화 마그네슘, 셀

레늄화 마그네슘, 황화 저마늄, 셀레늄화 저마늄, 텔루륨화 저마늄, 황화 주석, 셀레늄화 주석, 텔루륨화 주석, 산화 납, 불화 구리, 염화 구리, 브로민화 구리, 요오드화 구리, 산화 구리, 셀레늄화 구리, 산화 니켈, 산화 코발트, 황화 코발트, 사산화 삼철, 황화 철, 산화 망가니즈, 황화 폴리브데넘, 산화 바나듐, 산화 텅스텐, 산화 탄탈럼, 산화 타이타늄, 산화 지르코늄, 질화 실리콘, 질화 저마늄, 산화 알루미늄, 타이타늄산 바륨, 셀레늄과 아연과 카드뮴의 화합물, 인듐과 비소와 인의 화합물, 카드뮴과 셀레늄과 황의 화합물, 카드뮴과 셀레늄과 텔루륨의 화합물, 인듐과 갈륨과 비소의 화합물, 인듐과 갈륨과 셀레늄의 화합물, 인듐과 셀레늄과 황의 화합물, 구리와 인듐과 황의 화합물 및 이들의 조합 등을 들 수 있지만, 이에 한정되는 것은 아니다. 또한, 조성이 임의의 비율로 나타내어지는, 소위 합금형 양자 도트를 사용하여도 좋다. 예를 들어, 카드뮴과 셀레늄과 황의 합금형 양자 도트는 원소의 함유비율을 변화시킴으로써 발광 파장을 변경할 수 있기 때문에 청색 발광을 얻기에 유효한 수단 중 하나이다.

[0262] 양자 도트의 구조로서, 코어형, 코어 쉘형, 코어 멀티 쉘형 등이 있고, 이들 중 어느 것을 사용하여도 좋지만, 코어를 덮어 더 넓은 밴드 갭을 갖는 다른 무기 재료로 쉘을 형성함으로써 나노 결정 표면에 존재하는 결함이나 탭글링 본드의 영향을 저감시킬 수 있다. 이로써, 발광의 양자 효율이 크게 개선되기 때문에 코어 쉘형이나 코어 멀티 쉘형의 양자 도트를 사용하는 것이 바람직하다. 쉘의 재료의 예로서는, 황화 아연이나 산화 아연을 들 수 있다.

[0263] 또한, 양자 도트는 표면 원자의 비율이 높기 때문에 반응성이 높고, 응집이 일어나기 쉽다. 그러므로, 양자 도트의 표면에는 보호제가 부착되거나 보호기가 제공되는 것이 바람직하다. 상기 보호제가 부착되거나 보호기가 제공되는 것에 의하여 응집을 방지하여 용매로의 용해성을 높일 수 있다. 또한, 반응성을 저감시켜 전기적 안정성을 향상시킬 수도 있다. 보호제(또는 보호기)로서는 예를 들어, 폴리옥시에틸렌라우릴에터, 폴리옥시에틸렌스테아릴에터, 폴리옥시에틸렌올레일에터 등의 폴리옥시에틸렌알킬에터류, 트라이프로필포스핀, 트라이뷰틸포스핀, 트라이헥실포스핀, 트라이옥틸포스핀 등의 트라이알킬포스핀류, 폴리옥시에틸렌 n-옥틸페닐에터, 폴리옥시에틸렌 n-노닐페닐에터 등의 폴리옥시에틸렌알킬페닐에터류, 트라이(n-헥실)아민, 트라이(n-옥틸)아민, 트라이(n-데실)아민 등의 제 3 급 아민류, 트라이프로필포스핀옥사이드, 트라이뷰틸포스핀옥사이드, 트라이헥실포스핀옥사이드, 트라이옥틸포스핀옥사이드, 트라이데실포스핀옥사이드 등의 유기 인 화합물, 폴리에틸렌글라이콜다이아우레이트, 폴리에틸렌글라이콜다이스테아레이트 등의 폴리에틸렌글라이콜다이에스테르류, 피리딘, 루티딘, 콜리딘, 퀴놀린류 등의 함질소 방향족 화합물 등의 유기 화합물, 헥실아민, 옥틸아민, 데실아민, 도데실아민, 테트라데실아민, 헥사데실아민, 옥타데실아민 등의 아미노알칸류, 다이뷰틸설파이드 등의 다이알킬설파이드류, 다이메틸설파이드, 다이뷰틸설파이드 등의 다이알킬설파이드류, 싸이오펜 등의 함황 방향족 화합물 등의 유기 황 화합물, 팔미틴산, 스테아린산, 올레인산 등의 고급 지방산, 알코올류, 솔비탄 지방산 에스테르류, 지방산 변성 폴리에스테르류, 3급 아민 변성 폴리우레탄류, 폴리에틸렌이민류 등을 들 수 있다.

[0264] 양자 도트는 크기가 작아짐에 따라 밴드 갭이 크게 되기 때문에 원하는 파장의 광을 얻을 수 있도록 그 크기를 적절히 조절한다. 결정 크기가 작아짐에 따라 양자 도트의 발광은 청색 측으로, 즉, 고에너지 측으로 시프트되기 때문에 양자 도트의 크기를 변화시킴으로써 자외 영역, 가시 영역, 적외 영역의 스펙트럼의 파장 영역에 걸쳐 그 발광 파장을 조절할 수 있다. 양자 도트의 크기(직경)는 0.5nm~20nm, 바람직하게는 1nm~10nm의 범위의 것이 일반적으로 사용된다. 또한, 양자 도트는 그 크기 분포가 좁을수록 더 발광 스펙트럼이 협선화(狹線化)되고 색 순도가 양호한 발광을 얻을 수 있다. 또한, 양자 도트의 형상은 특별히 한정되지 않고, 구(球)상, 막대형상, 원반 형상, 그 외의 형상이라도 좋다. 또한, 막대형상의 양자 도트인 양자 로드에는 c축 방향으로 편광된 지향성을 갖는 광을 나타내기 때문에 양자 로드를 발광 재료로서 사용함으로써 외부 양자 효율이 더 양호한 발광 소자를 얻을 수 있다.

[0265] 또한, EL 소자에서는 많은 경우, 발광 효율을 호스트 재료에 분산시킴으로써 발광 효율을 높이지만 호스트 재료는 발광 재료 이상의 단일항 여기 에너지 또는 삼중항 여기 에너지를 갖는 물질인 것일 필요가 있다. 특히, 청색 인광 재료를 사용하는 경우에는 그 이상의 삼중항 여기 에너지를 갖는 재료이고, 또한, 수명의 관점에서 우수한 재료의 개발은 매우 곤란하다. 한편, 양자 도트는 호스트 재료를 사용하지 않고, 양자 도트만으로 발광층을 구성하여도 발광 효율을 유지할 수 있기 때문에 이 점에서도 수명의 관점에서 바람직한 발광 소자를 얻을 수 있다. 양자 도트만으로 발광층을 형성하는 경우에는 양자 도트는 코어 쉘 구조(코어 멀티 쉘 구조를 포함함)인 것이 바람직하다.

[0266] [배향막]

[0267] 배향막(618a), 배향막(618b)으로서는 폴리이미드 등을 포함하는 재료를 사용할 수 있다. 구체적으로, 폴리이미

드 등을 포함하는 재료가 소정의 방향으로 배향하도록 러빙 처리 또는 광 배향 처리를 행하면 좋다.

[0268] [차광막]

[0269] 차광막(602)은 소위 블랙 매트릭스로서의 기능을 갖는다. 차광막(602)으로서는 광의 투과를 방해하는 기능을 가지면 좋다. 상기 광의 투과를 방해하는 재료로서는 금속 재료, 또는 흑색 안료를 포함한 유기 수지 재료 등을 들 수 있다.

[0270] [착색막]

[0271] 착색막(604)은 소위 컬러 필터로서의 기능을 갖는다. 착색막(604)으로서는 소정의 색의 광을 투과하는 재료(예를 들어 청색 광을 투과하는 재료, 녹색 광을 투과하는 재료, 적색 광을 투과하는 재료, 황색 광을 투과하는 재료 또는 백색 광을 투과하는 재료 등)를 사용하면 좋다.

[0272] [구조체]

[0273] 구조체(610a), 구조체(610b)는 구조체(610a), 구조체(610b)를 끼우는 구성 사이에 소정의 간극을 제공하는 기능을 갖는다. 구조체(610a), 구조체(610b)로서는 유기 재료, 무기 재료, 또는 유기 재료와 무기 재료의 복합 재료를 사용할 수 있다. 상기 무기 재료 및 상기 유기 재료로서는 절연막(404), 절연막(406), 절연막(408), 절연막(410a), 절연막(410b), 절연막(410c), 절연막(412), 절연막(413), 절연막(416), 절연막(418), 절연막(606)에 열거한 재료를 사용할 수 있다.

[0274] [기능막]

[0275] 기능막(626)으로서는 편광판, 위상차판, 확산 필름, 반사 방지 필름 또는 집광 필름 등을 사용할 수 있다. 또한, 기능막(626)으로서, 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수성의 막, 사용에 따른 손상의 발생을 억제하는 하드 코트막 등을 사용하여도 좋다.

[0276] [밀봉재]

[0277] 밀봉재(454)로서는 무기 재료, 유기 재료, 또는 무기 재료와 유기 재료의 복합 재료 등을 사용할 수 있다. 상술한 유기 재료로서 예를 들어, 열용융성 수지 또는 경화성 수지를 포함하는 유기 재료가 포함된다. 또한, 밀봉재(454)로서는 수지 재료를 포함하는 접착제(반응 경화형의 접착제, 광 경화성 접착제, 열 경화성 접착제, 혐기형 접착제 등)를 사용하여도 좋다. 또한, 상술한 수지 재료로서, 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐 클로라이드) 수지, PVB(폴리바이닐 뷰티랄) 수지, EVA(에틸렌 바이닐 아세테이트) 수지 등을 들 수 있다.

[0278] [실재]

[0279] 실재(622)로서는 밀봉재(454)에 열거한 재료를 사용할 수 있다. 또한, 실재(622)로서는 상술한 재료에 더하여 유리 프리트 등의 재료를 사용하여도 좋다. 실재(622)에 사용하는 재료로서 수분이나 산소를 투과시키지 않는 재료를 사용하면 적합하다.

[0280] 이상의 설명과 같이, 본 발명의 일 형태에 따른 표시 장치는 2개의 표시 소자를 갖는다. 또한, 이 2개의 표시 소자를 구동하기 위한 2개의 트랜지스터를 갖는다. 표시 소자 중 한쪽을 반사형 액정 소자로 하고, 다른 쪽을 투과형 EL 소자로 함으로써 편리성 또는 신뢰성이 우수한 신규 표시 장치를 제공할 수 있다. 또한, 상기 표시 소자를 구동하기 위한 트랜지스터의 채널 영역과, 2개의 표시 소자가 갖는 한쪽 전극에 산화물 반도체막을 사용함으로써 제조 비용이 억제된 신규 표시 장치를 제공할 수 있다. 또한, 트랜지스터의 구조를 스테거형 구조로 함으로써 게이트 전극과 소스 전극 및 드레인 전극 사이의 기생 용량을 저감시킬 수 있기 때문에 소비 전력이 억제된 신규 표시 장치를 제공할 수 있다.

[0281] 또한, 본 실시형태에 나타난 구성은 다른 실시형태에 나타난 구성과 적절히 조합하여 사용할 수 있다.

[0282] (실시형태 2)

[0283] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치에 사용할 수 있는 트랜지스터, 및 상기 트랜지스터의 제조 방법에 대하여 도 19~도 36을 참조하여 설명한다.

[0284] <2-1. 트랜지스터의 구성예 1>

[0285] 도 19의 (A), (B), (C)에 트랜지스터의 일례를 도시하였다. 또한, 도 19의 (A), (B), (C)에 도시된 스테거형

(톱 게이트 구조)이다.

- [0286] 도 19의 (A)는 트랜지스터(100)의 상면도이고, 도 19의 (B)는 도 19의 (A)의 일점쇄선 X1-X2간의 단면도이고, 도 19의 (C)는 도 19의 (A)의 일점쇄선 Y1-Y2간의 단면도이다. 또한, 도 19의 (A)에서는 명료화를 위하여 절연막(110) 등의 구성 요소를 생략하여 도시하였다. 또한, 트랜지스터의 상면도에서는 이후의 도면에서도 도 19의 (A)와 마찬가지로, 구성 요소의 일부를 생략하여 도시된 경우가 있다. 또한, 일점쇄선 X1-X2 방향을 채널 길이(L) 방향, 일점쇄선 Y1-Y2 방향을 채널 폭(W) 방향이라고 호칭하는 경우가 있다.
- [0287] 도 19의 (A), (B), (C)에 도시된 트랜지스터(100)는 기판(102) 위의 절연막(104)과, 절연막(104) 위의 산화물 반도체막(108)과, 산화물 반도체막(108) 위의 절연막(110)과, 절연막(110) 위의 도전막(112)과, 절연막(104), 산화물 반도체막(108), 및 도전막(112) 위의 절연막(116)을 갖는다. 또한, 산화물 반도체막(108)은 도전막(112)과 중첩되는 채널 영역(108i)과, 절연막(116)과 접촉하는 소스 영역(108s)과, 절연막(116)과 접촉하는 드레인 영역(108d)을 갖는다.
- [0288] 또한, 절연막(116)은 질소 또는 수소를 갖는다. 절연막(116)과, 소스 영역(108s) 및 드레인 영역(108d)이 접함으로써, 절연막(116) 내의 질소 또는 수소가 소스 영역(108s) 및 드레인 영역(108d) 내에 첨가된다. 소스 영역(108s) 및 드레인 영역(108d)은 질소 또는 수소가 첨가됨으로써 캐리어 밀도가 높아진다.
- [0289] 또한, 트랜지스터(100)는 절연막(116) 위의 절연막(118)과, 절연막(116), 절연막(118)에 제공된 개구부(141a)를 통하여 소스 영역(108s)에 전기적으로 접속되는 도전막(120a)과, 절연막(116), 절연막(118)에 제공된 개구부(141b)를 통하여 드레인 영역(108d)에 전기적으로 접속되는 도전막(120b)을 가져도 좋다.
- [0290] 또한, 본 명세서 등에서, 절연막(104)을 제 1 절연막으로, 절연막(110)을 제 2 절연막으로, 절연막(116)을 제 3 절연막으로, 절연막(118)을 제 4 절연막으로 각각 호칭하는 경우가 있다. 또한, 도전막(112)은 게이트 전극으로서의 기능을 갖고, 도전막(120a)은 소스 전극으로서의 기능을 갖고, 도전막(120b)은 드레인 전극으로서의 기능을 갖는다.
- [0291] 또한, 절연막(110)은 게이트 절연막으로서의 기능을 갖는다. 또한, 절연막(110)은 과잉 산소 영역을 갖는다. 절연막(110)이 과잉 산소 영역을 가짐으로써 산화물 반도체막(108)이 갖는 채널 영역(108i) 내에 과잉 산소를 공급할 수 있다. 따라서, 채널 영역(108i)에 형성될 수 있는 산소 결손을 과잉 산소에 의하여 보충할 수 있기 때문에 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0292] 또한, 산화물 반도체막(108) 내에 과잉 산소를 공급하기 위하여 산화물 반도체막(108)의 아래쪽에 형성되는 절연막(104)에 과잉 산소를 공급하여도 좋다. 단, 이 경우, 절연막(104) 내에 포함되는 과잉 산소는 산화물 반도체막(108)이 갖는 소스 영역(108s) 및 드레인 영역(108d)에도 공급될 수 있다. 소스 영역(108s) 및 드레인 영역(108d) 내에 과잉 산소가 공급되면 소스 영역(108s) 및 드레인 영역(108d)의 저항이 높게 되는 경우가 있다.
- [0293] 한편, 산화물 반도체막(108)의 위쪽에 형성되는 절연막(110)에 과잉 산소를 갖는 구성으로 함으로써 채널 영역(108i)에만 선택적으로 과잉 산소를 공급시킬 수 있다. 또는, 채널 영역(108i), 소스 영역(108s), 및 드레인 영역(108d)에 과잉 산소를 공급시킨 후, 소스 영역(108s) 및 드레인 영역(108d)의 캐리어 밀도를 선택적으로 높임으로써 소스 영역(108s), 및 드레인 영역(108d)의 저항이 높아지는 것을 억제할 수 있다.
- [0294] 또한, 산화물 반도체막(108)이 갖는 소스 영역(108s) 및 드레인 영역(108d)은 각각 산소 결손을 형성하는 원소, 또는 산소 결손과 결합하는 원소를 가지면 바람직하다. 상기 산소 결손을 형성하는 원소, 또는 산소 결손과 결합하는 원소로서는 대표적으로 수소, 붕소, 탄소, 질소, 불소, 인, 황, 염소, 타이타늄, 희가스 등을 들 수 있다. 또한, 희가스 원소의 대표적인 예로서는, 헬륨, 네온, 아르곤, 크립톤, 및 제논 등이 있다. 상기 산소 결손을 형성하는 원소가 절연막(116) 내에 하나 또는 복수 포함되는 경우, 절연막(116)으로부터 소스 영역(108s), 및 드레인 영역(108d)으로 확산된다. 그리고/또는 상기 산소 결손을 형성하는 원소는 불순물 첨가 처리에 의하여 소스 영역(108s) 및 드레인 영역(108d) 내에 첨가된다.
- [0295] 불순물 원소가 산화물 반도체막에 첨가되면, 산화물 반도체막 내의 금속 원소와 산소의 결합이 절단되어 산소 결손이 형성된다. 또는, 불순물 원소가 산화물 반도체막에 첨가되면, 산화물 반도체막 내의 금속 원소와 결합하고 있던 산소가 불순물 원소와 결합하고, 금속 원소로부터 산소가 이탈되어 산소 결손이 형성된다. 이 결과, 산화물 반도체막에서 캐리어 밀도가 증가되어, 도전성이 높게 된다.
- [0296] 다음으로, 도 19의 (A), (B), (C)에 도시된 반도체 장치의 구성 요소의 자세한 사항에 대하여 설명한다.

- [0297] [기관]
- [0298] 기관(102)으로서 다양한 기관을 사용할 수 있고, 특정한 것에 한정되지 않는다. 기관(102)에 사용할 수 있는 재료로서 실시형태 1에 기재된 기관(401), 기관(452), 기관(652)과 같은 재료를 사용할 수 있다.
- [0299] [제 1 절연막]
- [0300] 절연막(104)은 스퍼터링법, CVD법, 증착법, 펄스 레이저 퇴적(PLD)법, 인쇄법, 도포법 등을 적절히 사용하여 형성할 수 있다. 또한, 절연막(104)은 예를 들어, 산화물 절연막 또는 질화물 절연막을 단층 또는 적층하여 형성할 수 있다. 또한, 산화물 반도체막(108)과의 계면 특성을 향상시키기 위하여, 절연막(104)에 있어서 적어도 산화물 반도체막(108)과 접촉하는 영역은 산화물 절연막으로 형성하는 것이 바람직하다. 또한, 절연막(104)으로서 가열에 의하여 산소를 방출하는 산화물 절연막을 사용함으로써, 가열 처리에 의하여 절연막(104)에 함유되는 산소를, 산화물 반도체막(108)으로 이동시킬 수 있다.
- [0301] 절연막(104)의 두께는, 50nm 이상, 또는 100nm 이상 3000nm 이하, 또는 200nm 이상 1000nm 이하로 할 수 있다. 절연막(104)을 두껍게 함으로써, 절연막(104)의 산소 방출량을 증가시킬 수 있음과 동시에, 절연막(104)과 산화물 반도체막(108)과의 계면에서의 계면 준위, 및 산화물 반도체막(108)의 채널 영역(108i)에 포함되는 산소 결손을 저감할 수 있다.
- [0302] 절연막(104)으로서, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn 산화물 등을 사용하면 좋고, 단층 또는 적층으로 형성할 수 있다. 본 실시형태에서는 절연막(104)으로서 질화 실리콘막과, 산화질화 실리콘막의 적층 구조를 사용한다. 이와 같이, 절연막(104)을 적층 구조로 하고, 하층 측에 질화 실리콘막을 사용하고, 상층 측에 산화질화 실리콘막을 사용함으로써 산화물 반도체막(108) 내에 효율적으로 산소를 도입할 수 있다.
- [0303] [산화물 반도체막]
- [0304] 산화물 반도체막(108)으로서 실시형태 1에 기재된 산화물 반도체막(409a), 산화물 반도체막(409b), 산화물 반도체막(409c)과 같은 재료를 사용할 수 있다.
- [0305] [제 2 절연막]
- [0306] 절연막(110)은 트랜지스터(100)의 게이트 절연막으로서 기능한다. 또한, 절연막(110)은 산화물 반도체막(108), 특히 채널 영역(108i)에 산소를 공급하는 기능을 갖는다. 예를 들어, 절연막(110)은 산화물 절연막 또는 질화물 절연막을 단층 또는 적층하여 형성할 수 있다. 또한, 산화물 반도체막(108)과의 계면 특성을 향상시키기 위하여, 절연막(110)에 있어서 산화물 반도체막(108)과 접촉하는 영역은 적어도 산화물 절연막을 사용하여 형성하는 것이 바람직하다. 절연막(110)으로서 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘 등을 사용하면 좋다.
- [0307] 또는, 절연막(110)의 두께는 5nm 이상 400nm 이하, 또는 5nm 이상 300nm 이하, 또는 10nm 이상 250nm 이하로 할 수 있다.
- [0308] 또한, 절연막(110)은 결함이 적은 것이 바람직하고, 대표적으로는 전자 스핀 공명법(ESR: Electron Spin Resonance)으로 관찰되는 신호가 적은 것이 바람직하다. 예를 들어, 상술한 신호로서는 g값이 2.001에 관찰되는 E'센터에 기인하는 신호를 들 수 있다. 또한, E'센터는 실리콘의 탕글링 본드에 기인한다. 절연막(110)으로서 E'센터에 기인하는 스핀 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘막, 또는 산화질화 실리콘막을 사용하면 좋다.
- [0309] 또한, 절연막(110)에는 상술한 신호 이외의 이산화질소(NO₂)에 기인하는 신호가 관찰되는 경우가 있다. 상기 신호는 N의 핵 스핀에 의하여 3개의 신호로 분열되어 있으며, 각각의 g값이 2.037 이상 2.039 이하(제 1 신호로 함), g값이 2.001 이상 2.003 이하(제 2 신호로 함), 및 g값이 1.964 이상 1.966 이하(제 3 신호로 함)로 관찰된다.
- [0310] 예를 들어, 절연막(110)으로서 이산화질소(NO₂)에 기인하는 신호의 스핀 밀도가 1×10^{17} spins/cm³ 이상 1×10^{18} spins/cm³ 미만인 절연막을 사용하면 적합하다.
- [0311] 또한, 이산화질소(NO₂)를 포함하는 질소산화물(NO_x)은 절연막(110) 내에 준위를 형성한다. 상기 준위는 산화물

반도체막(108)의 에너지 갭 내에 위치한다. 그러므로, 질소산화물(NO_x)이 절연막(110) 및 산화물 반도체막(108)의 계면에 확산되면 상기 준위가 절연막(110) 측에서 전자를 트랩하는 경우가 있다. 이 결과, 트랩된 전자가 절연막(110) 및 산화물 반도체막(108) 계면 근방에 머물기 때문에 트랜지스터의 문턱 전압을 플러스 방향으로 시프트시킨다. 따라서, 절연막(110)으로서는 질소 산화물의 함유량이 적은 막을 사용하면 트랜지스터의 문턱 전압의 시프트를 저감할 수 있다.

[0312] 질소산화물(NO_x)의 방출량이 적은 절연막으로서는 예를 들어 산화질화 실리콘막을 사용할 수 있다. 상기 산화질화 실리콘막은 승온 탈리 가스 분석법(TDS: Thermal Desorption Spectroscopy)에 있어서 질소산화물(NO_x)의 방출량보다 암모니아의 방출량이 많은 막이고, 대표적으로 암모니아의 방출량이 $1 \times 10^{18} \text{ cm}^{-3}$ 이상 $5 \times 10^{19} \text{ cm}^{-3}$ 이하이다. 또한, 상기 암모니아의 방출량은 TDS에서의 가열 처리의 온도가 50°C 이상 650°C 이하, 또는 50°C 이상 550°C 이하의 범위에서의 총량이다.

[0313] 질소산화물(NO_x)은 가열 처리에서 암모니아 및 산소와 반응하기 때문에 암모니아의 방출량이 많은 절연막을 사용함으로써 질소산화물(NO_x)이 저감된다.

[0314] 또한, 절연막(110)을 SIMS로 분석한 경우, 막 내의 질소 농도가 $6 \times 10^{20} \text{ atoms/cm}^3$ 이하인 것이 바람직하다.

[0315] 또한, 절연막(110)으로서 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄 알루미늄이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 하프늄 등의 high-k 재료를 사용하여도 좋다. 상기 high-k 재료를 사용함으로써 트랜지스터의 게이트 누설을 저감할 수 있다.

[0316] [제 3 절연막]

[0317] 절연막(116)은 질소 또는 수소를 갖는다. 또한, 절연막(116)은 불소를 가져도 좋다. 절연막(116)으로서 예를 들어 질화물 절연막을 들 수 있다. 상기 질화물 절연막으로서는 질화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 질화불화 실리콘, 불화질화 실리콘 등을 사용하여 형성할 수 있다. 절연막(116)에 포함되는 수소 농도는 $1 \times 10^{22} \text{ atoms/cm}^3$ 이상이면 바람직하다. 또한, 절연막(116)은 산화물 반도체막(108)의 소스 영역(108s), 및 드레인 영역(108d)과 접촉한다. 따라서, 절연막(116)과 접촉하는 소스 영역(108s), 및 드레인 영역(108d) 내의 불순물(질소 또는 수소) 농도가 높아져 소스 영역(108s), 및 드레인 영역(108d)의 캐리어 밀도를 높일 수 있다.

[0318] [제 4 절연막]

[0319] 절연막(118)으로서 산화물 절연막을 사용할 수 있다. 또한, 절연막(118)으로서 산화물 절연막과 질화물 절연막의 적층막을 사용할 수 있다. 절연막(118)으로서 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn 산화물 등을 사용하면 좋다.

[0320] 또한, 절연막(118)으로서 외부로부터의 수소, 물 등의 배리어막으로서 기능하는 막인 것이 바람직하다.

[0321] 절연막(118)의 두께는 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하로 할 수 있다.

[0322] [도전막]

[0323] 도전막(112), 도전막(120a), 도전막(120b)은 스퍼터링법, 진공 증착법, 펄스 레이저 퇴적(PLD)법, 열 CVD법 등을 사용하여 형성할 수 있다. 또한, 도전막(112), 도전막(120a), 도전막(120b)으로서 실시형태 1에 기재된 도전막(402), 도전막(403a), 도전막(403b), 도전막(403c), 도전막(405a), 도전막(405b), 도전막(405c), 도전막(405d), 도전막(407a), 도전막(407b), 도전막(407c), 도전막(407d), 도전막(407e), 도전막(414a), 도전막(414b), 도전막(414c), 도전막(414d), 도전막(414e), 도전막(414f), 도전막(414g), 도전막(414h), 도전막(417), 도전막(420), 도전막(608), 산화물 반도체(411a), 산화물 반도체(411b), 산화물 반도체(411c)와 같은 재료를 사용할 수 있다.

[0324] 또한, 도전막(112), 도전막(120a), 도전막(120b)은 ITO, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, ITSO 등의 투광성을 갖는 도전성 재료를 적용할 수 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상기 금속 원소의 적층 구조로 할 수도 있다.

[0325] 또한, 도전막(112)으로서 In-Ga-Zn 산화물로 대표되는 산화물 반도체를 사용하여도 좋다. 상기 산화물 반도체

는 절연막(116)으로부터 질소 또는 수소가 공급됨으로써 캐리어 밀도가 높아진다. 바꿔 말하면, 산화물 반도체는 산화물 도전체(OC: Oxide Conductor)로서 기능한다. 따라서, 산화물 반도체는 게이트 전극으로서 사용할 수 있다.

[0326] 예를 들어, 도전막(112)으로서는 산화물 도전체(OC)의 단층 구조, 금속막의 단층 구조, 또는 산화물 도전체(OC)와 금속막의 적층 구조 등을 들 수 있다.

[0327] 또한, 도전막(112)으로서 차광성을 갖는 금속막의 단층 구조, 또는 산화물 도전체(OC)와 차광층을 갖는 금속막의 적층 구조를 사용하는 경우, 도전막(112)의 아래쪽에 형성되는 채널 영역(108i)을 차광할 수 있기 때문에 적합하다. 또한, 도전막(112)으로서 산화물 반도체 또는 산화물 도전체(OC)와 차광성을 갖는 금속막의 적층 구조를 사용하는 경우, 산화물 반도체 또는 산화물 도전체(OC) 위에 금속막(예를 들어 타이타늄막, 텅스텐막 등)을 형성함으로써 금속막 내의 구성 원소가 산화물 반도체 또는 산화물 도전체(OC) 측에 확산되어 저저항화되거나, 금속막을 형성할 때의 대미지(예를 들어 스피터링 대미지 등)에 의하여 저저항화되거나, 또는 금속막 내에 산화물 반도체 또는 산화물 도전체(OC) 내의 산소가 확산됨으로써 산소 결손이 형성되어 저저항화된다.

[0328] 도전막(112), 도전막(120a), 도전막(120b)의 두께는 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하로 할 수 있다.

[0329] <2-2. 트랜지스터의 구성예 2>

[0330] 다음에, 도 19의 (A), (B), (C)에 도시된 트랜지스터와 상이한 구성에 대하여 도 20의 (A), (B), (C)를 참조하여 설명한다.

[0331] 도 20의 (A)는 트랜지스터(100A)의 상면도이고, 도 20의 (B)는 도 20의 (A)의 일점쇄선 X1-X2간의 단면도이고, 도 20의 (C)는 도 20의 (A)의 일점쇄선 Y1-Y2간의 단면도이다.

[0332] 도 20의 (A), (B), (C)에 도시된 트랜지스터(100A)는 기판(102) 위의 도전막(106)과, 도전막(106) 위의 절연막(104)과, 절연막(104) 위의 산화물 반도체막(108)과, 산화물 반도체막(108) 위의 절연막(110)과, 절연막(110) 위의 도전막(112)과, 절연막(104), 산화물 반도체막(108), 및 도전막(112) 위의 절연막(116)을 갖는다. 또한, 산화물 반도체막(108)은 도전막(112)과 중첩되는 채널 영역(108i)과, 절연막(116)과 접촉하는 소스 영역(108s)과, 절연막(116)과 접촉하는 드레인 영역(108d)을 갖는다.

[0333] 트랜지스터(100A)는 상술한 트랜지스터(100)의 구성에 더하여 도전막(106)과, 개구부(143)를 갖는다.

[0334] 또한, 개구부(143)는 절연막(104), 절연막(110)에 제공된다. 또한, 도전막(106)은 개구부(143)를 통하여 도전막(112)과 전기적으로 접속된다. 따라서, 도전막(106)과 도전막(112)에는 같은 전위가 공급된다. 또한, 개구부(143)를 제공하지 않고, 도전막(106)과, 도전막(112)에 상이한 전위를 공급하여도 좋다. 또는, 개구부(143)를 제공하지 않고, 도전막(106)을 차광막으로서 사용하여도 좋다. 예를 들어, 도전막(106)을 차광성의 재료로 형성함으로써 채널 영역(108i)에 조사되는 아래쪽으로부터의 광을 억제할 수 있다.

[0335] 또한, 트랜지스터(100A)의 구성으로 하는 경우, 도전막(106)은 제 1 게이트 전극(보통 게이트 전극이라고도 함)으로서의 기능을 갖고, 도전막(112)은 제 2 게이트 전극(툽 게이트 전극이라고도 함)으로서의 기능을 갖는다. 또한, 절연막(104)은 제 1 게이트 절연막으로서의 기능을 갖고, 절연막(110)은 제 2 게이트 절연막으로서의 기능을 갖는다.

[0336] 도전막(106)으로서는 상술한 도전막(112), 도전막(120a), 도전막(120b)과 같은 재료를 사용할 수 있다. 특히, 도전막(106)으로서 구리를 포함하는 재료로 형성함으로써 저항을 낮게 할 수 있기 때문에 적합하다. 예를 들어, 도전막(106)을 질화 타이타늄막, 질화 탄탈럼막, 또는 텅스텐막 위에 구리막을 제공하는 적층 구조로 하고, 도전막(120a), 도전막(120b)을 질화 타이타늄막, 질화 탄탈럼막, 또는 텅스텐막 위에 구리막을 제공하는 적층 구조로 하면 적합하다. 이 경우, 트랜지스터(100A)를 표시 장치의 화소 트랜지스터 및 구동 트랜지스터 중 어느 한쪽 또는 양쪽에 사용함으로써 도전막(106)과 도전막(120a) 사이에 생기는 기생 용량, 및 도전막(106)과 도전막(120b) 사이에 생기는 기생 용량을 낮게 할 수 있다. 따라서, 도전막(106), 도전막(120a), 및 도전막(120b)을 트랜지스터(100A)의 제 1 게이트 전극, 소스 전극, 및 드레인 전극으로서 사용할 뿐만 아니라 표시 장치의 전원 공급용 배선, 신호 공급용 배선, 또는 접속용 배선 등에 사용할 수도 있다.

[0337] 이와 같이, 도 20의 (A), (B), (C)에 도시된 트랜지스터(100A)는 상술한 트랜지스터(100)와 달리, 산화물 반도체막(108)의 상하에 게이트 전극으로서 기능하는 도전막을 갖는 구조이다. 트랜지스터(100A)가 나타낸 바와 같

이, 본 발명의 일 형태에 따른 반도체 장치에는 복수의 게이트 전극을 제공하여도 좋다.

- [0338] 또한, 도 20의 (C)에 도시된 바와 같이, 산화물 반도체막(108)은 제 1 게이트 전극으로서 기능하는 도전막(106)과, 제 2 게이트 전극으로서 기능하는 도전막(112)의 각각과 대향하도록 위치하고, 2 개의 게이트 전극으로서 기능하는 도전막에 끼워져 있다.
- [0339] 또한, 도전막(112)의 채널 폭 방향의 길이는 산화물 반도체막(108)의 채널 폭 방향의 길이보다 길고, 산화물 반도체막(108)의 채널 폭 방향 전체는 절연막(110)을 개재하여 도전막(112)에 덮여 있다. 또한, 도전막(112)과 도전막(106)은 절연막(104), 및 절연막(110)에 제공되는 개구부(143)에서 접촉되기 때문에 산화물 반도체막(108)의 채널 폭 방향의 측면 중 한쪽은 절연막(110)을 개재하여 도전막(112)과 대향한다.
- [0340] 바꿔 말하면, 트랜지스터(100A)의 채널 폭 방향에서 도전막(106) 및 도전막(112)은 절연막(104) 및 절연막(110)에 제공되는 개구부(143)에서 접촉됨과 동시에 절연막(104) 및 절연막(110)을 개재하여 산화물 반도체막(108)을 둘러싸는 구성이다.
- [0341] 이와 같은 구성을 가짐으로써, 제 1 게이트 전극으로서 기능하는 도전막(106) 및 제 2 게이트 전극으로서 기능하는 도전막(112)의 전계에 의하여, 트랜지스터(100A)에 포함되는 산화물 반도체막(108)을 전기적으로 둘러쌀 수 있다. 트랜지스터(100A)와 같이, 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의하여, 채널 영역이 형성되는 산화물 반도체막(108)을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 Surrounded channel(S-channel) 구조라고 칭할 수 있다.
- [0342] 트랜지스터(100A)는 S-channel 구조를 갖기 때문에, 도전막(106) 또는 도전막(112)에 의하여 채널을 유발시키기 위한 전계를 효과적으로 산화물 반도체막(108)에 인가할 수 있기 때문에, 트랜지스터(100A)의 전류 구동 능력이 향상되어, 높은 온 전류 특성을 얻을 수 있다. 또한, 온 전류를 높게 할 수 있기 때문에, 트랜지스터(100A)를 미세화할 수 있게 된다. 또한, 트랜지스터(100A)는, 산화물 반도체막(108)이 도전막(106) 및 도전막(112)에 의하여 둘러싸인 구조를 갖기 때문에, 트랜지스터(100A)의 기계적 강도를 높일 수 있다.
- [0343] 또한, 트랜지스터(100A)의 채널 폭 방향에 있어서, 산화물 반도체막(108)의 개구부(143)가 형성되어 있지 않은 측에, 개구부(143)와 다른 개구부를 형성하여도 좋다.
- [0344] 또한, 트랜지스터(100A)에 나타난 바와 같이, 트랜지스터가 반도체막을 사이에 두고 존재하는 한 쌍의 게이트 전극을 갖는 경우, 한쪽 게이트 전극에는 신호 A가, 다른 쪽 게이트 전극에는 고정 전위(Vb)가 공급되어도 좋다. 또한, 한쪽 게이트 전극에는 신호(A)가 공급되고, 다른 쪽 게이트 전극에는 신호(B)가 공급되어도 좋다. 또한, 한쪽 게이트 전극에는 고정 전위(Va)가 공급되고, 다른 쪽 게이트 전극에는 고정 전위(Vb)가 공급되어도 좋다.
- [0345] 신호(A)는 예를 들어, 도통 상태 또는 비도통 상태를 제어하기 위한 신호이다. 신호(A)는 전위가 전위(V1) 또는 전위(V2)(V1>V2로 함)의 2종류로 되는 디지털 신호라도 좋다. 예를 들어, 전위(V1)를 고전원 전위로 하고, 전위(V2)를 저전원 전위로 할 수 있다. 신호(A)는 아날로그 신호라도 좋다.
- [0346] 고정 전위(Vb)는, 예를 들어, 트랜지스터의 문턱 전압(VthA)을 제어하기 위한 전위이다. 고정 전위(Vb)는 전위(V1) 또는 전위(V2)이라도 좋다. 이 경우, 고정 전위(Vb)를 생성하기 위한 전위 발생 회로를 별도로 제공할 필요가 없어 바람직하다. 고정 전위(Vb)는 전위(V1) 또는 전위(V2)와 다른 전위이라도 좋다. 고정 전위(Vb)를 낮게 함으로써, 문턱 전압(VthA)을 높일 수 있는 경우가 있다. 그 결과, 게이트-소스간의 전압(Vgs)이 0V일 때의 드레인 전류를 저감하여, 트랜지스터를 갖는 회로의 누설 전류를 저감할 수 있는 경우가 있다. 예를 들어, 고정 전위(Vb)를 저전원 전위보다 낮게 하여도 좋다. 한편으로, 고정 전위(Vb)를 높게 함으로써, 문턱 전압(VthA)을 낮게 할 수 있는 경우가 있다. 이로써, 게이트-소스간의 전압(Vgs)이 고전원 전위일 때의 드레인 전류를 향상시켜 트랜지스터를 갖는 회로의 동작 속도를 향상시킬 수 있는 경우가 있다. 예를 들어, 고정 전위(Vb)를 저전원 전위보다 높게 하여도 좋다.
- [0347] 신호(B)는 예를 들어, 도통 상태 또는 비도통 상태를 제어하기 위한 신호이다. 신호(B)는 전위가 전위(V3) 또는 전위(V4)(V3>V4로 함)의 2종류로 되는 디지털 신호라도 좋다. 예를 들어, 전위(V3)를 고전원 전위로 하고, 전위(V4)를 저전원 전위로 할 수 있다. 신호(B)는 아날로그 신호라도 좋다.
- [0348] 신호(A)와 신호(B)가 둘 다 디지털 신호인 경우, 신호(B)는 신호(A)와 같은 디지털 값을 갖는 신호라도 좋다. 이 경우, 트랜지스터의 온 전류를 향상시키고 트랜지스터를 갖는 회로의 동작 속도를 향상시킬 수 있는 경우가 있다. 이때, 신호(A)의 전위(V1) 및 전위(V2)는 신호(B)의 전위(V3) 및 전위(V4)와 달라도 좋다. 예를 들어,

신호(B)가 입력되는 게이트에 대응하는 게이트 절연막이 신호(A)가 입력되는 게이트에 대응하는 게이트 절연막보다 두꺼운 경우, 신호(B)의 전위 진폭(V3-V4)을 신호(A)의 전위 진폭(V1-V2)보다 크게 하여도 좋다. 이로써, 트랜지스터의 도통 상태 또는 비도통 상태에 대하여 신호(A)가 미치는 영향과 신호(B)가 미치는 영향을 같은 정도로 할 수 있는 경우가 있다.

- [0349] 신호(A)와 신호(B)가 둘 다 디지털 신호인 경우, 신호(B)는 신호(A)와 다른 디지털 값을 갖는 신호라도 좋다. 이 경우, 신호(A)와 신호(B)에 의하여 따로따로 트랜지스터를 제어할 수 있어, 더 높은 기능을 구현할 수 있는 경우가 있다. 예를 들어, 트랜지스터가 n채널형인 경우, 신호(A)가 전위(V1)이고 신호(B)가 전위(V3)일 때만 도통 상태가 되는 경우나, 신호(A)가 전위(V2)이고 신호(B)가 전위(V4)일 때만 비도통 상태가 되는 경우에는 하나의 트랜지스터로 NAND 회로나 NOR 회로 등의 기능을 구현할 수 있는 경우가 있다. 또한, 신호(B)는 문턱 전압(V_{thA})을 제어하기 위한 신호라도 좋다. 예를 들어, 신호(B)는 트랜지스터를 갖는 회로가 동작하는 기간과, 이 회로가 동작하지 않는 기간에 따라 전위가 다른 신호라도 좋다. 신호(B)는 회로의 동작 모드에 따라 다른 전위가 되는 신호라도 좋다. 이 경우, 신호(B)는 신호(A)만큼 빈번하게 전위가 전환되지 않는 경우가 있다.
- [0350] 신호(A)와 신호(B)가 둘 다 아날로그 신호인 경우, 신호(B)는 신호(A)와 같은 전위의 아날로그 신호, 신호(A)의 전위를 상수배한 아날로그 신호, 또는 신호(A)의 전위를 상수만큼 가산 또는 감산한 아날로그 신호 등이라도 좋다. 이 경우, 트랜지스터의 온 전류가 향상되고 트랜지스터를 갖는 회로의 동작 속도를 향상시킬 수 있는 경우가 있다. 신호(B)는 신호(A)와 다른 아날로그 신호라도 좋다. 이 경우, 신호(A)와 신호(B)에 의하여 따로따로 트랜지스터를 제어할 수 있어, 더 높은 기능을 구현할 수 있는 경우가 있다.
- [0351] 신호(A)가 디지털 신호이고, 신호(B)가 아날로그 신호라도 좋다. 또는 신호(A)가 아날로그 신호이고, 신호(B)가 디지털 신호라도 좋다.
- [0352] 트랜지스터의 양쪽 게이트 전극에 고정 전위를 공급할 때, 트랜지스터를 저항 소자와 동등한 소자로서 기능시킬 수 있는 경우가 있다. 예를 들어, 트랜지스터가 n채널형 트랜지스터인 경우, 고정 전위(V_a) 또는 고정 전위(V_b)를 높게(낮게)함으로써, 트랜지스터의 실효 저항을 낮게(높게) 할 수 있는 경우가 있다. 고정 전위(V_a) 및 고정 전위(V_b)를 둘 다 높게(낮게) 함으로써, 게이트를 하나만 갖는 트랜지스터에 의하여 얻어지는 실효 저항보다 낮은(높은) 실효 저항이 얻어지는 경우가 있다.
- [0353] 또한, 트랜지스터(100A)의 그 외의 구성은 앞서 설명한 트랜지스터(100)와 같고, 같은 효과를 나타낸다.
- [0354] <2-3. 트랜지스터의 구성예 3>
- [0355] 다음에 도 20의 (A), (B), (C)에 도시된 트랜지스터와 상이한 구성에 대하여 도 21~도 24를 참조하여 설명한다.
- [0356] 도 21의 (A), (B)는 트랜지스터(100B)의 단면도이고, 도 22의 (A), (B)는 트랜지스터(100C)의 단면도이고, 도 23의 (A), (B)는 트랜지스터(100D)의 단면도이고, 도 24의 (A), (B)는 트랜지스터(100E)의 단면도이다. 또한, 트랜지스터(100B), 트랜지스터(100C), 트랜지스터(100D), 및 트랜지스터(100E)의 상면도는 도 20의 (A)에 도시된 트랜지스터(100A)와 같기 때문에 여기서의 설명은 생략한다.
- [0357] 도 21의 (A), (B)에 도시된 트랜지스터(100B)는 절연막(110) 및 도전막(112)의 형상이 상술한 트랜지스터(100A)와 상이하다. 구체적으로는 트랜지스터의 채널 길이(L) 방향의 단면에서 트랜지스터(100A)는 절연막(110) 및 도전막(112)의 형상이 직사각형이고, 트랜지스터(100B)는 절연막(110) 및 도전막(112)의 형상이 테이퍼 형상이다. 더 자세히 말하면 트랜지스터(100A)는 트랜지스터의 채널 길이(L) 방향의 단면에서 도전막(112)의 상단부와 절연막(110)의 하단부가 실질적으로 같은 위치에 형성된다. 한편, 트랜지스터(100B)는 트랜지스터의 채널 길이(L) 방향의 단면에서 도전막(112)의 상단부가 절연막(110)의 하단부보다 내측에 형성된다. 바꿔 말하면, 절연막(110)의 측단부는 도전막(112)의 측단부보다 외측에 위치한다.
- [0358] 트랜지스터(100A)는 도전막(112)과 절연막(110)을 같은 마스크로 가공하고, 드라이 에칭법을 이용하여 일괄하여 가공함으로써 형성할 수 있다. 트랜지스터(100B)는 도전막(112)과 절연막(110)을 같은 마스크로 가공하고, 웨트 에칭법 및 드라이 에칭법을 조합하여 가공함으로써 형성할 수 있다.
- [0359] 트랜지스터(100A)와 같은 구성으로 함으로써 소스 영역(108s) 및 드레인 영역(108d)과 도전막(112)의 단부가 실질적으로 같은 위치에 형성되기 때문에 바람직하다. 한편으로, 트랜지스터(100B)와 같은 구성으로 함으로써 절연막(116)의 피복성이 향상되기 때문에 바람직하다.
- [0360] 도 22의 (A), (B)에 도시된 트랜지스터(100C)는 위에서 나타난 트랜지스터(100A)와 비교하여 도전막(112) 및 절연막(110)의 형상이 상이하다. 구체적으로는 트랜지스터(100C)는 트랜지스터의 채널 길이(L) 방향의 단면에서

도전막(112)의 하단부와 절연막(110)의 상단부와의 위치가 상이하다. 도전막(112)의 하단부는 절연막(110)의 상단부보다 내측으로 형성된다.

- [0361] 예를 들어, 도전막(112)과 절연막(110)을 같은 마스크로 가공하고, 도전막(112)을 웨트 에칭법으로, 절연막(110)을 드라이 에칭법으로 각각 가공함으로써 트랜지스터(100C)의 구조로 할 수 있다.
- [0362] 또한, 트랜지스터(100C)의 구조로 함으로써 산화물 반도체막(108) 내에 영역(108f)이 형성될 경우가 있다. 영역(108f)은 채널 영역(108i)과 소스 영역(108s) 사이, 및 채널 영역(108i)과 드레인 영역(108d) 사이에 형성된다.
- [0363] 영역(108f)은 고저항 영역 또는 저저항 영역 중 한쪽으로서 기능한다. 고저항 영역이란 채널 영역(108i)과 같은 저항을 갖고, 게이트 전극으로서 기능하는 도전막(112)이 중첩되지 않는 영역이다. 영역(108f)이 고저항 영역인 경우, 영역(108f)은 소위 오프셋 영역으로서 기능한다. 영역(108f)이 오프셋 영역으로서 기능하는 경우에는 트랜지스터(100C)의 온 전류의 저하를 억제하기 위하여 채널 길이(L) 방향의 단면에서 영역(108f)을 1 μ m 이하로 하면 좋다.
- [0364] 또한, 저저항 영역이란 채널 영역(108i)보다 저항이 낮고, 또한, 소스 영역(108s) 및 드레인 영역(108d)보다 저항이 높은 영역이다. 영역(108f)이 저저항 영역인 경우, 영역(108f)은 소위 LDD(Lightly Doped Drain) 영역으로서 기능한다. 영역(108f)이 LDD 영역으로서 기능하는 경우에는 드레인 영역의 전계 완화가 가능해지기 때문에 드레인 영역의 전계에 기인한 트랜지스터의 문턱 전압의 변동을 저감할 수 있다.
- [0365] 또한, 영역(108f)을 LDD 영역으로 하는 경우에는 예를 들어 절연막(116)으로부터 영역(108f)에 질소 또는 수소를 공급하거나 도전막(112) 및 절연막(110)을 마스크로서 도전막(112) 및 절연막(110)의 위쪽으로부터 불순물 원소를 첨가함으로써 상기 불순물 원소가 절연막(110)을 통하여 산화물 반도체막(108)에 첨가됨으로써 형성할 수 있다.
- [0366] 도 23의 (A), (B)에 도시된 트랜지스터(100D)는 상술한 트랜지스터(100A)와 비교하여 도전막(112) 및 절연막(110)의 형상이 상이하다. 구체적으로는 트랜지스터(100D)는 트랜지스터의 채널 길이(L) 방향의 단면에서 도전막(112)의 하단부와 절연막(110)의 상단부의 위치가 상이하다. 구체적으로는 도전막(112)의 하단부는 절연막(110)의 상단부보다 외측에 형성된다.
- [0367] 예를 들어, 도전막(112)과 절연막(110)을 같은 마스크로 가공하고, 도전막(112)을 드라이 에칭법으로, 절연막(110)을 웨트 에칭법으로 각각 가공함으로써 트랜지스터(100D)의 구조로 할 수 있다.
- [0368] 또한, 트랜지스터(100D)의 구조로 함으로써 게이트 전극으로서 기능하는 도전막(112)보다 내측에 소스 영역(108s) 및 드레인 영역(108d)의 일부가 제공된다. 또한, 도전막(112)과 소스 영역(108s)이 중첩되는 영역, 및 도전막(112)과 드레인 영역(108d)이 중첩되는 영역은 소위 오버 랩 영역(Lov 영역이라고도 함)으로서 기능한다. 또한, Lov 영역이란 게이트 전극으로서 기능하는 도전막(112)과 중첩되고, 또한, 채널 영역(108i)보다 저항이 낮은 영역이다. Lov 영역을 갖는 구조로 함으로써 채널 영역(108i)과 소스 영역(108s) 및 드레인 영역(108d) 사이에 고저항 영역이 형성되지 않기 때문에 트랜지스터의 온 전류를 높일 수 있다.
- [0369] 도 24의 (A), (B)에 도시된 트랜지스터(100E)는 상술한 트랜지스터(100A)와 비교하여 절연막(118) 위에 평탄화막으로서 기능하는 절연막(122)이 제공되어 있는 점이 다르다. 그 외의 구성에 대해서는 상술한 트랜지스터(100A)와 같은 구성이고, 같은 효과를 나타낸다.
- [0370] 절연막(122)은 트랜지스터 등에 기인하는 요철 등을 평탄화시키는 기능을 갖는다. 절연막(122)으로서는, 절연성이면 좋고, 무기 재료 또는 유기 재료를 사용하여 형성된다. 이 무기 재료로서는, 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 질화 알루미늄막 등을 들 수 있다. 이 유기 재료로서는, 예를 들어, 아크릴 수지, 또는 폴리에미드 수지 등의 감광성의 수지 재료를 들 수 있다.
- [0371] 또한, 도 24의 (A), (B)에서는 절연막(122)이 갖는 개구부의 형상은 개구부(141a), 개구부(141b)보다 큰 형상으로 하였지만 이에 한정되지 않고, 예를 들어, 개구부(141a), 개구부(141b)와 같은 형상, 또는 개구부(141a), 개구부(141b)보다 작은 형상으로 하여도 좋다.
- [0372] 또한, 도 24의 (A), (B)에서는 절연막(122) 위에 도전막(120a), 도전막(120b)을 제공하는 구성에 대하여 예시하였지만 이에 한정되지 않고 예를 들어 절연막(118) 위에 도전막(120a), 도전막(120b)을 제공하고 도전막(120a), 도전막(120b) 위에 절연막(122)을 제공하는 구성으로 하여도 좋다.

- [0373] <2-4. 트랜지스터의 구성에 4>
- [0374] 다음으로, 도 20의 (A), (B), (C)에 도시된 트랜지스터와 상이한 구성에 대하여 도 25~도 30을 참조하여 설명한다.
- [0375] 도 25의 (A), (B)는 트랜지스터(100F)의 단면도이고, 도 26의 (A), (B)는 트랜지스터(100G)의 단면도이고, 도 27의 (A), (B)는 트랜지스터(100H)의 단면도이고, 도 28의 (A), (B)는 트랜지스터(100J)의 단면도이고, 도 29의 (A), (B)는 트랜지스터(100K)의 단면도이다. 또한, 트랜지스터(100F), 트랜지스터(100G), 트랜지스터(100H), 트랜지스터(100J), 및 트랜지스터(100K)의 상면도는 도 20의 (A)에 도시된 트랜지스터(100A)와 같기 때문에 여기서의 설명은 생략한다.
- [0376] 트랜지스터(100F), 트랜지스터(100G), 트랜지스터(100H), 트랜지스터(100J), 및 트랜지스터(100K)는 상술한 트랜지스터(100A)와 산화물 반도체막(108)의 구조가 상이하다. 그 외의 구성에 대해서는 상술한 트랜지스터(100A)와 같은 구성이고, 같은 효과를 나타낸다.
- [0377] 도 25의 (A), (B)에 도시된 트랜지스터(100F)가 갖는 산화물 반도체막(108)은 절연막(104) 위의 산화물 반도체막(108_1)과, 산화물 반도체막(108_1) 위의 산화물 반도체막(108_2)과, 산화물 반도체막(108_2) 위의 산화물 반도체막(108_3)을 갖는다. 또한, 채널 영역(108i), 소스 영역(108s), 및 드레인 영역(108d)은 각각 산화물 반도체막(108_1), 산화물 반도체막(108_2), 및 산화물 반도체막(108_3)의 3층의 적층 구조이다.
- [0378] 도 26의 (A), (B)에 도시된 트랜지스터(100G)가 갖는 산화물 반도체막(108)은 절연막(104) 위의 산화물 반도체막(108_2)과, 산화물 반도체막(108_2) 위의 산화물 반도체막(108_3)을 갖는다. 또한, 채널 영역(108i), 소스 영역(108s) 및 드레인 영역(108d)은 각각 산화물 반도체막(108_2), 및 산화물 반도체막(108_3)의 2층의 적층 구조이다.
- [0379] 도 27의 (A), (B)에 도시된 트랜지스터(100H)가 갖는 산화물 반도체막(108)은 절연막(104) 위의 산화물 반도체막(108_1)과, 산화물 반도체막(108_1) 위의 산화물 반도체막(108_2)을 갖는다. 또한, 채널 영역(108i), 소스 영역(108s), 및 드레인 영역(108d)은 각각 산화물 반도체막(108_1), 산화물 반도체막(108_2)의 2층의 적층 구조이다.
- [0380] 도 28의 (A), (B)에 도시된 트랜지스터(100J)가 갖는 산화물 반도체막(108)은 절연막(104) 위의 산화물 반도체막(108_1)과, 산화물 반도체막(108_1) 위의 산화물 반도체막(108_2)과, 산화물 반도체막(108_2) 위의 산화물 반도체막(108_3)을 갖는다. 또한, 채널 영역(108i)은 산화물 반도체막(108_1), 산화물 반도체막(108_2), 산화물 반도체막(108_3)의 3층의 적층 구조이고, 소스 영역(108s) 및 드레인 영역(108d)은 각각 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)의 2층의 적층 구조이다. 또한, 트랜지스터(100J)의 채널 폭(W) 방향의 단면에서 산화물 반도체막(108_3)이 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)의 측면을 덮는다.
- [0381] 도 29의 (A), (B)에 도시된 트랜지스터(100K)가 갖는 산화물 반도체막(108)은 절연막(104) 위의 산화물 반도체막(108_2)과, 산화물 반도체막(108_2) 위의 산화물 반도체막(108_3)을 갖는다. 또한, 채널 영역(108i)은 산화물 반도체막(108_2), 산화물 반도체막(108_3)의 2층의 적층 구조이고, 소스 영역(108s) 및 드레인 영역(108d)은 각각 산화물 반도체막(108_2)의 단층 구조이다. 또한, 트랜지스터(100K)의 채널 폭(W) 방향의 단면에서 산화물 반도체막(108_3)이 산화물 반도체막(108_2)의 측면을 덮는다.
- [0382] 채널 영역(108i)의 채널 폭(W) 방향의 측면 또는 그 근방에서는 가공에 의한 대미지로 인한 결함(예를 들어 산소 결손)이 형성되기 쉽거나 또는 불순물의 부착에 의하여 오염되기 쉽다. 그러므로, 채널 영역(108i)이 실질적으로 진성이라도 전계 등의 스트레스가 인가됨으로써 채널 영역(108i)의 채널 폭(W) 방향의 측면 또는 그 근방이 활성화되어 저저항(n형) 영역이 되기 쉽다. 또한, 채널 영역(108i)의 채널 폭(W) 방향의 측면 또는 그 근방이 n형 영역인 경우, 이 n형 영역이 캐리어의 경로가 되기 때문에 기생 채널이 형성되는 경우가 있다.
- [0383] 그래서, 트랜지스터(100J) 및 트랜지스터(100K)에서는 채널 영역(108i)을 적층 구조로 하여 채널 영역(108i)의 채널 폭(W) 방향의 측면을 적층 구조의 한쪽 층으로 덮는 구성으로 한다. 이 구성으로 함으로써 채널 영역(108i)의 측면 또는 그 근방의 결함을 억제하거나 또는 채널 영역(108i)의 측면 또는 그 근방으로 불순물이 부착되는 것을 저감할 수 있다.
- [0384] <2-5. 밴드 구조>
- [0385] 여기서, 절연막(104), 산화물 반도체막(108_1), 산화물 반도체막(108_2), 산화물 반도체막(108_3), 및 절연막(110)의 밴드 구조, 절연막(104), 산화물 반도체막(108_2), 산화물 반도체막(108_3), 및 절연막(110)의 밴드 구

조, 그리고, 절연막(104), 산화물 반도체막(108_1), 산화물 반도체막(108_2) 및 절연막(110)의 밴드 구조에 대하여 도 30의 (A), (B), (C)를 참조하여 설명한다. 또한, 도 30의 (A), (B), (C)는 채널 영역(108i)에서의 밴드 구조이다.

- [0386] 도 30의 (A)는, 절연막(104), 산화물 반도체막(108_1), 산화물 반도체막(108_2), 산화물 반도체막(108_3), 및 절연막(110)을 갖는 적층 구조의 막 두께 방향의 밴드 구조의 일례이다. 또한, 도 30의 (B)는 절연막(104), 산화물 반도체막(108_2), 산화물 반도체막(108_3), 및 절연막(110)을 갖는 적층 구조의 막 두께 방향의 밴드 구조의 일례이다. 또한, 도 30의 (C)는, 절연막(104), 산화물 반도체막(108_1), 산화물 반도체막(108_2), 및 절연막(110)을 갖는 적층 구조의 막 두께 방향의 밴드 구조의 일례이다. 또한, 밴드 구조는, 이해를 용이하게 하기 위하여, 절연막(104), 산화물 반도체막(108_1), 산화물 반도체막(108_2), 산화물 반도체막(108_3), 및 절연막(110)의 전도대의 하단의 에너지 준위(E_c)를 나타낸다.
- [0387] 또한, 도 30의 (A)는 절연막(104), 절연막(110)으로서 산화 실리콘막을 사용하고, 산화물 반도체막(108_1)으로서 금속 원소의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(108_2)으로서 금속 원소의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ 의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(108_3)으로서 금속 원소의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성의 밴드도이다.
- [0388] 또한, 도 30의 (B)는, 절연막(104), 절연막(110)으로서 산화 실리콘막을 사용하고, 산화물 반도체막(108_2)으로서 금속 원소의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ 의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(108_3)으로서 금속 원소의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성의 밴드도이다.
- [0389] 또한, 도 30의 (C)는 절연막(104), 절연막(110)으로서 산화 실리콘막을 사용하고, 산화물 반도체막(108_1)으로서 금속 원소의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(108_2)으로서 금속 원소의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ 의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성의 밴드도이다.
- [0390] 도 30의 (A)에 도시된 바와 같이, 산화물 반도체막(108_1), 산화물 반도체막(108_2), 산화물 반도체막(108_3)에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 도 30의 (B)에 도시된 바와 같이, 산화물 반도체막(108_2), 산화물 반도체막(108_3)에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 또한, 도 30의 (C)에 도시된 바와 같이, 산화물 반도체막(108_1), 산화물 반도체막(108_2)에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 바꿔 말하면, 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이러한 밴드 구조를 갖기 위해서는 산화물 반도체막(108_1)과 산화물 반도체막(108_2)의 계면, 또는 산화물 반도체막(108_2)과 산화물 반도체막(108_3)의 계면에서, 트랩 중심이나 재결합 중심과 같은 결함 준위를 형성하는 불순물이 존재하지 않는 것으로 한다.
- [0391] 산화물 반도체막(108_1), 산화물 반도체막(108_2), 산화물 반도체막(108_3)에 연속 접합을 형성하기 위해서는 로드 로크실을 구비한 멀티 체임버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기에 접촉시키지 않고 연속하여 적층하는 것이 필요하다.
- [0392] 도 30의 (A), (B), (C)에 도시된 구성으로 함으로써 산화물 반도체막(108_2)이 웰(우물)이 되어, 상기 적층 구조를 사용한 트랜지스터에 있어서, 채널 영역이 산화물 반도체막(108_2)에 형성되는 것을 알 수 있다.
- [0393] 또한, 산화물 반도체막(108_1) 및 산화물 반도체막(108_3)을 제공함으로써, 트랩 준위를 산화물 반도체막(108_2)으로부터 멀리할 수 있다.
- [0394] 또한, 트랩 준위가 채널 영역으로서 기능하는 산화물 반도체막(108_2)의 전도대 하단의 에너지 준위(E_c)보다 진공 준위로부터 멀어지게 되는 경우가 있어, 트랩 준위에 전자가 축적되기 쉬워진다. 트랩 준위에 전자가 축적됨으로써, 마이너스의 고정 전하가 되어, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트된다. 따라서, 트랩 준위가 산화물 반도체막(108_2)의 전도대 하단의 에너지 준위(E_c)보다 진공 준위에 가까워지는 구성으로 하는 것이 바람직하다. 이와 같이 함으로써, 트랩 준위에 전자가 축적하기 어려워져, 트랜지스터의 온 전류를 증대시킬 수 있음과 동시에, 전계 효과 이동도를 높일 수 있다.
- [0395] 또한, 산화물 반도체막(108_1), 산화물 반도체막(108_3)은, 산화물 반도체막(108_2)보다 전도대 하단의 에너지 준위가 진공 준위에 가깝고, 대표적으로는, 산화물 반도체막(108_2)의 전도대 하단의 에너지 준위와, 산화물 반도체막(108_1), 산화물 반도체막(108_3)의 전도대 하단의 에너지 준위와의 차가, 0.15eV 이상 또는 0.5eV 이상

이면서, 또한 2eV 이하 또는 1eV 이하이다. 즉, 산화물 반도체막(108_1), 산화물 반도체막(108_3)의 전자 친화력과 산화물 반도체막(108_2)의 전자 친화력과의 차가 0.15eV 이상, 또는 0.5eV 이상이고, 2eV 이하, 또는 1eV 이하이다.

[0396] 이러한 구성을 가짐으로써, 산화물 반도체막(108_2)이 주된 전류 경로가 된다. 즉, 산화물 반도체막(108_2)은, 채널 영역으로서의 기능을 갖고, 산화물 반도체막(108_1), 산화물 반도체막(108_3)은, 산화물 절연막으로서의 기능을 갖는다. 또한, 산화물 반도체막(108_1), 산화물 반도체막(108_3)은 채널 영역이 형성되는 산화물 반도체막(108_2)을 구성하는 금속 원소 중 1종 이상으로 구성되는 산화물 반도체막을 사용하면 바람직하다. 이와 같은 구성으로 함으로써, 산화물 반도체막(108_1)과 산화물 반도체막(108_2)의 계면, 또는 산화물 반도체막(108_2)과 산화물 반도체막(108_3)의 계면에서 계면 산란이 일어나기 어렵다. 따라서, 이 계면에서 캐리어의 움직임이 저해되지 않기 때문에, 트랜지스터의 전계 효과 이동도가 높아진다.

[0397] 또한, 산화물 반도체막(108_1), 산화물 반도체막(108_3)은, 채널 영역의 일부로서 기능하는 것을 방지하기 위하여 도전율이 충분히 낮은 재료를 사용하는 것으로 한다. 그러므로, 산화물 반도체막(108_1), 산화물 반도체막(108_3)을, 그 물성 및/또는 기능으로부터, 각각 산화물 절연막이라고도 부를 수 있다. 또는 산화물 반도체막(108_1), 산화물 반도체막(108_3)에는 전자 친화력(진공 준위와 전도대 하단의 에너지 준위와의 차)이 산화물 반도체막(108_2)보다 작고, 전도대 하단의 에너지 준위가 산화물 반도체막(108_2)의 전도대 하단 에너지 준위와 차분(밴드 오프셋)을 갖는 재료를 이용하는 것으로 한다. 또한, 드레인 전압의 크기에 의존한 문턱 전압의 차가 생기는 것을 억제하기 위해서는, 산화물 반도체막(108_1), 산화물 반도체막(108_3)의 전도대 하단의 에너지 준위가 산화물 반도체막(108_2)의 전도대 하단의 에너지 준위보다 진공 준위에 가까운 재료를 사용하면 적합하다. 예를 들어, 산화물 반도체막(108_2)의 전도대 하단의 에너지 준위와, 산화물 반도체막(108_1) 및 산화물 반도체막(108_3)의 전도대 하단의 에너지 준위의 차를 0.2eV 이상, 바람직하게는 0.5eV 이상으로 하는 것이 바람직하다.

[0398] 또한, 산화물 반도체막(108_1) 및 산화물 반도체막(108_3)은 막 내에 스피넬형의 결정 구조가 포함되지 않는 것이 바람직하다. 산화물 반도체막(108_1) 및 산화물 반도체막(108_3)의 막 내에 스피넬형의 결정 구조를 포함하는 경우, 상기 스피넬형의 결정 구조와 다른 영역의 계면에 있어서, 도전막(120a), 도전막(120b)의 구성 원소가 산화물 반도체막(108_2)으로 확산되는 경우가 있다. 또한, 산화물 반도체막(108_1) 및 산화물 반도체막(108_3)이 후술하는 CAAC-OS인 경우, 도전막(120a), 도전막(120b)의 구성 원소, 예를 들어, 구리 원소의 차단성이 높아져 바람직하다.

[0399] 또한, 본 실시형태에서는, 산화물 반도체막(108_1), 산화물 반도체막(108_3)으로서, 금속 원소의 원자수비가 In:Ga:Zn=1:3:2의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어, 산화물 반도체막(108_1), 산화물 반도체막(108_3)으로서, In:Ga:Zn=1:1:1[원자수비], In:Ga:Zn=1:1:1.2[원자수비], In:Ga:Zn=1:3:4[원자수비], In:Ga:Zn=1:3:6[원자수비], In:Ga:Zn=1:4:5[원자수비], In:Ga:Zn=1:5:6[원자수비], 또는 In:Ga:Zn=1:10:1[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하여도 좋다. 또는 산화물 반도체막(108_1), 산화물 반도체막(108_3)으로서 금속 원소의 원자수비가 Ga:Zn=10:1의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하여도 좋다. 이 경우, 산화물 반도체막(108_2)으로서 금속 원소의 원자수비가 In:Ga:Zn=1:1:1의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(108_1), 산화물 반도체막(108_3)으로서 금속 원소의 원자수비가 Ga:Zn=10:1의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하면, 산화물 반도체막(108_2)의 전도대 하단의 에너지 준위와 산화물 반도체막(108_1), 산화물 반도체막(108_3)의 전도대 하단의 에너지 준위의 차를 0.6eV 이상으로 할 수 있기 때문에 적합하다.

[0400] 또한, 산화물 반도체막(108_1), 산화물 반도체막(108_3)으로서, In:Ga:Zn=1:1:1[원자수비]인 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(108_1), 산화물 반도체막(108_3)은, In:Ga:Zn=1:β1(0<β1≤2):β2(0<β2≤2)가 되는 경우가 있다. 또한, 산화물 반도체막(108_1), 산화물 반도체막(108_3)으로서, In:Ga:Zn=1:3:4[원자수비]인 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(108_1), 산화물 반도체막(108_3)은, In:Ga:Zn=1:β3(1≤β3≤5):β4(2≤β4≤6)가 되는 경우가 있다. 또한, 산화물 반도체막(108_1), 산화물 반도체막(108_3)으로서, In:Ga:Zn=1:3:6[원자수비]인 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(108_1), 산화물 반도체막(108_3)은, In:Ga:Zn=1:β5(1≤β5≤5):β6(4≤β6≤8)이 되는 경우가 있다.

[0401] <2-6. 트랜지스터의 제작 방법 1>

- [0402] 다음에, 도 19에 도시된 트랜지스터(100)의 제작 방법의 일례에 대하여, 도 31~도 33을 참조하여 설명한다. 또한, 도 31~도 33은 트랜지스터(100)의 제작 방법을 설명하는 채널 길이(L) 방향 및 채널 폭(W) 방향의 단면도이다.
- [0403] 우선, 기판(102) 위에 절연막(104)을 형성한다. 이어서, 절연막(104) 위의 산화물 반도체막을 형성한다. 그 후, 이 산화물 반도체막을 섬 형상으로 가공함으로써 산화물 반도체막(107)을 형성한다(도 31의 (A) 참조).
- [0404] 절연막(104)은 스퍼터링법, CVD법, 증착법, 펄스 레이저 퇴적(PLD)법, 인쇄법, 도포법 등을 적절히 사용하여 형성할 수 있다. 본 실시형태에서 절연막(104)으로서 플라스마 CVD 장치를 사용하여 두께 400nm의 질화 실리콘막과, 두께 50nm의 산화질화 실리콘막을 형성한다. 또한, 절연막(104)을 형성하지 않고, 기판(102) 위에 산화물 반도체막(108)을 형성하여도 좋다.
- [0405] 또한, 절연막(104)을 형성한 후, 절연막(104)에 산소를 첨가하여도 좋다. 절연막(104)에 첨가하는 산소로서는 산소 라디칼, 산소 원자, 산소 원자 이온, 산소 분자 이온 등이 있다. 또한, 첨가 방법으로서, 이온 도핑법, 이온 주입법, 플라스마 처리법 등이 있다. 또한, 절연막 위에 산소의 이탈을 억제하는 막을 형성한 후, 이 막을 통하여 절연막(104)에 산소를 첨가하여도 좋다.
- [0406] 상술한 산소의 이탈을 억제하는 막으로서, 인듐, 아연, 갈륨, 주석, 알루미늄, 크로뮴, 탄탈럼, 타이타늄, 몰리브데넘, 니켈, 철, 코발트, 또는 텅스텐 중 하나 이상을 갖는 도전막 또는 반도체막을 사용하여 형성할 수 있다.
- [0407] 또한, 플라스마 처리에 의하여 산소를 첨가하는 경우, 마이크로파로 산소를 여기하여 고밀도 산소 플라스마를 발생시킴으로써 절연막(104)으로의 산소 첨가량을 증가시킬 수 있다.
- [0408] 산화물 반도체막(107)은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법, 열 CVD법 등에 의하여 형성할 수 있다. 또한, 산화물 반도체막(107)으로의 가공은 산화물 반도체막 위의 리소그래피 공정에 의하여 마스크를 형성한 후, 이 마스크를 사용하여 산화물 반도체막의 일부를 에칭함으로써 형성할 수 있다. 또한, 인쇄법을 사용하여 소자 분리된 산화물 반도체막(107)을 직접 형성하여도 좋다.
- [0409] 스퍼터링법으로 산화물 반도체막을 형성하는 경우, 플라스마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다. 또한, 산화물 반도체막을 형성하는 경우의 스퍼터링 가스는, 회가스(대표적으로는 아르곤), 산소, 회가스 및 산소의 혼합 가스를 적절히 이용한다. 또한, 회가스와 산소의 혼합 가스를 사용하는 경우, 회가스에 대한 산소의 가스 비율이 높은 것이 바람직하다.
- [0410] 또한, 산화물 반도체막을 형성할 때에, 예를 들어 스퍼터링법을 사용하는 경우, 기판 온도를 150℃ 이상 750℃ 이하, 또는 150℃ 이상 450℃ 이하, 또는 200℃ 이상 350℃ 이하로 하여, 산화물 반도체막을 형성함으로써, 결정성을 높일 수 있기 때문에 바람직하다.
- [0411] 또한, 본 실시형태에서, 산화물 반도체막(107)으로서 스퍼터링 장치를 사용하고, 스퍼터링 타겟으로서 In-Ga-Zn 금속 산화물(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 막 두께 35nm의 산화물 반도체막을 형성한다.
- [0412] 또한, 산화물 반도체막(107)을 형성한 후, 가열 처리를 행하여, 산화물 반도체막(107)의 탈수소화 또는 탈수화를 하여도 좋다. 가열 처리의 온도는 대표적으로는 150℃ 이상 기판의 변형점 미만, 또는 250℃ 이상 450℃ 이하, 또는 300℃ 이상 450℃ 이하이다.
- [0413] 가열 처리는 헬륨, 네온, 아르곤, 제논, 크립톤 등의 회가스, 또는 질소를 포함하는 불활성 가스 분위기에서 행할 수 있다. 또는, 불활성 가스 분위기에서 가열한 후, 산소 분위기에서 가열하여도 좋다. 또한 상기 불활성 분위기 및 산소 분위기에 수소, 물 등이 포함되지 않는 것이 바람직하다. 처리 시간은 3분 이상 24시간 이하로 하면 된다.
- [0414] 이 가열 처리는, 전기로, RTA 장치 등을 이용할 수 있다. RTA 장치를 이용함으로써, 단시간에 한하여, 기판의 변형점 이상의 온도로 열처리를 행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.
- [0415] 산화물 반도체막을 가열하면서 성막함으로써, 또는 산화물 반도체막을 형성한 후, 가열 처리를 행함으로써, 산화물 반도체막에 있어서, SIMS에 의하여 얻어지는 수소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 할 수 있다.

- [0416] 다음에, 절연막(104) 및 산화물 반도체막(107) 위에 절연막(110_0)을 형성한다(도 31의 (B) 참조).
- [0417] 절연막(110_0)은 산화 실리콘막 또는 산화질화 실리콘막을 플라즈마 화학 퇴적 장치(PECVD 장치, 또는 단순히 플라즈마 CVD 장치라고 함)를 사용하여 형성할 수 있다. 이 경우, 원료 가스로서는, 실리콘을 포함한 퇴적성 기체 및 산화성 기체를 이용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 기체의 대표예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 기체로서는, 산소, 오존, 일산화 이질소, 이산화질소 등이 있다.
- [0418] 또한, 절연막(110_0)으로서, 퇴적성 기체의 유량에 대한 산화성 기체의 유량을 20배보다 크고 100배 미만, 또는 40배 이상 80배 이하로 하고, 처리실 내의 압력을 100Pa 미만, 또는 50Pa 이하로 하는 플라즈마 CVD 장치를 사용함으로써, 결함량이 적은 산화질화 실리콘막을 형성할 수 있다.
- [0419] 또한, 절연막(110_0)으로서 플라즈마 CVD 장치의 진공 배기된 처리실 내에 놓인 기판을 280℃ 이상 400℃ 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에 있어서의 압력을 20Pa 이상 250Pa 이하, 더욱 바람직하게는 100Pa 이상 250Pa 이하로 하고, 처리실 내에 제공되는 전극에 고주파 전력을 공급하는 조건에 의하여, 절연막(110_0)으로서, 치밀한 산화 실리콘막 또는 산화질화 실리콘막을 형성할 수 있다.
- [0420] 또한, 절연막(110_0)을 마이크로파를 사용한 플라즈마 CVD법을 이용하여 형성하여도 좋다. 마이크로파는 300MHz에서 300GHz의 주파수역을 가리킨다. 마이크로파는 전자 온도가 낮고 전자 에너지가 작다. 또한, 공급된 전력에 있어서, 전자의 가속에 이용되는 비율이 적고, 보다 많은 분자의 해리 및 전리에 이용될 수 있고, 밀도가 높은 플라즈마(고밀도 플라즈마)를 여기할 수 있다. 그러므로, 피성막면 및 퇴적물에 대한 플라즈마 대미지가 적고, 결함이 적은 절연막(110_0)을 형성할 수 있다.
- [0421] 또한, 절연막(110_0)을 유기 실레인 가스를 사용한 CVD법을 사용하여 형성할 수 있다. 유기 실레인 가스로서는, 규산 에틸(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실레인(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸다이실라잔(HMDS), 트라이에톡시실레인($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스다이메틸아미노실레인($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다. 유기 실레인 가스를 사용한 CVD법을 사용함으로써 피복성이 높은 절연막(110_0)을 형성할 수 있다.
- [0422] 본 실시형태에서, 절연막(110_0)으로서 플라즈마 CVD 장치를 사용하여 두께 100nm의 산화질화 실리콘막을 형성한다.
- [0423] 다음에, 절연막(110_0) 위에 도전막(112_0)을 형성한다. 또한, 도전막(112_0)으로서, 예를 들어, 금속 산화물막을 사용하는 경우, 도전막(112_0)의 형성시에 도전막(112_0)으로부터 절연막(110_0) 내에 산소가 첨가되는 경우가 있다(도 31의 (C) 참조).
- [0424] 또한, 도 31의 (C)에서 절연막(110_0) 내에 첨가되는 산소를 화살표로 모식적으로 나타내었다.
- [0425] 도전막(112_0)으로서 금속 산화물막을 사용하는 경우, 도전막(112_0)의 형성 방법으로는 스퍼터링법을 사용하고, 형성시에 산소 가스를 포함하는 분위기로 형성하는 것이 바람직하다. 형성시에 산소 가스를 포함하는 분위기에서 도전막(112_0)을 형성함으로써 절연막(110_0) 내에 산소를 적합하게 첨가할 수 있다. 또한, 도전막(112_0)의 형성 방법으로는 스퍼터링법에 한정되지 않고, 그 외의 방법, 예를 들어, ALD법을 사용하여도 좋다.
- [0426] 본 실시형태에서, 도전막(112_0)으로서 스퍼터링법을 사용하여 막 두께 100nm의 In-Ga-Zn 산화물인 IGZO막(In:Ga:Zn=4:2:4.1(원자수비))을 형성한다. 또한, 도전막(112_0)의 형성 전, 또는 도전막(112_0)의 형성 후에 절연막(110_0) 내에 산소 첨가 처리를 행하여도 좋다. 이 산소 첨가 처리의 방법으로는 절연막(104)의 형성 후에 행할 수 있는 산소의 첨가와 같은 방법으로 하면 좋다.
- [0427] 다음에, 도전막(112_0) 위의 원하는 위치에 리소그래피 공정에 의하여 마스크(140)를 형성한다(도 31의 (D) 참조).
- [0428] 다음에 마스크(140) 위로부터 에칭을 행하여 도전막(112_0)과 절연막(110_0)을 가공한다. 그 후, 마스크(140)를 제거함으로써 섬 형상의 도전막(112)과 섬 형상의 절연막(110)을 형성한다(도 32의 (A) 참조).
- [0429] 본 실시형태에서는 도전막(112_0), 및 절연막(110_0)의 가공은 드라이 에칭법을 이용하여 행한다.
- [0430] 또한, 도전막(112_0), 및 절연막(110_0)을 가공할 때, 도전막(112)이 중첩되지 않는 영역의 산화물 반도체막

(107)의 막 두께가 얇아지는 경우가 있다. 또는, 도전막(112_0), 및 절연막(110_0)을 가공할 때, 산화물 반도체막(107)이 중첩되지 않는 영역의 절연막(104)의 막 두께가 얇아지는 경우가 있다. 또한, 도전막(112_0), 및 절연막(110_0)을 가공할 때, 에천트(etchant) 또는 에칭 가스(예를 들어 염소 등)가 산화물 반도체막(107) 내에 첨가되거나 또는 도전막(112_0), 또는 절연막(110_0)의 구성 원소가 산화물 반도체막(107) 내에 첨가되는 경우가 있다.

[0431] 다음에, 절연막(104), 산화물 반도체막(107), 및 도전막(112) 위에 절연막(116)을 형성한다. 또한, 절연막(116)을 형성함으로써 절연막(116)과 접촉하는 산화물 반도체막(107)은 소스 영역(108s) 및 드레인 영역(108d)이 된다. 또한, 절연막(110)과 접촉하는 산화물 반도체막(107)은 채널 영역(108i)이 된다. 이로써, 채널 영역(108i), 소스 영역(108s), 및 드레인 영역(108d)을 갖는 산화물 반도체막(108)이 형성된다(도 32의 (B) 참조).

[0432] 절연막(116)으로서 질화산화 실리콘막을 사용함으로써, 절연막(116)에 접촉하는 소스 영역(108s), 및 드레인 영역(108d)에 질화산화 실리콘막 내의 질소 또는 수소를 공급할 수 있다.

[0433] 또한, 절연막(116) 형성 전에 산화물 반도체막(107)에 불순물 원소의 첨가 처리를 행하거나 또는 절연막(116)의 형성 후에 절연막(116)을 통하여 산화물 반도체막(107)에 불순물 원소의 첨가 처리를 행하여도 좋다.

[0434] 상기 불순물 원소의 첨가 처리로서는, 이온 도핑법, 이온 주입법, 플라즈마 처리법 등이 있다. 플라즈마 처리법의 경우, 첨가하는 불순물 원소를 포함한 가스 분위기에서 플라즈마를 발생시켜, 플라즈마 처리를 행함으로써, 불순물 원소를 첨가할 수 있다. 상기 플라즈마를 발생시키는 장치로서는, 드라이 에칭 장치, 애싱 장치, 플라즈마 CVD 장치, 고밀도 플라즈마 CVD 장치 등을 이용할 수 있다.

[0435] 또한, 불순물 원소의 원료 가스로서 B_2H_6 , PH_3 , CH_4 , N_2 , NH_3 , AlH_3 , $AlCl_3$, SiH_4 , Si_2H_6 , F_2 , HF , H_2 , 및 회가스 중 하나 이상을 사용할 수 있다. 또는, 회가스로 회석된 B_2H_6 , PH_3 , N_2 , NH_3 , AlH_3 , $AlCl_3$, F_2 , HF , 및 H_2 중 하나 이상을 이용할 수 있다. 또한, 회가스 원소의 대표적인 예로서는, 헬륨, 네온, 아르곤, 크립톤, 및 제논 등을 들 수 있다.

[0436] 또는, 회가스를 첨가한 후, B_2H_6 , PH_3 , CH_4 , N_2 , NH_3 , AlH_3 , $AlCl_3$, SiH_4 , Si_2H_6 , F_2 , HF , 및 H_2 중 하나 이상을 산화물 반도체막(107)에 첨가하여도 좋다. 또는, B_2H_6 , PH_3 , CH_4 , N_2 , NH_3 , AlH_3 , $AlCl_3$, SiH_4 , Si_2H_6 , F_2 , HF , 및 H_2 중 하나 이상을 첨가한 후, 회가스를 산화물 반도체막(107)에 첨가하여도 좋다.

[0437] 다음에, 절연막(116) 위에 절연막(118)을 형성한다(도 32의 (C) 참조).

[0438] 절연막(118)은 위에서 기재한 재료를 선택함으로써 형성할 수 있다. 본 실시형태에서 절연막(118)으로서 플라즈마 CVD 장치를 사용하고, 두께 300nm의 산화질화 실리콘막을 형성한다.

[0439] 다음에 절연막(118)의 원하는 위치에 리소그래피에 의하여 마스크를 형성한 후, 절연막(118) 및 절연막(116)의 일부를 에칭함으로써, 소스 영역(108s)에 달하는 개구부(141a)와 드레인 영역(108d)에 달하는 개구부(141b)를 형성한다(도 33의 (A) 참조).

[0440] 절연막(118) 및 절연막(116)을 에칭하는 방법으로서 웨트 에칭법 및 드라이 에칭법 중 어느 한쪽 또는 양쪽을 사용하면 좋다. 본 실시형태에서 드라이 에칭법을 사용하여 절연막(118) 및 절연막(116)을 가공한다.

[0441] 다음에 개구부(141a), 개구부(141b)를 덮도록 소스 영역(108s), 드레인 영역(108d), 및 절연막(118) 위에 도전막을 형성하고, 이 도전막을 원하는 형상으로 가공함으로써 도전막(120a), 도전막(120b)을 형성한다(도 33의 (B) 참조).

[0442] 도전막(120a), 도전막(120b)은 위에서 기재한 재료를 선택함으로써 형성할 수 있다. 본 실시형태에서 도전막(120a), 도전막(120b)으로서 스퍼터링 장치를 사용하여, 두께 50nm의 텅스텐막과, 두께 400nm의 구리막의 적층막을 형성한다.

[0443] 또한, 도전막(120a), 도전막(120b)이 되는 도전막의 가공 방법로서는 웨트 에칭법 및 드라이 에칭법 중 어느 한쪽 또는 양쪽을 사용하면 좋다. 본 실시형태에서는 웨트 에칭법으로 구리막을 에칭한 후, 드라이 에칭법으로 텅스텐막을 에칭함으로써 도전막을 가공하여 도전막(120a), 도전막(120b)을 형성한다.

[0444] 이상의 공정에 의하여 도 19에 도시된 트랜지스터(100)를 제작할 수 있다.

[0445] 또한, 트랜지스터(100)를 구성하는 막(절연막, 금속 산화막, 산화물 반도체막, 도전막 등)은 상술한 형성 방법

외에 스퍼터링법, 화학 기상 퇴적(CVD)법, 진공 증착법, 펄스 레이저 퇴적(PLD)법, ALD법을 사용하여 형성할 수 있다. 또는, 도포법이나 인쇄법으로 형성할 수 있다. 성막 방법으로서, 스퍼터링법, 플라스마 화학 기상 퇴적(PECVD)법이 대표적이지만, 열 CVD법이라도 좋다. 열 CVD법의 예로서, 유기 금속 화학 기상 퇴적(MOCVD)법을 들 수 있다.

[0446] 열 CVD법은 체임버 내를 대기압 또는 감압 하로 하고, 원료 gas와 산화제를 동시에 체임버 내에 보내고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 성막을 행한다. 이와 같이, 열 CVD법은 플라스마를 발생시키지 않는 성막 방법이기 때문에, 플라스마 대미지에 의하여 결함이 생성되는 일이 없다는 이점을 갖는다.

[0447] MOCVD법 등의 열 CVD법은, 상기 기재의 도전막, 절연막, 산화물 반도체막, 금속 산화막 등의 막을 형성할 수 있고, 예를 들어, In-Ga-Zn-O막을 형성할 경우에는, 트라이메틸인듐($\text{In}(\text{CH}_3)_3$), 트라이메틸갈륨($\text{Ga}(\text{CH}_3)_3$), 및 다이메틸아연을 사용한다 ($\text{Zn}(\text{CH}_3)_2$). 이들 조합에 한정되지 않으며, 트라이메틸갈륨 대신에 트라이에틸갈륨($\text{Ga}(\text{C}_2\text{H}_5)_3$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연($\text{Zn}(\text{C}_2\text{H}_5)_2$)을 사용할 수도 있다.

[0448] 또한, ALD법을 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체가 포함되는 액체(하프늄알콕사이드나, 테트라키스다이메틸아마이드하프늄(TDMAH, $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$)이나 테트라키스(에틸메틸아마이드)하프늄 등의 하프늄아마이드)를 기화시킨 원료 gas와, 산화제로서 오존(O_3)의 2종의 gas를 사용한다.

[0449] 또한, ALD법을 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체가 포함되는 액체(트라이메틸알루미늄(TMA, $\text{Al}(\text{CH}_3)_3$) 등)를 기화시킨 원료 gas와, 산화제로서 H_2O 의 2종의 gas를 사용한다. 다른 재료로서는 트리스(다이메틸아마이드)알루미늄, 트라이아이소부틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트) 등을 들 수 있다.

[0450] 또한, ALD법을 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고 산화성 gas(O_2 , 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0451] 또한, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 형성할 경우에는, WF_6 gas와 B_2H_6 gas를 순차 도입하여 초기 텅스텐막을 형성하고, 그 후, WF_6 gas와 H_2 gas를 사용하여 텅스텐막을 형성한다. 또한, B_2H_6 gas 대신에 SiH_4 gas를 사용하여도 좋다.

[0452] 또한, ALD를 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어 In-Ga-Zn-O막을 형성할 경우에는, $\text{In}(\text{CH}_3)_3$ gas와 O_3 gas를 사용하여 In-O층을 형성하고, 그 후, $\text{Ga}(\text{CH}_3)_3$ gas와 O_3 gas를 사용하여 GaO층을 형성하고, 또한 그 후 $\text{Zn}(\text{CH}_3)_2$ gas와 O_3 gas를 사용하여 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 또한, 이들의 gas를 사용하여 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성하여도 좋다. 또한, O_3 gas 대신에 Ar 등의 불활성 gas로 물을 버블링하여 얻어진 H_2O gas를 사용하여도 되지만, H를 포함하지 않는 O_3 gas를 사용하는 편이 바람직하다.

[0453] <2-7. 트랜지스터의 제작 방법 2>

[0454] 다음에, 도 20에 도시된 트랜지스터(100A)의 제작 방법의 일례에 대하여, 도 34~도 36을 참조하여 설명한다. 또한, 도 34~도 36은 트랜지스터(100A)의 제작 방법을 설명하는 채널 길이(L) 방향 및 채널 폭(W) 방향의 단면도이다.

[0455] 우선, 기판(102) 위에 도전막(106)을 형성한다. 다음에 기판(102), 및 도전막(106) 위에 절연막(104)을 형성하고, 절연막(104) 위에 산화물 반도체막을 형성한다. 그 후, 이 산화물 반도체막을 섬 형상으로 가공함으로써, 산화물 반도체막(107)을 형성한다(도 34의 (A) 참조).

[0456] 도전막(106)은 도전막(120a), 도전막(120b)과 같은 재료, 및 같은 기법으로 형성할 수 있다. 본 실시형태에서 도전막(106)은 두께 50nm의 질화 탄탈럼막과, 두께 100nm의 구리막과의 적층막을 스퍼터링법에 의하여 형성한다.

[0457] 다음에, 절연막(104) 및 산화물 반도체막(107) 위에 절연막(110_0)을 형성한다(도 34의 (B) 참조).

- [0458] 이어서, 절연막(110_0) 위의 원하는 위치에 리소그래피에 의하여 마스크를 형성한 후, 절연막(110_0), 및 절연막(104)의 일부를 에칭함으로써 도전막(106)에 달하는 개구부(143)를 형성한다(도 34의 (C) 참조).
- [0459] 개구부(143)의 형성 방법으로서에는 웨트 에칭법 및 드라이 에칭법 중 어느 한쪽 또는 양쪽을 사용하면 좋다. 본 실시형태에서는 드라이 에칭법을 사용하여 개구부(143)를 형성한다.
- [0460] 다음에 개구부(143)를 덮도록 도전막(106) 및 절연막(110_0) 위에 도전막(112_0)을 형성한다. 또한, 도전막(112_0)으로서 예를 들어 금속 산화막을 사용하는 경우, 도전막(112_0)의 형성 시에 도전막(112_0)으로부터 절연막(110_0) 내에 산소가 첨가되는 경우가 있다(도 34의 (D) 참조).
- [0461] 또한, 도 34의 (D)에서 절연막(110_0) 내에 첨가되는 산소를 화살표로 모식적으로 나타내었다. 또한, 개구부(143)를 덮도록 도전막(112_0)을 형성함으로써 도전막(106)과 도전막(112_0)이 전기적으로 접속된다.
- [0462] 다음에 도전막(112_0) 위의 원하는 위치에 리소그래피 공정에 의하여 마스크(140)를 형성한다(도 35의 (A) 참조).
- [0463] 다음에 마스크(140) 위로부터 에칭하여 도전막(112_0), 및 절연막(110_0)을 가공한다. 또한, 도전막(112_0) 및 절연막(110_0)의 가공 후에 마스크(140)를 제거한다. 도전막(112_0), 및 절연막(110_0)을 가공함으로써 섬 형상의 도전막(112) 및 섬 형상의 절연막(110)이 형성된다(도 35의 (B) 참조).
- [0464] 본 실시형태에서 드라이 에칭법을 이용하여 도전막(112_0), 및 절연막(110_0)을 가공한다.
- [0465] 다음에, 절연막(104), 산화물 반도체막(107), 및 도전막(112) 위에 절연막(116)을 형성한다. 또한, 절연막(116)을 형성함으로써 절연막(116)과 접촉하는 산화물 반도체막(107)은 소스 영역(108s) 및 드레인 영역(108d)이 된다. 또한, 절연막(110)과 접촉하는 산화물 반도체막(107)은 채널 영역(108i)이 된다. 이로써, 채널 영역(108i), 소스 영역(108s), 및 드레인 영역(108d)을 갖는 산화물 반도체막(108)이 형성된다(도 35의 (C) 참조).
- [0466] 절연막(116)은 위에서 기재한 재료를 선택함으로써 형성할 수 있다. 본 실시형태에서 절연막(116)으로서 플라즈마 CVD 장치를 사용하여 두께 100nm의 질화산화 실리콘막을 형성한다. 또한, 이 질화산화 실리콘막의 형성 시에 있어서 플라즈마 처리와 성막 처리의 2가지 단계를 220℃의 온도로 행한다. 또한, 이 플라즈마 처리 및 이 성막 처리로서는 위에서 기재한 것과 같은 방법을 사용하면 된다.
- [0467] 다음에, 절연막(116) 위에 절연막(118)을 형성한다(도 36의 (A) 참조).
- [0468] 다음에, 절연막(118)의 원하는 위치에 리소그래피에 의하여 마스크를 형성한 후, 절연막(118) 및 절연막(116)의 일부를 에칭함으로써, 소스 영역(108s)에 달하는 개구부(141a)와, 드레인 영역(108d)에 달하는 개구부(141b)를 형성한다(도 36의 (B) 참조).
- [0469] 다음에 개구부(141a), 개구부(141b)를 덮도록 소스 영역(108s), 드레인 영역(108d), 및 절연막(118) 위에 도전막을 형성하고, 이 도전막을 원하는 형상으로 가공함으로써 도전막(120a), 도전막(120b)을 형성한다(도 36의 (C) 참조).
- [0470] 이상의 공정에 의하여, 도 20에 도시된 트랜지스터(100A)를 제작할 수 있다.
- [0471] 또한, 본 실시형태에서, 트랜지스터가 산화물 반도체막을 갖는 경우의 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 본 발명의 일 형태에서 트랜지스터가 산화물 반도체막을 갖지 않아도 된다. 일례로서, 트랜지스터의 채널 영역, 채널 영역의 근방, 소스 영역, 또는 드레인 영역에서 Si(실리콘), Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소) 등을 갖는 재료로 형성하여도 좋다.
- [0472] 이상, 본 실시형태에 나타난 구성, 방법은, 다른 실시형태로 나타난 구성, 방법과 적절히 조합하여 사용할 수 있다.
- [0473] (실시형태 3)
- [0474] 본 실시형태에서는 산화물 반도체의 구조 등에 대하여 도 37~도 41을 참조하여 설명한다.
- [0475] <3-1. 산화물 반도체의 구조>
- [0476] 산화물 반도체는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 나눌 수 있다. 비단결정 산화물 반도체로서는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화

물 반도체 등이 있다.

- [0477] 또한, 다른 관점에서는 산화물 반도체는 비정질 산화물 반도체와 그 이외의 결정성 산화물 반도체로 나누어진다. 결정성 산화물 반도체로서는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, nc-OS 등이 있다.
- [0478] 비정질 구조는 일반적으로 등방적이고 불균질 구조를 갖지 않는다, 준안정 상태로 원자의 배치가 고정화되지 않는다, 결합 각도가 유연하다, 단거리 질서는 갖지만, 장거리 질서를 갖지 않는다 등으로 생각되고 있다.
- [0479] 즉, 안정된 산화물 반도체를 완전한 비정질(completely amorphous) 산화물 반도체라고는 부를 수 없다. 또한, 등방적이지 않은(예를 들어, 미소한 영역에서 주기 구조를 갖는) 산화물 반도체를 완전한 비정질 산화물 반도체라고는 부를 수 없다. 한편, a-like OS는 등방적이지 않지만 공동(void라고도 함)을 갖는 불안정한 구조이다. 불안정하다는 점에서 a-like OS는 물성적으로 비정질 산화물 반도체에 가깝다.
- [0480] <3-2. CAAC-OS>
- [0481] 먼저, CAAC-OS에 대하여 설명한다.
- [0482] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 포함하는 산화물 반도체의 1종이다.
- [0483] CAAC-OS를 X선 회절(XRD: X-Ray Diffraction)에 의하여 해석한 경우에 대하여 설명한다. 예를 들어, 공간군 R-3m에 분류되는 InGaZnO₄의 결정을 갖는 CAAC-OS에 대하여, out-of-plane법에 의한 구조 해석을 행하면 도 37의 (A)에 나타내는 바와 같이, 회절각(2 θ)이 31° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS에서는 결정이 c축 배향성을 갖고, c축이 CAAC-OS의 막이 형성되는 면(피형성면이라고도 함), 또는 상면에 실질적으로 수직인 방향을 향하고 있는 것을 확인할 수 있다. 또한, 2 θ 가 31° 근방일 때의 피크 외에도, 2 θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2 θ 가 36° 근방일 때의 피크는 공간군 Fd-3m에 분류되는 결정 구조에 기인한다. 그러므로, CAAC-OS는 상기 피크가 나타나지 않는 것이 바람직하다.
- [0484] 한편, CAAC-OS에 대하여 피형성면에 평행한 방향으로부터 X선을 입사시키는 in-plane법에 의한 구조 해석을 행하면, 2 θ 가 56° 근방일 때 피크가 나타난다. 이 피크는, InGaZnO₄의 결정의 (110)면에 귀속된다. 그리고, 2 θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로서 시료를 회전시키면서 분석(ϕ 스캔)을 수행하여도, 도 37의 (B)에 도시된 바와 같이 명료한 피크는 나타나지 않는다. 한편, 단결정 InGaZnO₄에 대하여 2 θ 를 56° 근방에 고정하여 ϕ 스캔한 경우, 도 37의 (C)에 도시된 바와 같이, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 따라서, XRD를 사용한 구조 해석으로부터, CAAC-OS는 a축 및 b축의 배향이 불규칙한 것을 확인할 수 있다.
- [0485] 이어서, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, InGaZnO₄의 결정을 갖는 CAAC-OS에 대하여 프로브 직경이 300nm인 전자선을 CAAC-OS의 피형성면에 평행하게 입사시키면, 도 37의 (D)에 도시된 바와 같은 회절 패턴(제한 시야 전자 회절 패턴이라고도 함)이 나타나는 경우가 있다. 이 회절 패턴에는, InGaZnO₄의 결정의 (009)면에 기인하는 스폿이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향을 향하고 있는 것을 알 수 있다. 한편, 도 37의 (E)는 같은 시료에 대하여 프로브 직경이 300nm인 전자선을 시료면에 수직으로 입사시킨 경우의 회절 패턴이다. 도 37의 (E)로부터, 고리 형상의 회절 패턴이 확인된다. 따라서, 프로브 직경이 300nm의 전자선을 사용한 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축은 배향성을 갖지 않는 것을 알 수 있다. 또한, 도 37의 (E)에서의 제 1 링은, InGaZnO₄의 결정의 (010)면 및 (100)면 등에 기인한다. 또한, 도 37의 (E)에서의 제 2 링은 (110)면 등에 기인한다.
- [0486] 또한, 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여, CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿을 확인할 수 있다. 한편, 고분해능 TEM 이미지도더라도 펠릿끼리의 경계, 즉 결정립계(그레인 바운더리라고도 함)가 명확하게 확인되지 않는 경우가 있다. 그러므로, CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0487] 도 38의 (A)에, 시료면과 실질적으로 평행한 방향에서 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지를 나타내었다. 고분해능 TEM 이미지의 관찰에는, 구면 수차 보정(Spherical Aberration Corrector) 기능을

이용하였다. 구면 수차 보정 기능을 사용한 고분해능 TEM 이미지를, 특히 Cs 보정 고분해능 TEM 이미지라고 부른다. Cs 보정 고분해능 TEM 이미지는 예를 들어, 원자 분해능 분석 전자 현미경(JEOL Ltd.제조, JEM-ARM200F) 등에 의하여 관찰할 수 있다.

[0488] 도 38의 (A)로부터, 금속 원자가 층상으로 배열되어 있는 영역인 펠릿을 확인할 수 있다. 펠릿 하나의 크기는 1nm 이상인 것이나 3nm 이상인 것이 있는 것을 알 수 있다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)이라고 부를 수도 있다. 또한, CAAC-OS를, CAC(C-Axis Aligned nanocrystals)를 갖는 산화물 반도체라고 부를 수도 있다. 펠릿은 CAAC-OS의 피형성면 또는 상면의 요철을 반영하고 있으며, CAAC-OS의 피형성면 또는 상면과 평행이 된다.

[0489] 또한, 도 38의 (B), (C)에 시료면과 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지를 나타내었다. 도 38의 (D), (E)는 각각 도 38의 (B), (C)를 화상 처리한 상이다. 이하에서는 화상 처리의 방법에 대하여 설명한다. 먼저, 도 38의 (B)를 고속 푸리에 변환(FFT: Fast Fourier Transform) 처리함으로써 FFT상을 취득한다. 다음으로, 취득한 FFT상에서 원점을 기준으로 2.8nm^{-1} 에서 5.0nm^{-1} 사이의 범위가 남도록 마스크 처리를 한다. 다음에, 마스크 처리한 FFT상을 역고속 푸리에 변환(IFFT: Inverse Fast Fourier Transform) 처리함으로써 화상 처리한 상을 취득한다. 이와 같이 하여 취득한 상을 FFT 필터링상이라고 부른다. FFT 필터링상은 Cs 보정 고분해능 TEM 이미지로부터 주기 성분을 추출한 상이며, 격자 배열을 나타낸다.

[0490] 도 38의 (D)에서는 격자 배열이 흐트러진 부분을 파선으로 나타내었다. 파선에 의하여 둘러싸인 영역이 하나의 펠릿이다. 그리고, 파선으로 표시한 부분이 펠릿과 펠릿의 연결부이다. 파선은 육각형상이기 때문에 펠릿이 육각형상인 것을 알 수 있다. 또한, 펠릿의 형상은 정육각형상에 한정되지 않고, 비정육각형상인 경우가 많다.

[0491] 도 38의 (E)에서는 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이를 점선으로 나타내고, 격자 배열의 방향을 파선으로 나타내었다. 점선 근방에서도 명확한 결정립계를 확인할 수 없다. 점선 근방의 격자 점을 중심으로 주위의 격자점을 연결하면, 변형된(distorted) 육각형이나 변형된 오각형, 또는 변형된 칠각형 등을 형성할 수 있다. 즉, 격자 배열을 변형시킴으로써 결정립계의 형성이 억제되는 것을 알 수 있다. 이것은, CAAC-OS가 a-b면 방향에서 원자 배열이 밀집하지 않은 것이나, 금속 원소가 치환하여 원자 사이의 결합 거리가 변화하는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0492] 상술한 바와 같이, CAAC-OS는 c축 배향성을 갖고, 또한, a-b면 방향에서 복수의 펠릿(나노 결정)이 연결되어, 변형을 갖는 결정 구조가 된다. 따라서, CAAC-OS를 CAA crystal(c-axis-aligned a-b-plane-anchored crystal)을 갖는 산화물 반도체라고 부를 수도 있다.

[0493] CAAC-OS는 결정성이 높은 산화물 반도체이다. 산화물 반도체의 결정성은 불순물의 혼입이나 결합의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결합(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다.

[0494] 또한, 불순물은, 산화물 반도체의 주성분 이외의 원소로, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 예를 들어, 실리콘 등의, 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하고, 결정성을 저하시키는 요인이 된다.

[0495] 산화물 반도체가 불순물이나 결합을 갖는 경우, 광이나 열 등에 의하여 특성이 변동되는 경우가 있다. 예를 들어, 산화물 반도체에 포함되는 불순물은 캐리어 트랩이 되는 경우나, 캐리어 발생원이 되는 경우가 있다. 예를 들어, 산화물 반도체 내의 산소 결손은 캐리어 트랩이 되는 경우나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0496] 불순물 및 산소 결손이 적은 CAAC-OS는 캐리어 밀도가 낮은 산화물 반도체이다. 구체적으로 $8 \times 10^{11}\text{cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{11}\text{cm}^{-3}$ 미만, 더 바람직하게는 $1 \times 10^{10}\text{cm}^{-3}$ 미만이며, $1 \times 10^{-9}\text{cm}^{-3}$ 이상인 산화물 반도체로 할 수 있다. 이와 같은 산화물 반도체를 고순도 진성 또는 실질적으로 진성인 산화물 반도체라고 부른다. CAAC-OS는 불순물 농도가 낮고, 결합 준위 밀도가 낮다. 즉, 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.

[0497] <3-3. nc-OS>

- [0498] 다음에, nc-OS에 대하여 설명한다.
- [0499] nc-OS를 XRD에 의하여 해석한 경우에 대하여 설명한다. 예를 들어, nc-OS에 대하여 out-of-plane법에 의한 구조 해석을 행하면, 배향성을 나타내는 피크가 나타나지 않는다. 즉, nc-OS의 결정은 배향성을 갖지 않는다.
- [0500] 또한, 예를 들어 InGaZnO₄의 결정을 갖는 nc-OS를 박편화하고, 두께가 34nm의 영역에 대하여 프로브 직경이 50nm의 전자선을 피형성면에 평행하게 입사시키면, 도 39의 (A)와 같은 고리 모양의 회절 패턴(나노 빔 전자 회절 패턴)이 관측된다. 또한, 같은 시료에 프로브 직경이 1nm인 전자선을 입사시켰을 때의 회절 패턴(나노 빔 전자 회절 패턴)을 도 39의 (B)에 나타내었다. 도 39의 (B)에서는, 고리 모양의 영역 내에 복수의 스폿이 관측된다. 따라서, nc-OS는 프로브 직경 50nm의 전자선을 입사시켜도 질서성이 확인되지 않지만, 프로브 직경 1nm의 전자선을 입사시키면 질서성이 확인된다.
- [0501] 또한, 두께가 10nm 미만인 영역에 대하여 프로브 직경 1nm의 전자선을 입사시키면, 도 39의 (C)에 나타낸 바와 같이, 스폿이 실질적으로 정육각형상으로 배치된 전자 회절 패턴이 관측될 경우가 있다. 따라서, 두께가 10nm 미만인 범위에서, nc-OS가 질서성이 높은 영역, 즉, 결정을 갖는 것을 알 수 있다. 또한, 결정이 다양한 방향을 향하기 때문에 규칙적인 전자 회절 패턴이 관측되지 않는 영역도 있다.
- [0502] 도 39의 (D)는 피형성면에 실질적으로 평행한 방향으로부터 관찰한 nc-OS의 단면의 Cs 보정 고분해능 TEM 이미지이다. nc-OS는 고분해능 TEM 이미지에서, 보조선으로 나타낸 부분 등과 같이, 결정부를 확인할 수 있는 영역과 명확한 결정부를 확인할 수 없는 영역을 갖는다. nc-OS에 포함되는 결정부는 1nm 이상 10nm 이하의 크기이며, 특히 1nm 이상 3nm 이하의 크기인 경우가 많다. 또한, 결정부의 크기가 10nm보다 크고 100nm 이하인 산화물 반도체를 미결정 산화물 반도체(micro crystalline oxide semiconductor)라고 부를 경우가 있다. nc-OS는, 예를 들어 고분해능 TEM 이미지에서는, 결정립계를 명확하게 확인할 수 없는 경우가 있다. 또한, 나노 결정은 CAAC-OS에 있어서의 펠릿과 기원이 같을 가능성이 있다. 그러므로, 아래에서는 nc-OS의 결정부를 펠릿이라고 부르는 경우가 있다.
- [0503] 이와 같이, nc-OS는 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS는 상이한 펠릿 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 확인되지 않는다. 따라서, nc-OS는, 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다.
- [0504] 또한, 펠릿(나노 결정) 사이에서는 결정 방위가 규칙성을 갖지 않기 때문에, nc-OS를, RANC(Random Aligned nanocrystals)를 갖는 산화물 반도체, 또는 NANC(Non-Aligned nanocrystals)를 갖는 산화물 반도체라고 부를 수도 있다.
- [0505] nc-OS는, 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체이다. 그러므로, nc-OS는 a-like OS나 비정질 산화물 반도체보다 결함 준위 밀도가 낮아진다. 단, nc-OS는, 상이한 펠릿 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS는, CAAC-OS와 비교하여 결함 준위 밀도가 높아진다.
- [0506] <3-4. a-like OS>
- [0507] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간 구조를 갖는 산화물 반도체이다.
- [0508] 도 40에 a-like OS의 고분해능 단면 TEM 이미지를 나타내었다. 여기서, 도 40의 (A)는 전자 조사 개시시에 있어서의 a-like OS의 고분해능 단면 TEM 이미지이다. 도 40의 (B)는 $4.3 \times 10^8 e^-/nm^2$ 의 전자(e^-) 조사 후에서의 a-like OS의 고분해능 단면 TEM 이미지이다. 도 40의 (A), (B)로부터, a-like OS는 전자 조사 개시시부터, 세로 방향으로 연장되는 줄무늬 형상의 명(明)영역이 확인되는 것을 알 수 있다. 또한, 명영역은 전자 조사 후에 형상이 변화되는 것을 알 수 있다. 또한, 명영역은 공동 또는 저밀도 영역이라고 추측된다.
- [0509] 공동을 갖기 때문에, a-like OS는 불안정한 구조이다. 아래에서는 a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조임을 나타내기 위하여 전자 조사로 인한 구조의 변화를 나타내었다.
- [0510] 시료로서 a-like OS, nc-OS, 및 CAAC-OS를 준비한다. 모든 시료는 In-Ga-Zn 산화물이다.
- [0511] 먼저, 각 시료의 고분해능 단면 TEM 이미지를 취득한다. 고분해능 단면 TEM 이미지에 의하여, 각 시료는 모두 결정부를 갖는다.
- [0512] 또한, InGaZnO₄의 결정의 단위 격자는 In-O층 3층과 Ga-Zn-O층 6층의 총 9층이 c축 방향으로 층상으로 중첩된

구조를 갖는 것이 알려져 있다. 이들 근접하는 층들의 간격은 (009)면의 격자면 간격(d 값이라고도 함)과 같은 정도이며, 결정 구조 해석으로부터 그 값은 0.29nm로 구해진다. 그러므로, 이하에서는 격자 줄무늬(lattice fringe)의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부로 간주하였다. 또한, 격자 줄무늬는 InGaZnO₄의 결정의 a-b면에 대응한다.

- [0513] 도 41은 각 시료의 결정부(22개소~30개소)의 평균의 크기를 조사한 예이다. 단, 상술한 격자 줄무늬의 길이를 결정부의 크기로 하였다. 도 41로부터, a-like OS는 TEM 이미지의 취득 등에 따른 누적 전자 조사량에 따라 결정부가 커지는 것을 알 수 있다. 도 41로부터, TEM에 의한 관찰 초기에는 1.2nm 정도의 크기였던 결정부(초기 핵이라고도 함)가 전자(e⁻)의 누적 조사량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 에서는 1.9nm 정도의 크기까지 성장하고 있는 것을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사 개시 시부터 누적 전자 조사량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 가 될 때까지의 범위에서 결정부의 크기가 변화되지 않는 것을 알 수 있다. 도 41로부터, 누적 전자 조사량과 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.3nm 정도 및 1.8nm 정도인 것을 알 수 있다. 또한, 전자선 조사 및 TEM의 관찰은 히타치 투과 전자 현미경 H-9000NAR을 사용하였다. 전자선 조사 조건은 가속 전압을 300kV, 전류 밀도를 $6.7 \times 10^5 \text{ e}^-/(\text{nm}^2 \cdot \text{s})$, 조사 영역의 직경을 230nm로 하였다.
- [0514] 이와 같이, a-like OS는, 전자 조사에 의하여 결정부의 성장이 보이는 경우가 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사에 의한 결정부의 성장이 거의 관찰되지 않는다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조임을 알 수 있다.
- [0515] 또한, a-like OS는 공동을 갖기 때문에 nc-OS 및 CAAC-OS에 비하여 밀도가 낮은 구조를 갖는다. 구체적으로는, a-like OS의 밀도는, 동일한 조성의 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는, 동일한 조성의 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 단 결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는, 성막하는 것 자체가 어렵다.
- [0516] 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에 있어서, 능면체정(rhombohedral crystal) 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이다. 따라서, 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에 있어서, a-like OS의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이다. 또한, 예를 들어 In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에서 nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이다.
- [0517] 또한, 같은 조성인 단결정이 존재하지 않는 경우, 임의의 비율로 조성이 상이한 단결정 산화물 반도체를 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도를 짐작할 수 있다. 원하는 조성의 단결정 산화물 반도체에 상당하는 밀도는, 조성이 상이한 단결정 산화물 반도체를 조합하는 비율에 대하여 가중 평균을 사용하여 짐작하면 된다. 단, 밀도는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하여 짐작하는 것이 바람직하다.
- [0518] 상술한 바와 같이, 산화물 반도체는 여러 가지 구조를 취하고, 각각이 다양한 특성을 갖는다. 또한, 산화물 반도체는, 예를 들어 비정질 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중, 2종 이상을 갖는 적층막이라도 좋다.
- [0519] 또한, 본 실시형태에 나타난 구성은 다른 실시형태에 나타난 구성과 적절히 조합하여 사용할 수 있다.
- [0520] (실시형태 4)
- [0521] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치를 갖는 표시 모듈 및 전자 기기에 대하여, 도 42~도 45를 참조하여 설명한다.
- [0522] <4-1. 표시 모듈>
- [0523] 도 42에 도시된 표시 모듈(8000)은 상부 커버(8001)와 하부 커버(8002)의 사이에, FPC(8003)가 접속된 터치 패널(8004), FPC(8005)가 접속된 표시 패널(8006), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 갖는다.
- [0524] 본 발명의 일 형태에 따른 표시 장치는 예를 들어, 표시 패널(8006)에 사용할 수 있다.
- [0525] 상부 커버(8001) 및 하부 커버(8002)는 터치 패널(8004) 및 표시 패널(8006)의 사이즈에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.

- [0526] 터치 패널(8004)은 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩하여 사용할 수 있다. 또한, 표시 패널(8006)의 대향 기관(밀봉 기관)에, 터치 패널 기능을 갖도록 할 수 있다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 제공하여, 광학식의 터치 패널로 할 수도 있다.
- [0527] 프레임(8009)은 표시 패널(8006)의 보호 기능 외에, 프린트 기관(8010)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자 실드(shield)로서의 기능을 갖는다. 또한 프레임(8009)은 방열판으로서의 기능을 가져도 좋다.
- [0528] 프린트 기관(8010)은 전원 회로, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원이어도 좋고, 별도 제공한 배터리(8011)에 의한 전원이어도 좋다. 상용 전원을 이용하는 경우, 배터리(8011)는 생략할 수 있다.
- [0529] 또한, 표시 모듈(8000)은 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 형성하여도 좋다.
- [0530] <4-2. 전자 기기>
- [0531] 도 43의 (A)~(E) 및 도 44의 (A)~(E)는 전자 기기를 도시한 것이다. 이들 전자 기기는, 하우징(9000), 표시부(9001), 카메라(9002), 스피커(9003), 조작 키(9005)(전원 스위치, 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전 수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9008) 등을 가질 수 있다.
- [0532] 도 43의 (A)~(E) 및 도 44의 (A)~(E)에 도시된 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 43의 (A)~(E) 및 도 44의 (A)~(E)에 도시된 전자 기기가 갖는 기능은 이에 한정되지 않고, 이 외의 기능을 가져도 좋다.
- [0533] 도 43의 (A)~(E) 및 도 44의 (A)~(E)에 도시된 전자 기기의 자세한 사항에 대하여 아래에서 설명한다.
- [0534] 도 43의 (A)는 텔레비전 장치(9100)를 나타낸 사시도이다. 텔레비전 장치(9100)는 표시부(9001)를 대화면, 예를 들어 50인치 이상, 80인치 이상, 또는 100인치 이상의 표시부(9001)를 제공할 수 있다.
- [0535] 도 43의 (B)는 휴대 정보 단말(9101)을, 도 43의 (C)는 휴대 정보 단말(9102)을, 도 43의 (D)는 휴대 정보 단말(9103)을, 도 43의 (E)는 휴대 정보 단말(9104)을 각각 나타낸 사시도이다.
- [0536] 도 43의 (B)에 도시된 휴대 정보 단말(9101)은 예를 들어 전화기, 수첩 또는 정보 열람 장치 등에서 선택된 하나 또는 복수의 기능을 갖는다. 구체적으로는, 스마트폰으로서 이용할 수 있다. 또한, 도시하지 않았지만, 휴대 정보 단말(9101)에는 스피커(9003), 접속 단자(9006), 센서(9007) 등을 제공하여도 좋다. 또한, 휴대 정보 단말(9101)은 문자나 화상 정보를 그 복수의 면에 표시할 수 있다. 예를 들어, 3개의 조작 버튼 (9050)(조작 아이콘 또는 단지 아이콘이라고도 함)을 표시부(9001) 중 한 면에 표시할 수 있다. 또한, 파선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면(예를 들어 측면)에 표시할 수 있다. 또한, 정보(9051)의 일례로서는, 전자 메일이나 SNS(소셜 네트워킹 서비스)나 전화 등의 착신을 알리는 표시, 전자 메일이나 SNS 등의 제목, 전자 메일이나 SNS 등의 송신자명, 날짜, 시각, 배터리의 잔량, 수신 신호의 강도 등이 있다. 또는 정보(9051)가 표시되는 위치에, 정보(9051) 대신에, 조작 버튼 (9050) 등을 표시하여도 좋다. 또한, 휴대 정보 단말(9101)이 갖는 표시부(9001)는, 일부에 곡면을 갖는다.
- [0537] 도 43의 (C)에 도시된 휴대 정보 단말(9102)은 표시부(9001)의 3면 이상에 정보를 표시하는 기능을 갖는다. 여기에서는 정보(9052), 정보(9053), 정보(9054)가 각각 다른 면에 표시되어 있는 예를 나타낸다. 예를 들어, 휴대 정보 단말(9102)의 사용자는 양복의 가슴 포켓에 휴대 정보 단말(9102)을 수납한 상태로, 그 표시(여기에서는 정보(9053))를 확인할 수 있다. 구체적으로는, 착신한 전화의 발신자의 전화번호 또는 이름 등을 휴대 정보 단말(9102)의 위쪽으로부터 관찰할 수 있는 위치에 표시한다. 사용자는 휴대 정보 단말(9102)을 포켓으로부터 꺼내지 않고, 표시를 확인하여, 전화를 받을지 여부를 판단할 수 있다. 또한, 휴대 정보 단말(9102)이 갖는 표시부(9001)는 일부에 곡면을 갖는다.
- [0538] 도 43의 (D)에 나타낸 휴대 정보 단말(9103)은 상술한 휴대 정보 단말(9101), 휴대 정보 단말(9102)과 달리 표

시부(9001)가 곡면을 갖지 않는 구성이다.

- [0539] 또한, 도 43의 (E)에 도시된 휴대 정보 단말(9104)은 표시부(9001)가 만곡되어 있다. 또한, 도 43의 (E)에 도시된 바와 같이 휴대 정보 단말(9104)에 카메라(9002)를 제공하고 정시 화상을 촬영하는 기능, 동영상 촬영하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 저장하는 기능, 촬영한 화상을 표시부(9001)에 표시하는 기능 등을 가지면 바람직하다.
- [0540] 도 44의 (A)는 손목 시계형 휴대 정보 단말(9200)을 도 44의 (B)는 손목 시계형 정보 단말(9201)을 각각 나타낸 사시도이다.
- [0541] 도 44의 (A)에 도시된 휴대 정보 단말(9200)은 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등 다양한 애플리케이션을 실행할 수 있다. 또한, 표시부(9001)는 그 표시면이 만곡되어 제공되고, 만곡된 표시면을 따라 표시를 수행할 수 있다. 또한, 휴대 정보 단말(9200)은 통신 규격된 근거리 무선 통신을 실행하는 것이 가능하다. 예를 들어, 무선 통신 가능한 헤드 세트와 상호 통신하는 것에 의하여, 핸드 프리로 통화할 수도 있다. 또한, 휴대 정보 단말(9200)은 접속 단자(9006)를 갖고, 다른 정보 단말과 커넥터를 통하여 직접 데이터의 교환을 수행할 수 있다. 또한, 접속 단자(9006)를 통하여 충전을 행할 수 있다. 또한, 충전 동작은 접속 단자(9006)를 통하지 않고, 무선 급전에 의하여 행하여도 좋다.
- [0542] 또한, 도 44의 (B)에 도시된 휴대 정보 단말(9201)은 도 44의 (A)에 도시된 휴대 정보 단말과 달리 표시부(9001)의 표시면이 만곡되어 있지 않다. 또한, 휴대 정보 단말(9201)의 표시부의 외형이 비직사각형상(도 44의 (B)에서는 원형상)이다.
- [0543] 도 44의 (C), (D), (E)는, 접히는(폴더블: Foldable) 휴대 정보 단말(9202)을 도시한 사시도이다. 또한, 도 44의 (C)가 휴대 정보 단말(9202)을 전개한 상태의 사시도이며, 도 44의 (D)가 휴대 정보 단말(9202)을 전개한 상태 또는 접은 상태의 한쪽으로부터 다른 쪽으로 변화하는 도중의 상태의 사시도이며, 도 44의 (E)가 휴대 정보 단말(9202)을 접은 상태의 사시도이다.
- [0544] 휴대 정보 단말(9202)은, 접은 상태에서는 가반성이 우수하고, 전개한 상태에서는, 이음매가 없는 넓은 표시 영역에 의하여 표시의 일람성이 우수하다. 휴대 정보 단말(9202)이 갖는 표시부(9001)는, 힌지(9055)에 의하여 연결된 3개의 하우징(9000)에 지지되어 있다. 힌지(9055)를 이용하여 2개의 하우징(9000) 간을 굴곡시킴으로써, 휴대 정보 단말(9202)을 전개한 상태에서 접은 상태로 가역적으로 변형시킬 수 있다. 예를 들어, 휴대 정보 단말(9202)은 곡률 반경 1mm 이상 150mm 이하로 휨 수 있다.
- [0545] 또한, 본 발명의 일 형태에 따른 표시 장치는 표시부(9001)에 적합하게 사용할 수 있다.
- [0546] 또한, 도 45의 (A), (B)는 복수의 표시 패널을 갖는 표시 장치(9500)의 사시도이다. 또한, 도 45의 (A)는 복수의 표시 패널이 감긴 형태의 사시도이고, 도 45의 (B)는 복수의 표시 패널이 전개된 상태의 사시도이다.
- [0547] 도 45의 (A), (B)에 도시된 표시 장치(9500)는 복수의 표시 패널(9501)과, 축부(9511)와, 베어링부(9512)를 갖는다. 또한, 복수의 표시 패널(9501)은 표시 영역(9502)과, 투광성을 갖는 영역(9503)을 갖는다.
- [0548] 또한, 복수의 표시 패널(9501)은 가요성을 갖는다. 또한, 인접된 2개의 표시 패널(9501)은 그들의 일부가 서로 중첩되도록 제공된다. 예를 들어, 인접된 2개의 표시 패널(9501)의 투광성을 갖는 영역(9503)을 중첩시킬 수 있다. 복수의 표시 패널(9501)을 사용함으로써 대화면의 표시 장치로 할 수 있다. 또한, 사용 상황에 따라 표시 패널(9501)을 감을 수 있기 때문에 범용성이 우수한 표시 장치로 할 수 있다.
- [0549] 또한, 도 45의 (A), (B)에서 표시 영역(9502)이 인접된 표시 패널(9501)에서 이격하는 상태를 도시하였지만, 이에 한정되지 않고, 예를 들어 인접된 표시 패널(9501)의 표시 영역(9502)을 틈 없이 중첩함으로써 연속된 표시 영역(9502)으로 하여도 좋다.
- [0550] 또한, 본 발명의 일 형태에 따른 표시 장치는 표시 패널(9501)에 적합하게 사용할 수 있다.
- [0551] 본 실시형태에서 설명한 전자 기기는 어떠한 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다. 단, 본 발명의 일 형태의 반도체 장치는 표시부를 갖지 않는 전자 기기에도 적용할 수 있다.
- [0552] 본 실시형태에 나타난 구성은 다른 실시형태에 나타난 구성과 적절히 조합하여 사용할 수 있다.
- [0553] (실시형태 5)
- [0554] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치를 갖는 정보 처리 장치의 구성에 대하여 도 46의 (A),

(B)를 참조하여 설명한다.

- [0555] 도 46의 (A)는 본 발명의 일 형태에 따른 표시 장치를 갖는 정보 처리 장치(9600)의 구성을 설명하는 블록도이고, 도 46의 (B)는 조작되는 정보 처리 장치(9600)의 상태를 설명하는 모식도이다.
- [0556] 아래에 정보 처리 장치(9600)를 구성하는 개개의 요소에 대하여 설명한다. 또한, 이들 구성은 명확히 분리할 수 없고, 하나의 구성이 다른 구성을 겹치는 경우나 다른 구성의 일부를 포함하는 경우가 있다.
- [0557] <5. 정보 처리 장치의 구성예>
- [0558] 정보 처리 장치(9600)는 연산 장치(9610)와, 입출력 장치(9620)를 갖는다.
- [0559] [연산 장치]
- [0560] 연산 장치(9610)는 연산부(9611)와, 기억부(9612)와, 전송로(9614)와, 입출력 인터페이스(9615)를 갖는다.
- [0561] [연산부]
- [0562] 연산부(9611)는 프로그램을 실행하는 기능을 갖는다.
- [0563] [기억부]
- [0564] 기억부(9612)는 연산부(9611)가 실행하는 프로그램, 초기 정보, 설정 정보 또는 화상 등을 기억하는 기능을 갖는다. 구체적으로 하드 디스크, 플래시 메모리, 또는 산화물 반도체를 포함하는 트랜지스터를 사용한 메모리 등을 사용할 수 있다.
- [0565] [프로그램]
- [0566] 연산부(9611)가 실행하는 프로그램은 예를 들어, 아래의 3개의 단계를 갖는다. 도 46의 (B)를 참조하여 3개의 단계에 대하여 설명한다.
- [0567] 제 1 단계에서, 위치 정보(P1)를 취득한다.
- [0568] 제 2 단계에서, 위치 정보(P1)에 의거하여 제 1 영역(9681)을 결정한다.
- [0569] 제 3 단계에서, 제 1 영역(9681)에 표시하는 화상으로서 다른 영역에 표시하는 화상보다 휘도가 높여진 화상(화상 정보(Q1))을 생성한다.
- [0570] 예를 들어, 연산 장치(9610)는 위치 정보(P1)에 의거하여 제 1 영역(9681)을 결정한다. 구체적으로는 제 1 영역(9681)의 형상을 타원형상, 원형상, 다각형상 또는 직사각형상 등으로 할 수 있다. 예를 들어, 위치 정보(P1)를 포함하는 반경 60cm 이하, 바람직하게는 5cm 이상 30cm 이하의 범위를 제 1 영역(9681)으로 결정한다.
- [0571] 또한, 제 1 영역(9681)에 표시하는 화상으로서 다른 영역에 표시하는 화상보다 휘도가 높여진 화상을 생성하는 방법으로써 제 1 영역(9681)에 표시하는 화상의 휘도를 다른 영역에 표시하는 화상의 휘도의 110% 이상 바람직하게는 120% 이상 200% 이하로 높인다. 또는, 제 1 영역(9681)에 표시하는 화상의 휘도의 평균을 다른 영역에 표시하는 휘도의 평균의 110% 이상 바람직하게는 120% 이상 200% 이하로 높인다.
- [0572] 상술한 프로그램을 실행함으로써 정보 처리 장치(9600)는 위치 정보(P1)에 의거하여 제 1 영역(9681)에 표시하는 화상으로서 다른 영역에 표시하는 화상보다 휘도가 높여진 화상 정보(Q1)를 생성할 수 있다. 그 결과, 조작자는 조작을 쾌적하게 할 수 있게 되어, 편리성이 우수한 정보 처리 장치(9600)를 제공할 수 있다.
- [0573] [입출력 인터페이스]
- [0574] 입출력 인터페이스(9615)는 단자 또는 배선을 갖는다. 또한, 입출력 인터페이스(9615)는 정보를 공급하는 기능과, 정보를 공급받는 기능을 갖는다. 예를 들어, 입출력 인터페이스(9615)는 전송로(9614) 및 입출력 장치(9620) 중 어느 한쪽 또는 양쪽과 전기적으로 접속할 수 있다.
- [0575] [전송로]
- [0576] 전송로(9614)는 배선을 갖는다. 또한, 전송로(9614)는 정보를 공급하는 기능과 정보를 공급받는 기능을 갖는다. 예를 들어, 전송로(9614)는 연산부(9611), 기억부(9612) 또는 입출력 인터페이스(9615)와 전기적으로 접속할 수 있다.
- [0577] [입출력 장치]

- [0578] 입출력 장치(9620)는 표시부(9630)와, 입력부(9640)와, 검지부(9650)와, 통신부(9690)를 갖는다.
- [0579] [표시부]
- [0580] 표시부(9630)는 표시 패널을 갖는다. 이 표시 패널은 화소를 갖고, 화소는 반사형 표시 소자와 투과형 발광 소자를 갖는 구성으로 하면 좋다. 또한, 화상 정보를 사용하여 반사형 표시 소자의 반사율을 높여, 표시되는 화상의 휘도를 높일 수 있다. 또는, 화상 정보를 사용하여 발광 소자의 휘도를 높여 표시되는 화상의 휘도를 높일 수 있다. 즉, 표시부(9630)에 본 발명의 일 형태에 따른 표시 장치를 적합하게 사용할 수 있다.
- [0581] [입력부]
- [0582] 입력부(9640)는 입력 패널을 갖는다. 예를 들어, 입력 패널은 근접 센서를 갖는다. 이 근접 센서는 포인터(9682)를 검지하는 기능을 갖는다. 또한, 포인터(9682)는 손가락이나 스타일러스 등을 사용하면 좋다. 또한, 이 스타일러스 펜으로서는 발광 다이오드 등의 발광 소자, 금속 편 또는 코일 등을 사용하면 좋다.
- [0583] 또한, 근접 센서로서, 정전 용량형 근접 센서, 전자기 유도형 근접 센서, 적외선 검지형 근접 센서, 광전 변환 소자를 사용한 근접 센서 등을 사용하면 좋다.
- [0584] 정전 용량형 근접 센서는 도전막을 갖고, 이 도전막에 대한 근접을 검지하는 기능을 갖는다. 예를 들어, 입력 패널의 서로 다른 영역에 복수의 도전막을 제공하여 포인터(9682)로서 사용되는 손가락 등이 근접하는 영역을 도전막에 기생하는 용량의 변화에 의거하여 특정함으로써 위치 정보를 결정할 수 있다.
- [0585] 전자기 유도형 근접 센서는 금속 편이나 코일 등의 검지 회로에 대한 근접을 검지하는 기능을 갖는다. 예를 들어, 입력 패널의 서로 다른 영역에 복수의 발진 회로를 제공하여 포인터(9682)로서 사용되는 스타일러스 펜 등에 제공된 금속 편이나 코일 등이 근접하는 영역을 발진 회로의 회로 상수의 변화에 의거하여 특정함으로써 위치 정보를 결정할 수 있다.
- [0586] 광 검지형 근접 센서는 발광 소자의 근접을 검지하는 기능을 갖는다. 예를 들어, 입력 패널의 서로 다른 영역에 복수의 광전 변환 소자를 제공하고, 포인터(9682)로서 사용되는 스타일러스 펜 등에 제공된 발광 소자가 근접하는 영역을 광전 변환 소자의 기전력의 변화에 의거하여 특정함으로써 위치 정보를 결정할 수 있다.
- [0587] [검지부]
- [0588] 검지부(9650)로서는 환경의 밝기를 검지하는 조도 센서나 인감 센서 등을 사용하면 좋다.
- [0589] [통신부]
- [0590] 통신부(9690)는 네트워크에 정보를 공급하여 네트워크로부터 정보를 취득하는 기능을 갖는다.
- [0591] 위에서 설명한 정보 처리 장치(9600)로서 예를 들어, 교육, 디지털 사이니지 또는 스마트 텔레비전 시스템 등에 사용할 수 있다.
- [0592] 또한, 본 실시형태는 본 명세서에 나타낸 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

- [0593] 100: 트랜지스터
- 100A: 트랜지스터
- 100B: 트랜지스터
- 100C: 트랜지스터
- 100D: 트랜지스터
- 100E: 트랜지스터
- 100F: 트랜지스터
- 100G: 트랜지스터
- 100H: 트랜지스터

100J: 트랜지스터
100K: 트랜지스터
102: 기관
104: 절연막
106: 도전막
107: 산화물 반도체막
108: 산화물 반도체막
108_1: 산화물 반도체막
108_2: 산화물 반도체막
108_3: 산화물 반도체막
108d: 드레인 영역
108f: 영역
108i: 채널 영역
108s: 소스 영역
110: 절연막
110_0: 절연막
112: 도전막
112_0: 도전막
116: 절연막
118: 절연막
120a: 도전막
120b: 도전막
122: 절연막
140: 마스크
141a: 개구부
141b: 개구부
143: 개구부
401: 기관
402: 도전막
403a: 도전막
403b: 도전막
403c: 도전막
404: 절연막
404a: 게이트 드라이버 회로부
405a: 도전막
405b: 도전막

405c: 도전막
405d: 도전막
406: 절연막
407a: 도전막
407b: 도전막
407c: 도전막
407d: 도전막
407e: 도전막
407f: 도전막
407g: 도전막
408: 절연막
409a: 산화물 반도체막
409b: 산화물 반도체막
409c: 산화물 반도체막
410a: 절연막
410b: 절연막
410c: 절연막
411a: 산화물 반도체막
411b: 산화물 반도체막
411c: 산화물 반도체막
412: 절연막
413: 절연막
414a: 도전막
414b: 도전막
414c: 도전막
414d: 도전막
414e: 도전막
414f: 도전막
414g: 도전막
414h: 도전막
416: 절연막
417: 도전막
418: 절연막
419: EL층
420: 도전막
430: 표시 소자

430d: 표시 영역
450: 개구부
452: 기관
454: 밀봉재
500: 표시 장치
501: 화소 회로
502: 화소부
504a: 게이트 드라이버 회로부
504b: 게이트 드라이버 회로부
506: 소스 드라이버 회로부
508a: 외부 회로
508b: 외부 회로
602: 차광막
604: 착색막
606: 절연막
608: 도전막
610a: 구조체
610b: 구조체
618a: 배향막
618b: 배향막
620: 액정층
622: 실재
624: 도전체
626: 기능막
630: 표시 소자
630d: 표시 영역
652: 기관
662: 차광막
663: 절연막
664: 도전막
665: 도전막
666: 절연막
667: 도전막
668: 절연막
672: 기관
674: 접착재

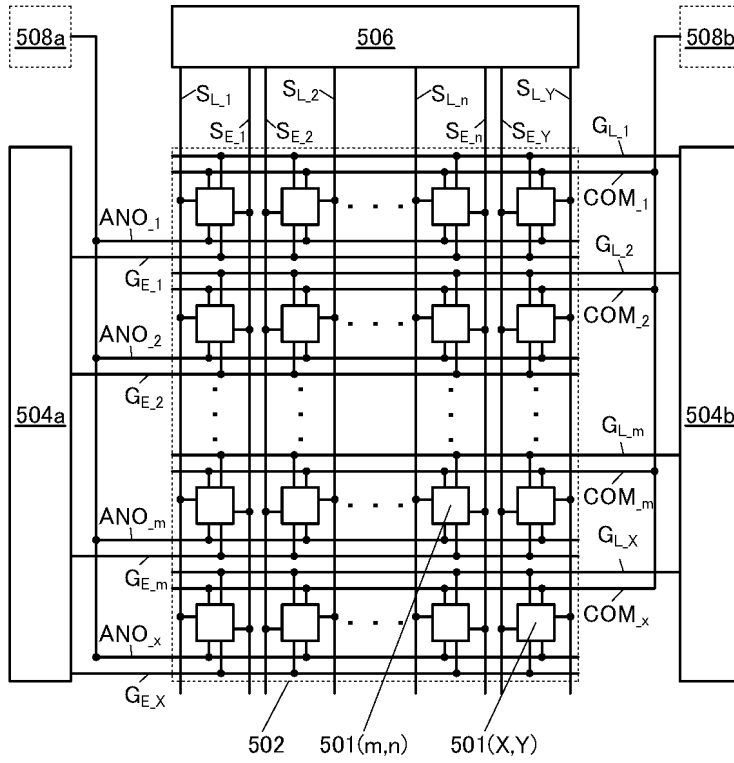
681: 절연막
682: 도전막
691: 터치 패널
692: 터치 패널
693: 터치 패널
8000: 표시 모듈
8001: 상부 커버
8002: 하부 커버
8003: FPC
8004: 터치 패널
8005: FPC
8006: 표시 패널
8009: 프레임
8010: 프린트 기판
8011: 배터리
9000: 하우징
9001: 표시부
9002: 카메라
9003: 스피커
9005: 조작 키
9006: 접속 단자
9007: 센서
9008: 마이크로폰
9050: 조작 버튼
9051: 정보
9052: 정보
9053: 정보
9054: 정보
9055: 힌지
9100: 텔레비전 장치
9101: 휴대 정보 단말
9102: 휴대 정보 단말
9103: 휴대 정보 단말
9104: 휴대 정보 단말
9200: 휴대 정보 단말
9201: 휴대 정보 단말

9202: 휴대 정보 단말
9500: 표시 장치
9501: 표시 패널
9502: 표시 영역
9503: 영역
9511: 축부
9512: 베어링부
9600: 정보 처리 장치
9610: 연산 장치
9611: 연산부
9612: 기억부
9614: 전송로
9615: 입출력 인터페이스
9620: 입출력 장치
9630: 표시부
9640: 입력부
9650: 검지부
9681: 영역
9682: 포인터
9690: 통신부

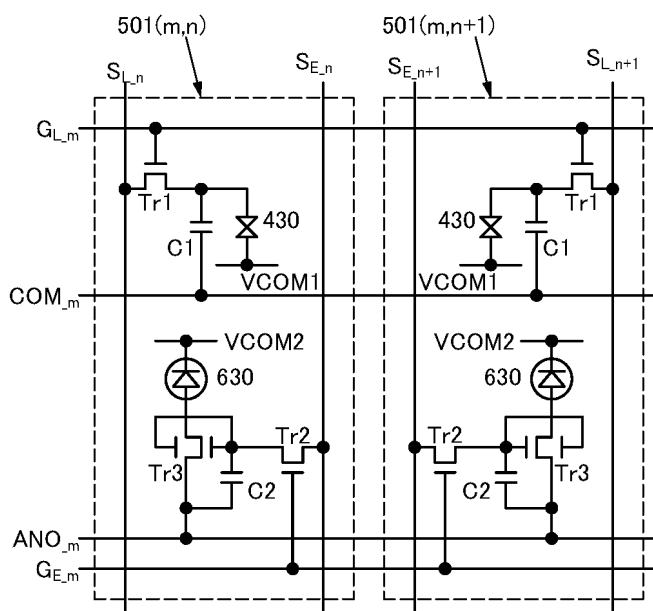
도면

도면1

500

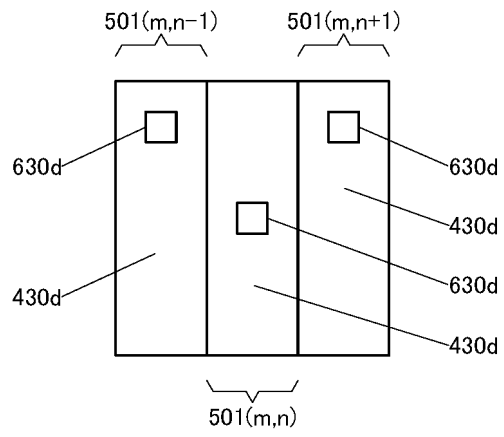


도면2

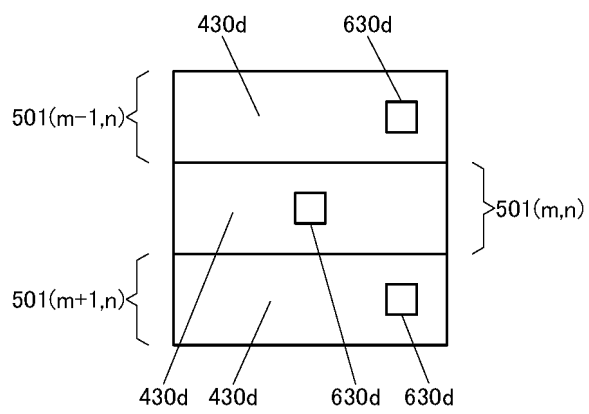


도면3

(A)

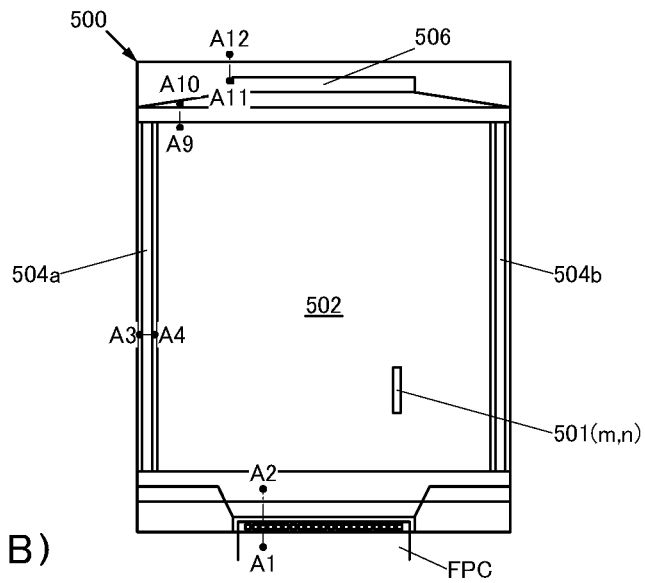


(B)

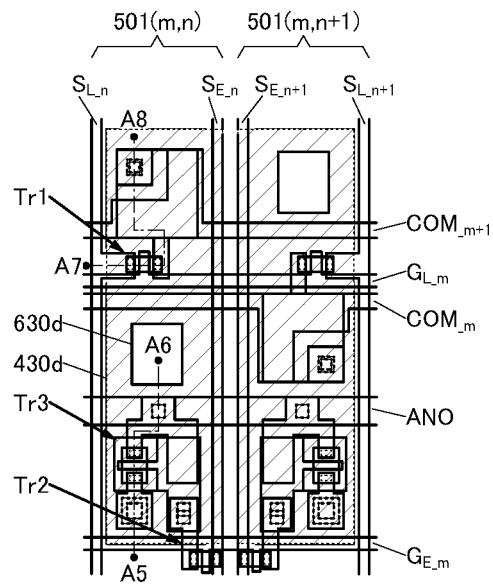


도면4

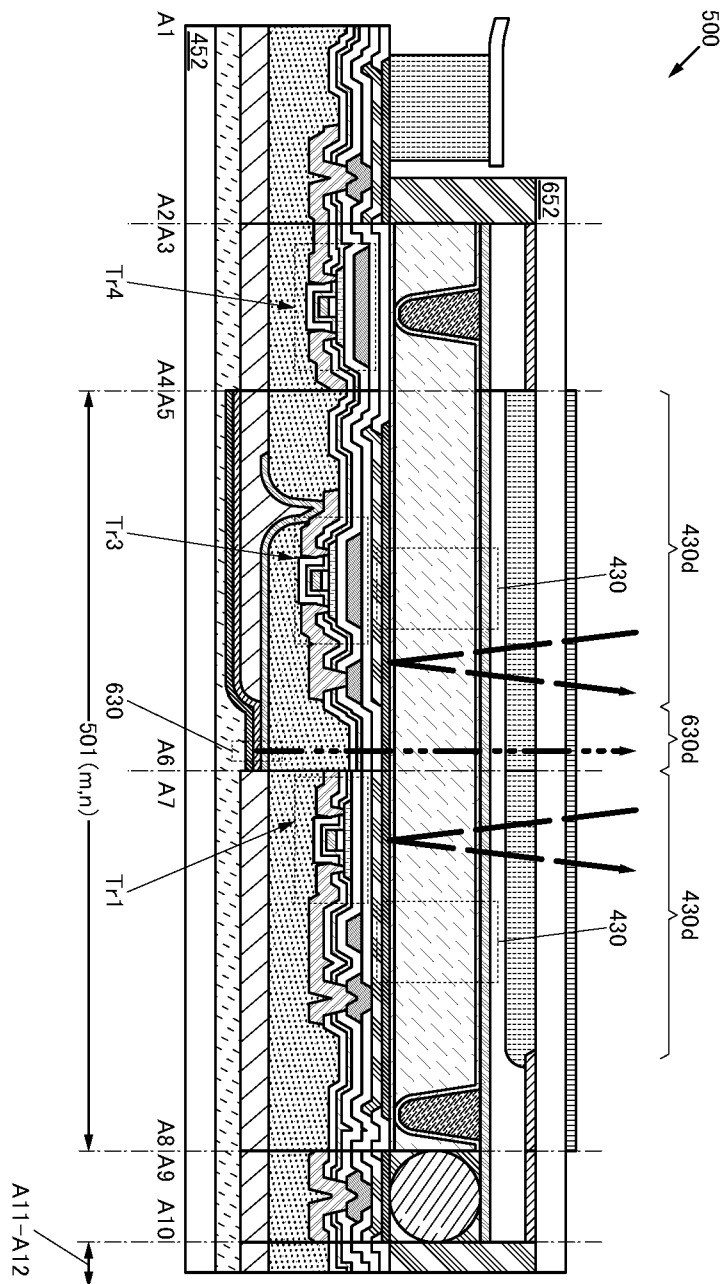
(A)



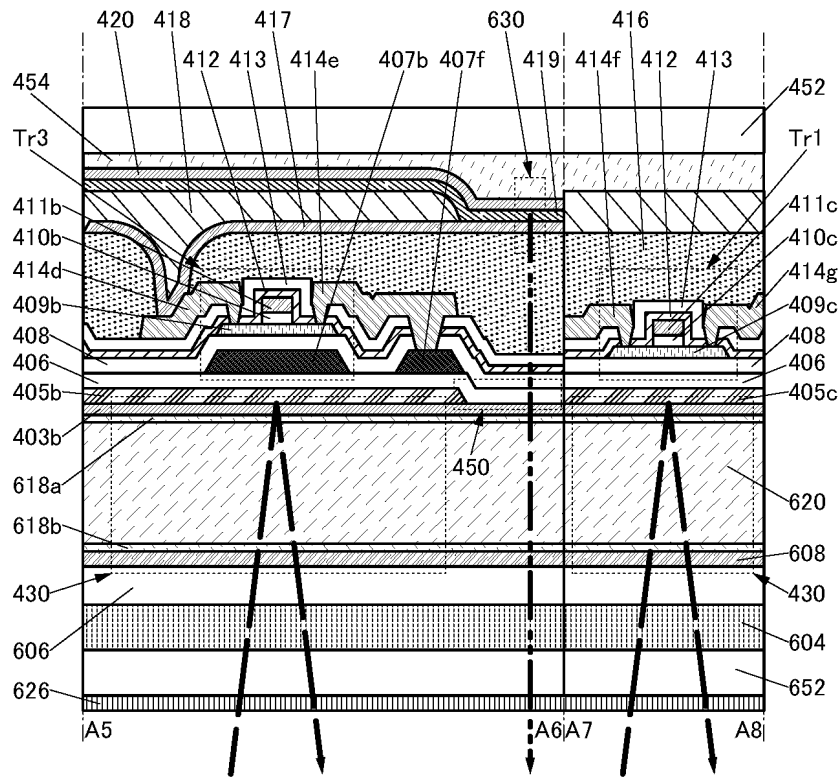
(B)



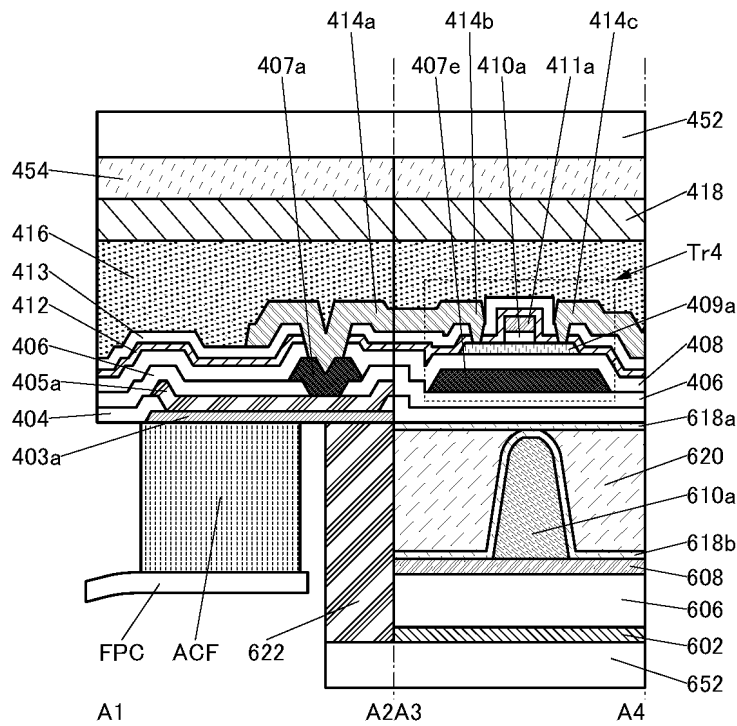
도면5



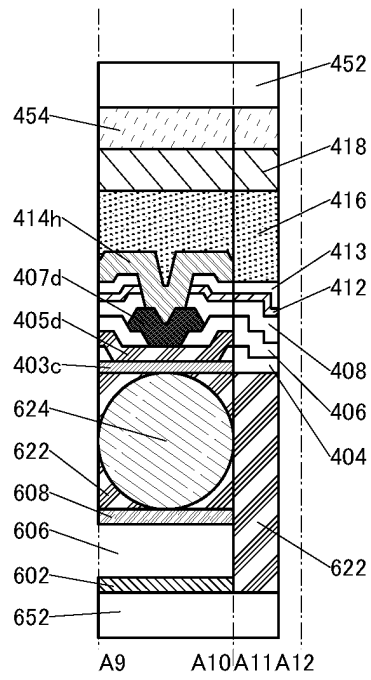
도면6



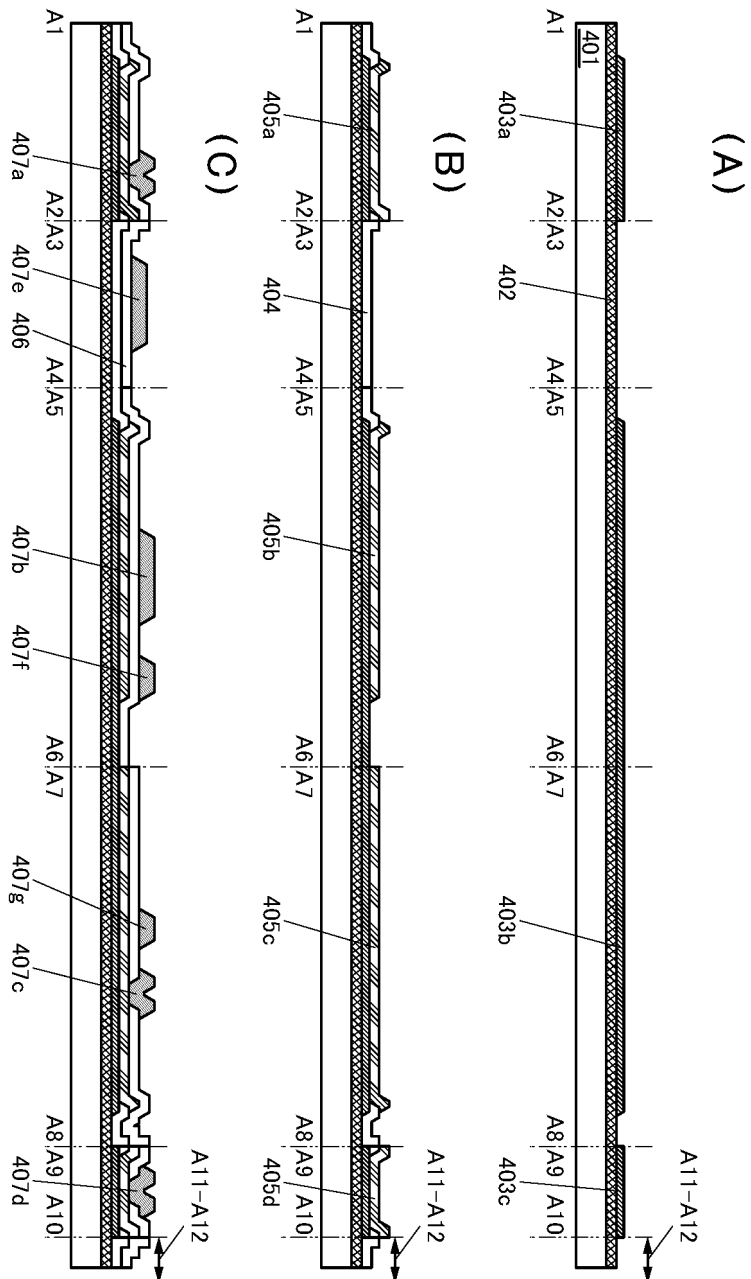
도면7



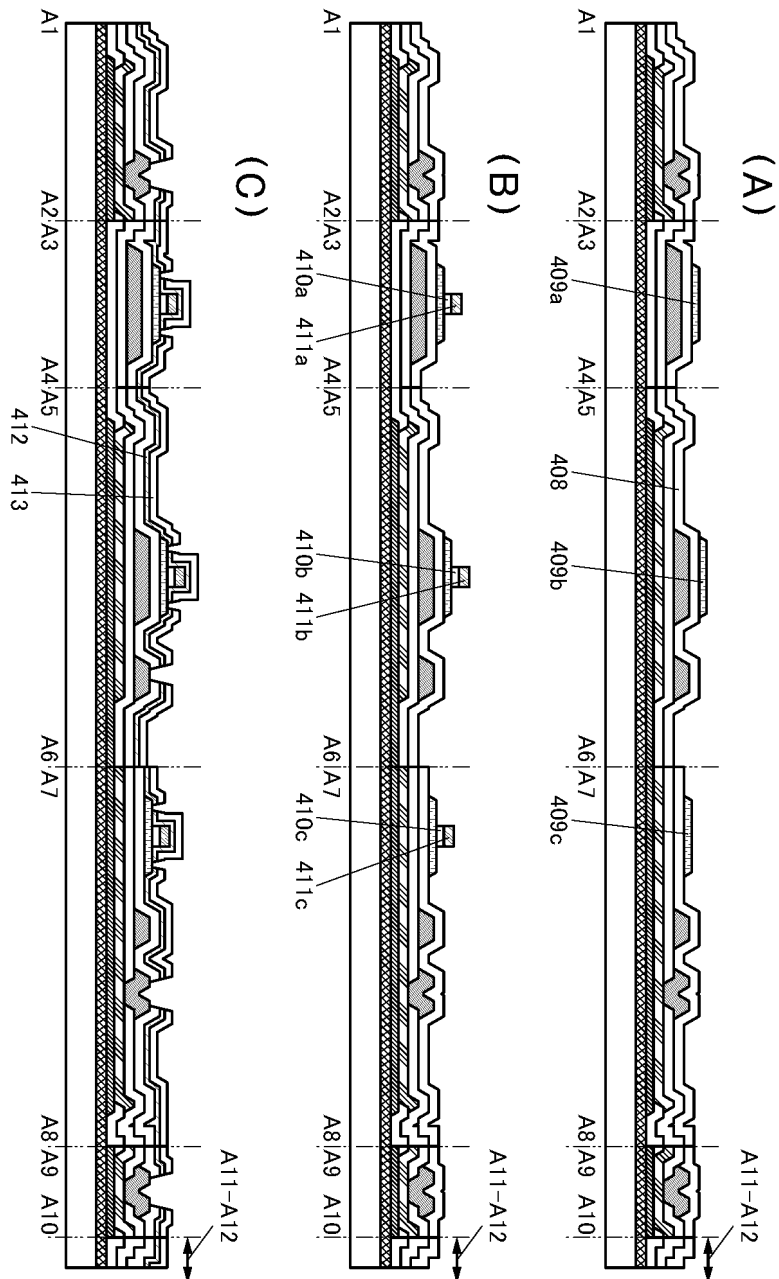
도면8



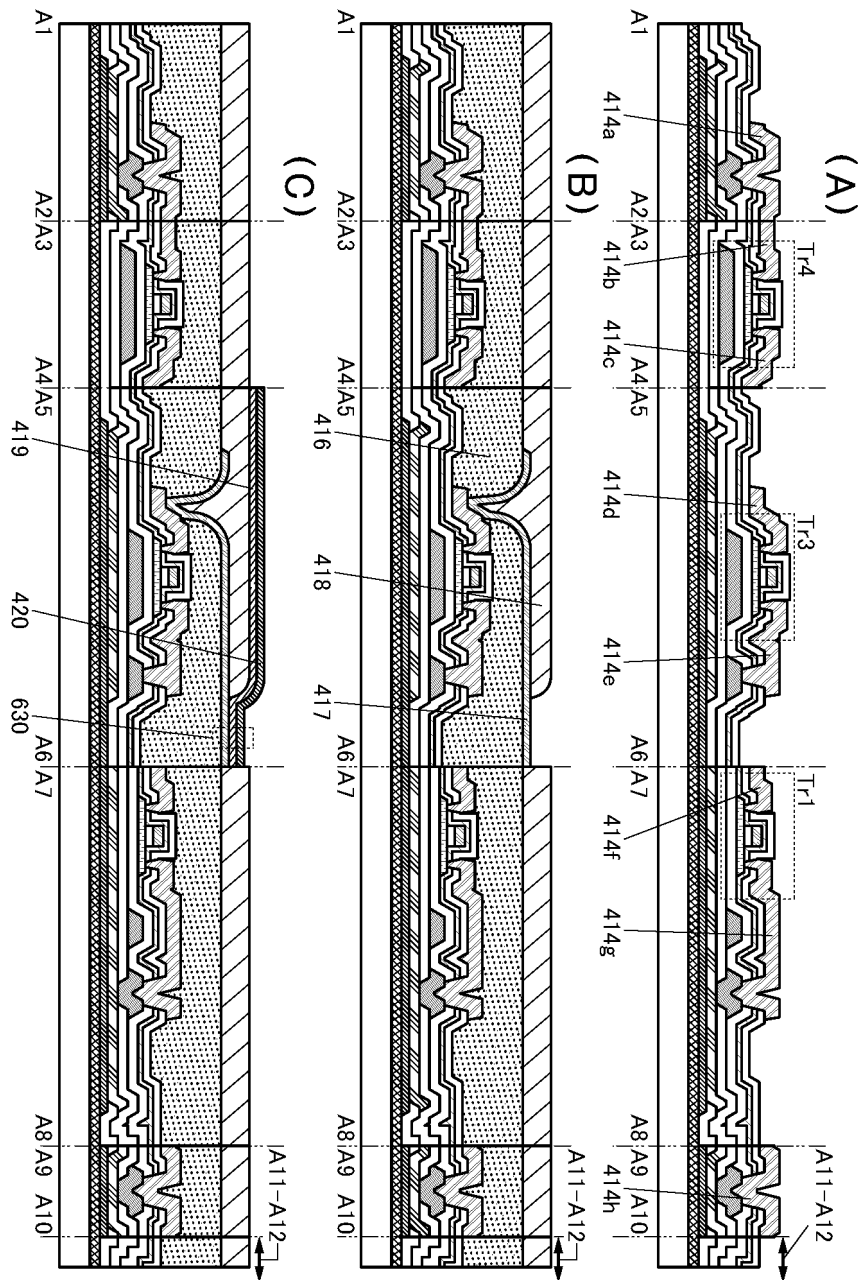
도면9



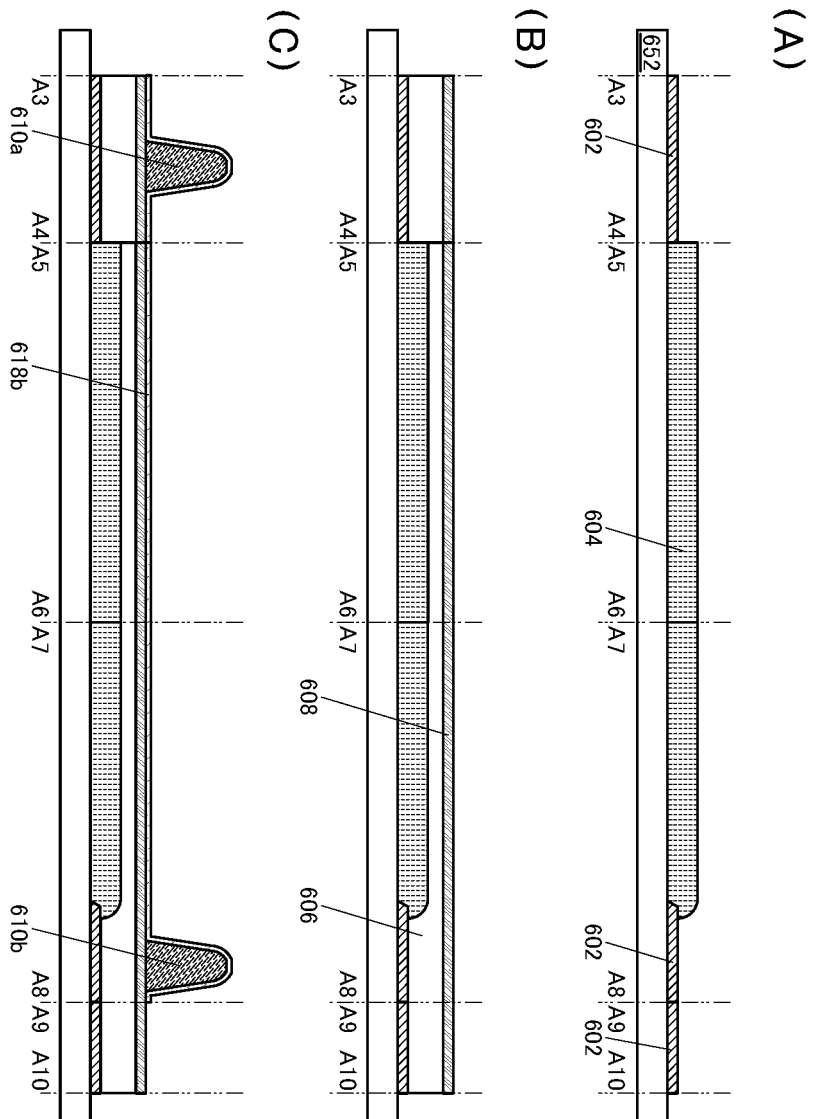
도면10



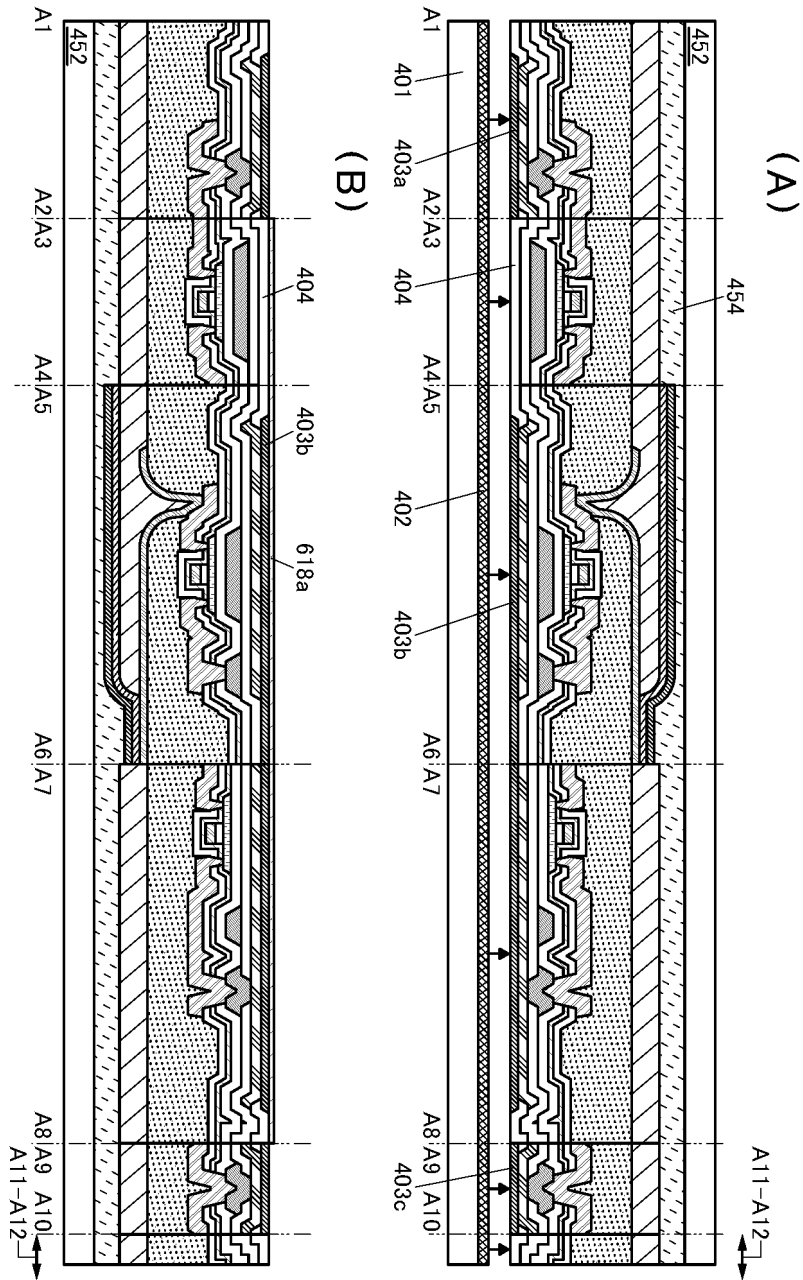
도면11



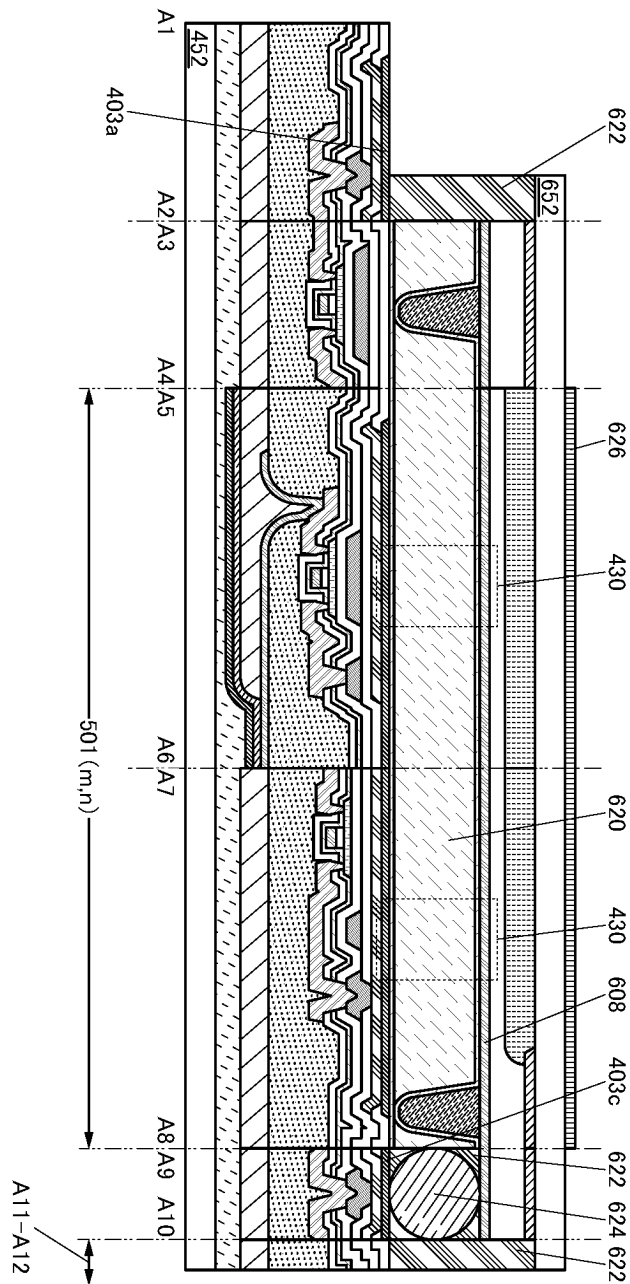
도면12



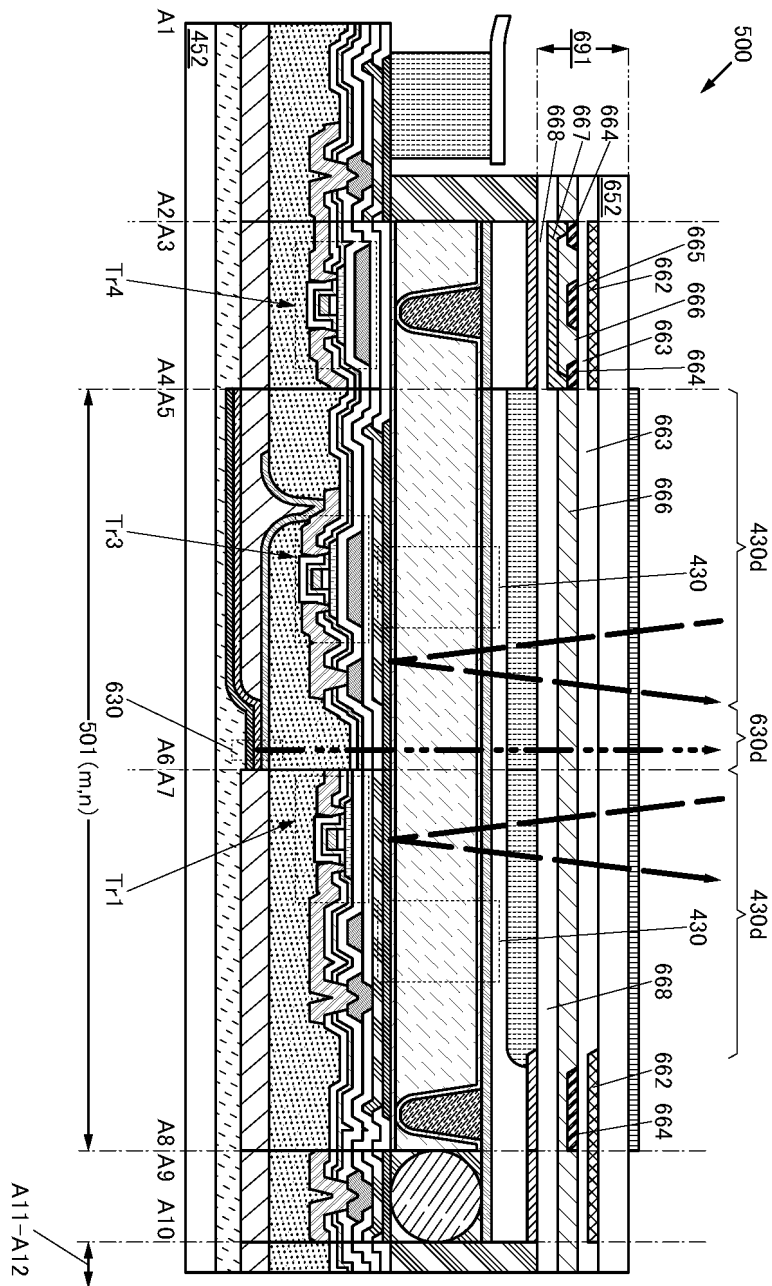
도면13



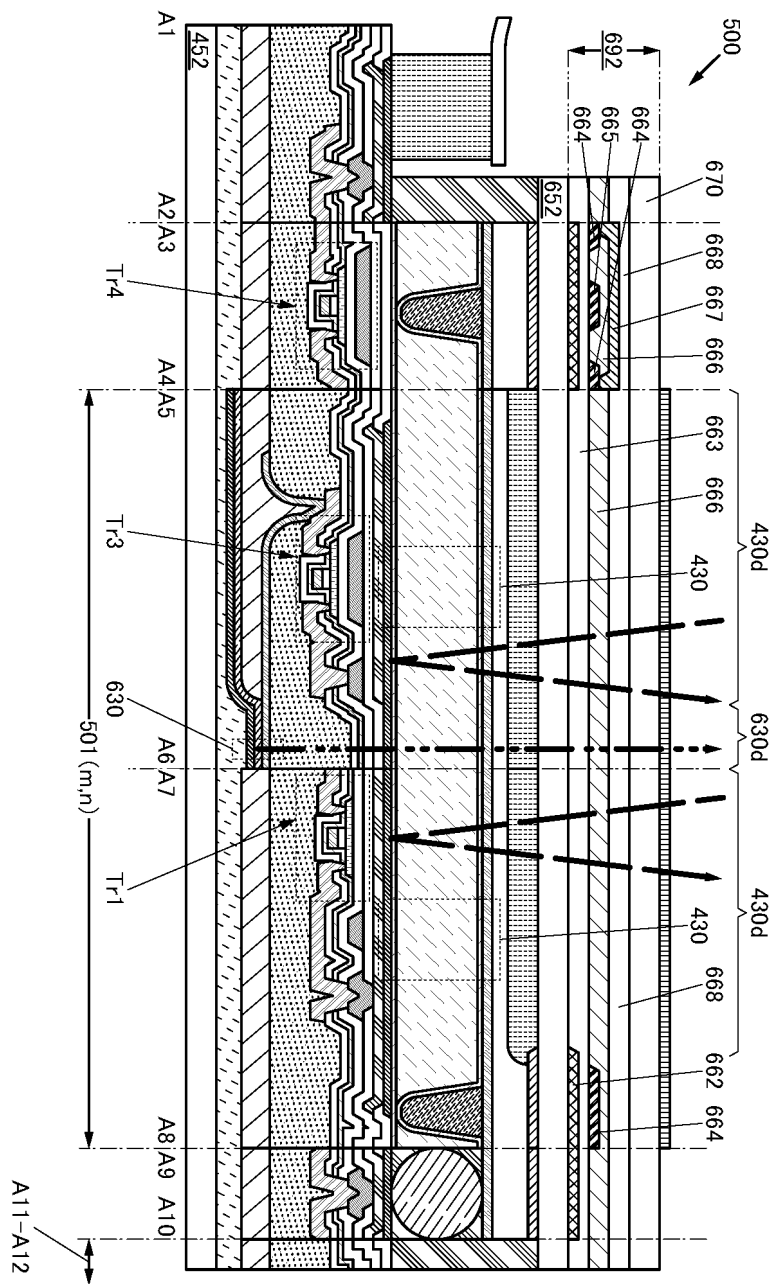
도면14



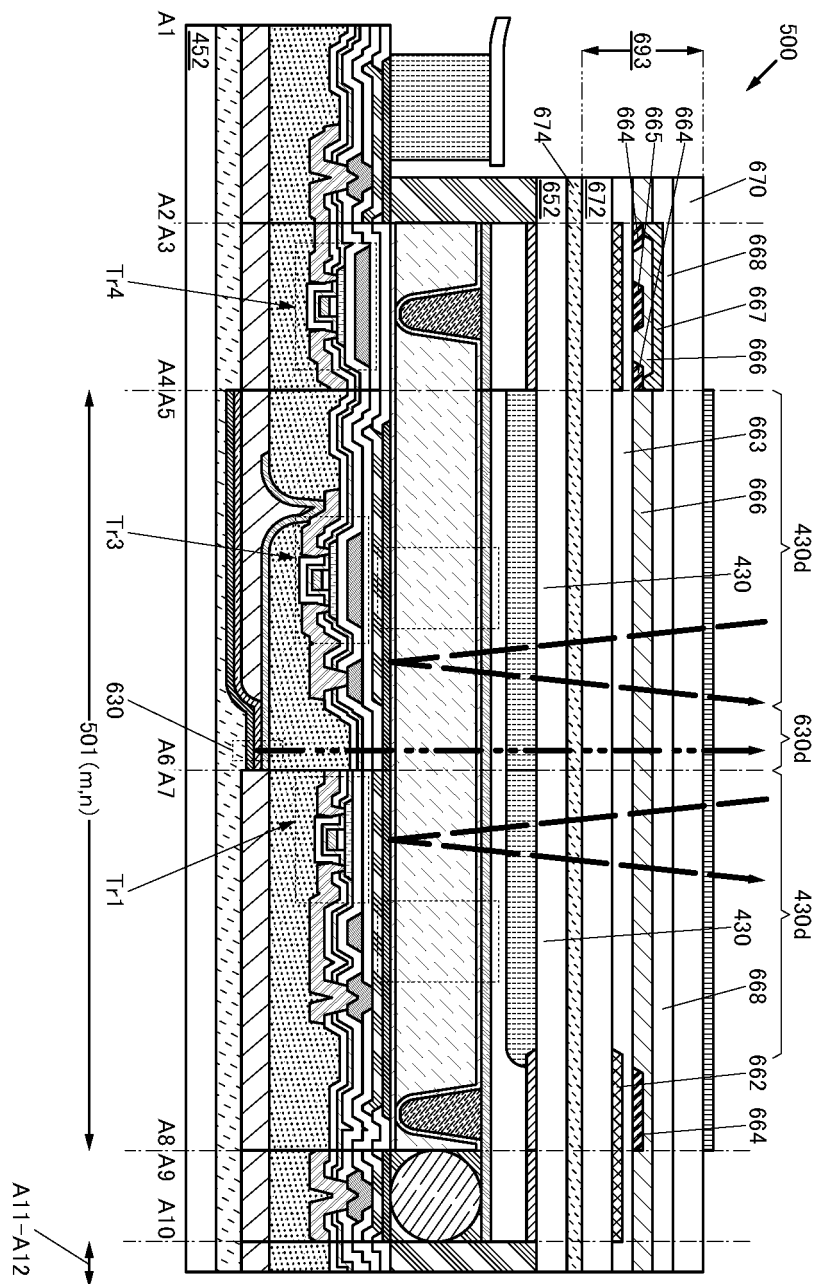
도면15



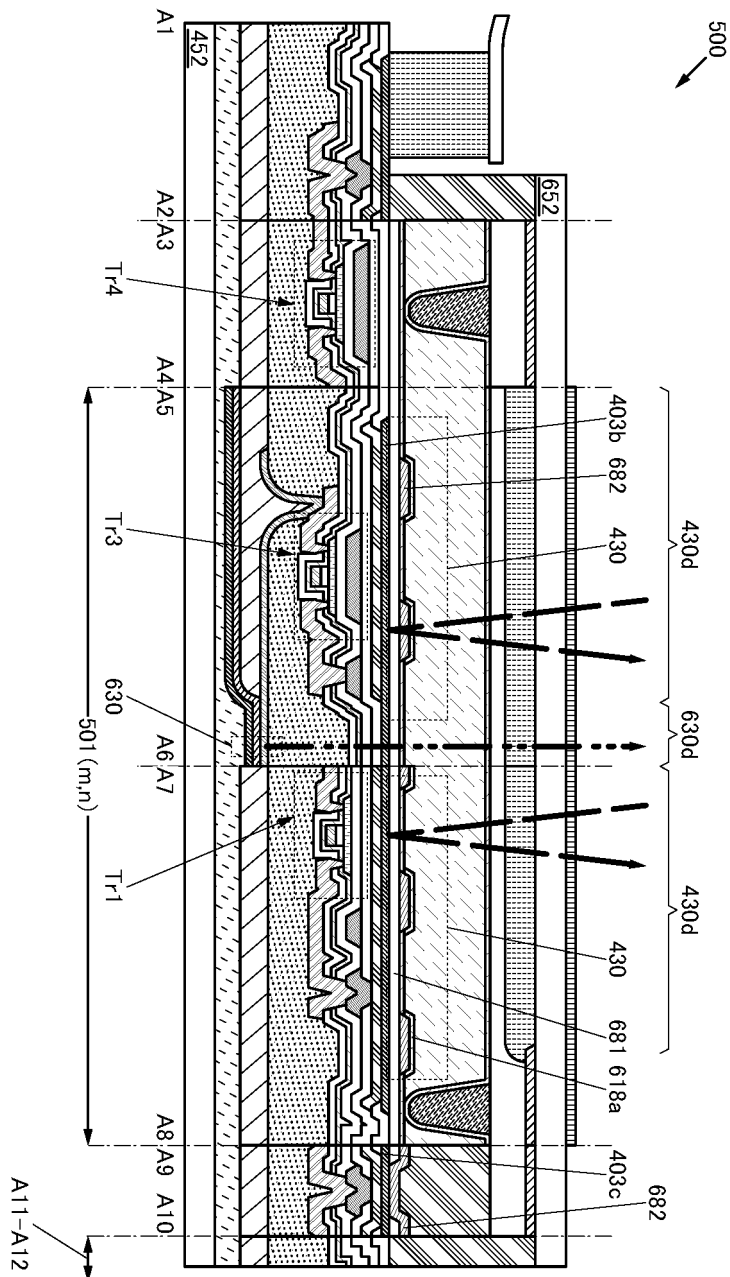
도면16



도면17

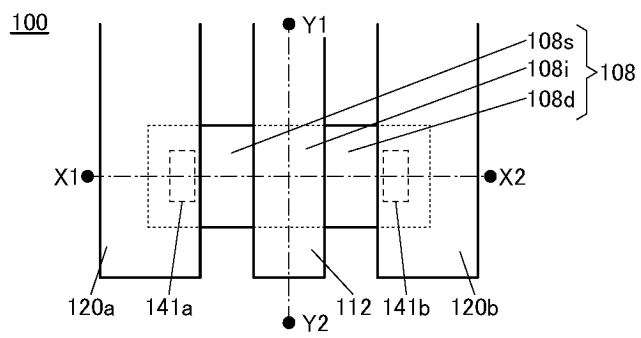


도면18

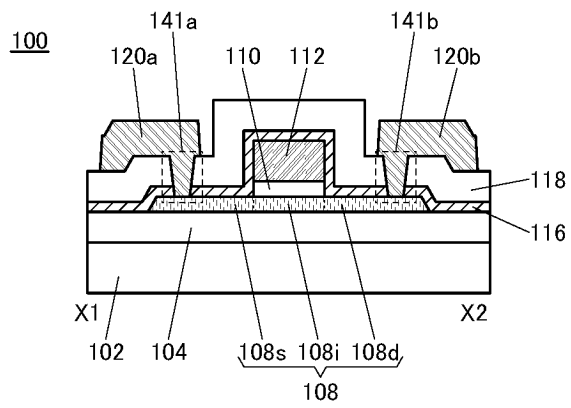


도면19

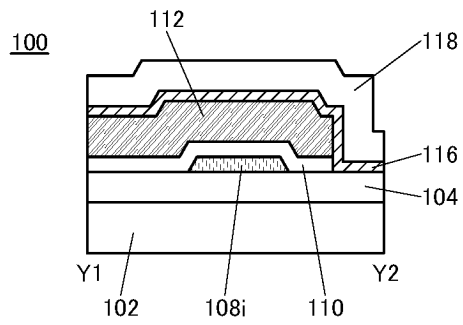
(A)



(B)

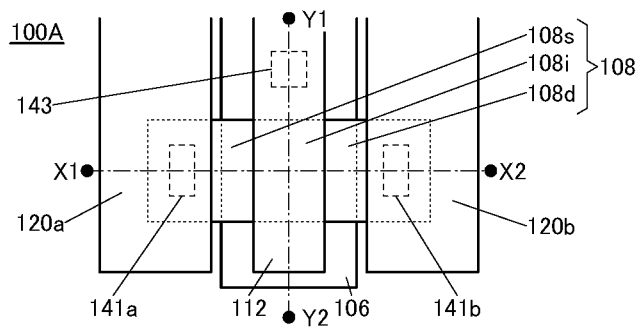


(C)

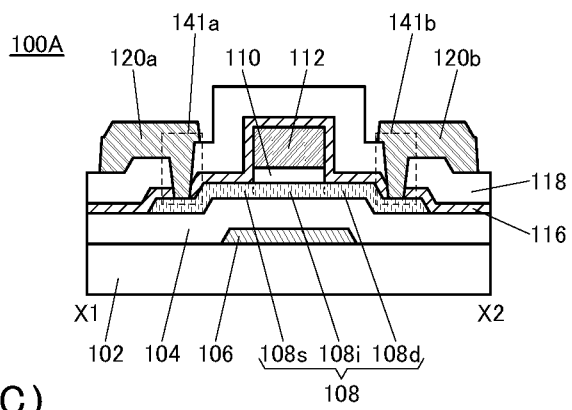


도면20

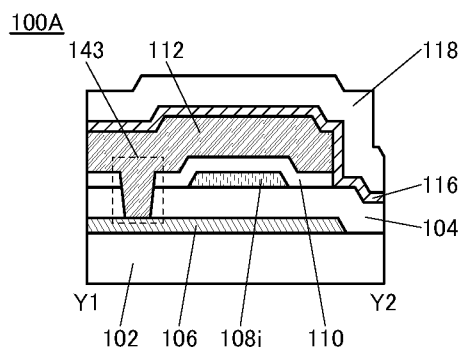
(A)



(B)

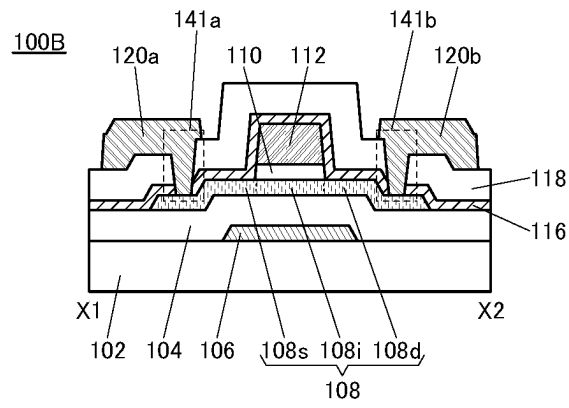


(C)

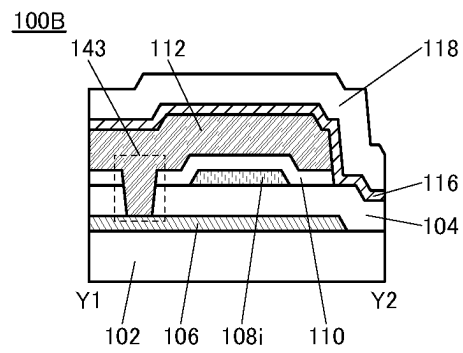


도면21

(A)

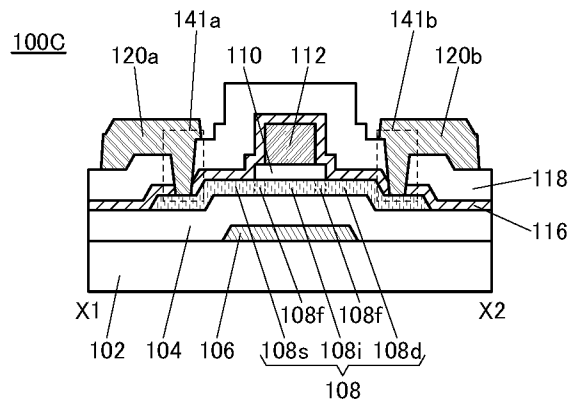


(B)

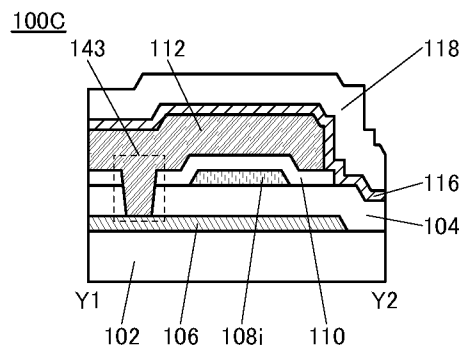


도면22

(A)

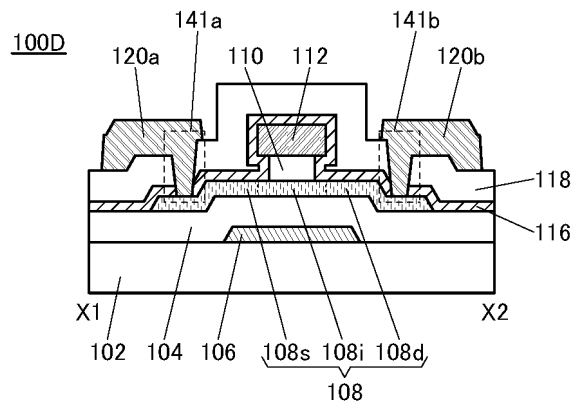


(B)

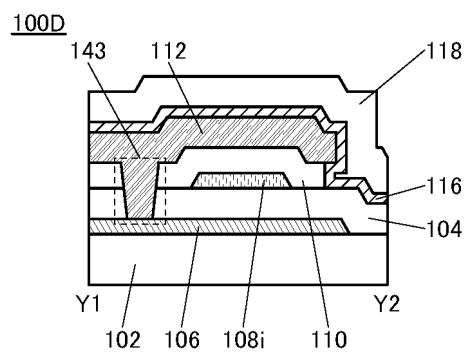


도면23

(A)



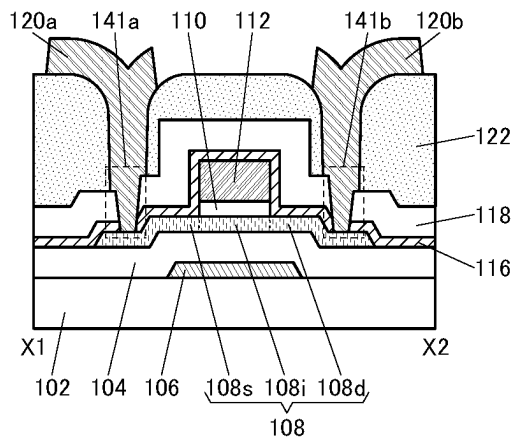
(B)



도면24

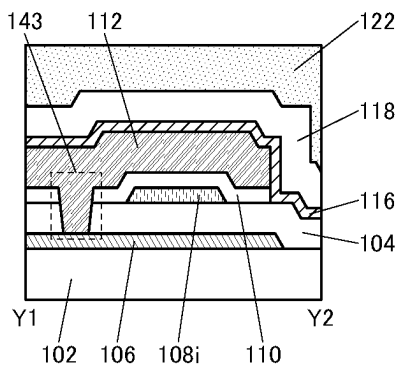
(A)

100E



(B)

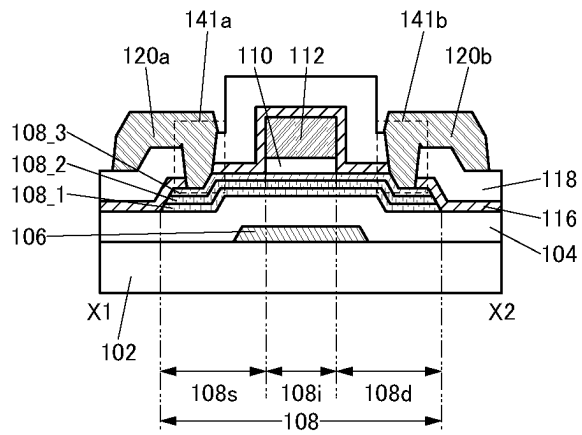
100E



도면25

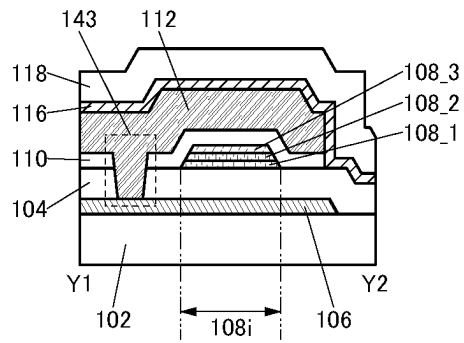
(A)

100F



(B)

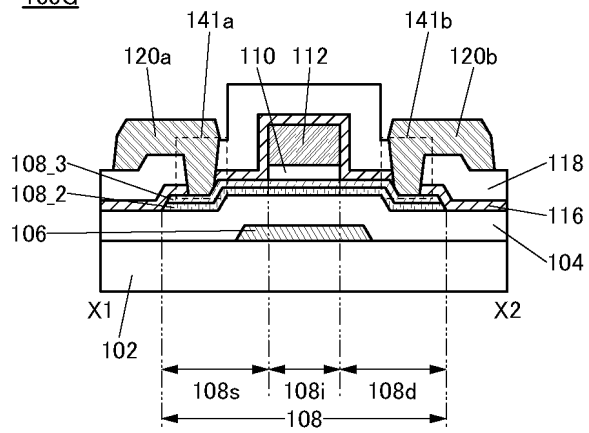
100F



도면26

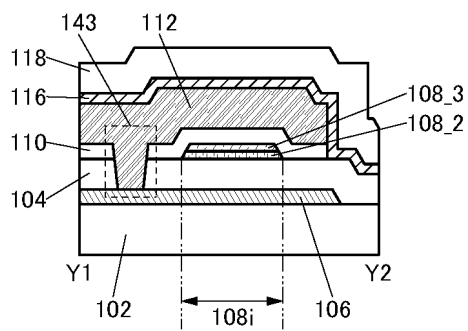
(A)

100G



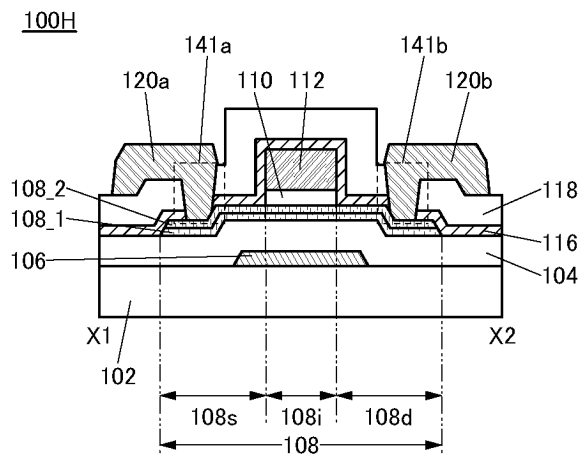
(B)

100G

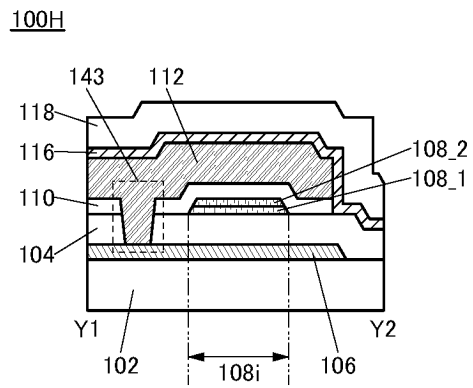


도면27

(A)



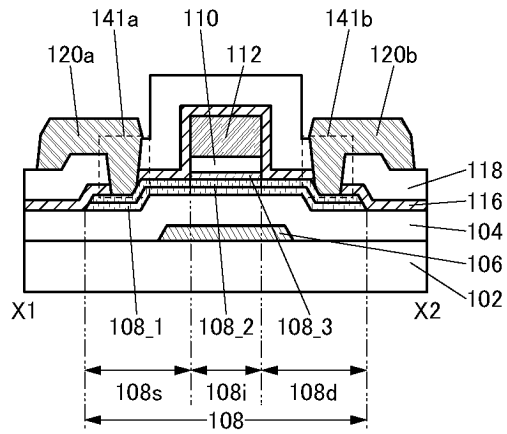
(B)



도면28

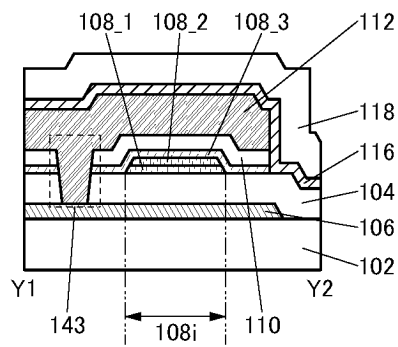
(A)

100J



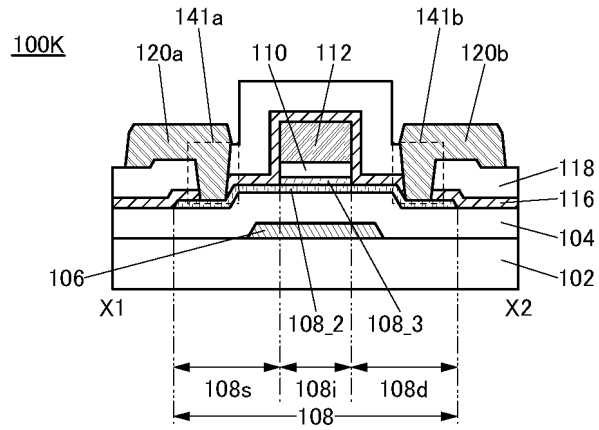
(B)

100J

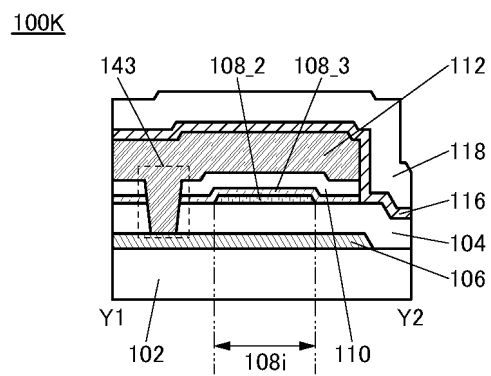


도면29

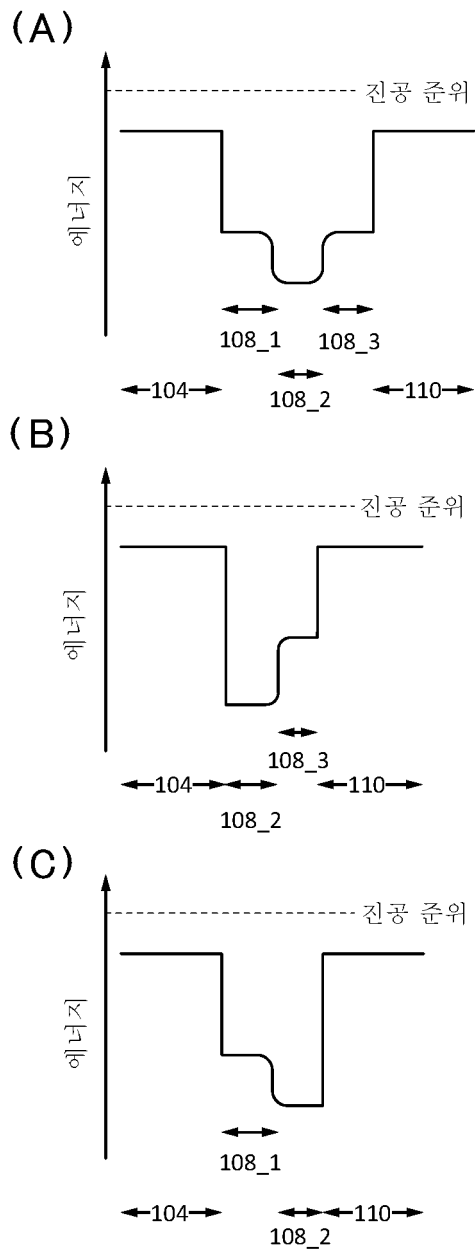
(A)



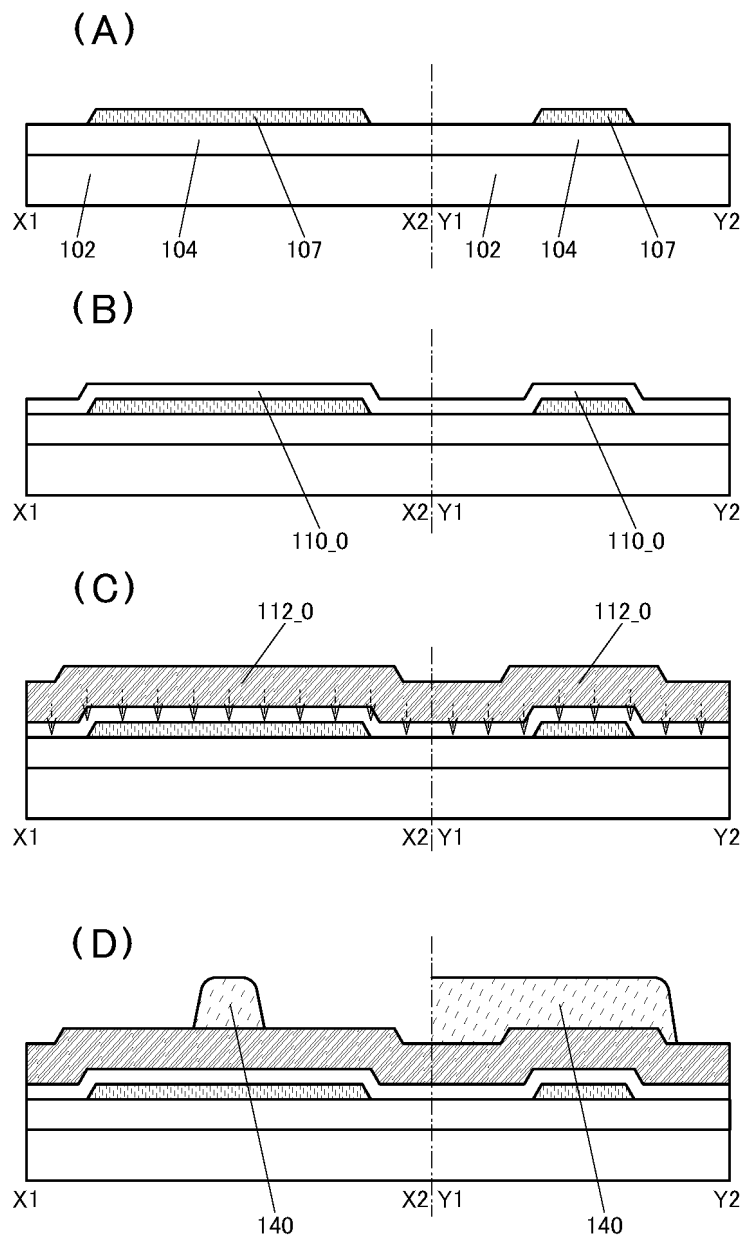
(B)



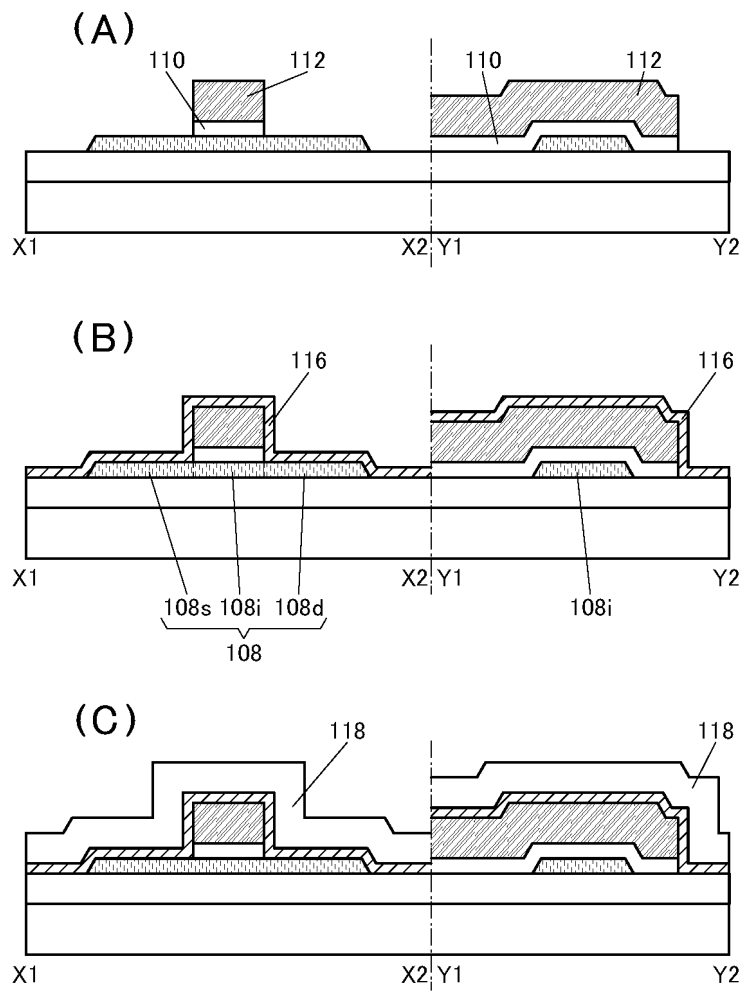
도면30



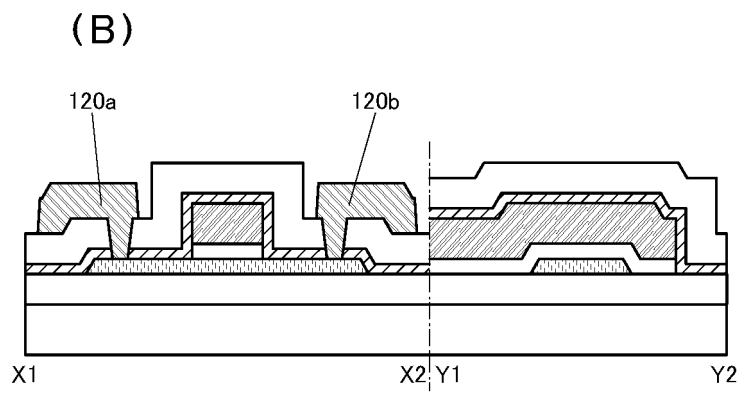
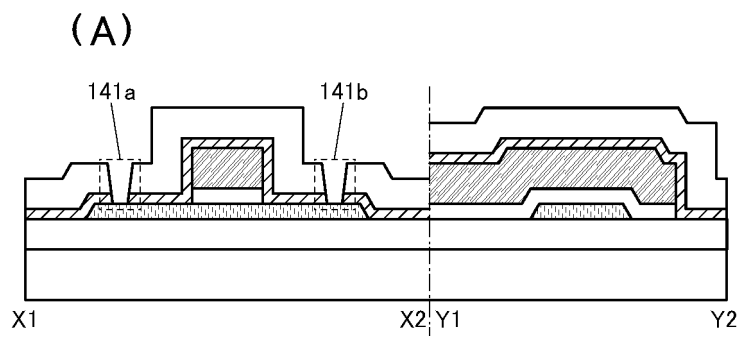
도면31



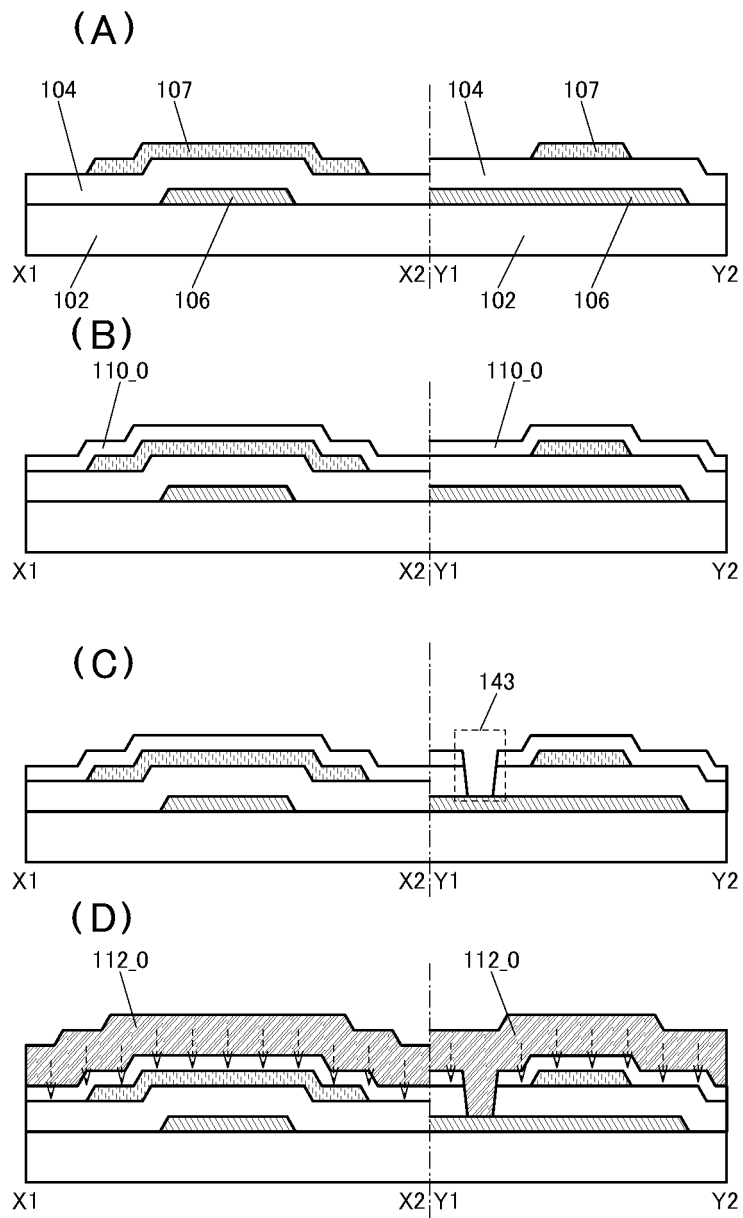
도면32



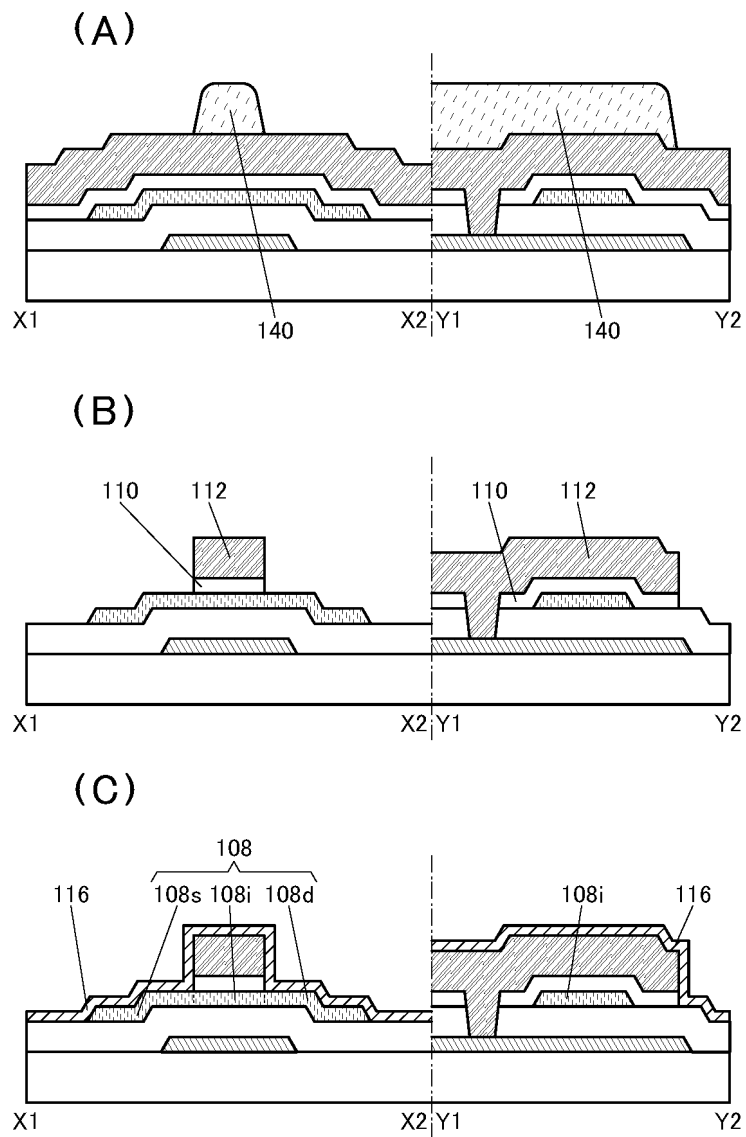
도면33



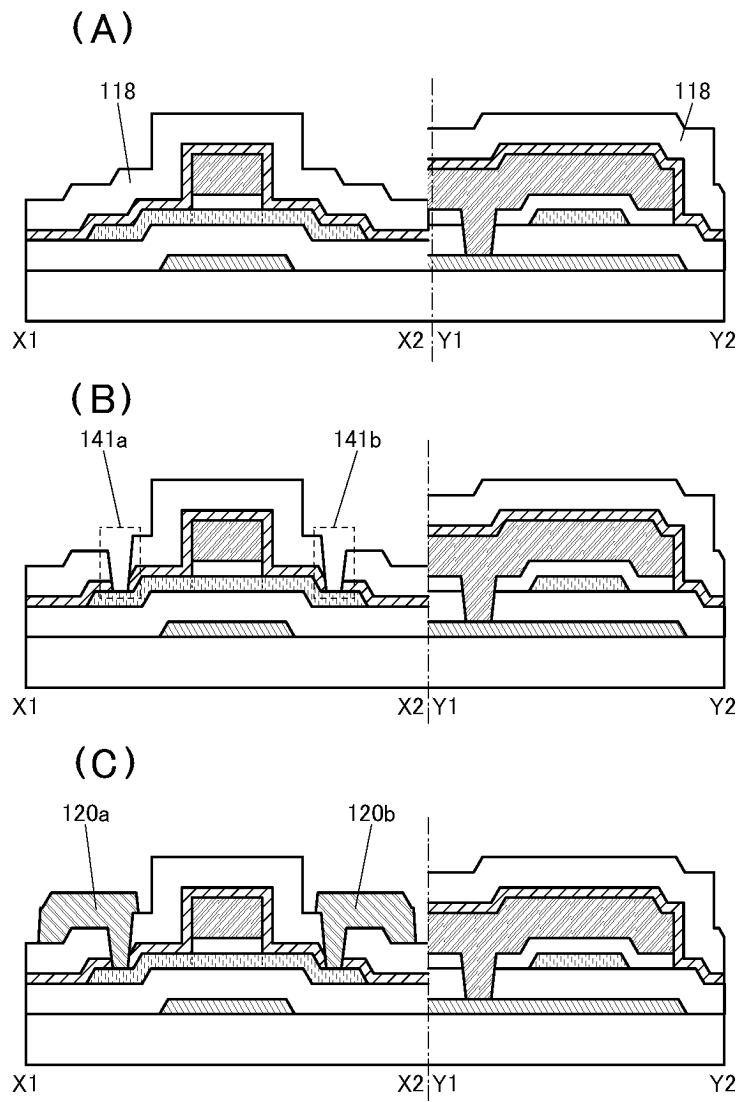
도면34



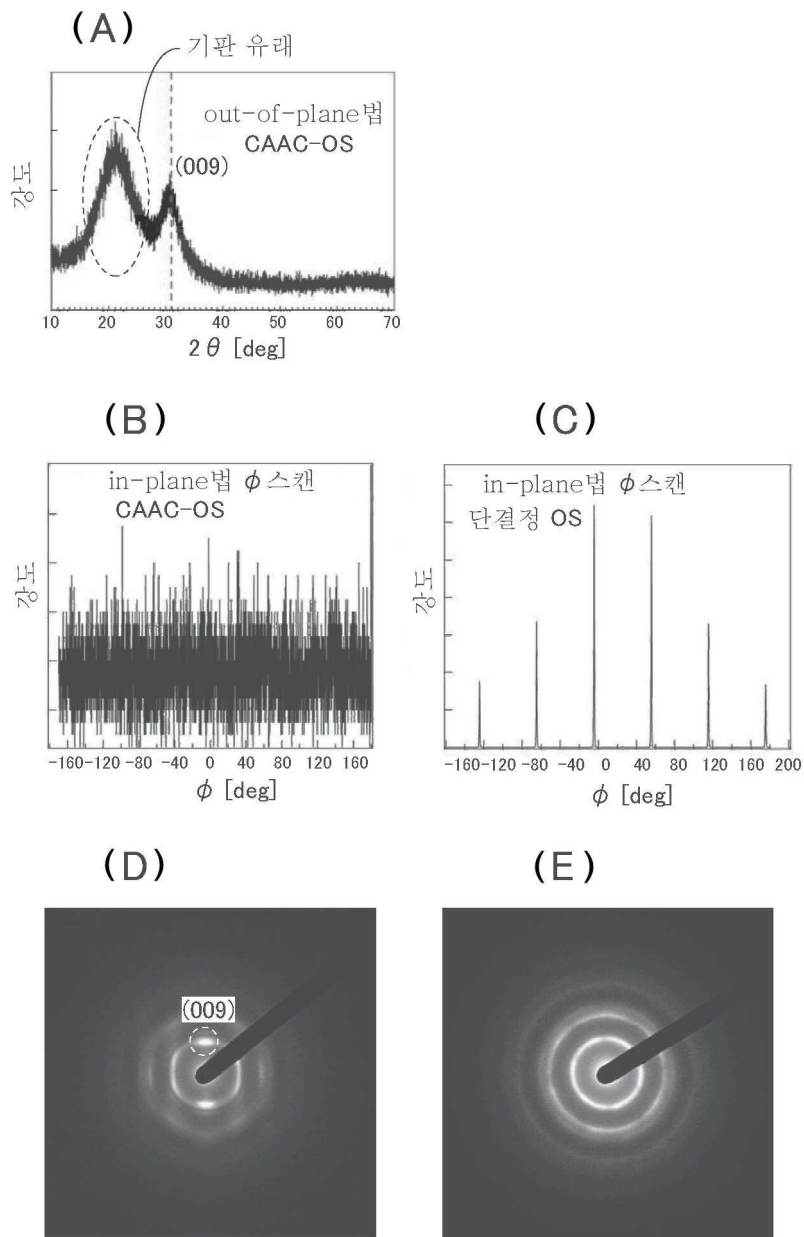
도면35



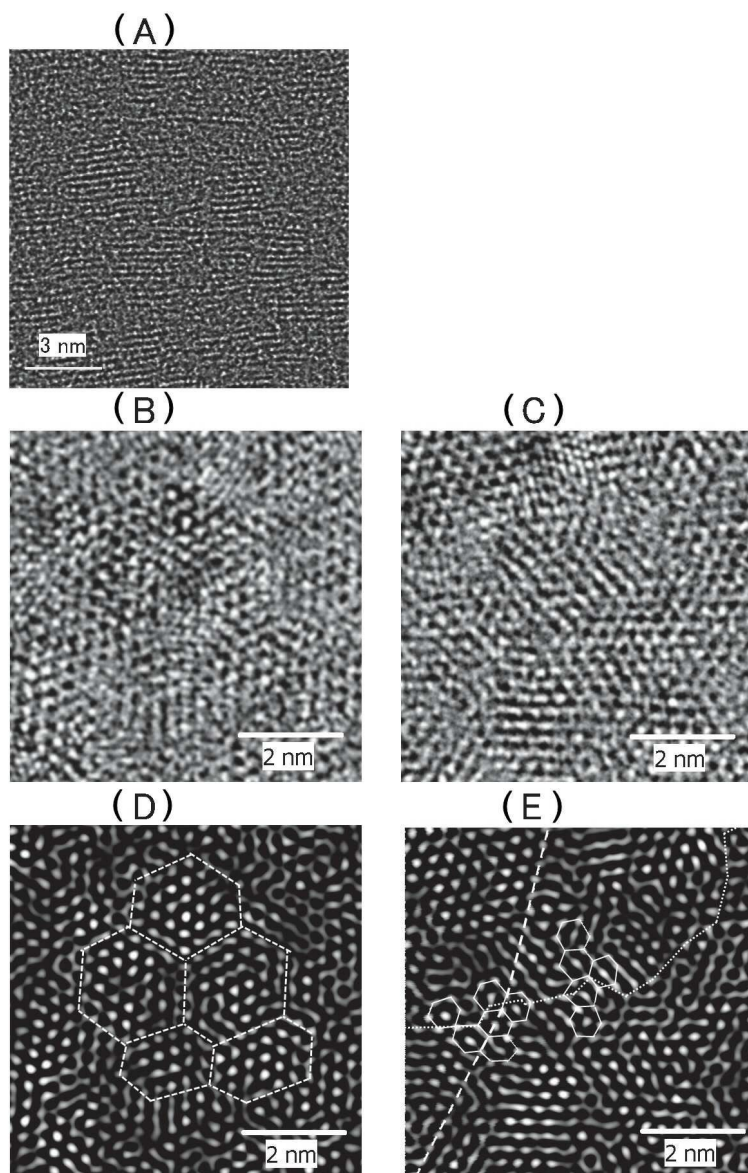
도면36



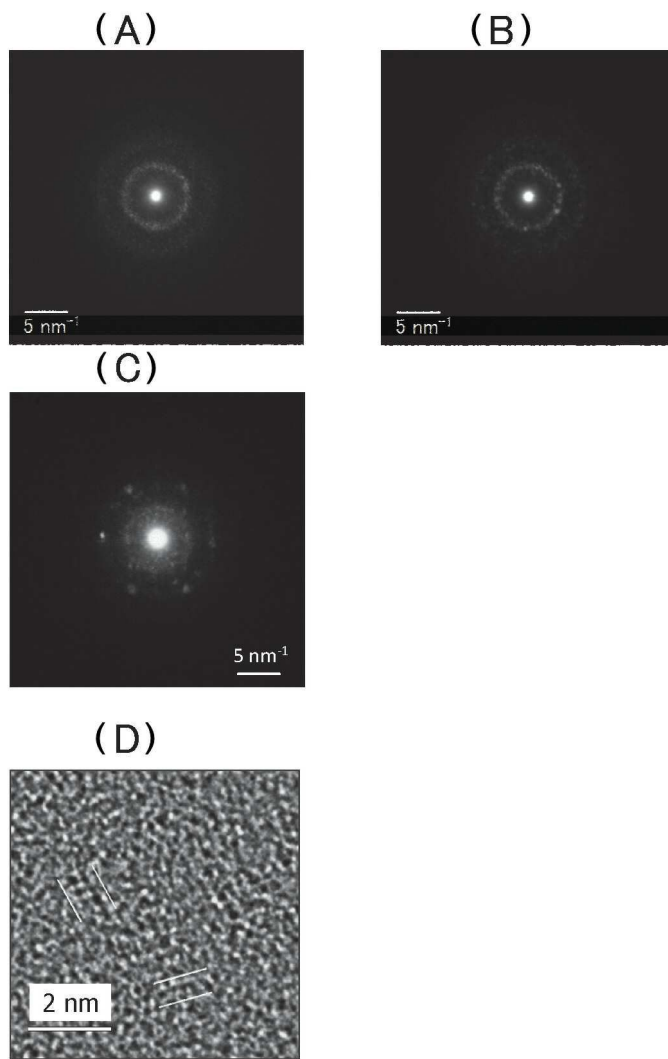
도면37



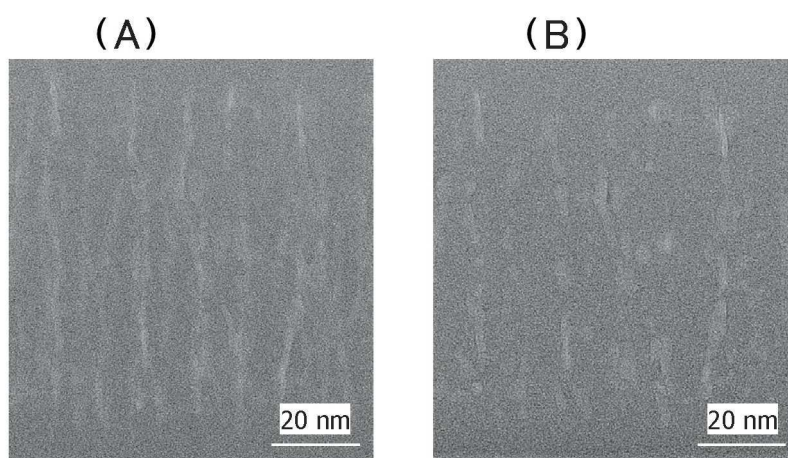
도면38



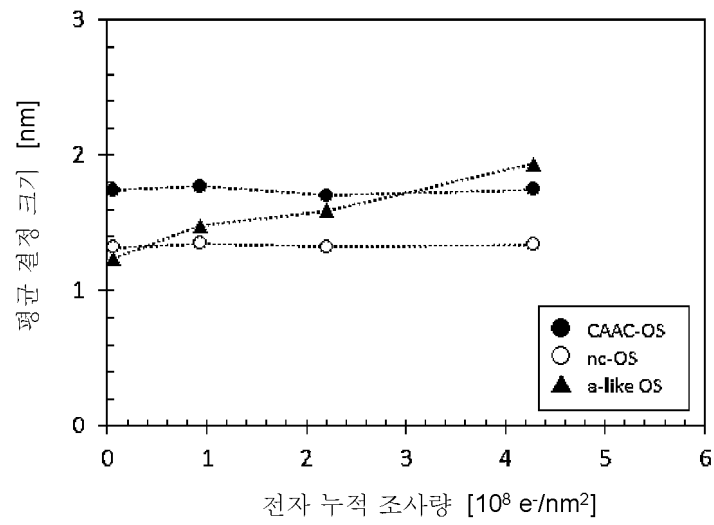
도면39



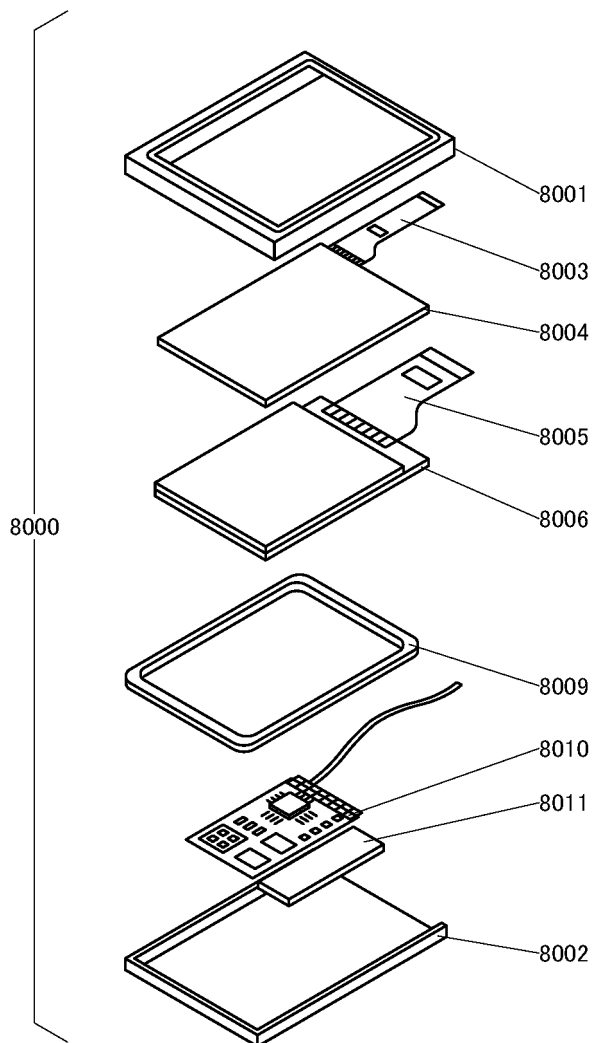
도면40



도면41

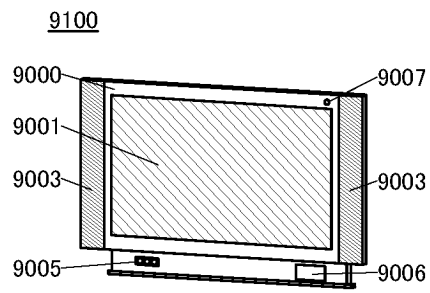


도면42

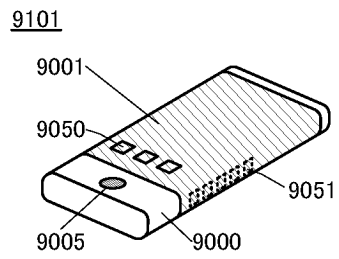


도면43

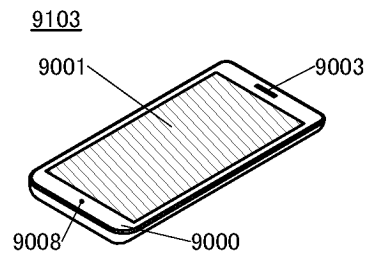
(A)



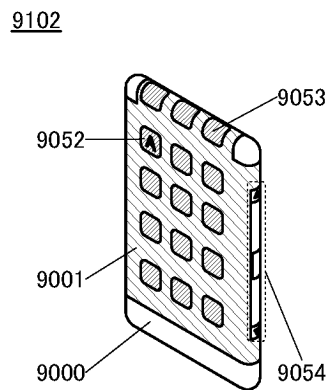
(B)



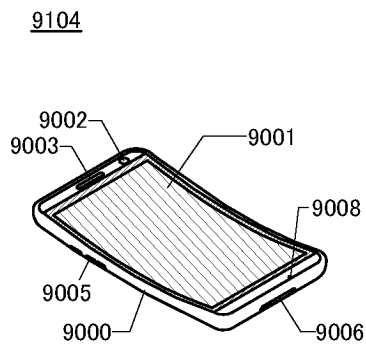
(D)



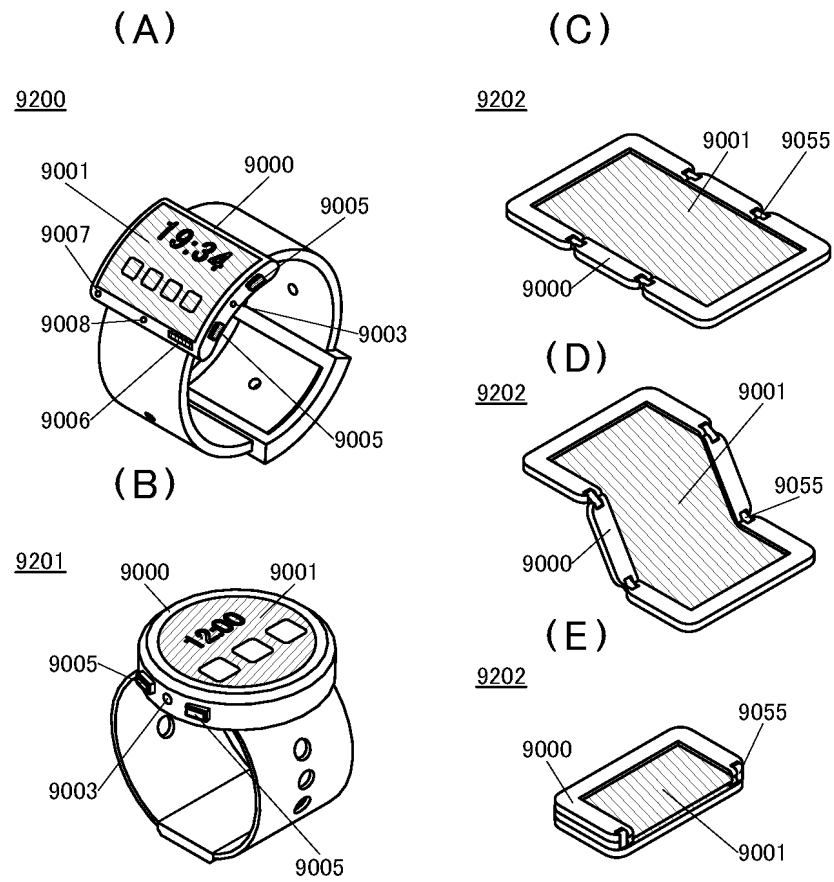
(C)



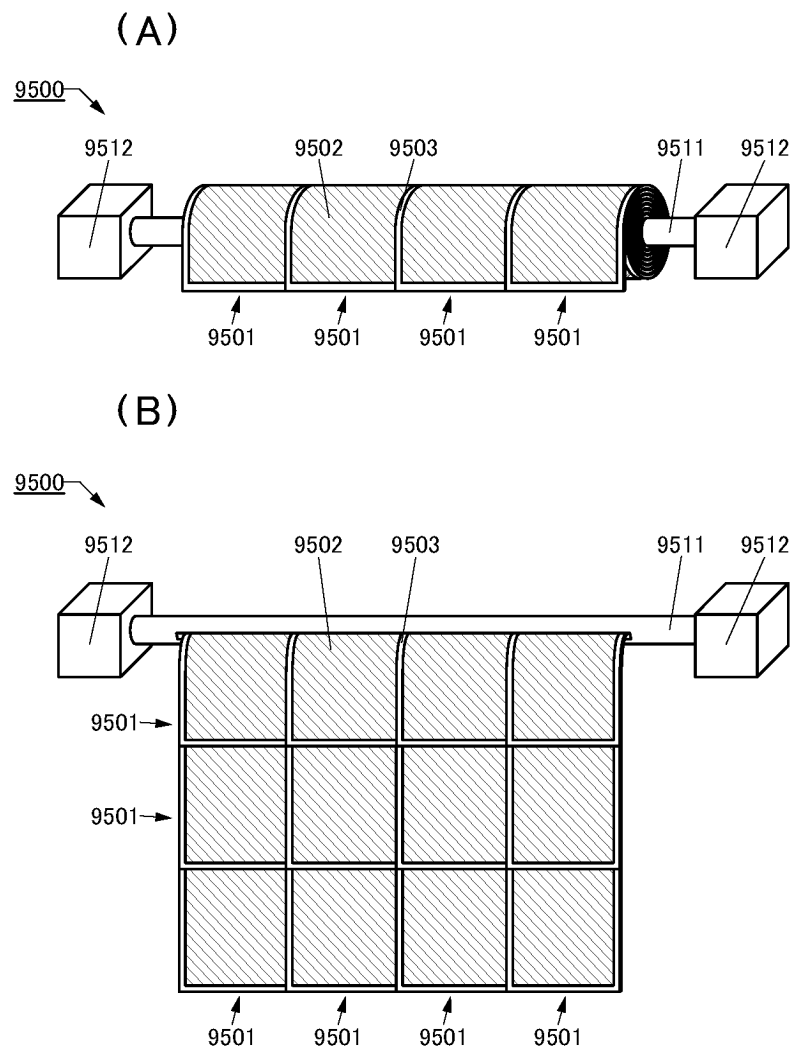
(E)



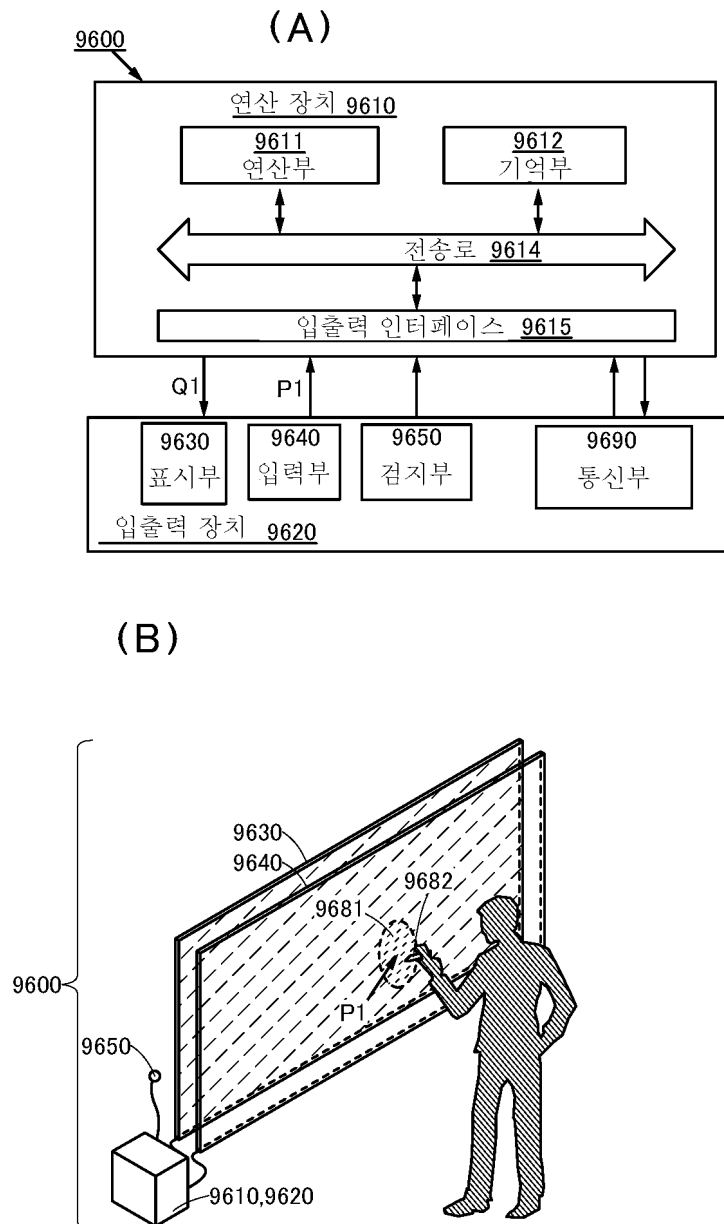
도면44



도면45



도면46



专利名称(译)	标题显示装置及其制造方法		
公开(公告)号	KR1020170031620A	公开(公告)日	2017-03-21
申请号	KR1020160114538	申请日	2016-09-06
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	OIKAWA YOSHIKI 오이카와요시아키 KOEZUKA JUNICHI OKAZAKI KENICHI 오카자키켄이치		
发明人	오이카와,요시아키 코에즈카,준이치 오카자키,켄이치		
IPC分类号	G02F1/1333 G02F1/1335 H01L27/32 H01L27/12 H05B33/12		
CPC分类号	G02F1/1333 G02F1/1336 H01L27/3262 H01L27/1251 H01L27/1225 H05B33/12 G02F1/133305 G02F1/13336 G02F1/13338 G02F1/133553 G02F2001/133357 G02F2001/133368 G02F2001/13685 G02F2202/10 G06F1/1652 G06F3/0412 G06F3/044 G06F2203/04103 H01L29/78648 G02F1/133555 G02F1/1368 G02F2201/123		
代理人(译)	黄的.		
优先权	2015179114 2015-09-11 JP		
外部链接	Espacenet		

摘要(译)

本发明提供一种便利性或可靠性优异的新型显示装置。或者功耗低并且提供显示质量高的显示装置。作为具有第一显示装置的显示装置，具有第二显示装置，具有第一晶体管，第二晶体管，第一显示装置具有第一像素电极，液晶层和第二显示装置具有第二像素电极和发光层以及第一晶体管与第一像素电极电连接，第二晶体管与第二像素电极电连接，第一晶体管和第二晶体管具有氧化物半导体膜和第一像素电极，第二像素电极具有氧化物半导体膜至少具有的金属元素。

