



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0029982

(43) 공개일자 2015년03월19일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2013-0109124

(22) 출원일자 2013년09월11일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정용채

대구 달서구 한들로 36, 106동 1509호 (장기동, 장기영남네오빌파크)

(74) 대리인

특허법인로알

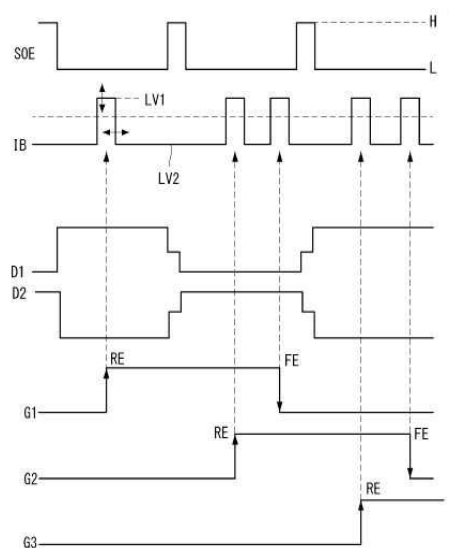
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 표시패널; 상기 데이터 라인들에 데이터전압들을 공급하는 데이터 구동회로; 및 상기 데이터전압들의 공급 타이밍에 맞추어 상기 게이트 라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비하고; 상기 데이터 구동회로는, 바이어스 전류에 따라 동작되어 상기 데이터전압들의 출력을 안정화시키는 출력 버퍼들; 및 상기 게이트펄스의 공급 타이밍을 기반으로 상기 바이어스 전류를 2개의 레벨들로 발생하여 상기 출력 버퍼들에 공급하는 바이어스전류 조절부를 포함한다.

대표도 - 도6



특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 표시패널;

상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동회로; 및

상기 데이터전압들의 공급 타이밍에 맞추어 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비하고;

상기 데이터 구동회로는,

바이어스 전류에 따라 동작되어 상기 데이터전압들의 출력을 안정화시키는 출력 버퍼들; 및

상기 게이트펄스의 공급 타이밍을 기반으로 상기 바이어스 전류를 2개의 레벨들로 발생하여 상기 출력 버퍼들에 공급하는 바이어스전류 조절부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 바이어스전류 조절부는,

소스 출력 인에이블신호가 로우 논리 레벨로 유지되는 데이터 출력기간 내에서, 상기 게이트펄스의 라이징 에지를 포함하는 제1 구간 및 상기 게이트펄스의 폴링 에지를 포함하는 제2 구간 동안 상기 바이어스 전류를 제1 레벨로 발생하고, 상기 제1 및 제2 구간을 제외한 나머지 구간 동안 상기 바이어스 전류를 상기 제1 레벨보다 낮은 제2 레벨로 발생하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 데이터 구동회로는,

상기 제1 구간에 관한 제1 타이밍 정보, 상기 제2 구간에 관한 제2 타이밍 정보, 제1 및 제2 레벨에 관한 전류 값 정보를 저장한 후 상기 바이어스전류 조절부에 공급하는 상기 메모리를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 제1 및 제2 구간과 상기 제1 및 제2 레벨은 조정 가능한 것을 특징으로 하는 액정표시장치.

청구항 5

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 표시패널과, 상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동회로와, 상기 데이터전압들의 공급 타이밍에 맞추어 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 갖는 액정표시장치의 구동방법에 있어서,

상기 데이터 구동회로에서 상기 데이터전압들을 상기 데이터라인들에 공급하는 단계는,

바이어스 전류를 상기 게이트펄스의 공급 타이밍을 기반으로 2개의 레벨들로 발생하는 바이어스 전류 조절 단계; 및

상기 2개의 레벨들에 의해 조절되는 상기 바이어스 전류에 따라 상기 데이터전압을 버퍼링시켜 출력하는 데이터 전압 안정화 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 6

제 5 항에 있어서,

상기 바이어스 전류 조절 단계는,

소스 출력 인에이블신호가 로우 논리 레벨로 유지되는 데이터 출력기간 내에서, 상기 게이트펄스의 라이징 에지를 포함하는 제1 구간 및 상기 게이트펄스의 폴링 에지를 포함하는 제2 구간 동안 상기 바이어스 전류를 제1 레벨로 발생하고, 상기 제1 및 제2 구간을 제외한 나머지 구간 동안 상기 바이어스 전류를 상기 제1 레벨보다 낮은 제2 레벨로 발생하는 단계인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

제 6 항에 있어서,

상기 데이터 구동회로에서 상기 데이터전압들을 상기 데이터라인들에 공급하는 단계는,

메모리에 저장된 상기 제1 구간에 관한 제1 타이밍 정보, 상기 제2 구간에 관한 제2 타이밍 정보, 제1 및 제2 레벨에 관한 전류값 정보를 상기 메모리로부터 로딩하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 6 항에 있어서,

상기 제1 및 제2 구간과 상기 제1 및 제2 레벨은 조정 가능한 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

기술 분야

[0001]

본 발명은 액정표시장치에 관한 것으로, 특히 소비전력을 줄일 수 있는 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002]

액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 각각의 액정셀마다 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 패시브 매트릭스(Passive Matrix) 타입의 액정표시장치에 비하여 동영상 표시할 때 더 선명한 화질로 영상을 표시할 수 있다.

[0003]

이와 같은 액정표시장치는 직류 옵션 성분을 감소시키고 액정의 열화를 줄이기 위하여, 도트 인버전(dot inversion) 방식을 채용하여 수평 및 수직으로 이웃한 액정셀들 단위로 데이터전압의 극성을 반전시킨다. 데이터전압의 극성은 공통전압을 기준으로 결정된다. 정극성(+) 데이터전압은 공통전압보다 높은 범위 내에서 선택되며, 부극성(-) 데이터전압은 공통전압보다 낮은 범위 내에서 선택된다. 그런데, 이러한 도트 인버전 방식에 의하는 경우, 동일 데이터라인에 인가되는 데이터전압이 매 수평기간마다 정극성(+)과 부극성(-) 사이에서 스윙되어야 하므로, 데이터 구동회로의 각 출력 채널에서 데이터 트랜지션 횟수가 수직 해상도만큼 증가되고 그 결과 데이터 구동회로의 소비전력이 높아지는 단점이 있다.

[0004]

이에, 액정표시패널에 형성된 액정셀들의 극성을 도트 인버전 방식에 따라 제어하여 액정의 열화를 줄이되, 데이터 구동회로의 각 출력 채널에서 데이터 트랜지션 횟수를 1 프레임당 한번씩으로 줄임으로써 데이터 구동회로의 소비전력을 감소시키는 소위, 컬럼 인버전 패널 랜더링 방식이 제안된 바 있다. 컬럼 인버전 패널 랜더링 방식을 위해서는 Z 인버전 형태로 접속되는 TFT들을 갖는 액정표시패널과 컬럼 인버전 형태로 구동되는 데이터 구동회로가 필요하다. 액정표시패널에서, 데이터전압이 액정셀에 공급되는 것을 스위칭하기 위한 다수의 TFT들은 각 출력 채널에 연결된 데이터라인에 지그 재그 형태로 접속되어 Z 인버전 형태를 구현한다. 이때, 데이터 구동회로에서 출력되는 데이터전압의 극성은 동일 프레임 내에서 이웃한 출력 채널들에서 반전됨과 아울러 1 프레임 단위로 모든 출력 채널들에서 반전되어 컬럼 인버전 구동을 구현한다.

[0005]

데이터 구동회로는 도 1과 같이 디지털-아날로그 변환기(DAC)와 차지쉐어회로 사이에 위치하여, 디지털-아날로그

그 변환기(DAC)에서 출력되는 데이터전압을 안정화시키기 위한 출력버퍼 어레이를 포함한다.

[0006] 디지털-아날로그 변환기(DAC)는 디지털 비디오 데이터를 데이터전압으로 변환한다. 차지웨어회로는 출력 채널들(CH1~CHm) 각각의 전류 흐름을 스위칭하기 위한 출력제어 스위치(S)와, 출력 채널들(CH1~CHm)을 서로 전기적으로 쇼트시키기 위한 차지웨어 스위치(CS)를 포함한다.

[0007] 차지웨어회로의 출력제어 스위치(S)와 차지웨어 스위치(CS)는 외부로부터 인가되는 소스 출력 인에이블신호(SOE)에 따라 서로 반대로 스위칭된다. 통상 도 2와 같이 소스 출력 인에이블신호(SOE)가 로우 논리 레벨로 유지되는 데이터 출력기간에서 출력제어 스위치(S)는 온 되어 데이터전압의 출력을 허용하고, 이때 차지웨어 스위치(CS)는 오프 되어 있다. 반면, 도 2에서와 같이 소스 출력 인에이블신호(SOE)가 하이 논리 레벨로 유지되는 데이터 차단기간에서 차지웨어 스위치(CS)는 온 되어 정극성 출력채널과 부극성 출력채널을 전기적으로 쇼트(차지웨어링)시켜 출력 채널들의 전위를 공통전압 레벨로 만든다. 이렇게 차지웨어링이 이루어지는 기간에서 출력제어 스위치(S)는 오프 되어 있다.

[0008] 출력버퍼 어레이는 다수의 출력 버퍼들(BUF)을 포함한다. 출력 버퍼들(BUF)의 버퍼링 능력은 바이어스전류 공급부(1)로부터 인가되는 소정 레벨의 바이어스 전류(IB)에 의해 결정된다. 바이어스 전류(IB)가 높아지면 출력 버퍼들(BUF)의 버퍼링 능력도 향상되어 원하지 않는 노이즈가 쉽게 제거될 수 있다. 하지만, 바이어스 전류(IB)는 데이터 구동회로의 소비전력과 트레이드 오프(trade off) 관계에 있으므로 그 레벨을 무작정 높일 수 없다. 데이터 구동회로의 소비전력은 바이어스 전류(IB)를 낮출수록 줄어든다.

[0009] 컬럼 인버전 방식으로 구동되는 데이터 구동회로의 경우 각 출력 채널의 극성이 1 프레임 동안 일정하게 유지되므로 데이터 트랜지션의 횟수 및 폭이 비교적 적다. 이러한 데이터 구동회로에서는 출력 버퍼들(BUF)에 인가되는 바이어스 전류(IB)를 비교적 작게 하더라도 노이즈의 영향을 최소화하면서 소비전력을 줄이는 것이 가능하다. 하지만, 액정표시패널에는 절연막을 사이에 두고 데이터라인들과 게이트라인들이 오버랩되게 형성되어 있으므로, 이로 인한 기생 커패시터들의 커플링 영향으로 원하지 않는 외부 노이즈가 데이터 구동회로의 출력 레벨에 영향을 미칠 수 있다.

[0010] 예컨대, 도 2에서, 데이터라인들(D1,D2)에 공급되는 데이터전압들에는, 게이트라인들에 공급되는 게이트펄스의 영향으로 원하지 않는 리플 성분이 혼입된다. 데이터전압들은 소스 출력 인에이블신호(SOE)가 로우 논리 레벨로 유지되는 데이터 출력기간에서 데이터 구동회로로부터 출력된다. 이러한 데이터 출력기간내에서 게이트펄스가 게이트 라인들(G1~G3)에 공급되는 경우, 게이트펄스의 라이징 에지(RE) 및 폴링 에지(FE)에 동기하여 데이터 전압들에 도 3과 같은 커플링 노이즈가 혼입되는 것이다.

[0011] 이러한 커플링 노이즈는 블록 딥과 같은 화상 불균일을 야기하여 화상 품질을 저하시킨다. 따라서, 출력 버퍼들(BUF)에 인가되는 바이어스 전류(IB)가 일정하게 고정되는 종래 액정표시장치에서는 게이트 커플링 노이즈로 인해 출력 버퍼들(BUF)에 인가되는 바이어스 전류(IB)를 줄이는 데 한계가 있다.

발명의 내용

해결하려는 과제

[0012] 따라서, 본 발명의 목적은 게이트 커플링 시점을 기반으로 데이터 구동회로의 출력 버퍼들에 인가되는 바이어스 전류를 조절하여 소비전력을 줄이면서 화상품질을 높일 수 있도록 한 액정표시장치와 그 구동방법을 제공하는 데 있다.

과제의 해결 수단

[0013] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트 라인들이 교차되는 표시패널; 상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동회로; 및 상기 데이터 전압들의 공급 타이밍에 맞추어 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비하고; 상기 데이터 구동회로는, 바이어스 전류에 따라 동작되어 상기 데이터전압들의 출력을 안정화시키는 출력 버퍼들; 및 상기 게이트펄스의 공급 타이밍을 기반으로 상기 바이어스 전류를 2개의 레벨들로 발생하여 상기 출력 버퍼들에 공급하는 바이어스전류 조절부를 포함한다.

[0014] 상기 바이어스전류 조절부는, 소스 출력 인에이블신호가 로우 논리 레벨로 유지되는 데이터 출력기간 내에서, 상기 게이트펄스의 라이징 에지를 포함하는 제1 구간 및 상기 게이트펄스의 폴링 에지를 포함하는 제2 구간 동안 상기 바이어스 전류를 제1 레벨로 발생하고, 상기 제1 및 제2 구간을 제외한 나머지 구간 동안 상기 바이어스 전류를 상기 제1 레벨보다 낮은 제2 레벨로 발생한다.

[0015] 상기 데이터 구동회로는, 상기 제1 구간에 관한 제1 타이밍 정보, 상기 제2 구간에 관한 제2 타이밍 정보, 제1 및 제2 레벨에 관한 전류값 정보를 저장한 후 상기 바이어스전류 조절부에 공급하는 상기 메모리를 더 구비한다.

[0016] 상기 제1 및 제2 구간과 상기 제1 및 제2 레벨은 조정 가능하게 선택된다.

[0017] 또한 본 발명의 실시예에 따라 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 표시패널과, 상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동회로와, 상기 데이터전압들의 공급 타이밍에 맞추어 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 갖는 액정표시장치의 구동방법에 있어서, 상기 데이터 구동회로에서 상기 데이터전압들을 상기 데이터라인들에 공급하는 단계는, 바이어스 전류를 상기 게이트펄스의 공급 타이밍을 기반으로 2개의 레벨들로 발생하는 바이어스 전류 조절 단계; 및 상기 2개의 레벨들에 의해 조절되는 상기 바이어스 전류에 따라 상기 데이터전압을 버퍼링시켜 출력하는 데이터전압 안정화 단계를 포함한다.

발명의 효과

[0018] 본 발명은 게이트펄스에 의한 게이트 커플링이 발생하는 구간에서 상대적으로 높은 레벨의 바이어스 전류를 출력 버퍼들에 인가하여 출력 데이터전압에 커플링 노이즈가 혼입되는 것을 방지하고, 그 이외의 구간에서 상대적으로 낮은 레벨의 바이어스 전류를 출력 버퍼들에 인가하여 소비전력을 줄인다.

[0019] 이에 따라, 본 발명은 게이트 커플링 시점을 기반으로 데이터 구동회로의 출력 버퍼들에 인가되는 바이어스 전류를 조절하여 소비전력을 줄이면서 화상품위를 높일 수 있다.

도면의 간단한 설명

[0020] 도 1은 종래 데이터 구동회로에서 바이어스 전류에 의해 동작되는 다수의 출력 버퍼들을 보여주는 도면.

도 2 및 도 3은 데이터 출력기간내에서 게이트 커플링 노이즈가 데이터전압들에 혼입되어 나타나는 것을 보여주는 도면들.

도 4는 본 발명의 실시예에 따른 액정표시장치를 보여주는 도면.

도 5는 본 발명의 실시예에 따라 바이어스 전류를 조정할 수 있는 데이터 구동회로의 일 구성을 보여주는 도면.

도 6은 게이트펄스의 라이징 에지 및 폴링 에지에 따라 2 레벨들로 조정되는 바이어스 전류를 보여주는 도면.

도 7은 바이어스 전류 조절에 의해 데이터 출력기간내에서 게이트 커플링 노이즈가 효과적으로 제거되는 것을 보여주는 도면.

도 8은 바이어스 전류와 회복 시간 간의 관계를 보여주는 그래프.

도 9는 바이어스 전류와 회복 시간 간의 관계를 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 도 4 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0022] 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여준다.

[0023] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.

[0024] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 액정표시패널(10)은 데이터라인들(15)과 게

이트라인들(16)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(C1c)을 포함한다.

[0025] 액정표시패널(10)의 하부 유리기관에는 화소 어레이가 형성된다. 화소 어레이는 데이터라인들(15)과 게이트라인들(16)의 교차부에 형성된 액정셀들(C1c), 액정셀들의 화소전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cst)를 포함한다. 화소 어레이에서, 액정셀(C1c)에 데이터전압이 공급되는 것을 스위칭하기 위한 다수의 TFT들은 각 출력 채널에 연결된 데이터라인(D1~Dm)에 지그 재그 형태로 접속되어 Z 인버전 형태를 구현할 수 있으나, 이에 한정되지 않는다. 액정셀(C1c)은 적색(R) 화상을 구현하기 위한 적색(R) 액정셀(C1c), 녹색 화상을 구현하기 위한 녹색 액정셀(C1c), 청색 화상을 구현하기 위한 청색 액정셀(C1c)을 포함한다. TFT들 각각은 게이트라인으로부터의 게이트펄스에 응답하여 턴 온 됨으로써 데이터라인에 충전된 데이터전압을 액정셀(C1c)의 화소전극(1)에 공급한다. 액정셀들(C1c) 각각은 TFT에 접속되어 화소전극(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 등이 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0026] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.

[0027] 본 발명에서 적용 가능한 액정표시패널(10)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0028] 타이밍 콘트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스 방식을 통해 시스템 보드(14)로부터 입력 영상의 디지털 비디오 데이터(RGB)를 입력받고, 이 입력 영상의 디지털 비디오 데이터(RGB)를 mini-LVDS 인터페이스 방식을 통해 데이터 구동회로(12)에 공급한다. 타이밍 콘트롤러(11)는 시스템 보드(14)로부터 입력되는 디지털 비디오 데이터(RGB)를 도 7과 같은 화소 어레이의 랜더링 구조에 맞춰 정렬한 후 데이터 구동회로(12)에 공급한다.

[0029] 타이밍 콘트롤러(11)는 시스템 보드(14)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동회로(12)의 동작 타이밍과 데이터전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 타이밍 콘트롤러(11)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터(RGB)가 $60 \times i$ (i는 양의 정수) Hz의 프레임 주파수로 액정표시패널(10)의 화소 어레이에 표시될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를 $60 \times i$ Hz의 프레임 주파수 기준으로 체배할 수 있다.

[0030] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생하는 게이트 드라이브 IC에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다.

[0031] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 수직 극성제어신호(Polarity : POL), 소스 출력 인에이블신호(Source Output Enable, SOE), 맥스 제어신호(MC1, MC2) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12)에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 수직 극성제어신호(POL)는 소스 드라이브 IC들 각각으로부터 순차적으로 출력되는 데이터전압들의 수직 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(12)의 출력 타이밍을 제어한다. 소스 출력 인에이블신호(SOE)가 제1 논리 레벨(예컨대, 하이 논리 레벨, H)로 유지되는 기간, 즉 수평 블랭크 기간(데이터 차단기간)에서 데이터 구동회로(12)로부터 데이터전압의 출력은 차단된다. 반면, 소스 출력 인에이블신호(SOE)가 제2 논리 레벨(예컨대, 로우 논리 레벨, L)로 유지되는 기간, 즉

수평 기간(데이터 출력기간)에서 데이터 구동회로(12)로부터 데이터전압의 출력은 허용된다. 여기서, 수평 블랭크 기간은 이웃한 수평 기간들 사이마다 배치된다.

[0032] 데이터 구동회로(12)는 정극성(+) 데이터전압과 부극성(-) 데이터전압을 교번적으로 출력하기 위한 다수의 출력 채널들을 갖는다. 컬럼 인버전 패널 랜더링 방식에 따라 데이터 구동회로(12)에서 출력되는 데이터전압의 극성은 동일 프레임 내에서 이웃한 출력 채널들에서 반전됨과 아울러 1 프레임 단위로 모든 출력 채널들에서 반전되어 컬럼 인버전 구동을 구현할 수 있으나, 이에 한정되지 않는다.

[0033] 데이터 구동회로(12)는 바이어스 전류에 따라 동작되어 상기 데이터전압들의 출력을 안정화시키는 출력 버퍼들과, 상기 바이어스 전류를 조절하기 위한 바이어스전류 조절부를 포함한다. 여기서, 바이어스전류 조절부는 상기 게이트펄스의 공급 타이밍을 기반으로 바이어스 전류를 2개의 레벨들로 발생하는 특징을 갖는다. 데이터 구동회로(12)는 게이트펄스에 의한 게이트 커플링이 발생하는 구간에서 상대적으로 높은 레벨의 바이어스 전류를 출력 버퍼들에 인가하여 출력 데이터전압에 커플링 노이즈가 혼입되는 것을 방지하고, 그 이외의 구간에서 상대적으로 낮은 레벨의 바이어스 전류를 출력 버퍼들에 인가하여 소비전력을 줄인다.

[0034] 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들을 포함할 수 있다. 게이트 구동회로(13)는 게이트 타이밍 제어신호들에 따라 게이트펄스를 게이트라인들(16)에 순차적으로 공급한다. 게이트 구동회로(13)의 쉬프트 레지스터는 GIP(Gate In Panel) 방식에 따라 하부 유리기관상에 직접 형성될 수 있다.

[0035] 도 5는 본 발명의 실시예에 따라 바이어스 전류를 조정할 수 있는 데이터 구동회로의 일 구성을 보여준다. 도 6은 게이트펄스의 라이징 에지 및 폴링 에지에 따라 2 레벨들로 조정되는 바이어스 전류를 보여준다.

[0036] 도 5를 참조하면, 본 발명의 실시예에 따른 데이터 구동회로(12)는 제1 래치 어레이(121), 제2 래치 어레이(122), 디지털-아날로그 변환기(이하, "DAC"라 한다)(123), 버퍼 어레이(124), 바이어스전류 조절부(125), 차지 웨어회로(126), 메모리(130)를 포함한다.

[0037] 쉬프트레지스터(미도시)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 쉬프트시킨다. 또한, 쉬프트 레지스터(미도시)는 제1 래치 어레이(121)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry)를 발생한다.

[0038] 제1 래치 어레이(121)는 쉬프트 레지스터(미도시)로부터 순차적으로 입력되는 샘플링신호에 응답하여 타이밍 콘트롤러(11)로부터의 디지털 비디오 데이터들(RGB)을 샘플링하고, 그 데이터들(RGB)을 1 수평라인 분씩 래치한 다음, 1 수평라인 분의 데이터를 동시에 출력한다.

[0039] 제2 래치 어레이(122)는 제1 래치 어레이(121)로부터 입력되는 1 수평라인분의 데이터를 래치한 다음, 소스 출력 인에이블신호(SOE)가 로우 논리 레벨(L)로 유지되는 데이터 출력기간 동안 디지털 비디오 데이터들(RGB)을 출력한다.

[0040] DAC(123)는 다수의 감마기준전압들을 디지털 비디오 데이터들(RGB)의 비트수로 표현 가능한 계조 수만큼 더욱 세분화하여 각 계조에 해당하는 정극성 감마보상전압(VGH)과 부극성 감마보상전압(VGL)을 발생한다. DAC(123)는 정극성 감마보상전압(VGH)이 공급되는 P-디코더, 부극성 감마보상전압(VGL)이 공급되는 N-디코더, 극성제어신호들(POL)에 응답하여 P-디코더의 출력과 N-디코더의 출력을 선택하는 멀티플렉서를 포함한다. P-디코더는 제2 래치 어레이(122)로부터 입력되는 디지털 비디오 데이터들(RGB)을 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압(VGH)을 출력하고, N-디코더는 제2 래치 어레이(122)로부터 입력되는 디지털 비디오 데이터들(RGB)을 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압(VGL)을 출력한다. 멀티플렉서는 극성제어신호(POL)에 응답하여 정극성의 감마보상전압(VGH)과 부극성의 감마보상전압(VGL)을 선택한다.

[0041] 버퍼 어레이(124)는 도 10과 같은 출력 채널들에 일대일로 접속되는 다수의 출력 버퍼(BUF)들을 포함하여 DAC(123)로부터 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다. 노이즈 제거를 위한 출력 버퍼들(BUF)의 버퍼링 능력은 바이어스전류 공급부(125)로부터 인가되는 바이어스 전류(IB)에 비례한다. 하지만, 바이어스 전류(IB)는 데이터 구동회로의 소비전력과 트레이드 오프(trade off) 관계에 있으므로 그 레벨을 무작정 높일 수 없다. 바이어스 전류(IB)를 종래와 같이 고정적인 레벨로 인가하는 경우에는 노이즈 면역(immunity)과 소비전력 절감을 모두 만족시키기 어렵다.

[0042] 바이어스전류 조절부(125)는 노이즈의 혼입이 많을 것으로 예상되는 구간에서는 바이어스 전류(IB)를 높게 발생하고, 노이즈의 혼입이 적을 것으로 예상되는 구간에서는 바이어스 전류(IB)를 낮게 발생한다. 패널의 설계 환경에 따라 여러 종류의 노이즈가 있으나, 특히 문제가 되는 것이 게이트펄스와의 커플링 노이즈이므로, 바이어

스전류 조절부(125)는 게이트펄스의 공급 타이밍을 기반으로 바이어스 전류를 조절한다.

[0043] 바이어스전류 조절부(125)는 도 6과 같이 소스 출력 인에이블신호(SOE)가 로우 논리 레벨(L)로 유지되는 데이터 출력기간 내에서, 게이트펄스(G1~G3)의 라이징 에지(RE)를 포함하는 제1 구간 및 게이트펄스(G1~G3)의 폴링 에지(FE)를 포함하는 제2 구간 동안 바이어스 전류(IB)를 제1 레벨(LV1)로 발생하고, 상기 제1 및 제2 구간을 제외한 나머지 구간 동안 바이어스 전류(IB)를 상기 제1 레벨(LV1)보다 낮은 제2 레벨(LV1)로 발생하는 특징이 있다.

[0044] 여기서, 상기 제1 및 제2 구간과 상기 제1 및 제2 레벨은 조정 가능하게 설정될 수 있다. 이를 위해, 메모리(130)는 상기 제1 구간에 관한 제1 타이밍 정보, 상기 제2 구간에 관한 제2 타이밍 정보, 제1 및 제2 레벨에 관한 전류값 정보를 저장한 후 바이어스전류 조절부(125)에 공급할 수 있다. 메모리(130)는 데이터 구동회로(12)의 내부 뿐만 아니라 외부에 장착될 수도 있다.

[0045] 차지웨어회로(126)는 출력 채널들(CH1~CHm) 각각의 전류 흐름을 스위칭하기 위한 출력제어 스위치(S)와, 출력 채널들(CH1~CHm)을 서로 전기적으로 쇼트시키기 위한 차지웨어 스위치(CS)를 포함한다. 차지웨어회로의 출력제어 스위치(S)와 차지웨어 스위치(CS)는 소스 출력 인에이블신호(SOE)에 따라 서로 반대로 스위칭된다. 도 6과 같이 소스 출력 인에이블신호(SOE)가 로우 논리 레벨(L)로 유지되는 데이터 출력기간에서 출력제어 스위치(S)는 온 되어 데이터전압의 출력을 허용하고, 이때 차지웨어 스위치(CS)는 오프 되어 있다. 반면, 도 6에서와 같이 소스 출력 인에이블신호(SOE)가 하이 논리 레벨(H)로 유지되는 데이터 차단기간에서 차지웨어 스위치(CS)는 온 되어 정극성 출력채널과 부극성 출력채널을 전기적으로 쇼트(차지 웨어링)시켜 출력 채널들의 전위를 공통전압 레벨로 만든다. 이렇게 차지 웨어링이 이루어지는 기간에서 출력제어 스위치(S)는 오프 되어 있다.

[0046] 도 7은 바이어스 전류 조절에 인해 데이터 출력기간내에서 게이트 커플링 노이즈가 효과적으로 제거되는 것을 보여준다. 그리고, 도 8 및 도 9는 바이어스 전류와 회복 시간 간의 관계를 보여준다.

[0047] 도 7을 참조하면, 데이터 출력기간 내에서, 게이트펄스의 라이징 에지 및 폴링 에지에 동기하여 혼입되는 커플링 노이즈는 상기 도 6에서의 설명한 바와 같이 상대적으로 높은 제1 레벨(LV1)의 바이어스 전류(IB)에 의해 빠르게 소거된다. 즉, 커플링 노이즈의 혼입으로 인해 출력 데이터전압에 리플이 포함되더라도, 이러한 리플은 제1 레벨(LV1)의 바이어스 전류(IB)에 의해 쉽게 제거될 수 있는 것이다.

[0048] 출력 데이터전압이 커플링 노이즈의 혼입으로 인해 왜곡되었다가 다시 회복되는 데 소요되는 시간은 바이어스 전류(IB)의 제1 레벨(LV1) 크기에 따라 결정된다. 도 8에서와 같이 바이어스 전류(IB)의 제1 레벨(LV1) 크기를 높일수록 출력 버퍼들의 버퍼링 능력은 향상되어 출력 데이터전압이 원래의 레벨로 빠르게 회복될 수 있다.

[0049] 종래에는 바이어스 전류(IB)를 소비 전력을 고려한 고정 레벨로 사용했기 때문에 노이즈 혼입구간(도 6에서의 제1 및 제2 구간)에 대응되는 바이어스 전류(IB)의 레벨을 높이기 어려웠다. 따라서, 종래 기술에서는 도 9와 같이 출력 데이터전압이 커플링 노이즈의 혼입으로 인해 왜곡되었다가 다시 회복되는 데 소요되는 시간(T1)이 비교적 길었다.

[0050] 본 발명은 노이즈 혼입구간(도 6에서의 제1 및 제2 구간) 이외의 구간에서는 바이어스 전류(IB)를 제2 레벨(LV2)로 상대적으로 낮추고, 노이즈 혼입구간에서만 바이어스 전류(IB)를 제1 레벨(LV1)로 높이기 때문에, 소비 전력을 종래와 동등 수준으로 유지하면서도 제1 레벨(LV1) 크기를 종래에 비해 크게 높일 수 있다. 따라서, 본 발명은 도 9와 같이 출력 데이터전압이 커플링 노이즈의 혼입으로 인해 왜곡되었다가 다시 회복되는 데 소요되는 시간(T2)을 종래에 비해 획기적으로 줄일 수 있다.

[0051] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

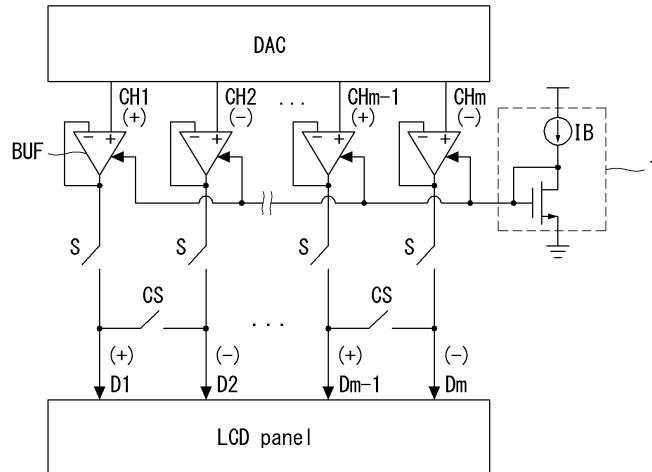
부호의 설명

[0052] 10 : 액정표시패널
11 : 타이밍 컨트롤러
12 : 데이터 구동회로
13 : 게이트 구동회로
124 : 버퍼 어레이
125 : 바이어스전류 조절부

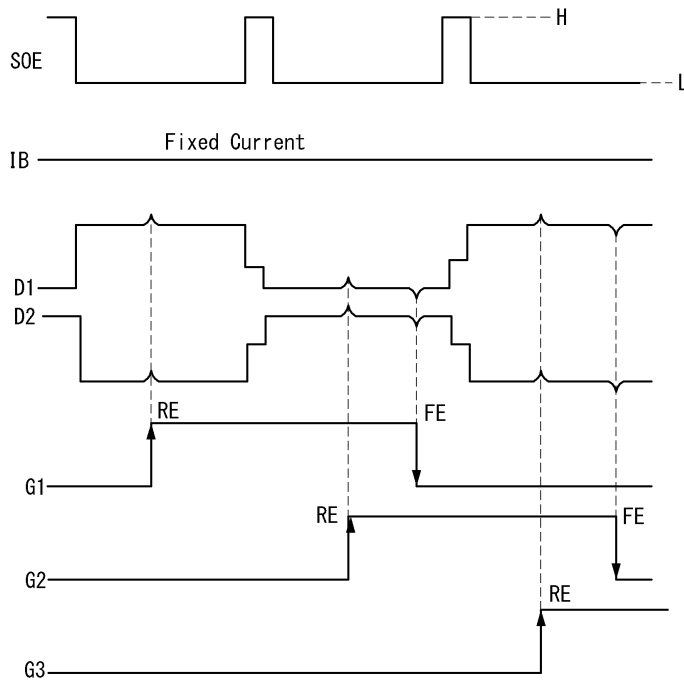
130 :메모리

도면

도면1



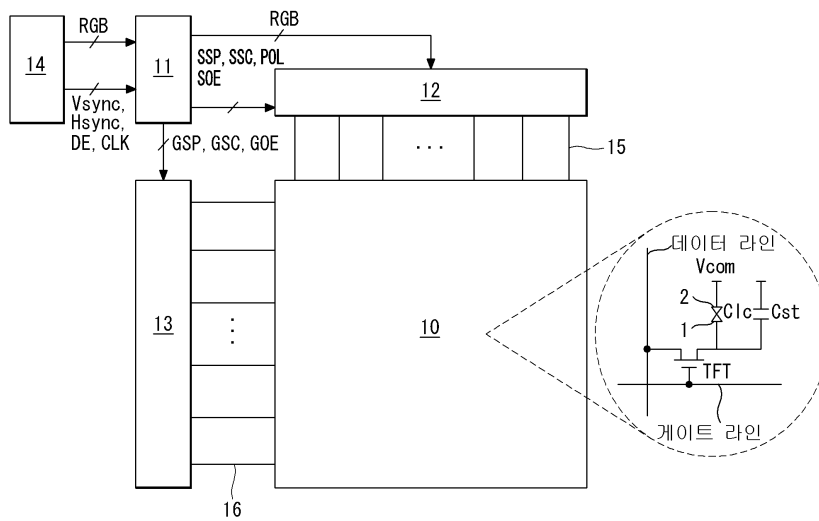
도면2



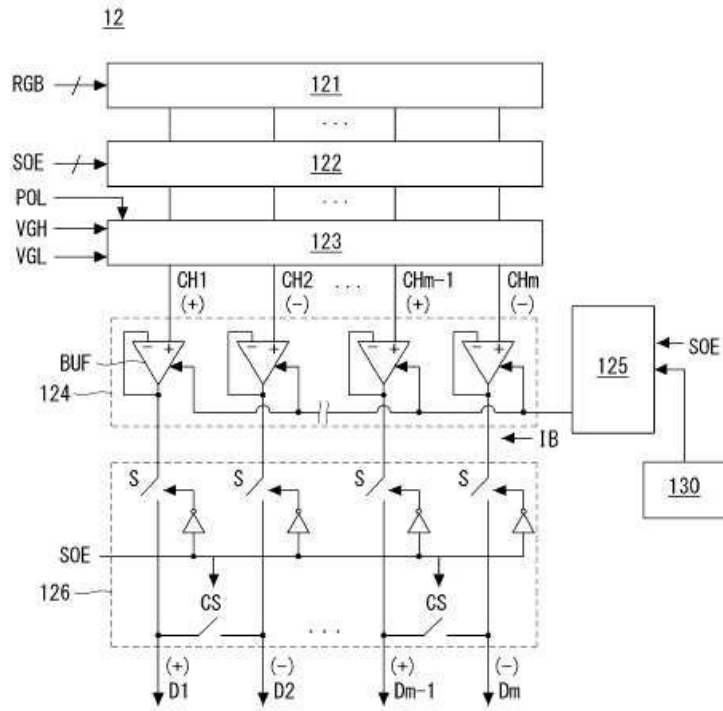
도면3



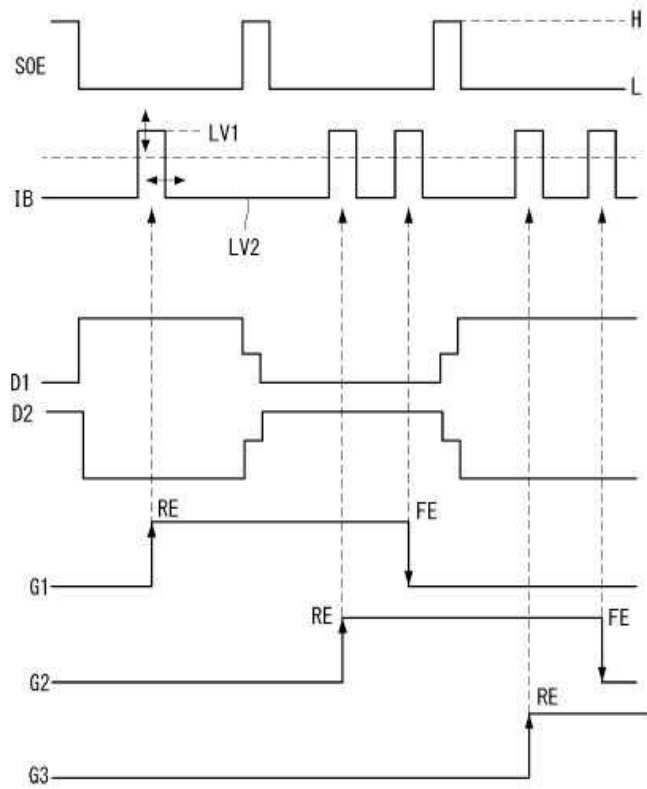
도면4



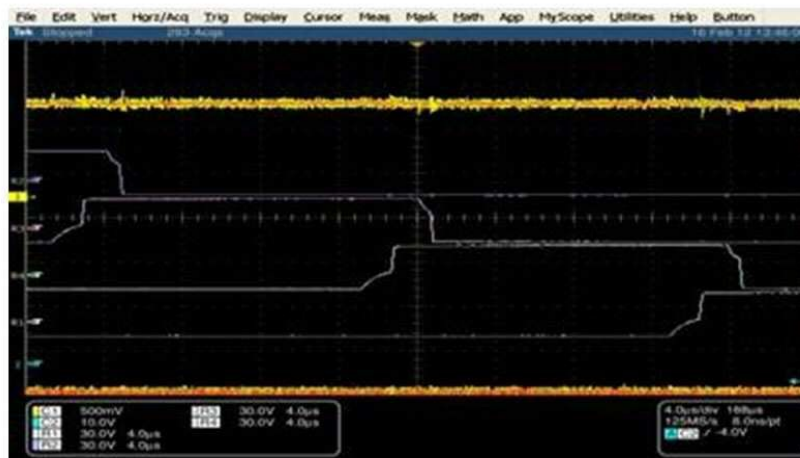
도면5



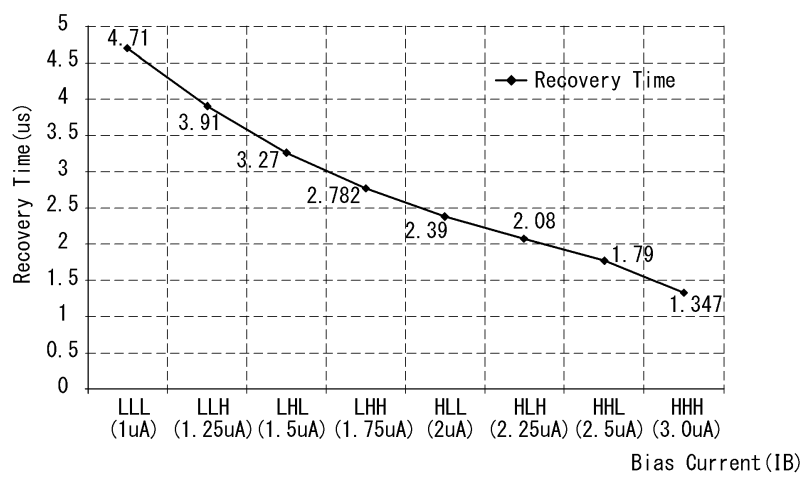
도면6



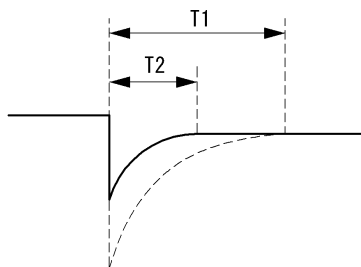
도면7



도면8



도면9



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020150029982A	公开(公告)日	2015-03-19
申请号	KR1020130109124	申请日	2013-09-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG YONG CHAE 정용채		
发明人	정용채		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G02F1/133 G09G3/3685 G09G2300/04 G09G2330/021		
其他公开文献	KR102090608B1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置包括：显示面板，多条数据线和多条栅极线相交叉；数据驱动电路，向数据线提供数据电压；栅极驱动电路，连续提供根据数据电压的提供定时将栅极脉冲提供给栅极线。数据驱动电路包括通过根据偏置电流的操作来稳定数据电压的输出的输出缓冲器，以及基于栅极脉冲的提供定时产生两个电平的偏置电流的偏置电流控制单元，电流到输出缓冲器。

