



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0056542
(43) 공개일자 2014년05월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-0120413
(22) 출원일자 2012년10월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
소병성
경기 파주시 월롱면 엘지로 245, 정다운마을 기숙
사 104동 317호 (파주LCD산업단지)
최정미
경기도 파주시 교하면 월드메르디앙아파트 705동
406호
(74) 대리인
서교준

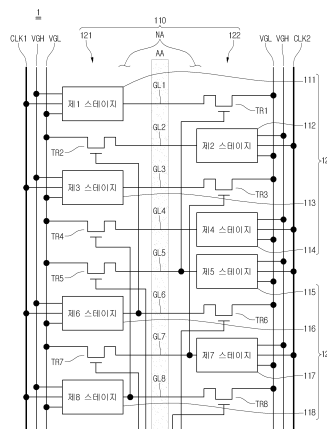
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정표시패널

(57) 요약

실시 예에 따른 액정표시패널은, n 수평기간동안 게이트 하이전압을 출력하는 오버래핑 방식으로 구동되는 액정 표시 패널에 있어서, 다수의 게이트 라인; 상기 게이트 라인과 연결되는 게이트 드라이버; 및 상기 게이트 드라이버는 게이트 라인과 연결되는 다수의 스테이지를 포함하고, 상기 다수의 스테이지는 n개씩 다수의 스테이지 군을 구성하며, 상기 다수의 스테이지 군 중, 기수 번째 스테이지 군은 표시영역을 사이에 두고 'Z'자 형상으로 배열되고, 우수 번째 스테이지 군은 표시 영역을 사이에 두고 역 'Z'자 형상으로 배열된다.

대 표 도 - 도6



특허청구의 범위

청구항 1

n 수평기간동안 게이트 하이전압을 출력하는 오버래핑 방식으로 구동되는 액정표시 패널에 있어서,
다수의 게이트 라인;
상기 게이트 라인과 연결되는 게이트 드라이버; 및
상기 게이트 드라이버는 게이트 라인과 연결되는 다수의 스테이지를 포함하고,
상기 다수의 스테이지는 n 개씩 다수의 스테이지 군을 구성하며,
상기 다수의 스테이지 군 중,
기수 번째 스테이지 군은 표시영역을 사이에 두고 'Z'자 형상으로 배열되고,
우수 번째 스테이지 군은 표시 영역을 사이에 두고 역 'Z'자 형상으로 배열되는 액정표시패널.

청구항 2

제1항에 있어서,
게이트 로우 전압을 공급하기 위해 상기 다수의 게이트 라인과 연결되는 다수의 보상 트랜지스터를 더 포함하는 액정표시패널.

청구항 3

제2항에 있어서,
상기 다수의 보상 트랜지스터 중 k 번째 보상 트랜지스터는,
 $k+n$ 번째 게이트 라인에 의해 온오프 제어되는 액정표시패널.

청구항 4

제2항에 있어서,
상기 보상 트랜지스터는 상기 표시 영역을 기준으로 상기 스테이지와 대칭되어 배치되는 액정표시패널.

청구항 5

제3항에 있어서,
상기 k 번째 보상 트랜지스터의 게이트 전극은 $k+n$ 번째 스테이지와 인접하는 영역에서 상기 $k+n$ 번째 게이트 라인과 전기적으로 연결되는 액정표시패널.

청구항 6

제2항에 있어서,
상기 게이트 드라이버는 상기 표시 영역 양측에 배치되는 제1 게이트 드라이버 및 제2 게이트 드라이버를 포함하는 액정표시패널.

청구항 7

제6항에 있어서,
상기 제1 게이트 드라이버는,
상기 기수 번째 스테이지 군의 기수 번째 스테이지 및 우수 번째 보상 트랜지스터; 및
상기 우수 번째 스테이지 군의 우수 번째 스테이지 및 기수 번째 보상 트랜지스터를 포함하는 액정표시패널.

청구항 8

제6항에 있어서,
상기 제2 게이트 드라이버는,
상기 기수 번째 스테이지 군의 우수 번째 스테이지 및 기수 번째 보상 트랜지스터; 및
상기 우수 번째 스테이지 군의 기수 번째 스테이지 및 우수 번째 보상 트랜지스터를 포함하는 액정표시패널.

청구항 9

제1항에 있어서,
상기 n 은 2의 배수인 액정표시패널.

청구항 10

제7항에 있어서,
상기 제1 게이트 드라이버는,
클럭 펄스를 공급하는 제1 클럭 라인;
게이트 하이 전압을 인가하는 제1 전압 라인; 및
게이트 로우 전압을 인가하는 제2 전압 라인을 포함하는 액정표시패널.

청구항 11

제8항에 있어서,
상기 제2 게이트 드라이버는,
클럭 펄스를 공급하는 제2 클럭 라인;
게이트 하이 전압을 인가하는 제1 전압 라인; 및
게이트 로우 전압을 인가하는 제2 전압 라인을 포함하는 액정표시패널.

청구항 12

2 수평기간동안 게이트 하이전압을 출력하는 오버래핑 방식으로 구동되는 액정표시 패널에 있어서,
다수의 게이트 라인;
상기 게이트 라인과 연결되는 게이트 드라이버; 및
상기 게이트 드라이버는 게이트 라인과 연결되는 다수의 스테이지를 포함하고,
상기 다수의 스테이지 중,
 $4k-3$ 번째 스테이지와 $4k-2$ 스테이지는 표시 영역을 사이에 두고 교번하여 배열되고,
 $4k-1$ 번째 스테이지와 $4k$ 번째 스테이지는 상기 $4k-3$ 번째 스테이지 및 $4k-2$ 스테이지와 반대 방향으로 교번하여 배열되는 액정표시패널.

청구항 13

제12항에 있어서,
상기 $4k-3$ 번째 스테이지와 $4k-2$ 번째 스테이지는 상기 표시 영역을 사이에 두고 좌우 순서로 배열되고,
상기 $4k-1$ 번째 스테이지와 $4k$ 번째 스테이지는 상기 표시 영역을 사이에 두고 우좌 순서로 배열되는 액정표시패널.

청구항 14

제12항에 있어서,

게이트 로우 전압을 공급하기 위해 상기 다수의 게이트 라인과 연결되는 다수의 보상 트랜지스터를 더 포함하는 액정표시패널.

청구항 15

제14항에 있어서,

상기 보상 트랜지스터 중 n 번째 보상 트랜지스터는,
 $n+2$ 번째 게이트 라인에 의해 온 오프 제어되는 액정표시패널.

청구항 16

제14항에 있어서,

상기 보상 트랜지스터는 상기 표시 영역을 기준으로 상기 스테이지와 대칭되어 배치되는 액정표시패널.

청구항 17

제15항에 있어서,

상기 n 번째 보상 트랜지스터의 게이트 전극은 $n+2$ 번째 스테이지와 인접하는 영역에서 상기 $n+2$ 번째 게이트 라인과 전기적으로 연결되는 액정표시패널.

청구항 18

제14항에 있어서,

상기 게이트 드라이버는 상기 표시 영역 양측에 배치되는 제1 게이트 드라이버 및 제2 게이트 드라이버를 포함하는 액정표시패널.

청구항 19

제18항에 있어서,

상기 제1 게이트 드라이버는,
 상기 $4k-3$ 번째 스테이지와 $4k$ 번째 스테이지; 및
 상기 보상 트랜지스터 중 $4k-2$ 번째 보상 트랜지스터와 $4k-1$ 보상 트랜지스터를 포함하는 액정표시패널.

청구항 20

제18항에 있어서,

상기 제2 게이트 드라이버는,
 상기 $4k-2$ 번째 스테이지와 $4k-1$ 번째 스테이지; 및
 상기 보상 트랜지스터 중 $4k-3$ 번째 보상 트랜지스터와 $4k$ 번째 보상 트랜지스터를 포함하는 액정표시패널.

명세서

기술 분야

[0001] 실시 예는 액정표시패널에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가되고 있다. 종래의 음극선관 표시장치(CRT)에 비해 박형, 경량화된 액정표시장치(LCD), 플라즈마표시장치(PDP) 또는 유기전계 발광소자(OLED)를 포함하는 평판표시장치가 활발하게 연구 및 제품화되고 있다. 이 중에서 액정표시장치는 소형

화, 경량화, 박형화 및 저전력 구동의 장점이 있어 현재 널리 사용되고 있다.

- [0003] 상기 액정표시장치는 박막 트랜지스터에 인가되는 데이터 전압에 의해 액정이 변위하고 이를 통해 화소 영역의 광 투과율을 조절하여 화상을 표시한다. 상기 박막 트랜지스터가 형성된 액정표시패널에는 다수의 게이트 라인이 형성되고, 상기 다수의 게이트 라인에 인가되는 게이트 전압에 의해 상기 박막 트랜지스터의 온오프가 제어된다.
- [0004] 상기 게이트 라인은 게이트 드라이버로부터 게이트 전압을 인가받는다. 최근에는 상기 게이트 드라이버를 액정표시패널 내에 실장하여, 제조 원가를 절감하고 전력 소모를 최소화하는 게이트 인 패널(Gate In Panel, GIP) 방식의 액정표시장치가 제안되었다.
- [0005] 또한, 상기 게이트 드라이버의 구동방식은 논 오버래핑(non-Overlapping) 구동방식과 오버래핑(Overlapping) 구동방식이 있다.
- [0006] 도 1은 종래의 논 오버래핑 구동방식을 나타내는 파형도이고, 도 2는 종래의 오버래핑 구동방식을 나타내는 파형도이다.
- [0007] 도 1을 참조하면, 1 수평기간동안 하이레벨로 인가되는 제1 및 제2 클럭신호(CLK1, CLK2)에 동기하여 게이트 라인별로 게이트 하이 전압이 인가된다. 다시 말해, 제1 클럭신호(CLK1)의 하이 레벨에 동기하여 제1 게이트 라인(GL1)에 게이트 하이전압이 공급되고, 제2 클럭신호(CLK2)의 하이레벨에 동기하여 제2 게이트 라인(GL2)에 게이트 하이 전압이 공급된다.
- [0008] 도 2를 참조하면, 2 수평기간동안 각각의 게이트 라인에 게이트 하이 전압이 공급된다. 2 수평기간동안 하이레벨로 인가되는 제1 및 제2 클럭신호(CLK1, CLK2)에 동기하여 게이트 라인별로 게이트 하이전압이 인가된다.
- [0009] 상기 제1 클럭신호(CLK1)와 제2 클럭신호(CLK2)는 1 수평기간만큼의 시간차이를 가지므로, 제1 및 제2 클럭신호(CLK1, CLK2)는 1 수평기간만큼 중첩된다.
- [0010] 이로써, 상기 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2)에 게이트 하이 전압이 인가되는 구간은 일부가 중첩된다. 다시 말해, 상기 제1 클럭신호(CLK1)가 하이레벨을 가지는 구간에 제1 게이트 라인(GL1)에 게이트 하이 전압이 인가되고, 상기 제2 클럭신호(CLK2)가 하이 레벨을 가지는 구간에 상기 제2 게이트 라인(GL2)에 게이트 하이전압이 공급되므로, 상기 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2)에 게이트 하이전압이 인가되는 구간은 1 수평기간만큼 중첩되고, 이러한 중첩에 의한 구동방식을 오버래핑 구동방식이라고 한다..
- [0011] 상기 오버래핑 구동 방식은 논 오버래핑 구동방식보다 장시간동안 게이트 하이 전압을 인가하도록 하여, 게이트 라인을 프리차징 시키는 효과를 가지므로, 게이트 라인의 RC 지연에 의해 야기되는 게이트 펄스의 상승 시간 지연에 따른 영향을 방지할 수 있다. 다만, 상기 게이트 펄스의 하강 시간 지연은 줄일 수 없어, 신호 왜곡이나 세로선 불량과 같은 문제가 있다.

발명의 내용

해결하려는 과제

- [0012] 실시 예는 게이트 펄스의 하강 시간 지연을 방지하여 화상품질을 향상시키는 액정표시패널을 제공한다.

과제의 해결 수단

- [0013] 실시 예에 따른 액정표시패널은, n 수평기간동안 게이트 하이전압을 출력하는 오버래핑 방식으로 구동되는 액정표시 패널에 있어서, 다수의 게이트 라인; 상기 게이트 라인과 연결되는 게이트 드라이버; 및 상기 게이트 드라이버는 게이트 라인과 연결되는 다수의 스테이지를 포함하고, 상기 다수의 스테이지는 n개씩 다수의 스테이지 군을 구성하며, 상기 다수의 스테이지 군 중, 기수 번째 스테이지 군은 표시영역을 사이에 두고 'Z'자 형상으로 배열되고, 우수 번째 스테이지 군은 표시 영역을 사이에 두고 역 'Z'자 형상으로 배열된다.
- [0014] 실시 예에 따른 액정표시패널은, 2 수평기간동안 게이트 하이전압을 출력하는 오버래핑 방식으로 구동되는 액정표시 패널에 있어서, 다수의 게이트 라인; 상기 게이트 라인과 연결되는 게이트 드라이버; 및 상기 게이트 드라이버는 게이트 라인과 연결되는 다수의 스테이지를 포함하고, 상기 다수의 스테이지 중, 4k-3 번째 스테이지와 4k-2 스테이지는 표시 영역을 사이에 두고 교번하여 배열되고, 4k-1 번째 스테이지와 4k 번째 스테이지는 상기 4k-3 번째 스테이지 및 4k-2 스테이지와 반대 방향으로 교번하여 배열된다.

발명의 효과

[0015] 실시 예에 따른 액정표시패널은 게이트 드라이버에 포함되는 스테이지를 Z자 형상과 역 Z자 형상으로 교번하여 배열하고, 보상 트랜지스터를 다른 스테이지와 인접하는 영역에서 게이트 라인과 연결하여, 게이트 라인의 라인 저항에 의한 게이트 펄스의 하강 시간 지연을 방지하여 화상 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 종래의 논 오버래핑 구동방식을 나타내는 파형도이다.
 도 2는 종래의 오버래핑 구동방식을 나타내는 파형도이다.
 도 3은 제1 실시 예에 따른 액정표시장치를 나타낸 도면이다.
 도 4는 제1 실시 예에 따른 액정표시장치의 게이트 드라이버를 나타낸 상세도이다.
 도 5는 제1 실시 예에 따른 액정표시장치의 게이트 라인에 인가되는 전압을 나타낸 파형도이다.
 도 6은 제2 실시 예에 따른 액정표시장치의 게이트 드라이버를 나타낸 상세도이다.
 도 7은 제1 실시 예 및 제2 실시 예의 게이트 펄스의 하강 곡선을 나타낸 파형도이다.
 도 8은 제3 실시 예에 따른 액정표시장치의 게이트 드라이버를 나타낸 상세도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 실시 예에 따른 액정표시패널은, n 수평기간동안 게이트 하이전압을 출력하는 오버래핑 방식으로 구동되는 액정 표시 패널에 있어서, 다수의 게이트 라인; 상기 게이트 라인과 연결되는 게이트 드라이버; 및 상기 게이트 드라이버는 게이트 라인과 연결되는 다수의 스테이지를 포함하고, 상기 다수의 스테이지는 n 개씩 다수의 스테이지 군을 구성하며, 상기 다수의 스테이지 군 중, i 수 번째 스테이지 군은 표시영역을 사이에 두고 'Z'자 형상으로 배열되고, $(i+1)$ 수 번째 스테이지 군은 표시 영역을 사이에 두고 역 'Z'자 형상으로 배열된다.

[0018] 상기 다수의 게이트 라인과 연결되어 게이트 로우 전압을 공급하는 다수의 보상 트랜지스터를 더 포함할 수 있다.

[0019] 상기 다수의 보상 트랜지스터 중 k 번째 보상 트랜지스터는, $k+n$ 번째 게이트 라인에 의해 온오프 제어될 수 있다.

[0020] 상기 보상 트랜지스터는 상기 표시 영역을 기준으로 상기 스테이지와 대칭되어 배치될 수 있다.

[0021] 상기 k 번째 보상 트랜지스터의 게이트 전극은 $k+n$ 번째 스테이지와 인접하는 영역에서 상기 $k+n$ 번째 게이트 라인 과 전기적으로 연결될 수 있다.

[0022] 상기 게이트 드라이버는 상기 표시 영역 양측에 배치되는 제1 게이트 드라이버 및 제2 게이트 드라이버를 포함할 수 있다.

[0023] 상기 제1 게이트 드라이버는, 상기 i 수 번째 스테이지 군의 i 수 번째 스테이지 및 $(i+1)$ 수 번째 보상 트랜지스터; 및 상기 $(i+1)$ 수 번째 스테이지 군의 $(i+1)$ 수 번째 스테이지 및 i 수 번째 보상 트랜지스터를 포함할 수 있다.

[0024] 상기 제2 게이트 드라이버는, 상기 i 수 번째 스테이지 군의 $(i+1)$ 수 번째 스테이지 및 i 수 번째 보상 트랜지스터; 및 상기 $(i+1)$ 수 번째 스테이지 군의 i 수 번째 스테이지 및 $(i+1)$ 수 번째 보상 트랜지스터를 포함할 수 있다.

[0025] 상기 n 은 2의 배수일 수 있다.

[0026] 상기 제1 게이트 드라이버는, 클럭 펄스를 공급하는 제1 클럭 라인; 게이트 하이 전압을 인가하는 제1 전압 라인; 및 게이트 로우 전압을 인가하는 제2 전압 라인을 포함할 수 있다.

[0027] 상기 제2 게이트 드라이버는, 클럭 펄스를 공급하는 제2 클럭 라인; 게이트 하이 전압을 인가하는 제1 전압 라인; 및 게이트 로우 전압을 인가하는 제2 전압 라인을 포함할 수 있다.

[0028] 실시 예에 따른 액정표시패널은, 2 수평기간동안 게이트 하이전압을 출력하는 오버래핑 방식으로 구동되는 액정

표시 패널에 있어서, 다수의 게이트 라인; 상기 게이트 라인과 연결되는 게이트 드라이버; 및 상기 게이트 드라이버는 게이트 라인과 연결되는 다수의 스테이지를 포함하고, 상기 다수의 스테이지 중, 4k-3 번째 스테이지와 4k-2 스테이지는 표시 영역을 사이에 두고 교번하여 배열되고, 4k-1 번째 스테이지와 4k 번째 스테이지는 상기 4k-3 번째 스테이지 및 4k-2 스테이지와 반대 방향으로 교번하여 배열된다.

- [0029] 상기 4k-3 번째 스테이지와 4k-2 번째 스테이지는 상기 표시 영역을 사이에 두고 좌우 순서로 배열되고, 상기 4k-1 번째 스테이지와 4k 번째 스테이지는 상기 표시 영역을 사이에 두고 우좌 순서로 배열될 수 있다.
- [0030] 게이트 로우 전압을 공급하기 위해 상기 다수의 게이트 라인과 연결되는 다수의 보상 트랜지스터를 더 포함할 수 있다.
- [0031] 상기 보상 트랜지스터 중 n번째 보상 트랜지스터는, n+2번째 게이트 라인에 의해 온 오프 제어될 수 있다.
- [0032] 상기 보상 트랜지스터는 상기 표시 영역을 기준으로 상기 스테이지와 대칭되어 배치될 수 있다.
- [0033] 상기 n번째 보상 트랜지스터의 게이트 전극은 n+2번째 스테이지와 인접하는 영역에서 상기 n+2번째 게이트 라인과 전기적으로 연결될 수 있다.
- [0034] 상기 게이트 드라이버는 상기 표시 영역 양측에 배치되는 제1 게이트 드라이버 및 제2 게이트 드라이버를 포함할 수 있다.
- [0035] 상기 제1 게이트 드라이버는, 상기 4k-3 번째 스테이지와 4k 번째 스테이지; 및 상기 보상 트랜지스터 중 4k-2 번째 보상 트랜지스터와 4k-1 보상 트랜지스터를 포함할 수 있다.
- [0036] 상기 제2 게이트 드라이버는, 상기 4k-2 번째 스테이지와 4k-1 번째 스테이지; 및 상기 보상 트랜지스터 중 4k-3 번째 보상 트랜지스터와 4k 번째 보상 트랜지스터를 포함할 수 있다.
- [0037] 도 3은 제1 실시 예에 따른 액정표시장치를 나타낸 도면이다.
- [0038] 도 3을 참조하면, 제1 실시 예에 따른 액정표시장치는 액정표시패널(1), 상기 액정표시패널(1) 상에 형성되는 게이트 드라이버(10) 및 데이터 드라이버(30)를 포함한다.
- [0039] 상기 액정표시패널(1) 상에는 다수의 게이트 라인(GL1 내지 GLn) 및 상기 다수의 게이트 라인(GL1 내지 GLn)과 교차하는 방향으로 다수의 데이터 라인(DL1 내지 DLm)이 형성된다.
- [0040] 상기 다수의 게이트 라인(GL1 내지 GLn) 및 다수의 데이터 라인(DL1 내지 DLm)의 교차에 의해 다수의 화소 영역이 정의된다. 상기 다수의 게이트 라인(GL1 내지 GLn) 및 다수의 데이터 라인(DL1 내지 DLm)에는 다수의 박막 트랜지스터(T)가 연결될 수 있다.
- [0041] 상기 박막 트랜지스터는 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다. 상기 게이트 전극은 상기 게이트 라인과 연결되고, 상기 소스 전극은 상기 데이터 라인과 연결될 수 있다. 상기 게이트 전극은 상기 게이트 라인과 일체로 형성될 수 있고, 상기 소스 전극은 상기 데이터 라인과 일체로 형성될 수 있다. 상기 드레인 전극은 화소 전극과 연결될 수 있다.
- [0042] 상기 액정표시패널(1)은 화상을 표시하는 표시 영역(AA)과 상기 표시 영역(AA)의 외곽에 위치하며 화상을 표시하지 않는 비표시 영역(NA)을 포함할 수 있다.
- [0043] 상기 게이트 드라이버(10) 및 데이터 드라이버(30)는 상기 비표시 영역(NA)에 형성될 수 있다.
- [0044] 상기 게이트 드라이버(10)는 제1 게이트 드라이버(21) 및 제2 게이트 드라이버(22)를 포함할 수 있다. 상기 제1 게이트 드라이버(21)는 상기 비표시 영역(NA)의 일측에 위치할 수 있고, 상기 제2 게이트 드라이버(22)는 상기 비표시 영역(NA)의 타측에 위치할 수 있다. 상기 제1 게이트 드라이버(21) 및 제2 게이트 드라이버(22)는 서로 마주보며 형성될 수 있다.
- [0045] 상기 다수의 게이트 라인(GL1 내지 GLn)의 일단은 상기 제1 게이트 드라이버(21)와 전기적으로 연결될 수 있고, 상기 다수의 게이트 라인(GL1 내지 GLm)의 타단은 상기 제2 게이트 드라이버(22)와 전기적으로 연결될 수 있다.
- [0046] 상기 게이트 드라이버(10)는 상기 다수의 게이트 라인(GL1 내지 GLn)으로 게이트 펄스를 인가할 수 있다. 상기 제1 게이트 드라이버(21)는 상기 표시 영역(AA)의 중앙영역에서 상기 제1 게이트 드라이버(21)와 인접하는 영역에 형성된 다수의 게이트 라인(GL1 내지 GLn)에 게이트 펄스를 인가할 수 있고, 상기 제2 게이트 드라이버(22)는 상기 표시 영역(AA)의 중앙영역에서 상기 제2 게이트 드라이버(22)와 인접하는 영역에 형성된 다수의 게이트

라인(GL1 내지 GLn)에 게이트 펄스를 인가할 수 있다. 다시 말해, 상기 제1 게이트 드라이버(21) 및 제2 게이트 드라이버(22)는 상기 다수의 게이트 라인(GL1 내지 GLn)의 양 측에서 영역을 나누어 게이트 펄스를 전달할 수 있다. 상기 게이트 드라이버(10)를 상기 다수의 게이트 라인(GL1 내지 GLn)의 양측에 형성하여 게이트 펄스를 인가함으로써 대면적 표시장치에서의 라인 저항에 의한 RC지연의 영향을 줄일 수 있어 화상 품질 향상의 효과가 있다.

- [0047] 상기 데이터 드라이버(30)는 상기 다수의 데이터 라인(DL1 내지 DLm)과 전기적으로 연결될 수 있다. 상기 다수의 데이터 드라이버(30)는 상기 게이트 펄스에 의해 상기 박막 트랜지스터(T) 턴 온 되는 타이밍에 동기하여 데이터 전압을 상기 다수의 데이터 라인(DL1 내지 DLm)을 통해 상기 박막 트랜지스터(T)로 인가할 수 있다. 상기 데이터 드라이버(30)는 상기 비표시 영역(NA)에 위치할 수 있다.
- [0048] 도 4는 제1 실시 예에 따른 액정표시장치의 게이트 드라이버를 나타낸 상세도이다.
- [0049] 도 4를 참조하면 제1 실시 예에 따른 액정표시장치의 액정표시패널(1)은 표시 영역(AA)과 상기 표시 영역(AA)의 외곽에 형성된 비표시 영역(NA)을 포함한다.
- [0050] 상기 비표시 영역(NA)에는 게이트 드라이버(10)가 형성될 수 있다.
- [0051] 도면에서는 상기 게이트 드라이버(10)에 대한 설명을 위해 상기 표시 영역(AA)을 비표시 영역(NA)에 비해 작은 면적으로 도시하였으나, 이에 한정하지 않는다.
- [0052] 상기 게이트 드라이버(10)는 제1 게이트 드라이버(21)와 제2 게이트 드라이버(22)를 포함한다. 상기 게이트 드라이버(10)는 다수의 스테이지를 포함한다. 상기 게이트 드라이버(10)는 제1 내지 제8 스테이지(11 내지 18)를 포함할 수 있다. 도면에서는 8개의 스테이지를 포함하는 게이트 드라이버(10)를 도시하였으나, 상기 스테이지의 개수는 게이트 라인과 동일한 개수로 형성될 수 있고, 상기 스테이지의 개수는 한정하지 않는다.
- [0053] 상기 제1 게이트 드라이버(21)는 기수 번째 스테이지를 포함한다. 예를 들어, 상기 제1 게이트 드라이버(21)는 제1 스테이지(11), 제3 스테이지(13), 제5 스테이지(15) 및 제7 스테이지(17)를 포함할 수 있다. 상기 제1 게이트 드라이버(21)는 제1 클럭 라인(CLK1), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)을 더 포함할 수 있다.
- [0054] 상기 제1 게이트 드라이버(21)는 우수 번째 보상 트랜지스터를 포함할 수 있다. 예를 들어 상기 제1 게이트 드라이버(21)는 제2 보상 트랜지스터(TR2), 제4 보상 트랜지스터(TR4), 제6 보상 트랜지스터(TR6) 및 제8 보상 트랜지스터(TR8)를 포함할 수 있다.
- [0055] 상기 제1 클럭 라인(CLK1)에는 클럭 펄스가 인가될 수 있다. 도면에서는 상기 제1 클럭 라인(CLK1)을 하나의 라인으로 도시하였으나, 서로 다른 주파수의 클럭 펄스가 인가되는 다수의 라인을 포함할 수 있다.
- [0056] 상기 제1 전압 라인(VGH)에는 제1 전압이 인가될 수 있고, 상기 제2 전압 라인(VGL)에는 제2 전압이 인가될 수 있다. 상기 제1 전압과 상기 제2 전압은 서로 상이한 전압레벨을 가질 수 있다. 상기 제1 전압은 게이트 하이전압일 수 있고, 상기 제2 전압은 게이트 로우 전압일 수 있다.
- [0057] 상기 제2 게이트 드라이버(22)는 우수 번째 스테이지를 포함한다. 예를 들어, 상기 제2 게이트 드라이버(22)는 제2 스테이지(12), 제4 스테이지(14), 제6 스테이지(16) 및 제8 스테이지(18)를 포함할 수 있다. 상기 제2 게이트 드라이버(22)는 제2 클럭 라인(CLK2), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)을 더 포함할 수 있다.
- [0058] 상기 제2 게이트 드라이버(22)는 기수 번째 보상 트랜지스터를 포함할 수 있다. 예를 들어 상기 제2 게이트 드라이버(22)는 제1 보상 트랜지스터(TR1), 제3 보상 트랜지스터(TR3), 제5 보상 트랜지스터(TR5) 및 제7 보상 트랜지스터(TR7)를 포함할 수 있다.
- [0059] 상기 제2 클럭 라인(CLK2)에는 클럭 펄스가 인가될 수 있다. 도면에서는 상기 제2 클럭 라인(CLK2)을 하나의 라인으로 도시하였으나, 서로 다른 주파수의 클럭 펄스가 인가되는 다수의 라인을 포함할 수 있다.
- [0060] 상기 제1 전압 라인(VGH)에는 제1 전압이 인가될 수 있고, 상기 제2 전압 라인(VGL)에는 제2 전압이 인가될 수 있다. 상기 제1 전압과 상기 제2 전압은 서로 상이한 전압레벨을 가질 수 있다. 상기 제1 전압은 게이트 하이전압일 수 있고, 상기 제2 전압은 게이트 로우 전압일 수 있다.
- [0061] 상기 제1 스테이지(11), 제3 스테이지(13), 제5 스테이지(15) 및 제7 스테이지(17)는 상기 제1 클럭 라인(CLK1), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)과 전기적으로 연결될 수 있다.
- [0062] 상기 제2 스테이지(12), 제4 스테이지(14), 제6 스테이지(16) 및 제8 스테이지(18)는 상기 제2 클럭 라인

(CLK2), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)과 전기적으로 연결될 수 있다.

- [0063] 상기 각각의 스테이지는 상기 클럭 라인으로부터 인가된 클럭 펄스에 의해 게이트 하이 전압과 게이트 로우 전압을 이용하여 게이트 펄스 생성하여 다수의 게이트 라인(GL1 내지 GL8)으로 인가할 수 있다.
- [0064] 상기 제1 스테이지(11)는 제1 게이트 라인(GL1)과 전기적으로 연결되고, 상기 제2 스테이지(12)는 제2 게이트 라인(GL2)과 전기적으로 연결되고, 상기 제3 스테이지(13)는 제3 게이트 라인(GL3)과 전기적으로 연결되고, 상기 제4 스테이지(14)는 제4 게이트 라인(GL4)과 전기적으로 연결되고, 상기 제5 스테이지(15)는 제5 게이트 라인(GL5)과 전기적으로 연결되고, 상기 제6 스테이지(16)는 제6 게이트 라인(GL6)과 전기적으로 연결되고, 상기 제7 스테이지(17)는 제7 게이트 라인(GL7)과 전기적으로 연결되고, 상기 제8 스테이지(18)는 제8 게이트 라인(GL8)과 전기적으로 연결될 수 있다.
- [0065] 상기 제1 게이트 라인(GL1)은 상기 제1 스테이지(11) 및 상기 제2 게이트 드라이버(22)의 제2 전압 라인(VGL)과 전기적으로 연결될 수 있다. 상기 제1 보상 트랜지스터(TR1)의 드레인 전극은 상기 제1 스테이지(11) 방향의 제1 게이트 라인(GL1)과 전기적으로 연결될 수 있고, 상기 제1 보상 트랜지스터(TR1)의 소스 전극은 상기 제2 게이트 드라이버(22)의 제2 전압 라인(VGL)과 인접하는 제1 게이트 라인(GL1)과 전기적으로 연결될 수 있다. 상기 제1 보상 트랜지스터(TR1)의 게이트 전극은 제5 게이트 라인(GL5)과 전기적으로 연결될 수 있다. 상기 제1 보상 트랜지스터(TR1)의 게이트 전극은 상기 제5 게이트 라인(GL5)의 제2 게이트 드라이버(22) 영역에 형성될 수 있다. 상기 제1 보상 트랜지스터(TR1)의 게이트 전극과 상기 제5 게이트 라인(GL5)을 전기적으로 연결하는 라인은 상기 게이트 라인과 다른 층에 형성되어 전기적인 단락을 방지할 수 있다.
- [0066] 상기 제2 게이트 라인(GL1)은 상기 제2 스테이지(12) 및 상기 제1 게이트 드라이버(21)의 제2 전압 라인(VGL)과 전기적으로 연결될 수 있다. 상기 제2 보상 트랜지스터(TR2)의 드레인 전극은 제2 스테이지(12) 방향의 제2 게이트 라인(GL2)과 전기적으로 연결될 수 있고, 상기 제2 보상 트랜지스터(TR2)의 소스 전극은 상기 제1 게이트 드라이버(21)의 제2 전압 라인(VGL)과 인접하는 제2 게이트 라인(GL2)과 전기적으로 연결될 수 있다. 상기 제2 보상 트랜지스터(TR2)의 게이트 전극은 제6 게이트 라인(GL6)과 전기적으로 연결될 수 있다. 상기 제2 보상 트랜지스터(TR2)의 게이트 전극은 상기 제6 게이트 라인(GL6)의 제1 게이트 드라이버(22) 영역에 형성될 수 있다.
- [0067] 상기 제3 게이트 라인(GL3)은 상기 제3 스테이지(13)와 전기적으로 연결되고, 상기 제2 게이트 드라이버(22)의 제2 전압 라인(VGL)과 제3 보상 트랜지스터(TR3)를 통해 전기적으로 연결될 수 있다.
- [0068] 상기 제4 게이트 라인(GL4)은 상기 제4 스테이지(14)와 전기적으로 연결되고, 상기 제1 게이트 드라이버(21)의 제2 전압 라인(VGL)과 제4 보상 트랜지스터(TR4)를 통해 전기적으로 연결될 수 있다.
- [0069] 상기 제5 게이트 라인(GL5)은 상기 제5 스테이지(15)와 전기적으로 연결되고, 상기 제2 게이트 드라이버(22)의 제2 전압 라인(VGL)과 제5 보상 트랜지스터(TR5)를 통해 전기적으로 연결될 수 있다.
- [0070] 상기 제6 게이트 라인(GL6)은 상기 제6 스테이지(16)와 전기적으로 연결되고, 상기 제1 게이트 드라이버(21)의 제2 전압 라인(VGL)과 제6 보상 트랜지스터(TR6)를 통해 전기적으로 연결될 수 있다.
- [0071] 상기 제7 게이트 라인(GL7)은 상기 제7 스테이지(17)와 전기적으로 연결되고, 상기 제2 게이트 드라이버(22)의 제2 전압 라인(VGL)과 제7 보상 트랜지스터(TR7)를 통해 전기적으로 연결될 수 있다.
- [0072] 상기 제8 게이트 라인(GL8)은 상기 제8 스테이지(18)와 전기적으로 연결되고, 상기 제1 게이트 드라이버(21)의 제2 전압 라인(VGL)과 제8 보상 트랜지스터(TR8)를 통해 전기적으로 연결될 수 있다.
- [0073] 각각의 보상 트랜지스터는 다른 게이트 라인에 의해 온 오프 제어될 수 있다. 예를 들어, 제n 보상 트랜지스터는 제n+4게이트 라인에 의해 온 오프 제어될 수 있다. 다시 말해, 제n 보상 트랜지스터의 게이트 전극은 제n+4 게이트 라인과 전기적으로 연결될 수 있다.
- [0074] 도 5는 제1 실시 예에 따른 액정표시장치의 게이트 라인에 인가되는 전압을 나타낸 파형도이다.
- [0075] 도 5를 참조하면 제1 실시 예에 따른 액정표시장치의 상기 게이트 드라이버(11)는 4 수평기간동안 게이트 라인에 게이트 하이 전압을 인가한다. 각각의 게이트 라인은 1 수평기간의 차이를 두어 오버래핑 구동방식으로 구동된다.
- [0076] 상기 제1 보상 트랜지스터(TR1)는 상기 제5 게이트 라인(GL5)에 게이트 하이 전압이 인가되면 턴 온되어, 상기 제2 전압 라인(VGL)으로부터의 게이트 로우 전압을 상기 제1 게이트 라인(GL1)으로 전달한다. 상기 제1 보상 트랜지스터(TR1)는 상기 제5 게이트 라인(GL5)의 게이트 하이 전압에 동기하여, 상기 제1 게이트 라인(GL1)에 게

이트 로우 전압을 공급함으로써, 4 수평기간이 경과 후 게이트 펄스의 하강시간을 줄일 수 있다. 다시 말해, 상기 제1 스테이지(11)에 의해 4 수평기간이 경과 후 게이트 로우 전압이 상기 제1 게이트 라인(GL1)으로 인가되는 경우 발생할 수 있는 RC지연에 의한 하강시간 지연을 상기 제1 보상 트랜지스터(TR1)에 의한 게이트 로우 전압 인가를 통해 줄일 수 있다.

- [0077] 다시 말해, 상기 제5 게이트 라인(GL5)의 게이트 하이 전압에 의해 상기 제1 게이트 라인(GL1)에 게이트 로우 전압이 인가될 수 있다. 다시 말해, 각각의 게이트 라인에는 다른 게이트 라인에 인가되는 게이트 하이 전압에 동기하여 게이트 로우 전압이 인가될 수 있다. 예를 들어, 제 n 게이트 라인에는 제 $n+4$ 게이트 라인에 게이트 하이 전압이 인가되는 타이밍에 동기하여 게이트 로우 전압이 인가될 수 있다. 이로써 게이트 펄스의 하강시간을 줄일 수 있다.
- [0078] 또한, 상기 다수의 게이트 라인의 양측에 스테이지를 연결하는 것이 아니라, 일 측에는 스테이지를 연결하고, 타 측에는 보상 트랜지스터를 연결하여, 스테이지를 줄여 제조단가를 절감할 수 있다. 이를 통해 게이트 드라이버의 면적을 줄여 비표시 영역의 면적을 줄일 수 있으며, 네로우 베젤을 구현할 수 있다.
- [0079] 도 6은 제2 실시 예에 따른 액정표시장치의 게이트 드라이버를 나타낸 상세도이다.
- [0080] 제2 실시 예는 제1 실시 예와 비교하여 스테이지 및 보상 트랜지스터의 위치가 상이하고 나머지 구성은 동일하다. 따라서, 제2 실시 예를 설명함에 있어서 제1 실시 예와 동일한 구성에 대해서는 상세한 설명을 생략한다.
- [0081] 도 6을 참조하면 제2 실시 예에 따른 액정표시장치의 액정표시패널(1)은 표시 영역(AA)과 상기 표시 영역(AA)의 외곽에 형성된 비표시 영역(NA)을 포함한다.
- [0082] 상기 비표시 영역(NA)에는 게이트 드라이버(110)가 형성될 수 있다.
- [0083] 상기 게이트 드라이버(110)는 제1 게이트 드라이버(121)와 제2 게이트 드라이버(122)를 포함한다. 상기 게이트 드라이버(110)는 제1 내지 제8 스테이지(211 내지 218)를 포함할 수 있다.
- [0084] 상기 제1 내지 제4 스테이지(111 내지 114)는 제1 스테이지 군(123)을 구성하고, 제5 내지 제8 스테이지(125 내지 128)는 제2 스테이지 군(124)을 구성한다. 상기 제1 스테이지 군(123)은 'Z'자 형상으로 배열될 수 있고, 상기 제2 스테이지 군(124)은 역 'Z'자 형상으로 배열될 수 있다.
- [0085] 상기 제1 게이트 드라이버(121)는 제1 스테이지 군(123)에서는 기수 번째 스테이지를 포함하고, 제2 스테이지 군(124)에서는 우수 번째 스테이지를 포함한다. 다시 말해, 상기 제1 게이트 드라이버(121)는 제1 스테이지(111), 제3 스테이지(113), 제6 스테이지(116) 및 제8 스테이지(118)를 포함한다. 상기 제1 게이트 드라이버(121)는 제1 클럭 라인(CLK1), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)을 더 포함할 수 있다.
- [0086] 상기 제2 게이트 드라이버(122)는 제1 스테이지 군(123)에서는 우수 번째 스테이지를 포함하고, 제2 스테이지 군(124)에서는 기수 번째 스테이지를 포함한다. 다시 말해, 상기 제2 게이트 드라이버(122)는 제2 스테이지(112), 제4 스테이지(114), 제5 스테이지(115) 및 제7 스테이지(117)를 포함한다. 상기 제2 게이트 드라이버(122)는 제2 클럭 라인(CLK2), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)을 더 포함할 수 있다.
- [0087] 상기 다수의 스테이지가 형성된 영역에 대칭되는 영역에는 다수의 보상 트랜지스터가 형성될 수 있다. 예를 들어, 상기 제1 게이트 드라이버(121)에는 제2 보상 트랜지스터(TR2), 제4 보상 트랜지스터(TR4), 제5 보상 트랜지스터(TR5) 및 제7 보상 트랜지스터(TR7)가 형성되고, 상기 제2 게이트 드라이버(121)에는 제1 보상 트랜지스터(TR1), 제3 보상 트랜지스터(TR3), 제6 보상 트랜지스터(TR6) 및 제8 보상 트랜지스터(TR8)가 형성될 수 있다. 다시 말해, 상기 제1 스테이지 군(123)에 대응되는 제1 내지 제4 보상 트랜지스터(TR1 내지 TR4)는 'Z'자 형상으로 배열될 수 있고, 상기 제2 스테이지 군(124)에 대응되는 제5 내지 제8 보상 트랜지스터(TR5 내지 TR8)는 역 'Z'자 형상으로 배열될 수 있다.
- [0088] 상기 제1 스테이지(111), 제3 스테이지(113), 제6 스테이지(116) 및 제8 스테이지(118)는 상기 제1 클럭 라인(CLK1), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)과 전기적으로 연결될 수 있다.
- [0089] 상기 제2 스테이지(112), 제4 스테이지(114), 제5 스테이지(115) 및 제7 스테이지(117)는 상기 제2 클럭 라인(CLK2), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)과 전기적으로 연결될 수 있다.
- [0090] 상기 제1 보상 트랜지스터(TR1)는 상기 제5 게이트 라인(GL5)에 의해 온 오프제어될 수 있다. 상기 제1 보상 트랜지스터(TR1)의 게이트 전극은 상기 제5 게이트 라인(GL5)과 전기적으로 연결될 수 있다. 상기 제1 보상 트랜지스터(TR1)의 게이트 전극은 상기 제5 스테이지(115)와 인접하는 영역에서 제5 게이트 라인(GL5)과 전기적으로

연결될 수 있다.

- [0091] 상기 제1 스테이지 군(123)을 'Z'자 형상으로 배치하고, 상기 제2 스테이지 군(124)을 역 'Z'자 형상으로 배치하여, 제 n 보상 트랜지스터의 게이트 전극을 제 $n+4$ 스테이지와 인접하는 영역에서 제 n 게이트 라인과 전기적으로 연결시킬 수 있다.
- [0092] 상기와 같이 연결하여, 도 7과 같은 게이트 펄스의 하강 시간 지연 감소의 효과가 있다. 도 7의 ①은 제2 실시예에 따른 게이트 펄스의 하강 곡선이고, ②는 제1 실시예에 따른 게이트 펄스의 하강곡선이다.
- [0093] 제2 실시예에 따른 액정표시장치에서는 제 n 보상 트랜지스터의 게이트 전극이 제 $n+4$ 스테이지와 인접하는 영역과 연결되므로, 상기 제 $n+4$ 스테이지에서 게이트 하이 전압이 출력되는 경우 시간의 지연 없이 제 n 게이트 라인에 게이트 로우 전압을 인가할 수 있다. 다시 말해, 제1 실시예와 비교하여, 게이트 로우 전압이 출력되는 상기 제 $n+4$ 스테이지와 제 n 보상 트랜지스터의 게이트 전극을 가깝게 연결하여, 제 $n+4$ 게이트 라인의 라인 저항에 의한 신호의 지연을 막을 수 있어, 상기 제 n 게이트 라인에 즉시 게이트 로우 전압이 인가될 수 있다. 이를 통해, 게이트 펄스의 하강 시간의 지연을 방지할 수 있으며, 결과적으로 화상 품질 향상의 효과가 있다.
- [0094] 도 8은 제3 실시예에 따른 액정표시장치의 게이트 드라이버를 나타낸 상세도이다.
- [0095] 제3 실시예는 2 수평기간동안 게이트 라인에 게이트 하이전압을 인가하는 오버래핑 구동방식을 구현하기 위한 게이트 드라이버이다. 따라서, 스테이지 및 보상 트랜지스터의 위치가 상이하고 나머지 구성은 동일하다. 따라서, 제3 실시예를 설명함에 있어 제1 실시예와 동일한 구성에 대해서는 상세한 설명을 생략한다.
- [0096] 도 8을 참조하면 제3 실시예에 따른 액정표시장치의 액정표시패널(1)은 표시 영역(AA)과 상기 표시 영역(AA)의 외곽에 형성된 비표시 영역(NA)을 포함한다.
- [0097] 상기 비표시 영역(NA)에는 게이트 드라이버(210)가 형성될 수 있다.
- [0098] 상기 게이트 드라이버(210)는 제1 게이트 드라이버(221)와 제2 게이트 드라이버(222)를 포함한다. 상기 게이트 드라이버(210)는 다수의 스테이지를 포함할 수 있다. 도면에서는 제1 내지 제4 스테이지(211 내지 214)를 도시하여 설명하였다.
- [0099] 상기 다수의 스테이지 중 제 $4k-3$ 스테이지와 제 $4k-2$ 스테이지(k 는 자연수)는 상기 표시 영역(AA)을 사이에 두고 좌우 순서로 배열될 수 있다. 상기 다수의 스테이지 중 제 $4k-1$ 스테이지와 제 $4k$ 스테이지는 상기 표시 영역(AA)을 사이에 두고 우좌 순서로 배열될 수 있다. 다시 말해, 상기 제 $4k-2$ 스테이지의 하부에 제 $4k-1$ 스테이지가 배치될 수 있다.
- [0100] 도면을 참조하면, 상기 제1 스테이지(211)와 제2 스테이지(212)는 상기 표시 영역(AA)을 사이에 두고 좌우 순서로 배열되고, 상기 제3 스테이지(213)와 제4 스테이지(214)는 표시 영역(AA)을 사이에 두고 우좌 순서로 배열될 수 있다. 다시 말해, 상기 제3 스테이지(213)는 제2 스테이지(212)의 하부에 배열될 수 있다.
- [0101] 상기 제1 게이트 드라이버(221)는 제 $4k-3$ 스테이지와 제 $4k$ 스테이지를 포함하고, 상기 제2 게이트 드라이버(222)는 제 $4k-2$ 스테이지와 제 $4k-1$ 스테이지를 포함할 수 있다.
- [0102] 다시 말해, 상기 제1 게이트 드라이버(221)는 제1 스테이지(211) 및 제4 스테이지(214)를 포함할 수 있고, 상기 제2 게이트 드라이버(222)는 제2 스테이지(212) 및 제3 스테이지(213)를 포함할 수 있다.
- [0103] 상기 제1 게이트 드라이버(221)는 제1 클럭 라인(CLK1), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)을 더 포함할 수 있다. 상기 제2 게이트 드라이버(222)는 제2 클럭 라인(CLK2), 제1 전압 라인(VGH) 및 제2 전압 라인(VGL)을 더 포함할 수 있다.
- [0104] 상기 다수의 스테이지와 대응되는 영역에는 다수의 보상 트랜지스터가 연결될 수 있다. 상기 제1 스테이지(211)에는 제1 보상 트랜지스터(TR1)가 연결되고, 상기 제2 스테이지(212)에는 제2 보상 트랜지스터(TR2)가 연결되고, 상기 제3 스테이지(213)에는 제3 보상 트랜지스터(TR3)가 연결되고, 상기 제4 스테이지(214)에는 제4 보상 트랜지스터(TR4)가 연결될 수 있다.
- [0105] 상기 보상 트랜지스터 중 제 $4k-2$ 보상 트랜지스터 및 제 $4k-1$ 보상 트랜지스터는 제1 게이트 드라이버(221)에 포함될 수 있고, 제 $4k-3$ 보상 트랜지스터 및 제 $4k$ 보상 트랜지스터는 제2 게이트 드라이버(222)에 포함될 수 있다. 예를 들어, 상기 제1 게이트 드라이버(221)는 제2 보상 트랜지스터(TR2) 및 제3 보상 트랜지스터(TR3)를 포함하고, 상기 제2 게이트 드라이버(222)는 제1 보상 트랜지스터(TR1) 및 제4 보상 트랜지스터(TR4)를 포함할

수 있다.

[0106] 제_n 보상 트랜지스터의 게이트 전극은 제_{n+2} 스테이지와 연결된 제_{n+2} 게이트 라인과 전기적으로 연결될 수 있다. 상기 제_n 보상 트랜지스터의 게이트 전극은 제_{n+2} 스테이지와 인접하는 영역에서 제_{n+2} 게이트 라인과 전기적으로 연결될 수 있다. 예를 들어, 상기 제1 보상 트랜지스터(TR1)의 게이트 전극은 제3 스테이지(213)와 인접하는 영역에서 제3 게이트 라인(GL3)과 전기적으로 연결될 수 있다.

[0107] 상기 제n 보상 트랜지스터의 게이트 전극을 제n+2 스테이지와 연결된 제n+2 게이트 라인과 전기적으로 연결하여, 2 수평기간동안 게이트 하이전압을 인가하는 오버래핑 구동방식으로 구동할 수 있다.

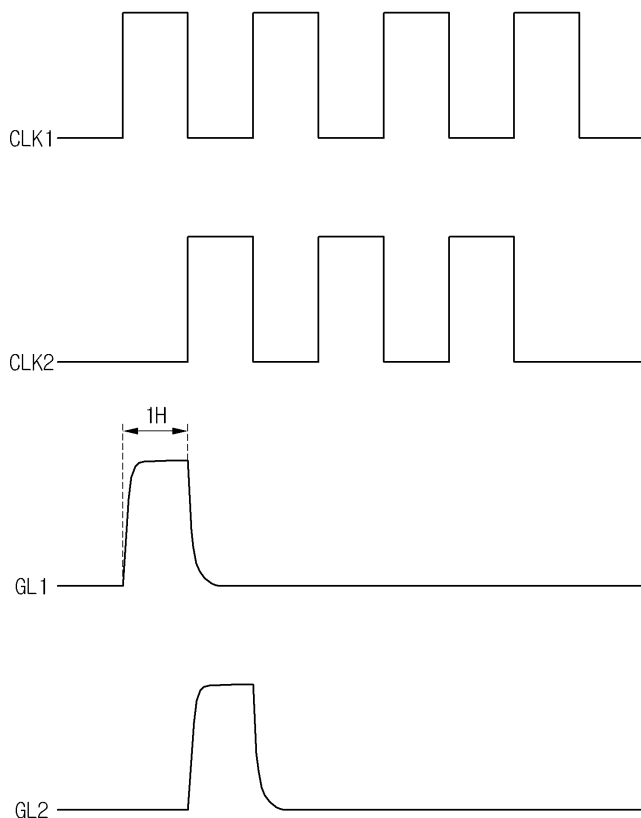
[0108] 또한, 상기 제 n 보상 트랜지스터의 게이트 전극을 제 $n+2$ 스테이지와 인접하는 영역에서 제 $n+2$ 게이트 라인과 전기적으로 연결하여, 상기 제 $n+4$ 스테이지에서 게이트 하이 전압이 출력되는 경우 시간의 지연없이 제 n 게이트 라인에 게이트 로우 전압을 인가할 수 있다. 이를 통해, 게이트 펄스의 하강 시간의 지연을 방지할 수 있으며, 결과적으로 화상 품질 향상의 효과가 있다.

부호의 설명

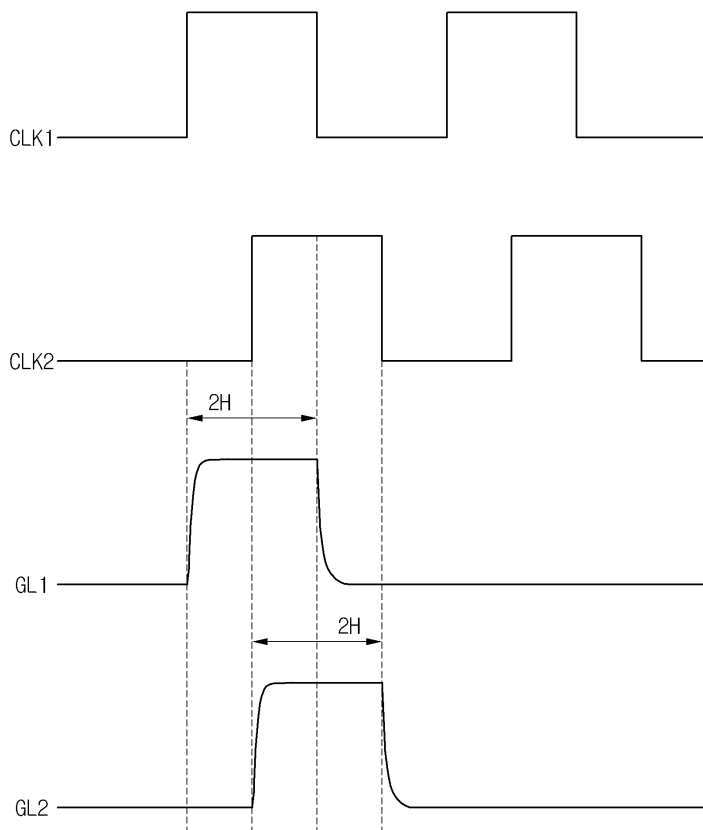
[0109]	1: 액정표시패널	10,110,210: 게이트 드라이버
	21,121,221: 제1 게이트 드라이버	22,122,222: 제2 게이트 드라이버
	30: 데이터 드라이버	123: 제1 스테이지 군
	124: 제2 스테이지 군	AA: 표시 영역
	NA: 비표시 영역	

도면

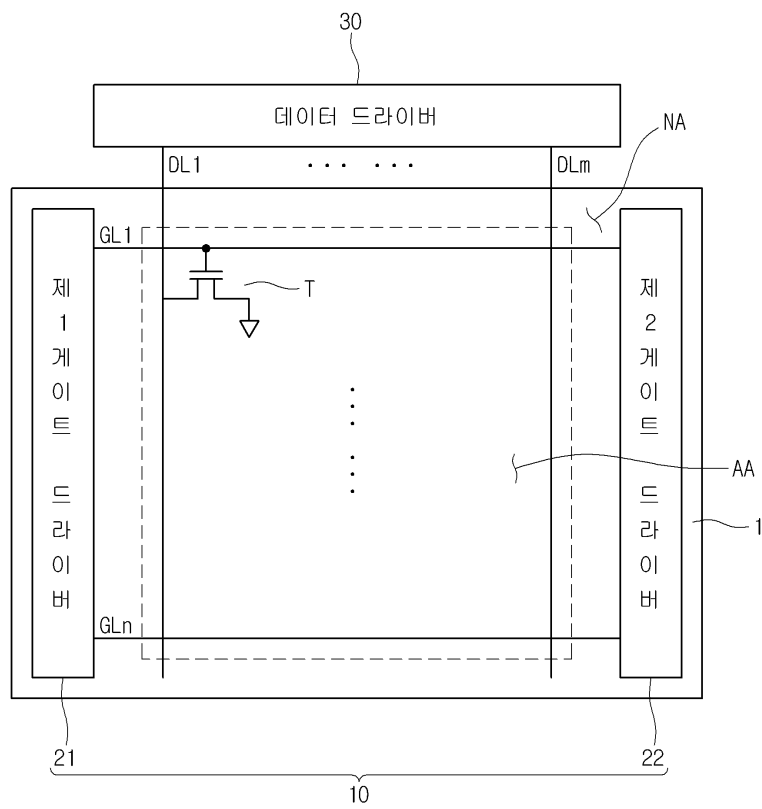
도면1



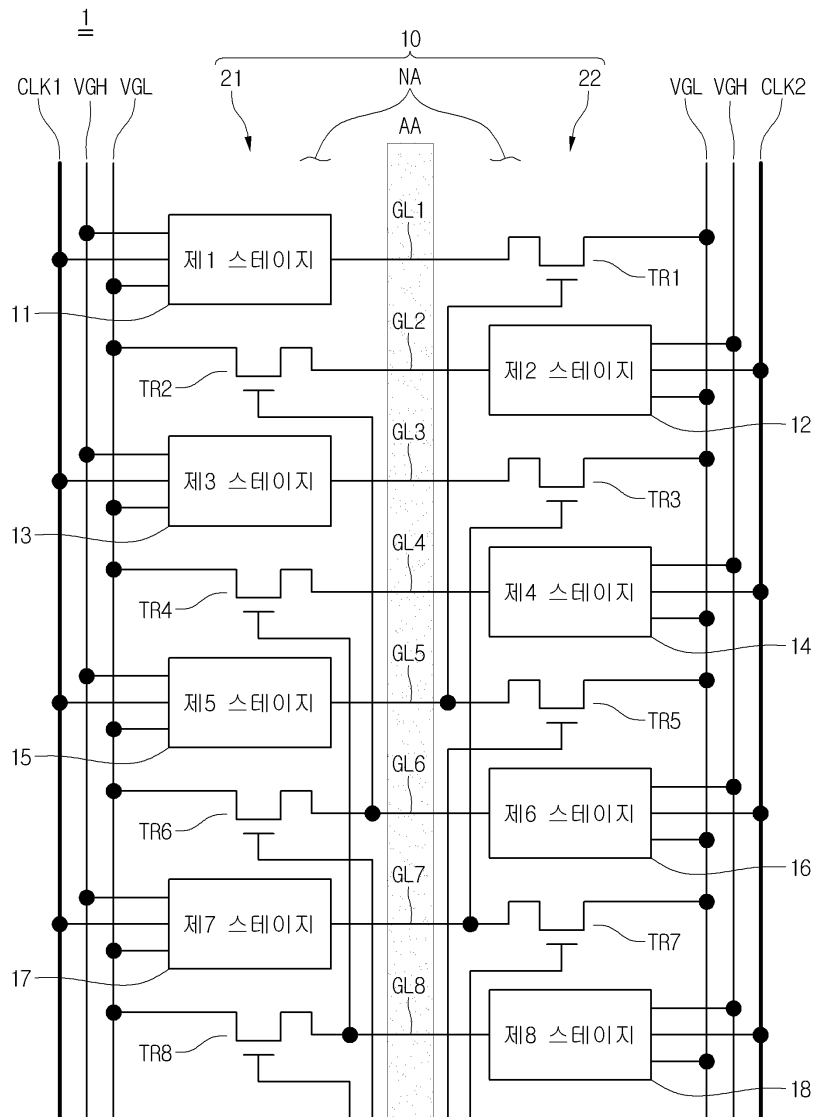
도면2



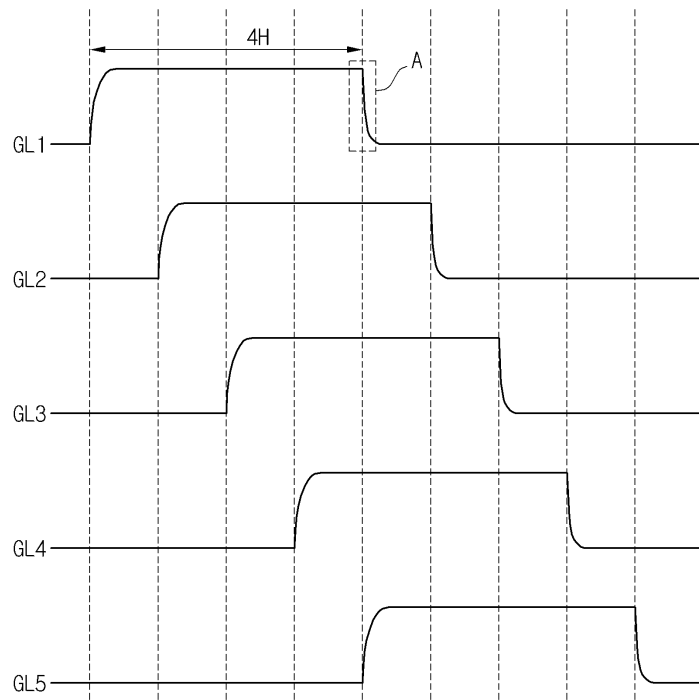
도면3



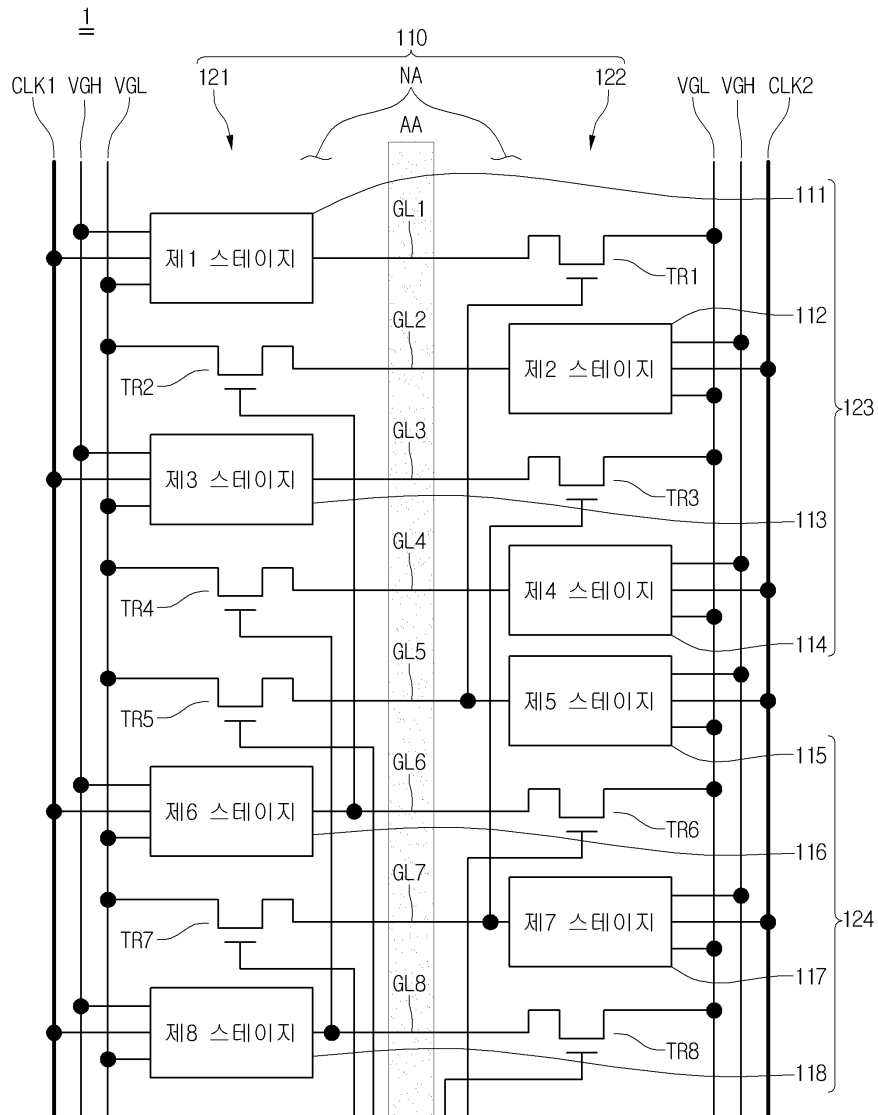
도면4



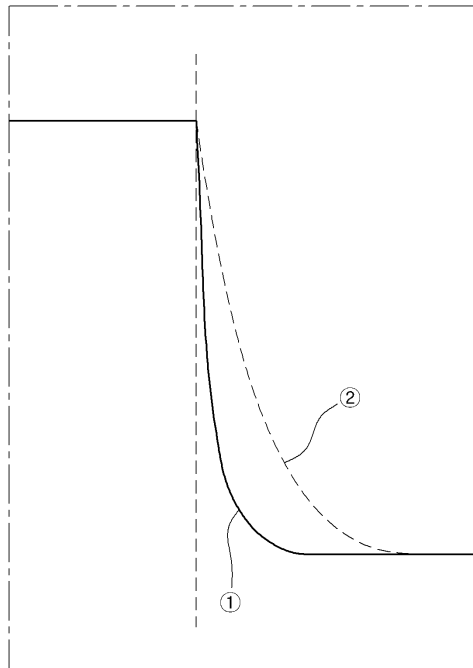
도면5



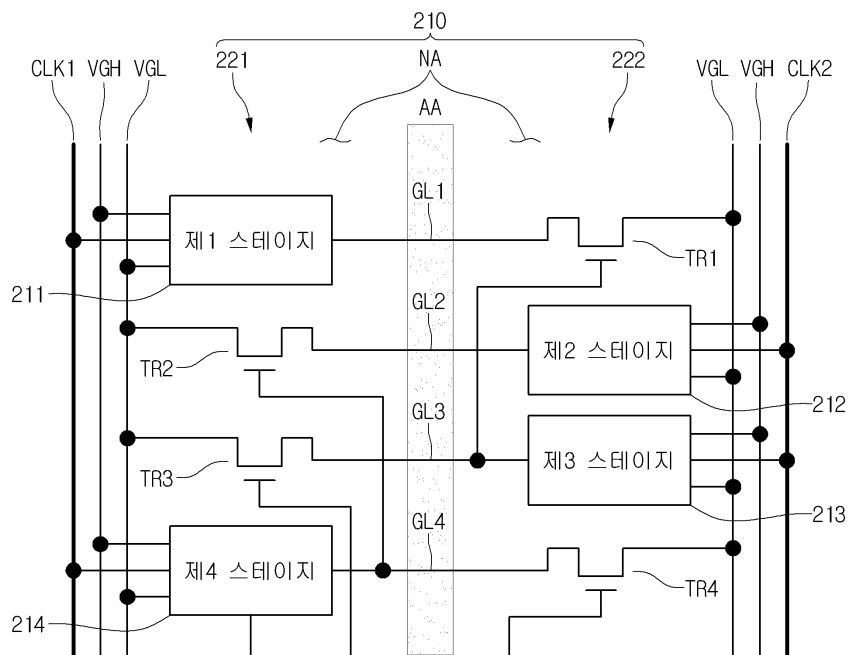
도면6



도면7



도면8



专利名称(译)	液晶面板		
公开(公告)号	KR101994452B1	公开(公告)日	2019-09-25
申请号	KR1020120120413	申请日	2012-10-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	소병성 최정미		
发明人	소병성 최정미		
IPC分类号	G09G3/36 G02F1/133		
审查员(译)	庭院式		
其他公开文献	KR1020140056542A		
外部链接	Espacenet		

摘要(译)

根据实施例的液晶显示面板包括：以重叠的方式被驱动以在n个水平周期中输出栅极高电压的液晶显示面板，该液晶显示面板包括：多条栅极线；和栅极驱动器连接到栅极线；并且所述栅极驱动器包括连接到栅极线的多个级，其中所述多个级构成多个级组，每个级组为n个级，其中奇数级组之间具有显示区域。它以“Z”形布置，并且偶数级组以倒置的“Z”形布置，其间具有显示区域。