



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0070318
(43) 공개일자 2013년06월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2011-0137574
(22) 출원일자 2011년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이선화
경기도 파주시 금촌동 새꽃마을 아파트 110동 1102호
최승규
경기도 파주시 교하읍 야당리 한빛마을 한라비발 디 센트럴파크 106동 1704호
이철환
경기도 수원시 팔달구 화서2동 꽃피버들 진흥아파트 146동 602호
(74) 대리인
박장원

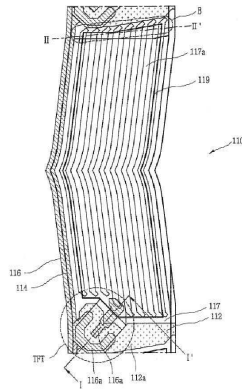
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정표시장치 및 이의 제조방법

(57) 요약

공통 전극의 상단과 하단의 끝부분에서 디스클리네이션(disclination)의 발생을 최소화 하여 개구부의 투과율을 개선할 수 있는 액정표시장치 및 이의 제조방법이 제공된다. 액정표시장치는 절연 기판 상에 형성된 게이트 전극, 상기 게이트 전극 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 액티브층, 상기 액티브층 상에 형성된 소스 전극 및 드레인 전극, 상기 드레인 전극의 일측과 오버랩되도록 형성된 제1 전극, 상기 화소 전극 상에 형성된 보호막, 상기 보호막 상에 형성된 제2 전극을 포함하며, 상기 제2 전극의 길이는 제1 전극의 길이보다 더 크게 형성된다.

대표도 - 도2



특허청구의 범위

청구항 1

절연 기판 상에 형성된 게이트 전극;
 상기 게이트 전극 상에 형성된 게이트 절연막;
 상기 게이트 절연막 상에 형성된 액티브층;
 상기 액티브층 상에 형성된 소스 전극 및 드레인 전극;
 상기 드레인 전극의 일측과 오버랩되도록 형성된 제1 전극;
 상기 화소 전극 상에 형성된 보호막;
 상기 보호막 상에 형성된 제2 전극을 포함하며,
 상기 제2 전극의 길이는 제1 전극의 길이보다 더 크게 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,
 상기 제1 전극과 상기 제2 전극 사이의 간격은 $2\mu\text{m}$ 이하인 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,
 상기 제1 전극이 화소 전극인 경우, 평판 형태로 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,
 상기 제2 전극이 공통 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된 것을 특징으로 하는 액정표시장치.

청구항 5

제4항에 있어서,
 상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된 것을 특징으로 하는 액정표시장치.

청구항 6

제4항에 있어서,
 상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,
 상기 제1 전극이 공통 전극인 경우, 평판 형태로 형성된 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서,
 상기 제2 전극이 화소 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된 것을 특징으로 하는 액

정표시장치.

청구항 9

제8항에 있어서,

상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제8항에 있어서,

상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된 것을 특징으로 하는 액정표시장치.

청구항 11

절연 기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 액티브층을 형성하는 단계;

상기 액티브층 상에 형성된 소스 전극 및 드레인 전극을 형성하는 단계;

상기 드레인 전극의 일측과 오버랩되도록 제1 전극을 형성하는 단계;

상기 화소 전극 상에 형성된 보호막을 형성하는 단계;

상기 보호막 상에 제2 전극을 형성하는 단계를 포함하며,

상기 제2 전극을 형성하는 단계는 상기 제2 전극의 길이를 제1 전극의 길이보다 더 크게 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제11항에 있어서,

상기 제1 전극과 상기 제2 전극 사이의 간격은 $2\mu\text{m}$ 이하인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제11항에 있어서,

상기 제1 전극이 화소 전극인 경우, 평판 형태로 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제11항에 있어서,

상기 제2 전극이 공통 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제14항에 있어서,

상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제14항에 있어서,

상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된 것을

특징으로 하는 액정표시장치의 제조방법.

청구항 17

제11항에 있어서,

상기 제1 전극이 공통 전극인 경우, 평판 형태로 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제11항에 있어서,

상기 제2 전극이 화소 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제18항에 있어서,

상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제18항에 있어서,

상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치 및 그의 제조방법에 관한 것으로, 보다 상세하게는 공통 전극의 상단과 하단의 끝부분에서 디스클리네이션(disclination)의 발생을 최소화 하여 개구부의 투과율을 개선할 수 있는 액정표시장치 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display), 플라즈마표시장치(PDP : plasma display panel), 유기발광소자(OLED : organic light emitting diode)와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 현재 널리 사용되고 있다.

[0004] 일반적으로 액정표시장치(Liquid Crystal Display; LCD)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다.

[0005] 이러한 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0006] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.

[0007] 도 1은 종래 어레이 기판을 나타내는 평면도이다.

[0008] 도 1에 도시된 바와 같이, 어레이 기판(10)은 종횡으로 배열되어 복수 개의 화소 영역을 정의하는 복수 개의 게이트 라인(12)과 데이터 라인(16), 게이트 라인(12)과 데이터 라인(16)의 교차영역에 형성된 스위칭 소자인 박막 트랜지스터(TFT) 및 화소 영역 위에 형성된 화소 전극(17)으로 이루어진다.

[0009] 또한, 어레이 기판(10) 상에는 게이트 전극(12a)이 형성되어 있으며, 게이트 전극(12a) 위에는 게이트 절연막

(미도시)이 형성되어 있다. 게이트 절연막 위에는 액티브층(14)이 형성되어 있으며, 액티브층(14) 위에는 소스 및 드레인 전극(16a, 16b)이 형성되어 있다. 드레인 전극(16b) 위에는 평판 형태의 화소전극(17)이 형성되어 있고, 화소 전극(17) 위에는 보호막(미도시)이 형성되어 있으며, 보호막 위에는 일정 간격을 갖는 다수의 핑거 패턴(finger pattern, 19a)을 포함하는 공통 전극(19)이 형성되어 있다.

[0010] 도면에 도시되지 않았으나, 어레이 기관(10)과 대향 배치되는 컬러필터 기관은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터로 구성된 컬러필터(미도시)와 서브-컬러필터 사이를 구분하고 액정층(미도시)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(미도시), 그리고 액정층에 전압을 인가하는 투명한 공통전극(미도시)으로 이루어져 있다.

[0011] 도 1의 A에서와 같이, 다수의 핑거 패턴(19a)으로 형성된 공통 전극(19)의 상단과 하단의 끝부분에 화소 전극(17)이 형성되어 있어 핑거 패턴(19a)의 중앙 부분은 x축과 z축 방향의 전기장(electric field)이 발생하게 되고, 핑거 패턴(19a)의 상단과 하단의 끝부분에서는 x축과 z축 방향 및 y축과 z축 방향의 전기장도 작용하게 된다. 이에 따라 공통 전극(19)의 중앙 부분과 상단과 하단의 끝부분에서 액정 분자들이 응답하는 방향에 차이가 생기게 되고, 불연속적인 도메인을 형성하게 되며, 도메인의 경계에서 빛의 누설이 생기게 된다. 이로 인해 역틸트(reverse tilt)가 생겨 디스클리네이션이 발생하게 되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 상기한 문제점을 해결하기 위한 것으로, 공통 전극의 상단과 하단의 끝부분에서 디스클리네이션(disclination)의 발생을 최소화 하여 개구부의 투과율을 개선할 수 있는 액정표시장치 및 이의 제조방법을 제공함에 있다.

[0013] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0014] 상기한 목적들을 달성하기 위하여, 본 발명의 일 실시예에 따른 액정표시장치는 절연 기관 상에 형성된 게이트 전극, 상기 게이트 전극 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 액티브층, 상기 액티브층 상에 형성된 소스 전극 및 드레인 전극, 상기 드레인 전극의 일측과 오버랩되도록 형성된 제1 전극, 상기 화소 전극 상에 형성된 보호막, 상기 보호막 상에 형성된 제2 전극을 포함하며, 상기 제2 전극의 길이는 제1 전극의 길이보다 더 크게 형성된다.

[0015] 상기 제1 전극과 상기 제2 전극 사이의 간격은 $2\mu\text{m}$ 이하이다.

[0016] 상기 제1 전극이 화소 전극인 경우, 평판 형태로 형성된다.

[0017] 상기 제2 전극이 공통 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된다.

[0018] 상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된다.

[0019] 상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된다.

[0020] 상기 제1 전극이 공통 전극인 경우, 평판 형태로 형성된다.

[0021] 상기 제2 전극이 화소 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된다.

[0022] 상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된다.

[0023] 상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된다.

[0024] 또한, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법은 절연 기관 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 액티브층을 형성하는 단계, 상기 액티브층 상에 형성된 소스 전극 및 드레인 전극을 형성하는 단계, 상기 드레인 전극의 일측과 오버랩되도록 제1 전극을 형성하는 단계, 상기 화소 전극 상에 형성된 보호막을 형성하는 단계, 상기 보호막 상에 제2 전극을 형성하는 단계를 포함하며, 상기 제2 전극을 형성하는 단계는 상기 제2 전극의 길이를 제1 전극의 길이보다 더 크게 형성한다.

- [0025] 상기 제1 전극과 상기 제2 전극 사이의 간격은 $2\mu\text{m}$ 이하이다.
- [0026] 상기 제1 전극이 화소 전극인 경우, 평판 형태로 형성된다.
- [0027] 상기 제2 전극이 공통 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된다.
- [0028] 상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된다.
- [0029] 상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된다.
- [0030] 상기 제1 전극이 공통 전극인 경우, 평판 형태로 형성된다.
- [0031] 상기 제2 전극이 화소 전극인 경우, 일정 간격을 갖는 다수의 핑거 패턴 형태로 형성된다.
- [0032] 상기 제2 전극의 상단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 상단 끝부분보다 더 크게 형성된다.
- [0033] 상기 제2 전극의 하단에 형성되는 핑거 패턴의 길이는 상기 제1 전극의 하단 끝부분보다 더 크게 형성된다.

발명의 효과

- [0034] 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 이의 제조방법은 공통 전극의 상단과 하단의 끝부분에서 디스클리네이션(disclination)의 발생을 최소화 하여 개구부의 투과율을 개선할 수 있는 효과를 제공한다.

도면의 간단한 설명

- [0035] 도 1은 종래 어레이 기판을 나타내는 평면도.
- 도 2는 본 발명의 일 실시예에 따른 어레이 기판을 나타내는 평면도.
- 도 3a는 도 2의 I-I' 선을 따라 자른 단면도.
- 도 3b는 도 2의 II-II' 선을 따라 자른 단면도.
- 도 4는 본 발명의 다른 실시예에 따른 공통 전극의 상단의 끝단을 나타내는 단면도.
- 도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 어레이 기판의 제조방법을 순차적으로 나타내는 공정별 단면도.
- 도 6은 종래 어레이 기판의 투과율을 나타내는 도면.
- 도 7은 본 발명의 일 실시예에 따른 어레이 기판의 투과율을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 이의 제조방법의 바람직한 실시예를 상세히 설명한다.
- [0037] 도 2는 본 발명의 일 실시예에 따른 어레이 기판을 나타내는 평면도이고, 도 3a는 도 2의 I-I' 선을 따라 자른 단면도이고, 도 3b는 도 2의 II-II' 선을 따라 자른 단면도이고, 도 4는 본 발명의 다른 실시예에 따른 공통 전극의 상단의 끝단을 나타내는 단면도이다.
- [0038] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 어레이 기판(110) 위에는 게이트 전극(112a)이 형성되어 있고, 게이트 전극(112a) 위에는 게이트 절연막(113)이 형성되어 있다.
- [0039] 여기서, 게이트 전극(112a)은 예를 들면, 알루미늄(Al), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 합금 등으로 이루어질 수 있다.
- [0040] 또한, 게이트 전극(112a)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 하나의 도전막은 게이트 전극(112a)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(또는 그 합금), 은(또는 그 합금), 구리(또는 그 합금) 등으로 이루어질 수 있다. 다른 도전막은 ITO(indium tin oxide), IZO(indium zinc oxide) 등과 접촉 특성이 우수한 물질, 예를 들면 몰리브덴, 크롬, 티타늄, 탄탈륨 또는 이들의 합금 등으로 이루어질 수 있다. 다만, 본 발명이 이에 제한되는 것은 아니며, 게이트 전극(112a)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다. 또한 이중막 구조로 제한되지 않으며, 삼중막 이상의 다층 구조를 가질 수 있다.

- [0041] 게이트 절연막(113)은 실리콘질화막(SiN_x), 실리콘산화막(SiO_2)과 같은 무기절연막 또는 하프늄(hafnium; Hf) 옥사이드, 알루미늄 옥사이드와 같은 고유전성 산화막으로 이루어질 수 있다. 이때, 예를 들어 게이트 절연막(113)으로 실리콘산화막을 적용하는 경우에는 300 ~ 1000 Å의 두께로 형성할 수 있으며, 그 식각에는 건식식각을 이용할 수 있다.
- [0042] 또한, 게이트 절연막(113)은 화학기상증착(Chemical Vapour Deposition; CVD) 또는 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapour Deposition; PECVD)으로 형성할 수 있다.
- [0043] 게이트 절연막(113) 위에는 액티브층(114)이 형성되어 있고, 액티브층(114) 위에는 소스 전극(116a) 및 드레인 전극(116b)이 형성되어 있다. 여기서, 소스 전극(116a) 및 드레인 전극(116b) 형성시 데이터 라인(116)도 함께 형성된다. 이때, 액티브층(114)은 수소화 비정질 규소 또는 다결정 규소 등의 반도체로 이루어질 수 있으며, 이러한 액티브층(114)은 다양한 형상을 가질 수 있는데, 예를 들어 본 실시예에서와 같이 게이트 전극(112a) 상에 섬형으로 형성될 수 있으며, 또한 데이터선(116) 아래에 위치하여 게이트 전극(112a) 상부까지 연장된 선형으로 형성될 수 있다.
- [0044] 소스 전극(116a) 및 드레인 전극(116b)과 데이터 라인(116)은 예를 들면, 알루미늄(Al), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 합금 등으로 이루어질 수 있다. 이러한 소스 전극(116a) 및 드레인 전극(116b)과 데이터 라인(116)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 이중막 또는 삼중막의 구조를 가질 수 있다. 다만, 본 발명이 이에 제한되는 것은 아니며, 소스 전극(116a) 및 드레인 전극(116b)과 데이터 라인(116)은 다양한 여러 가지 금속과 도전체로 이루어진 다중막 구조일 수 있다.
- [0045] 여기서, 도면에 도시되지 않았으나, 액티브층(114)과 소스 전극(116a) 및 드레인 전극(116b) 사이에 오믹 콘택층이 형성될 수 있으며, 이러한 오믹 콘택층은 액티브층(114)과 소스 전극(116a) 및 드레인 전극(116b) 사이의 접촉 저항을 낮추어 주는 역할을 한다.
- [0046] 드레인 전극(116b) 위에는 화소 전극(117)이 형성되어 있다. 이때, 화소 전극(117)은 평판 형태로 형성될 수 있으며, ITO와 같은 도전성 산화막으로 이루어질 수 있다. 또한, 화소 전극(117)은 드레인 전극(116b)와 오버랩 되도록 형성될 수 있다.
- [0047] 화소 전극(117) 위에는 보호막(118)이 형성되어 있으며, 보호막(118) 위에는 공통 전극(119)이 형성되어 있다. 이때, 공통 전극(119)은 다수의 핑거 패턴(119a)을 포함하며, 게이트 전극(112a)과 동일한 물질로 형성될 수 있다.
- [0048] 본 발명의 일 실시예에서는 도 2의 B에서와 같이, 공통 전극(119)에 형성되는 핑거 패턴(119a)의 길이를 화소 전극(117)의 길이보다 더 크게 형성한다. 이때, 공통 전극(119)에 형성되는 핑거 패턴(119a)의 길이와 화소 전극(117)의 길이의 간격(d)은 상단에 형성되는 게이트 라인(112)과 데이터 라인(116) 등의 간격을 고려하여 설정할 수 있다. 예를 들면, 공통 전극(119)에 형성되는 핑거 패턴(119a)의 길이와 화소 전극(117)의 길이의 간격(d)은 2 μm 이하의 범위에서 설정될 수 있다.
- [0049] 또한, 공통 전극(119)의 상단에 형성되는 핑거 패턴(119a)의 길이는 화소 전극(117)의 상단 끝부분보다 더 크게 형성되며, 공통 전극(119)의 하단에 형성되는 핑거 패턴(119a)의 길이도 화소 전극(117)의 하단 끝부분보다 더 크게 형성된다.
- [0050] 상기와 같이, 본 발명의 일 실시예에서는 공통 전극(119)에 형성되는 핑거 패턴(119a)의 길이를 화소 전극(117)의 길이보다 더 크게 형성함으로써 공통 전극(119)의 중앙 부분과 상단과 하단의 끝부분에서 액정 분자들이 응답하는 방향에 차이가 발생하는 것을 최소화하여 불연속적인 도메인이 형성되는 것을 최소화 할 수 있다. 이에 따라 도메인의 경계에서 빛의 누설되는 것을 최소화 하여 그로 인해 발생하는 역틸트를 최소화함으로써 디스플레이의 클리네이션이 발생하는 것을 최소화 할 수 있다. 따라서, 액정표시장치의 개구부의 투과율을 개선할 수 있는 효과가 있다.
- [0051] 공통 전극(119a) 상에는 액정의 배향방향을 결정하는 배향막(미도시)이 형성되어 있다. 여기서, 배향막은 러빙 공정을 통해 배향방향이 결정되며, 러빙공정은 러빙포가 구비된 러빙롤을 배향막과 마찰시켜 배향막에 홈을 형성함으로써 배향방향을 결정한다.
- [0052] 배향막 상에는 셀갭을 일정하게 유지하는 역할을 하는 컬럼 스페이서(미도시)가 형성되어 있다.
- [0053] 또한, 도면에 도시되지 않았으나, 어레이 기판(110)과 대향 배치되는 컬러필터 기판(미도시) 상에는 블랙매트릭

스(미도시)와 컬러필터층(미도시)이 형성되어 있다. 이때, 블랙매트릭스는 액정분자가 동작하지 않는 영역으로 광이 누설되는 것을 방지하기 위한 것으로, 화소와 화소 사이 즉, 게이트 라인(112) 및 데이터 라인(116) 영역에 주로 형성되어 있으며, 컬러필터층은 적(R), 녹(B), 청(G)로 구성되어 실제 컬러를 구현한다.

[0054] 블랙매트릭스와 컬러필터층 상에는 블랙매트릭스와 컬러필터층 형성으로 인해 발생한 단차를 보상하기 위한 오버코트막(미도시)이 형성되어 있으며, 오버코트막 상에는 액정의 배향방향을 결정하는 배향막(미도시)이 형성되어 있다.

[0055] 배향막과 오버코트막 상에는 어레이 기판(110)과 컬러필터 기판을 합착하기 위한 셀 패턴(미도시)이 형성되어 있다.

[0056] 도 3b에서와 같이, 본 발명의 일 실시예에서는 드레인 전극(116b) 위에 평판 형태의 화소 전극(117)을 형성하는 것을 예를 들어 설명하였으나, 이에 한정되는 것은 아니다.

[0057] 도 4에 도시된 바와 같이, 본 발명의 다른 실시예에서는 드레인 전극(116b) 위에 평판 형태의 공통 전극(117)을 형성하고, 공통 전극(117) 상에 다수의 핑거 패턴(119a)을 갖는 화소 전극(119)을 형성할 수 있다.

[0058] 상기와 같은 구조를 갖는 본 발명의 다른 실시예에서는 화소 전극(119)에 형성되는 핑거 패턴(119a)의 길이를 공통 전극(117)의 길이보다 더 크게 형성한다. 이때, 화소 전극(119)에 형성되는 핑거 패턴(119a)의 길이와 공통 전극(117)의 길이의 간격은 상단에 형성되는 형성되는 게이트 라인(112)과 데이터 라인(116) 등의 간격을 고려하여 설정할 수 있다. 예를 들면, 화소 전극(119)에 형성되는 핑거 패턴(119a)의 길이와 공통 전극(117)의 길이의 간격은 $2\mu\text{m}$ 이하의 범위에서 설정될 수 있다.

[0059] 또한, 화소 전극(119)의 상단에 형성되는 핑거 패턴(119a)의 길이는 공통 전극(117)의 상단 끝부분보다 더 크게 형성되며, 화소 전극(119)의 하단에 형성되는 핑거 패턴(119a)의 길이도 공통 전극(117)의 하단 끝부분보다 더 크게 형성된다.

[0060] 상기와 같이, 본 발명의 다른 실시예에서는 화소 전극(119)에 형성되는 핑거 패턴(119a)의 길이를 공통 전극(117)의 길이보다 더 크게 형성함으로써 화소 전극(119)의 중앙 부분과 상단과 하단의 끝부분에서 액정 분자들이 응답하는 방향에 차이가 발생하는 것을 최소화하여 불연속적인 도메인이 형성되는 것을 최소화 할 수 있다. 이에 따라 도메인의 경계에서 빛의 누설되는 것을 최소화 하여 그로 인해 발생하는 역틸트를 최소화함으로써 디스클리네이션이 발생하는 것을 최소화 할 수 있다. 따라서, 액정표시장치의 개구부의 투과율을 개선할 수 있는 효과가 있다.

[0061] 이하, 도 5a 내지 도 5e를 참조하여 본 발명의 일 실시예에 따른 어레이 기판의 제조방법을 설명하기로 한다.

[0062] 도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 어레이 기판의 제조방법을 순차적으로 나타내는 공정별 단면도이다.

[0063] 도 5a에 도시된 바와 같이, 어레이 기판(110)은 패드 영역(a)과 박막트랜지스터 형성 영역(b)을 포함하며, 기판(110) 위에 제1 금속 물질을 증착한다. 이때, 제1 금속 물질은 예를 들면, 알루미늄(Al), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 합금 중에서 선택되는 어느 하나로 이루어질 수 있다.

[0064] 또한, 제1 금속 물질은 물리적 성질이 다른 두 개의 이중막 또는 삼중막 이상의 다층 구조를 포함하는 다중막 구조로 이루어질 수 있다. 여기서, 이중막 구조로 형성되는 경우, 이 중 하나의 막은 낮은 비저항의 금속, 예를 들면, 알루미늄(또는 그 합금), 은(또는 그 합금), 구리(또는 그 합금) 등으로 이루어질 수 있다. 이때, 다른 막은 ITO(indium tin oxide), IZO(indium zinc oxide) 등과 접촉 특성이 우수한 물질, 예를 들면 몰리브덴, 크롬, 티타늄, 탄탈륨 또는 이들의 합금 등으로 이루어질 수 있다.

[0065] 그 다음, 포토리소그래피공정(제1 마스크 공정)을 통해 제1 금속 물질을 선택적으로 패터닝하여 패드 영역(a)과 박막트랜지스터 형성 영역(a)에 각각 게이트 패드(112b)와 게이트 전극(112a)을 형성한다.

[0066] 이어서, 게이트 패드(112b)와 게이트 전극(112a)을 포함한 기판(110) 전면에 게이트 절연막(113)을 형성한다. 이때, 게이트 절연막(113)은 실리콘질화막(SiNx), 실리콘산화막(SiO_2)과 같은 무기절연막 또는 하프늄(hafnium; Hf) 옥사이드, 알루미늄 옥사이드와 같은 고유전성 산화막 중에서 선택되는 어느 하나로 이루어질 수 있다.

[0067] 도 5b에 도시된 바와 같이, 게이트 절연막(113) 위에 액티브층 물질과 제2 금속 물질을 차례로 증착한 후, 포토

리소그래피공정(제2 마스크 공정)을 통해 제2 금속 물질과 액티브층 물질을 선택적으로 패터닝하여 액티브층(114)과 소스 전극(116a) 및 드레인 전극(116b)을 형성한다.

[0068] 이때, 액티브층(114)은 수소화 비정질 규소 또는 다결정 규소 등의 반도체로 이루어질 수 있으며, 소스 전극(116a) 및 드레인 전극(116b)은 예를 들면, 알루미늄(Al), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 합금 중에서 선택되는 어느 하나로 이루어질 수 있다. 또한, 소스 전극(116a) 및 드레인 전극(116b)은 물리적 성질이 다른 두 개의 이중막 또는 삼중막의 구조를 가질 수 있다.

[0069] 도 5c에 도시된 바와 같이, 소스 전극(116a) 및 드레인 전극(116b)을 포함한 기관(110) 전면에 투명한 도전 물질을 증착한 후, 포토리소그래피공정(제3 마스크 공정)을 통해 투명한 도전 물질을 선택적으로 패터닝하여 화소 전극(117)을 형성한다. 이때, 화소 전극(117)은 평판 형태로 형성될 수 있다.

[0070] 도 5d에 도시된 바와 같이, 화소 전극(117) 위에 보호막(118)을 형성한다.

[0071] 도 5e에 도시된 바와 같이, 보호막(118) 위에 제3 금속 물질을 증착한 후, 포토리소그래피공정(제4 마스크 공정)을 통해 제3 금속 물질을 선택적으로 패터닝하여 공통 전극(119)을 형성한다. 이때, 공통 전극(119)은 일정 간격으로 형성된 다수의 핑거 패턴(119a)을 포함한다. 여기서, 공통 전극(119)에 형성되는 핑거 패턴(119a)의 길이를 앞서 형성된 화소 전극(117)의 길이보다 더 크게 형성한다. 예를 들면, 공통 전극(119)의 핑거 패턴(119a)의 길이와 화소 전극(117)의 길이의 간격(d)은 $2\mu\text{m}$ 이하의 범위에서 설정될 수 있다.

[0072] 도 6은 종래 어레이 기관의 투과율을 나타내는 도면이고, 도 7은 본 발명의 일 실시예에 따른 어레이 기관의 투과율을 나타내는 도면이다.

[0073] 도 6에 도시된 바와 같이, 종래 어레이 기관(10)의 드레인 전극(16b)과 오버랩 되도록 화소 전극(17)을 평판 형태로 형성하고, 화소 전극(17) 위에 핑거 패턴(19a)을 갖는 공통 전극(19)을 형성한 경우를 나타내며, 화소 전극(17)의 길이와 공통 전극(19)의 핑거 패턴(19a)의 길이를 동일하게 형성한 경우, 공통 전극(19)의 중앙 부분과 상단과 하단의 끝부분에서 액정 분자들이 응답하는 방향에 차이가 생기게 되고, 불연속적인 도메인을 형성하게 되며, 도메인의 경계에서 빛의 누설이 발생하게 됨으로써 역틸트가 생겨 디스클리네이션(D)이 발생하게 되었다.

[0074] 반면, 도 7에 도시된 바와 같이, 본 발명의 일 실시예에서는 어레이 기관(110)의 드레인 전극(116b)과 오버랩 되도록 화소 전극(117)을 평판 형태로 형성하고, 화소 전극(117) 위에 핑거 패턴(119a)을 갖는 공통 전극(119)을 형성하는데, 이때에 공통 전극(119)에 형성되는 핑거 패턴(119a)의 길이를 화소 전극(117)의 길이보다 더 크게 형성한 경우를 나타내며, 공통 전극(119)에 형성되는 핑거 패턴(119a)의 길이를 공통 전극(117)의 길이보다 더 크게 형성함으로써 화소 전극(117)의 중앙 부분과 상단과 하단의 끝부분에서 액정 분자들이 응답하는 방향에 차이가 발생하는 것을 최소화하고, 이때에 핑거 패턴(119a)의 길이가 증가된 만큼 디스클리네이션(D')이 상부로 이동되어 디스클리네이션이 발생하는 것을 최소화 할 수 있다.

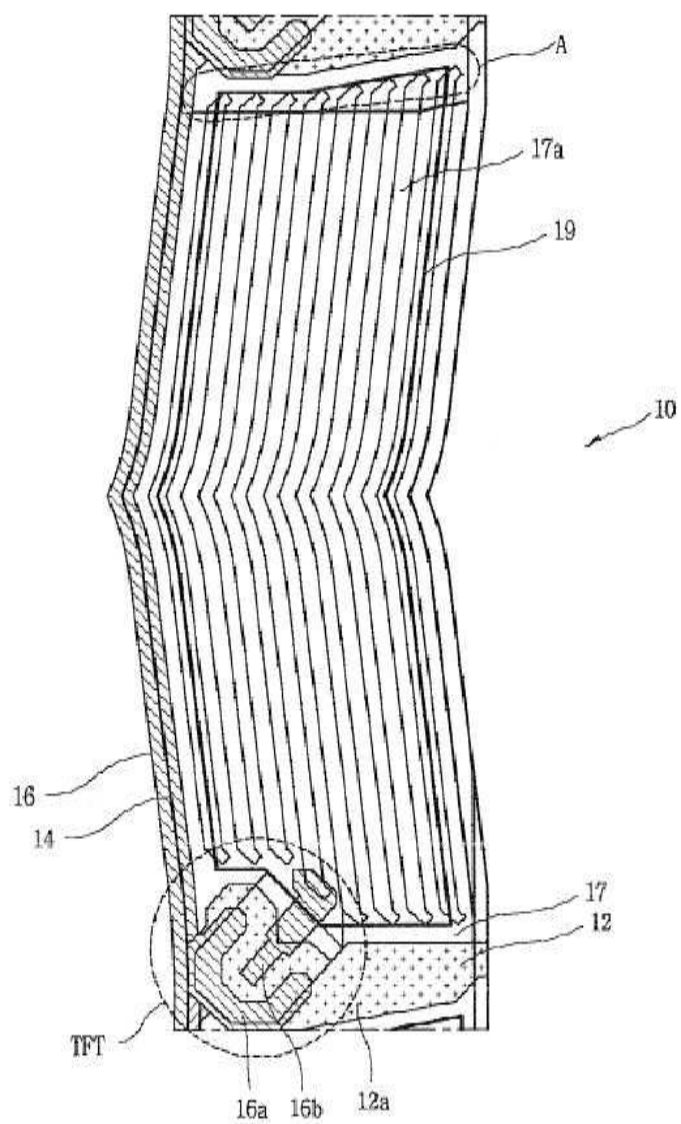
[0075] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

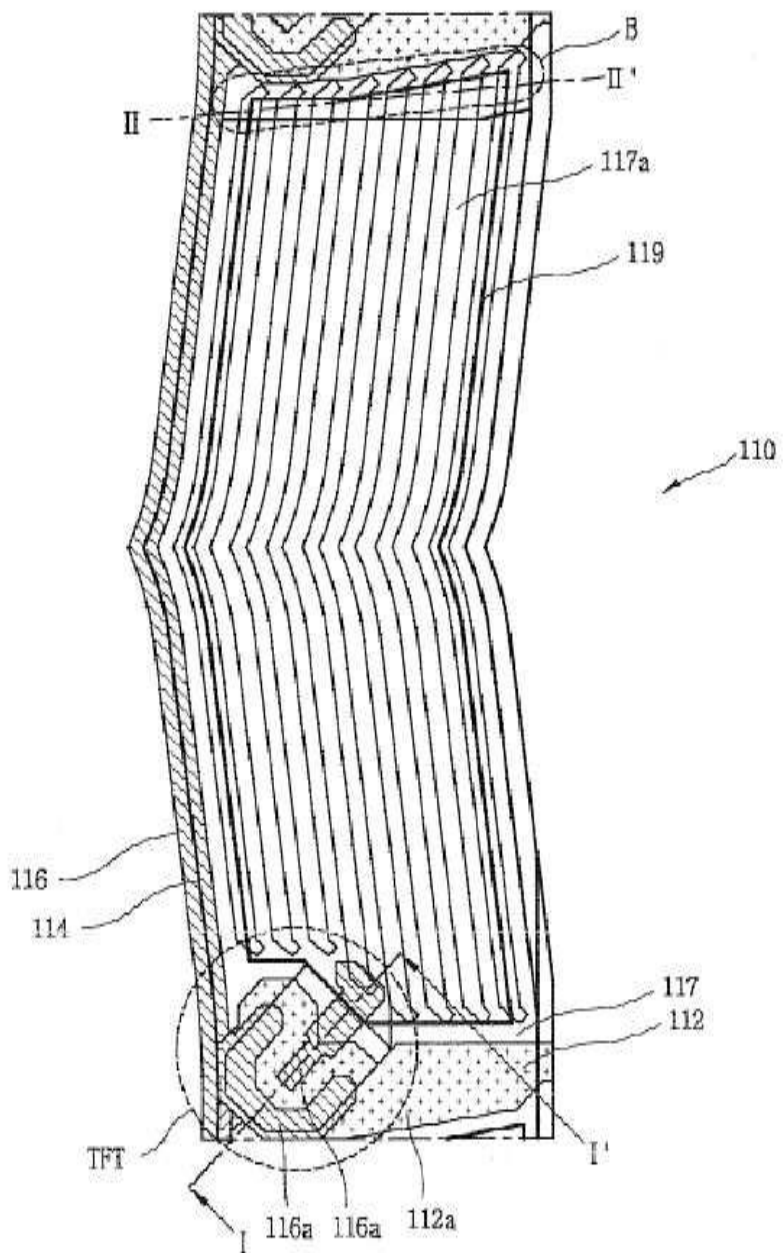
[0076]	110: 절연 기관	112: 게이트 라인
	112a: 게이트 전극	113: 게이트 절연막
	114: 액티브층	116a: 소스 전극
	116b: 드레인 전극	117: 화소 전극
	118: 보호막	119: 공통 전극
	119a: 핑거 패턴	

도면

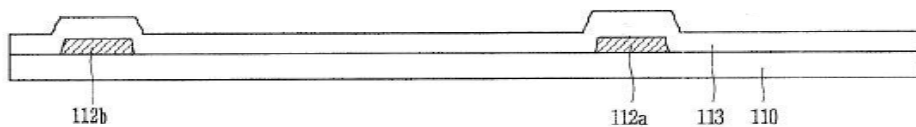
도면1



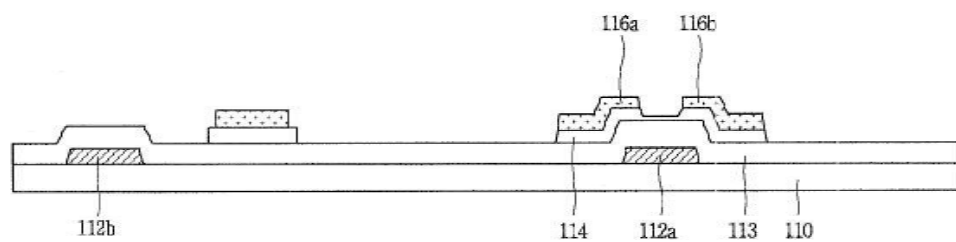
도면2



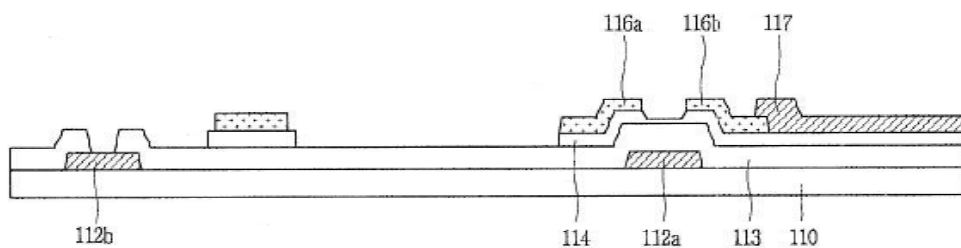
도면5a



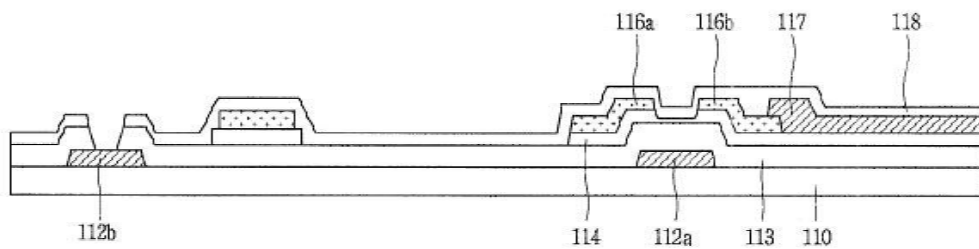
도면5b



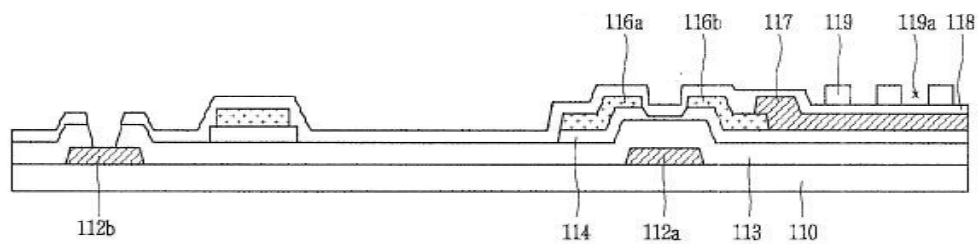
도면5c



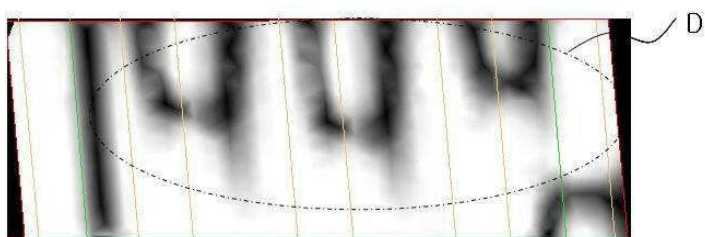
도면5d



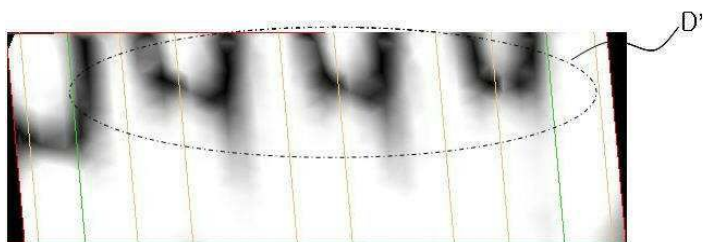
도면5e



도면6



도면7



专利名称(译)	液晶显示装置及包含其的制造方法		
公开(公告)号	KR1020130070318A	公开(公告)日	2013-06-27
申请号	KR1020110137574	申请日	2011-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SUN HWA 이선화 CHOI SEUNG KYU 최승규 LEE CHEOL HWAN 이철환		
发明人	이선화 최승규 이철환		
IPC分类号	G02F1/1343 G02F1/136 G02F1/1362		
CPC分类号	G02F1/13439 G02F1/136286 G02F2201/12		
其他公开文献	KR101905756B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，以通过最小化公共电极的上端和下端中的向错的产生来改善开口部分的透射率。结构：栅电极（112a）是形成在绝缘基板（110）上。在栅极绝缘层上形成有源层（114）。在有源层上形成源电极（116a）和漏电极。第一电极（117）与漏电极的一部分重叠。在像素电极上形成保护层。在保护层上形成第二电极（119）。第二电极的长度大于第一电极的长度。

