



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0061884
 (43) 공개일자 2013년06월12일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2011-0128181

(22) 출원일자 2011년12월02일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김상호

경기 파주시 금촌2동 서원마을아파트 709동 302호

(74) 대리인

특허법인로알

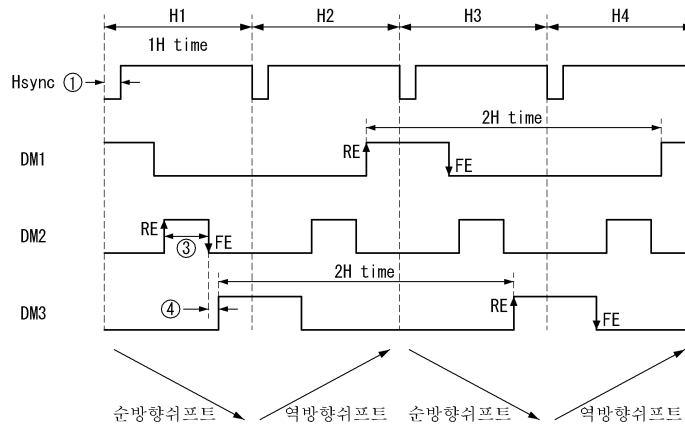
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **액정표시장치와 그 구동 방법**

(57) 요약

본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 액정셀이 형성된 액정표시패널; 데이터전압을 발생하는 데이터 구동회로; 상기 데이터 구동회로의 동일한 출력 채널에 접속된 k(k는 2 이상의 양의 정수)개의 디머스 스위치들을 포함하고, 이 디머스 스위치들의 스위칭 동작을 통해 상기 데이터전압을 시분할하여 1:k 비율로 상기 데이터라인들에 분배하는 샘플링 스위칭회로; 및 상기 디머스 스위치들의 턴-온 타이밍을 제어하기 위한 k개의 디머스 제어신호들이 서로 비 중첩되도록 발생하는 디머스 제어신호 발생회로를 구비하고; 상기 디머스 제어신호들 중 적어도 일부는 2 수평기간 주기로 발생되고, 상기 2 수평기간의 주기로 발생하는 디머스 제어신호들의 1 펄스 유지기간은 이웃한 2개의 수평기간들 중 앞선 수평기간의 뒷쪽 및 뒤진 수평기간의 앞쪽에 중첩된다.

대표도 - 도8



특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 액정셀이 형성된 액정표시패널;

데이터전압을 발생하는 데이터 구동회로;

상기 데이터 구동회로의 동일한 출력 채널에 접속된 k (k 는 2 이상의 양의 정수)개의 디먹스 스위치들을 포함하고, 이 디먹스 스위치들의 스위칭 동작을 통해 상기 데이터전압을 시분할하여 1: k 비율로 상기 데이터라인들에 분배하는 샘플링 스위칭회로; 및

상기 디먹스 스위치들의 턴-온 타임을 제어하기 위한 k 개의 디먹스 제어신호들이 서로 비 중첩되도록 발생하는 디먹스 제어신호 발생회로를 구비하고;

상기 디먹스 제어신호들 중 적어도 일부는 2 수평기간 주기로 발생되고, 상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들의 1 펄스 유지기간은 이웃한 2개의 수평기간들 중 앞선 수평기간의 뒷쪽 및 뒤진 수평기간의 앞쪽에 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들은, 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호로 선택되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호는 1 수평기간을 주기로 교대로 발생하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 k 개의 디먹스 제어신호들의 발생 순서는 1 수평기간을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 순방향 쉬프트는, 해당 수평기간에서 첫번째 디먹스 제어신호가 가장 먼저 발생되고 마지막번째 디먹스 제어신호가 가장 나중에 발생되며 이들 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 순방향으로 순차 발생하는 것을 지시하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 역방향 쉬프트는, 해당 수평기간에서 마지막번째 디먹스 제어신호가 가장 먼저 발생되고 첫번째 디먹스 제어신호가 가장 나중에 발생되며 이들 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 역방향으로 순차 발생하는 것을 지시하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 4 항에 있어서,

1 수평기간을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번하는 상기 디먹스 제어신호들의 발생 순서는 프레임

단위로 반전되는 것을 특징으로 하는 액정표시장치.

청구항 8

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 액정셀이 형성된 액정표시패널, 데이터전압을 발생하는 데이터 구동회로, 및 상기 데이터 구동회로의 동일한 출력 채널에 접속된 k (k 는 2 이상의 양의 정수)개의 디먹스 스위치들을 포함한 샘플링 스위칭회로를 갖는 액정표시장치의 구동방법에 있어서,

상기 디먹스 스위치들의 턴-온 타임을 제어하기 위한 k 개의 디먹스 제어신호들을 서로 비 중첩시켜 발생하되, 상기 디먹스 제어신호들 중 적어도 일부를 2 수평기간 주기로 발생하고, 상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들의 1 펄스 유지기간을 이웃한 2개의 수평기간들 중 앞선 수평기간의 뒷쪽 및 뒤진 수평기간의 앞쪽에 중첩시키는 단계; 및

상기 디먹스 제어신호들에 따른 상기 디먹스 스위치들의 스위칭 동작을 통해 상기 데이터전압을 시분할하여 1:k 비율로 상기 데이터라인들에 분배하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들은, 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호로 선택되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호는 1 수평기간을 주기로 교대로 발생하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11

제 9 항에 있어서,

상기 k 개의 디먹스 제어신호들의 발생 순서는 1 수평기간을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 순방향 쉬프트는, 해당 수평기간에서 첫번째 디먹스 제어신호가 가장 먼저 발생되고 마지막번째 디먹스 제어신호가 가장 나중에 발생되며 이들 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 순방향으로 순차 발생하는 것을 지시하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 13

제 11 항에 있어서,

상기 역방향 쉬프트는, 해당 수평기간에서 마지막번째 디먹스 제어신호가 가장 먼저 발생되고 첫번째 디먹스 제어신호가 가장 나중에 발생되며 이들 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 역방향으로 순차 발생하는 것을 지시하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 14

제 11 항에 있어서,

1 수평기간을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번하는 상기 디먹스 제어신호들의 발생 순서를 프레임 단위로 반전시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 데이터 구동회로의 출력 채널수를 줄일 수 있는 액정표시장치와 그 구동 방법에 관한 것이다.

배경기술

[0002] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과 이 액정표시패널을 구동하기 위한 구동회로들을 구비한다.

[0003] 액정표시패널에는 도 1에서 보는 바와 같이 게이트라인(GL)과 데이터라인(DL)이 교차되고 그 게이트라인(GL)과 데이터라인(DL)의 교차부에 액정셀(C1c)을 구동하기 위한 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성된다. TFT는 게이트라인(GL)을 통해 공급되는 스캔펄스(SP)에 응답하여 데이터라인을 통해 공급되는 데이터전압(Vd)을 액정셀(C1c)의 화소전극(Ep)에 공급한다. TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 드레인전극은 액정셀(C1c)의 화소전극(Ep)에 접속된다. 액정셀(C1c)은 화소전극(Ep)에 공급되는 데이터전압(Vd)과 공통전극(Ec)에 공급되는 공통전압(Vcom)의 전위차에 따라 계조를 표시한다. 공통전극(Ec)은 액정셀(C1c)에 전계를 인가하는 방식에 따라 액정표시패널의 상부 유리기판 또는 하부 유리기판에 형성되며, 공통전극(Ec)과 액정셀(C1c) 화소전극(Ep) 사이에는 액정셀(C1c)의 충전 전압을 유지시키기 위한 스토리지 커패시터(Storage Capacitor : Cst)가 형성된다.

[0004] 액정표시장치는 디지털 비디오 데이터를 아날로그 데이터전압으로 변환하여 액정표시패널의 데이터라인들에 공급하기 위한 데이터 구동회로를 포함한다. 통상, 데이터 구동회로(10)의 출력 채널들(S1~S9)은 도 2와 같이 액정표시패널(20)에 형성된 데이터라인들(D1~D9)에 1:1로 접속된다. 그런데, 데이터 구동회로는 다른 부품들에 비해 고가이므로, 데이터 구동회로의 출력 채널들과 데이터라인들을 1:2, 1:3, 1:4, 1:5 또는 그 이상의 비율로 접속시켜 데이터 구동회로의 출력 채널수를 줄이기 위한 시도가 계속적으로 이뤄지고 있다.

[0005] 도 3은 데이터 구동회로(10)의 출력 채널들(S1,S2,S3)이 종래 샘플링 스위칭회로(30)를 통해 데이터라인들(D1~D9)에 1:3으로 접속되는 일 예를 보여준다. 샘플링 스위칭회로(30)는 1개의 출력 채널을 통해 출력되는 데이터전압을 시분할하여 3개의 데이터라인들에 분배한다. 샘플링 스위칭회로(30) 내에서의 시분할 동작은, 디멀스 제어신호들(DM1,DM2,DM3)에 의해 순차적으로 턴 온 되는 디멀스 스위치들(MT1,MT2,MT3)에 의해 이루어진다.

[0006] 디멀스 제어신호들(DM1,DM2,DM3)은 도 4와 같이 1 수평기간(1H) 내에서 순차적이며 서로 비중첩되도록 발생된다. 그리고, 디멀스 제어신호들(DM1,DM2,DM3) 각각의 발생 주기는 대략 1 수평기간(1H)이다. 도 4에서, 'Hsync'는 1 수평기간(1H)의 정의를 위해 사용되는 수평 동기신호를, '①'은 이웃한 게이트라인들에 인가되는 스캔펄스들 간의 간격을, '②' 및 '⑤'는 스캔펄스와 디멀스 제어신호 간의 간격을, '③'은 디멀스 제어신호의 펄스폭(디멀스 스위치의 턴 온 기간에 대응)을, '④'는 이웃한 디멀스 제어신호들 간의 간격을 지시한다.

[0007] 종래 구동방식은 디멀스 제어신호들을 동일한 주기(1H 간격)로 발생시키기 때문에 다음과 같은 문제점이 있다.

[0008] 종래 구동방식에 의하는 경우, 액정표시패널의 해상도가 높아질수록 그리고, 분배 비율이 높아질수록 디멀스 제어신호들에 대한 타이밍 마진 확보가 어렵다. 특히, 도 4의 '④' 간격이 확보되지 않으면 시간적으로 분리되어 공급되어야 할 데이터전압들이 서로 혼합되어 원하지 않는 충전 결과를 초래하게 된다. 타이밍 마진 확보가 어려운 이유는 아래의 표1과 같이 1 수평기간(1H)의 폭이 좁아지기 때문이다.

표 1

[0009]

	수직해상도	수평해상도	1H time[usec]	디멀스 스위치 턴-온 타임[usec]		
				1:2분배방식	1:3분배방식	1:6분배방식
VGA	480	640	24.51	10.75	6.84	3.21
WVGA	480	800	19.84	8.42	5.28	2.43
qHD	540	960	16.67	6.83	4.22	1.90
WSVGA	600	1024	15.66	6.33	3.89	1.74
WXGA	768	1280	12.63	4.81	2.88	1.23
WSXGA+	1050	1680	9.69	3.34	1.90	0.74
HD1080	1080	1920	8.50	2.75	1.50	0.54

[0010] 또한, 액정표시패널의 해상도가 높아질수록 1 수평기간(1H)의 폭이 좁아지기 때문에, 1 수평기간(1H)을 주기로 턴-온 되는 디먹스 스위치들의 구동주파수 즉, 디먹스 제어신호들의 주파수가 증가된다. 디먹스 제어신호들의 주파수(f_{DeMUX})가 증가되면, 아래의 수학적 식 1과 같이 샘플링 스위치회로에서 소모되는 소비 전력(P_{DeMUX})이 증가하게 된다.

수학적 식 1

$$P_{DeMUX} = C_{dm} \times V_{DeMUX}^2 \times f_{DeMUX},$$

here, $f_{DeMUX} = f_{Frame} \times H_{Total}$

[0011]

[0012] 수학적 식 1에서, ' f_{Frame} '는 프레임 주파수를, ' H_{Total} '은 액정표시패널의 수평라인 개수를, ' C_{dm} '은 도 5에 도시된 바와 같이 디먹스 제어신호들(DM1~DM3)을 공급하기 위한 신호라인들의 기생 커패시턴스를, ' V_{DeMUX} '는 디먹스 제어신호의 스윙폭을 각각 지시한다. 한편, 도 5에서, ' R_{dm} '은 디먹스 제어신호들(DM1~DM3)을 공급하기 위한 신호라인들의 라인 저항을 나타낸다.

발명의 내용

해결하려는 과제

[0013] 따라서, 본 발명의 목적은 액정표시패널이 고해상도화되더라도 디먹스 제어신호들에 대한 타이밍 마진을 용이하게 확보할 수 있도록 함과 아울러 소비전력을 줄일 수 있도록 한 액정표시장치와 그 구동방법을 제공하는 데 있다.

[0014]

과제의 해결 수단

[0015] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 액정셀이 형성된 액정표시패널; 데이터전압을 발생하는 데이터 구동회로; 상기 데이터 구동회로의 동일한 출력 채널에 접속된 k(k는 2 이상의 양의 정수)개의 디먹스 스위치들을 포함하고, 이 디먹스 스위치들의 스위칭 동작을 통해 상기 데이터전압을 시분할하여 1:k 비율로 상기 데이터라인들에 분배하는 샘플링 스위칭회로; 및 상기 디먹스 스위치들의 턴-온 타이밍을 제어하기 위한 k개의 디먹스 제어신호들이 서로 비 중첩되도록 발생하는 디먹스 제어신호 발생회로를 구비하고; 상기 디먹스 제어신호들 중 적어도 일부는 2 수평기간 주기로 발생되고, 상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들의 1 펄스 유지기간은 이웃한 2개의 수평기간들 중 앞선 수평기간의 뒷쪽 및 뒤진 수평기간의 앞쪽에 중첩된다.

[0016] 상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들은, 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호로 선택된다.

[0017] 상기 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호는 1 수평기간을 주기로 교대로 발생된다.

[0018] 상기 k개의 디먹스 제어신호들의 발생 순서는 1 수평기간을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번한다.

[0019] 상기 순방향 쉬프트는, 해당 수평기간에서 첫번째 디먹스 제어신호가 가장 먼저 발생되고 마지막번째 디먹스 제어신호가 가장 나중에 발생되며 이들 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 순방향으로 순차 발생된다.

[0020] 상기 역방향 쉬프트는, 해당 수평기간에서 마지막번째 디먹스 제어신호가 가장 먼저 발생되고 첫번째 디먹스 제어신호가 가장 나중에 발생되며 이들 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 역방향으로 순차

발생된다.

[0021] 1 수평기간을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번하는 상기 디먹스 제어신호들의 발생 순서는 프레임 단위로 반전된다.

[0022] 본 발명의 실시예에 따라 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차 영역마다 액정셀이 형성된 액정표시패널, 데이터전압을 발생하는 데이터 구동회로, 및 상기 데이터 구동회로의 동일한 출력 채널에 접속된 k (k 는 2 이상의 양의 정수)개의 디먹스 스위치들을 포함한 샘플링 스위칭회로를 갖는 액정표시장치의 구동방법에 있어서, 상기 디먹스 스위치들의 턴-온 타이밍을 제어하기 위한 k 개의 디먹스 제어신호들을 서로 비 중첩시켜 발생되, 상기 디먹스 제어신호들 중 적어도 일부를 2 수평기간 주기로 발생하고, 상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들의 1 펄스 유지기간을 이웃한 2개의 수평기간들 중 앞선 수평기간의 뒷쪽 및 뒤진 수평기간의 앞쪽에 중첩시키는 단계; 및 상기 디먹스 제어신호들에 따른 상기 디먹스 스위치들의 스위칭 동작을 통해 상기 데이터전압을 시분할하여 1:k 비율로 상기 데이터라인들에 분배하는 단계를 포함한다.

발명의 효과

[0023] 본 발명은 디먹스 스위치들의 턴-온 타이밍 제어를 위한 다수의 디먹스 제어신호들 중 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호 각각을 1 수평기간이 아닌 2 수평기간 주기로 발생하고, 이 첫번째 디먹스 제어신호와 마지막번째 디먹스 제어신호를 1 수평기간 주기로 교대로 발생한다.

[0024] 이를 통해, 본 발명은 고해상도 하에서 디먹스 제어신호들에 대한 타이밍 마진을 용이하게 확보할 수 있음은 물론이거니와, 첫번째 및 마지막번째 디먹스 제어신호들의 주파수가 낮아진만큼 디먹스 스위치들의 스위칭 동작에 소모되는 소비전력을 저감할 수 있는 효과가 있다.

도면의 간단한 설명

[0025] 도 1은 액정표시패널에 형성되는 화소의 등가 회로도.

도 2는 데이터 구동회로의 출력 채널들이 액정표시패널에 형성된 데이터라인들에 1:1로 접속되는 예를 보여주는 도면.

도 3은 데이터 구동회로의 출력 채널들이 종래 샘플링 스위칭회로를 통해 데이터라인들에 1:3으로 접속되는 일 예를 보여주는 도면.

도 4는 도 3에 도시된 샘플링 스위칭회로를 구동하기 위한 디먹스 제어신호들의 구동 타이밍을 보여주는 도면.

도 5는 디먹스 제어신호들을 공급하기 위한 신호라인들의 기생 커패시턴스와 라인 저항을 보여주는 도면.

도 6은 본 발명의 실시예에 따른 액정표시장치를 보여주는 블록도.

도 7은 1:3 비율로 데이터전압을 분배하기 위한 샘플링 스위칭회로의 구성을 보여주는 도면.

도 8은 도 7의 샘플링 스위칭회로를 구동시키기 위한 디먹스 제어신호들의 발생 타이밍을 보여주는 도면.

도 9는 1:2 비율로 데이터전압을 분배하기 위한 샘플링 스위칭회로의 구성을 보여주는 도면.

도 10은 도 9의 샘플링 스위칭회로를 구동시키기 위한 디먹스 제어신호들의 발생 타이밍을 보여주는 도면.

도 11은 1:4 비율로 데이터전압을 분배하기 위한 디먹스 제어신호들의 발생 타이밍을 보여주는 도면.

도 12는 1:5 비율로 데이터전압을 분배하기 위한 디먹스 제어신호들의 발생 타이밍을 보여주는 도면.

도 13은 디먹스 제어신호들의 발생 순서가 프레임 단위로 반전되는 것을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 도 6 내지 도 13을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

[0027] 도 6은 본 발명의 실시예에 따른 액정표시장치를 보여주는 블록도이다.

- [0028] 도 6을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 샘플링 스위칭회로(102), 데이터 구동회로(110), 게이트 구동회로(120), 타이밍 콘트롤러(130), 및 디먹스 제어신호 발생회로(140) 등을 구비한다.
- [0029] 액정표시패널(100)은 두 장의 유리기판 사이에 배치된 액정분자들을 구비한다. 이 액정표시패널(100)에는 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 매트릭스 형태로 $m \times n$ (m, n 은 양의 정수)개의 액정셀들(C1c)이 배치된다.
- [0030] 액정표시패널(100)의 하부 유리기판에는 m 개의 데이터라인들(D1 내지 Dm), n 개의 게이트라인들(G1 내지 Gn), TFT들, TFT들에 각각 접속된 액정셀(C1c)의 화소전극(1), 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이(104)가 형성된다. 화소 어레이에는 화상 표시를 위한 다수의 픽셀들이 포함되어 있다. 픽셀들 각각은 적색 구현을 위한 다수의 R 액정셀과, 녹색 구현을 위한 다수의 G 액정셀과, 청색 구현을 위한 다수의 B 액정셀을 포함한다.
- [0031] 액정표시패널(100)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다.
- [0032] 액정표시패널(100)의 상부 유리기판과 하부 유리기판 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0033] 데이터 구동회로(110)는 타이밍 콘트롤러(130)의 제어하에 입력 디지털 비디오 데이터(R,G,B)를 아날로그 데이터전압으로 변환한다. 그리고, 데이터 구동회로(110)는 이 데이터전압을 m/k (k 는 2 이상의 양의 정수) 개의 출력 채널들을 통해 m/k 개의 소스 버스라인들에 공급한다.
- [0034] 샘플링 스위칭회로(102)는 m/k 개의 소스 버스라인들과 m 개의 데이터라인들(D1~Dm) 사이에 접속되어 소스 버스라인들로부터 입력되는 데이터전압을 시분할하여 1:k 비율로 데이터라인들(D1~Dm)에 분배한다. 예컨대, 샘플링 스위칭회로(102)는 도 8과 같은 3개의 디먹스 제어신호들(DM1~DM3)에 응답하여 도 7과 같이 1:3 비율로 데이터전압을 분배하거나, 도 10과 같은 2개의 디먹스 제어신호들(DM1,DM2)에 응답하여 도 9와 같이 1:2 비율로 데이터전압을 분배할 수 있다. 또한, 샘플링 스위칭회로(102)는 도 11과 같은 4개의 디먹스 제어신호들(DM1~DM4)에 응답하여 1:4 비율로 데이터전압을 분배하거나, 도 12와 같은 5개의 디먹스 제어신호들(DM1~DM5)에 응답하여 1:5 비율로 데이터전압을 분배할 수 있다. 본 발명은 데이터전압의 분배 비율에 제한되지 않는다. 분배 비율에 따라 샘플링 스위칭회로(102)를 구성하는 디먹스 스위치들의 개수가 정해진다. 샘플링 스위칭회로(102)는 m/k 개의 소스 버스라인들로부터 입력되는 데이터전압을 m 개의 데이터라인들(D1 내지 Dm/3)에 분배함으로써 데이터 구동회로(110)의 출력 채널 개수를 데이터라인들에 비해 1/k만큼 줄인다.
- [0035] 디먹스 제어신호 발생회로(140)는 타이밍 콘트롤러(130)의 제어하에 샘플링 스위칭회로(102)에 포함된 디먹스 스위치들의 턴-온 타이밍을 제어하기 위한 디먹스 제어신호들(DM1~DMk)을 발생한다. 디먹스 제어신호 발생회로(140)는 디먹스 제어신호들에 대한 타이밍 마진 확보와 샘플링 스위칭회로(102)에서 소모되는 소비전력을 줄이기 위해, k 개의 디먹스 제어신호들(DM1~DMk) 중 적어도 일부를 2 수평기간 주기로 발생한다. 그리고, 디먹스 제어신호 발생회로(140)는 상기 2 수평기간의 주기로 발생하는 디먹스 제어신호들의 1 펄스 유지기간(펄스 폭)을, 이웃한 2개의 수평기간들 중 앞선 수평기간의 뒷쪽 및 뒤진 수평기간의 앞쪽에 중첩시킨다. k 개의 디먹스 제어신호들(DM1~DMk) 중 2 수평기간의 주기로 발생하는 디먹스 제어신호들은 첫번째 디먹스 제어신호(DM1)와 마지막번째 디먹스 제어신호(DMk)이다. k 개의 디먹스 제어신호들(DM1~DMk)은 타이밍 마진을 가지고 서로 비중첩되어야 하므로, 첫번째 디먹스 제어신호(DM1)와 마지막번째 디먹스 제어신호(DMk)는 1 수평기간을 주기로 교대로 발생된다. 그에 따라, k 개의 디먹스 제어신호들(DM1~DMk)의 발생 순서가 1 수평기간을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번한다. 여기서, 순방향 쉬프트란, 해당 수평기간에서 첫번째 디먹스 제어신호(DM1)가 가장 먼저 발생되고 마지막번째 디먹스 제어신호(DMk)가 가장 나중에 발생되며 이들(DM1,DMk) 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 순방향으로 순차 발생하는 것을 의미한다. 역방향 쉬프트란 해당 수평기간에서 마지막번째 디먹스 제어신호(DMk)가 가장 먼저 발생되고 첫번째 디먹스 제어신호(DM1)가 가장 나중에 발생되며 이들(DMk,DM1) 사이의 나머지 디먹스 제어신호들이 이 발생 순서에 따른 역방향으로 순차 발생하는 것을 의미한다.
- [0036] 게이트 구동회로(120)는 타이밍 콘트롤러(130)의 제어하에 스캔펄스를 발생하고, 이 스캔펄스를 게이트라인들

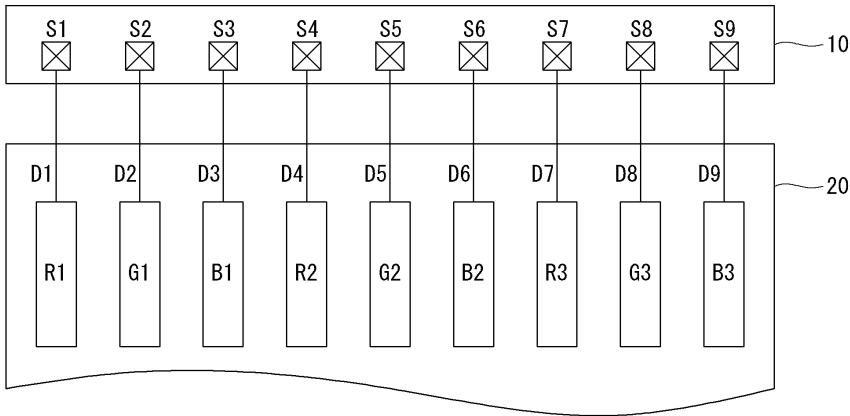
(G1 내지 Gn)에 순차적으로 공급하여 데이터전압이 공급되는 화소 어레이(104)의 수평 픽셀라인을 선택한다. 게이트 구동회로(120)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압을 액정셀의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터 등을 포함한다. 게이트 구동회로(120)의 쉬프트 레지스터는 액정표시패널(100)에서 화소 어레이(104)의 바깥의 비 표시영역에 직접 형성될 수 있다. 레벨 쉬프터는 타이밍 컨트롤러(130)와 함께 콘트롤 인쇄회로기판(미도시)에 실장될 수 있다.

- [0037] 타이밍 컨트롤러(130)는 시스템(미도시)으로부터 공급되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(DE) 및 클럭신호(DCLK) 등을 이용하여 데이터 구동회로(110), 게이트 구동회로(120) 및 디믹스 제어신호 발생회로(140)의 동작 타이밍을 제어한다.
- [0038] 데이터 구동회로(110)를 제어하기 위한 데이터 제어신호(DDC)에는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 극성제어신호(Polarity : POL) 등이 포함된다. 게이트 구동회로(120)를 제어하기 위한 게이트 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등이 포함된다.
- [0039] 타이밍 컨트롤러(130)는 시스템으로부터 입력되는 디지털 비디오 데이터(RGB)를 액정표시패널(100)의 화소 어레이(104)에 맞게 정렬하여 데이터 구동회로(110)에 공급한다. 타이밍 컨트롤러(130)는 디믹스 제어신호 발생회로(140)를 제어하여, 디믹스 제어신호들(DM1~DMk)의 발생 순서를 프레임 단위로 반전시킬 수 있다.
- [0040] 도 7은 1:3 비율로 데이터전압을 분배하기 위한 샘플링 스위칭회로의 구성을 보여주고, 도 8은 도 7의 샘플링 스위칭회로를 구동시키기 위한 디믹스 제어신호들의 발생 타이밍을 보여준다.
- [0041] 도 7을 참조하면, 샘플링 스위칭회로(102)는 제1 소스 버스라인(SL1)을 통해 데이터 구동회로(110)의 제1 출력 채널(S1)에 접속됨과 아울러 제1 내지 제3 데이터라인(D1,D2,D3)에 접속되는 제1 디믹스부(DX1)와, 제2 소스 버스라인(SL2)을 통해 데이터 구동회로(110)의 제2 출력 채널(S2)에 접속됨과 아울러 제4 내지 제6 데이터라인(D4,D5,D6)에 접속되는 제2 디믹스부(DX2)와, 제3 소스 버스라인(SL3)을 통해 데이터 구동회로(110)의 제3 출력 채널(S3)에 접속됨과 아울러 제7 내지 제9 데이터라인(D7,D8,D9)에 접속되는 제3 디믹스부(DX3) 등을 구비한다.
- [0042] 제1 내지 제3 디믹스부(DX1,DX2,DX3)는 자신이 접속된 출력 채널로부터 입력되는 데이터전압을 시분할하기 위해 제1 내지 제3 디믹스 스위치(MT1,MT2,MT3)를 각각 포함한다. 제1 내지 제3 디믹스부(DX1,DX2,DX3) 각각의 제1 디믹스 스위치(MT1)는 제1 디믹스 제어신호(DM1)에 따라 동시에 스위칭되고, 제1 내지 제3 디믹스부(DX1,DX2,DX3) 각각의 제2 디믹스 스위치(MT2)는 제2 디믹스 제어신호(DM2)에 따라 동시에 스위칭되며, 제1 내지 제3 디믹스부(DX1,DX2,DX3) 각각의 제3 디믹스 스위치(MT3)는 제3 디믹스 제어신호(DM3)에 따라 동시에 스위칭된다.
- [0043] 제1 내지 제3 디믹스 제어신호(DM1,DM2,DM3)는 도 8에 도시된 바와 같다. 도 8에서, 'Hsync'는 수평 동기신호를, '㉑'은 이웃한 게이트라인들에 인가되는 스캔펄스들 간의 간격을, '㉓'은 디믹스 제어신호의 펄스폭(1 펄스 유지기간, 디믹스 스위치의 턴-온 타임에 대응)을, '㉕'은 이웃한 디믹스 제어신호들 간의 간격을 지시한다.
- [0044] 도 8을 참조하면, 제1 및 제3 디믹스 제어신호(DM1,DM3)의 발생주기는 각각 2 수평기간(2H)으로 설정된다. 제1 및 제3 디믹스 제어신호(DM1,DM3)는 서로 비중첩되어 1 수평기간(1H)을 주기로 교대로 발생된다.
- [0045] 제1 디믹스 제어신호(DM1)의 1 펄스 유지기간은 이웃한 2개의 수평기간들(예컨대,H2와 H3) 중 앞선 수평기간(H2)의 뒷쪽 및 뒤진 수평기간(H3)의 앞쪽에 중첩된다. 이를 위해 제1 디믹스 제어신호(DM1)의 라이징 에지(RE)는 앞선 수평기간(H2) 내에서 발생되고, 제1 디믹스 제어신호(DM1)의 폴링 에지(FE)는 뒤진 수평기간(H3) 내에서 발생된다.
- [0046] 제3 디믹스 제어신호(DM3)의 1 펄스 유지기간은 이웃한 2개의 수평기간들(예컨대,H3과 H4) 중 앞선 수평기간(H3)의 뒷쪽 및 뒤진 수평기간(H4)의 앞쪽에 중첩된다. 이를 위해 제3 디믹스 제어신호(DM3)의 라이징 에지(RE)는 앞선 수평기간(H3) 내에서 발생되고, 제3 디믹스 제어신호(DM3)의 폴링 에지(FE)는 뒤진 수평기간(H4) 내에서 발생된다.
- [0047] 제1 및 제3 디믹스 제어신호(DM1,DM3)의 발생주기가 기존에 비해 2배로 증가되므로, 그 주파수는 기존의 1/2로 줄어든다. 제1 및 제3 디믹스 제어신호(DM1,DM3)의 주파수가 줄어들면, 그만큼 샘플링 스위칭회로(102)에서의 스위칭 동작에 소모되는 소비전력이 줄어드는 효과가 있다.
- [0048] 스캔펄스와 디믹스 제어신호 간의 간격을 지시하는 도 4의 '㉒' 및 '㉖'는 도 8에서 필요치 않다. 도 8과 같이

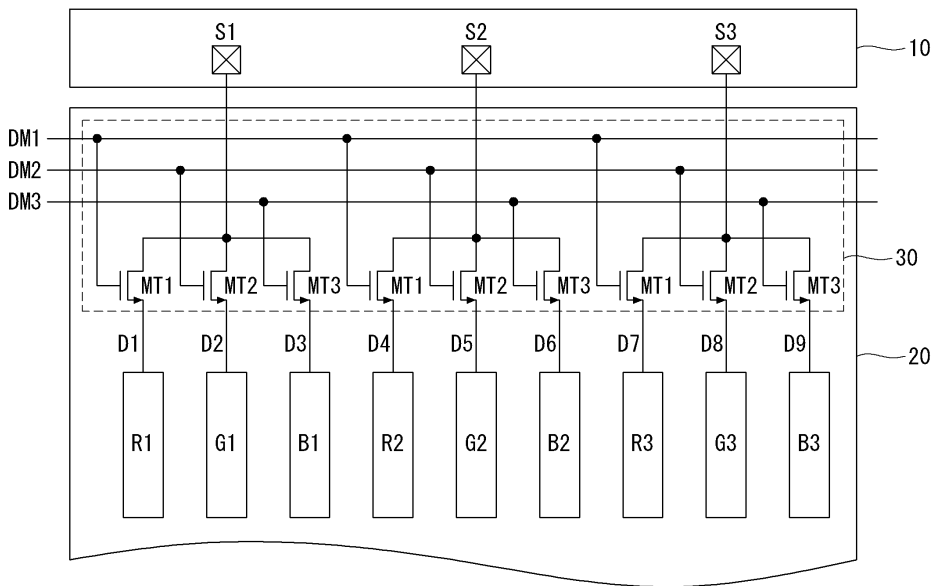
구동하는 경우, 기존의 '②' 및 '⑤'에 해당되는 기간을 '④'로 대표되는 타이밍 마진에 할애할 수 있기 때문에, 1 수평기간(1H)이 짧은 고해상도에서 타이밍 마진 확보가 용이해진다.

- [0049] 한편, 제2 디먹스 제어신호(DM2)는 제1 및 제2 디먹스 제어신호(DM1,DM2)와 비 중첩되어 각 수평기간(H1-H4) 내에서 매번 발생된다. 즉, 제2 디먹스 제어신호(DM2)의 라이징 에지(RE) 및 폴링 에지(FE)는 한 수평기간 내에서 발생한다.
- [0050] 그에 따라, 제1 내지 제3 디먹스 제어신호(DM1-DM3)의 발생 순서가 1 수평기간(1H)을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번한다.
- [0051] 도 9는 1:2 비율로 데이터전압을 분배하기 위한 샘플링 스위칭회로의 구성을 보여주고, 도 10은 도 9의 샘플링 스위칭회로를 구동시키기 위한 디먹스 제어신호들의 발생 타이밍을 보여준다.
- [0052] 도 9를 참조하면, 샘플링 스위칭회로(102)는 제1 소스 버스라인(SL1)을 통해 데이터 구동회로(110)의 제1 출력 채널(S1)에 접속됨과 아울러 제1 및 제2 데이터라인(D1,D2)에 접속되는 제1 디먹스부(DX1)와, 제2 소스 버스라인(SL2)을 통해 데이터 구동회로(110)의 제2 출력 채널(S2)에 접속됨과 아울러 제3 및 제4 데이터라인(D3,D4)에 접속되는 제2 디먹스부(DX2) 등을 구비한다.
- [0053] 제1 및 제2 디먹스부(DX1,DX2)는 자신이 접속된 출력 채널로부터 입력되는 데이터전압을 시분할하기 위해 제1 및 제2 디먹스 스위치(MT1,MT2)를 각각 포함한다. 제1 및 제2 디먹스부(DX1,DX2) 각각의 제1 디먹스 스위치(MT1)는 제1 디먹스 제어신호(DM1)에 따라 동시에 스위칭되고, 제1 및 제2 디먹스부(DX1,DX2) 각각의 제2 디먹스 스위치(MT2)는 제2 디먹스 제어신호(DM2)에 따라 동시에 스위칭된다.
- [0054] 제1 및 제2 디먹스 제어신호(DM1,DM2)는 도 10에 도시된 바와 같다. 도 10에 도시된 부호들의 의미는 도 8에서 설명한 것과 동일하다.
- [0055] 도 10을 참조하면, 제1 및 제2 디먹스 제어신호(DM1,DM2)의 발생주기는 각각 2 수평기간(2H)으로 설정된다. 제1 및 제2 디먹스 제어신호(DM1,DM2)는 서로 비중첩되어 1 수평기간(1H)을 주기로 교대로 발생된다.
- [0056] 제1 디먹스 제어신호(DM1)의 1 펄스 유지기간은 이웃한 2개의 수평기간들(예컨대,H2와 H3) 중 앞선 수평기간(H2)의 뒷쪽 및 뒤진 수평기간(H3)의 앞쪽에 중첩된다. 이를 위해 제1 디먹스 제어신호(DM1)의 라이징 에지(RE)는 앞선 수평기간(H2) 내에서 발생되고, 제1 디먹스 제어신호(DM1)의 폴링 에지(FE)는 뒤진 수평기간(H3) 내에서 발생된다.
- [0057] 제3 디먹스 제어신호(DM3)의 1 펄스 유지기간은 이웃한 2개의 수평기간들(예컨대,H3과 H4) 중 앞선 수평기간(H3)의 뒷쪽 및 뒤진 수평기간(H4)의 앞쪽에 중첩된다. 이를 위해 제3 디먹스 제어신호(DM3)의 라이징 에지(RE)는 앞선 수평기간(H3) 내에서 발생되고, 제3 디먹스 제어신호(DM3)의 폴링 에지(FE)는 뒤진 수평기간(H4) 내에서 발생된다.
- [0058] 제1 및 제3 디먹스 제어신호(DM1,DM3)의 발생주기가 기존에 비해 2배로 증가되므로, 그 주파수는 기존의 1/2로 줄어든다. 제1 및 제3 디먹스 제어신호(DM1,DM3)의 주파수가 줄어들면, 그만큼 샘플링 스위칭회로(102)에서의 스위칭 동작에 소모되는 소비전력이 줄어드는 효과가 있다.
- [0059] 스캔펄스와 디먹스 제어신호 간의 간격을 지시하는 도 4의 '②' 및 '⑤'는 도 8에서 필요치 않다. 도 8과 같이 구동하는 경우, 기존의 '②' 및 '⑤'에 해당되는 기간을 '④'로 대표되는 타이밍 마진에 할애할 수 있기 때문에, 1 수평기간(1H)이 짧은 고해상도에서 타이밍 마진 확보가 용이해진다.
- [0060] 제1 및 제2 디먹스 제어신호(DM1,DM2)의 발생 순서가 1 수평기간(1H)을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번한다.
- [0061] 도 11은 1:4 비율로 데이터전압을 분배하기 위한 디먹스 제어신호들의 발생 타이밍을 보여준다.
- [0062] 도 11을 참조하면, 타이밍 마진 확보와 소비전력 절감을 위해, 제1 및 제4 디먹스 제어신호(DM1,DM4)의 발생주기가 각각 2 수평기간(2H)으로 설정되고, 제1 및 제4 디먹스 제어신호(DM1,DM4)가 서로 비중첩되어 1 수평기간(1H)을 주기로 교대로 발생되고 있다. 그리고, 제2 및 제3 디먹스 제어신호(DM2,DM3) 각각은 제1 및 제4 디먹스 제어신호(DM1,DM4)와 비 중첩되어 각 수평기간(H1~H4) 내에서 매번 발생되고 있다. 그에 따라, 제1 내지 제4 디먹스 제어신호(DM1~DM4)의 발생 순서가 1 수평기간(1H)을 주기로 순방향 쉬프트와 역방향 쉬프트를 교번한다.

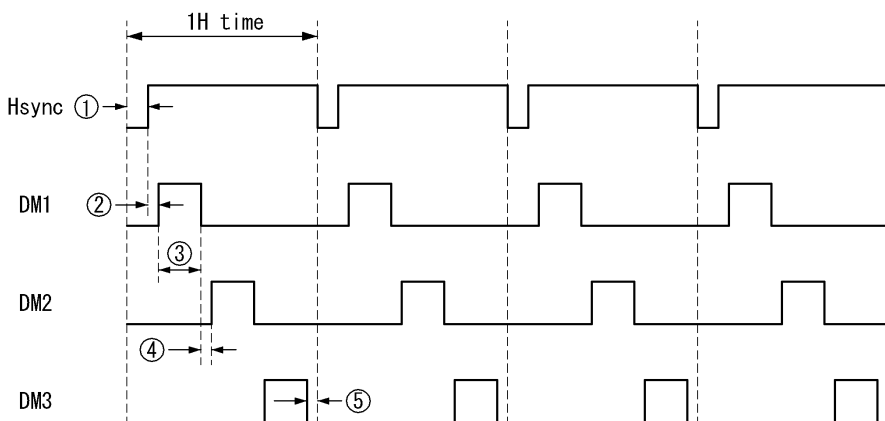
도면2



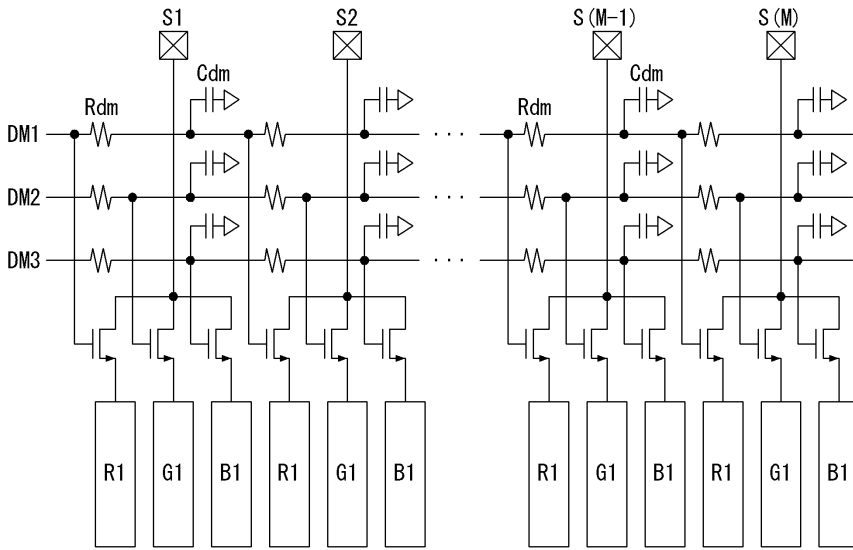
도면3



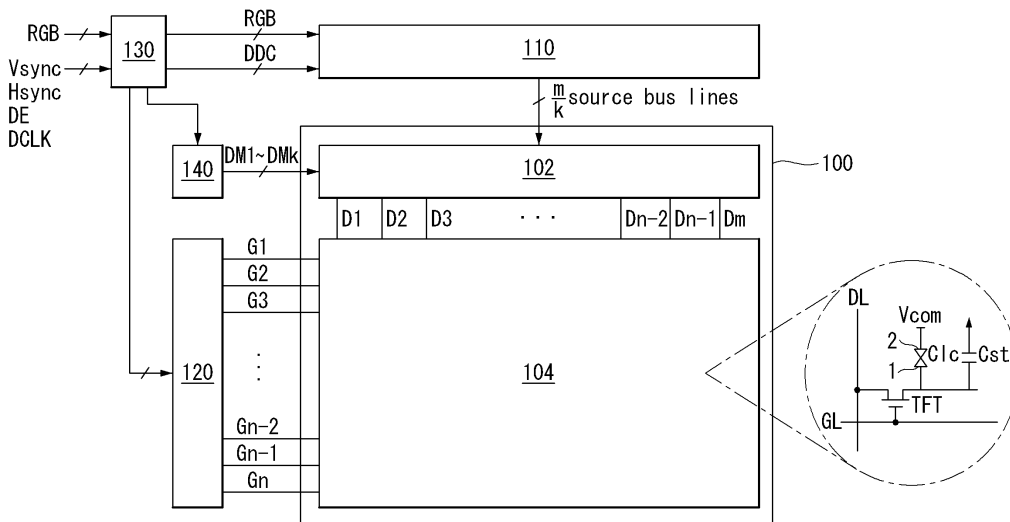
도면4



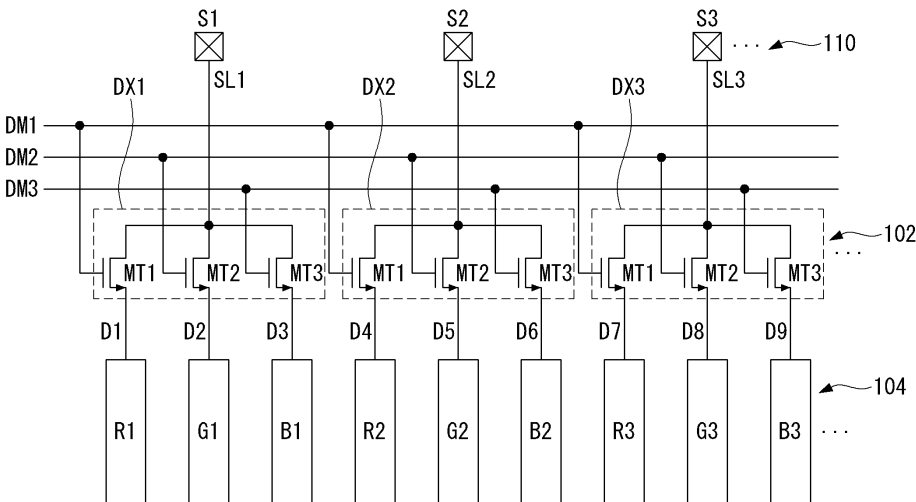
도면5



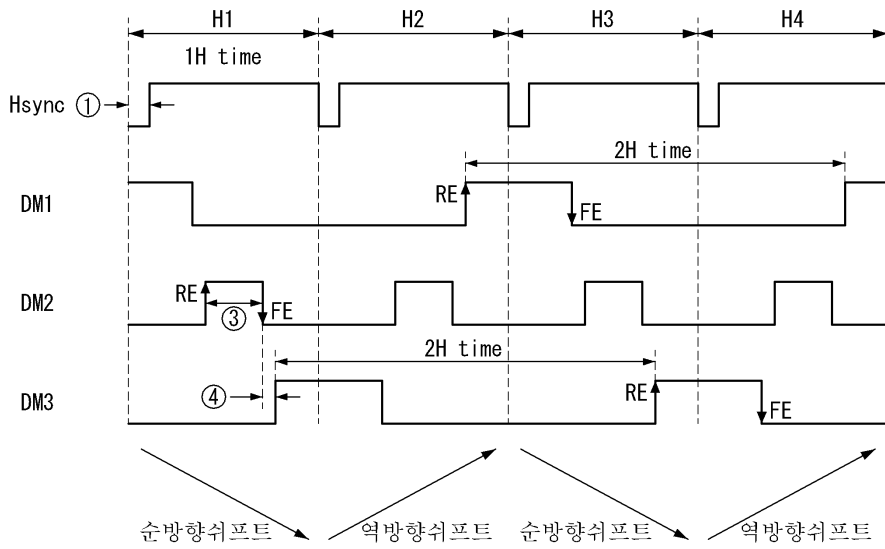
도면6



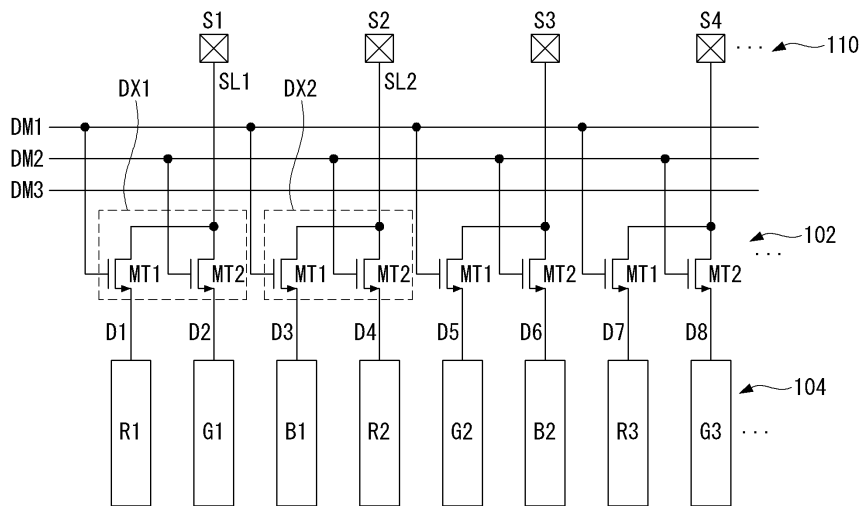
도면7



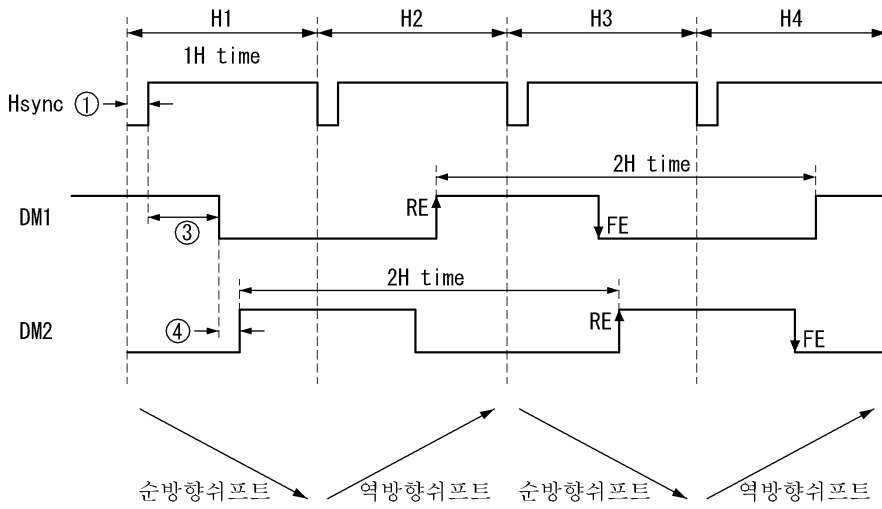
도면8



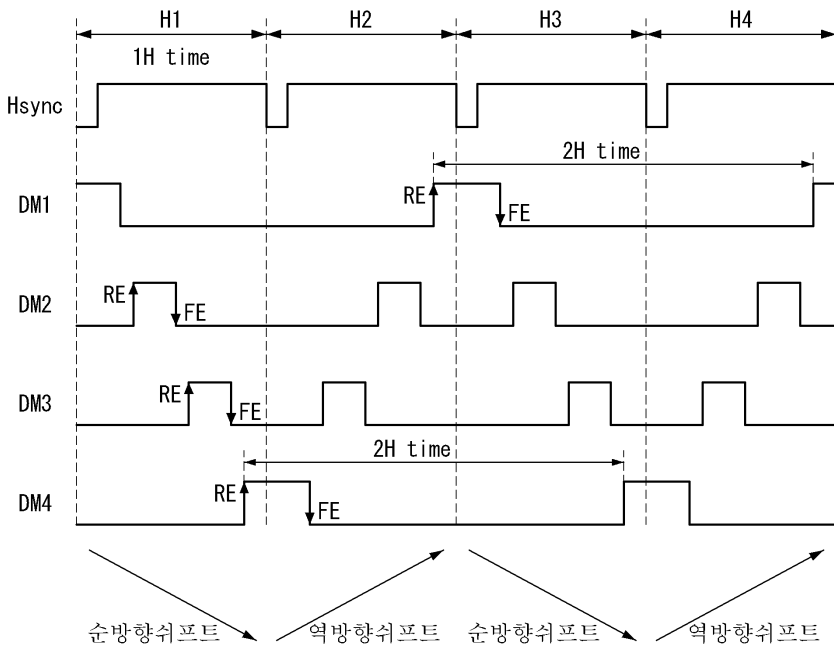
도면9



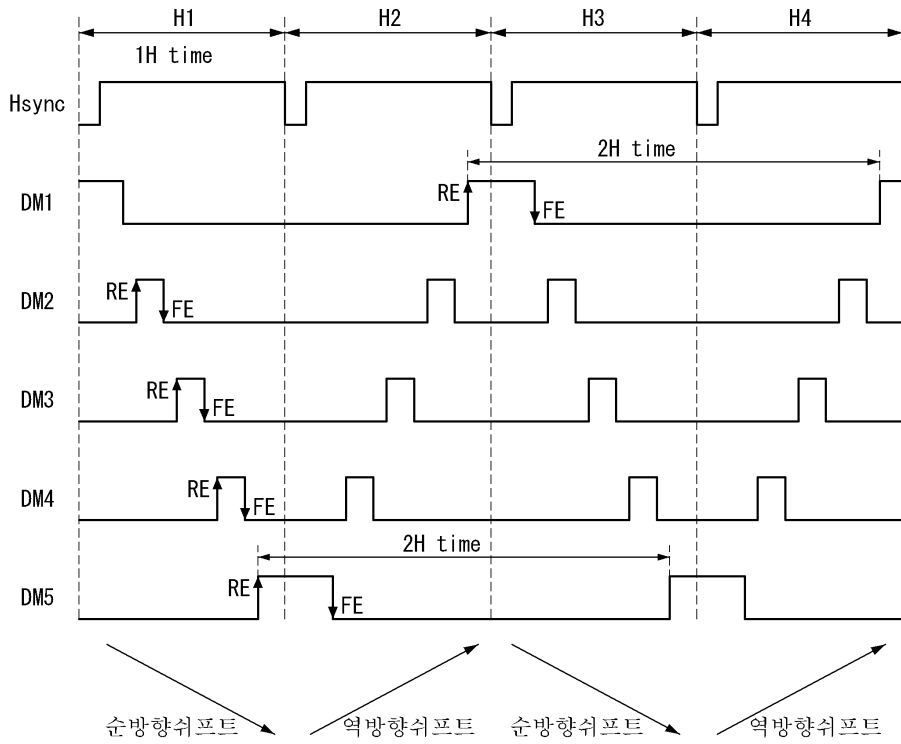
도면10



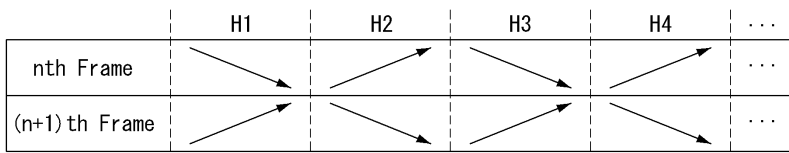
도면11



도면12



도면13



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020130061884A	公开(公告)日	2013-06-12
申请号	KR1020110128181	申请日	2011-12-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SANG HO 김상호		
发明人	김상호		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3685 G09G3/3688 G09G2310/0297 G09G2310/08		
其他公开文献	KR101985247B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示面板包括液晶显示面板，其中多条数据线和多条栅极线交叉，并且液晶单元形成在每个交叉区域中；一种用于产生数据电压的数据驱动电路；(K是等于或大于2的正整数)连接到数据驱动电路的相同输出通道，并且通过解复用开关的开关操作对数据电压进行时分，一种采样切换电路，用于将数据分配给数据线；并且，解复用控制信号产生电路用于产生k个解调控制信号，用于控制解复用开关的接通时间彼此不重叠；多路分配器中的至少一些所述控制信号的产生每两个水平周期，一个脉冲维持在后面的第二水平周期的周期，前述相邻的两个水平周期的一个水平周期的后面产生的多路分用器控制信号的周期叠加在水平周期的前面。

