



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2012-0064127  
(43) 공개일자 2012년06월18일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)  
(21) 출원번호 10-2012-7011381  
(22) 출원일자(국제) 2010년08월27일  
심사청구일자 2012년05월02일  
(85) 번역문제출일자 2012년05월02일  
(86) 국제출원번호 PCT/JP2010/064559  
(87) 국제공개번호 WO 2011/055584  
국제공개일자 2011년05월12일  
(30) 우선권주장  
JP-P-2009-252725 2009년11월04일 일본(JP)

(71) 출원인  
샤프 가부시카가이샤  
일본 오사카후 오사카시 아베노쿠 나가이쵸 2  
2방 22고  
(72) 발명자  
모리이 히데끼  
일본 545-8522 오사카후 오사카시 아베노쿠  
나가이쵸 22방 22고 샤프 가부시카가이샤 내  
이와모토 아끼히사  
일본 545-8522 오사카후 오사카시 아베노쿠  
나가이쵸 22방 22고 샤프 가부시카가이샤 내  
(뒷면에 계속)  
(74) 대리인  
박충범, 장수길, 이중희

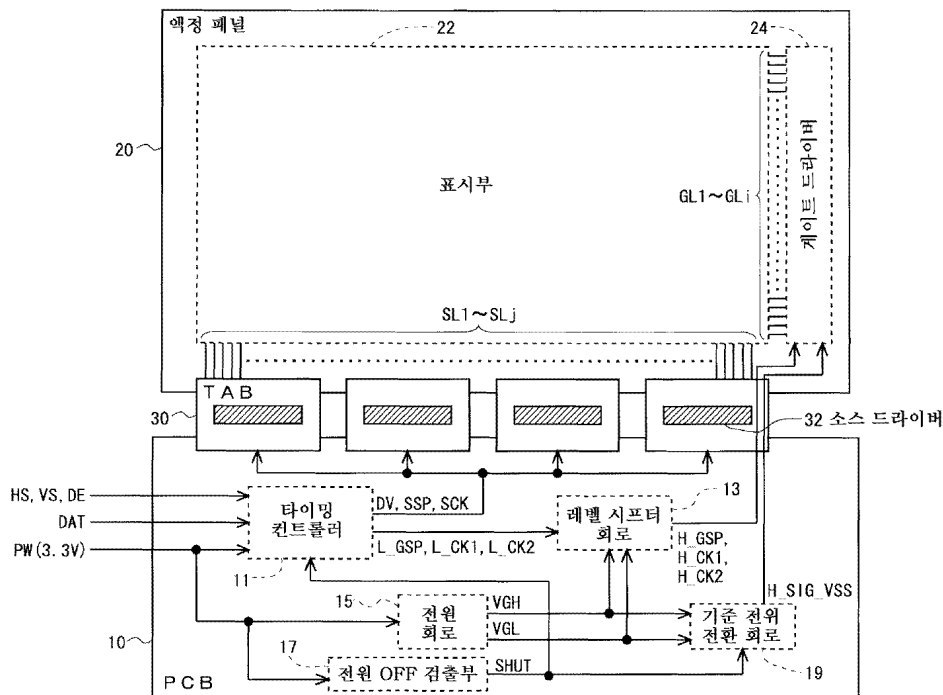
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

(57) 요약

전원이 오프되었을 때 화소 형성부 내의 잔류 전하를 빠르게 제거할 수 있는, 모노리식 게이트 드라이버를 구비한 액정 표시 장치를 제공하는 것을 목적으로 한다. 게이트 드라이버(24) 내의 시프트 레지스터를 구성하는 쌍안정 회로에는, 게이트 버스 라인에 접속된 드레인 단자, 기준 전위(H\_SIG\_VSS)를 전달하는 기준 전위 배선에 접속된 소스 단자, 및 시프트 레지스터를 동작시키는 클럭 신호(HCK\_1, HCK\_2)가 공급되는 게이트 단자를 갖는 박막 트랜지스터가 구비된다. 전원 OFF 검출부(17)가 외부로부터의 전원 전압(PW)의 공급의 차단을 감지하면, 클럭 신호(HCK\_1, HCK\_2)를 하이 레벨로 하여 상기 박막 트랜지스터를 온 상태로 함과 함께, 기준 전위 전환 회로(19)는 기준 전위(H\_SIG\_VSS)를 게이트 오프 전위(VGL)로부터 게이트 온 전위(VGH)로 전환한다.

대표도



(72) 발명자

**미즈나가 다카유키**

일본 545-8522 오사카후 오사카시 아베노구  
나가이쵸 22방 22고 샤프 가부시카이사 내

**오오따 유우끼**

일본 545-8522 오사카후 오사카시 아베노구  
나가이쵸 22방 22고 샤프 가부시카이사 내

---

## 특허청구의 범위

### 청구항 1

액정 표시 장치로서,

표시할 화상을 나타내는 복수의 영상 신호를 각각 전달하기 위한 복수의 영상 신호선과, 상기 복수의 영상 신호선과 교차하는 복수의 주사 신호선과,

상기 복수의 영상 신호선과 상기 복수의 주사 신호선의 교차점에 각각 대응하여 매트릭스 형상으로 배치되고, 대응하는 교차점을 통과하는 주사 신호선에 제어 단자가 접속되고 그 교차점을 통과하는 영상 신호선에 제1 도통 단자가 접속된 제1 스위칭 소자와, 상기 제1 스위칭 소자의 제2 도통 단자에 접속된 화소 전극을 포함하는 복수의 화소 형성부와,

제1 전위와 제2 전위를 주기적으로 반복하는 클록 신호에 기초하여 순차적으로 펄스를 출력하는, 상기 복수의 주사 신호선과 1 대 1로 대응하도록 구비된 복수의 쌍안정 회로로 이루어지는 시프트 레지스터를 포함하고, 그 시프트 레지스터로부터 출력되는 펄스에 기초하여 상기 복수의 주사 신호선을 선택적으로 구동하는, 상기 복수의 주사 신호선이 형성되어 있는 기판과 동일한 기판 상에 형성된 주사 신호선 구동 회로와,

외부로부터 공급되는 전원의 온/오프 상태를 검출하는 전원 상태 검출부와,

상기 복수의 쌍안정 회로의 기준 전위를 생성하는 기준 전위 생성부와,

상기 기준 전위 생성부에서 생성된 기준 전위를 상기 복수의 쌍안정 회로로 전달하기 위한 기준 전위 배선을 구비하고,

각 쌍안정 회로는, 대응하는 주사 신호선이 비선택 상태인 기간 중에는 그 주사 신호선의 전위 레벨이 상기 기준 전위의 레벨로 유지되도록, 그 주사 신호선과 상기 기준 전위 배선을 전기적으로 접속하기 위한 전위 레벨 유지부를 포함하고,

상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면,

각 쌍안정 회로에 포함되는 상기 전위 레벨 유지부는, 그 각 쌍안정 회로에 대응하는 주사 신호선과 상기 기준 전위 배선을 전기적으로 접속하고,

상기 기준 전위 생성부는, 상기 기준 전위의 레벨을 상기 제1 스위칭 소자가 도통 상태가 되는 레벨로까지 높이는 것을 특징으로 하는 액정 표시 장치.

### 청구항 2

제1항에 있어서,

상기 클록 신호를 생성하는 클록 신호 생성부를 더 구비하고,

각 쌍안정 회로에 포함되는 상기 전위 레벨 유지부는 상기 기준 전위 배선에 접속된 제1 도통 단자, 그 각 쌍안정 회로에 대응하는 주사 신호선에 접속된 제2 도통 단자, 및 상기 클록 신호가 공급되는 제어 단자를 갖는 제2 스위칭 소자를 포함하고,

상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면, 상기 클록 신호 생성부는 각 쌍안정 회로에 포함되는 상기 제2 스위칭 소자가 도통 상태가 되도록, 상기 클록 신호를 상기 제1 전위 또는 상기 제2 전위로 하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 3

제2항에 있어서,

각 쌍안정 회로에 포함되는 상기 전위 레벨 유지부는, 상기 제2 스위칭 소자를 복수개 포함하고,

상기 클록 신호 생성부는, 각 전위 레벨 유지부에 포함되는 복수개의 상기 제2 스위칭 소자의 제어 단자에 각각 공급하기 위한 복수의 상기 클록 신호를 생성하고,

상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면, 상기 클록 신호 생성부는, 각 전위 레벨 유지부에 포함되는 복수개의 상기 제2 스위칭 소자가 도통 상태가 되도록, 복수의 상기 클록 신호를 각각 상기 제1 전위 또는 상기 제2 전위로 하는 것을 특징으로 하는 액정 표시 장치.

**청구항 4**

제1항에 있어서,

상기 기준 전위 생성부는, 소정의 입력 신호의 전위 레벨을 변환함으로써 상기 기준 전위 배선에 소정의 하이 레벨 전위 또는 소정의 로우 레벨 전위를 공급하는 레벨 시프터 회로를 포함하고,

상기 레벨 시프터 회로는,

상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되어 있지 않을 때는, 상기 로우 레벨 전위를 상기 기준 전위로 하여 상기 기준 전위 배선에 공급하고,

상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면, 상기 하이 레벨 전위를 상기 기준 전위로 하여 상기 기준 전위 배선에 공급하는 것을 특징으로 하는 액정 표시 장치.

**청구항 5**

표시할 화상을 나타내는 복수의 영상 신호를 각각 전달하기 위한 복수의 영상 신호선, 상기 복수의 영상 신호선과 교차하는 복수의 주사 신호선, 상기 복수의 영상 신호선과 상기 복수의 주사 신호선의 교차점에 각각 대응하여 매트릭스 형상으로 배치되고, 대응하는 교차점을 통과하는 주사 신호선에 제어 단자가 접속되고 그 교차점을 통과하는 영상 신호선에 제1 도통 단자가 접속된 제1 스위칭 소자와, 상기 제1 스위칭 소자의 제2 도통 단자에 접속된 화소 전극을 포함하는 복수의 화소 형성부, 및 상기 복수의 주사 신호선이 형성되어 있는 기판과 동일한 기판 상에 형성된 주사 신호선 구동 회로로서, 제1 전위와 제2 전위를 주기적으로 반복하는 클록 신호에 기초하여 순차적으로 펄스를 출력하는, 상기 복수의 주사 신호선과 1 대 1로 대응하도록 구비된 복수의 쌍안정 회로로 이루어지는 시프트 레지스터를 포함하고, 그 시프트 레지스터로부터 출력되는 펄스에 기초하여 상기 복수의 주사 신호선을 선택적으로 구동하는 주사 신호선 구동 회로를 구비한 액정 표시 장치의 구동 방법으로서,

외부로부터 공급되는 전원의 온/오프 상태를 검출하는 전원 상태 검출 단계와,

상기 복수의 쌍안정 회로의 기준 전위를 생성하는 기준 전위 생성 단계

를 포함하고,

상기 액정 표시 장치는, 상기 기준 전위 생성 단계에서 생성된 기준 전위를 상기 복수의 쌍안정 회로로 전달하기 위하여 기준 전위 배선을 더 구비하고,

상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면,

각 쌍안정 회로에 대응하는 주사 신호선과 상기 기준 전위 배선이 전기적으로 접속되고,

상기 기준 전위 생성 단계에서는, 상기 기준 전위의 레벨을 상기 제1 스위칭 소자가 도통 상태가 되는 레벨로 까지 높일 수 있는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

**청구항 6**

제5항에 있어서,

상기 클록 신호를 생성하는 클록 신호 생성 단계를 더 포함하고,

각 쌍안정 회로는, 상기 기준 전위 배선에 접속된 제1 도통 단자, 그 각 쌍안정 회로에 대응하는 주사 신호선에 접속된 제2 도통 단자, 및 상기 클록 신호가 공급되는 제어 단자를 갖는 제2 스위칭 소자를 포함하고,

상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면, 상기 클록 신호 생성 단계에서는, 각 쌍안정 회로에 포함되는 상기 제2 스위칭 소자가 도통 상태가 되도록, 상기 클록 신호가 상기 제1 전위 또는 상기 제2 전위로 되는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

**청구항 7**

제6항에 있어서,

각 쌍안정 회로는, 상기 제2 스위칭 소자를 복수개 포함하고,

상기 클록 신호 생성 단계에서는, 각 쌍안정 회로에 포함되는 복수개의 상기 제2 스위칭 소자의 제어 단자에 각각 공급하기 위한 복수의 상기 클록 신호가 생성되고,

상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면, 상기 클록 신호 생성 단계에서는, 각 쌍안정 회로에 포함되는 복수개의 상기 제2 스위칭 소자가 도통 상태가 되도록, 복수의 상기 클록 신호가 각각 상기 제1 전위 또는 상기 제2 전위로 되는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

### 청구항 8

제5항에 있어서,

상기 기준 전위 배선에 소정의 하이 레벨 전위 또는 소정의 로우 레벨 전위를 공급하기 위하여 소정의 입력 신호의 전위 레벨을 변환하는 레벨 변환 단계를 더 포함하고,

상기 레벨 변환 단계에서는,

상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되어 있지 않을 때는, 상기 입력 신호의 전위 레벨은 상기 로우 레벨 전위로 변환되고,

상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면, 상기 입력 신호의 전위 레벨은 상기 하이 레벨 전위로 변환되는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

## 명세서

### 기술분야

[0001] 본 발명은 모노리식 게이트 드라이버를 구비하는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

### 배경기술

[0002] 일반적으로, 액티브 매트릭스형 액정 표시 장치는, 액정층을 협지하는 2장의 기관으로 이루어지는 액정 패널을 구비하고 있고, 그 2장의 기관 중 한쪽 기관에는, 복수개의 게이트 버스 라인(주사 신호선)과 복수개의 소스 버스 라인(영상 신호선)이 격자 형상으로 배치되고, 이들 복수개의 게이트 버스 라인과 복수개의 소스 버스 라인의 교차점에 각각 대응하여 매트릭스 형상으로 배치된 복수의 화소 형성부가 구비되어 있다. 각 화소 형성부는, 대응하는 교차점을 통과하는 게이트 버스 라인에 게이트 단자가 접속되는 동시에 상기 교차점을 통과하는 소스 버스 라인에 소스 단자가 접속된 스위칭 소자인 박막 트랜지스터(TFT)나, 화소값을 유지하기 위한 화소 용량 등을 포함하고 있다. 또한, 상기 2장의 기관 중 다른 쪽 기관에는, 상기 복수의 화소 형성부에 공통적으로 구비된 대향 전극인 공통 전극이 구비되어 있다. 액티브 매트릭스형 액정 표시 장치에는, 또한 상기 복수개의 게이트 버스 라인을 구동하는 게이트 드라이버(주사 신호선 구동 회로)와 상기 복수개의 소스 버스 라인을 구동하는 소스 드라이버(영상 신호선 구동 회로)가 구비되어 있다.

[0003] 화소값을 나타내는 영상 신호는 소스 버스 라인에 의해 전달되는데, 각 소스 버스 라인은 복수행분의 화소값을 나타내는 영상 신호를 일시(동시)에 전달할 수 없다. 이 때문에, 상술한 매트릭스 형상으로 배치된 화소 형성부 내의 화소 용량으로의 영상 신호의 기입은 1행씩 순차적으로 행해진다. 따라서, 복수개의 게이트 버스 라인이 소정 기간씩 순차적으로 선택되도록, 게이트 드라이버는 복수단으로 이루어지는 시프트 레지스터에 의해 구성되어 있다.

[0004] 이러한 액정 표시 장치에 있어서, 이용자에 의해 전원이 오프되었음에도 불구하고, 즉시 표시가 클리어되지 않고, 잔상과 같은 화상이 남는 경우가 있다. 그 이유는, 장치의 전원이 오프되면 화소 용량에 유지된 전하의 방전 경로가 차단되고, 화소 형성부 내에 잔류 전하가 축적되기 때문이다. 또한, 화소 형성부 내에 잔류 전하가 축적된 상태에서 장치의 전원이 온되면, 그 잔류 전하에 기초하는 불순물의 치우침에 기인하는 플리커의 발생 등 표시 품질의 저하가 발생한다.

[0005] 따라서, 전원 오프에 의한 잔류 전하의 축적을 억제하는 기술로서, 이하와 같은 기술이 제안되고 있다. 일본 특허 공개 제2004-45785호 공보에는, 전원 오프 시에 모든 게이트 버스 라인을 선택 상태(온 상태)로 함으로써 모든 화소 형성부 내의 잔류 전하가 방전되도록 한 액정 표시 장치의 발명이 개시되어 있다. 국제 공개

2007/007768호 팸플릿에는, 전원 오프 시에 게이트 오프 전위(화소 형성부 내의 스위칭 소자가 오프 상태로 되어야 할 때 그 스위칭 소자의 게이트 단자에 공급하는 신호의 전위)를 빠르게 접지 전위로 도달시키도록 한 액정 표시 장치의 발명이 개시되어 있다. 일본 특허 공개 제2007-11346호 공보에는, 전원 오프 시에 게이트 오프 전위를 접지 전위보다도 높게 함으로써 잔류 전하의 방전 시간의 단축을 도모하는 액정 표시 장치의 발명이 개시되어 있다.

**선행기술문헌**

**특허문헌**

- [0006] (특허문헌 0001) 특허문헌 1 : 일본 특허 공개 제2004-45785호 공보
- (특허문헌 0002) 특허문헌 2 : 국제 공개 2007/007768호 팸플릿
- (특허문헌 0003) 특허문헌 3 : 일본 특허 공개 제2007-11346호 공보

**발명의 내용**

**해결하려는 과제**

- [0007] 그런데, 최근 들어, a-SiTFT 액정 패널(박막 트랜지스터의 반도체층에 아몰퍼스 실리콘을 이용한 액정 패널)을 채용한 액정 표시 장치에 있어서, 게이트 드라이버의 모노리식화가 진행되고 있다. 종래, 게이트 드라이버는 액정 패널을 구성하는 기관의 주변부에 IC(Integrated Circuit)칩으로서 탑재되는 경우가 많았지만, 최근 들어, 기관 위에 직접 게이트 드라이버를 형성하는 경우가 서서히 많이 이루어지고 있다. 이러한 게이트 드라이버는 「모노리식 게이트 드라이버」 등이라 부르고 있으며, 또한 모노리식 게이트 드라이버를 구비한 패널은 「게이트 드라이버 모노리식 패널」 등이라 부르고 있다.
- [0008] 그런데, 게이트 드라이버 모노리식 패널에 있어서는, 전원 오프에 의한 잔류 전하의 축적을 억제하는 기술로서 상술한 기술을 채용할 수 없다. 이에 대하여, 이하에 설명한다.
- [0009] 일본 특허 공개 제2004-45785호 공보에 개시된 기술에 관한 것으로, IC칩으로서의 게이트 드라이버(이하, 「게이트 드라이버 IC」라고 함)(800)는 일반적으로 도 21에 도시한 바와 같이 구성되어 있다. 이 게이트 드라이버 IC(800)는 로직부를 구성하는 저내압계 회로부(810)와, 로직부로부터 출력되는 신호의 전위 레벨을 변환하는 레벨 시프터 회로(822)를 포함하는 고내압계 회로부(820)에 의해 구성되어 있다. 저내압계 회로부(810)에는 시프트 레지스터(812)와 OR 회로(816)가 포함되어 있다. OR 회로(816)의 입력 단자에는 시프트 레지스터(812)의 각 단(814)으로부터의 출력 신호와, 모든 게이트 버스 라인을 선택 상태로 할지의 여부를 제어하기 위한 신호 ALL-ON이 공급된다. OR 회로(816)로부터의 출력 신호는, 레벨 시프터 회로(822)에 의해 전위의 변환이 실시된다. 그리고, 레벨 시프터 회로(822)에 의한 전위의 변환 후의 신호가 주사 신호로서 게이트 버스 라인에 공급된다. 이와 같은 구성에 있어서, 전원이 오프되었을 때 상기 신호 ALL-ON의 논리 레벨을 하이 레벨로 함으로써, 모든 게이트 버스 라인이 선택 상태가 되고, 모든 화소 형성부 내의 잔류 전하가 방전된다.
- [0010] 그런데, 모노리식 게이트 드라이버에 있어서는, 박막 트랜지스터의 게이트 단자에 직류 바이어스를 공급하면 상기 박막 트랜지스터의 임계값 전압이 시프트한다. 이 때문에, 박막 트랜지스터의 게이트 단자에 직류 바이어스가 공급되는 일이 없도록, 모노리식 게이트 드라이버는 세트 리셋형 플립플롭 회로를 이용하여 구성되어 있다. 구체적으로는, 모노리식 게이트 드라이버 내의 시프트 레지스터의 일단분의 구성은, 예를 들면 도 22에 도시한 바와 같은 구성으로 되어 있다. 이와 같은 구성에 있어서, 전단으로부터의 출력 신호 OUTn-1(후술하는 세트 신호 S)이 로우 레벨로부터 하이 레벨로 변화하면, netA(박막 트랜지스터 TI의 게이트 단자, 박막 트랜지스터 TB의 소스 단자, 및 박막 트랜지스터 TL의 드레인 단자가 서로 접속되어 있는 영역)의 전위가 상승한다. 그 후, 클록 신호 CK가 로우 레벨로부터 하이 레벨로 변화하면, 캐패시터 CAP의 부트스트랩 효과에 의해 netA의 전위가 더 상승한다. 이에 의해, 박막 트랜지스터 TI의 게이트 단자에 큰 전압이 공급된다. 그 결과, 클록 신호 CK의 하이 레벨의 전위에 기초하여, 출력 신호 OUTn(후술하는 상태 신호 Q)의 전위는 게이트 버스 라인을 선택 상태로 하는 전위로까지 높아진다. 여기서, 도 22에 도시하는 회로는 클록 신호 CK와 캐패시터 CAP를 이용한 부트스트랩 회로로 되어 있고, 출력 신호 OUTn의 전위는 대부분의 기간 로우 레벨로 유지되는 것이 전제로 되어 있다. 따라서, 도 22에 도시하는 회로에는, 게이트 온 전위(화소 형성부 내의 스위칭 소자가 온 상태로 되어야 할 때 그 스위칭 소자의 게이트 단자에 공급하는 신호의 전위)를 생성하기 위한 전

원이 구비되어 있지 않다. 즉, 모노리식 게이트 드라이버에는 모든 게이트 버스 라인을 선택 상태로 하는 수단(구성 요소)이 존재하지 않는다. 따라서, 게이트 드라이버 모노리식 패널에 있어서는, 일본 특허 공개 제 2004-45785호 공보에 개시된 기술을 채용할 수 없다. 또한, 시프트 레지스터를 2상의 클록 신호로 동작시키고, 또한 출력 신호 OUTn의 전위를 수시로 게이트 오프 전위로까지 저하(게이트 오프 전위측으로 인입)시키는 경우, 시프트 레지스터의 일단분의 구성은, 예를 들면 도 8에 도시한 바와 같은 구성으로 된다.

[0011] 또한, 국제 공개 2007/007768호 팸플릿에 개시된 기술에 관한 것으로, a-SiTFT 액정 패널에서는 박막 트랜지스터의 임계값 전압이 크기 때문에, 게이트 오프 전위가 접지 전위로 되어도, 화소 형성부 내의 잔류 전하는 충분히 방전되지 않는다.

[0012] 또한, 일본 특허 공개 제2007-11346호 공보에 개시된 기술에 관한 것으로, 게이트 드라이버 IC에 있어서는, 이하의 이유에 의해, 게이트 오프 전위를 접지 전위보다도 높은 전위로 할 수 없다. 도 23은 게이트 드라이버 IC의 내부 회로에 있어서의 전위 관계에 대하여 설명하기 위한 도면이다. 또한, 도 23에서의 전위의 구체적인 값은 일례이다. 도 23에서 파악되듯이, 저내압계(로직계) 회로부는 접지 전위 GND와 전원 전위 VCC 사이에서 동작하고, 고내압계 회로부는 게이트 오프 전위 VGL과 게이트 온 전위 VGH 사이에서 동작한다. 통상, 게이트 오프 전위 VGL은 전원 전위 VCC나 접지 전위 GND보다도 낮은 전위로 되어 있으므로, PN 기생 소자에는 역내압만이 발생한다. 이 때문에, 통상, PN 기생 소자에는 전류가 흐르지 않는다. 그런데, 게이트 오프 전위 VGL을 전원 전위 VCC보다도 높은 전위(예를 들면 5V)로 하면, PN 기생 소자에 순방향 전압이 발생하여, 전류가 흘러버린다. 그 결과, 게이트 드라이버 IC의 이상 동작이 발생한다.

[0013] 그런데, 게이트 드라이버 IC에 있어서는, 주사 신호의 출력부는 CMOS 구성으로 되어 있다. 즉, 게이트 드라이버 IC는, CMOS의 게이트에 공급되는 전압에 따라서 게이트 온 전위 VGH 또는 게이트 오프 전위 VGL의 한쪽이 출력부로부터 출력되도록 구성되어 있다. 이 때문에, 게이트 드라이버 IC를 채용한 액정 표시 장치에서는, 주사 신호를 로우 레벨로 유지할 수 있다. 이에 반해, 모노리식 게이트 드라이버에 있어서는, 시프트 레지스터의 일단분은 도 8이나 도 22에 도시한 회로 구성으로 되어 있다. 여기서, 박막 트랜지스터 TN에 대해서는, 온 상태로 되는 것은 1 수직 주사 기간 중인 소정 기간(1행의 게이트 버스 라인이 선택 상태로 되는 기간)만이다. 또한, 클록 신호는 하이 레벨과 로우 레벨이 교대로 반복되므로, 박막 트랜지스터 TM, TD가 계속적으로 온 상태로 유지되는 일은 없다. 즉, 게이트 버스 라인의 전위는 로우 레벨로 고정되는 일은 없다. 이상과 같이, 모노리식 게이트 드라이버에 있어서는, 게이트 오프 전위 VGL을 접지 전위 GND보다도 높은 전위로 할 수는 있지만, 그것만으로는 화소 형성부 내의 잔류 전하는 방전되지 않는다.

[0014] 따라서 본 발명은, 전원이 온되었을 때의 표시 품위의 저하가 억제되도록, 전원이 오프되었을 때 화소 형성부 내의 잔류 전하를 빠르게 제거할 수 있는, 모노리식 게이트 드라이버를 구비한 액정 표시 장치를 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

[0015] 본 발명의 제1 국면은, 액정 표시 장치로서,

[0016] 표시할 화상을 나타내는 복수의 영상 신호를 각각 전달하기 위한 복수의 영상 신호선과, 상기 복수의 영상 신호선과 교차하는 복수의 주사 신호선과,

[0017] 상기 복수의 영상 신호선과 상기 복수의 주사 신호선의 교차점에 각각 대응하여 매트릭스 형상으로 배치되고, 대응하는 교차점을 통과하는 주사 신호선에 제어 단자가 접속되고 그 교차점을 통과하는 영상 신호선에 제1 도통 단자가 접속된 제1 스위칭 소자와, 상기 제1 스위칭 소자의 제2 도통 단자에 접속된 화소 전극을 포함하는 복수의 화소 형성부와,

[0018] 제1 전위와 제2 전위를 주기적으로 반복하는 클록 신호에 기초하여 순차적으로 펄스를 출력하는, 상기 복수의 주사 신호선과 1 대 1로 대응하도록 구비된 복수의 쌍안정 회로로 이루어지는 시프트 레지스터를 포함하고, 그 시프트 레지스터로부터 출력되는 펄스에 기초하여 상기 복수의 주사 신호선을 선택적으로 구동하는, 상기 복수의 주사 신호선이 형성되어 있는 기관과 동일한 기관 상에 형성된 주사 신호선 구동 회로와,

[0019] 외부로부터 공급되는 전원의 온/오프 상태를 검출하는 전원 상태 검출부와,

[0020] 상기 복수의 쌍안정 회로의 기준 전위를 생성하는 기준 전위 생성부와,

[0021] 상기 기준 전위 생성부에서 생성된 기준 전위를 상기 복수의 쌍안정 회로로 전달하기 위한 기준 전위 배선

- [0022] 을 구비하고,
- [0023] 각 쌍안정 회로는, 대응하는 주사 신호선이 비선택 상태인 기간 중에는 그 주사 신호선의 전위 레벨이 상기 기준 전위의 레벨로 유지되도록, 그 주사 신호선과 상기 기준 전위 배선을 전기적으로 접속하기 위한 전위 레벨 유지부를 포함하고,
- [0024] 상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면,
- [0025] 각 쌍안정 회로에 포함되는 상기 전위 레벨 유지부는, 그 각 쌍안정 회로에 대응하는 주사 신호선과 상기 기준 전위 배선을 전기적으로 접속하고,
- [0026] 상기 기준 전위 생성부는, 상기 기준 전위의 레벨을 상기 제1 스위칭 소자가 도통 상태가 되는 레벨로까지 높이는 것을 특징으로 한다.
- [0027] 본 발명의 제2 국면은, 본 발명의 제1 국면에 있어서,
- [0028] 상기 클록 신호를 생성하는 클록 신호 생성부를 더 구비하고,
- [0029] 각 쌍안정 회로에 포함되는 상기 전위 레벨 유지부는, 상기 기준 전위 배선에 접속된 제1 도통 단자, 그 각 쌍안정 회로에 대응하는 주사 신호선에 접속된 제2 도통 단자, 및 상기 클록 신호가 공급되는 제어 단자를 갖는 제2 스위칭 소자를 포함하고,
- [0030] 상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면, 상기 클록 신호 생성부는, 각 쌍안정 회로에 포함되는 상기 제2 스위칭 소자가 도통 상태가 되도록, 상기 클록 신호를 상기 제1 전위 또는 상기 제2 전위로 하는 것을 특징으로 한다.
- [0031] 본 발명의 제3 국면은, 본 발명의 제2 국면에 있어서,
- [0032] 각 쌍안정 회로에 포함되는 상기 전위 레벨 유지부는, 상기 제2 스위칭 소자를 복수개 포함하고,
- [0033] 상기 클록 신호 생성부는, 각 전위 레벨 유지부에 포함되는 복수개의 상기 제2 스위칭 소자의 제어 단자에 각각 공급하기 위한 복수의 상기 클록 신호를 생성하고,
- [0034] 상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면, 상기 클록 신호 생성부는, 각 전위 레벨 유지부에 포함되는 복수개의 상기 제2 스위칭 소자가 도통 상태가 되도록, 복수의 상기 클록 신호를 각각 상기 제1 전위 또는 상기 제2 전위로 하는 것을 특징으로 한다.
- [0035] 본 발명의 제4 국면은, 본 발명의 제1 국면에 있어서,
- [0036] 상기 기준 전위 생성부는, 소정의 입력 신호의 전위 레벨을 변환함으로써 상기 기준 전위 배선에 소정의 하이 레벨 전위 또는 소정의 로우 레벨 전위를 공급하는 레벨 시프터 회로를 포함하고,
- [0037] 상기 레벨 시프터 회로는,
- [0038] 상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되어 있지 않을 때는, 상기 로우 레벨 전위를 상기 기준 전위로 하여 상기 기준 전위 배선에 공급하고,
- [0039] 상기 전원의 오프 상태가 상기 전원 상태 검출부에 의해 검출되면, 상기 하이 레벨 전위를 상기 기준 전위로 하여 상기 기준 전위 배선에 공급하는 것을 특징으로 한다.
- [0040] 본 발명의 제5 국면은, 표시할 화상을 나타내는 복수의 영상 신호를 각각 전달하기 위한 복수의 영상 신호선, 상기 복수의 영상 신호선과 교차하는 복수의 주사 신호선, 상기 복수의 영상 신호선과 상기 복수의 주사 신호선의 교차점에 각각 대응하여 매트릭스 형상으로 배치되고, 대응하는 교차점을 통과하는 주사 신호선에 제어 단자가 접속되고 그 교차점을 통과하는 영상 신호선에 제1 도통 단자가 접속된 제1 스위칭 소자와, 상기 제1 스위칭 소자의 제2 도통 단자에 접속된 화소 전극을 포함하는 복수의 화소 형성부, 및 상기 복수의 주사 신호선이 형성되어 있는 기판과 동일한 기판 상에 형성된 주사 신호선 구동 회로로서, 제1 전위와 제2 전위를 주기적으로 반복하는 클록 신호에 기초하여 순차적으로 펄스를 출력하는, 상기 복수의 주사 신호선과 1 대 1로 대응하도록 구비된 복수의 쌍안정 회로로 이루어지는 시프트 레지스터를 포함하고, 그 시프트 레지스터로부터 출력되는 펄스에 기초하여 상기 복수의 주사 신호선을 선택적으로 구동하는 주사 신호선 구동 회로를 구비한 액정 표시 장치의 구동 방법으로서,
- [0041] 외부로부터 공급되는 전원의 온/오프 상태를 검출하는 전원 상태 검출 단계와,

- [0042] 상기 복수의 쌍안정 회로의 기준 전위를 생성하는 기준 전위 생성 단계를
- [0043] 를 포함하고,
- [0044] 상기 액정 표시 장치는, 상기 기준 전위 생성 단계에서 생성된 기준 전위를 상기 복수의 쌍안정 회로로 전달하기 위하여 기준 전위 배선을 더 구비하고,
- [0045] 상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면,
- [0046] 각 쌍안정 회로에 대응하는 주사 신호선과 상기 기준 전위 배선이 전기적으로 접속되고,
- [0047] 상기 기준 전위 생성 단계에서는, 상기 기준 전위의 레벨을 상기 제1 스위칭 소자가 도통 상태가 되는 레벨로 까지 높일 수 있는 것을 특징으로 한다.
- [0048] 본 발명의 제6 국면은, 본 발명의 제5 국면에 있어서,
- [0049] 상기 클록 신호를 생성하는 클록 신호 생성 단계를 더 포함하고,
- [0050] 각 쌍안정 회로는, 상기 기준 전위 배선에 접속된 제1 도통 단자, 그 각 쌍안정 회로에 대응하는 주사 신호선에 접속된 제2 도통 단자, 및 상기 클록 신호가 공급되는 제어 단자를 갖는 제2 스위칭 소자를 포함하고,
- [0051] 상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면, 상기 클록 신호 생성 단계에서는, 각 쌍안정 회로에 포함되는 상기 제2 스위칭 소자가 도통 상태가 되도록, 상기 클록 신호가 상기 제1 전위 또는 상기 제2 전위로 되는 것을 특징으로 한다.
- [0052] 본 발명의 제7 국면은, 본 발명의 제6 국면에 있어서,
- [0053] 각 쌍안정 회로는, 상기 제2 스위칭 소자를 복수개 포함하고,
- [0054] 상기 클록 신호 생성 단계에서는, 각 쌍안정 회로에 포함되는 복수개의 상기 제2 스위칭 소자의 제어 단자에 각각 공급하기 위한 복수의 상기 클록 신호가 생성되고,
- [0055] 상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면, 상기 클록 신호 생성 단계에서는, 각 쌍안정 회로에 포함되는 복수개의 상기 제2 스위칭 소자가 도통 상태가 되도록, 복수의 상기 클록 신호가 각각 상기 제1 전위 또는 상기 제2 전위로 되는 것을 특징으로 한다.
- [0056] 본 발명의 제8 국면은, 본 발명의 제5 국면에 있어서,
- [0057] 상기 기준 전위 배선에 소정의 하이 레벨 전위 또는 소정의 로우 레벨 전위를 공급하기 위하여 소정의 입력 신호의 전위 레벨을 변환하는 레벨 변환 단계를 더 포함하고,
- [0058] 상기 레벨 변환 단계에서는,
- [0059] 상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되어 있지 않을 때는, 상기 입력 신호의 전위 레벨은 상기 로우 레벨 전위로 변환되고,
- [0060] 상기 전원 상태 검출 단계에서 상기 전원의 오프 상태가 검출되면, 상기 입력 신호의 전위 레벨은 상기 하이 레벨 전위로 변환되는 것을 특징으로 한다.

**발명의 효과**

- [0061] 본 발명의 제1 국면에 의하면, 주사 신호선 구동 회로 내의 시프트 레지스터를 구성하는 쌍안정 회로에는, 그 쌍안정 회로에 대응하는 주사 신호선이 비선택 상태로 되어야 할 기간 동안 그 주사 신호선의 전위 레벨이 기준 전위의 레벨로 유지되도록 하기 위한 전위 레벨 유지부가 구비되어 있다. 그리고, 전원의 오프 상태가 검출되면, 전위 레벨 유지부에 의해, 주사 신호선과 (기준 전위를 전달하는) 기준 전위 배선이 전기적으로 접속된다. 또한, 전원의 오프 상태가 검출되었을 때, 각 화소 형성부에 구비된 스위칭 소자가 도통 상태가 되는 레벨로까지 기준 전위의 레벨을 높일 수 있다. 이에 의해, 각 주사 신호선은 선택 상태가 되고, 각 화소 형성부에 구비되어 있는 스위칭 소자는 도통 상태가 된다. 이 때문에, 전원이 오프되었을 때 각 화소 형성부 내의 잔류 전하는 빠르게 방전된다. 그 결과, 전원이 다시 온되었을 때 있어서의 화소 형성부 내의 잔류 전하에 기인하는 표시 품위의 저하가 억제된다.
- [0062] 본 발명의 제2 국면에 의하면, 전원의 오프 상태가 검출되었을 때 각 주사 신호선을 선택 상태로 하기 위한 구성 요소로서 전위 레벨 유지부가 이용되는 바, 그 전위 레벨 유지부는, 주사 신호선의 전위를 기준 전위의

레벨로 유지하기 위해 종래부터 구비되어 있는 스위칭 소자에 의해 실현되고 있다. 이 때문에, 본 발명의 제 1 국면과 마찬가지로의 효과를 발휘하는 액정 표시 장치가 비교적 용이하게 실현된다.

[0063] 본 발명의 제3 국면에 의하면, 복수의 클록 신호에 기초하여 동작하는 시프트 레지스터를 갖는 주사 신호선 구동 회로를 구비한 액정 표시 장치에 있어서, 전원이 오프되었을 때 각 화소 형성부 내의 잔류 전하는 빠르게 방전되며, 전원이 다시 온되었을 때 있어서의 표시 품위의 저하가 억제된다.

[0064] 본 발명의 제4 국면에 의하면, 레벨 시프터 회로로부터의 출력 신호의 전위가, 기준 전위로서, 시프트 레지스터를 구성하는 쌍안정 회로에 기준 전위 배선을 통하여 공급된다. 이 때문에, 쌍안정 회로에 공급하는 기준 전위의 레벨을 용이하게 가변으로 할 수 있고, 주사 신호선과 기준 전위 배선이 전위 레벨 유지부에 의해 전기적으로 접속되어 있을 때 기준 전위의 레벨을 높임으로써 주사 신호선을 선택 상태로 할 수 있다. 그런데, 모노리식 게이트 드라이버(주사 신호선이 형성되어 있는 기관과 동일한 기관 상에 형성된 주사 신호선 구동 회로)를 채용한 액정 표시 장치에 있어서는, 종래부터 패널의 외부에 레벨 시프터 회로가 구비되어 있다. 이 때문에, 레벨 시프터 회로로부터의 출력 신호를 기준 전위에 이용하는 구성으로 하여도 회로 부품 등을 증가시킬 필요가 없고, 전원이 오프되었을 때 화소 형성부 내의 잔류 전하를 빠르게 제거할 수 있는 액정 표시 장치를 저비용으로 실현할 수 있다.

### 도면의 간단한 설명

[0065] 도 1은 본 발명의 제1 실시 형태에 따른 액티브 매트릭스형 액정 표시 장치에 있어서의 전원 차단 시의 동작에 대하여 설명하기 위한 신호 파형도이다.

도 2는 상기 제1 실시 형태에 있어서, 액정 표시 장치의 전체 구성을 도시하는 블록도이다.

도 3은 상기 제1 실시 형태에 있어서, 화소 형성부의 구성을 도시하는 회로도이다.

도 4은 상기 제1 실시 형태에 있어서, 기준 전위 전환 회로의 구성을 도시하는 도면이다.

도 5은 상기 제1 실시 형태에 있어서, 게이트 드라이버의 구성을 설명하기 위한 블록도이다.

도 6은 상기 제1 실시 형태에 있어서, 게이트 드라이버 내의 시프트 레지스터의 구성을 도시하는 블록도이다.

도 7은 상기 제1 실시 형태에 있어서, 게이트 드라이버의 동작에 대하여 설명하기 위한 신호 파형도이다.

도 8은 상기 제1 실시 형태에 있어서, 시프트 레지스터에 포함되어 있는 쌍안정 회로의 구성을 도시하는 회로도이다.

도 9은 상기 제1 실시 형태에 있어서, 쌍안정 회로의 동작을 설명하기 위한 신호 파형도이다.

도 10은 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 전체 구성을 도시하는 블록도이다.

도 11은 상기 제2 실시 형태에 있어서의 효과에 대하여 설명하기 위한 도면이다.

도 12는 상기 제2 실시 형태에 있어서의 효과에 대하여 설명하기 위한 도면이다.

도 13은 상기 제2 실시 형태의 변형예에 대하여 설명하기 위한 도면이다.

도 14는 4상의 클록 신호에 기초하여 동작하는 시프트 레지스터의 일구성예를 도시하는 블록도이다.

도 15는 4상의 클록 신호에 기초하여 동작하는 시프트 레지스터에 포함되어 있는 쌍안정 회로의 구성을 도시하는 회로도이다.

도 16은 4상의 클록 신호의 파형도이다.

도 17은 4상의 클록 신호에 기초하여 동작하는 시프트 레지스터에 포함되어 있는 쌍안정 회로의 동작에 대하여 설명하기 위한 신호 파형도이다.

도 18은 표시부의 양측에 게이트 드라이버를 구비한 구성의 액정 표시 장치에 대하여 설명하기 위한 블록도이다.

도 19는 소스 드라이버가 1개의 IC칩으로 구성된 액정 표시 장치에 대하여 설명하기 위한 블록도이다.

도 20은 1칩 드라이버를 구비한 구성의 액정 표시 장치에 대하여 설명하기 위한 블록도이다.

도 21은 게이트 드라이버 IC의 일반적인 구성을 도시하는 블록도이다.

도 22는 모노리식 게이트 드라이버 내의 시프트 레지스터의 일단분의 구성을 도시하는 회로도이다.

도 23은 게이트 드라이버 IC의 내부 회로에 있어서의 전위 관계에 대하여 설명하기 위한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0066] 이하, 첨부 도면을 참조하면서, 본 발명의 실시 형태에 대하여 설명한다.
- [0067] [1. 제1 실시 형태]
- [0068] (1.1 전체 구성 및 동작)
- [0069] 도 2는 본 발명의 제1 실시 형태에 따른 액티브 매트릭스형 액정 표시 장치의 전체 구성을 도시하는 블록도이다. 도 2에 도시한 바와 같이, 이 액정 표시 장치는, 액정 패널(20), PCB(프린트 회로 기판)(10), 및 액정 패널(20)과 PCB(10)에 접속된 TAB(Tape Automated Bonding)(30)에 의해 구성되어 있다.
- [0070] 액정 패널(20)에는, 화상을 표시하기 위한 표시부(22)가 형성되어 있다. 표시부(22)에는, 복수개(j개)의 소스 버스 라인(영상 신호선) SL1 ~ SLj와, 복수개(i개)의 게이트 버스 라인(주사 신호선) GL1 ~ GLi와, 그들 소스 버스 라인 SL1 ~ SLj와 게이트 버스 라인 GL1 ~ GLi의 교차점에 각각 대응하여 구비된 복수개(i×j개)의 화소 형성부가 포함되어 있다. 도 3은 화소 형성부의 구성을 도시하는 회로도이다. 도 3에 도시한 바와 같이, 각 화소 형성부에는 대응하는 교차점을 통과하는 게이트 버스 라인 GL에 게이트 단자(제어 단자)가 접속되는 동시에 그 교차점을 통과하는 소스 버스 라인 SL에 소스 단자(제1 도통 단자)가 접속된 박막 트랜지스터(TFT)(220)와, 그 박막 트랜지스터(220)의 드레인 단자(제2 도통 단자)에 접속된 화소 전극(221)과, 상기 복수개의 화소 형성부에 공통적으로 구비된 공통 전극(222) 및 보조 용량 전극(223)과, 화소 전극(221)과 공통 전극(222)에 의해 형성되는 액정 용량(224)과, 화소 전극(221)과 보조 용량 전극(223)에 의해 형성되는 보조 용량(225)이 포함되어 있다. 또한, 액정 용량(224)과 보조 용량(225)에 의해 화소 용량 CP가 형성되어 있다. 그리고, 각 박막 트랜지스터(220)의 게이트 단자가 게이트 버스 라인 GL로부터 액티브한 주사 신호를 받았을 때 상기 박막 트랜지스터(220)의 소스 단자가 소스 버스 라인 SL로부터 받는 영상 신호에 기초하여, 화소 용량 CP에 화소값을 나타내는 전압이 유지된다.
- [0071] 액정 패널(20)에는, 또한 도 2에 도시한 바와 같이, 게이트 버스 라인 GL1 ~ GLi를 구동하기 위한 게이트 드라이버(24)가 형성되어 있다. 즉, 게이트 드라이버(24)는, 액정 패널(20)을 구성하는 유리 기판 상에 모노리식으로 형성되어 있다. TAB(30)에는, 소스 버스 라인 SL1 ~ SLj를 구동하기 위한 소스 드라이버(32)가 IC칩의 상태에서 탑재되어 있다. PCB(10)에는 타이밍 컨트롤러(11), 레벨 시프터 회로(13), 전원 회로(15), 전원 OFF 검출부(17), 및 기준 전위 전환 회로(19)가 형성되어 있다. 또한, 이하의 설명에 있어서는, 게이트 드라이버(24)에 포함되는 시프트 레지스터가 동작할 때의 기준이 되는 전위(단, 본 실시 형태에 있어서는, 이 전위는 가변임)를 「기준 전위」라고 한다.
- [0072] 이 액정 표시 장치에는, 수평 동기 신호 HS, 수직 동기 신호 VS, 데이터 인에이블 신호 DE 등의 타이밍 신호와 화상 신호 DAT와 전원 전압 PW가 외부로부터 공급된다. 전원 전압 PW는 타이밍 컨트롤러(11)와 전원 회로(15)와 전원 OFF 검출부(17)에 공급된다. 또한, 본 실시 형태에 있어서는, 전원 전압 PW는 3.3V로 되어 있다.
- [0073] 전원 회로(15)는 전원 전압 PW에 기초하여, 게이트 버스 라인을 선택 상태로 하기 위한 게이트 온 전위 VGH와, 게이트 버스 라인을 비선택 상태로 하기 위한 게이트 오프 전위 VGL을 생성한다. 게이트 온 전위 VGH 및 게이트 오프 전위 VGL은, 레벨 시프터 회로(13)와 기준 전위 전환 회로(19)에 공급된다. 전원 OFF 검출부(17)는 전원 전압 PW의 공급 상태(전원의 온/오프 상태)를 나타내는 전원 상태 신호 SHUT를 출력한다. 전원 상태 신호 SHUT는, 타이밍 컨트롤러(11)와 기준 전위 전환 회로(19)에 공급된다. 기준 전위 전환 회로(19)는, 트랜지스터 등을 이용하여, 도 4에 도시한 바와 같은 전환 스위치가 실현되도록 구성되어 있다. 즉, 기준 전위 전환 회로(19)는, 전원 상태 신호 SHUT의 전압의 크기에 따라, 게이트 온 전위 VGH 및 게이트 오프 전위 VGL 중 어느 하나를 기준 전위 H\_SIG\_VSS로서 출력한다. 상세하게는, 전원 상태 신호 SHUT가 로우 레벨이면, 게이트 오프 전위 VGL이 기준 전위 H\_SIG\_VSS로서 출력되고, 전원 상태 신호 SHUT가 하이 레벨이면, 게이트 온 전위 VGH가 기준 전위 H\_SIG\_VSS로서 출력된다. 기준 전위 H\_SIG\_VSS는, 기준 전위 배선에 의해 전달되고, 게이트 드라이버(24)에 공급된다.
- [0074] 타이밍 컨트롤러(11)는, 수평 동기 신호 HS, 수직 동기 신호 VS, 데이터 인에이블 신호 DE 등의 타이밍 신호와 화상 신호 DAT와 전원 전압 PW와 전원 상태 신호 SHUT를 수취하고, 디지털 영상 신호 DV, 소스 스타트 펄

스 신호 SSP, 소스 클록 신호 SCK, 게이트 스타트 펄스 신호 L\_GSP, 제1 게이트 클록 신호 L\_CK1, 및 제2 게이트 클록 신호 L\_CK2를 생성한다. 디지털 영상 신호 DV, 소스 스타트 펄스 신호 SSP, 및 소스 클록 신호 SCK에 대해서는 소스 드라이버(32)에 공급되고, 게이트 스타트 펄스 신호 L\_GSP, 제1 게이트 클록 신호 L\_CK1, 및 제2 게이트 클록 신호 L\_CK2에 대해서는 레벨 시프터 회로(13)에 공급된다. 또한, 게이트 스타트 펄스 신호 L\_GSP, 제1 게이트 클록 신호 L\_CK1, 및 제2 게이트 클록 신호 L\_CK2에 관해, 하이 레벨측의 전위는 전원 전압(3.3V) PW로 되고, 로우 레벨측의 전위는 접지 전위(0V) GND로 된다.

[0075] 레벨 시프터 회로(13)는, 전원 회로(15)로부터 공급되는 게이트 온 전위 VGH와 게이트 오프 전위 VGL을 이용하여, 타이밍 컨트롤러(11)로부터 출력된 게이트 스타트 펄스 신호 L\_GSP, 제1 게이트 클록 신호 L\_CK1, 및 제2 게이트 클록 신호 L\_CK2의 전위 레벨의 변환을 행한다. 레벨 시프터 회로(13)에 의한 전위 레벨의 변환 후의 게이트 스타트 펄스 신호 H\_GSP, 제1 게이트 클록 신호 H\_CK1, 및 제2 게이트 클록 신호 H\_CK2는, 게이트 드라이버(24)에 공급된다. 또한, 레벨 시프터 회로(13)에서의 전위 레벨의 변환 시에, 제1 게이트 클록 신호 L\_CK1이 로우 레벨이면 제1 게이트 클록 신호 H\_CK1의 전위는 게이트 오프 전위 VGL로 되고, 제1 게이트 클록 신호 L\_CK1이 하이 레벨이면 제1 게이트 클록 신호 H\_CK1의 전위는 게이트 온 전위 VGH로 된다. 제2 게이트 클록 신호 L\_CK2 및 게이트 스타트 펄스 신호 L\_GSP에 대해서도 마찬가지로 변환된다.

[0076] 소스 드라이버(32)는, 타이밍 컨트롤러(11)로부터 출력되는 디지털 영상 신호 DV, 소스 스타트 펄스 신호 SSP, 및 소스 클록 신호 SCK를 수취하고, 각 소스 버스 라인 SL1 ~ SLj로 구동용 영상 신호를 인가한다.

[0077] 게이트 드라이버(24)는, 레벨 시프터 회로(13)로부터 출력되는 게이트 스타트 펄스 신호 H\_GSP, 제1 게이트 클록 신호 H\_CK1, 및 제2 게이트 클록 신호 H\_CK2와, 기준 전위 전환 회로(19)로부터 출력되는 기준 전위 H\_SIG\_VSS에 기초하여, 액티브한 주사 신호의 각 게이트 버스 라인 GL1 ~ GLi로의 인가를 1 수직 주사 기간을 주기로 하여 반복한다. 또한, 이 게이트 드라이버(24)에 대한 상세한 설명은 후술한다.

[0078] 이상과 같이 하여, 각 소스 버스 라인 SL1 ~ SLj로 구동용 영상 신호가 인가 되고, 각 게이트 버스 라인 GL1 ~ GLi로 주사 신호가 인가됨으로써, 외부로부터 보내진 화상 신호 DAT에 기초하는 화상이 표시부(22)에 표시된다.

[0079] 또한, 본 실시 형태에 있어서는, 전원 OFF 검출부(17)에 의해 전원 상태 검출부가 실현되고, 기준 전위 전환 회로(19)에 의해 기준 전위 생성부가 실현되고, 타이밍 컨트롤러(11) 및 레벨 시프터 회로(13)에 의해 클록 신호 생성부가 실현되고 있다.

[0080] (1.2 게이트 드라이버의 구성 및 동작)

[0081] 다음으로, 본 실시 형태에 있어서는 게이트 드라이버(24)의 구성 및 동작에 대하여 설명한다. 도 5에 도시한 바와 같이, 게이트 드라이버(24)는 복수단으로 이루어지는 시프트 레지스터(240)에 의해 구성되어 있다. 표시부(22)에는  $i$ 행 $\times$  $j$ 열의 화소 매트릭스가 형성되어 있는 바, 그들 화소 매트릭스의 각 행과 1 대 1로 대응하도록 시프트 레지스터(240)의 각 단이 구비되어 있다. 또한, 시프트 레지스터(240)의 각 단은, 각 시점에 있어서 2개의 상태 중 어느 하나의 상태로 되어 있고 그 상태를 나타내는 신호(이하 「상태 신호」라고 함)를 출력하는 쌍안정 회로로 되어 있다. 또한, 시프트 레지스터(240)의 각 단으로부터 출력되는 상태 신호는, 대응하는 게이트 버스 라인에 주사 신호로서 공급된다.

[0082] 도 6은 게이트 드라이버(24) 내의 시프트 레지스터(240)의 구성을 도시하는 블록도이다. 또한, 도 6에는, 시프트 레지스터(240)의 (n-1)단째, n단째, 및 (n+1)단째의 쌍안정 회로 SRn-1, SRn, 및 SRn+1의 구성을 나타내고 있다. 각 쌍안정 회로에는, 기준 전위 VSS, 제1 클록 CKa, 제2 클록 CKb, 세트 신호 S, 및 리셋 신호 R을 수취하기 위한 입력 단자와, 상태 신호 Q를 출력하기 위한 출력 단자가 구비되어 있다. 본 실시 형태에 있어서는, 기준 전위 전환 회로(19)로부터 출력된 기준 전위 H\_SIG\_VSS가 기준 전위 VSS로서 공급되고, 레벨 시프터 회로(13)로부터 출력된 제1 게이트 클록 신호 H\_CK1 및 제2 게이트 클록 신호 H\_CK2의 한쪽이 제1 클록 CKa로서 공급되고, 제1 게이트 클록 신호 H\_CK1 및 제2 게이트 클록 신호 H\_CK2의 다른 쪽이 제2 클록 CKb로서 공급된다. 또한, 전단으로부터 출력된 상태 신호 Q가 세트 신호 S로서 공급되고, 다음단으로부터 출력된 상태 신호 Q가 리셋 신호 R로서 공급된다. 즉, n단째에 착안하면, (n-1)행째의 게이트 버스 라인에 공급되는 주사 신호 OUTn-1이 세트 신호 S로서 공급되고, (n+1)행째의 게이트 버스 라인에 공급되는 주사 신호 OUTn+1이 리셋 신호 R로서 공급된다.

[0083] 이상과 같은 구성에 있어서, 시프트 레지스터(240)의 1단째에 세트 신호 S로서의 게이트 스타트 펄스 신호 H\_GSP의 펄스가 공급되면, 온 듀티가 50퍼센트 전후의 값으로 된 제1 게이트 클록 신호 H\_CK1 및 제2 게이트

클록 신호 H<sub>CK2</sub>(도 7 참조)에 기초하여, 게이트 스타트 펄스 신호 H<sub>GSP</sub>에 포함되는 펄스(이 펄스는 각 단으로부터 출력되는 상태 신호 Q에 포함됨)가 1단계부터 i단계로 순차적으로 전송된다. 그리고, 이 펄스의 전송에 따라, 각 단으로부터 출력되는 상태 신호 Q가 순차적으로 하이 레벨이 된다. 그리고, 그들 각 단으로부터 출력되는 상태 신호 Q는, 주사 신호 OUT<sub>1</sub> ~ OUT<sub>i</sub>로서 각 게이트 버스 라인 GL<sub>1</sub> ~ GL<sub>i</sub>에 공급된다. 이에 의해, 도 7에 도시한 바와 같이, 소정 기간씩 순차적으로 하이 레벨이 되는 주사 신호 OUT<sub>1</sub> ~ OUT<sub>i</sub>가 표시부(22) 내의 게이트 버스 라인 GL<sub>1</sub> ~ GL<sub>i</sub>에 공급된다.

[0084] (1.3 쌍안정 회로의 구성 및 동작)

[0085] 도 8은 시프트 레지스터(240)에 포함되어 있는 쌍안정 회로의 구성(시프트 레지스터(240)의 n단계의 구성)을 도시하는 회로도이다. 도 8에 도시한 바와 같이, 이 쌍안정 회로 SR<sub>n</sub>은 7개의 박막 트랜지스터 TI, TB, TL, TN, TE, TM, 및 TD와, 캐패시터 CAP와, AND 회로(242)를 구비하고 있다. 또한, 도 8에서는 제1 클록 CK<sub>a</sub>를 수취하기 위한 입력 단자에는 참조 부호 41를 붙이고, 제2 클록 CK<sub>b</sub>를 수취하기 위한 입력 단자에는 참조 부호 42를 붙이고, 세트 신호 S를 수취하기 위한 입력 단자에는 참조 부호 43을 붙이고, 리셋 신호 R을 수취하기 위한 입력 단자에는 참조 부호 44를 붙이고, 상태 신호 Q를 출력하기 위한 출력 단자에는 참조 부호 45를 붙이고 있다.

[0086] 박막 트랜지스터 TB의 소스 단자와 박막 트랜지스터 TL의 드레인 단자와 박막 트랜지스터 TI의 게이트 단자와 박막 트랜지스터 TE의 소스 단자와 캐패시터 CAP의 일단은 서로 접속되어 있다. 또한, 이들이 서로 접속되어 있는 영역(배선)을 편의상 「netA」라고 한다.

[0087] 박막 트랜지스터 TI에 대해서는, 게이트 단자는 netA에 접속되고, 드레인 단자는 입력 단자(41)에 접속되고, 소스 단자는 출력 단자(45)에 접속되어 있다. 박막 트랜지스터 TB에 대해서는, 게이트 단자 및 드레인 단자는 입력 단자(43)에 접속되고(즉, 다이오드 접속으로 되어 있음), 소스 단자는 netA에 접속되어 있다. 박막 트랜지스터 TL에 대해서는, 게이트 단자는 입력 단자(44)에 접속되고, 드레인 단자는 netA에 접속되고, 소스 단자는 기준 전위 배선에 접속되어 있다. 박막 트랜지스터 TN에 대해서는, 게이트 단자는 입력 단자(44)에 접속되고, 드레인 단자는 출력 단자(45)에 접속되고, 소스 단자는 기준 전위 배선에 접속되어 있다. 박막 트랜지스터 TE에 대해서는, 게이트 단자는 입력 단자(41)에 접속되고, 드레인 단자는 출력 단자(45)에 접속되고, 소스 단자는 netA에 접속되어 있다. 박막 트랜지스터 TM에 대해서는, 게이트 단자는 AND 회로(242)의 출력 단자에 접속되고, 드레인 단자는 출력 단자(45)에 접속되고, 소스 단자는 기준 전위 배선에 접속되어 있다. 박막 트랜지스터 TD에 대해서는, 게이트 단자는 입력 단자(42)에 접속되고, 드레인 단자는 출력 단자(45)에 접속되고, 소스 단자는 기준 전위 배선에 접속되어 있다. 캐패시터 CAP에 대해서는, 일단은 netA에 접속되고, 타단은 출력 단자(45)에 접속되어 있다. AND 회로(242)에 대해서는, 상태 신호 Q의 논리 반전 신호의 논리값과 제1 클록 CK<sub>a</sub>의 논리값의 논리곱을 나타내는 신호가 박막 트랜지스터 TM의 게이트 단자에 공급되게 구성되어 있다.

[0088] 다음으로, 각 구성 요소의 이 쌍안정 회로에 있어서의 기능에 대하여 설명한다. 박막 트랜지스터 TI는, netA의 전위가 하이 레벨로 되어 있을 때 제1 클록 CK<sub>a</sub>의 전위를 출력 단자(45)에 공급한다. 박막 트랜지스터 TB는 세트 신호 S가 하이 레벨로 되어 있을 때 netA의 전위를 하이 레벨로 한다. 박막 트랜지스터 TL은 리셋 신호 R이 하이 레벨로 되어 있을 때 netA의 전위를 로우 레벨로 한다. 박막 트랜지스터 TN은 리셋 신호 R이 하이 레벨로 되어 있을 때 상태 신호 Q(출력 단자(45))의 전위를 로우 레벨로 한다. 박막 트랜지스터 TE는 온 상태로 되어 있을 때 netA의 전위와 상태 신호 Q의 전위를 동등하게 한다. 캐패시터 CAP는 상태 신호 Q의 전위의 상승에 수반하여 netA의 전위를 높이는 부트스트랩 효과를 얻기 위한 용량으로서 기능한다.

[0089] AND 회로(242)는 상태 신호 Q의 논리 반전 신호의 논리값과 제1 클록 CK<sub>a</sub>의 논리값의 논리곱을 나타내는 신호를 박막 트랜지스터 TM의 게이트 단자에 공급한다. 즉, 상태 신호 Q가 로우 레벨일 때는, 제1 클록 CK<sub>a</sub>가 박막 트랜지스터 TM의 게이트 단자에 공급되게 된다. 박막 트랜지스터 TM은 AND 회로(242)로부터의 출력 신호가 하이 레벨로 되어 있을 때 상태 신호 Q의 전위를 로우 레벨로 한다. 박막 트랜지스터 TD는 제2 클록 CK<sub>b</sub>가 하이 레벨로 되어 있을 때 상태 신호 Q의 전위를 로우 레벨로 한다. 이들 AND 회로(242), 박막 트랜지스터 TM, 및 박막 트랜지스터 TD는 이 쌍안정 회로 SR<sub>n</sub>에 접속되어 있는 게이트 버스 라인이 비선택 상태로 되어야 할 기간 중에 상태 신호 Q의 전위 레벨을 수시로 기준 전위(전원 전압 PW가 정상적으로 공급되고 있는 기간에는 기준 전위의 레벨은 게이트 오프 전위의 레벨로 되어 있음)의 레벨로까지 저하시키기 위하여 구비되어 있다. 바꾸어 말하면, 매우 짧은 시간에 대해서는 상태 신호 Q의 전위 레벨이 기준 전위의 레벨보다도 조금 높아져도, 비교적 오랜 시간에 착안하면 상태 신호 Q의 전위가 기준 전위의 레벨로 유지되도록, AND 회로(242), 박막 트랜지스터 TM, 및 박막 트랜지스터 TD가 구비되어 있다. 이와 같이, 본 실시 형태에 있어서는,

AND 회로(242), 박막 트랜지스터 TM, 및 박막 트랜지스터 TD에 의해 전위 레벨 유지부(241)가 실현되고 있다.

[0090] 다음으로, 전원 전압 PW가 외부로부터 정상적으로 공급되고 있을 때의 쌍안정 회로 SRn의 동작에 대해서, 도 9를 참조하면서 설명한다. 이 액정 표시 장치가 동작하고 있는 기간 중, 쌍안정 회로 SRn에는 온 듀티가 50 퍼센트 전후의 값으로 된 제1 클록 CKa 및 제2 클록 CKb가 공급된다. 또한, 제1 클록 CKa 및 제2 클록 CKb에 관해, 하이 레벨측의 전위는 게이트 온 전위 VGH로 되어 있고, 로우 레벨측의 전위는 게이트 오프 전위 VGL로 되어 있다. 또한, 이하의 설명에서는 기준 전위 VSS와 게이트 오프 전위 VGL이 동등한 전위인 것을 전제로 하고 있지만, 기준 전위 VSS와 게이트 오프 전위 VGL이 서로 다른 전위(예를 들면, 기준 전위 VSS가 -7V이고, 게이트 오프 전위가 -10V)이어도 된다.

[0091] 시점 t1이 되어 세트 신호 S가 로우 레벨로부터 하이 레벨로 변화하면, 박막 트랜지스터 TB는, 도 8에 도시한 바와 같이 다이오드 접속으로 되어 있으므로, 온 상태가 된다. 이에 의해, 캐패시터 CAP는 충전되고, netA의 전위가 로우 레벨로부터 하이 레벨로 변화한다. 이에 의해, 박막 트랜지스터 TI는 온 상태가 된다. 여기서, t1 ~ t3의 기간 중, 제1 클록 CKa는 로우 레벨로 되어 있다. 이 때문에, 이 기간 중, 상태 신호 Q는 로우 레벨로 유지된다. 또한, 이 기간 중, 리셋 신호 R은 로우 레벨로 되어 있으므로, 박막 트랜지스터 TL은 오프 상태로 유지된다. 이 때문에, 이 기간 중에 netA의 전위가 저하하는 일은 없다.

[0092] 시점 t2에 세트 신호 S가 하이 레벨로부터 로우 레벨로 변화한 후, 시점 t3이 되면, 제1 클록 CKa가 로우 레벨로부터 하이 레벨로 변화한다. 이때, 박막 트랜지스터 TI는 온 상태로 되어 있으므로, 입력 단자(41)의 전위의 상승과 함께 출력 단자(45)의 전위는 상승한다. 여기서, 도 8에 도시한 바와 같이 netA- 출력 단자(45) 사이에는 캐패시터 CAP가 구비되어 있으므로, 출력 단자(45)의 전위의 상승과 함께 netA의 전위도 상승한다(netA가 부트스트랩된다). netA의 전위는, 이상적으로는 게이트 온 전위 VGH의 2배의 전위로까지 상승한다. 그 결과, 박막 트랜지스터 TI의 게이트 단자에는 큰 전압이 인가되고, 출력 단자(45)의 전위는, 제1 클록 CKa의 하이 레벨의 전위 즉 게이트 온 전위 VGH로까지 상승한다. 이에 의해, 이 쌍안정 회로 SRn의 출력 단자(45)에 접속되어 있는 게이트 버스 라인이 선택 상태가 된다. 또한, t3 ~ t4의 기간 중, 리셋 신호 R은 로우 레벨로 되어 있으므로 박막 트랜지스터 TN은 오프 상태로 유지되고, 제2 클록 CKb는 로우 레벨로 되어 있으므로 박막 트랜지스터 TD는 오프 상태로 유지된다. 또한, 이 기간 중, 상태 신호 Q는 하이 레벨로 되어 있으므로, AND 회로(242)로부터의 출력 신호는 로우 레벨로 되고, 박막 트랜지스터 TM은 오프 상태가 된다. 따라서, 이 기간 중에 상태 신호 Q의 전위가 저하하는 일은 없다. 또한, t3 ~ t4의 기간 중, 제1 클록 CKa는 하이 레벨로 되어 있지만, netA의 전위는 게이트 온 전위 VGH의 거의 2배의 전위로 되고, 상태 신호 Q의 전위는 게이트 온 전위 VGH로 되어 있으므로, 박막 트랜지스터 TE는 오프 상태가 된다. 또한, 이 기간 중, 리셋 신호 R은 로우 레벨로 되어 있으므로, 박막 트랜지스터 TL은 오프 상태로 유지된다. 따라서, 이 기간 중에 netA의 전위가 저하하는 일은 없다.

[0093] 시점 t4가 되면, 제1 클록 CKa는 하이 레벨로부터 로우 레벨로 변화한다. 이에 의해, 입력 단자(41)의 전위의 저하와 함께 출력 단자(45)의 전위 즉 상태 신호 Q의 전위는 저하한다. 이 때문에, 캐패시터 CAP를 통하여 netA의 전위도 저하한다. 시점 t5가 되면, 리셋 신호 R이 로우 레벨로부터 하이 레벨로 변화한다. 이에 의해, 박막 트랜지스터 TL 및 박막 트랜지스터 TN은 온 상태가 된다. 그 결과, netA의 전위 및 상태 신호 Q의 전위는 로우 레벨로 된다.

[0094] 이상과 같은 동작이 시프트 레지스터(240) 내의 각 쌍안정 회로에서 행해짐으로써, 소정 기간씩 순차적으로 하이 레벨이 되는 주사 신호 OUT1 ~ OUTi가 표시부(22) 내의 게이트 버스 라인 GL1 ~ GLi에 공급된다. 또한, 본 실시 형태에 있어서는, 제1 클록 CKa와 제2 클록 CKb는 도 9에 도시한 바와 같이 소정 기간마다 교대로 하이 레벨이 된다. 이 때문에, 박막 트랜지스터 TD와 박막 트랜지스터 TM은 소정 기간마다 교대로 온 상태가 된다. 이에 의해, 각 게이트 버스 라인은 소정 기간마다(단, 선택 상태로 되어야 할 기간을 제외함) 기준 전위 배선과 전기적으로 접속되고, 비선택 상태로 되어야 할 기간을 통하여 상태 신호 Q는 로우 레벨로 유지된다.

[0095] (1.4 전원 차단 시의 동작)

[0096] 다음으로, 도 1, 도 2, 및 도 8을 참조하면서, 외부로부터의 전원 전압 PW의 공급이 차단되었을 때의 액정 표시 장치의 동작에 대하여 설명한다. 도 1에는, 전원 전압 PW, 전원 상태 신호 SHUT, 게이트 온 전위 VGH, 게이트 오프 전위 VGL, 제1 게이트 클록 신호 H-CK1, 제2 게이트 클록 신호 H-CK2, 및 기준 전위 H-SIG-VSS의 파형이 나타나고 있다. 또한, 도 1에 있어서, 참조 부호 T-on으로 나타내는 기간은 전원 전압 PW가 정상적으로 공급되고 있는 기간을 나타내고, 참조 부호 tz로 나타내는 시점은 전원 전압 PW의 공급이 차단된 시점을

나타내고, 참조 부호 T-off로 나타내는 기간은 전원 전압 PW가 공급되고 있지 않은 기간을 나타내고 있다.

[0097] 전원 전압 PW가 정상적으로 공급되고 있는 기간에는, 전원 회로(15)로부터 레벨 시프터 회로(13) 및 기준 전위 전환 회로(19)에 공급되는 게이트 온 전위 VGH, 게이트 오프 전위 VGL은 각각 예를 들면 22V, -10V로 유지된다. 또한, 이 기간에는, 전원 OFF 검출부(17)는 전원 상태 신호 SHUT를 로우 레벨(여기서는 접지 전위 GND)로 유지한다. 그 전원 상태 신호 SHUT에 기초하여, 기준 전위 전환 회로(19)는, 기준 전위 H\_SIG\_VSS를 게이트 오프 전위 VGL로 유지한다. 또한, 타이밍 컨트롤러(11)는, 전원 상태 신호 SHUT에 기초하여, 제1 게이트 클록 신호 L\_CK1과 제2 게이트 클록 신호 L\_CK2를 소정 기간마다 교대로 하이 레벨로 한다. 또한, 상술한 바와 같이, 제1 게이트 클록 신호 L\_CK1 및 제2 게이트 클록 신호 L\_CK2에 대해서는, 하이 레벨측의 전위는 전원 전압 PW로 되고, 로우 레벨측의 전위는 접지 전위 GND로 된다. 제1 게이트 클록 신호 L\_CK1 및 제2 게이트 클록 신호 L\_CK2는, 상술한 바와 같이 레벨 시프터 회로(13)에서 전위 레벨의 변환이 행해진다. 이상으로, 전원 전압 PW가 정상적으로 공급되고 있는 기간에는, 도 1에 도시한 바와 같이 제1 게이트 클록 신호 H\_CK1 및 제2 게이트 클록 신호 H\_CK2에 대해서는 게이트 온 전위 VGH와 게이트 오프 전위 VGL이 교대로 반복되고, 기준 전위 H\_SIG\_VSS에 대해서는 게이트 오프 전위 VGL로 유지된다.

[0098] 시점  $t_z$ 에 전원 전압 PW의 공급이 차단되면, 도 1에 도시한 바와 같이 게이트 온 전위 VGH 및 게이트 오프 전위 VGL은 서서히 접지 전위 GND에 근접한다. 또한, 전원 OFF 검출부(17)는 전원 전압 PW의 공급이 차단된 것(전원의 오프 상태)을 검지하면, 전원 상태 신호 SHUT를 하이 레벨로 한다. 타이밍 컨트롤러(11)는 전원 상태 신호 SHUT가 하이 레벨이 된 것을 검지하면, 제1 게이트 클록 신호 L\_CK1 및 제2 게이트 클록 신호 L\_CK2를 하이 레벨로 한다. 그들 제1 게이트 클록 신호 L\_CK1 및 제2 게이트 클록 신호 L\_CK2는 레벨 시프터 회로(13)에서 전위 레벨의 변환이 행해진다. 이때, 제1 게이트 클록 신호 L\_CK1 및 제2 게이트 클록 신호 L\_CK2의 양쪽이 하이 레벨로 되어 있으므로, 제1 게이트 클록 신호 H\_CK1 및 제2 게이트 클록 신호 H\_CK2는 게이트 온 전위 VGH로 된다. 또한, 기준 전위 전환 회로(19)는, 전원 상태 신호 SHUT에 기초하여, 기준 전위 H\_SIG\_VSS를 게이트 오프 전위 VGL로부터 게이트 온 전위 VGH로 전환한다. 이상으로, 전원 전압 PW의 공급이 차단된 시점  $t_z$ 에는, 도 1에 도시한 바와 같이 기준 전위 H\_SIG\_VSS, 제1 게이트 클록 신호 H\_CK1, 및 제2 게이트 클록 신호 H\_CK2는 게이트 온 전위 VGH로 된다.

[0099] 제1 게이트 클록 신호 H\_CK1 및 제2 게이트 클록 신호 H\_CK2의 양쪽이 게이트 온 전위 VGH가 되면, 각 쌍안정 회로(도 8 참조)에 공급되는 제1 클록 CKa 및 제2 클록 CKb는 모두 하이 레벨이 된다. 그리고, 제2 클록 CKb가 하이 레벨이 됨으로써, 박막 트랜지스터 TD는 온 상태가 된다. 또한, 각 게이트 버스 라인은 1 수직 주사 기간 중 약간의 기간만큼 선택 상태로 되므로, 대부분의 쌍안정 회로의 상태 신호 Q는 로우 레벨로 되어 있다. 이 때문에, 제1 클록 CKa가 하이 레벨이 됨으로써, 대부분의 쌍안정 회로에 있어서 AND 회로(242)로부터의 출력 신호는 하이 레벨로 되고, 박막 트랜지스터 TM은 온 상태가 된다. 이에 의해, 각 쌍안정 회로에 접속되어 있는 게이트 버스 라인과 기준 전위 H\_SIG\_VSS를 전달하는 기준 전위 배선이 전기적으로 접속된다. 또한, 본 실시 형태에 있어서는, 전원 전압 PW의 공급이 차단된 시점  $t_z$ 에, 기준 전위 H\_SIG\_VSS가 게이트 오프 전위 VGL로부터 게이트 온 전위 VGH로 상승한다. 이에 의해, 각 쌍안정 회로로부터 출력되는 상태 신호 Q의 전위를 높일 수 있고, 표시부(22) 내의 각 화소 형성부(도 4 참조)에 있어서 박막 트랜지스터(220)가 온 상태가 된다. 그 결과, 각 화소 형성부 내의 잔류 전하가 빠르게 방전된다.

[0100] (1.5 효과)

[0101] 본 실시 형태에 따르면, 게이트 드라이버(24) 내의 시프트 레지스터(240)를 구성하는 쌍안정 회로에는, 그 쌍안정 회로에 접속되어 있는 게이트 버스 라인이 비선택 상태로 되어야 할 기간을 통하여 상태 신호 Q의 전위를 로우 레벨로 유지(엄밀하게는 상태 신호 Q의 전위 레벨을 수시로 기준 전위의 레벨로까지 저하)하기 위한 전위 레벨 유지부(241)가 구비되어 있다. 그 전위 레벨 유지부(241)는, 상태 신호 Q의 논리 반전 신호의 논리값과 제1 클록 CKa의 논리값의 논리곱을 나타내는 신호를 박막 트랜지스터 TM의 게이트 단자에 공급하는 AND 회로(242)와, AND 회로(242)로부터의 출력 신호가 하이 레벨로 되어 있을 때 게이트 버스 라인과 기준 전위 배선을 전기적으로 접속하기 위한 박막 트랜지스터 TM과, 제2 클록 CKb가 하이 레벨로 되어 있을 때 게이트 버스 라인과 기준 전위 배선을 전기적으로 접속하기 위한 박막 트랜지스터 TD에 의해 구성되어 있다. 이와 같은 구성에 있어서, 외부로부터의 전원 전압 PW의 공급이 차단되면, 제1 클록 CKa 및 제2 클록 CKb는 하이 레벨이 된다. 이에 의해, 각 쌍안정 회로에 있어서, 박막 트랜지스터 TM 및 박막 트랜지스터 TD는 온 상태가 되고, 게이트 버스 라인과 기준 전위 배선이 전기적으로 접속된 상태가 된다. 또한, 외부로부터의 전원 전압 PW의 공급이 차단되었을 때는, 각 쌍안정 회로에 공급되는 기준 전위 VSS의 레벨을 게이트 오프 전위 VGL로부터 게이트 온 전위 VGH로 높일 수 있다. 이에 의해, 각 게이트 버스 라인은 선택 상태가 되고 각 화

소 형성부의 박막 트랜지스터(220)가 온 상태가 되므로, 각 화소 형성부 내의 잔류 전하는 빠르게 방전된다. 그 결과, 이 액정 표시 장치의 전원이 다시 온되어도, 화소 형성부 내에 축적되어 있는 잔류 전하에 기인하는 표시 품위의 저하가 억제된다.

- [0102] [2. 제2 실시 형태]
- [0103] 본 발명의 제2 실시 형태에 대하여 설명한다. 또한, 상기 제1 실시 형태와 서로 다른 점에 대해서만 상세하게 설명하고, 상기 제1 실시 형태와 마찬가지로의 점에 대해서는 간단하게 설명한다.
- [0104] (2.1 전체 구성 및 동작)
- [0105] 도 10은 본 발명의 제2 실시 형태에 따른 액티브 매트릭스형 액정 표시 장치의 전체 구성을 도시하는 블록도이다. 액정 패널(20) 및 TAB(30)에 대해서는, 상기 제1 실시 형태와 마찬가지로의 구성이다. PCB(50)에는 타이밍 컨트롤러(51), 레벨 시프터 회로(53), 전원 회로(55), 및 전원 OFF 검출부(57)가 형성되어 있다.
- [0106] 전원 회로(55)는, 전원 전압 PW에 기초하여, 게이트 온 전위 VGH와 게이트 오프 전위 VGL을 생성한다. 게이트 온 전위 VGH와 게이트 오프 전위 VGL은, 레벨 시프터 회로(53)에 공급된다. 전원 OFF 검출부(57)는 전원 전압 PW의 공급 상태(전원의 온/오프 상태)를 나타내는 전원 상태 신호 SHUT를 출력한다. 전원 상태 신호 SHUT는 타이밍 컨트롤러(51)에 공급된다.
- [0107] 타이밍 컨트롤러(51)는 수평 동기 신호 HS, 수직 동기 신호 VS, 데이터 인에이블 신호 DE 등의 타이밍 신호와 화상 신호 DAT와 전원 전압 PW와 전원 상태 신호 SHUT를 수취하고, 디지털 영상 신호 DV, 소스 스타트 펄스 신호 SSP, 소스 클럭 신호 SCK, 게이트 스타트 펄스 신호 L\_GSP, 제1 게이트 클럭 신호 L\_CK1, 제2 게이트 클럭 신호 L\_CK2, 및 기준 전위 L\_SIG\_VSS를 생성한다. 디지털 영상 신호 DV, 소스 스타트 펄스 신호 SSP, 및 소스 클럭 신호 SCK에 대해서는 소스 드라이버(32)에 공급되고, 게이트 스타트 펄스 신호 L\_GSP, 제1 게이트 클럭 신호 L\_CK1, 제2 게이트 클럭 신호 L\_CK2, 및 기준 전위 L\_SIG\_VSS에 대해서는 레벨 시프터 회로(53)에 공급된다. 또한, 기준 전위 L\_SIG\_VSS에 관한 것으로, 하이 레벨측의 전위는 전원 전압 PW로 되고, 로우 레벨측의 전위는 접지 전위 GND로 된다.
- [0108] 레벨 시프터 회로(53)는 전원 회로(55)로부터 공급되는 게이트 온 전위 VGH와 게이트 오프 전위 VGL을 이용하여, 타이밍 컨트롤러(51)로부터 출력된 게이트 스타트 펄스 신호 L\_GSP, 제1 게이트 클럭 신호 L\_CK1, 제2 게이트 클럭 신호 L\_CK2, 및 기준 전위 L\_SIG\_VSS의 전위 레벨의 변환을 행한다. 레벨 시프터 회로(53)에 의한 전위 레벨의 변환 후의 게이트 스타트 펄스 신호 H\_GSP, 제1 게이트 클럭 신호 H\_CK1, 제2 게이트 클럭 신호 H\_CK2, 및 기준 전위 H\_SIG\_VSS는, 게이트 드라이버(24)에 공급된다. 또한, 레벨 시프터 회로(53)에 있어서의 전위 레벨의 변환 시에, 기준 전위 L\_SIG\_VSS가 로우 레벨이면 기준 전위 H\_SIG\_VSS는 게이트 오프 전위 VGL로 되고, 기준 전위 L\_SIG\_VSS가 하이 레벨이면 기준 전위 H\_SIG\_VSS는 게이트 온 전위 VGH로 된다.
- [0109] 소스 드라이버(32) 및 게이트 드라이버(24)에서는, 상기 제1 실시 형태와 마찬가지로의 동작이 행해진다. 이에 의해, 각 소스 버스 라인 SL1 ~ SLj로 구동용 영상 신호가 인가되고, 각 게이트 버스 라인 GL1 ~ GLi로 주사 신호가 인가되고, 외부로부터 보내진 화상 신호 DAT에 기초하는 화상이 표시부(22)에 표시된다.
- [0110] 또한, 본 실시 형태에 있어서는, 전원 OFF 검출부(57)에 의해 전원 상태 검출부가 실현되고, 타이밍 컨트롤러(51) 및 레벨 시프터 회로(53)에 의해 기준 전위 생성부 및 클럭 신호 생성부가 실현되고 있다.
- [0111] 시프트 레지스터(240) 및 쌍안정 회로에 대해서는, 상기 제1 실시 형태와 마찬가지로의 구성이다(도 6 및 도 8 참조). 따라서, 시프트 레지스터(240)의 동작 및 쌍안정 회로의 동작에 대해서도, 상기 제1 실시 형태와 마찬가지로이다(도 7 및 도 9 참조).
- [0112] (2.2 기준 전위를 변화시키는 방법에 대해서)
- [0113] 상기 제1 실시 형태에 있어서는, 트랜지스터 등으로 구성된 기준 전위 전환 회로(19)를 이용하여, 기준 전위 배선에 공급하는 기준 전위 H\_SIG\_VSS의 레벨을 게이트 오프 전위 VGL과 게이트 온 전위 VGH 사이에서 전환하고 있었다. 즉, 상기 제1 실시 형태에 있어서는, 전원 전압 PW의 공급이 차단되었을 때 기준 전위 H\_SIG\_VSS의 레벨을 높이기 위한 구성이 아날로그적인 방법에 의해 실현되고 있었다. 이에 반해, 본 실시 형태에 있어서는, 기준 전위 H\_SIG\_VSS의 레벨을 높이기 위한 구성이 디지털적인 방법에 의해 실현되고 있다. 이에 대하여 이하에 설명한다.
- [0114] 전원 전압 PW가 정상적으로 공급되고 있는 기간에는, 전원 OFF 검출부(57)로부터 출력되는 전원 상태 신호 SHUT는 로우 레벨이 된다. 이에 의해, 타이밍 컨트롤러(51)로부터 레벨 시프터 회로(53)에 공급되는 기준 전

위 L\_SIG\_VSS는 로우 레벨이 된다. 여기서, 상술한 바와 같이, 레벨 시프터 회로(53)에서의 전위 레벨의 변환 시에, 기준 전위 L\_SIG\_VSS가 로우 레벨이면, 기준 전위 H\_SIG\_VSS는 게이트 오프 전위 VGL로 된다. 따라서, 전원 전압 PW가 정상적으로 공급되고 있는 기간에는, 기준 전위 배선에 공급되는 기준 전위 H\_SIG\_VSS는 게이트 오프 전위 VGL로 된다.

[0115] 전원 전압 PW의 공급이 차단되면, 전원 OFF 검출부(57)로부터 출력되는 전원 상태 신호 SHUT는 하이 레벨이 된다. 이에 의해, 타이밍 컨트롤러(51)로부터 레벨 시프터 회로(53)에 공급되는 기준 전위 L\_SIG\_VSS는 하이 레벨이 된다. 여기서, 상술한 바와 같이, 레벨 시프터 회로(53)에서의 전위 레벨의 변환 시에, 기준 전위 L\_SIG\_VSS가 하이 레벨이면, 기준 전위 H\_SIG\_VSS는 게이트 온 전위 VGH로 된다. 따라서, 레벨 시프터 회로(53)로부터 출력되는 기준 전위 H\_SIG\_VSS는, 게이트 오프 전위 VGL로부터 게이트 온 전위 VGH로 변화한다. 이와 같이 하여, 전원 전압 PW의 공급이 차단되면, 기준 전위 배선에 공급되는 기준 전위 H\_SIG\_VSS는 게이트 온 전위 VGH로 된다.

[0116] 또한, 전원 전압 PW의 공급이 차단되면, 상기 제1 실시 형태와 마찬가지로 하여, 제1 게이트 클럭 신호 H\_CK1 및 제2 게이트 클럭 신호 H\_CK2는 게이트 온 전위 VGH로 된다. 즉, 전원 전압 PW의 공급이 차단되었을 때에는, 상기 제1 실시 형태와 마찬가지로, 기준 전위 H\_SIG\_VSS, 제1 게이트 클럭 신호 H\_CK1, 및 제2 게이트 클럭 신호 H\_CK2는 게이트 온 전위 VGH로 된다(도 1 참조).

[0117] (2.3 효과)

[0118] 본 실시 형태에 따르면, 상기 제1 실시 형태와 마찬가지로, 외부로부터의 전원 전압 PW의 공급이 차단되면, 게이트 버스 라인과 기준 전위 배선이 전기적으로 접속됨과 동시에, 기준 전위 VSS의 레벨을 게이트 오프 전위 VGL로부터 게이트 온 전위 VGH로 높일 수 있다. 이에 의해, 각 게이트 버스 라인은 선택 상태가 되고, 각 화소 형성부 내의 잔류 전하는 빠르게 방전된다. 그 결과, 화소 형성부 내에 축적되어 있는 잔류 전하에 기인하는 표시 품위의 저하가 억제된다.

[0119] 또한, 본 실시 형태에 따르면, 전원이 오프되었을 때 화소 형성부 내의 잔류 전하를 빠르게 제거할 수 있는 액정 표시 장치를 비교적 저렴하게 실현할 수 있다. 이에 대하여, 이하에 설명한다. 종래의 구성에 있어서는, 예를 들면 도 11에 도시한 바와 같이, 시프트 레지스터(740)에는, 전원 회로(75)로부터 출력되는 게이트 오프 전위 VGL이 기준 전위 VSS로서 공급되고 있었다. 또한, 게이트 드라이버 모노리식 패널에 있어서는, 패널 내에서 비교적 높은 전압이 얻어지도록, 도 11에 도시한 바와 같이 패널의 외부에 레벨 시프터 회로(73)를 구비해 둘 필요가 있다. 이러한 종래의 구성에 의하면, 시프트 레지스터(740)에 공급되는 기준 전위 VSS는 고정된 전위가 된다. 이 경우, 도 8에 도시한 박막 트랜지스터 TD, TM을 온 상태로 하여도, 각 쌍안정 회로로부터 출력되는 상태 신호 Q의 전위를 높일 수 없다. 따라서, 본 실시 형태에 있어서는, 도 12에 도시한 바와 같이, 레벨 시프터 회로(53)로부터의 출력 신호 H\_SIG\_VSS가 기준 전위 VSS로서 시프트 레지스터(240)에 공급되는 구성으로 하고 있다. 이 구성에 의하면, 시프트 레지스터(240)에 공급되는 기준 전위 VSS의 레벨을 용이하게 가변으로 할 수 있고, 상기 박막 트랜지스터 TD, TM이 온 상태로 되어 있을 때 각 쌍안정 회로로부터 출력되는 상태 신호 Q의 전위를 높일 수 있다. 여기서, 상술한 바와 같이, 게이트 드라이버 모노리식 패널에 있어서는, 종래부터 패널의 외부에 레벨 시프터 회로가 구비되어 있다. 이 때문에, 기준 전위용으로 레벨 시프터 회로로부터의 출력 신호를 이용하는 구성으로 하여도, 회로 부품 등을 증가시킬 필요가 없다. 따라서, 화소 형성부 내의 잔류 전하를 빠르게 제거할 수 있는 액정 표시 장치를 저비용으로 실현할 수 있다. 또한, 레벨 시프터 회로를 이용함으로써 디지털 처리가 가능해지므로, 회로의 제어가 용이해진다.

[0120] (2.4 변형예)

[0121] 상기 제2 실시 형태에 있어서는, 전원 전압 PW의 공급이 차단되었을 때에는 시프트 레지스터(240)에 공급되는 기준 전위 VSS의 레벨을 게이트 오프 전위 VGL로부터 게이트 온 전위 VGH로 높일 수 있는 구성으로 되어 있지만, 본 발명은 이에 한정되지 않는다. 예를 들면, 보조 용량 전극(223)(도 3 참조)의 전위가 비교적 높은 전위로 설정되어 있는 경우, 전원 전압 PW의 공급이 차단되면, 화소 형성부 내의 박막 트랜지스터(220)의 드레인 전위가 크게 저하한다. 이 때문에, 게이트 버스 라인에 공급되는 전위가 게이트 온 전위 VGH보다도 낮아도 온 상태로 될 수 있다. 따라서, 도 13에 도시한 바와 같이, 게이트 온 전위 VGH(예를 들면 22V)보다도 낮은 전위인 제2 게이트 온 전위 VGH2(예를 들면 10V)이 전원 회로(15)로부터 레벨 시프터 회로(13)에 공급되는 구성으로 하고, 시프트 레지스터(240)에 공급되는 기준 전위 VSS의 레벨을 전원 전압 PW의 공급이 차단되었을 때에는 게이트 오프 전위 VGL로부터 제2 게이트 온 전위 VGH2로 높일 수 있도록 해도 된다.

[0122] [3. 그 외의 구성]

- [0123] (3.1 클록 신호의 상수에 대하여)
- [0124] 상기 각 실시 형태에 있어서는, 시프트 레지스터(240)는 2상의 클록 신호에 기초하여 동작하고 있었지만, 클록 신호의 상수에 대해서는 2상에 한정되지 않는다. 이하, 4상의 클록 신호에 기초하여 동작하는 시프트 레지스터(640)를 구비한 액정 표시 장치에 본 발명을 적용하는 예에 대하여 설명한다. 도 14는 4상의 클록 신호에 기초하여 동작하는 시프트 레지스터(640)의 일 구성예를 도시하는 블록도이다. 또한, 도 14에는 시프트 레지스터(640)의 1단계로부터 4단계까지의 쌍안정 회로 SR1 ~ SR4의 구성을 나타내고 있다. 각 쌍안정 회로에는, 상기 제1 실시 형태에 있어서의 입출력 단자 외에, 제3 클록 CKc를 수취하기 위한 입력 단자 및 제4 클록 CKd를 수취하기 위한 입력 단자가 구비되어 있다. 이 시프트 레지스터(640)로 보내지는 제1 내지 제4 게이트 클록 신호 H<sub>CK1</sub> ~ H<sub>CK4</sub>는 각각 도 14에 도시한 바와 같이 각 쌍안정 회로에 공급된다. 도 15는 이 시프트 레지스터(640)에 포함되어 있는 쌍안정 회로의 구성을 도시하는 회로도이다. 상기 제1 실시 형태에 있어서는, 상태 신호 Q의 전위를 로우 레벨로 유지하기 위한 전위 레벨 유지부(241)가, AND 회로(242), 박막 트랜지스터 TM, 및 박막 트랜지스터 TD에 의해 실현되고 있었다(도 8 참조). 이에 반해, 도 15에 도시하는 구성에 있어서는, 상기 제1 실시 형태와 마찬가지로의 구성의 박막 트랜지스터 TD, 게이트 단자에 제3 클록 CKc가 공급되는 박막 트랜지스터 TP, 및 게이트 단자에 제4 클록 CKd가 공급되는 박막 트랜지스터 TQ에 의해 전위 레벨 유지부(245)가 실현되고 있다.
- [0125] 이상과 같은 구성에 있어서, 도 16에 도시한 바와 같은 파형의 제1 내지 제4 게이트 클록 신호 H<sub>CK1</sub> ~ H<sub>CK4</sub>가 시프트 레지스터(640)에 공급된다. 이에 의해, 각 쌍안정 회로는 다음과 같이 동작한다(도 17 참조).
- [0126] 시점 t1이 되어 세트 신호 S가 로우 레벨로부터 하이 레벨로 변화하면, 박막 트랜지스터 TB는 온 상태가 되고, netA의 전위가 로우 레벨로부터 하이 레벨로 변화한다. 이에 의해, 박막 트랜지스터 TI는 온 상태가 된다. 시점 t2에 세트 신호 S가 하이 레벨로부터 로우 레벨로 변화한 후, 시점 t3이 되면, 제1 클록 CKa가 로우 레벨로부터 하이 레벨로 변화한다. 이에 의해, 캐패시터 CAP의 부트스트랩 효과에 의해 netA의 전위는 높아지고, 박막 트랜지스터 TI의 게이트 단자로 큰 전압이 인가된다. 그 결과, 상태 신호 Q의 전위는 게이트 온 전위 VGH로 된다. 시점 t4가 되어, 제1 클록 CKa가 하이 레벨로부터 로우 레벨로 변화하면, 상태 신호 Q의 전위 및 netA의 전위는 저하한다. 시점 t5가 되어, 리셋 신호 R 및 제2 클록 CKb가 로우 레벨로부터 하이 레벨로 변화하면, 박막 트랜지스터 TL 및 박막 트랜지스터 TD는 온 상태가 되고, netA의 전위 및 상태 신호 Q의 전위는 로우 레벨로 된다. 시점 t6에 제2 클록 CKb가 하이 레벨로부터 로우 레벨로 변화한 후, 시점 t7이 되면, 제3 클록 CKc가 로우 레벨로부터 하이 레벨로 변화한다. 이에 의해, 박막 트랜지스터 TP는 온 상태가 되고, 상태 신호 Q의 전위는 기준 전위 VSS로 인입된다. 시점 t8에 제3 클록 CKc가 하이 레벨로부터 로우 레벨로 변화한 후, 시점 t9가 되면, 제4 클록 CKd가 로우 레벨로부터 하이 레벨로 변화한다. 이에 의해, 박막 트랜지스터 TQ는 온 상태가 되고, 상태 신호 Q의 전위는 기준 전위 VSS로 인입된다.
- [0127] 여기서, 외부로부터의 전원 전압 PW의 공급이 차단되면, 제1 내지 제4 게이트 클록 신호 H<sub>CK1</sub> ~ H<sub>CK4</sub>는 모두 하이 레벨이 된다. 이에 의해, 각 쌍안정 회로에 있어서, 박막 트랜지스터 TD, 박막 트랜지스터 TP, 및 박막 트랜지스터 TQ는 온 상태가 된다. 또한, 상기 제1 및 제2 실시 형태와 마찬가지로 하여, 기준 전위 VSS의 레벨을 게이트 오프 전위 VGL로부터 게이트 온 전위 VGH로 높일 수 있다. 이에 의해, 각 쌍안정 회로로부터 출력되는 상태 신호 Q의 전위를 높일 수 있어, 각 화소 형성부 내의 잔류 전하가 빠르게 방전된다. 이와 같이, 4상의 클록 신호에 기초하여 동작하는 시프트 레지스터(640)를 구비한 액정 표시 장치에도 본 발명을 적용할 수 있다.
- [0128] 또한, 4상의 클록 신호에 기초하여 동작하는 시프트 레지스터를 구비한 구성의 액정 표시 장치에 관한 것으로, 도 16에 도시한 파형의 제1 게이트 클록 신호 H<sub>CK1</sub>과 제3 게이트 클록 신호 H<sub>CK3</sub>에 기초하여 홀수 단계가 동작하고, 도 16에 도시한 파형의 제2 게이트 클록 신호 H<sub>CK2</sub>와 제4 게이트 클록 신호 H<sub>CK4</sub>에 기초하여 짝수단계가 동작하도록 구성된 시프트 레지스터를 구비한 구성의 액정 표시 장치에도 본 발명을 적용할 수 있다.
- [0129] (3.2 구동 회로의 실현 방법에 대해서)
- [0130] 상기 각 실시 형태에 있어서는, 표시부(22)의 편측(도 2, 도 10에서는 우측)에만 게이트 드라이버(24)를 구비한 구성의 액정 표시 장치를 예로 들어 설명했지만, 본 발명은 이에 한정되지 않는다. 도 18에 도시한 바와 같이 표시부의 양측(도 18에서는 좌측 및 우측)에 게이트 드라이버(24)를 구비한 구성의 액정 표시 장치에 있어서도 본 발명을 적용할 수 있다.
- [0131] 또한, 상기 각 실시 형태에 있어서는, 소스 드라이버(32)가 복수의 IC칩으로 구성된 액정 표시 장치를 예로

들어 설명했지만, 본 발명은 이에 한정되지 않는다. 도 19에 도시한 바와 같이 소스 드라이버(32)가 1개의 IC칩으로 구성된 액정 표시 장치에 있어서도 본 발명을 적용할 수 있다. 또한, 소스 드라이버(32)뿐만 아니라 예를 들면 상기 제1 실시 형태에 있어서의 타이밍 컨트롤러(11), 레벨 시프터 회로(13), 전원 회로(15), 전원 OFF 검출부(17), 및 기준 전위 전환 회로(19) 등이 1개의 IC칩에 저장된 소위 1칩 드라이버를 구비한 구성(도 20 참조)의 액정 표시 장치에 있어서도 본 발명을 적용할 수 있다.

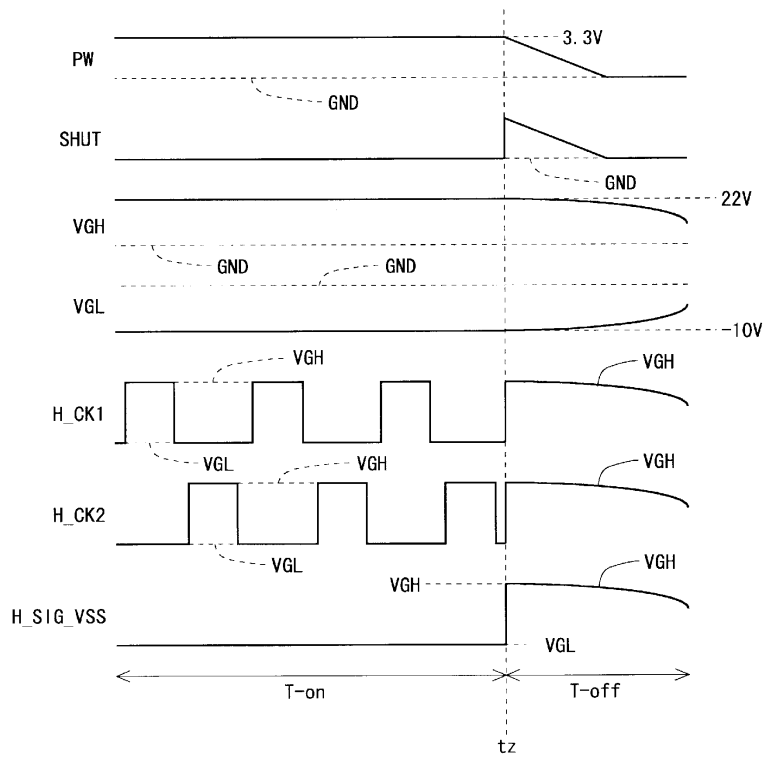
[0132] 또한, 시프트 레지스터(240)의 구성에 대해서도 도 6이나 도 14에 도시한 구성으로는 한정되지 않고, 시프트 레지스터(240) 내의 쌍안정 회로의 구체적인 구성에 대해서도 도 8이나 도 16에 도시한 구성에는 한정되지 않는다.

### 부호의 설명

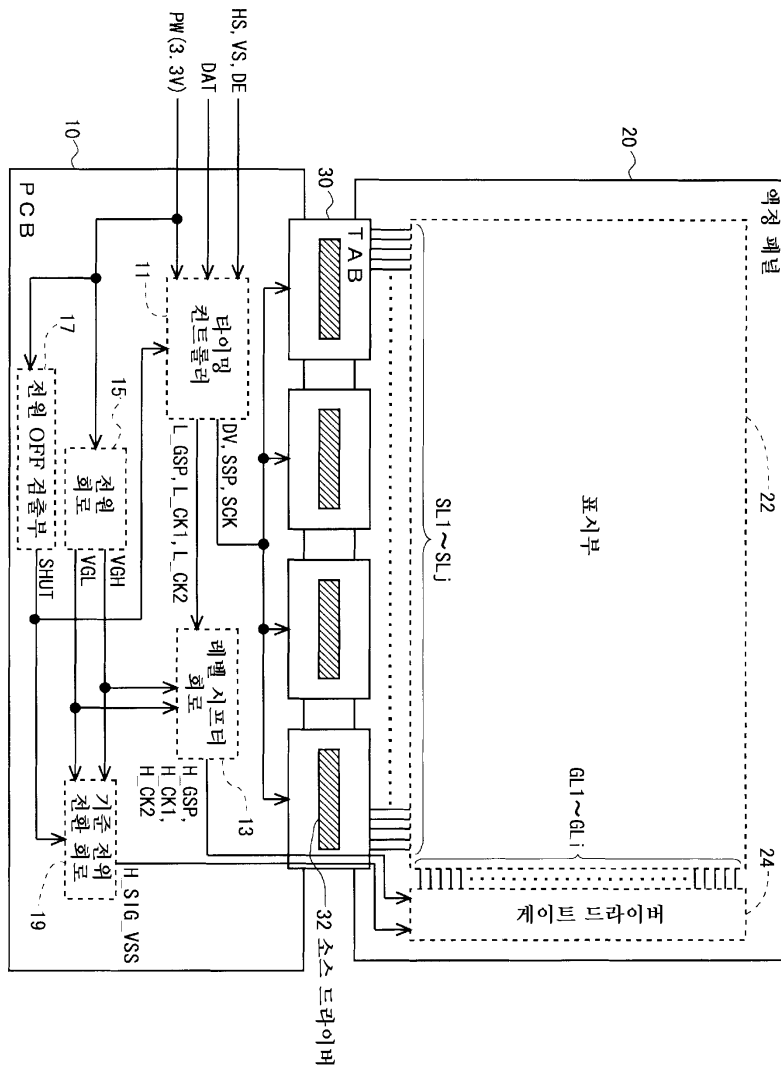
- [0133]
- 11, 51 : 타이밍 컨트롤러
  - 13, 53 : 레벨 시프터 회로
  - 15, 55 : 전원 회로
  - 17, 57 : 전원 OFF 검출부
  - 19 : 기준 전위 전환 회로
  - 20 : 액정 패널
  - 22 : 표시부
  - 24 : 게이트 드라이버(주사 신호선 구동 회로)
  - 32 : 소스 드라이버(영상 신호선 구동 회로)
  - 220 : (화소 형성부 내의) 박막 트랜지스터
  - 240, 640 : 시프트 레지스터
  - 241, 245 : 전위 레벨 유지부
  - PW : 전원 전압
  - SHUT : 전원 상태 신호
  - VGH : 게이트 온 전위
  - VGL : 게이트 오프 전위
  - L\_CK1, H\_CK1 : 제1 게이트 클록 신호
  - L\_CK2, H\_CK2 : 제2 게이트 클록 신호
  - L\_SIG\_VSS, H\_SIG\_VSS, VSS : 기준 전위
  - TB, TD, TE, TI, TL, TM, TN, TP, TQ : (쌍안정 회로 내의) 박막 트랜지스터
  - CKa : 제1 클록
  - CKb : 제2 클록
  - S : 세트 신호
  - R : 리셋 신호
  - Q : 상태 신호

도면

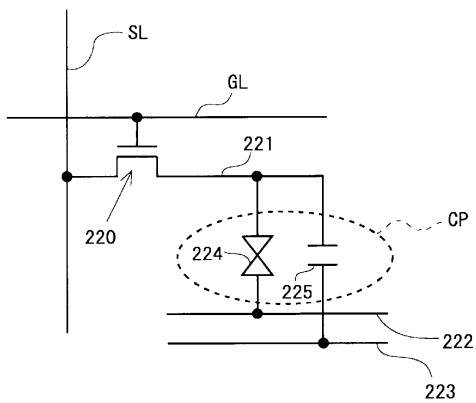
도면1



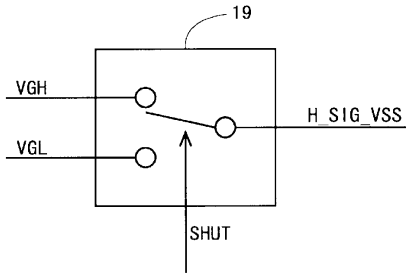
도면2



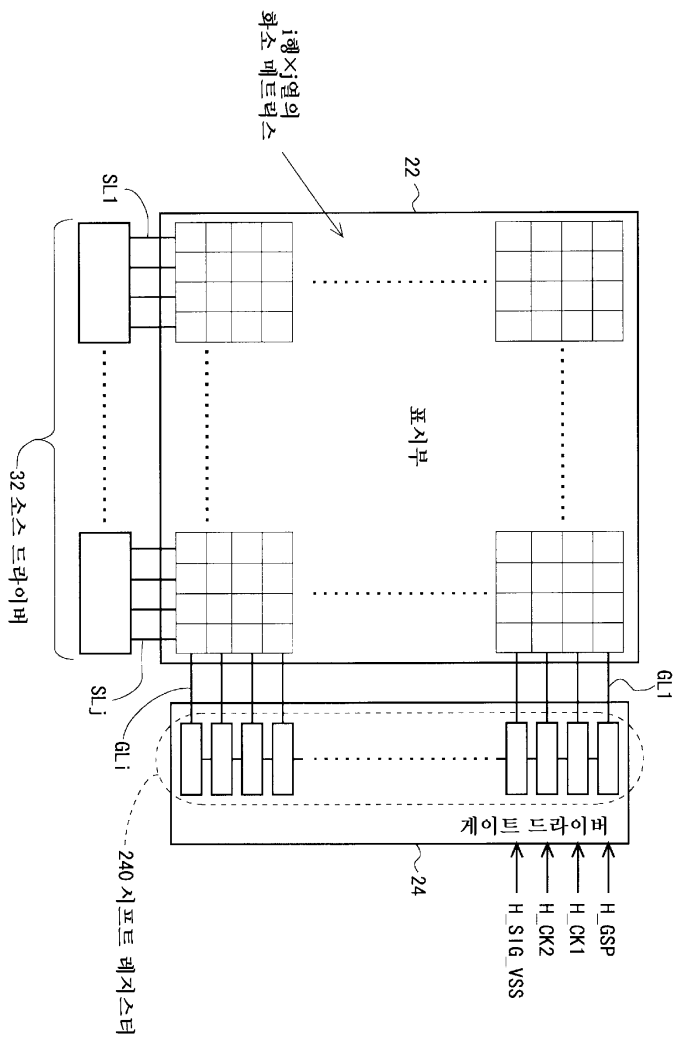
도면3



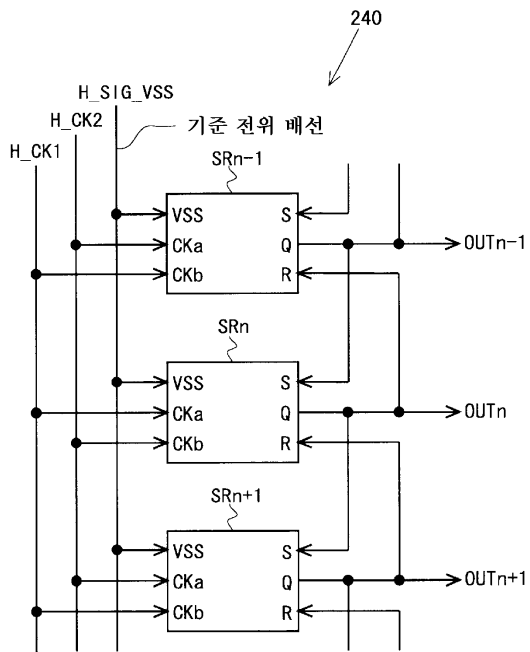
도면4



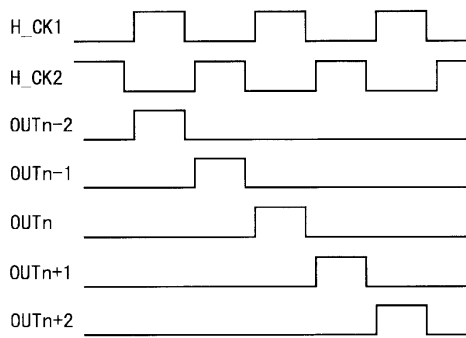
도면5



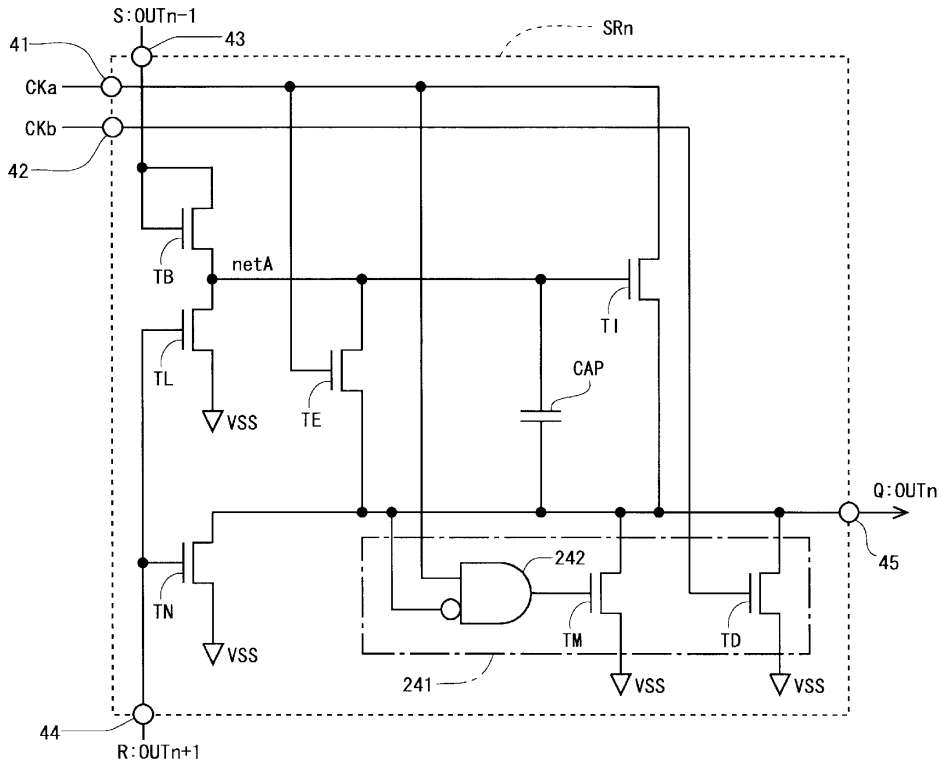
도면6



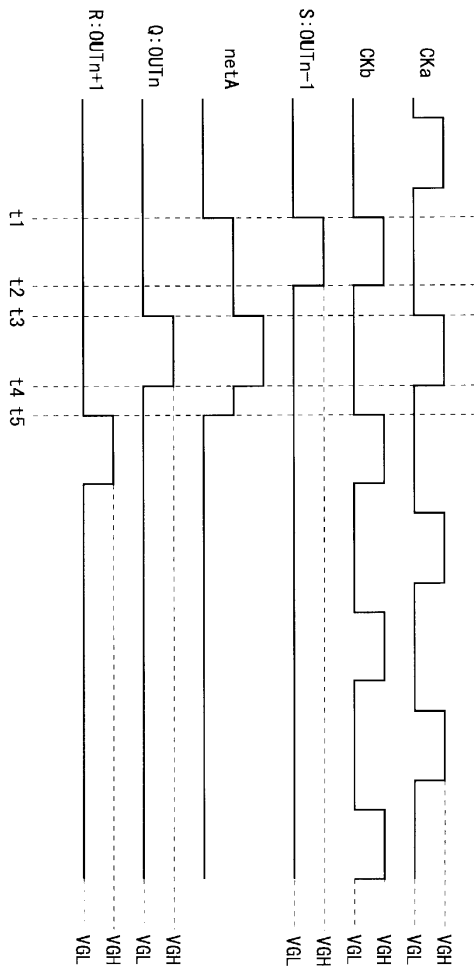
도면7



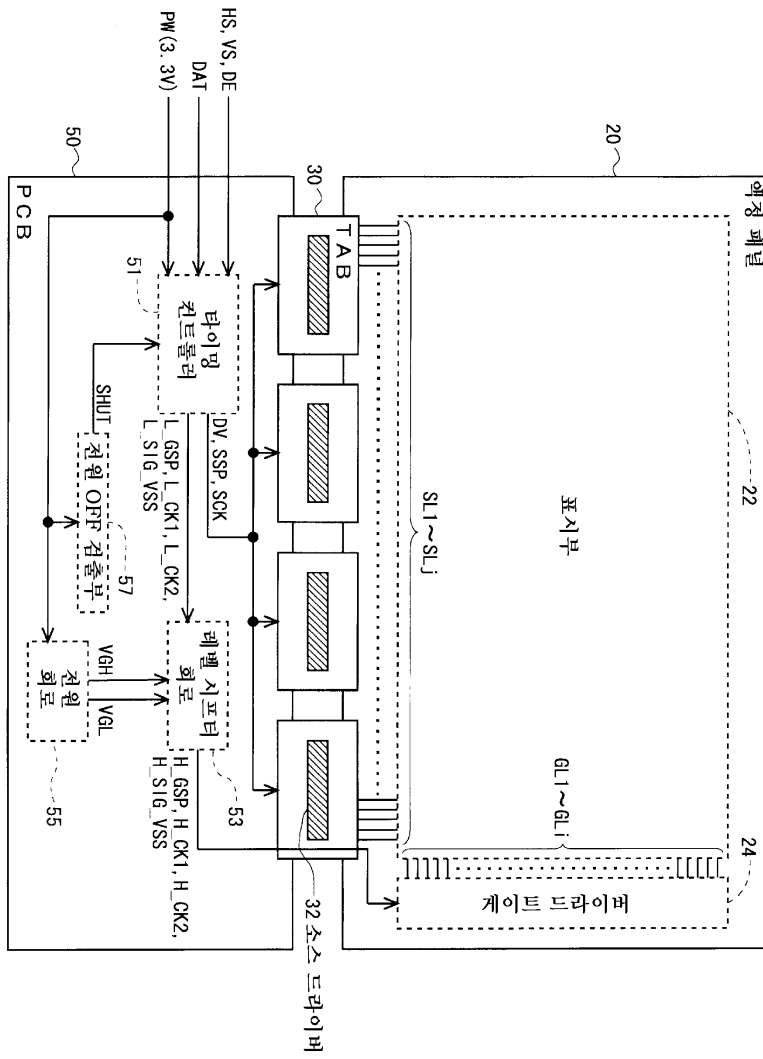
도면8



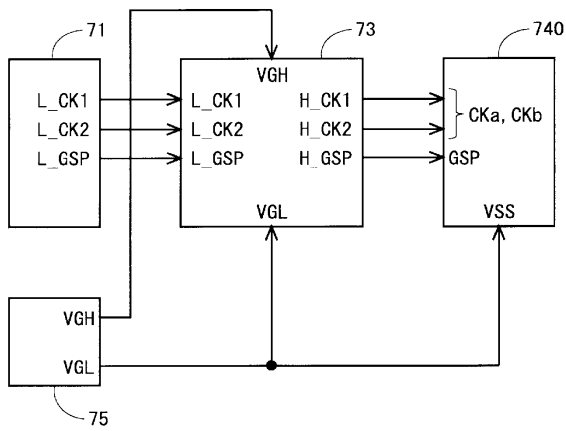
도면9



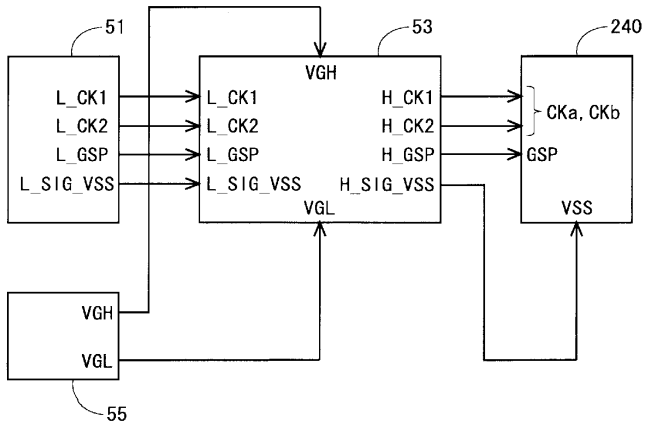
도면10



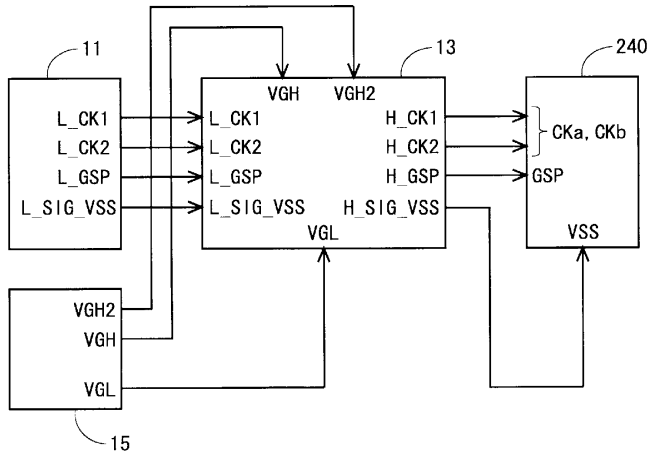
도면11



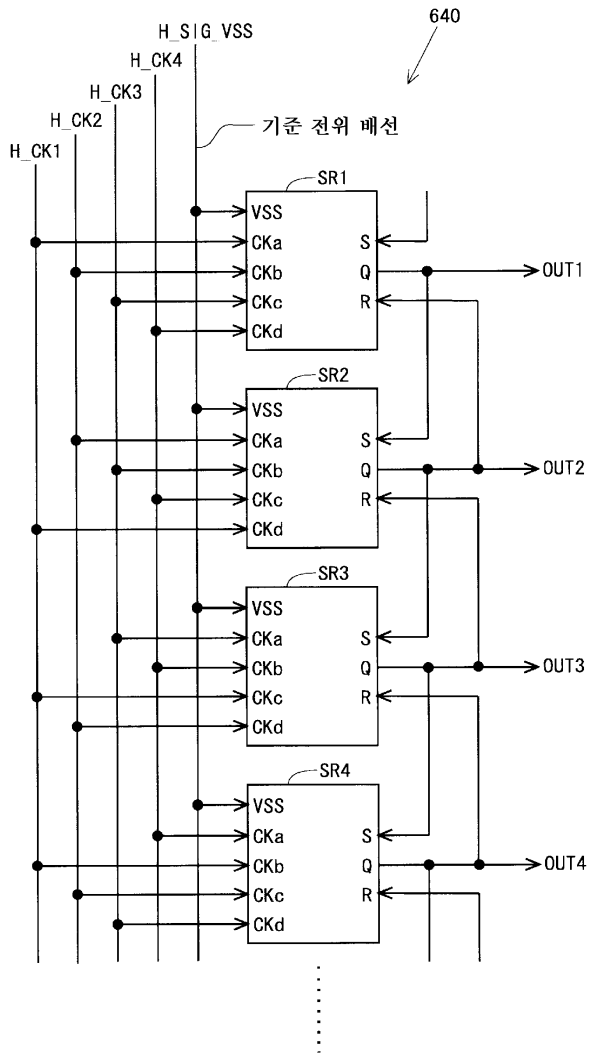
도면12



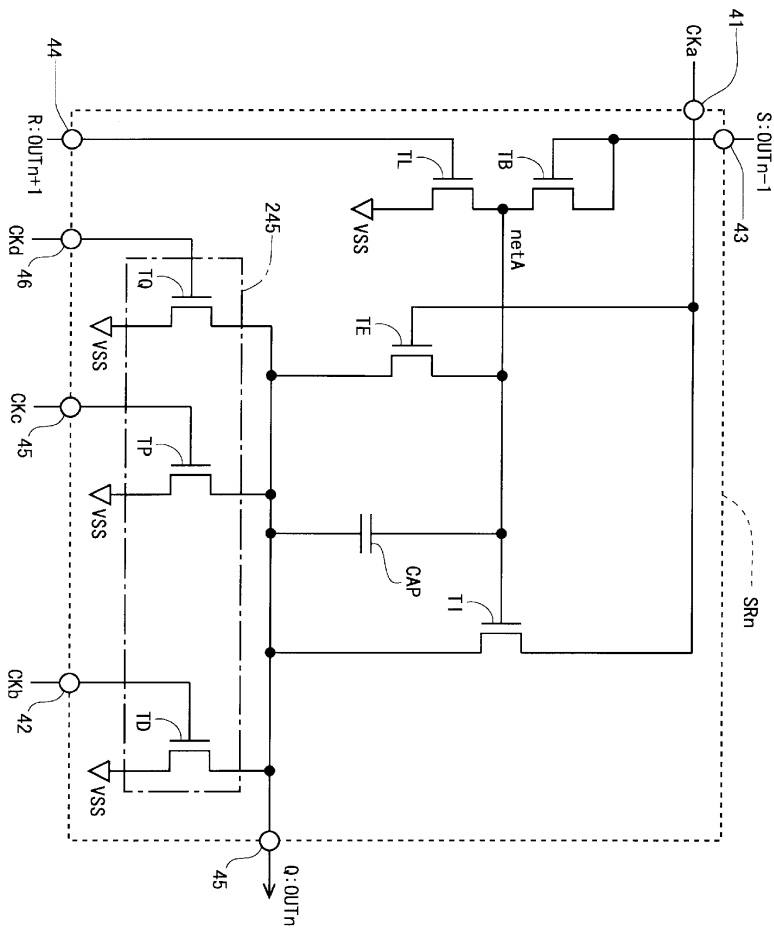
도면13



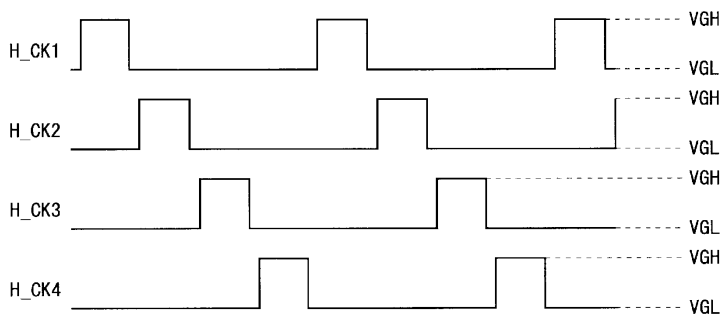
도면14



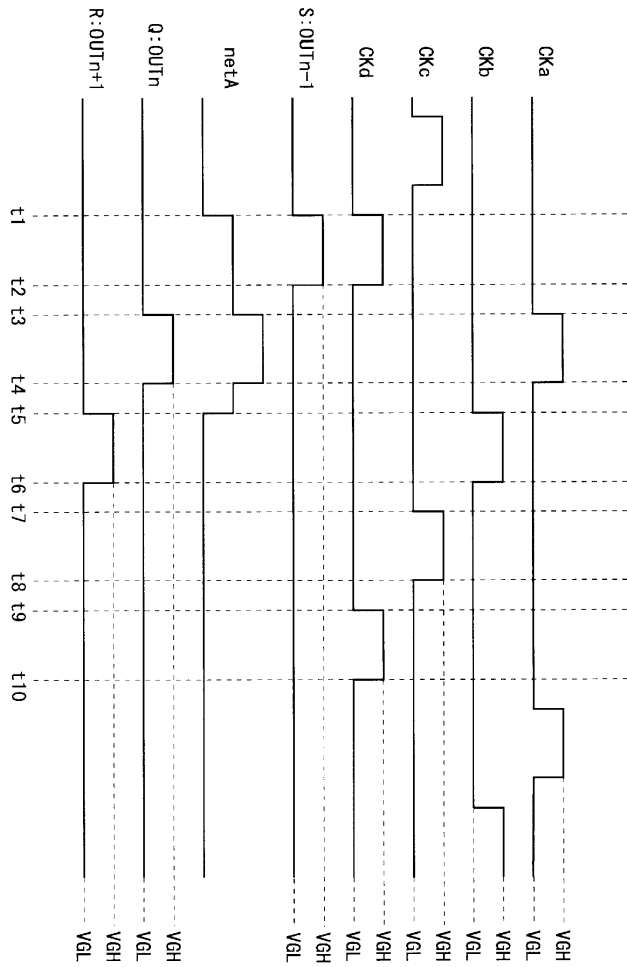
도면15



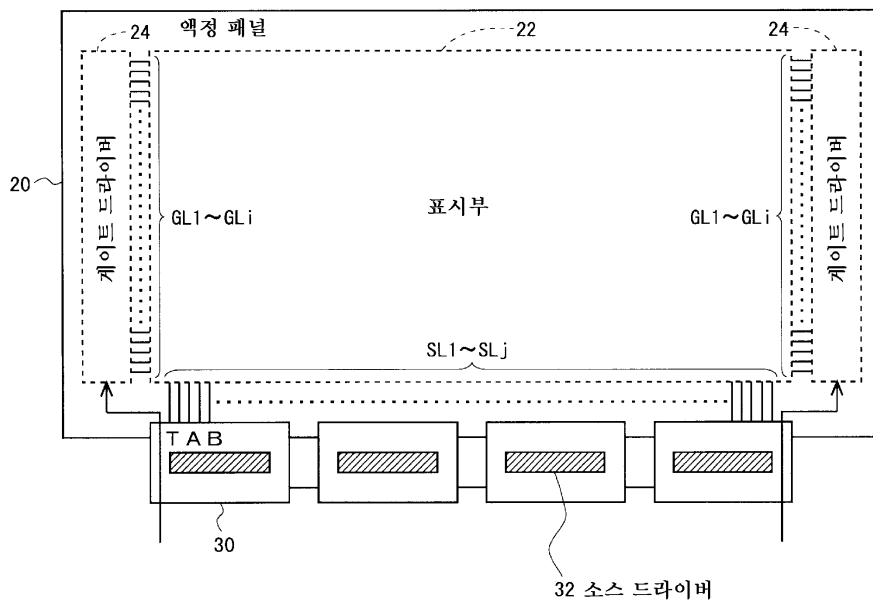
도면16



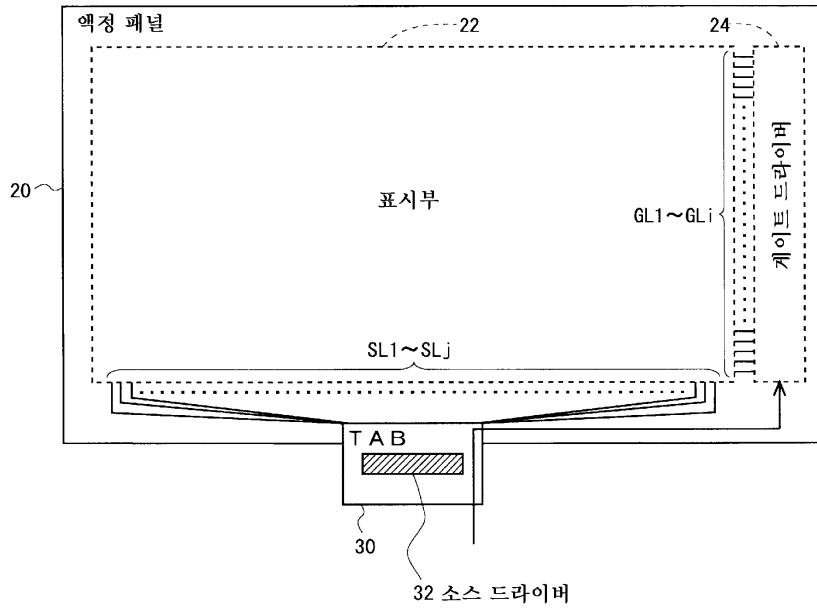
도면17



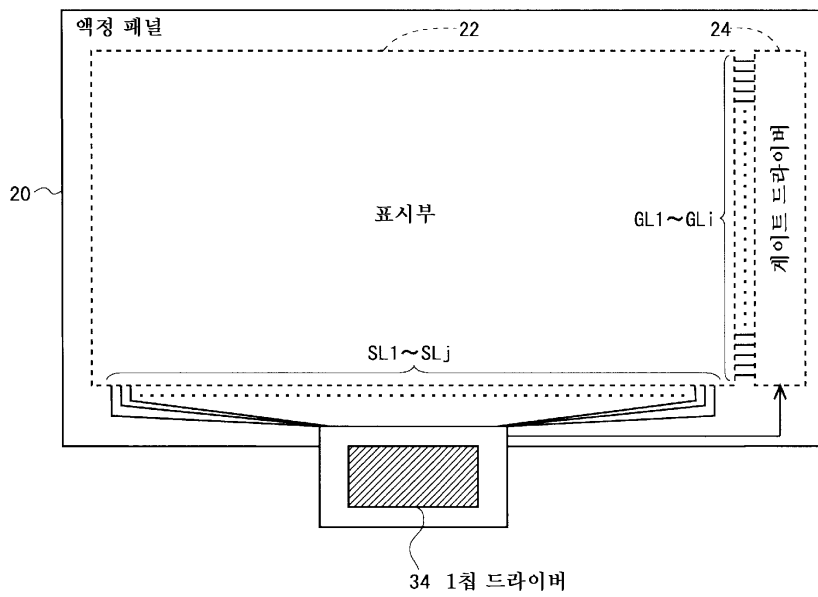
도면18



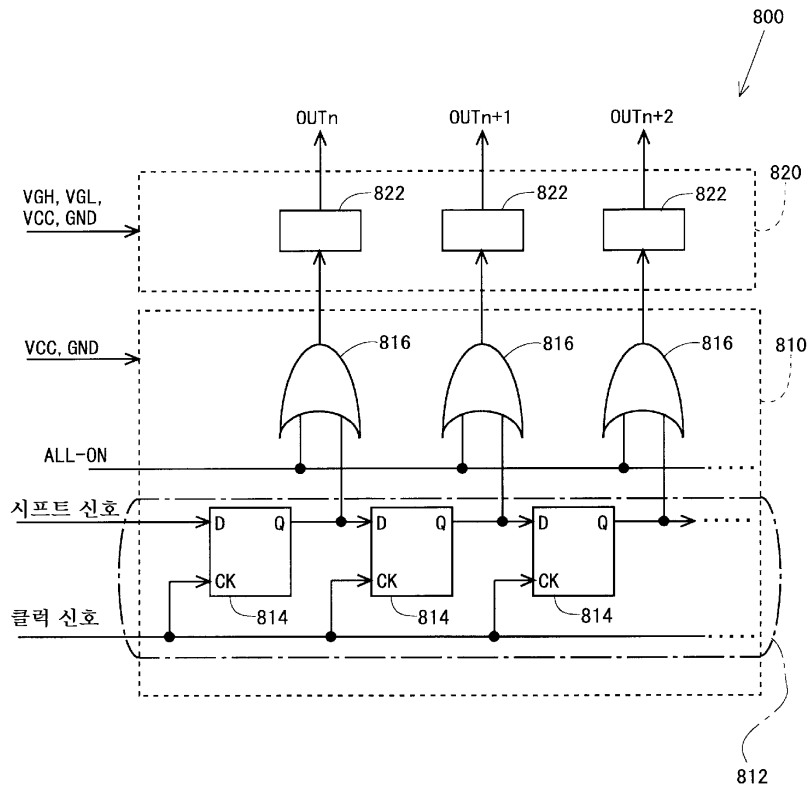
도면19



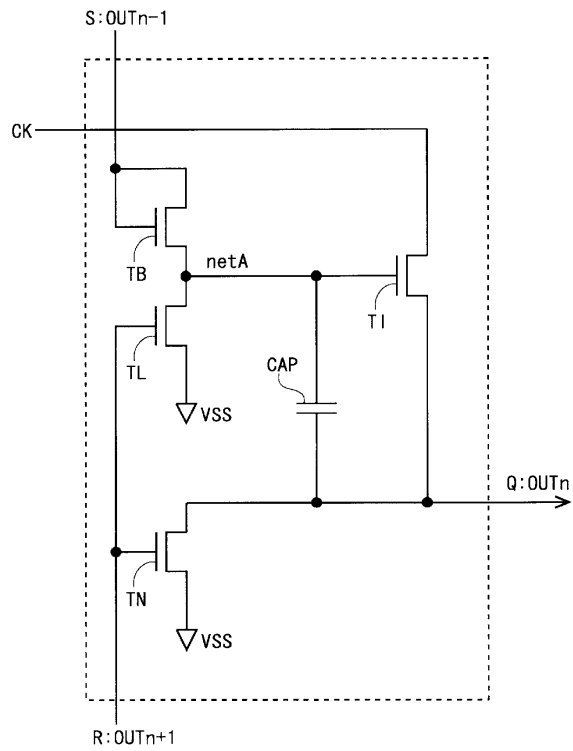
도면20



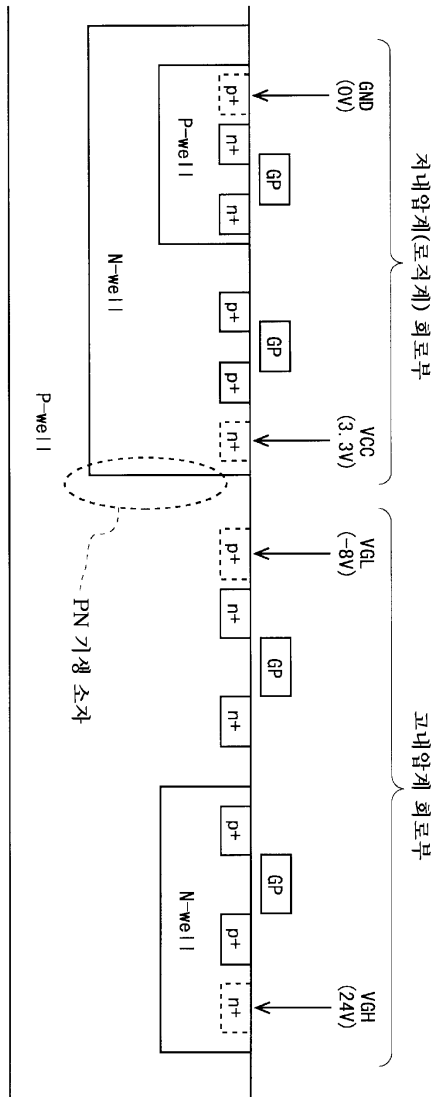
도면21



도면22



도면23



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020120064127A</a>	公开(公告)日	2012-06-18
申请号	KR1020127011381	申请日	2010-08-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	MORII HIDEKI 모리이히데끼 IWAMOTO AKIHISA 이와모토아끼히사 MIZUNAGA TAKAYUKI 미즈나가다까유끼 OHTA YUUKI		
发明人	모리이히데끼 이와모토아끼히사 미즈나가다까유끼 오오따유우끼		
IPC分类号	G09G3/36		
CPC分类号	G09G2330/027 G09G3/3677		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2009252725 2009-11-04 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是提供一种配备有单片栅极驱动器的液晶显示器，用于在电源关闭的像素部分的制作过程中快速去除剩余电荷。具有栅极端子的薄膜晶体管，其中连接的源极端子和操作移位寄存器的时钟信号 (HCK 1, HCK 2) 被提供在接地电压导线中，该导线连接到双稳态中的栅极总线的漏极电路包括栅极驱动器 (24) 内的移位寄存器和参考电位 (H SIG VSS)。如果电源OFF检测单元 (17) 检测到从外部切断电源电压 (PW) 的供应，则时钟信号 (HCK 1, HCK 2) 为高电平，薄膜晶体管为在接通状态下，参考电位切换电路 (19) 将参考电位 (H SIG VSS) 从表压截止电位 (VGL) 转换为电位 (VGH)。图像的存在 (专业参考)。

