



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0114460
(43) 공개일자 2011년10월19일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2011-0032485

(22) 출원일자 2011년04월08일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-091712 2010년04월12일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

쿠보타 다이ске

일본 카나가와켄 243-0036 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

야마시타 아키오

일본 카나가와켄 243-0036 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 20 항

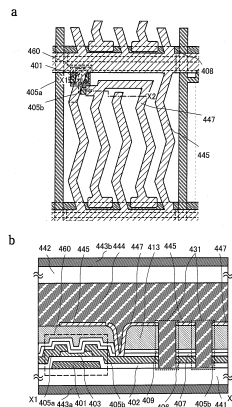
(54) 반도체 장치 및 액정 표시 장치

(57) 요약

본 발명은, 더 높은 콘트라스트화를 가능하게 하는 블루상을 나타내는 액정 재료를 사용한 액정 표시 장치를 제공하는 것을 목적의 하나로 한다. 또한, 블루상을 나타내는 액정을 사용한 액정 표시 장치에 있어서, 저소비 전력화를 더 달성하는 것을 목적의 하나로 한다.

제 1 기관과 제 2 기관으로 블루상을 나타내는 액정층을 협지하는 액정 표시 장치에 있어서, 층간막을 사이에 두고 화소 전극층은 트랜지스터의 드레인 전극층과, 공통 전극층은 드레인 전극층과 같은 공정으로 형성되는 도전층과 전기적으로 접속된다. 화소 전극층과 공통 전극층 사이의 층간막은, 선택적으로 제거되어 개구가 형성된다. 상기 개구에는, 액정이 충전되어 액정층이 형성된다. 따라서, 액정층에 있어서 화소 전극층과 공통 전극층 사이와, 드레인 전극층과 도전층 사이의 개구의 영역에도 전계를 넓게 형성할 수 있다.

대표도 - 도1



(72) 발명자

이시타니 테츠지

일본 카나가와켄 243-0036 아즈기시 하세 398 가부
시키키가이샤 한도오파이 에네루기 켄큐쇼 내

타무라 토모히로

일본 카나가와켄 243-0036 아즈기시 하세 398 가부
시키키가이샤 한도오파이 에네루기 켄큐쇼 내

미카미 마유미

일본 카나가와켄 243-0036 아즈기시 하세 398 가부
시키키가이샤 한도오파이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

기관과;

상기 기관 위에서 반도체층과 상기 반도체층과 전기적으로 접속된 제 1 도전층을 포함하는 트랜지스터와;

상기 기관 위의 제 2 도전층과;

상기 트랜지스터 및 상기 제 2 도전층 위의 층간 절연막과;

상기 층간 절연막 위에 접하여 상기 제 1 도전층과 전기적으로 접속된 제 1 전극층과;

상기 층간 절연막 위에 접하여 상기 제 2 도전층과 전기적으로 접속된 제 2 전극층을 포함하고,

상기 제 1 도전층과 상기 제 2 도전층 각각은 같은 층과 접하고,

상기 제 1 도전층, 상기 층간 절연막, 및 상기 제 1 전극층은 적층되고,

상기 제 2 도전층, 상기 층간 절연막, 및 상기 제 2 전극층은 적층되고,

상기 제 1 도전층 및 상기 제 2 도전층은 서로 이격하여 배치되고,

상기 층간 절연막은 상기 제 1 전극층 및 상기 제 2 전극층 사이에 개구를 갖는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 전극층 및 상기 제 2 전극층은 서로 빗살 형상을 갖는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 도전층 및 상기 제 2 도전층의 일부는 상기 개구에서 노출되는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 기관과 상기 제 1 도전층 사이 및 상기 기관과 상기 제 2 도전층 사이에 제 1 절연층을 더 포함하고,

상기 제 1 절연층은 상기 제 1 전극층과 상기 제 2 전극층 사이에 개구를 갖는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 같은 층은 상기 제 1 도전층 및 상기 제 2 도전층 위에 접하는 제 2 절연층이고,

상기 제 2 절연층은 상기 트랜지스터와 상기 층간 절연막 사이에 헐지되는, 반도체 장치.

청구항 6

기관과;

상기 기관 위에서 반도체층과 상기 반도체층과 전기적으로 접속된 제 1 도전층을 포함하는 트랜지스터와;

상기 기관 위의 제 2 도전층과;

상기 트랜지스터 및 상기 제 2 도전층 위의 층간 절연막과;

상기 층간 절연막 위에 접하여 상기 제 1 도전층과 전기적으로 접속된 제 1 전극층과;

상기 층간 절연막 위에 접하여 상기 제 2 도전층과 전기적으로 접속된 제 2 전극층과;
 블루상을 나타내는 액정 재료를 포함하는 액정층을 포함하고,
 상기 제 1 도전층과 상기 제 2 도전층 각각은 같은 층과 접하고,
 상기 제 1 도전층, 상기 층간 절연막, 및 상기 제 1 전극층은 적층되고,
 상기 제 2 도전층, 상기 층간 절연막, 및 상기 제 2 전극층은 적층되고,
 상기 제 1 도전층 및 상기 제 2 도전층은 서로 이격하여 배치되고,
 상기 층간 절연막은 상기 제 1 전극층 및 상기 제 2 전극층 사이에 개구를 갖고,
 상기 액정층은 상기 개구에 포함되는, 액정 표시 장치.

청구항 7

제 6 항에 있어서,
 상기 제 1 전극층 및 상기 제 2 전극층은 서로 빗살 형상을 갖는, 액정 표시 장치.

청구항 8

제 6 항에 있어서,
 상기 제 1 도전층 및 상기 제 2 도전층의 일부는 상기 개구에서 노출되는, 반도체 장치.

청구항 9

제 6 항에 있어서,
 상기 기판과 제 1 도전층 사이 및 상기 기판과 상기 제 2 도전층 사이에 제 1 절연층을 더 포함하고,
 상기 제 1 절연층은 상기 제 1 전극층과 상기 제 2 전극층 사이에 개구를 갖는, 액정 표시 장치.

청구항 10

제 6 항에 있어서,
 상기 같은 층은 상기 제 1 도전층 및 상기 제 2 도전층 위에 접하는 제 2 절연층이고,
 상기 제 2 절연층은 상기 트랜지스터와 상기 층간 절연막 사이에 협지되는, 액정 표시 장치.

청구항 11

제 6 항에 있어서,
 상기 제 1 전극층 및 상기 제 2 전극층은 상기 액정층과 접하는, 액정 표시 장치.

청구항 12

제 6 항에 있어서,
 상기 액정층은 광 경화수지 및 광 중합 개시제를 포함하는, 액정 표시 장치.

청구항 13

제 1 기판과;
 상기 제 1 기판 위에서 반도체층과 상기 반도체층과 전기적으로 접속된 제 1 도전층을 포함하는 트랜지스터와;
 상기 제 1 기판 위의 제 2 도전층과;
 상기 트랜지스터 및 상기 제 2 도전층 위의 층간 절연막과;
 상기 층간 절연막 위에 접하여 상기 제 1 도전층과 전기적으로 접속된 제 1 전극층과;

상기 층간 절연막 위에 접하여 상기 제 2 도전층과 전기적으로 접속된 제 2 전극층과;
 상기 제 1 전극층 및 상기 제 2 전극층 위에 블루상을 나타내는 액정 재료를 포함하는 액정층과;
 상기 액정층 위에 상기 제 2 전극층과 중첩하는 제 3 전극층과;
 상기 제 3 전극층 위에 제 2 기판을 포함하고,
 상기 제 1 도전층과 상기 제 2 도전층 각각은 같은 층과 접하고,
 상기 제 1 도전층, 상기 층간 절연막, 및 상기 제 1 전극층은 적층되고,
 상기 제 2 도전층, 상기 층간 절연막, 및 상기 제 2 전극층은 적층되고,
 상기 제 1 도전층 및 상기 제 2 도전층은 서로 이격하여 배치되고,
 상기 층간 절연막은 상기 제 1 전극층 및 상기 제 2 전극층 사이에 개구를 갖고,
 상기 액정층은 상기 개구에 포함되는, 액정 표시 장치.

청구항 14

제 13 항에 있어서,
 상기 제 1 전극층, 상기 제 2 전극층 및 상기 제 3 전극층은 서로 빗살 형상을 갖는, 액정 표시 장치.

청구항 15

제 13 항에 있어서,
 상기 제 1 도전층 및 상기 제 2 도전층의 일부는 상기 개구에서 노출되는, 반도체 장치.

청구항 16

제 13 항에 있어서,
 상기 제 1 기판과 제 1 도전층 사이 및 상기 제 1 기판과 상기 제 2 도전층 사이에 제 1 절연층을 더 포함하고,
 상기 제 1 절연층은 상기 제 1 전극층과 상기 제 2 전극층 사이에 개구를 갖는, 액정 표시 장치.

청구항 17

제 13 항에 있어서,
 상기 같은 층은 상기 제 1 도전층 및 상기 제 2 도전층 위에 접하는 제 2 절연층이고,
 상기 제 2 절연층은 상기 트랜지스터와 상기 층간 절연막 사이에 협지되는, 액정 표시 장치.

청구항 18

제 13 항에 있어서,
 상기 제 1 전극층 및 상기 제 2 전극층은 상기 액정층과 접하는, 액정 표시 장치.

청구항 19

제 13 항에 있어서,
 상기 액정층은 광 경화수지 및 광 중합 개시제를 포함하는, 액정 표시 장치.

청구항 20

제 13 항에 있어서,
 상기 제 2 전극층 및 상기 제 3 전극층은 평면도에서 대략 같은 형상을 갖는, 액정 표시 장치.

명세서

기술 분야

[0001] 반도체 장치 및 액정 표시 장치, 또한 이들의 제작 방법에 관한 것이다.

배경 기술

[0002] 박형, 경량화를 도모한 표시 장치(소위, 플랫 패널 디스플레이)에는, 액정 소자를 갖는 액정 표시 장치, 자발광 소자를 갖는 발광 장치, 필드 이미션 디스플레이(FED: Field Emission Display) 등이 결합하여 개발되고 있다.

[0003] 액정 표시 장치에 있어서는, 액정 분자의 응답 속도의 고속화가 요구되고 있다. 액정의 표시 모드는 여러 가지 있지만, 그 중에서도 고속 응답이 가능한 액정 모드로서, FLC(Ferroelectric Liquid Crystal) 모드, OCB(Optical Compensated Birefringence) 모드, 블루상을 나타내는 액정을 사용하는 모드를 들 수 있다.

[0004] 특히, 블루상을 나타내는 액정을 사용하는 모드는, 배향막이 불필요하고, 또 광시야각화가 얻어지기 때문에, 실용화를 위한 연구가 더욱 진행되고 있다(예를 들어, 특허 문헌 1 참조). 특허 문헌 1은, 블루상이 출현하는 온도 범위를 확대시키기 위하여, 액정에 고분자 안정화 처리를 행한다는 보고이다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 국제 공개 제 05/090520호 팜플릿

발명의 내용

해결하려는 과제

[0006] 액정 표시 장치에 있어서의 문제로서, 높은 콘트라스트가 실현되기 위해서는, 백색 투과율(백색 표시 때의 광 투과율)이 크게 될 필요가 있다.

[0007] 따라서, 더 높은 콘트라스트화를 위하여, 블루상을 나타내는 액정을 사용한 액정 표시 모드에 적합한 액정 표시 장치를 제공하는 것을 목적의 하나로 한다.

[0008] 또한, 블루상을 나타내는 액정을 사용한 액정 표시 장치에 있어서, 저소비 전력화를 더 달성하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0009] 제 1 기판과 제 2 기판으로 블루상을 나타내는 제 1 액정층을 협지하고, 복수의 화소가 매트릭스 형상으로 배치되어 있는 액티브 매트릭스형의 액정 표시 장치에서는, 각 화소마다 트랜지스터와 화소 전극층, 액정층 및 공통 전극층으로 구성되는 액정 소자가 배치되어 있다. 화소 전극층과 공통 전극층은 트랜지스터 위를 덮도록 형성된 층간막 위에 형성되고, 층간막의 동일 표면에 서로 접하지 않도록 배치된다.

[0010] 화소 전극층 및 공통 전극층은 평판 형상이 아니라, 다양한 개구 패턴(슬릿)을 갖고, 굴곡부나 분기한 빗살 형상을 포함하는 형상이다. 예를 들어, 화소 전극층 및 공통 전극층이 갖는 형상으로서, 폐쇄된 공간을 형성하지 않고, 일부 공간이 열린 빗살 형상과 같은 패턴을 사용할 수 있다. 이 경우, 화소 전극층 및 공통 전극층은 서로의 빗살 형상의 패턴이 맞물리도록 동일한 절연 표면(예를 들어, 동일 기판이나 동일 절연막)에 형성할 수 있다.

[0011] 공통 전극층은, 제 1 기판 측의 제 1 공통 전극층과, 한 쌍의 공통 전극층이 대향되도록 대향 기판(제 2 기판) 측에도 형성하여도 좋고, 이 경우 제 1 액정층을 사이에 두고 제 1 기판 측의 제 1 공통 전극층과 제 2 기판 측의 제 2 공통 전극층(제 3 전극층)이 서로 중첩하도록 배치된다.

[0012] 제 2 공통 전극층을 형성하는 경우, 제 1 공통 전극층 및 제 2 공통 전극층은 적어도 화소 영역에 있어서, 평면도로 보면 대략 같은 형상이고, 제 1 액정층을 사이에 두고 중첩하도록 배치된다. 또한, 제 1 공통 전극층 및 제 2 공통 전극층은 적어도 일부 겹쳐(중첩하여) 있으면 좋다.

[0013] 액정 소자의 화소 전극층에는, 트랜지스터의 반도체층과 전기적으로 접속하는 소스 전극층 또는 드레인 전극층

을 사이에 두고 화상 신호의 전위가 주어진다. 한편, 액정 소자의 공통 전극층(제 1 공통 전극층 및 제 2 공통 전극층)에는, 화소 전극층에 공급되는 화상 신호의 전위에 대하여 기준이 되는 고정 전위(일례로서는 그라운드 전위(접지 전위))가 주어진다. 공통 전위는, 데이터로서 송신되는 화상 신호의 중간 전위 근방에서 플리커(flicker)가 생기지 않는 레벨로 설정하는 것이 바람직하다. 또한, 공통 전극층은, 플로팅 상태(전기적으로 고립된 상태)로서 동작시킬 수도 있다.

[0014] 층간막을 사이에 두고 화소 전극층은 트랜지스터의 드레인 전극층과, 공통 전극층은 드레인 전극층과 같은 재료 및 같은 공정으로 형성되는 도전층과 전기적으로 접속된다(또는 같은 전위가 주어진다). 화소 전극층과 공통 전극층 사이의 층간막은, 선택적으로 제거되어 개구가 형성된다. 상기 개구에는, 액정이 충전되어 제 2 액정층이 형성된다.

[0015] 따라서, 화소 전극층 및 공통 전극층간에 전압을 인가하면, 드레인 전극층 및 도전층간에도 각각 같은 전압을 인가할 수 있다. 그래서, 제 1 액정층 및 제 2 액정층에 있어서 화소 전극층과 공통 전극층 사이와, 드레인 전극층과 도전층 사이의 개구의 영역에도 전계를 넓게 형성할 수 있다.

[0016] 전계는, 화소 전극층과 공통 전극층 사이에도 형성되고, 또 화소 전극층과 같은 전위의 도전층(드레인 전극층)과 공통 전극층과 같은 전위의 도전층 사이에도 형성되기 때문에, 제 1 액정층뿐만 아니라 제 2 액정층에도 전계를 형성할 수 있다. 이와 같이 같은 전위를 갖는 도전층과 전극층을 적층체로 함으로써, 액정층에 전계를 넓게 형성할 수 있다. 그래서, 그 전계를 사용하여 액정 분자를 제어할 수 있다.

[0017] 또한, 제 2 기관 측에 제 2 공통 전극층을 형성하면, 화소 전극층과 제 2 공통 전극층 사이에 액정에 대하여 경사진 방향(기관에 대하여 경사진 방향)의 전계도 가할 수 있기 때문에, 더 효율 좋게 액정 분자를 제어할 수 있다.

[0018] 따라서, 막 두께 방향도 포함하여, 액정층 전체에 있어서의 액정 분자를 응답시킬 수 있으므로 백색 투과율이 향상된다. 이로써, 백색 투과율과 흑색 투과율(흑색 표시 때의 광 투과율)의 비율인 콘트라스트비도 높일 수 있다. 또한, 점도가 높은 블루상을 나타내는 액정 재료(액정 혼합물)라도 효과적으로 전계를 인가할 수 있으므로, 저소비 전력화도 달성할 수 있다.

[0019] 본 명세서에서는, 반도체 소자(예를 들어, 트랜지스터), 화소 전극층, 제 1 공통 전극층 및 층간막이 형성되어 있는 기관을 소자 기관(제 1 기관)이라고 하고, 상기 소자 기관과 액정층을 사이에 두고 대향되는 기관을 대향 기관(제 2 기관)이라고 한다. 대향 기관(제 2 기관)과 액정층 사이에 제 1 공통 전극층과 중첩하는 제 2 공통 전극층이 형성되어도 좋다.

[0020] 액정층에는, 블루상을 나타내는 액정 재료를 사용한다. 또한, 액정 재료란, 액정층에 사용되는 액정을 포함하는 혼합물을 가리킨다. 블루상을 나타내는 액정 재료는, 응답 속도가 1msec 이하로 짧고, 고속 응답이 가능하기 때문에, 액정 표시 장치의 고성능화가 가능하게 된다.

[0021] 블루상을 나타내는 액정 재료로서 액정 및 키랄제를 포함한다. 키랄제는, 액정을 나선 구조로 배향시켜, 블루상을 발현시키기 위하여 사용한다. 예를 들어, 5wt% 이상의 키랄제를 혼합시킨 액정 재료를 액정층에 사용하면 좋다.

[0022] 액정은, 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전 액정, 반강유전 액정 등을 사용한다.

[0023] 키랄제는, 액정에 대한 상용(相溶)성이 좋고, 또 꼬이는 힘이 강한 재료를 사용한다. 또한, R체, S체의 어느 한쪽의 재료가 좋고, R체와 S체의 비율이 50:50의 라세미(racemic)체는 사용하지 않는다.

[0024] 상기 액정 재료는, 조건에 따라 콜레스테릭(cholesteric)상, 콜레스테릭 블루상, 스멕틱(smectic)상, 스멕틱 블루상, 큐빅(Cubic) 상, 키랄 네마틱(Chiral Nematic) 상, 등방상 등을 나타낸다.

[0025] 블루상인 콜레스테릭 블루상 및 스멕틱 블루상은, 나선 피치가 500nm 이하로, 비교적 피치가 짧은 콜레스테릭상 또는 스멕틱상을 갖는 액정 재료에 나타난다. 액정 재료의 배향은 이중 꼬임 구조를 갖는다. 가시광의 파장 이하의 질서를 갖기 때문에, 투명하고, 전압 인가에 의하여 배향 질서가 변화하여 광학적 변조 작용이 생긴다. 블루상은 광학적으로 등방이기 때문에 시야각 의존성이 없고, 배향막을 형성하지 않아도 되기 때문에, 표시 화상의 질을 향상시킬 수 있고, 또 비용을 삭감할 수 있다.

[0026] 또한, 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 넓게 개선하기 위하여 액정 재료에, 광 경화수지 및 광 중합 개시제를 첨가하여, 고분자 안정화 처리를 행하는 것이 바람직하다. 고분자 안정화 처리는,

액정, 키랄제, 광 경화 수지, 및 광 중합 개시제를 포함하는 액정 재료에, 광 경화 수지, 및 광중합 개시제가 반응하는 파장의 광을 조사하여 행한다. 이 고분자 안정화 처리는, 온도 제어를 행하여, 등방상을 나타낸 상태로 광 조사하여 행하여도 좋고, 블루상을 나타낸 상태로 광 조사하여 행하여도 좋다.

[0027] 예를 들어, 액정층의 온도를 제어하여, 블루상을 발현시킨 상태에서 액정층에 광을 조사함으로써 고분자 안정화 처리를 행한다. 다만, 이것에 한정되지 않고, 블루상과 등방상 사이의 상전이 온도에서 +10℃ 이내, 바람직하게는 +5℃ 이내의 등방상을 발현한 상태에서 액정층에 광을 조사함으로써 고분자 안정화 처리를 행하여도 좋다. 블루상과 등방상 사이의 상전이 온도란, 승온시에 블루상으로부터 등방상으로 전이하는 온도 또는 강온시에 등방상으로부터 블루상으로 상전이하는 온도를 말한다. 고분자 안정화 처리의 일례로서는, 액정층을 등방상까지 가열한 후에, 서서히 강온시켜 블루상으로까지 상전이시켜, 블루상이 발현하는 온도를 유지한 상태에서 광을 조사함으로써 행할 수 있다. 이외에도, 액정층을 서서히 가열하여 등방상으로 상전이시킨 후, 블루상과 등방상 사이의 상전이 온도로부터 +10℃ 이내, 바람직하게는 +5℃ 이내 상태(등방상을 발현한 상태)로 광을 조사함으로써 행할 수 있다. 또한, 액정 재료에 포함되는 광 경화 수지로서, 자외선 경화 수지(UV 경화 수지)를 사용하는 경우, 액정층에 자외선을 조사하면 좋다. 또한, 블루상을 발현시키지 않아도, 블루상과 등방상 간의 상전이 온도로부터 +10℃ 이내, 바람직하게는 +5℃ 이내 상태(등방상을 발현한 상태)에서 광을 조사하여 고분자 안정화 처리를 행하면, 응답 속도가 1msec 이하로 짧고 고속 응답이 가능하다.

[0028] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 블루상을 나타내는 액정 재료를 포함하는 액정층을 협지하는 제 1 기판 및 제 2 기판과, 제 1 기판 위에 반도체층 및 반도체층과 전기적으로 접속하는 제 1 도전층을 포함하는 트랜지스터와, 제 1 도전층이 형성된 동일 면에 접하여 나란히 배치되는 제 2 도전층과, 트랜지스터, 제 1 도전층, 및 제 2 도전층 위에 층간막과, 층간막의 동일 표면에 접하여 나란히 배치되는 제 1 전극층 및 제 2 전극층을 갖고, 제 1 전극층은 제 1 도전층과 전기적으로 접속하고, 또 제 1 도전층과 층간막을 사이에 두고 적층되고, 제 2 전극층은 제 2 도전층과 전기적으로 접속하고, 또 제 2 도전층과 층간막을 사이에 두고 적층되고, 층간막은 제 1 전극층 및 제 2 전극층 사이에 개구를 갖고, 개구에는 액정층이 형성되는 액정 표시 장치이다.

[0029] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 블루상을 나타내는 액정 재료를 포함하는 액정층을 협지하는 제 1 기판 및 제 2 기판과, 제 1 기판 위에 반도체층 및 반도체층과 전기적으로 접속하는 제 1 도전층을 포함하는 트랜지스터와, 제 1 도전층이 형성된 동일 면에 접하여 나란히 배치되는 제 2 도전층과, 트랜지스터, 제 1 도전층, 및 제 2 도전층 위에 층간막과, 층간막의 동일 표면에 접하여 나란히 배치되는 제 1 전극층 및 제 2 전극층과, 제 2 전극층과 중첩하여 제 2 기판과 액정층 사이에 형성된 제 3 전극층을 갖고, 제 1 전극층은 제 1 도전층과 전기적으로 접속하고, 또 제 1 도전층과 층간막을 사이에 두고 적층되고, 제 2 전극층은 제 2 도전층과 전기적으로 접속하고, 또 제 2 도전층과 층간막을 사이에 두고 적층되고, 층간막은 제 1 전극층 및 제 2 전극층 사이에 개구를 갖고, 개구에는 액정층이 형성되는 액정 표시 장치이다.

[0030] 블루상을 나타내는 액정층을 사용함으로써, 배향막을 형성할 필요가 없기 때문에, 화소 전극층(제 1 전극층)과 액정층, 및 제 2 전극층(제 1 공통 전극층)과 액정층은 접하는 구성이 된다. 또한, 제 3 전극층(제 2 공통 전극층)을 형성하는 경우, 제 3 전극층(제 2 공통 전극층)도 액정층과 접하는 구성이 된다.

[0031] 또한, “제 1”, “제 2”로서 붙여지는 서수사는 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.

[0032] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

발명의 효과

[0033] 막 두께 방향도 포함하고 액정층 전체에 있어서의 액정 분자를 응답시킬 수 있어 백색 투과율이 향상되고, 블루상을 나타내는 액정층을 사용하는 액정 표시 장치에 있어서 콘트라스트비를 높일 수 있다.

[0034] 또한, 점도가 높은 블루상을 나타내는 액정층이라도, 효과적으로 전계를 형성할 수 있으므로, 액정 표시 장치의 저소비 전력화도 달성할 수 있다.

도면의 간단한 설명

[0035] 도 1a 및 도 1b는 액정 표시 장치를 설명하는 도면.

도 2a 내지 도 2e는 액정 표시 장치의 제작 방법을 설명하는 도면.

도 3a 및 도 3b는 액정 표시 장치를 설명하는 도면.

도 4a 및 도 4b는 액정 표시 장치를 설명하는 도면.

도 5a1, 도 5a2, 도 5b는 액정 표시 모듈을 설명하는 도면.

도 6은 액정 표시 모듈을 설명하는 도면.

도 7a 내지 도 7d는 액정 표시 장치에 적용할 수 있는 트랜지스터를 설명하는 도면.

도 8a 내지 도 8e는 액정 표시 장치에 적용할 수 있는 트랜지스터 및 트랜지스터의 제작 방법을 설명하는 도면.

도 9a 및 도 9b는 전자 기기를 설명하는 도면.

도 10a 내지 도 10f는 전자 기기를 설명하는 도면.

도 11a 및 도 11b는 액정 표시 장치의 전계 모드의 계산 결과를 설명하는 도면.

도 12a 및 도 12b는 액정 표시 장치의 전계 모드의 계산 결과를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0036] 실시형태에 있어서, 도면을 사용하여 자세히 설명한다. 다만, 이하의 설명에 한정되지 않고, 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통으로 사용하고, 그 반복 설명은 생략한다.
- [0037] (실시형태 1)
- [0038] 본 명세서에 개시하는 발명을 적용한 액티브 매트릭스형 액정 표시 장치의 예를 도 1a 내지 도 2e, 도 4a 및 도 4b, 그리고 도 11a 및 도 11b를 사용하여 설명한다.
- [0039] 블루상을 나타내는 액정층을 포함하는 액정 표시 장치에 있어서, 기관에 대하여 대략 평행(즉, 수평 방향)인 전계를 생기게 하고, 기관과 평행한 면 내에서 액정 분자를 동작시켜, 계조를 제어하는 방식을 사용할 수 있다. 이와 같은 방식으로 IPS(In-Plane-Switching) 모드로 사용하는 전극 구성을 적용할 수 있다.
- [0040] IPS 모드 등에 나타나는 가로 전계 모드는, 액정층의 하방에 개구 패턴을 갖는 제 1 전극층(예를 들어, 각 화소 별로 전압이 제어되는 화소 전극층) 및 제 2 전극층(예를 들어, 전 화소에 공통의 전압이 공급되는 공통 전극층)을 배치한다. 제 1 전극층 및 제 2 전극층은, 평면 형상이 아니고, 다양한 개구 패턴을 갖고, 굴곡부나 분기한 빗살 형상을 포함한다. 제 1 전극층 및 제 2 전극층은 그 전극간에 전계를 발생시키기 위하여, 같은 형상으로 중첩되지 않는 배치로 한다.
- [0041] 화소 전극층과 공통 전극층의 사이에 전계를 가함으로써, 액정을 제어한다. 액정에는 수평 방향의 전계가 가해지기 때문에, 그 전계를 사용하여 액정 분자를 제어할 수 있다. 즉, 기관과 평행으로 배향하고 있는 액정 분자를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓어진다.
- [0042] 도 1a는 액정 표시 장치의 평면도이며 하나의 화소를 도시한다. 도 1b는 도 1a의 선 X1-X2에 있어서의 단면도이다.
- [0043] 도 1a에 있어서, 복수의 소스 배선층(소스 전극층(405a)을 포함함)이 서로 평행하고(도면 중 상하 방향으로 연장), 또 서로 이격된 상태로 배치된다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층에 대략 직교하는 방향(도면 중의 좌우 방향)으로 연장하고, 또 서로 이격하도록 배치된다. 용량 배선층(408)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어, 게이트 배선층에 대략 평행한 방향, 즉, 소스 배선층에 대략 직교하는 방향(도면 중의 좌우 방향)으로 연장한다. 소스 배선층과, 용량 배선층(408) 및 게이트 배선층으로, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 전극층이 배치된다. 화소 전극층을 구동하는 트랜지스터(460)는, 도면 중 왼쪽 위의 모서리에 배치된다. 화소 전극층 및 트랜지스터는, 매트릭스 형상으로 복수 배치되어 있다.
- [0044] 도 1a 및 도 1b의 액정 표시 장치에 있어서, 화소 전극층으로서 기능하는 제 1 전극층(447)에는, 트랜지스터

(460)의 반도체층(403)과 전기적으로 접속하는 소스 전극층(405a) 또는 드레인 전극층(405b)을 사이에 두고 화상 신호의 전위가 주어진다. 한편, 액정 소자의 공통 전극층으로서 기능하는 제 2 전극층(445)에는, 화소 전극층에 공급되는 화상 신호의 전위에 대하여 기준이 되는 고정 전위(일례로서는 그라운드 전위(접지 전위))가 주어진다. 공통 전위는, 데이터로서 송신되는 화상 신호의 중간 전위 근방에서 플리커가 생기지 않는 레벨로 설정하는 것이 바람직하다. 또한, 공통 전극층으로서 기능하는 제 2 전극층(445)은, 플로팅 상태(전기적으로 고립된 상태)로서 동작시킬 수도 있다.

- [0045] 트랜지스터(460)는 역 스테거형의 박막 트랜지스터이고, 절연 표면을 갖는 기판인 제 1 기판(441) 위에 형성되고, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 전극층(405a) 또는 드레인 전극층(405b)을 포함한다.
- [0046] 트랜지스터(460)를 덮고, 반도체층(403)에 접하는 절연막(407), 절연막(409)이 형성되고, 절연막(409) 위에 절연층(413)이 적층된다. 절연막(407), 절연막(409), 및 절연층(413)은 트랜지스터(460)와 제 1 전극층(447) 및 제 2 전극층(445) 사이에 형성된 층간막으로서 기능한다.
- [0047] 도 1a 및 도 1b에 있어서 도시한 바와 같이, 제 1 전극층(447)과 제 2 전극층(445)은 중첩하지 않고 서로 교대로 형성된다.
- [0048] 제 1 전극층(447) 및 제 2 전극층(445)은, 평면 형상이 아니라, 다양한 개구 패턴을 갖고, 굴곡부나 분기된 빗살 형상을 포함하는 형상이다.
- [0049] 제 1 전극층(447)과 전기적으로 접속하는 드레인 전극층(405b)은, 제 1 전극층(447) 아래에 절연층(413), 절연막(409), 및 절연막(407)을 사이에 두고, 게이트 절연층(402) 위에 연장하도록 형성된다. 제 2 전극층(445) 아래에도 절연층(413), 절연막(409), 및 절연막(407)을 사이에 두고, 게이트 절연층(402) 위의 드레인 전극층(405b)과 같은 공정으로 형성되는 도전층(406)이 연장하도록 형성된다.
- [0050] 드레인 전극층(405b) 및 도전층(406)은 각각 상기 상방에 형성되는 제 1 전극층(447), 또는 제 2 전극층(445)의 형상을 반영하여, 개구 패턴을 갖고 굴곡부나 분기된 빗살 형상을 포함하는 형상이다.
- [0051] 제 1 전극층(447)과 제 2 전극층(445) 사이에 형성되는 게이트 절연층(402), 절연막(407), 절연막(409), 절연층(413)은 선택적으로 제거되고, 개구(431)가 형성된다. 본 실시형태에서는, 상기 개구(431)는 제 1 기판(441)에 도달하는 예를 나타낸다. 상기 개구(431)를 충전하도록 액정층(444)이 형성된다.
- [0052] 제 1 전극층(447) 및 제 2 전극층(445) 위에는 액정층(444)이 형성되어, 대향 기판인 제 2 기판(442)으로 밀봉된다.
- [0053] 제 1 기판(441) 및 제 2 기판(442)은 투광성 기판이고, 각각 외측(액정층(444)이 존재하는 측과 반대 측)에 편광판(443a, 443b)이 형성된다.
- [0054] 제 1 전극층(447)과 드레인 전극층(405b)은 전기적으로 접속되어, 같은 전위를 줄 수 있다. 또한, 제 2 전극층(445)과 도전층(406)도 전기적으로 접속되어, 같은 전위를 줄 수 있다. 또한, 같은 전위를 줄 수 있다면, 제 1 전극층(447)과 드레인 전극층(405b), 제 2 전극층(445)과 도전층(406)은 직접 접하여 형성될 필요도 없고, 다른 배선층을 통하여(다른 배선층에 주어지는 전위에 의하여), 각각 같은 전위가 되면 좋다.
- [0055] 따라서, 제 1 전극층(447) 및 제 2 전극층(445)간에 전압을 인가하면, 드레인 전극층(405b) 및 도전층(406)간에도 각각 같은 전압을 인가할 수 있다. 따라서, 액정층(444)에 있어서 제 1 전극층(447)과 제 2 전극층(445) 사이와, 드레인 전극층(405b)과 도전층(406) 사이의 개구(431)의 영역에도 전계를 넓게 형성할 수 있다.
- [0056] 액정층(444)의 두께(막 두께)의 최대 값은 $1\mu\text{m}$ 이상 $20\mu\text{m}$ 이하로 하는 것이 바람직하다. 또한, 본 명세서에 있어서는, 액정층의 두께(막 두께)의 최대 값을 셀 갭이라고도 한다.
- [0057] 또한, 액정층(444)을 사이에 두고 인접하는 제 1 전극층(447)과 제 2 전극층(445)의 최단 거리는, $0.5\mu\text{m}$ 이상 $30\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하로 한다.
- [0058] 액정 표시 장치에 있어서의 전계의 인가 상태를 계산한 결과를 도 11b에 도시한다. 계산은, SHINTECH, Inc. 제작, LCD MASTER, 2s Bench를 사용하여 행하였다.
- [0059] 도 11a는 계산한 액정 표시 장치의 구성을 도시하는 도면이다. 도 11a는, 제 1 기판(200)과 제 2 기판(201)이, 블루상을 나타내는 액정 재료를 사용한 액정층(208)을 사이에 협지하여 대향하도록 배치된 액정 표시 장치이다.

도 1a 및 도 1b, 그리고 도 11a에서, 제 1 기판(441)이 제 1 기판(200)에, 제 2 기판(442)이 제 2 기판(201)에, 제 1 전극층(447)이 화소 전극층(230)에, 액정층(444)이 액정층(208)에, 드레인 전극층(405b)이 도전층(233)에, 제 2 전극층(445)이 공통 전극층(232a, 232b)에, 도전층(406)이 도전층(234a, 234b)에, 게이트 절연층(402)이 층간막(235, 236a, 236b)에, 절연막(407), 절연막(409), 및 절연층(413)이 층간막(237, 238a, 238b)에 각각 대응한다.

[0060] 층간막(235, 236a, 236b, 237, 238a, 238b)으로서는, 유전율 4의 절연체를 사용하고, 단면의 폭은 $2.5\mu\text{m}$ 로 하였다. 층간막(235, 236a, 236b)의 막 두께(높이)는 $0.6\mu\text{m}$, 층간막(237, 238a, 238b)의 막 두께(높이)는 $1.5\mu\text{m}$ 이다.

[0061] 화소 전극층(230)은, 층간막(235), 도전층(233), 층간막(237)의 적층 위에 형성되고, 마찬가지로 공통 전극층(232a, 232b)도 각각 층간막(236a, 236b), 도전층(234a, 234b), 층간막(238a, 238b)의 적층 위에 형성된다. 또한, 화소 전극층(230) 및 도전층(233), 공통 전극층(232a, 232b) 및 도전층(234a, 234b)은 각각 전기적으로 접속된다. 또한, 화소 전극층(230)과 공통 전극층(232a, 232b) 사이에는, 제 1 기판(200)에 도달하는 개구가 형성되고, 상기 개구에도 액정층(208)이 형성된다.

[0062] 화소 전극층(230), 공통 전극층(232a, 232b)의 막 두께는 $0.1\mu\text{m}$, 도전층(233, 234a, 234b)의 막 두께는 $0.4\mu\text{m}$, 및 화소 전극층(230)과 공통 전극층(232a, 232b) 사이의 거리는 $2.5\mu\text{m}$ 이다. 셀 갭(액정층의 최대 막 두께)에 상당하는 제 1 기판(200)으로부터 제 2 기판(201)까지의 거리는 $4\mu\text{m}$ 이다.

[0063] 도 11a의 구조에 대하여 공통 전극층(232a, 232b) 및 같은 전위가 되는 도전층(234a, 234b)을 0V, 화소 전극층(230) 및 같은 전위가 되는 도전층(233)은 10V의 설정으로서 계산한 계산 결과를 도 11b에 도시한다.

[0064] 도 11b에 있어서, 실선은 등전위선을 나타내고, 원 형상으로 퍼지는 등전위선의 중심에 화소 전극층, 공통 전극층, 또는 도전층이 배치된다.

[0065] 전계는 등전위선과 수직으로 발현되므로, 도 11b에 도시하는 바와 같이, 층간막(237)을 사이에 두고 적층된 도전층(233) 및 화소 전극층(230)과 층간막(238a, 238b)을 사이에 두고 적층된 도전층(234a, 234b) 및 공통 전극층(232a, 232b) 사이에 각각 가로 방향의 전계가 가해지고 있는 것을 확인할 수 있다.

[0066] 전계는, 화소 전극층(230)과 공통 전극층(232a, 232b) 사이에도 형성되고, 또 도전층(233)과 도전층(234a, 234b) 사이에도 형성되므로, 제 1 기판(200) 측에 형성된 층간막의 개구 영역을 포함한 액정층(208) 전체에 전계를 형성할 수 있다. 이와 같이 같은 전위를 갖는 도전층과 전극층을 적층체로 함으로써, 액정층에 전계를 넓게 형성할 수 있다. 따라서, 그 전계를 사용하여 액정 분자를 제어할 수 있다.

[0067] 따라서, 액정 표시 장치에 있어서, 액정층(208)에 전계를 넓게 형성할 수 있고, 또 막 두께 방향도 포함하여 액정층(208) 전체에 있어서의 액정 분자를 응답시킬 수 있다. 따라서, 백색 투과율이 향상되고, 백색 투과율과 흑색 투과율(흑색 표시시의 광 투과율)의 비율인 콘트라스트비도 높일 수 있다. 또한, 점도가 높은 블루상을 나타내는 액정 재료(액정 혼합물)라도 효과적으로 전계를 인가할 수 있으므로, 저소비 전력화도 달성할 수 있다.

[0068] 도 2a 내지 도 2e를 사용하여 도 1a 및 도 1b에 도시하는 액정 표시 장치의 제작 공정을 설명한다. 도 2a 내지 도 2e는 액정 표시 장치의 제작 공정의 단면도이다.

[0069] 도 2a에 있어서, 소자 기판인 제 1 기판(441) 위에 게이트 전극층(401), 게이트 절연층(402), 및 반도체층(403)이 형성되고, 게이트 전극층(401), 게이트 절연층(402), 및 반도체층(403) 위에 도전막(433)이 형성된다.

[0070] 마지막으로 되는 절연막을 제 1 기판(441)과 게이트 전극층(401) 사이에 형성하여도 좋다. 하지만은, 제 1 기판(441)으로부터 불순물 원소가 확산되는 것을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 단층 구조 또는 적층 구조에 의하여 형성할 수 있다.

[0071] 게이트 전극층(401)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층 또는 적층으로 형성할 수 있다. 게이트 전극층(401)에 차광성을 갖는 도전막을 사용함으로써, 백 라이트로부터의 광(제 1 기판(441)으로부터 입사하는 광)이, 반도체층(403)에 입사하는 것을 방지할 수 있다.

[0072] 예를 들어, 게이트 전극층(401)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구

조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티타늄층 또는 질화 탄탈을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금과, 질화 티타늄층 또는 티타늄층을 적층한 적층 구조로 하는 것이 바람직하다.

[0073] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층 또는 질화산화 실리콘층을 단층 또는 적층으로 형성할 수 있다. 또한, 게이트 절연층(402)으로서, 유기 실란 가스를 사용한 CVD법에 의하여 산화 실리콘층을 형성할 수도 있다. 유기 실란 가스로서는, 규산 에틸(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0074] 도전막(433)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 열 처리를 행하는 경우에는, 이 열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. 예를 들어, Al 단체로는 내열성이 뒤떨어지고, 또한 부식하기 쉬운 등의 문제점이 있기 때문에 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.

[0075] 또한, 도전막(433)으로서는 도전성의 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금(In_2O_3 - SnO_2 , ITO라고 약기함), 산화 인듐-산화 아연 합금(In_2O_3 - ZnO), 또는 상기 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 사용할 수 있다.

[0076] 게이트 절연층(402), 반도체층(403), 도전막(433)을 대기에 노출시키지 않고 연속적으로 형성하여도 좋다. 대기에 노출시키지 않고 연속적으로 형성함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 트랜지스터 특성의 변동을 저감할 수 있다.

[0077] 도전막(433)을 포토리소그래피 공정에 의하여 가공하여, 소스 전극층(405a), 드레인 전극층(405b), 도전층(406)을 형성한다(도 2b 참조). 또한, 본 실시형태에서는 도전막(433)의 에칭 공정에 있어서 반도체층(403)은 소스 전극층(405a), 드레인 전극층(405b)이 형성되지 않는 영역이 일부 에칭되어 홈부(오목부)를 갖는 반도체층이 되는 예를 나타낸다.

[0078] 트랜지스터(460), 도전층(406) 위에 절연막(407), 절연막(409) 및 절연층(413)을 적층한다(도 2c 참조).

[0079] 트랜지스터(460)를 덮는 절연막(407), 절연막(409), 절연층(413)은, 건식법이나 습식법으로 형성되는 무기 절연막, 유기 절연막을 사용할 수 있다. 예를 들어, 질화 실리콘, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄 등을 사용하여 CVD법이나 스퍼터링법 등의 건식법에 의하여 형성하여도 좋고, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 유기 재료를 사용하여 스펀코팅, 딥, 스프레이 도포, 액적 도출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 롤 코트, 커튼 코트, 나이프 코트 등의 습식법에 의하여 형성하여도 좋다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다.

[0080] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들어, 알킬기나 아릴기)나 플루오로기를 사용하여도 좋다. 또한, 유기기는 플루오로기를 가져도 좋다. 실록산계 수지는 도포법에 의하여 성막하여, 소성함으로써 절연층(413)으로서 사용할 수 있다.

[0081] 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연막(407), 절연막(409)을 형성하여도 좋다. 예를 들어, 무기 절연막 위에 유기 수지막을 적층하는 구조로 하여도 좋다.

[0082] 절연막(407), 절연막(409) 및 절연층(413)에 드레인 전극층(405b)에 도달하는 개구(콘택트 홀)를 형성하고, 개구 및 절연층(413) 위에 도전막을 형성한다. 도전막을 포토리소그래피 공정에 의하여 가공하여 드레인 전극층(405b)과 전기적으로 접속하는 제 1 전극층(447)과, 도전층(406)과 전기적으로 접속하는 제 2 전극층(445)을 형성한다(도 2d 참조). 제 2 전극층(445)과 도전층(406)의 전기적인 접속은 도시하지 않지만, 제 1 전극층(447)

과 드레인 전극층(405b)의 접속과 같이 도전층(406)에 도달하는 개구를 형성하고, 상기 개구에 제 2 전극층(445)을 형성하여 행하여도 좋고, 제 2 전극층(445)과 같은 전위가 주어지는 배선층과 접속함으로써 도전층(406)에도 제 2 전극층(445)과 같은 전위를 주어도 좋다.

- [0083] 화소의 표시 영역에 있어서, 제 1 전극층(447)과 드레인 전극층(405b), 제 2 전극층(445)과 도전층(406)은, 대략 같은 형상으로 중첩하는 것이 바람직하다.
- [0084] 제 1 전극층(447), 제 2 전극층(445)에 있어서는 투광성이 바람직하지만, 개구 패턴을 갖기 때문에 형상에 따라서는 금속막 등의 비투광성 재료를 사용하여도 좋다.
- [0085] 제 1 전극층(447) 및 제 2 전극층(445)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하 ITO라고 기재함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0086] 또한, 제 1 전극층(447) 및 제 2 전극층(445)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물로부터 하나, 또는 복수종을 사용하여 형성할 수 있다.
- [0087] 또한, 제 1 전극층(447), 제 2 전극층(445)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 제 1 전극층(447) 및 제 2 전극층(445)은 시트 저항이 $10000\Omega/\square$ 이하이고, 또한 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0088] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤 또는 티오펜의 2종 이상으로 구성되는 공중합체 또는 그 유도체 등을 들 수 있다.
- [0089] 다음에, 제 1 전극층(447)과 제 2 전극층(445) 사이에 형성된 절연막(407), 절연막(409), 절연층(413)을 선택적으로 제거하여 제 1 기판(441)에 도달하는 개구(431)를 형성한다(도 2e 참조).
- [0090] 도 1a 내지 도 2e에서는, 게이트 절연층(402)까지 제거하여, 제 1 기판(441)에 도달하는 개구(431)를 형성하는 예이지만, 개구(431)에 있어서 게이트 절연층(402)을 잔존시켜도 좋다. 또한, 도 1a 내지 도 2e에서는 개구(431)에 있어서 드레인 전극층(405b), 도전층(406)의 단부가 노출되어 제 1 전극층(447), 제 2 전극층(445)의 단부와 일치하는 예이지만, 드레인 전극층(405b), 도전층(406)은 단부를 위에 형성되는 절연막(407)으로 덮여 있어도 좋다.
- [0091] 화소 전극층인 제 1 전극층(447)과 공통 전극층인 제 2 전극층(445) 사이에 형성된 개구의 형성 예를 도 4a 및 도 4b에 도시한다.
- [0092] 도 4a는, 드레인 전극층(405b), 도전층(406)이 개구에 노출되지 않는 예이고, 드레인 전극층(405b), 도전층(406)의 단부는 절연막(407)으로 덮여 있다. 제 1 전극층(447), 제 2 전극층(445)의 단부도 개구와 일치하지 않는 예이다. 또한, 도 4b는 개구에 있어서 게이트 절연층(402)을 제거하지 않고 잔존시키는 예이다.
- [0093] 이와 같이, 화소 전극층과 공통 전극층 사이의 층간막을 제거하여 형성하는 개구는, 적어도 드레인 전극층(405b)과 도전층(406) 사이까지 형성하면 좋다. 드레인 전극층(405b)과 도전층(406) 사이에 형성된 개구에 충전된 액정 분자는 드레인 전극층(405b)과 도전층(406)으로 형성되는 전계에 의하여 제어할 수 있다.
- [0094] 반도체층, 전극층, 도전층 등의 제작 공정, 개구의 형성 공정에 있어서, 박막을 원하는 형상으로 가공하기 위하여 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 에칭 공정을 행한다. 가공하는 재료나 형상에 따라, 마스크나 에칭 공정은 복수 사용하여도 좋다.
- [0095] 레지스트 마스크의 개수를 삭감하기 위하여, 제 1 에칭 공정에서 사용한 레지스트 마스크를 애싱에 의하여 가공하고, 다음 제 2 에칭 공정에서 사용할 수도 있다.
- [0096] 또한, 다계조 마스크에 의하여 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 개수를 줄일 수 있기 때문에, 공정 간략화, 저비용화를 도모할 수 있다.

- [0097] 에칭 공정은, 드라이 에칭이나 웨트 에칭을 사용할 수 있다.
- [0098] 드라이 에칭에 사용하는 에칭 장치로서는, 반응성 이온 에칭법(RIE법)을 사용한 에칭 장치나, ECR(Electron Cyclotron Resonance)이나 ICP(Inductively Coupled Plasma) 등의 고밀도 플라즈마원을 사용한 드라이 에칭 장치를 사용할 수 있다. 또한, ICP 에칭 장치와 비교하여 넓은 면적에 걸쳐 같은 방전이 얻어지기 쉬운 드라이 에칭 장치로서는, 상부 전극을 접지시켜, 하부 전극에 13.56MHz의 고주파 전원을 접속하고, 또한 하부 전극에 3.2MHz의 저주파 전원을 접속한 ECCP(Enhanced Capacitively Coupled Plasma) 모드의 에칭 장치가 있다. 이 ECCP 모드의 에칭 장치이면, 예를 들어, 기관으로서 제 10 세대의 3m를 초과하는 사이즈의 기관을 사용하는 경우에도 대응할 수 있다.
- [0099] 원하는 가공 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건을 적절히 조절한다. 예를 들어, 드라이 에칭에 있어서는, 에칭 조건으로서 코일형의 전극에 인가되는 전력량, 기관 축의 전극에 인가되는 전력량, 기관 축의 전극 온도 등을 적절히 조절한다. 또한, 웨트 에칭에 있어서는, 에칭 조건으로서 에칭액, 에칭 시간, 온도 등을 적절히 조절한다. 웨트 에칭에서는, 에칭이 막 두께 방향, 막 폭 방향의 양 방향에 대하여 등방적으로 진행되므로, 에칭 공정에 의하여 제거되어 버리는 막 폭 방향의 영역(길이)도 계산하여 레지스트 마스크의 크기 및 형상을 고려한다.
- [0100] 예를 들어, 게이트 절연층(402), 절연막(407), 절연막(409) 및 절연층(413)을 선택적으로 제거하여 형성되는 개구(431)는, 도 1b에서는 개구(431)의 벽면은 직선 위에서 일치하는 예이지만, 사용하는 재료나 에칭 방법에 의하여 개구(431)의 벽면은 상이한 막 폭을 갖는 요철의 면이 되는 예도 있다.
- [0101] 예를 들어, 게이트 절연층으로서 산화질화 실리콘막(막 두께 600nm), 절연층으로서 아크릴 수지막(막 두께 2 μ m)을 사용하여, 상기 적층을 선택적으로 제거하여 개구를 형성하는 일례를 설명한다. 또한, 게이트 절연층과 절연층 사이에는 티타늄막(막 두께 50nm), 알루미늄막(막 두께 200nm), 티타늄막(막 두께 50nm)의 적층으로 이루어지는 도전층이 형성된다.
- [0102] 게이트 절연층인 산화질화 실리콘막을 ICP 드라이 에칭법에 의하여 개구를 형성한다. 에칭 조건으로는, CHF_3 과 He를 사용하여 코일형의 전극에 인가되는 전력량 475W, 기관 축의 전극에 인가되는 전력량 300W, 압력 5.5Pa, 하부 전극 온도 70℃, 시간 160초로 행한다.
- [0103] 다음에 게이트 절연층 및 도전층 위에 절연층으로서 아크릴 수지를 도포법에 의하여 형성하고, 절연층 위에 화소 전극층 및 공통 전극층이 되는 인듐 주석 산화물막을 스퍼터링법에 의하여 적층한다.
- [0104] 인듐 주석 산화물막을 웨트 에칭법에 의하여 에칭하여 화소 전극층 및 공통 전극층을 형성한다. 에칭액으로서 는, ITO07N(KANTO CHEMICAL Co., Inc 제조)을 사용할 수 있다.
- [0105] 그리고, 절연층인 아크릴 수지막을 RIE법에 의하여 에칭하여 개구를 형성한다. 에칭 조건으로서는, CF_4 과 He 및 O_2 를 사용하여 전력량 500W, 압력 500mTorr, 시간 150초로 행한다. 상술한 공정에서, 게이트 절연층인 산화질화 실리콘막과 절연층인 아크릴 수지막에 개구를 형성할 수 있다.
- [0106] 게이트 절연층인 산화질화 실리콘막과, 절연층인 아크릴 수지막을 한 번의 에칭 공정에 의하여 에칭하여 개구를 형성하여도 좋다. 또한, 화소 전극층 및 공통 전극층이 되는 인듐 주석 산화물막이 에칭되기 어려운 에칭 조건을 선택함으로써, 인듐 주석 산화물막을 마스크로 하여 게이트 절연층인 산화질화 실리콘막과 절연층인 아크릴 수지막을 에칭할 수도 있다. 물론, 별도 인듐 주석 산화물막 위에 마스크를 형성하여도 좋다.
- [0107] 또한, 개구(431)에 드레인 전극층(405b)과 도전층(406)이 노출되는 경우, 게이트 절연층(402), 절연막(407), 절연막(409), 및 절연층(413)을 에칭할 때 드레인 전극층(405b)과 도전층(406)이 에칭되기 어려운 조건을 적절히 선택할 필요가 있다.
- [0108] 제 1 기관(441)과 대향 기관인 제 2 기관(442)을, 액정층을 사이에 협지하여 쉘재로 고착한다. 액정층을 형성하는 방법으로서, 디스펜서법(적하법)이나, 제 1 기관(441)과 제 2 기관(442)을 접합한 후에 모세관 현상 등을 사용하여 액정을 주입하는 주입법을 사용할 수 있다.
- [0109] 액정층(444)에는, 블루상을 나타내는 액정 재료를 사용한다.
- [0110] 블루상을 나타내는 액정 재료로서 액정 및 키랄제를 포함한다. 키랄제는, 액정을 나선 구조로 배향시켜, 블루상을 발현시키기 위하여 사용한다. 예를 들어, 수wt% 이상의 키랄제를 혼합시킨 액정 재료를 액정층에 사용하

면 좋다.

- [0111] 액정은, 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전 액정, 반강유전 액정 등을 사용한다.
- [0112] 키랄제는, 액정에 대한 상용(相溶)성이 좋고, 또 꼬이는 힘이 강한 재료를 사용한다. 또한, R체, S체의 어느 한쪽의 재료가 좋고, R체와 S체의 비율이 50:50의 라세미체는 사용하지 않는다.
- [0113] 상기 액정 재료는, 조건에 따라 콜레스테릭상, 콜레스테릭 블루상, 스멕틱상, 스멕틱 블루상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0114] 블루상인 콜레스테릭 블루상 및 스멕틱 블루상은, 나선 피치가 500nm 이하로, 비교적 피치가 짧은 콜레스테릭상 또는 스멕틱상을 갖는 액정 재료에 나타난다. 액정 재료의 배향은 이중 꼬임 구조를 갖는다. 가시광의 파장 이하의 질서를 갖기 때문에, 투명하고, 전압 인가에 의하여 배향 질서가 변화하여 광학적 변조 작용이 생긴다. 블루상은 광학적으로 등방이기 때문에 시야각 의존성이 없고, 배향막을 형성하지 않아도 되기 때문에, 표시 화상의 질을 향상시킬 수 있고, 또 비용을 삭감할 수 있다.
- [0115] 또한, 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 넓게 개선하기 위하여 액정 재료에, 광 경화 수지 및 광 중합 개시제를 첨가하여, 고분자 안정화 처리를 행하는 것이 바람직하다. 고분자 안정화 처리는, 액정, 키랄제, 광 경화 수지, 및 광 중합 개시제를 포함하는 액정 재료에, 광 경화 수지 및 광 중합 개시제가 반응되는 파장의 광을 조사함으로써 행한다. 이 고분자 안정화 처리는, 온도 제어를 행하여, 등방상을 나타낸 상태로 광 조사하여 행하여도 좋고, 블루상을 나타낸 상태로 광 조사하여 행하여도 좋다.
- [0116] 예를 들어, 액정층의 온도를 제어하여, 블루상을 발현시킨 상태에서 액정층에 광을 조사함으로써 고분자 안정화 처리를 행한다. 다만, 이것에 한정되지 않고, 블루상과 등방상 사이의 상전이 온도에서 +10℃ 이내, 바람직하게는 +5℃ 이내의 등방상을 발현한 상태에서 액정층에 광을 조사함으로써 고분자 안정화 처리를 행하여도 좋다. 블루상과 등방상 사이의 상전이 온도란, 승온시에 블루상으로부터 등방상으로 전이하는 온도, 또는 강온시에 등방상으로부터 블루상으로 상전이하는 온도를 가리킨다. 고분자 안정화 처리의 일례로서는, 액정층을 등방상까지 가열한 후에, 서서히 강온시켜 블루상으로까지 상전이시켜, 블루상이 발현하는 온도를 유지한 상태에서 광을 조사할 수 있다. 이외에도, 액정층을 서서히 가열하여 등방상으로 상전이시킨 후, 블루상과 등방상 사이의 상전이 온도로부터 +10℃ 이내, 바람직하게는 +5℃ 이내의 상태(등방상을 발현한 상태)로 광을 조사할 수 있다. 또한, 액정 재료에 포함되는 광 경화 수지로서, 자외선 경화 수지(UV 경화 수지)를 사용하는 경우, 액정층에 자외선을 조사하면 좋다. 또한, 블루상을 발현시키지 않아도, 블루상과 등방상 간의 상전이 온도로부터 +10℃ 이내, 바람직하게는 +5℃ 이내 상태(등방상을 발현한 상태)에서 광을 조사하여 고분자 안정화 처리를 행하면, 응답 속도가 1msec 이하로 짧고 고속 응답이 가능하다.
- [0117] 광 경화 수지는, 아크릴레이트, 메타크릴레이트 등의 단관능 단위체라도 좋고, 디아크릴레이트, 트리아크릴레이트, 디메타크릴레이트, 트리메타크릴레이트 등의 다관능 단위체라도 좋고, 이들을 혼합시킨 것이라도 좋다. 또한, 액정성인 것이라도 비액정성인 것이라도 좋고, 이들을 혼합시켜도 좋다. 광 경화 수지는, 사용하는 광중합 개시제가 반응하는 파장의 광으로 경화하는 수지를 선택하면 좋고, 대표적으로는 자외선 경화 수지를 사용할 수 있다.
- [0118] 광 중합 개시제는, 광 조사에 의하여 라디칼을 발생시키는 라디칼 중합 개시제라도 좋고, 산을 발생시키는 산 발생제라도 좋고, 염기를 발생시키는 염기 발생제라도 좋다.
- [0119] 구체적으로는, 액정 재료로서, JC-1041XX(Chisso Corporation 제조)와 4-시아노-4'-펜틸비페닐의 혼합물을 사용할 수 있고, 키랄제로서는, ZLI-4572(Merck Ltd., Japan 제조)를 사용할 수 있고, 광 경화 수지는, 2-에틸헥실 아크릴레이트, RM257(Merck Ltd., Japan 제조), 트리메틸올프로판트리아크릴레이트를 사용할 수 있고, 광 중합 개시제로서는 2,2-디메톡시-2-페닐아세토펜을 사용할 수 있다.
- [0120] 본 명세서에 있어서, 액정 표시 장치는 광원의 광을 투과함으로써 표시를 행하는 투과형의 액정 표시 장치(또는 반투과형의 액정 표시 장치)인 경우, 적어도 화소 영역에 있어서 광을 투과시킬 필요가 있다. 따라서 광이 투과하는 화소 영역에 존재하는 제 1 기관, 제 2 기관, 절연막, 도전막 등의 박막은 모두 가시광의 파장 영역의 광에 대하여 투광성으로 한다.
- [0121] 셀재로서는, 대표적으로는 가시광 경화성, 자외선 경화성, 또는 열 경화성의 수지를 사용하는 것이 바람직하다. 대표적으로는, 아크릴 수지, 에폭시 수지, 아민 수지 등을 사용할 수 있다. 또한, 광(대표적으로는 자외선) 중합 개시제, 열 경화제, 필러, 커플링제를 포함하여도 좋다.

- [0122] 액정층에 광을 조사하여 고분자 안정화 처리를 행하고, 액정층(444)을 형성한다. 광은, 액정층에 포함되는 광 경화 수지 및 광 중합 개시제가 반응하는 파장의 광으로 한다. 이 광 조사에 의한 고분자 안정화 처리에 의하여, 액정층(444)이 블루상을 나타내는 온도 범위를 넓게 개선할 수 있다.
- [0123] 셀체에 자외선 등의 광 경화 수지를 사용하여, 적하법으로 액정층을 형성하는 경우 등, 고분자 안정화 처리의 광 조사 공정에 의하여 셀체의 경화도 행하여도 좋다.
- [0124] 차광층을 트랜지스터의 적어도 반도체층 상방을 덮도록 형성하면, 트랜지스터의 반도체층에 대한 광의 입사를 차단할 수 있으므로, 반도체의 광 감도에 의한 트랜지스터의 전기 특성이 변동되는 것을 방지하고, 더 안정화시킬 수 있다. 또한, 차광층을 콘택트 홀 위나 화소간을 덮도록 형성하면, 콘택트 홀 위에 발생하기 쉬운 액정의 배향 결함에 의한 광 누설 등의 표시 불균일을 감출 수 있기 때문에 콘트라스트의 저하를 억제할 수 있다. 따라서, 액정 표시 장치의 고정세화, 고신뢰성화를 달성할 수 있다.
- [0125] 차광층은, 광을 반사, 또는 흡수하여, 차광성을 갖는 재료를 사용한다. 예를 들어, 흑색의 유기 수지를 사용할 수 있고, 감광성 또는 비감광성의 폴리이미드 등의 수지 재료에, 안료계의 흑색 수지나 카본 블랙, 티타늄 블랙 등을 혼합시켜 형성하면 좋다. 또한, 차광성의 금속막을 사용할 수도 있고, 예를 들어 크롬, 몰리브덴, 니켈, 티타늄, 코발트, 구리, 텅스텐, 또는 알루미늄 등을 사용하면 좋다.
- [0126] 차광층의 형성 방법은 특히 한정되지 않고, 재료에 따라, 증착법, 스퍼터링법, CVD법 등의 건식법, 또는 스핀 코팅, 딥, 스프레이 도포, 액적 도출법(잉크젯 법, 스크린 인쇄, 오프 셋 인쇄 등) 등의 습식법을 사용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의하여 원하는 패턴으로 가공하면 좋다.
- [0127] 차광층을 소자 기관인 제 1 기관(441) 측에 형성하는 구성이면, 고분자 안정화를 위한 광 조사 처리 공정에 있어서 상기 차광층에 의하여 대향 기관(제 2 기관(442)) 측으로부터 조사되는 광이 흡수, 차단되지 않으므로, 액정층 전체에 균일하게 조사하여 액정층을 광 중합할 수 있다. 따라서, 광 중합의 불균일로 인한 액정의 배향 흐트러짐이나 그에 따른 표시 불균일 등을 방지할 수 있다.
- [0128] 본 실시형태에서는, 제 1 기관(441)의 외측(액정층(444)이 존재하는 측과 반대측)에 편광판(443a)을, 제 2 기관(442)의 외측(액정층(444)이 존재하는 측과 반대측)에 편광판(443b)을 형성한다. 또한, 편광판 이외에, 위상차판, 반사 방지막 등의 광학 필름 등을 형성하여도 좋다. 예를 들어, 편광판 및 위상차판에 의한 원편광을 사용하여도 좋다. 상술한 바와 같은 공정으로, 액정 표시 장치를 완성시킬 수 있다.
- [0129] 또한, 대형 기관을 사용하여 복수의 액정 표시 장치를 제작하는 경우(소위 다면취), 그 분단 공정은, 고분자 안정화 처리를 행하기 전이나, 편광판을 형성하기 전에 행할 수 있다. 분단 공정에 의한 액정층에 대한 영향(분단 공정시에 가해지는 힘 등에 의한 배향 흐트러짐 등)을 고려하면, 제 1 기관과 제 2 기관을 접합시킨 후, 고분자 안정화 처리를 행하기 전에 행하는 것이 바람직하다.
- [0130] 도시하지 않지만, 광원으로서 백 라이트, 사이드 라이트 등을 사용하면 좋다. 광원은 소자 기관인 제 1 기관(441) 측으로부터, 시인 측인 제 2 기관(442)에 투과하도록 조사된다.
- [0131] 블루상을 나타내는 액정 재료는, 응답 속도가 1msec 이하로 짧고, 고속 응답이 가능하기 때문에, 액정 표시 장치의 고성능화가 가능하게 된다.
- [0132] 예를 들어, 고속 응답이 가능하기 때문에, 백 라이트 장치에 RGB의 발광 다이오드(LED) 등을 배치하고, 시분할에 의하여 컬러 표시하는 계시 가법 혼색법(繼時加法混色法)(field sequential법)이나, 시분할에 의하여 좌우의 영상을 교대로 보는 셔터 안경 방식에 의한 3차원 표시 방식에 바람직하게 채용할 수 있다.
- [0133] 상술한 바와 같이, 블루상을 나타내는 액정층을 사용한 액정 표시 장치에 있어서, 콘트라스트비를 높일 수 있다.
- [0134] 또한, 보다 저전압으로, 높은 백색 투과율을 얻을 수 있으므로, 액정 표시 장치의 저소비 전력화도 달성할 수 있다.
- [0135] (실시형태 2)
- [0136] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태인 액정 표시 장치를 도 3a 및 도 3b, 그리고 도 12a 및 도 12b를 사용하여 설명한다. 도 3a 및 도 3b는 액정 표시 장치의 단면도이고, 실시형태 1에서 나타내는 액정 표시 장치에 있어서 대향 기관(제 2 기관) 측에도 공통 전극층을 형성하는 구성이다. 또한, 실시형태 1과 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 동일한 기능을 갖는 부분의 상세한

설명은 생략한다.

- [0137] 도 3a는 액정 표시 장치의 평면도이며, 도 3b는 도 3a의 선 X1-X2의 단면도이다. 또한, 도 3a의 평면도에서는 제 1 기관(441) 측 및 제 2 기관 측의 제 3 전극층(446)만 도시하고, 다른 구성 요소의 기재는 생략한다.
- [0138] 공통 전극층은 대향 기관(제 2 기관) 측에도 한 쌍의 공통 전극층이 대향하도록 형성하여도 좋고, 도 3a 및 도 3b에 도시한 바와 같이 액정층(444)을 사이에 끼워 제 1 기관(441) 측의 공통 전극층(제 1 공통 전극층이라고도 함)인 제 2 전극층(445)과, 제 2 기관(442) 측의 공통 전극층(제 2 공통 전극층이라고도 함)인 제 3 전극층(446)이 서로 중첩하도록 배치된다. 본 실시형태와 같이, 공통 전극층으로서 제 1 공통 전극층 및 제 2 공통 전극층의 2종류를 형성하는 경우에는, 제 1 공통 전극층(제 2 전극층(445)) 및 제 2 공통 전극층(제 3 전극층(446))은 같은 전위가 바람직하다.
- [0139] 제 1 전극층(447), 제 2 전극층(445) 및 제 3 전극층(446)은 평판 형상이 아니라, 다양한 개구 패턴을 갖고, 굴곡부나 분기한 빗살 형상을 포함하는 형상이다. 또한, 제 3 전극층(446)을 형성하는 경우, 제 2 전극층(445) 및 제 3 전극층(446)은 적어도 화소 영역에 있어서 평면도로 보면 대략 같은 형상이고 액정층을 사이에 두고 중첩하도록 배치된다. 또한, 도 3b의 단면도로는 제 2 전극층(445)의 단부와 제 3 전극층(446)의 단부는 일치하는 예를 나타내지만, 적어도 일부분이 겹쳐(중첩하고) 있으면 일치하지 않아도 좋다(예를 들어, 제 2 전극층(445)의 단부가 제 3 전극층(446)의 단부보다 외측에 위치하거나, 또는 내측에 위치하는 등).
- [0140] 트랜지스터(460)가 갖는 드레인 전극층(405b)은 제 1 전극층(447)과 전기적으로 접속하고, 제 1 전극층(447) 아래에 절연층(413), 절연막(409), 및 절연막(407)을 사이에 두고 게이트 절연층(402) 위에 연장되어 형성된다. 제 2 전극층(445) 아래에도 절연층(413), 절연막(409), 및 절연막(407)을 사이에 두고 게이트 절연층(402) 위에 드레인 전극층(405b)과 같은 공정으로 형성되는 도전층(406)이 연장되어 형성된다.
- [0141] 제 1 전극층(447)과 제 2 전극층(445) 사이에 형성되는 게이트 절연층(402), 절연막(407), 절연막(409) 및 절연층(413)은 선택적으로 제거되어 개구(431)가 형성된다. 본 실시형태에서는, 상기 개구(431)는 제 1 기관(441)에 도달하는 예를 나타낸다. 상기 개구(431)를 충전하도록 액정층(444)이 형성된다.
- [0142] 제 1 전극층(447) 및 제 2 전극층(445) 위에는 액정층(444)이 형성되고, 대향 기관인 제 2 기관(442)으로 밀봉되어 있다.
- [0143] 제 1 기관(441) 및 제 2 기관(442)은 투광성 기관이고, 각각 외측(액정층(444)이 존재하는 측과 반대 측)에 편광판(443a, 443b)이 형성된다.
- [0144] 제 1 전극층(447)과 드레인 전극층(405b)은 전기적으로 접속되고, 같은 전위를 줄 수 있다. 또한, 제 2 전극층(445)과 도전층(406)도 전기적으로 접속되고, 같은 전위를 줄 수 있다. 또한, 같은 전위를 줄 수 있다면, 제 1 전극층(447)과 드레인 전극층(405b), 제 2 전극층(445)과 도전층(406)은 직접 접하여 형성되지 않아도 좋고, 다른 배선층을 사이에 두고(다른 배선층에 주어진 전위에 의하여), 각각 같은 전위로 되면 좋다.
- [0145] 따라서, 제 1 전극층(447) 및 제 2 전극층(445)에 전압을 인가하면, 드레인 전극층(405b) 및 도전층(406)에도 각각 같은 전압을 인가할 수 있다. 따라서, 액정층(444)에 있어서 제 1 전극층(447)과 제 2 전극층(445) 사이와, 드레인 전극층(405b)과 도전층(406) 사이의 개구(431)의 영역에도 전계를 넓게 형성할 수 있다.
- [0146] 또한, 본 실시형태와 같이, 제 2 기관(442) 측에 제 2 공통 전극층으로서 제 3 전극층(446)을 형성하면, 제 1 전극층(447)과 제 3 전극층(446) 사이에 액정에 대하여 경사진 방향(기관에 대하여 경사진 방향)의 전계도 가할 수 있으므로, 더 효율 좋게 액정 분자를 제어할 수 있다.
- [0147] 액정 표시 장치에 있어서의 전계의 인가 상태를 계산한 결과를 도 12b에 도시한다. 계산은, SHINTECH, Inc. 제작, LCD MASTER, 2s Bench를 사용하여 행하였다.
- [0148] 도 12a는 계산한 액정 표시 장치의 구성을 도시하는 도면이다. 도 12a는, 제 1 기관(200)과 제 2 기관(201)이, 블루상을 나타내는 액정 재료를 사용한 액정층(208)을 사이에 협지하여 대향하도록 배치된 액정 표시 장치이다. 도 3a 및 도 3b, 그리고 도 12a는 제 1 기관(441)이 제 1 기관(200)에, 제 2 기관(442)이 제 2 기관(201)에, 제 1 전극층(447)이 화소 전극층(230)에, 액정층(444)이 액정층(208)에, 드레인 전극층(405b)이 도전층(233)에, 제 2 전극층(445)이 공통 전극층(232a, 232b)에, 도전층(406)이 도전층(234a, 234b)에, 게이트 절연층(402)이 층간막(235, 236a, 236b)에, 절연막(407), 절연막(409), 및 절연층(413)이 층간막(237, 238a, 238b)에 제 3 전극층(446)이 공통 전극층(231a, 231b)에 각각 대응한다.

- [0149] 층간막(235, 236a, 236b, 237, 238a, 238b)으로서는 유전율 4의 절연체를 사용하고, 단면의 폭은 $2.5\mu\text{m}$ 로 하였다. 층간막(235, 236a, 236b)의 막 두께(높이)는 $0.6\mu\text{m}$, 층간막(237, 238a, 238b)의 막 두께(높이)는 $1.5\mu\text{m}$ 이다. 또한, 도 12a 및 도 12b에 있어서 제 2 기판(201)과 액정층(208) 사이에 공통 전극층(232a, 232b)과 겹치도록 공통 전극층(231a, 231b)이 형성된다.
- [0150] 화소 전극층(230)은, 층간막(235), 도전층(233), 층간막(237)의 적층 위에 형성되고, 마찬가지로 공통 전극층(232a, 232b)도 각각 층간막(236a, 236b), 도전층(234a, 234b), 층간막(238a, 238b)의 적층 위에 형성된다. 또한, 화소 전극층(230) 및 도전층(233), 공통 전극층(232a, 232b) 및 도전층(234a, 234b)은 각각 전기적으로 접속된다. 또한, 화소 전극층(230)과 공통 전극층(232a, 232b) 사이에는 제 1 기판(200)에 도달하는 개구가 형성되고, 상기 개구에도 액정층(208)이 형성된다.
- [0151] 화소 전극층(230), 공통 전극층(232a, 232b)의 막 두께는 $0.1\mu\text{m}$, 도전층(233, 234a, 234b)의 막 두께는 $0.4\mu\text{m}$, 화소 전극층(230)과 공통 전극층(232a, 232b) 사이의 거리는 $2.5\mu\text{m}$ 이다. 셀 갭(액정층의 최대 막 두께)에 상당하는 제 1 기판(200)으로부터 제 2 기판(201)까지의 거리는 $4\mu\text{m}$ 이다. 또한, 공통 전극층(231a)과 공통 전극층(231b)의 거리는 $7.5\mu\text{m}$ 이다.
- [0152] 도 12a의 구조에 대하여, 공통 전극층(231a, 231b), 공통 전극층(232a, 232b) 및 같은 전위가 되는 도전층(234a, 234b)을 0V, 화소 전극층(230) 및 같은 전위가 되는 도전층(233)은 10V의 설정으로서 계산한 계산 결과를 도 12b에 도시한다.
- [0153] 도 12b에 있어서, 실선은 등전위선을 나타내고, 원 형상으로 퍼지는 등전위선의 중심에 화소 전극층, 공통 전극층 또는 도전층이 배치된다.
- [0154] 전계는 등전위선과 수직으로 발현되므로, 도 12b에 도시하는 바와 같이, 층간막(237)을 사이에 두고 적층된 도전층(233) 및 화소 전극층(230)과, 층간막(238a, 238b)을 사이에 두고 적층된 도전층(234a, 234b) 및 공통 전극층(232a, 232b) 사이에 각각 가로 방향의 전계가 가해지고 있는 것을 확인할 수 있다.
- [0155] 또한, 화소 전극층(230)과 공통 전극층(231a, 231b) 사이에 경사진 방향에도 전계를 형성할 수 있다. 따라서, 액정층(208) 전체에 전계를 더 넓게 형성할 수 있다.
- [0156] 전계는, 화소 전극층(230)과 공통 전극층(232a, 232b)에도 형성되고, 또 도전층(233)과 도전층(234a, 234b) 사이에도 형성되기 때문에, 제 1 기판(200) 측에 형성된 층간막의 개구 영역을 포함한 액정층(208) 전체에 전계를 형성할 수 있다. 또한, 제 2 기판 측에 있어서 화소 전극층과 겹치지 않는 위치에 제 2 공통 전극층을 형성함으로써, 화소 전극층과 제 2 공통 전극층 사이에 경사진 전계를 형성할 수 있다. 이와 같이 같은 전위를 갖는 도전층과 전극층을 적층체로 함으로써, 액정층에 전계를 넓게 형성할 수 있다. 따라서, 그 전계를 사용하여 액정 분자를 제어할 수 있다.
- [0157] 따라서, 액정 표시 장치에 있어서, 액정층(208)에 전계를 넓게 형성할 수 있고, 또 막 두께 방향도 포함하여 액정층(208) 전체에 있어서의 액정 분자를 응답시킬 수 있다. 따라서 백색 투과율이 향상되고, 백색 투과율과 흑색 투과율(흑색 표시시의 광 투과율)의 비율인 콘트라스트비도 높게 할 수 있다. 또한, 점도가 높은 블루상을 나타내는 액정 재료(액정 혼합물)라도 효과적으로 전계를 인가할 수 있으므로, 저소비 전력화도 달성할 수 있다.
- [0158] 제 2 공통 전극층인 제 3 전극층(446)은 실시형태 1에서 나타난 공통 전극층인 제 2 전극층(445)과 같은 재료 및 방법으로 형성할 수 있다.
- [0159] 상술한 바와 같이, 블루상을 나타내는 액정층을 사용한 액정 표시 장치에 있어서, 콘트라스트비를 높일 수 있다.
- [0160] 또한, 보다 저전압이며, 높은 백색 투과율을 얻을 수 있으므로, 액정 표시 장치의 저소비 전력화도 달성할 수 있다.
- [0161] (실시형태 3)
- [0162] 본 실시형태에서는, 본 명세서에 개시하는 액정 표시 장치에 적용할 수 있는 트랜지스터의 예를 나타낸다. 본 명세서에 개시하는 액정 표시 장치에 적용할 수 있는 트랜지스터의 구조는 특별히 한정되지 않고, 예를 들어 톱 게이트 구조, 또는 보텀 게이트 구조의 스테거형 및 플레인(Planer)형 등을 사용할 수 있다. 또한, 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도 좋고, 2개 형성되는 더블 게이트 구조 또는 3개 형

성되는 트리플 게이트 구조라도 좋다. 또한, 채널 형성 영역의 상하에 게이트 절연층을 사이에 두고 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트 형이라도 좋다. 도 7a 내지 도 7d에 트랜지스터의 단면 구조의 일례를 도시한다.

- [0163] 도 7a에 도시하는 트랜지스터(410)는, 보텀 게이트 구조의 박막 트랜지스터의 하나이며, 역 스택거형 박막 트랜지스터라고도 한다.
- [0164] 트랜지스터(410)는 절연 표면을 갖는 제 1 기판(441) 위에 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(410)를 덮어, 반도체층(403)에 적층하는 절연막(407)이 형성된다. 또한, 절연막(407) 위에는 절연막(409)이 형성된다.
- [0165] 도 7b에 도시하는 트랜지스터(420)는, 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 보텀 게이트 구조의 하나이고, 역 스택거형 박막 트랜지스터라고도 한다.
- [0166] 트랜지스터(420)는, 절연 표면을 갖는 제 1 기판(441) 위에 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 반도체층(403)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연막(427), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(420)를 덮어 절연막(409)이 형성된다.
- [0167] 도 7c에 도시하는 트랜지스터(430)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 제 1 기판(441) 위에, 게이트 전극층(401), 게이트 절연층(402), 소스 전극층(405a), 드레인 전극층(405b), 및 반도체층(403)을 포함한다. 또한, 트랜지스터(430)를 덮어, 반도체층(403)에 접하는 절연막(407)이 형성된다. 또한, 절연막(407) 위에는 절연막(409)이 형성된다.
- [0168] 트랜지스터(430)에 있어서는, 게이트 절연층(402)은 제 1 기판(441) 및 게이트 전극층(401) 위에 접하여 형성되고, 게이트 절연층(402) 위에 소스 전극층(405a), 드레인 전극층(405b)이 접하여 형성된다. 그리고 게이트 절연층(402), 및 소스 전극층(405a), 드레인 전극층(405b) 위에 반도체층(403)이 형성된다.
- [0169] 도 7d에 도시하는 트랜지스터(440)는, 톱 게이트 구조의 박막 트랜지스터의 하나이다. 트랜지스터(440)는 절연 표면을 갖는 제 1 기판(441) 위에 절연층(437), 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b), 게이트 절연층(402), 게이트 전극층(401)을 포함하고, 소스 전극층(405a)과 드레인 전극층(405b)에 각각 배선층(436a), 배선층(436b)이 접하여 형성되고, 전기적으로 접속된다.
- [0170] 실시형태 1 또는 실시형태 2와 마찬가지로 트랜지스터(410, 420, 430, 440)에 있어서 화소 전극층과 전기적으로 접속하는 드레인 전극층(405b)은, 화소 전극층과 층간막을 사이에 두고 겹치도록 연장되어 형성된다. 공통 전극층 아래에도 층간막을 사이에 두고 드레인 전극층(405b)과 같은 공정으로 형성되는 도전층이 연장되어 형성된다.
- [0171] 또한, 반도체층과 소스 전극층 사이에 소스 영역(일 도전형을 갖는 반도체층, 버퍼층이라고도 함)을 형성하여도 좋다. 예를 들어, 소스 영역 및 드레인 영역으로서, n형의 도전형을 나타내는 반도체층을 사용한다.
- [0172] 소스 영역 또는 드레인 영역으로서 반도체층을 사용하는 경우에는, 채널 형성 영역으로서 사용하는 반도체층의 막 두께보다 얇고, 또 보다 높은 도전율(전기 전도도)을 갖는 것이 바람직하다.
- [0173] 소스 전극층(405a)과 드레인 전극층(405b)에 접속하는 배선층(436a), 배선층(436b)과 같은 도전막도, 소스 전극층(405a) 및 드레인 전극층(405b)과 같은 재료를 사용할 수 있다.
- [0174] 절연막(427, 437)은 절연막(407)과 같은 재료를 사용할 수 있고, 대표적으로는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등의 무기 절연막을 사용할 수 있다.
- [0175] 또한, 실시형태 1과 같이, 절연막(409) 위에 트랜지스터에 기인하는 표면 요철을 저감하기 위하여 평탄화 절연막으로서 절연층(413)을 형성하여도 좋다.
- [0176] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0177] (실시형태 4)
- [0178] 실시형태 1 내지 실시형태 3에 있어서, 트랜지스터의 반도체층에 사용할 수 있는 예로서 산화물 반도체를 설명한다.
- [0179] 실시형태 3에서 나타난 도 7a 내지 도 7d의 트랜지스터(410, 420, 430, 440)에 있어서 반도체층(403)으로서 산

화물 반도체층을 사용할 수 있다.

- [0180] 반도체층(403)에 사용하는 산화물 반도체로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계나, 3원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계나, 2원계 금속 산화물인 In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, In-Mg-O계나, In-O계, Sn-O계, Zn-O계 등을 사용할 수 있다. 또한, 상기 산화물 반도체에 SiO₂를 포함하여도 좋다. 여기서, 예를 들어 In-Ga-Zn-O계 산화물 반도체란, 적어도 In, Ga, 및 Zn을 포함하는 산화물이고, 그 조성비에 특별히 제한은 없다. 또한, In, Ga, 및 Zn 이외의 원소를 포함하여도 좋다.
- [0181] 또한, 산화물 반도체층을 화학식 InMO₃(ZnO)_m(m>0)로 표기되는 박막을 사용할 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co 중에서 선택된 1개 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0182] 산화물 반도체층을 사용한 트랜지스터(410, 420, 430, 440)는, 오프 상태에 있어서의 전류 값(오프 전류 값)을 낮게 할 수 있다. 따라서, 산화물 반도체층을 사용한 트랜지스터를 사용하면, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 전원 온 상태로는 기입 간격도 길게 설정할 수 있다. 따라서, 리프래시 동작의 빈도를 적게 할 수 있기 때문에, 소비 전력을 더 억제하는 효과를 나타낸다.
- [0183] 또한, 반도체층(403)으로서 산화물 반도체층을 사용한 트랜지스터(410, 420, 430, 440)는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에, 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고품질의 화상을 제공할 수 있다. 또한, 상기 트랜지스터를 사용하여 동일 기판 위에 구동 회로부 또는 화소부를 나누어 제작할 수 있으므로 액정 표시 장치의 부품 점수를 삭감할 수 있다.
- [0184] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0185] (실시형태 5)
- [0186] 본 실시형태는, 산화물 반도체층을 포함하는 트랜지스터, 및 제작 방법의 다른 일례를 도 8a 내지 도 8e를 사용하여 자세히 설명한다. 상기 실시형태와 동일 부분 또는 같은 기능을 갖는 부분, 및 공정은 상기 실시형태와 마찬가지로 행할 수 있고, 반복 설명은 생략한다. 또한, 같은 개소의 자세한 설명은 생략한다.
- [0187] 도 8a 내지 도 8e에 트랜지스터의 단면 구조의 일례를 도시한다. 도 8a 내지 도 8e에 도시하는 트랜지스터(510)는, 도 7a에 도시하는 트랜지스터(410)와 같은 보텀 게이트 구조의 역 스테거형 박막 트랜지스터이다.
- [0188] 본 실시형태의 반도체층에 사용하는 산화물 반도체는, n형 불순물인 수소를 산화물 반도체로부터 제거하여 산화물 반도체의 주성분 이외의 불순물이 극히 포함되지 않도록 고순도화함으로써 I형(진성)의 산화물 반도체, 또는 가능한 한 I형(진성)에 가까운 산화물 반도체로 한 것이다. 즉, 불순물을 첨가하여 I형화하는 것이 아니라, 수소나 물 등의 불순물을 극히 제거함으로써 고순도화된 I형(진성 반도체) 또는 그것에 가깝게 하는 것을 특징으로 한다. 이로써, 페르미 준위(E_f)를 진성 페르미 준위(E_i)와 같은 수준으로 할 수 있다. 따라서, 트랜지스터(510)가 갖는 산화물 반도체층은 고순도화 및 전기적으로 I형(진성)화된 산화물 반도체층이다.
- [0189] 또한, 고순도화된 산화물 반도체 중에는 캐리어가 극히 적고(제로에 가깝고), 캐리어 농도는 1×10¹⁴/cm³ 미만, 바람직하게는 1×10¹²/cm³ 미만, 더 바람직하게는, 1×10¹¹/cm³ 미만이다.
- [0190] 산화물 반도체 중에는 캐리어가 극히 적기 때문에, 트랜지스터의 오프 전류를 적게 할 수 있다. 오프 전류는 적으면 적을수록 바람직하다.
- [0191] 구체적으로는, 상술한 산화물 반도체층을 구비하는 트랜지스터(510)는, 오프 상태에 있어서의 전류 값(오프 전류 값)을 채널 폭 1μm당 10zA/μm 미만, 85℃에서 100zA/μm 미만 레벨까지 낮게 할 수 있다.
- [0192] 오프 상태에 있어서의 전류 값(오프 전류 값)이 극히 작은 트랜지스터를 화소부에 있어서의 트랜지스터로서 사용함으로써, 정지 화상 영역에 있어서 적은 화상 데이터의 기입 횟수로 리프래시 동작을 행할 수 있다.
- [0193] 또한, 상술한 산화물 반도체층을 구비하는 트랜지스터(510)는 온 전류의 온도 의존성이 거의 보이지 않고, 오프 전류도 매우 작은 상태이다. 또한, 광 열화에 의한 트랜지스터 특성의 변동도 적다.
- [0194] 이하, 도 8a 내지 도 8e를 사용하여, 기판(505) 위에 트랜지스터(510)를 제작하는 공정을 설명한다.
- [0195] 우선, 절연 표면을 갖는 기판(505) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의하여 게이트 전극

층(511)을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제작 비용을 저감할 수 있다.

- [0196] 절연 표면을 갖는 기판(505)은 실시형태 1에 나타난 제 1 기판(441)과 같은 기판을 사용할 수 있다. 본 실시형태에서는 기판(505)으로서 유리 기판을 사용한다.
- [0197] 하지막이 되는 절연막을 기판(505)과 게이트 전극층(511) 사이에 형성하여도 좋다. 하지막은, 기판(505)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조로 형성할 수 있다.
- [0198] 또한, 게이트 전극층(511)의 재료는 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층 또는 적층으로 형성할 수 있다.
- [0199] 다음에, 게이트 전극층(511) 위에 게이트 절연층(507)을 형성한다. 게이트 절연층(507)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 단층 또는 적층으로 형성할 수 있다.
- [0200] 본 실시형태의 산화물 반도체는 불순물이 제거되고, I형화 또는 실질적으로 I형화된 산화물 반도체를 사용한다. 이와 같은 고순도화된 산화물 반도체는 계면 준위, 계면 전하에 대하여 극히 민감하기 때문에 산화물 반도체층과 게이트 절연층의 계면은 중요하다. 그래서, 고순도화된 산화물 반도체에 접하는 게이트 절연층은 고품질화가 요구된다.
- [0201] 예를 들어, μ 파(예를 들어, 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD는 치밀하며 절연 내압이 높은 고품질의 절연층을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연층이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다.
- [0202] 물론, 게이트 절연층으로서 양질의 절연층을 형성할 수 있는 것이라면, 스퍼터링법이나 플라즈마 CVD법 등, 다른 성막 방법을 적용할 수 있다. 또한, 형성한 후의 열 처리에 의하여, 게이트 절연층의 막질, 산화물 반도체와의 계면 특성이 개질되는 절연층이라도 좋다. 어느 것으로 하든, 게이트 절연층으로서 막질이 양호한 것은 물론이고, 산화물 반도체와의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있는 것이라면 좋다.
- [0203] 또한, 게이트 절연층(507), 산화물 반도체막(530)에 수소, 수산기, 및 수분이 가능한 한 포함되지 않도록 하기 위하여, 산화물 반도체막(530)의 막 형성의 전 처리로서 스퍼터링 장치의 예비 가열실에서 게이트 전극층(511)이 형성된 기판(505), 또는 게이트 절연층(507)까지 형성된 기판(505)을 예비 가열하고, 기판(505)에 흡착한 수소, 수분 등의 불순물을 탈리시켜 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은, 크라이오 펌프(cryopump)가 바람직하다. 또한, 이 예비 가열의 처리는 생략할 수도 있다. 또한, 이 예비 가열은 절연막(516)을 형성하기 전에 소스 전극층(515a) 및 드레인 전극층(515b)까지 형성한 기판(505)에도 마찬가지로 행하여도 좋다.
- [0204] 다음에, 게이트 절연층(507) 위에 막 두께 2nm 이상 200nm 이하, 바람직하게는, 5nm 이상 30nm 이하의 산화물 반도체막(530)을 형성한다(도 8a 참조).
- [0205] 또한, 산화물 반도체막(530)을 스퍼터링법에 의하여 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여 게이트 절연층(507) 표면에 부착되어 있는 분말 상태 물질(파티클(particle)이나 먼지라고도 함)을 제거하는 것이 바람직하다. 역 스퍼터링이란 타겟 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다.
- [0206] 산화물 반도체막(530)에 사용하는 산화물 반도체는, 실시형태 4에 나타난 4원계 금속 산화물, 3원계 금속 산화물, 2원계 금속 산화물이나, In-O계, Sn-O계, Zn-O계 등의 산화물 반도체를 사용할 수 있다. 또한, 상기 산화물 반도체에 SiO_2 를 포함하여도 좋다. 본 실시형태에서는 산화물 반도체막(530)으로서 In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링법으로 형성한다. 이 단계의 단면도가 도 8a에 상당한다. 또한, 산화물 반도체막(530)은 회 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 회 가스 및 산소의 혼합 분위기하에 있어서 스퍼터링법에 의하여 형성할 수 있다.
- [0207] 산화물 반도체막(530)을 스퍼터링법으로 제작하기 위한 타겟으로서, 예를 들어, 조성비로서 In_2O_3 : Ga_2O_3 :

$\text{ZnO}=1:1:1[\text{mol비}]$ (즉, $\text{In: Ga: Zn}=1:1:0.5[\text{atom비}]$)를 사용할 수 있다. 또한, 그 외에도 $\text{In: Ga: Zn}=1:1:1[\text{atom비}]$ 이나, $\text{In: Ga: Zn}=1:1:2[\text{atom비}]$ 의 조성비를 갖는 타깃을 사용하여도 좋다. 산화물 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타깃을 사용함으로써 형성한 산화물 반도체막은, 치밀한 막이 된다.

- [0208] 산화물 반도체막(530)을 형성할 때 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0209] 감압 상태로 유지된 성막실 내에 기판을 유지하고, 기판 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 한다. 기판을 가열하면서 형성함으로써, 형성된 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서, 수소 및 수분이 제거된 스퍼터링 가스를 도입하고 상기 타깃을 사용하여 기판(505) 위에 산화물 반도체막(530)을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩(cold trap)을 더한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은, 예를 들어, 수소 원자나 물(H_2O) 등의 수소 원자를 포함하는 화합물(보다 바람직하게는, 탄소 원자를 포함하는 화합물도) 등이 배기되므로, 상기 성막실에서 형성한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.
- [0210] 성막 조건의 일례로서는, 기판과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 사용하면, 성막시에 발생하는 분말 물질(파티클, 먼지라고도 함)을 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에, 바람직하다.
- [0211] 다음에, 산화물 반도체막(530)을 제 2 포토리소그래피 공정에 의하여 섬 형상의 산화물 반도체층으로 가공한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0212] 또한, 게이트 절연층(507)에 콘택트 홀을 형성하는 경우, 그 공정은 산화물 반도체막(530)을 가공할 때 동시에 행할 수 있다.
- [0213] 또한, 여기서의 산화물 반도체막(530)의 에칭은, 드라이 에칭이라도 좋고, 웨트 에칭이라도 좋고, 양쪽 모두를 사용하여도 좋다. 예를 들어, 산화물 반도체막(530)의 웨트 에칭에 사용하는 에칭액으로서 인산과 초산과 질산을 혼합한 용액 등을 사용할 수 있다. 또한, ITO07N(KANTO CHEMICAL Co., Inc 제조)를 사용하여도 좋다.
- [0214] 다음에, 산화물 반도체층에 제 1 가열 처리를 행한다. 이 제 1 가열 처리에 의하여, 산화물 반도체층의 탈수화 또는 탈수소화를 행할 수 있다. 제 1 가열 처리 온도는, 400°C 이상 750°C 이하, 또는 400°C 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하 450°C 에 있어서 1시간의 가열 처리를 행한 후, 대기에 노출되지 않고, 산화물 반도체층에 물이나 수소가 다시 혼입하는 것을 방지함으로써 산화물 반도체층(531)을 얻는다(도 8b 참조).
- [0215] 또한, 가열 처리 장치는, 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의하여, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 고온의 가스에는, 아르곤 등의 희 가스, 또는 질소와 같은 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0216] 예를 들어, 제 1 가열 처리로서 650°C 내지 700°C 의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 놓고, 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중으로부터 추출하는 GRTA를 행하여도 좋다.
- [0217] 또한, 제 1 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는, 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0218] 또한, 제 1 가열 처리에서 산화물 반도체층을 가열한 후, 동일한 노에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조(超乾燥) 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하)를 도입하여도 좋다. 산소 가스 또는

N_2O 가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 N_2O 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 산소 가스 또는 N_2O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm) 이하로 하는 것이 바람직하다. 산소 가스 또는 N_2O 가스의 작용에 의하여 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의하여 동시에 감소되어 버린 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체층을 고순도화 및 전기적으로 I형(진성)화한다.

- [0219] 또한, 산화물 반도체층의 제 1 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(530)에 행할 수도 있다. 그 경우에는, 제 1 가열 처리 후에 가열 장치에서 기판을 추출하고 포토리소그래피 공정을 행한다.
- [0220] 또한, 제 1 가열 처리는 상술한 이외에도 산화물 반도체층을 형성한 후라면 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 적층시킨 후, 또는 소스 전극층 및 드레인 전극층 위에 절연층을 형성한 후의 어느 타이밍에서 행하여도 좋다.
- [0221] 또한, 게이트 절연층(507)에 콘택트 홀을 형성할 경우, 그 공정은 산화물 반도체막(530)에 제 1 가열 처리를 행하기 전에 행하여도 좋고, 제 1 가열 처리를 행한 후에 행하여도 좋다.
- [0222] 또한, 산화물 반도체층을 2번으로 나누어 형성하고, 2번으로 나누어 가열 처리를 행함으로써, 하지 부재의 재료가 산화물, 질화물, 금속 등 재료를 막론하고, 막 두께가 두꺼운 결정 영역(단결정 영역), 즉, 막 표면에 수직으로 c축 배향한 결정 영역을 갖는 산화물 반도체층을 형성하여도 좋다. 예를 들어, 3nm 이상 15nm 이하의 제 1 산화물 반도체막을 형성하고, 질소, 산소, 희 가스, 또는 건조 공기의 분위기하에서 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 제 1 가열 처리를 행하고, 표면을 포함하는 영역에 결정 영역(판(板) 형상 결정도 포함함)을 갖는 제 1 산화물 반도체막을 형성한다. 그리고, 제 1 산화물 반도체막보다 두꺼운 제 2 산화물 반도체막을 형성하고 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하의 제 2 가열 처리를 행하고, 제 1 산화물 반도체막을 결정 성장의 종(seed)으로서 상방으로 결정 성장시켜 제 2 산화물 반도체막 전체를 결정화시켜 결과적으로 막 두께가 두꺼운 결정 영역을 갖는 산화물 반도체층을 형성하여도 좋다.
- [0223] 다음에, 게이트 절연층(507), 및 산화물 반도체층(531) 위에 소스 전극층 및 드레인 전극층(이것과 같은 층으로 형성되는 배선을 포함함)이 되는 도전막을 형성한다. 소스 전극층, 및 드레인 전극층에 사용하는 도전막으로서, 실시형태 1에 나타낸 소스 전극층(405a), 드레인 전극층(405b)에 사용하는 재료를 사용할 수 있다.
- [0224] 제 3 포토리소그래피 공정에 의하여 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극층(515a) 및 드레인 전극층(515b)을 형성한 후, 레지스트 마스크를 제거한다(도 8c 참조).
- [0225] 제 3 포토리소그래피 공정에서, 레지스트 마스크를 형성할 때의 노광에는, 자외선이나 KrF 레이저 광이나 ArF 레이저 광을 사용하면 좋다. 산화물 반도체층(531) 위에서 인접되는 소스 전극층의 하단부와, 드레인 전극층의 하단부의 간격 폭에 의하여 나중에 형성되는 트랜지스터의 채널 길이 L이 결정된다. 또한, 채널 길이 L=25nm 미만의 노광을 행하는 경우에는, 수nm 내지 수십nm로 극히 파장이 짧은 초자외선(Extreme Ultraviolet)을 사용하여 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광을 행하면 좋다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 따라서, 나중에 형성되는 트랜지스터의 채널 길이 L을 10nm 이상 1000nm 이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있다.
- [0226] 또한, 포토리소그래피 공정에서 사용하는 포토 마스크 수 및 공정 수를 삭감하기 위하여 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의하여 형성된 레지스트 마스크를 사용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상이 되고, 에칭을 행함으로써 형상을 더 변형시킬 수 있으므로, 상이한 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 1장의 다단계 마스크에 의하여 적어도 2종류 이상의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크의 매수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있으므로 공정의 간략화가 가능하다.
- [0227] 또한, 도전막을 에칭할 때, 산화물 반도체층(531)이 에칭되어 분단되지 않도록 에칭 조건을 최적화하는 것이 바람직하다. 그러나, 도전막만을 에칭하여 산화물 반도체층(531)을 전혀 에칭하지 않는다는 조건을 얻는 것은 어렵고, 도전막을 에칭할 때 산화물 반도체층(531)은 일부만이 에칭되어 흠부(오목부)를 갖는 산화물 반도체층이 될 수도 있다.

- [0228] 본 실시형태에서는 도전막으로서 Ti막을 사용하고, 산화물 반도체층(531)에는 In-Ga-Zn-O계 산화물 반도체를 사용하였으므로, 에천트로서 과수 암모니아수(암모니아, 물, 과산화 수소수의 혼합액)를 사용한다.
- [0229] 다음에, N_2O , N_2 또는 Ar 등의 가스를 사용한 플라즈마 처리를 행하여, 노출되는 산화물 반도체층 표면에 부착된 흡착수 등을 제거하여도 좋다. 플라즈마 처리를 행한 경우, 대기에 노출되지 않고, 산화물 반도체층의 일부에 접하는 보호 절연막이 되는 절연막(516)을 형성한다.
- [0230] 절연막(516)은 적어도 1nm 이상의 막 두께로 하고, 스퍼터링법 등의 절연막(516)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 사용하여 형성할 수 있다. 절연막(516)에 수소가 포함되면, 그 수소의 산화물 반도체층에 대한 침입, 또는 수소에 의한 산화물 반도체층 중의 산소의 추출이 생겨, 산화물 반도체층의 백 채널이 저저항화(N형화)되어 버리고, 기생 채널이 형성될 우려가 있다. 따라서, 절연막(516)이 가능한 한 수소를 포함하지 않는 막이 되도록 형성 방법에 수소를 사용하지 않는 것이 중요하다.
- [0231] 본 실시형태에서는 절연막(516)으로서 막 두께 200nm의 산화 실리콘막을 스퍼터링법을 사용하여 형성한다. 형성할 때의 기판 온도는, 실온 이상 300℃ 이하로 하면 좋고, 본 실시형태에서는 100℃로 한다. 산화 실리콘막의 스퍼터링법에 의한 형성은, 회 가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회 가스와 산소의 혼합 분위기하에서 행할 수 있다. 또한, 타깃으로서 산화 실리콘 타깃 또는 실리콘 타깃을 사용할 수 있다. 예를 들어, 실리콘 타깃을 사용하여 산소를 포함한 분위기하에서 스퍼터링법에 의하여 산화 실리콘을 형성할 수 있다. 산화물 반도체층에 접하여 형성하는 절연막(516)은, 수분, 수소 이온, OH^- 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 블로킹하는 무기 절연막을 사용하고, 대표적으로는, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등을 사용한다.
- [0232] 산화물 반도체막(530)을 형성할 때와 마찬가지로 절연막(516)의 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프(크라이오 펌프 등)를 사용하는 것이 바람직하다. 크라이오 펌프를 사용하여 배기한 성막실에서 형성한 절연막(516)에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 절연막(516)의 성막실 내의 잔류 수분을 제거하기 위한 배기 수단으로서, 터보 펌프에 콜드 트랩을 더한 것이라도 좋다.
- [0233] 절연막(516)을 형성할 때 사용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0234] 이어서, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어, 250℃ 이상 350℃ 이하)를 행한다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층의 일부(채널 형성 영역)가 절연막(516)과 접한 상태로 가열된다.
- [0235] 이상의 공정을 거침으로써, 산화물 반도체막에 대하여 제 1 가열 처리를 행하여 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체층에 의하여 의도적으로 배제하고, 또 불순물의 배제 공정에 의하여 동시에 감소되어 버리는 산화물 반도체를 구성하는 주성분 재료의 하나인 산소를 공급할 수 있다. 따라서, 산화물 반도체층을 고순도화 및 전기적으로 I형(진성)화한다.
- [0236] 이상의 공정으로 트랜지스터(510)가 형성된다(도 8d 참조).
- [0237] 또한, 절연막(516)에 결함을 많이 포함하는 산화 실리콘층을 사용하면, 산화 실리콘층을 형성한 후의 가열 처리에 의하여 산화물 반도체층 중에 포함되는 수소, 수분, 수산기 또는 수소화물 등의 불순물을 절연막에 확산시켜, 산화물 반도체층 중에 포함되는 상기 불순물을 보다 저감시키는 효과를 나타낸다.
- [0238] 절연막(516) 위에 절연막(506)을 더 형성하여도 좋다. 예를 들어, RF 스퍼터링법을 사용하여 질화 실리콘막을 형성한다. RF 스퍼터링법은 양산성이 좋으므로, 보호 절연층의 성막 방법으로서 바람직하다. 보호 절연층은 수분 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 블로킹하는 무기 절연막을 사용하고, 질화 실리콘막, 질화 알루미늄막 등을 사용한다. 본 실시형태에서는, 절연막(506)을 질화 실리콘막을 사용하여 형성한다(도 8e 참조).
- [0239] 본 실시형태에서는, 보호 절연층인 절연막(506)으로서, 절연막(516)까지 형성된 기판(505)을 100℃ 내지 400℃의 온도까지 가열하고, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 반도체의 타깃을 사용하여 질화 실리콘막을 형성한다. 이 경우에 있어서도 절연막(516)과 마찬가지로 처리실 내의 잔류 수분을 제거하면서 절연막(506)을 형성하는 것이 바람직하다.

- [0240] 보호 절연층을 형성한 후, 또한 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서 가열 처리를 행하여도 좋다. 이 가열 처리는 일정한 가열 온도를 유지하며 가열하여도 좋고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도까지의 승온과, 가열 온도로부터 실온까지의 강온을 복수회 반복하여 행하여도 좋다.
- [0241] 도시하지 않지만, 절연막(409) 위에 절연층(413)을 형성한다. 상술한 공정에서 실시형태 1에 있어서의 도 2c의 공정에 대응하는 소자 기판이 완성된다. 따라서, 뒤의 공정은, 실시형태 1과 마찬가지로 행하면 좋다.
- [0242] 이와 같이, 본 실시형태를 사용하여 제작한, 고순도화된 산화물 반도체층을 포함하는 트랜지스터를 사용함으로써 오프 상태에 있어서의 전류 값(오프 전류 값)을 더 낮게 할 수 있다. 따라서, 구동 방법에 있어서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 기입 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 더 적게 할 수 있으므로, 소비 전력을 억제하는 효과를 높일 수 있다.
- [0243] 액정 표시 장치에 형성되는 유지 용량의 크기는, 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 설정 기간 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는, 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 본 실시형태에서 나타낸 고순도의 산화물 반도체층을 갖는 트랜지스터를 사용하면, 각 화소에 있어서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 갖는 유지 용량을 형성하면 충분하다.
- [0244] 또한, 고순도화된 산화물 반도체층을 포함하는 트랜지스터는, 높은 전계 효과 이동도가 얻어지므로 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다. 또한, 상기 트랜지스터를 사용하여 동일 기판 위에 구동 회로부 또는 화소부를 나누어 제작할 수 있으므로 액정 표시 장치의 부품 점수를 삭감할 수 있다.
- [0245] 또한, 블루상의 액정 재료를 사용하면, 배향막에 대한 러빙 처리도 불필요하게 되므로, 러빙 처리로 인하여 발생하는 정전 파괴를 방지할 수 있고, 제작 공정 중에 발생하는 정전기의 영향으로 인한 트랜지스터의 전기적인 특성의 변동 등의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있게 된다.
- [0246] 블루상을 나타내는 액정 재료의 응답 속도가 종래 액정 재료보다 1자릿수 이상 빠르기 때문에, 산화물 반도체층을 사용하는 트랜지스터와 같은 배속(고속) 구동이 가능한 디바이스와 조합함으로써, 액정 표시 장치의 고기능화 및 고속 응답화를 실현할 수 있다.
- [0247] 이상으로, 본 실시형태와 같이, 산화물 반도체층을 사용하는 트랜지스터를 갖는 액정 표시 장치에 블루상의 액정 재료를 사용하는 것은 더 효과적이다.
- [0248] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0249] (실시형태 6)
- [0250] 상기 실시형태 1 내지 실시형태 3에 있어서, 트랜지스터의 반도체층에 사용할 수 있는 다른 재료의 예를 설명한다.
- [0251] 반도체 소자가 갖는 반도체층을 형성하는 재료는, 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용하여, 기상 성장법이나 스퍼터링법으로 제조되는 비정질(아모퍼스, 이하 “AS” 라고도 함) 반도체, 상기 비정질 반도체를 광 에너지나 열 에너지를 이용하여 결정화시킨 다결정 반도체, 또는 미결정 반도체 등을 사용할 수 있다. 반도체층은 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등에 의하여 형성할 수 있다.
- [0252] 미결정 반도체막은, 주파수가 수십 MHz 내지 수백 MHz인 고주파 플라즈마 CVD법, 또는 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치에 의하여 형성할 수 있다. 대표적으로는, SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등의 수소화 실리콘을 수소로 희석하여 형성할 수 있다. 또한, 수소화 실리콘 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 복수종의 희 가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이 때의 수소화 실리콘에 대하여 수소의 유량비를 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 보다 바람직하게는 100배로 한다.
- [0253] 아모퍼스 반도체로서는 대표적으로는 수소화 아모퍼스 실리콘, 결정성 반도체로서는 대표적으로는 폴리실리콘 등을 들 수 있다. 폴리실리콘(다결정 실리콘)에는 800℃ 이상의 프로세스 온도를 거쳐 형성되는 폴리실리콘을 주재료로서 사용한 소위 고온 폴리실리콘이나, 600℃ 이하의 프로세스 온도에서 형성되는 폴리실리콘을 주재료로서 사용한 소위 저온 폴리실리콘, 또한 결정화를 촉진하는 원소 등을 사용하여 비정질 실리콘을 결정화시킨

폴리실리콘 등을 포함한다. 물론, 상술한 바와 같이, 미결정 반도체 또는 반도체층의 일부에 결정상을 포함하는 반도체를 사용할 수도 있다.

[0254] 반도체층에, 결정성 반도체막을 사용하는 경우, 그 결정성 반도체막의 제작 방법은, 다양한 방법(레이저 결정화법, 열 결정화법, 또는 니켈 등의 결정화를 촉진시키는 원소를 사용한 열 결정화법 등)을 사용하면 좋다. 또한 SAS인 미결정 반도체를 레이저 조사함으로써 결정화하여, 결정성을 높일 수도 있다. 결정화를 촉진시키는 원소를 도입하지 않는 경우에는, 비정질 실리콘막에 레이저 광을 조사하기 전에, 질소 분위기하 500℃로 1시간 가열함으로써 비정질 실리콘막의 함유 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하까지 방출시킨다. 이것은 수소를 많이 포함하는 비정질 실리콘막에 레이저 광을 조사하면 비정질 실리콘막이 파괴되기 때문이다.

[0255] 비정질 반도체막에 대한 금속 원소를 도입하는 방법으로서 상기 금속 원소를 비정질 반도체막의 표면 또는 그 내부에 존재시킬 수 있는 수법이면 특별히 한정되지 않고, 예를 들어, 스퍼터링법, CVD법, 플라즈마 처리법(플라즈마 CVD법도 포함함), 흡착법, 금속염의 용액을 도포하는 방법을 사용할 수 있다. 그 중에서, 용액을 사용하는 방법은 간편하고, 금속 원소의 농도 조정이 용이하다는 점에서 유용하다. 또한, 이때 비정질 반도체막의 표면의 흡습성을 개선하고, 비정질 반도체막의 표면 전체에 수용액을 고루 미치게 하기 위하여, 산소 분위기 중에서의 UV광의 조사, 열 산화법, 하이드록시 라디칼을 포함하는 오존수 또는 과산화 수소에 의한 처리 등에 의하여, 산화막을 형성하는 것이 바람직하다.

[0256] 또한, 비정질 반도체막을 결정화하고, 결정성 반도체막을 형성하는 결정화 공정에서, 비정질 반도체막에 결정화를 촉진시키는 원소(촉매 원소, 금속 원소라고도 함)를 첨가하여, 열 처리(550℃ 내지 750℃에서 3분 내지 24시간)에 의하여 결정화를 행하여도 좋다. 결정화를 촉진하는 원소로서는 철(Fe), 니켈(Ni), 코발트(Co), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 구리(Cu) 및 금(Au) 중에서 선택된 1종 또는 복수종을 사용할 수 있다.

[0257] 결정화를 촉진시키는 원소를 결정성 반도체막으로부터 제거, 또는 경감하기 위하여, 결정성 반도체막에 접하여 불순물 원소를 포함하는 반도체막을 형성하고, 게터링 싱크로서 기능시킨다. 불순물 원소로서는, n형을 부여하는 불순물 원소, p형을 부여하는 불순물 원소나 희 가스 원소 등을 사용할 수 있고, 예를 들어, 인(P), 질소(N), 비소(As), 안티몬(Sb), 비스무트(Bi), 붕소(B), 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 크세논(Xe)으로부터 선택된 1종 또는 복수종을 사용할 수 있다. 결정화를 촉진시키는 원소를 포함하는 결정성 반도체막에, 희 가스 원소를 포함하는 반도체막을 형성하고, 열 처리(550℃ 내지 750℃에서 3분 내지 24시간)를 행한다. 결정성 반도체막 중에 포함되는 결정화를 촉진시키는 원소는 희 가스 원소를 포함하는 반도체막 중으로 이동하여, 결정성 반도체막 중의 결정화를 촉진시키는 원소는 제거, 또는 경감된다. 그 후, 게터링 싱크가 된 희 가스 원소를 포함하는 반도체막을 제거한다.

[0258] 비정질 반도체막의 결정화는, 열 처리와 레이저 광 조사에 의한 결정화를 조합하여도 좋고, 열 처리나 레이저 광 조사를 단독으로, 복수 횟수 행하여도 좋다.

[0259] 또한, 결정성 반도체막을, 직접 기판에 플라즈마법에 의하여 형성하여도 좋다. 또한, 플라즈마법을 사용하여, 결정성 반도체막을 선택적으로 기판에 형성하여도 좋다.

[0260] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0261] (실시형태 7)

[0262] 트랜지스터를 제작하고, 상기 트랜지스터를 화소부, 또한, 구동 회로에 사용하여 표시 기능을 갖는 액정 표시 장치를 제작할 수 있다. 또한, 트랜지스터를 사용하여 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하여 시스템 온 패널(system on panel)을 형성할 수 있다.

[0263] 또한, 액정 표시 장치는 액정 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태인 모듈을 포함한다. 또한, 상기 액정 표시 장치를 제작하는 과정에 있어서의, 액정 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 상기 소자 기판은 전류를 액정 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는 액정 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전인 상태라도 좋고, 모든 형태가 적합하다.

[0264] 또한, 본 명세서 중에 있어서의 액정 표시 장치란, 화상 표시 디바이스, 표시 디바이스를 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 설치된 모듈, TAB 테이프나 TCP의 선단에 프린트 배선판이 형성된 모듈, 또는 표시 소자에

COG(Chip on Glass) 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 액정 표시 장치에 포함하는 것으로 한다.

- [0265] 표시 장치의 일 형태에 상당하는 액정 표시 패널(120)의 외관 및 단면에 대하여, 도 5a1, 도 5a2, 및 도 5b를 사용하여 설명한다. 도 5a1, 도 5a2는 제 1 기관(4001) 위에 형성된 트랜지스터(4010, 4011), 및 액정 소자(4013)를 제 2 기관(4006)과의 사이에 절재(4005)에 의하여 밀봉한 패널의 평면도이며, 도 5b는 도 5a1, 도 5a2의 M-N에 있어서의 단면도에 상당한다.
- [0266] 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 절재(4005)가 형성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기관(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기관(4001)과 절재(4005)와 제 2 기관(4006)에 의하여, 액정층(4008)과 함께 밀봉된다.
- [0267] 또한, 도 5a1은 제 1 기관(4001) 위의 절재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 또한, 도 5a2는 신호선 구동 회로의 일부를 제 1 기관(4001) 위에 형성된 트랜지스터로 형성하는 예이고, 제 1 기관(4001) 위에 신호선 구동 회로(4003b)가 형성되고, 또 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003a)가 실장되어 있다.
- [0268] 또한, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 5a1은, COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이며, 도 5a2는, TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.
- [0269] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수 갖고, 도 5b에서는 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시한다. 트랜지스터(4010, 4011) 위에는 절연막(4020), 절연층(4021)이 형성된다.
- [0270] 트랜지스터(4010, 4011)는, 실시형태 1 내지 6 중 어느 것에 나타난 트랜지스터를 적용할 수 있다. 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0271] 또한, 절연층(4021) 또는 절연막(4020) 위에 있어서, 구동 회로용의 트랜지스터(4011)의 반도체층의 채널 형성 영역과 겹치는 위치에 도전층을 형성하여도 좋다. 도전층은 전위가 트랜지스터(4011)의 게이트 전극층과 같아도 좋고, 상이하여도 좋고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층의 전위가 GND, 0V, 또는 플로팅 상태라도 좋다.
- [0272] 액정 소자(4013)는, 화소 전극층(4030), 제 2 공통 전극층(4031), 제 1 공통 전극층(4036) 및 액정층(4008)을 포함한다. 또한, 제 1 기관(4001) 및 제 2 기관(4006)의 외측에는 각각 편광판(4032a, 4032b)이 형성된다. 또한, 본 실시형태에서는, 제 2 공통 전극층(4031)이 제 2 기관(4006) 측에도 형성되는 예이고, 화소 전극층(4030) 및 제 1 공통 전극층(4036)과 제 2 공통 전극층(4031)은 액정층(4008)을 사이에 두고 적층되는 구성이 되어 있다. 제 2 공통 전극층(4031)은 실시형태 1과 같이 형성되지 않는 구성이라도 좋다.
- [0273] 층간막(게이트 절연층(4023), 절연막(4020), 절연층(4021))을 사이에 두고, 화소 전극층(4030)은 트랜지스터(4010)의 드레인 전극층(4024)과 제 1 공통 전극층(4036)은 드레인 전극층(4024)과 같은 공정으로 형성되는 도전층(4025)과 전기적으로 접속된다(또는 같은 전위를 주어진다). 화소 전극층(4030)과 제 1 공통 전극층(4036) 사이의 층간막(게이트 절연층(4023), 절연막(4020), 절연층(4021))은 선택적으로 제거되어 개구가 형성된다. 상기 개구에는 액정이 충전되어 액정층(4008)이 형성된다.
- [0274] 따라서, 화소 전극층(4030) 및 제 1 공통 전극층(4036)에 전압을 인가하면, 드레인 전극층(4024) 및 도전층(4025)에도 각각 같은 전압을 인가할 수 있다. 따라서, 액정층(4008)에 있어서 화소 전극층(4030)과 제 1 공통 전극층(4036) 사이와, 드레인 전극층(4024)과 도전층(4025) 사이의 개구 영역에도 전계를 넓게 형성할 수 있다. 따라서, 그 전계를 사용하여 액정 분자를 제어할 수 있다.
- [0275] 제 2 기관(4006) 측에, 제 2 공통 전극층(4031)을 형성하면, 화소 전극층(4030)과 제 2 공통 전극층(4031) 사이에도 액정에 대하여 경사진 방향(기관에 대하여 경사진 방향)의 전계도 가할 수 있으므로, 보다 효율 좋게 액정 분자를 제어할 수 있다.
- [0276] 따라서, 막 두께 방향도 포함하여, 액정층 전체에 있어서의 액정 분자를 응답시킬 수 있으므로 백색 투과율이

향상된다. 따라서, 백색 투과율과 흑색 투과율의 비율인 콘트라스트비도 높일 수 있다.

- [0277] 또한, 제 1 기관(4001), 제 2 기관(4006)으로서는, 투광성을 갖는 유리, 플라스틱 등을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄포일을 PVF 필름이나 폴리에스테르 필름의 사이에 낀 구조의 시트를 사용할 수도 있다.
- [0278] 또한, 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상(柱狀)의 스페이서이며, 액정층(4008)의 막 두께(셀 갭)를 제어하기 위하여 형성된다. 또한, 구 형상(球狀)의 스페이서를 사용하여도 좋다. 액정층(4008)을 사용하는 액정 표시 장치에 있어서, 액정층의 두께인 셀 갭은 1 μ m 이상 20 μ m 이하로 하는 것이 바람직하다.
- [0279] 또한, 도 5a1, 도 5a2, 및 도 5b는 투과형 액정 표시 장치의 예이지만, 반투과형 액정 표시 장치라도 적용할 수 있다.
- [0280] 또한, 도 5의 액정 표시 장치에서는, 기관의 외측(시인 측)에 편광판을 형성하는 예를 나타내지만, 편광판은 기관의 내측에 형성하여도 좋다. 편광판의 재료나 제작 공정 조건에 따라 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광층을 형성하여도 좋다.
- [0281] 도 5a1, 도 5a2, 및 도 5b에는, 트랜지스터(4010, 4011) 상방을 덮도록 차광층(4034)이 제 2 기관(4006) 측에 형성되어 있다. 차광층(4034)을 형성함으로써, 콘트라스트가 더 향상되거나, 트랜지스터의 안정화의 효과를 높일 수 있다.
- [0282] 트랜지스터의 보호막으로서 기능하는 절연막(4020)으로 덮는 구성으로 하여도 좋지만, 특히 한정되지 않는다.
- [0283] 또한, 보호막은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하기 위한 것이며, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법을 사용하여, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 또는 질화산화 알루미늄막을 단층 또는 적층으로 형성하면 좋다.
- [0284] 또한, 평탄화 절연막으로서 투광성의 절연층을 더 형성하는 경우, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리이미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층을 형성하여도 좋다.
- [0285] 적층하는 절연층의 형성 방법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯 법, 스크린 인쇄, 오프 셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층을 재료액을 사용하여 형성하는 경우, 베이킹하는 공정에서 동시에 반도체층의 가열 처리(200℃ 내지 400℃)를 행하여도 좋다. 절연층의 소성 공정과 반도체층의 가열 처리를 겸함으로써, 효율 좋게 액정 표시 장치를 제작할 수 있다.
- [0286] 화소 전극층(4030), 제 2 공통 전극층(4031) 및 제 1 공통 전극층(4036)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐주석 산화물(이하 ITO라고 함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0287] 또한, 화소 전극층(4030), 제 2 공통 전극층(4031) 및 제 1 공통 전극층(4036)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), hafnium(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물로부터 하나 또는 복수종을 사용하여 형성할 수 있다.
- [0288] 또한, 화소 전극층(4030), 제 2 공통 전극층(4031) 및 제 1 공통 전극층(4036)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다.
- [0289] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급된다.
- [0290] 또한, 트랜지스터는 정전기 등으로 인하여 파괴되기 쉬우므로, 게이트선 또는 소스선에 대하여 구동 회로 보호용의 보호 회로를 동일 기관 위에 형성하는 것이 바람직하다. 보호 회로는, 비선형 소자를 사용하여 구성하는

것이 바람직하다.

- [0291] 도 5a1, 도 5a2, 및 도 5b에서는, 접속 단자 전극(4015)이, 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.
- [0292] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.
- [0293] 또한, 도 5a1, 도 5a2, 및 도 5b에서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기판(4001)에 실장하는 예를 나타내지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.
- [0294] 본 명세서에 개시하는 액정 표시 장치로서 액정 표시 모듈을 구성하는 일례를 나타낸다. 본 실시형태에서는 컬러 표시를 행하는 액정 표시 모듈의 일례로서 도 6에 액정 표시 모듈(190)의 구성을 도시한다.
- [0295] 액정 표시 모듈(190)은 백 라이트부(130)와, 액정 소자가 매트릭스 형상으로 형성된 액정 표시 패널(120)과, 액정 표시 패널(120)을 사이에 긴 편광판(4032a), 및 편광판(4032b)을 갖는다. 백 라이트부(130)에는 발광 소자, 예를 들어 광의 3원색의 LED(133R, 133G, 및 133B)를 매트릭스 형상으로 배치하고, 또한 액정 표시 패널(120)과 발광 소자 사이에 확산판(134)을 배치한 것을 백 라이트부(130)로서 사용할 수 있다. 또한, 외부 입력 단자가 되는 FPC(4018)는 액정 표시 패널(120)에 형성한 단자부와 전기적으로 접속되어 있다.
- [0296] 본 실시형태에서는, 발광 다이오드(LED)를 사용하여 시분할에 의하여 컬러 표시하는 계시가법 혼색법(필드 시퀀셜(field sequential)법)을 채용한다.
- [0297] 백 라이트부(130)는, 백 라이트 제어 회로, 및 백 라이트(132)를 갖는다. 백 라이트(132)에는, 발광 소자(133)가 배치된다.
- [0298] 본 실시형태에서는, 백 라이트(132)는 복수의 상이한 발광색의 발광 소자(133)를 갖는다. 상이한 발광색의 조합으로서는, 예를 들어 적색(R), 녹색(G), 및 청색(B)의 3종류의 발광 소자를 사용할 수 있다. 적색(R), 녹색(G), 및 청색(B)의 3원색을 사용함으로써, 풀 컬러 화상을 표시할 수 있다.
- [0299] 또한, R, G, 및 B의 발광 소자로부터 선택된 복수를 동시에 발광시켜 표현하는 색(예를 들어, R와 G로 표현하는 황색(Y), G와 B로 표현하는 시안(C), B와 R로 표현하는 마젠타(M) 등)을 발광하는 다른 발광 소자를 R, G, 및 B의 발광 소자에 더하여 배치하여도 좋다.
- [0300] 또한, 액정 표시 장치의 색 재현 특성을 향상시키기 위하여, 3원색 이외의 광을 발하는 발광 소자를 더하여도 좋다. R, G, 및 B의 발광 소자를 사용하여 표현할 수 있는 색은, 색도도상의 각각의 발광색에 대응하는 3점이 그리는 삼각형의 내측에 나타내는 색에 한정된다. 따라서, 색도도상의 상기 삼각형의 외측에 배치되는 발광 소자를 별도 더함으로써, 표시 장치의 색 재현 특성을 향상시킬 수 있다.
- [0301] 예를 들어, 색도도의 중심에서 색도도상의 청색의 발광 소자 B에 대응하는 점으로 향하여 대략 외측에 위치하는 점으로 표시되는 짙은 청색(Deep Blue: DB)이나 색도도의 중심에서 색도도상의 적색의 발광 소자 R에 대응하는 점으로 향하여 대략 외측에 위치하는 점으로 표시되는 짙은 적색(Deep Red: DR)을 발하는 발광 소자를 백 라이트(132)의 R, G, 및 B에 더하여 사용할 수 있다.
- [0302] 도 6에는, 3색의 광(135)이 화살표(R, G, 및 B)로 모식적으로 도시한다. 백 라이트부(130)로부터 순차 발해지는 펄스 형상의 상이한 색의 광이 백 라이트부(130)와 동기하여 동작하는 액정 표시 패널(120)의 액정 소자에 의하여 변조되어 액정 표시 모듈(190)로부터 관찰자에게 달한다. 관찰자는 순차적으로 발해지는 광을 영상으로서 파악한다.
- [0303] 또한, 본 실시형태에서 예시되는 액정 표시 장치는, 컬러 필터를 사용하지 않고 풀 컬러 화상의 표시가 가능하다. 컬러 필터가 백 라이트의 광을 흡수하지 않으므로 광의 이용 효율이 높고, 풀 컬러 화상의 표시에 있어서도 소비 전력이 억제된다.
- [0304] 상술한 바와 같이, 블루상을 나타내는 액정층을 사용한 액정 표시 장치에 있어서, 콘트라스트비를 높일 수 있다.
- [0305] 또한, 보다 저전압으로, 높은 백색 투과율을 얻을 수 있으므로, 액정 표시 장치의 저소비 전력화도 달성할 수 있다.
- [0306] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

- [0307] (실시형태 8)
- [0308] 본 명세서에 개시하는 액정 표시 장치는, 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다. 상기 실시형태에서 설명한 액정 표시 장치를 구비하는 전자 기기의 예에 대하여 설명한다.
- [0309] 도 9a는 전자 서적(E-book라고도 함)이며, 케이스(9630), 표시부(9631), 조작키(9632), 태양 전지(9633), 충방전 제어 회로(9634)를 가질 수 있다. 도 9a에 도시한 전자 서적은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시간 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도 9a에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(이하, 컨버터라고 약기함)(9636)를 갖는 구성에 대하여 나타낸다. 실시형태 1 내지 실시형태 7의 어느 것으로 나타낸 액정 표시 장치를 표시부(9631)에 적용함으로써 고콘트라스트로 시인성이 좋고, 또 저소비 전력인 전자 서적으로 할 수 있다.
- [0310] 도 9a에 도시하는 구성으로 함으로써 표시부(9631)로서 반 투과형, 또는 반사형의 액정 표시 장치를 사용하는 경우, 비교적 밝은 상황하에서 사용되는 것도 예상되고, 태양 전지(9633)에 의한 발전, 및 배터리(9635)에 의한 충전을 효율 좋게 행할 수 있어 적합하다. 또한, 태양 전지(9633)는 케이스(9630)의 나머지 스페이스(표면이나 뒷면)에 적절히 설치할 수 있으므로 배터리(9635)의 충전을 효과적으로 행하는 구성으로 할 수 있어 적합하다. 또한, 배터리(9635)로서는 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0311] 또한, 도 9a에 도시하는 충방전 제어 회로(9634)의 구성, 및 동작에 대하여 도 9b에 블록도를 참조하여 설명된다. 도 9b에는 태양 전지(9633), 배터리(9635), 컨버터(9636), 컨버터(9637), 스위치(SW 1 내지 SW 3), 표시부(9631)에 대하여 나타내고, 배터리(9635), 컨버터(9636), 컨버터(9637), 스위치(SW 1 내지 SW 3)가 충방전 제어 회로(9634)에 대응하는 개소가 된다.
- [0312] 우선, 외광에 의하여 태양 전지(9633)에 의하여 발전되는 경우의 동작의 예에 대하여 설명한다. 태양 전지로 발전된 전력은, 배터리(9635)를 충전하기 위한 전압이 되도록 컨버터(9636)로 승압 또는 강압된다. 또한, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는, 스위치(SW 1)를 온으로 하고, 컨버터(9637)로 표시부(9631)에 필요한 전압에 승압 또는 강압을 행한다. 또한, 표시부(9631)에 있어서 표시를 행하지 않을 때는, 스위치(SW 1)를 오프로 하고, 스위치(SW 2)를 온으로 하고 배터리(9635)를 충전하는 구성으로 하면 좋다.
- [0313] 이어서, 외광에 의하여 태양 전지(9633)에 의하여 발전되지 않는 경우의 동작의 예에 대하여 설명한다. 배터리(9635)에 축전된 전력은 스위치(SW 3)를 온으로 함으로써 컨버터(9637)에 의하여 승압 또는 강압된다. 또한, 표시부(9631)의 동작에 배터리(9635)로부터의 전력이 사용된다.
- [0314] 또한, 태양 전지(9633)에 대해서는, 충전 수단의 일례로서 나타내지만, 다른 수단에 의한 배터리(9635)의 충전을 행하는 구성이라도 좋다. 또한, 다른 충전 수단을 조합하여 행하는 구성으로 하여도 좋다.
- [0315] 도 10a는, 노트형의 퍼스널 컴퓨터이고, 본체(3001), 케이스(3002), 표시부(3003), 키보드(3004) 등으로 구성된다. 실시형태 1 내지 실시형태 7의 어느 것으로 나타낸 액정 표시 장치를 표시부(3003)에 적용함으로써 고콘트라스트로 시인성이 좋고, 또 저소비 전력인 노트형의 퍼스널 컴퓨터로 할 수 있다.
- [0316] 도 10b는, 휴대정보 단말기기(PDA)이며, 본체(3021)에는 표시부(3023)와 외부 인터페이스(3025)와 조작 버튼(3024) 등이 설치된다. 또한, 조작용의 부속품으로서 스타일러스(stylus; 3022)가 있다. 실시형태 1 내지 실시형태 7의 어느 것으로 나타낸 액정 표시 장치를 표시부(3023)에 적용함으로써 고콘트라스트로 시인성이 좋고, 또 저소비 전력인 휴대정보 단말기기(PDA)로 할 수 있다.
- [0317] 도 10c는 전자 서적의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체로 되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 행할 수 있다. 이와 같은 구성에 의하여 종이의 서적과 같은 동작을 행할 수 있다.
- [0318] 케이스(2701)에는 표시부(2705)가 조합되고, 케이스(2703)에는 표시부(2707)가 조합된다. 표시부(2705) 및 표시부(2707)는 연속되는 화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽의 표시부(도 10c에서는 표시부(2705))에 문장을

표시하고, 왼쪽의 표시부(도 10c에서는 표시부(2707))에 화상을 표시할 수 있다. 실시형태 1 내지 실시형태 7의 어느 것으로 나타낸 액정 표시 장치를 표시부(2705), 표시부(2707)에 적용함으로써 고콘트라스트로 시인성이 좋고, 또 저소비 전력인 전자 서적으로 할 수 있다.

[0319] 또한, 도 10c에서는, 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 뒷면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0320] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 사고, 다운로드하는 구성으로 할 수도 있다.

[0321] 도 10d는, 휴대 전화기이며, 케이스(2800) 및 케이스(2801)의 2개의 케이스로 구성된다. 케이스(2801)에는, 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비한다. 또한, 케이스(2800)에는 휴대 전화를 충전하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등을 구비한다. 또한, 안테나는 케이스(2801) 내부에 내장된다. 실시형태 1 내지 실시형태 7의 어느 것으로 나타낸 액정 표시 장치를 표시 패널(2802)에 적용함으로써 고콘트라스트로 시인성이 좋고, 또 저소비 전력인 휴대 전화기로 할 수 있다.

[0322] 또한, 표시 패널(2802)은, 터치 패널을 구비하고, 도 10d에는 영상 표시되는 복수의 조작 키(2805)를 점선으로 도시한다. 또한, 태양 전지 셀(2810)로 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장한다.

[0323] 표시 패널(2802)은 사용 형태에 따라 표시 방향이 적절히 변화한다. 또한, 표시부(2802)와 동일 면 위에 카메라용 렌즈(2807)를 구비하기 때문에, 영상 전화를 할 수 있다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화 에 한정되지 않고, 영상 전화, 녹음, 재생 등을 할 수 있다. 또한, 케이스(2800)와 케이스(2801)는 슬라이드하여 도 10d에 도시하는 바와 같이 전개하는 상태로부터 증첩하는 상태로 할 수 있고, 휴대하기에 적합한 소형화가 가능하다.

[0324] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신을 할 수 있다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0325] 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이라도 좋다.

[0326] 도 10e는, 디지털 비디오 카메라이며, 본체(3501), 표시부 A(3507), 접안부(3053), 조작 스위치(3054), 표시부 B(3055), 배터리(3056) 등으로 구성된다. 실시형태 1 내지 실시형태 7의 어느 것으로 나타낸 액정 표시 장치를 표시부 A(3507), 표시부 B(3055)에 적용함으로써 고콘트라스트로 시인성이 좋고, 또 저소비 전력인 디지털 비디오 카메라로 할 수 있다.

[0327] 도 10f에는 텔레비전 장치의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조합된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 도시한다. 실시형태 1 내지 실시형태 7의 어느 것으로 나타낸 액정 표시 장치를 표시부(9603)에 적용함으로써 고콘트라스트로 시인성이 좋고, 또 저소비 전력인 텔레비전 장치로 할 수 있다.

[0328] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별개의 리모트 컨트롤러에 의하여 행할 수 있다. 또한, 리모트 컨트롤러에, 상기 리모트 컨트롤러로부터 출력하는 정보를 표시하는 표시부를 설치하는 구성으로 하여도 좋다.

[0329] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수도 있다.

[0330] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

부호의 설명

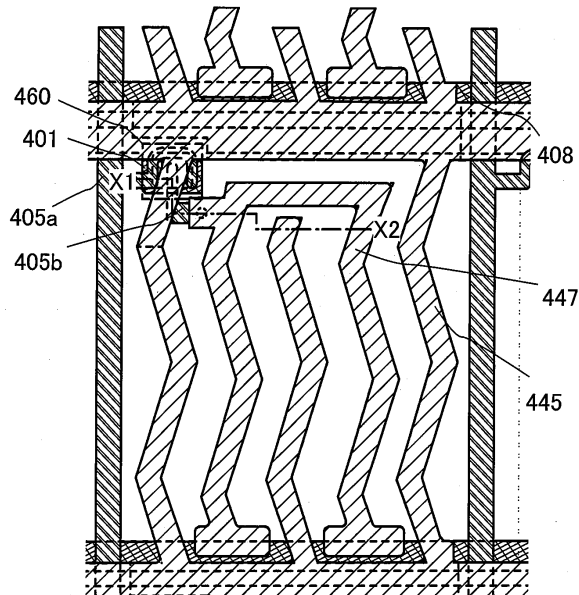
[0331]

401: 게이트 전극층	402: 게이트 절연층
403: 반도체층	405a: 소스 전극층
405b: 드레인 전극층	406: 도전층
407: 절연막	408: 용량 배선층
409: 절연막	413: 절연층
431: 개구	441: 제 1 기관
442: 제 2 기관	443a: 편광판
443b: 편광판	444: 액정층
445: 제 2 전극층	447: 제 1 전극층
460: 트랜지스터	

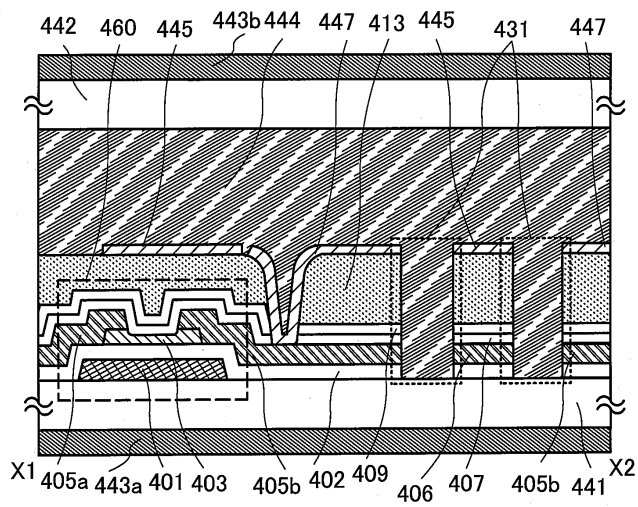
도면

도면1

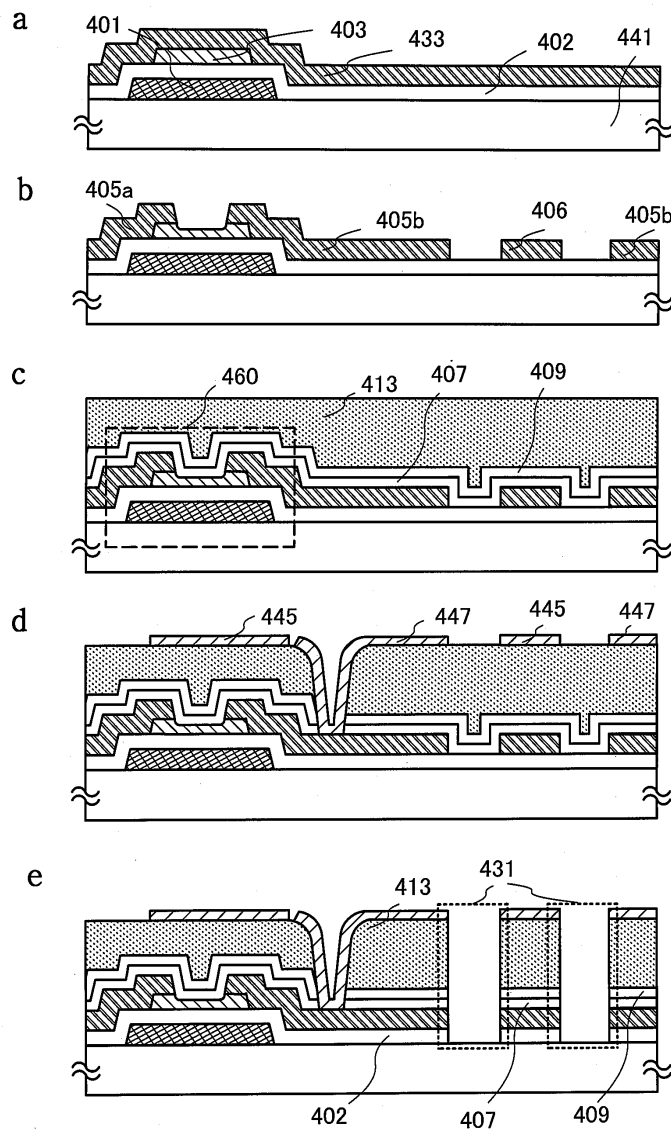
a



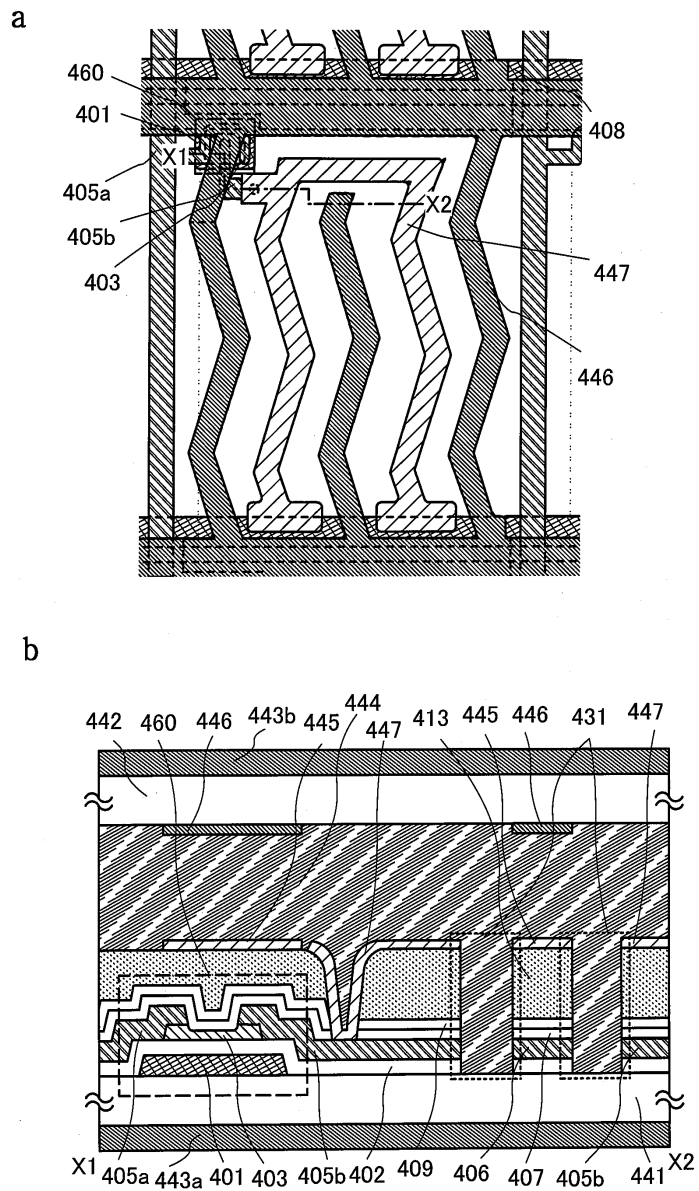
b



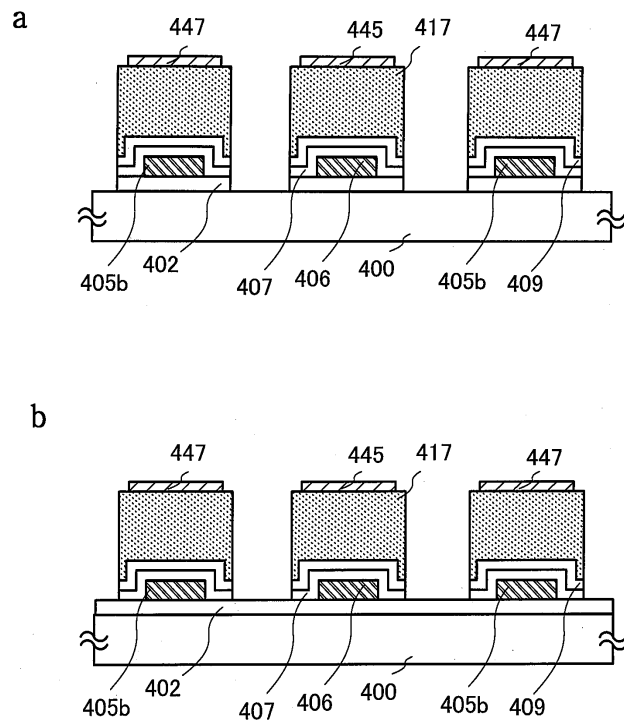
도면2



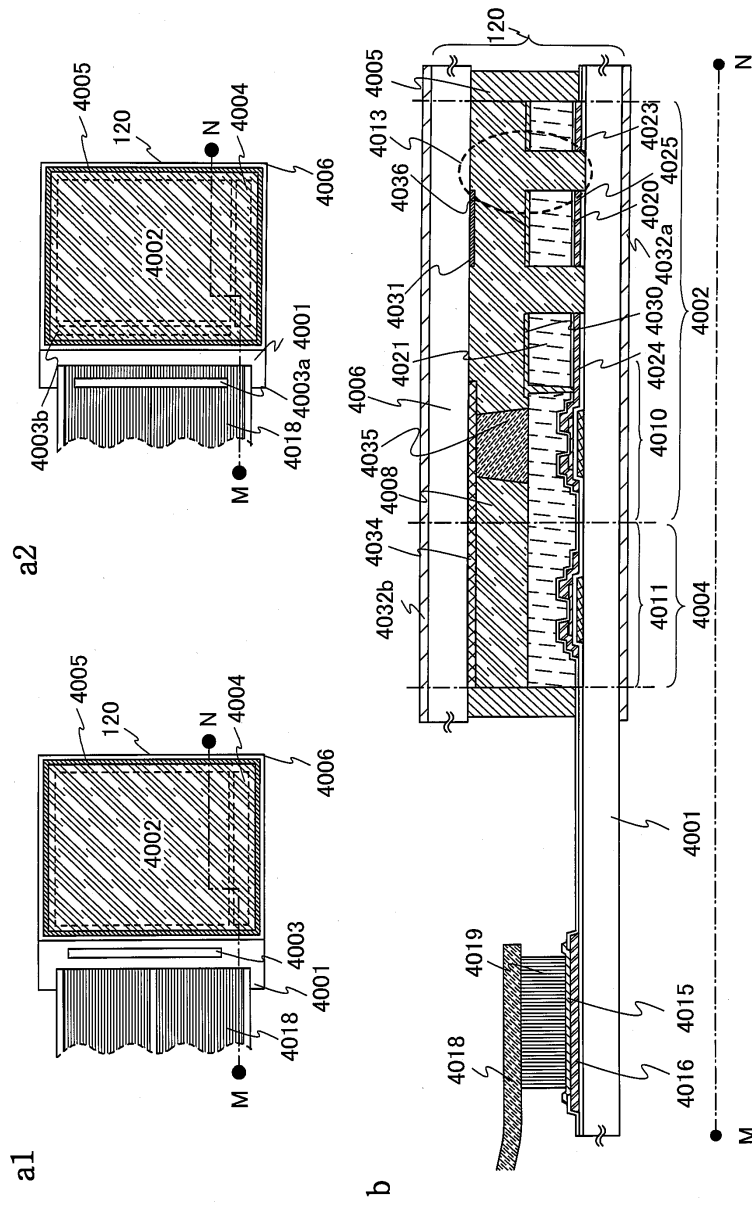
도면3



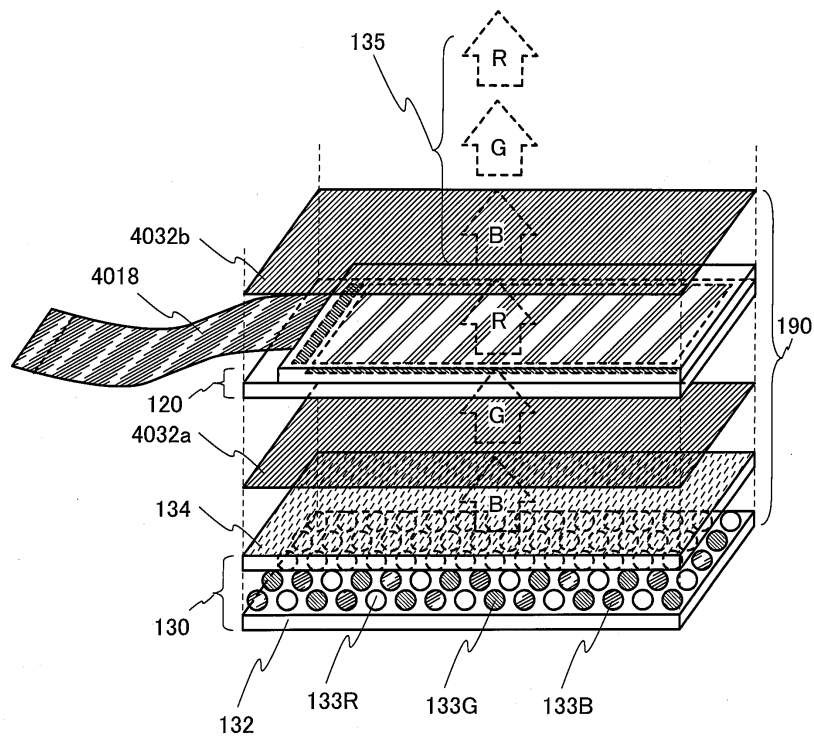
도면4



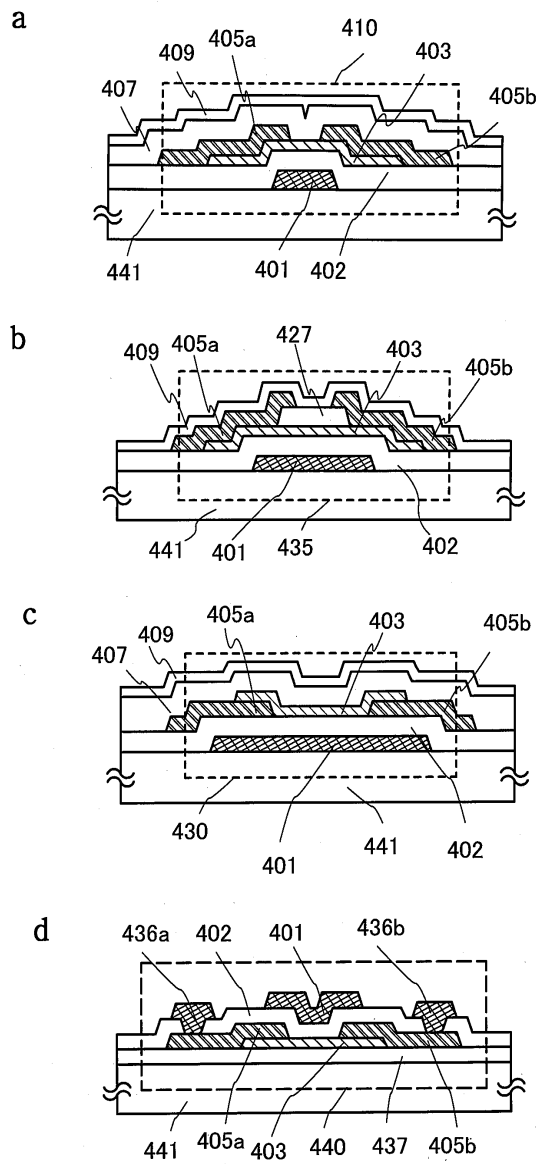
도면5



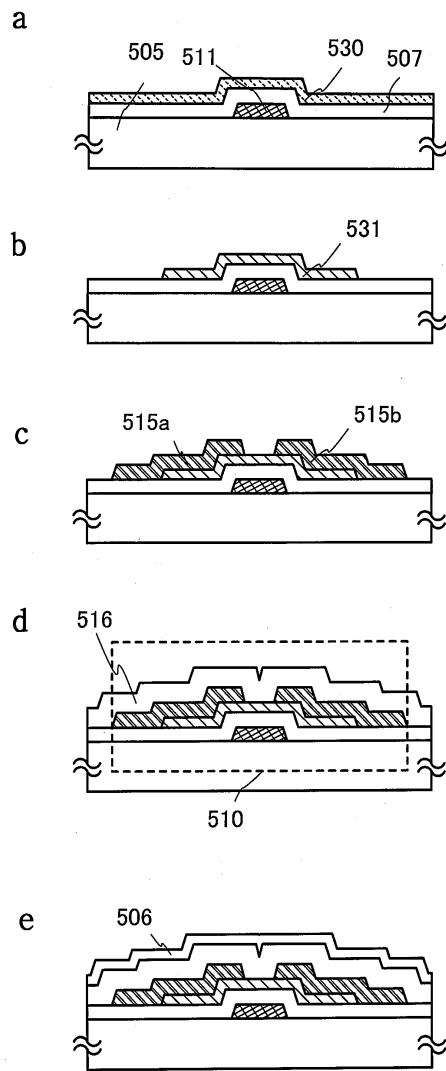
도면6



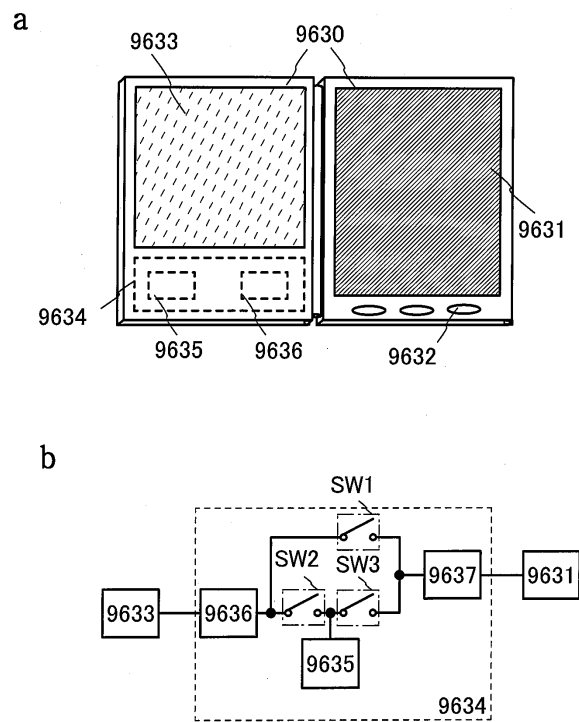
도면7



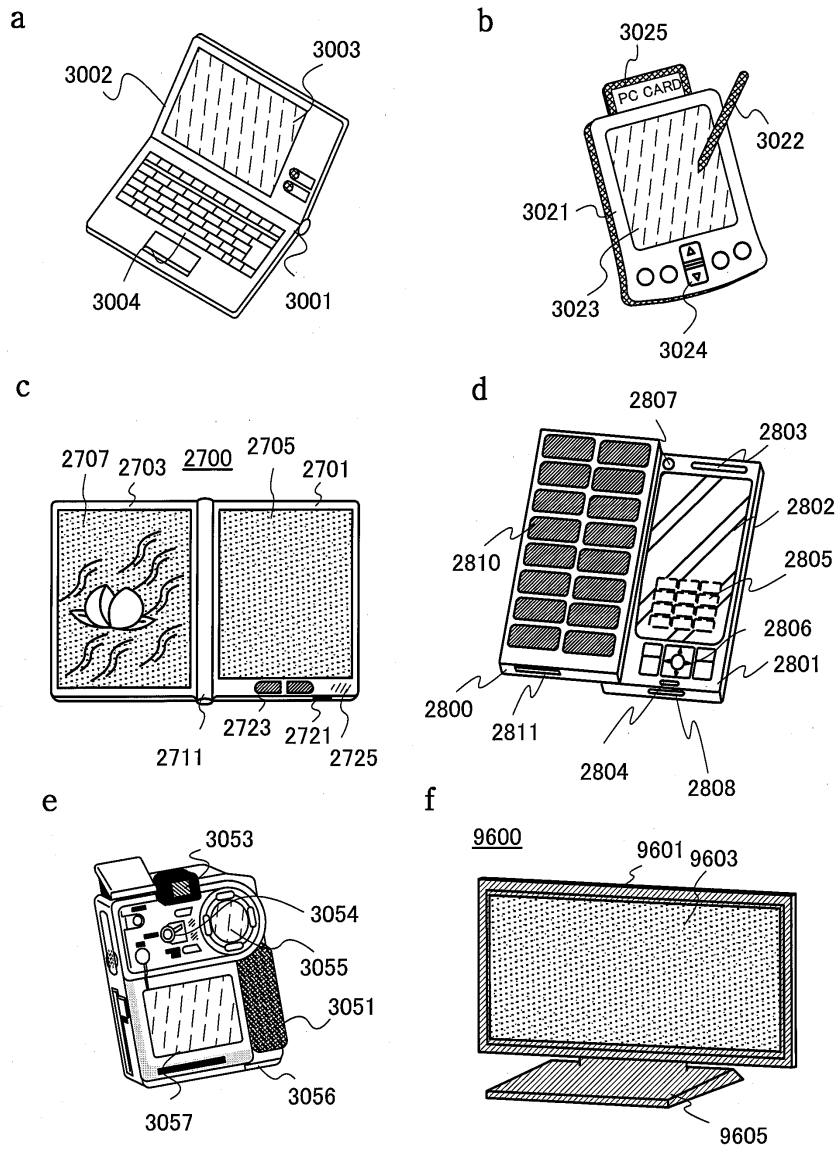
도면8



도면9

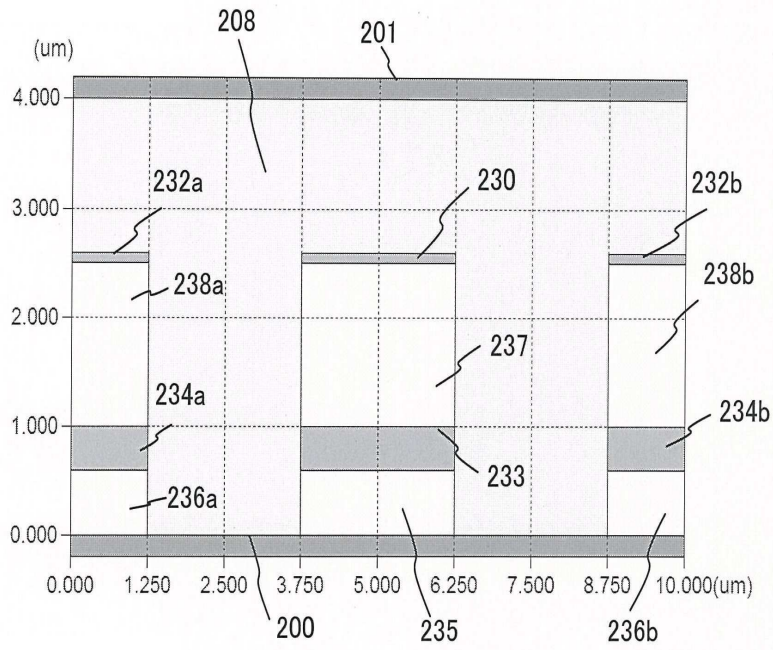


도면10

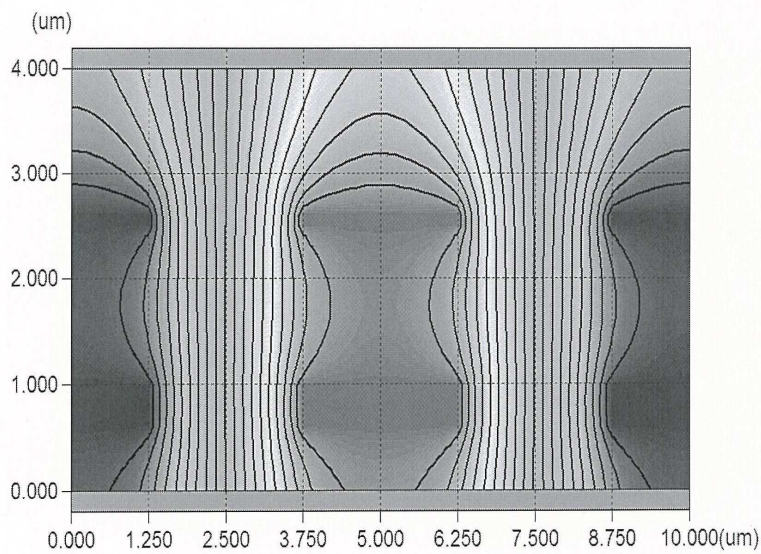


도면11

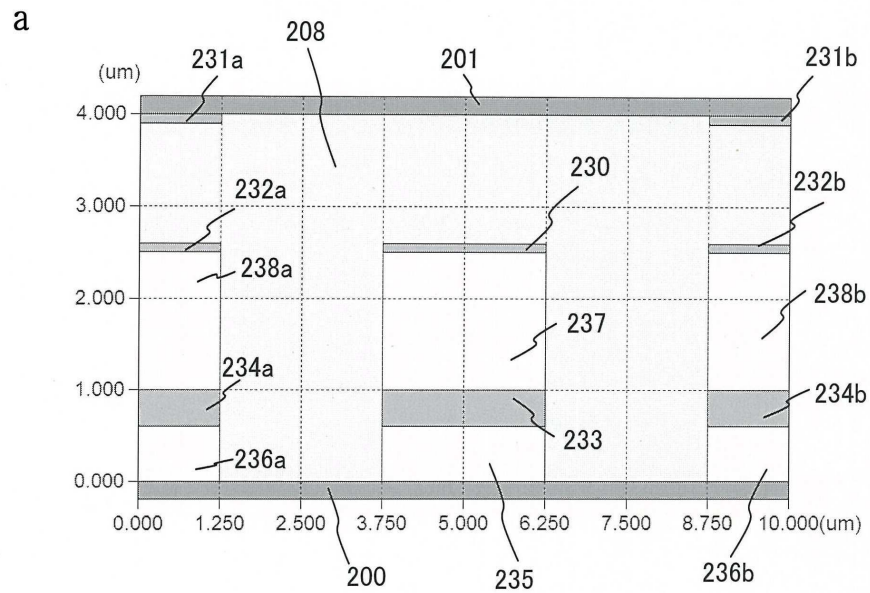
a



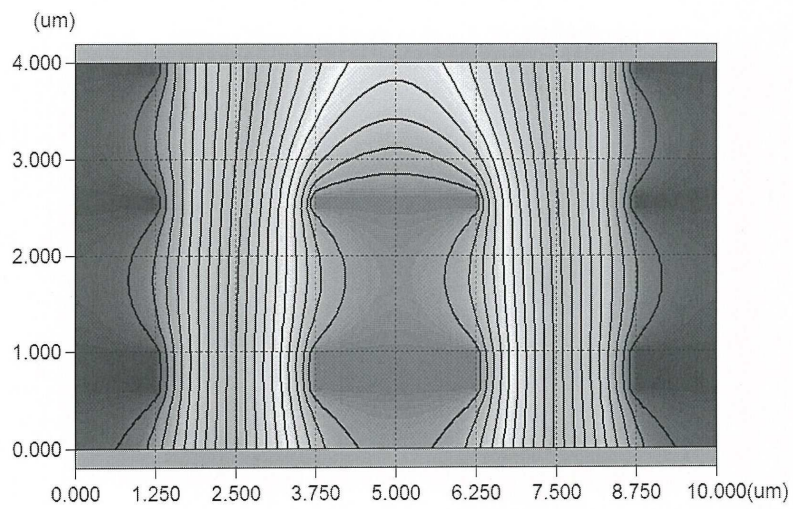
b



도면12



b



专利名称(译)	半导体器件和液晶显示器件		
公开(公告)号	KR1020110114460A	公开(公告)日	2011-10-19
申请号	KR1020110032485	申请日	2011-04-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KUBOTA DAISUKE 쿠보타다이스케 YAMASHITA AKIO 야마시타아키오 ISHITANI TETSUJI 이시타니테츠지 TAMURA TOMOHIRO 타무라토모히로 MIKAMI MAYUMI 미카미마유미		
发明人	쿠보타다이스케 야마시타아키오 이시타니테츠지 타무라토모히로 미카미마유미		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/136 H01L29/786		
CPC分类号	G02F1/13439 G02F1/1343 H01L27/1225 G02F2001/13793 G02F1/134363 G02F1/1334 G02F1/139		
代理人(译)	张本勋		
优先权	2010091712 2010-04-12 JP		
其他公开文献	KR101717453B1		
外部链接	Espacenet		

摘要(译)

本发明是提供一种使用显示出于实现高对比度的显示用的目标之一蓝相的液晶材料的液晶显示装置。此外，在液晶显示装置中使用显示为蓝相的液晶，并且在于其进一步实现低功耗为一体的目标之一。在保持液晶层示出在第一衬底上的蓝色相和第二基板，与所述像素电极层之间的膜的层间的液晶显示装置是漏电极层与所述晶体管的公共电极层具有形成在一个过程的导电层，如漏电极层和它电连接到彼此。选择性地去除像素电极层和公共电极层之间的层间膜以形成开口。开口填充有液晶以形成液晶层。因此，在像素电极和公共电极，所述漏电极层和导电层的液晶层中，以形成宽电场之间的之间的开口的面积。

