



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0077868
(43) 공개일자 2011년07월07일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0134539

(22) 출원일자 2009년12월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

장수호

경상남도 밀양시 가곡동 328(4/6)

김석수

경북 구미시 구평동 부영아파트 206동 806호

정태영

대구광역시 수성구 만촌동 990-39

(74) 대리인

박영복, 김용인

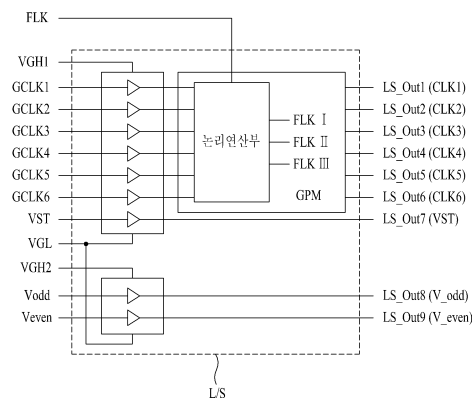
전체 청구항 수 : 총 3 항

(54) 액정 표시장치의 구동장치

(57) 요약

본 발명은 다중(Multi) 플리커 방지 신호(FLK)를 사용하지 않고 싱글(single) 플리커 방지 신호(FLK)만을 사용하여 타이밍 콘트롤러 및 레벨 쉬프터의 핀 수를 줄일 수 있는 액정 표시장치의 구동장치에 관한 것으로, 복수의 화소 영역을 구비하여 영상을 표시하는 액정패널; 상기 액정패널의 게이트 라인들을 구동하는 게이트 드라이버; 하나의 플리커 방지 신호와 다수의 클럭신호 및 게이트 제어신호를 생성하여 상기 게이트 드라이버의 구동 타이밍을 제어하는 타이밍 콘트롤러; 상기 하나의 플리커 방지 신호와 상기 다수의 클럭신호를 논리 연산하여 복수개의 플리커 방지 신호를 생성하고, 생성된 복수개의 플리커 방지 신호 각각에 따라 게이트 온 전압을 변조하여 출력하는 게이트 펄스 변조부; 및 상기 타이밍 콘트롤러에서 출력된 다수의 클럭신호를 상기 복수개의 변조된 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 다수의 클럭신호를 상기 게이트 드라이버로 공급하는 레벨 쉬프터부를 구비한 것이다.

대표도 - 도6



특허청구의 범위

청구항 1

복수의 화소 영역을 구비하여 영상을 표시하는 액정패널;

상기 액정패널의 게이트 라인들을 구동하는 게이트 드라이버;

하나의 플리커 방지 신호와 다수의 클럭신호 및 게이트 제어신호를 생성하여 상기 게이트 드라이버의 구동 타이밍을 제어하는 타이밍 컨트롤러;

상기 하나의 플리커 방지 신호와 상기 다수의 클럭신호를 논리 연산하여 복수개의 플리커 방지 신호를 생성하고, 생성된 복수개의 플리커 방지 신호 각각에 따라 게이트 온 전압을 변조하여 출력하는 게이트 펄스 변조부; 및

상기 타이밍 컨트롤러에서 출력된 다수의 클럭신호를 상기 복수개의 변조된 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 다수의 클럭신호를 상기 게이트 드라이버로 공급하는 레벨 쉬프터부를 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 2

제 1 항에 있어서,

상기 게이트 펄스 변조부는

4상 구동일 경우, 상기 하나의 플리커 방지 신호와 4 클럭신호를 논리 연산하여 2개의 플리커 방지 신호를 생성하고, 생성된 2개의 플리커 방지 신호 각각에 따라 게이트 온 전압을 변조하여 출력하고,

6상 구동일 경우, 상기 하나의 플리커 방지 신호와 6 클럭신호를 논리 연산하여 3개의 플리커 방지 신호를 생성하고, 생성된 3개의 플리커 방지 신호 각각에 따라 게이트 온 전압을 변조하여 출력하는 논리 연산부를 구비함을 특징으로 하는 액정 표시장치의 구동장치.

청구항 3

제 2 항에 있어서,

상기 논리 연산부는

상기 타이밍 컨트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 1 및 제 3 클럭신호(GCLK1, GCLK3)를 논리 곱 연산하여 FLK1신호를 출력하는 제 1 앤드 게이트와,

상기 타이밍 컨트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 2 및 제 4 클럭신호(GCLK2, GCLK4)를 논리 곱 연산하여 FLK2신호를 출력하는 제 2 앤드 게이트와,

상기 타이밍 컨트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 3 및 제 5 클럭신호(GCLK3, GCLK5)를 논리 곱 연산하여 FLK3 신호를 출력하는 제 3 앤드 게이트와,

상기 타이밍 컨트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 4 및 제 6 클럭신호(GCLK4, GCLK6)를 논리 곱 연산하여 FLK4 신호를 출력하는 제 4 앤드 게이트와,

상기 타이밍 컨트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 1 및 제 5 클럭신호(GCLK1, GCLK5)를 논리 곱 연산하여 FLK5 신호를 출력하는 제 5 앤드 게이트와,

상기 타이밍 컨트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 2 및 제 6 클럭신호(GCLK4, GCLK6)를 논리 곱 연산하여 FLK6 신호를 출력하는 제 6 앤드 게이트와,

상기 제 1 앤드 게이트와 제 4 앤드 게이트의 출력 신호를 논리 합 연산하여 제 1 플리커 방지 신호(FLK I)를 출력하는 제 1 오아 게이트와,

상기 제 2 앤드 게이트와 제 5 앤드 게이트의 출력 신호를 논리 합 연산하여 제 2 플리커 방지 신호(FLK II)를 출력하는 제 2 오아 게이트와,

상기 제 3 앤드 게이트와 제 6 앤드 게이트의 출력 신호를 논리 합 연산하여 제 3 플리커 방지 신호(FLK III)를

출력하는 제 3 오아 게이트를 구비하여 구성됨을 특징으로 하는 액정 표시장치의 구동장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 게이트 드라이버를 내장한 액정패널(GIP 패널)에서 오버래핑(over lapping)구동시 게이트 펄스 변조 신호를 생성함에 있어서, 플리커를 줄일 수 있도록 한 기술에 관한 것으로, 특히 다중(Multi) 플리커 방지 신호(FLK)를 사용하지 않고 싱글(single) 플리커 방지 신호(FLK)만을 사용하여 타이밍 콘트롤러 및 레벨 쉬프터의 핀 수를 줄일 수 있는 액정 표시장치의 구동장치에 관한 것이다.

배경 기술

[0002] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소영역들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

[0003] 상기 액정패널에는 다수개의 게이트 라인들과 다수개의 데이터 라인들이 교차하게 배열되고, 그 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고, 상기 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 상기 액정패널에 형성된다.

[0004] 상기 화소전극들 각각은 스위칭소자인 박막트랜지스터(TFT; Thin Film Transistor)의 소스 전극 및 드레인 전극을 경유하여 상기 데이터 라인에 접속된다. 상기 박막트랜지스터는 상기 게이트 라인을 경유하여 게이트 전극에 인가되는 스캔펄스에 의해 턴-온되어, 상기 데이터 라인의 데이터 신호가 상기 화소전압에 충전되도록 한다.

[0005] 한편, 상기 구동회로는 상기 게이트 라인들을 구동하기 위한 게이트 드라이버와, 상기 데이터 라인들을 구동하기 위한 데이터 드라이버와, 상기 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 콘트롤러와, 액정표시장치에서 사용되는 여러 가지의 구동전압들을 공급하는 전원공급부를 구비한다.

[0006] 상기 타이밍 콘트롤러는 상기 게이트 드라이버 및 상기 데이터 드라이버의 구동 타이밍을 제어함과 아울러 상기 데이터 드라이버에 화소데이터 신호를 공급한다. 그리고, 상기 전원공급부는 입력 전원을 승압 또는 감압하여 액정표시장치에서 필요로 하는 공통전압(VCOM), 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL) 등과 같은 구동전압들을 생성한다. 그리고, 상기 게이트 드라이버는 스캔펄스를 게이트 라인들에 순차적으로 공급하여 액정패널상의 액정셀들을 1라인분씩 순차적으로 구동한다. 그리고, 상기 데이터 드라이버는 게이트 라인들 중 어느 하나에 스캔 펄스가 공급될 때마다 데이터 라인들 각각에 화소 전압신호를 공급한다.

[0007] 이에 따라, 액정표시장치는 액정셀 별로 화소전압에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광 투과율을 조절함으로써 화상을 표시한다.

[0008] 여기서, 상기 게이트 드라이버는 상술한 바와 같은 스캔펄스들을 순차적으로 출력할 수 있도록 쉬프트 레지스터를 구비하고, 근래 들어 게이트 드라이버가 패널내에 형성되는 지아이피(GIP: Gate In Panel) 기술이 많이 사용되고 있는 추세에 있다.

[0009] 또한, 상기 액정 표시장치에서는 상기 박막 트랜지스터가 오프될 때 박막 트랜지스터에 포함된 기생 커패시턴스와 게이트 전압의 가변치에 따라 각 화소에 충전된 화소 전압이 가변하고, 정극성 및 부극성 화소 전압 가변치의 편차로 인하여 플리커가 발생하게 되고, 액정 표시장치의 크기(size)가 커지면서 게이트 라인의 부하(저항 및 커패시터)로 인한 스캔 펄스의 지연량이 증가하면서 박막 트랜지스터의 데이터 충전 시간이 부족하여 플리커가 발생되어 화질이 저하되는 문제점이 있었다.

[0010] 따라서, 이와 같은 문제점을 해결하기 위하여, 일정 부분 오버래핑되는 적어도 2개의 클럭신호(2-phase non-overlapping clock)에 동기되어 동작하는 게이트 펄스 변조(Gate Pulse Modulation; GPM) 방법이 사용되었다.

[0011] 도 1은 종래의 게이트 펄스 변조 신호 발생 회로도의 구성도이다.

[0012] 종래의 게이트 펄스 변조 신호 발생 회로는 도 1에 도시한 바와 같이, 플리커 방지 신호(FLK1),(FLK2)를 각각 입력받아 게이트 온 전압 변조 신호(VGHM1),(VGHM2)를 각각 생성하는 게이트 펄스 변조부(41A),(41B)와; 상기 게이트 온 전압 변조 신호(VGHM1),(VGHM2)와 타이밍 콘트롤러에서 출력되는 클럭신호 (ICLK1,

ICLK3), (ICLK2, ICLK4)를 입력받아 2H 주기 VGL~VGH 레벨의 변조된 형태의 홀수, 짝수 라인의 클럭신호 (CLK1, CLK3), (CLK2, CLK4)를 생성하는 레벨쉬프터(42A), (42B)와; 상기 레벨쉬프터(42A), (42B)에서 각기 출력되는 클럭신호(CLK1, CLK3), (CLK2, CLK4)를 입력받아 변조된 형태의 게이트 출력 신호(GATE OUTPUT N-1), (GATE OUTPUT N), (GATE OUTPUT N+1)를 생성하여 액정 패널의 게이트 라인에 출력하는 지아이피(GIP)(43)로 구성된다. 여기서, 상기 지아이피(GIP)(43)는 내장형 게이트 출력 회로이다. 즉, 지아이피(GIP)(43)는 액정패널내에 형성되고, 나머지 구성은 액정패널 외부에 형성된다.

[0013] 이와 같이 구성된 종래의 게이트 펄스 변조 신호 발생 회로의 동작을 설명하면 다음과 같다.

[0014] 도 2 (a) 내지 (g)은 종래의 오버랩핑 구동시 게이트 펄스 변조 신호의 생성과정을 나타낸 파형도이고, 도 3 (a) 내지 (d)는 종래의 클럭 신호의 파형도이며, 도 3 (e) 내지 (h)는 종래의 레벨 시프트 및 변조된 클럭 신호의 파형도이다.

[0015] 상기 게이트 펄스 변조부(41A)는 도 2(a)와 같은 플리커 방지 신호(FLK1)와 VGH 전압을 입력받아 도 2(b)와 같은 게이트 온 전압 변조 신호(VGHM1)를 생성한다. 여기서, 상기 VGH 전압은 TFT의 문턱전압 이상으로 설정된 스캔 펄스의 하이 논리 전압이다.

[0016] 이와 마찬가지로, 상기 게이트 펄스 변조부(41B)는 도 2(c)와 같은 플리커 방지 신호(FLK2)와 VGH 전압을 입력받아 도 2(d)와 같은 게이트 온 전압 변조 신호(VGHM2)를 생성한다.

[0017] 그리고, 레벨 쉬프터(level shifter)(42A)는 상기 게이트 펄스 변조부(41A)에서 출력되는 상기 게이트 온 전압 변조 신호(VGHM1), 타이밍 콘트롤러(도면에 미표시)에서 출력되는 도 3 (a) 및 (c)와 같은 클럭신호 (ICLK1), (ICLK3)를 입력받고, VGL 전압을 입력받아 도 3 (e) 및 (g)와 같이 레벨 쉬프트되고 변조된 형태의 홀수라인의 클럭신호(CLK1), (CLK3)를 생성한다. 여기서, 상기 VGL 전압은 TFT의 오프 전압으로 설정된 스캔 펄스의 로우 논리 전압이다.

[0018] 이와 마찬가지로, 레벨 쉬프터(42B)는 상기 게이트 펄스 변조부(41B)에서 출력되는 상기 게이트 온 전압 변조 신호(VGHM2), 상기 타이밍 콘트롤러에서 출력되는 도 3 (b) 및 (d)와 같은 클럭신호(ICLK2), (ICLK4)를 입력받고, 상기 VGL 전압을 입력받아 도 3 (f) 및 (h)와 같이 레벨 쉬프트되고 변조된 형태의 짝수라인의 클럭신호(CLK2), (CLK4)를 생성한다.

[0019] 패널에 통합된 게이트 드라이버 IC인 지아이피(GIP)(43)는 상기 레벨 쉬프터(42A), (42B)에서 출력되는 상기 4상 클럭신호(CLK1), (CLK2), (CLK3), (CLK4)를 입력받고, VGH, VGL 전압을 입력받아 도 2(e), (f) 및 (g)와 같이 변조된 형태의 게이트출력신호(GATE OUTPUT N-1), (GATE OUTPUT N), (GATE OUTPUT N+1)를 생성하여 액정패널의 게이트 라인에 출력한다.

[0020] 게이트 구동방식으로 오버랩핑 구동방식을 사용할 경우, 게이트 출력 신호가 2H의 주기이므로 하나의 클럭신호 (FLK)를 사용하여 2n번째(짝수인) 라인과, 2n+1번째(홀수) 라인에 대한 게이트 변조 신호를 출력할 수 없다. 따라서, 종래에는 이를 감안하여 위상이 다른 두 개의 클럭신호(FLK)를 사용하여 두 개의 게이트 온 전압 변조 신호(VGHM1), (VGHM2)를 생성하고, 그 중에서 게이트 온 전압 변조 신호(VGHM1)는 홀수 라인에 적용하고 게이트 온 전압 변조 신호(VGHM2)는 짝수 라인에 적용하도록 함으로써, 오버랩핑 구동시에도 게이트 변조 신호를 출력할 수 있다.

[0021] 상술한 바와 같이, GIP 액정표시장치에서 오버랩핑 구동방식을 이용한 게이트 펄스 변조 방식을 구현하기 위해서는 다수개의 클럭신호(FLK)가 필요하게 된다. 즉, 4상의 구동을 위해서는 플리커 방지 신호(FLK)가 2개 필요하고(도 1 참조), 6상의 구동을 위해서는 플리커 방지 신호(FLK)가 3개 필요하게 된다.

[0022] 즉, 도 4는 하나의 플리커 방지 신호(FLK)만 이용할 경우 게이트 펄스 변조 방법에 따른 문제점을 설명하기 위한 타이밍도이다.

[0023] 즉, 상기 플리커 방지 신호(FLK)신호를 하나만 이용할 경우, 도 4에 도시한 바와 같이, 변조된 게이트 출력신호 (GATE OUTPUT N), (GATE OUTPUT N+1)에서 에러(dip)가 발생되므로 액정표시장치의 구동에 신뢰성이 저하된다.

[0024] 그리고, 6상 구동을 위해서는 3개의 플리커 방지 신호가 필요하게 된다.

[0025] 도 5는 종래의 6상 구동을 위한 레벨 쉬프터의 구성도이다.

[0026] 도 5에서는 레벨 쉬프터에 게이트 펄스 변조부가 내장된(merge) 경우를 도시한 것이다.

[0027] 즉, 타이밍 콘트롤러(도면에는 도시되지 않음)로부터 3개의 플리커 방지 신호(FLK1, FLK2, FLK3)가 게이트 펄스 변조부(GPM)로 입력되고, 게이트 하이 신호(VGH1, VGH2) 및 6개의 클럭 신호(GCLK1, GCLK2, GCLK3, GCLK4, GCLK5, GCLK6)가 레벨 쉬프터(L/S)에 입력된다.

[0028] 이와 같이 상기 타이밍 콘트롤러에서 3개의 플리커 방지 신호(FLK1-FLK3)와 클럭신호((GCLK1, GCLK2, GCLK3, GCLK4, GCLK5, GCLK6)를 상기 레벨 쉬프터(L/S)에 인가해야하므로, 상기 타이밍 콘트롤러와 레벨 쉬프터의 입출력 핀 입이 증가하게 되는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

[0029] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, GIP 액정표시패널에서, 타이밍 콘트롤러에서 하나의 플리커 방지 신호를 출력하여 게이트 펄스 변조 방식으로 액정표시장치를 구동할 수 있도록 하므로, 타이밍 콘트롤러 및 레벨 쉬프터(게이트 펄스 변조부)의 입출력 핀을 감소시킬 수 있는 액정표시장치의 구동장치를 제공하는데 그 목적이 있다.

과제 해결수단

[0030] 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 액정 표시장치의 구동장치는, 복수의 화소 영역을 구비하여 영상을 표시하는 액정패널; 상기 액정패널의 게이트 라인들을 구동하는 게이트 드라이버; 하나의 플리커 방지 신호와 다수의 클럭신호 및 게이트 제어신호를 생성하여 상기 게이트 드라이버의 구동 타이밍을 제어하는 타이밍 콘트롤러; 상기 하나의 플리커 방지 신호와 상기 다수의 클럭신호를 논리 연산하여 복수개의 플리커 방지 신호를 생성하고, 생성된 복수개의 플리커 방지 신호 각각에 따라 게이트 온 전압을 변조하여 출력하는 게이트 펄스 변조부; 및 상기 타이밍 콘트롤러에서 출력된 다수의 클럭신호를 상기 복수개의 변조된 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 다수의 클럭신호를 상기 게이트 드라이버로 공급하는 레벨 쉬프터부를 구비함에 그 특징이 있다.

효과

[0031] 상기와 같은 특징을 갖는 본 발명의 실시 예에 따른 액정 표시장치의 구동장치에 있어서는 다음과 같은 효과가 있다.

[0032] 즉, 다중(Multi) 플리커 방지 신호(FLK)를 사용하지 않고, 싱글(single) 플리커 방지 신호(FLK)만을 사용하므로, 타이밍 콘트롤러 및 레벨 쉬프터의 입출력핀의 수를 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

[0033] 상기와 같은 특징을 갖는 본 발명의 실시 예에 따른 액정 표시장치의 구동장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

[0034] 먼저, 액정패널, 게이트 드라이버 및 데이터 드라이버의 구성은 종래와 같으므로 그에 따른 구성은 생략하고 타이밍 콘트롤러, 게이트 펄스 변조부 및 레벨 쉬프터를 중점적으로 설명하면 다음과 같다.

[0035] 도 6은 본 발명의 실시 예에 따른 액정 표시장치의 구동장치(레벨 쉬프터)를 나타낸 구성도이고, 도 7은 도 6의 게이트 펄스 변조부(GPM)의 논리 연산부의 상세 구성도이다.

[0036] 도 6에서도 마찬가지로, 레벨 쉬프터에 게이트 펄스 변조부가 내장된(merge) 경우를 도시한 것으로, 6상 구동을 위한 레벨 쉬프터를 도시하였다.

[0037] 즉, 타이밍 콘트롤러(도면에는 도시되지 않음)로부터 하나의 플리커 방지 신호(FLK)가 게이트 펄스 변조부(GPM)로 입력된다. 그리고, 나머지 게이트 하이 신호(VGH1, VGH2) 및 6개의 클럭 신호(GCLK1, GCLK2, GCLK3, GCLK4, GCLK5, GCLK6)가 레벨 쉬프터(L/S)에 입력된다.

[0038] 이와 같이 상기 게이트 펄스 변조부(GPM)는, 상기 타이밍 콘트롤러에서 하나의 플리커 방지 신호(FLK)와 상기 6개의 클럭신호((GCLK1, GCLK2, GCLK3, GCLK4, GCLK5, GCLK6)를 입력하여 이들을 논리 연산하여 3개의 플리커 방지 신호를 생성하는 논리 연산부를 더 구비한다.

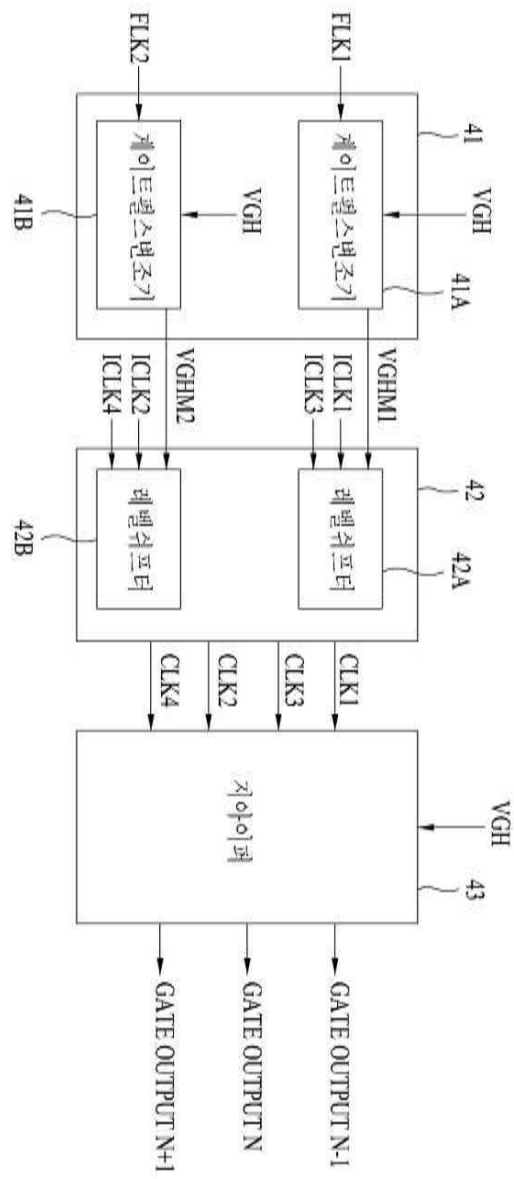
[0039] 즉, 상기 논리 연산부는, 도 7에 도시한 바와 같이, 상기 타이밍 콘트롤러로부터 입력된 플리커 방지 신호(FLK

K)와 제 1 및 제 3 클럭신호(GCLK1, GCLK3)를 논리 곱 연산하여 FLK1신호를 출력하는 제 1 앤드 게이트(AND1)와, 상기 타이밍 콘트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 2 및 제 4 클럭신호(GCLK2, GCLK4)를 논리 곱 연산하여 FLK2신호를 출력하는 제 2 앤드 게이트(AND2)와, 상기 타이밍 콘트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 3 및 제 5 클럭신호(GCLK3, GCLK5)를 논리 곱 연산하여 FLK3 신호를 출력하는 제 3 앤드 게이트(AND3)와, 상기 타이밍 콘트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 4 및 제 6 클럭신호(GCLK4, GCLK6)를 논리 곱 연산하여 FLK4 신호를 출력하는 제 4 앤드 게이트(AND4)와, 상기 타이밍 콘트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 1 및 제 5 클럭신호(GCLK1, GCLK5)를 논리 곱 연산하여 FLK5 신호를 출력하는 제 5 앤드 게이트(AND5)와, 상기 타이밍 콘트롤러로부터 입력된 플리커 방지 신호(FLK)와 제 2 및 제 6 클럭신호(GCLK4, GCLK6)를 논리 곱 연산하여 FLK6 신호를 출력하는 제 6 앤드 게이트(AND6)와, 상기 제 1 앤드 게이트(AND1)와 제 4 앤드 게이트(AND4)의 출력 신호를 논리 합 연산하여 제 1 플리커 방지 신호(FLK I)를 출력하는 제 1 오아 게이트(OR1)와, 상기 제 2 앤드 게이트(AND2)와 제 5 앤드 게이트(AND5)의 출력 신호를 논리 합 연산하여 제 2 플리커 방지 신호(FLK II)를 출력하는 제 2 오아 게이트(OR2)와, 상기 제 3 앤드 게이트(AND3)와 제 6 앤드 게이트(AND6)의 출력 신호를 논리 합 연산하여 제 3 플리커 방지 신호(FLK III)를 출력하는 제 3 오아 게이트(OR3)를 구비하여 구성된다.

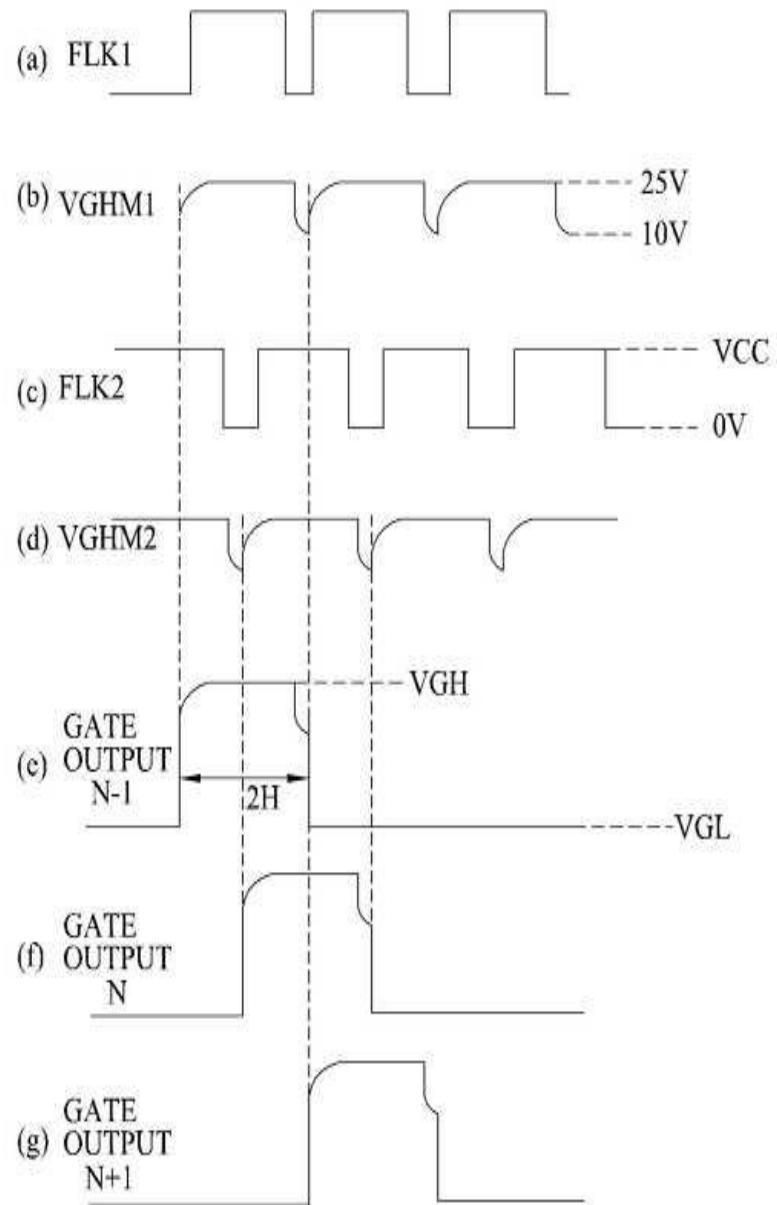
- [0040] 상기 도 6 및 도 7에서, 6상 구동을 실시예로 도시하였지만, 4상 구동일 경우 클럭신호를 4개로 하고, 논리 연산부에서 2개의 플리커 방지 신호를 생성함은 충분히 유추할 수 있다.
- [0041] 이와 같이 구성된 본 발명에 따른 게이트 펄스 변조부(GPM)의 동작을 설명하면 다음과 같다.
- [0042] 도 8은 본 발명에 따른 게이트 펄스 변조부(GPM)을 내장한 레벨 쉬프터의 각 펄스의 타이밍도이다.
- [0043] 먼저, 타이밍 콘트롤러에서 하나의 플리커 방지 신호(FLK), 스타트 펄스(VST), 제 1 내지 제 6 클럭신호(GCLK1, GCLK2, GCLK3, GCLK4, GCLK5, GCLK6)를 출력하고, 상기 레벨 쉬프터(L/S)에서 상기 신호를 수신한다.
- [0044] 상기 플리커 방지 신호는 일정한 주기의 정현파를 갖고, 상기 제 1 내지 제 6 클럭신호는 서로 오버랩되면서 쉬프트된 위상을 갖고 순차적으로 출력된다.
- [0045] 따라서, 상기 게이트 펄스 변조부(GPM)의 논리 연산부에서는 상기 하나의 플리커 방지 신호(FLK) 및 제 1 내지 제 6 클럭신호(GCLK1, GCLK2, GCLK3, GCLK4, GCLK5, GCLK6)를 논리 곱 및 논리 합 연산하여 6상 구동을 위한 제 1, 제 2, 제 3 플리커 방지 신호(FLK I, FLK II, FLK III)를 출력한다.
- [0046] 상기 게이트 펄스 변조부(GPM)은 상기와 같이 생성된 제 1, 제 2 및 제 3 플리커 방지 신호(FLK I, FLK II, FLK III)와 게이트 온 전압(VGH)를 입력하여 변조된 게이트 온 전압(GPM1, GPM2, GPM3)을 생성한다.
- [0047] 즉, 제 1 플리커 방지 신호(FLK I)를 이용하여 변조된 제 1 게이트 온 전압(GPM1)을 생성하고, 제 2 플리커 방지 신호(FLK II)를 이용하여 변조된 제 2 게이트 온 전압(GPM2)을 생성하며, 제 3 플리커 방지 신호(FLK III)를 이용하여 변조된 제 3 게이트 온 전압(GPM3)을 생성한다. 즉, 도 2에 도시한 바와 같이, 각 플리커 방지 신호에 동기되어 변조된 게이트 온 전압을 생성한다.
- [0048] 그리고, 상기 레벨 쉬프터(L/S)는 상기 게이트 펄스 변조부(GPM)에서 출력되는 상기 제 1 게이트 온 전압 변조 신호(GHM1), 상기 타이밍 콘트롤러(도면에 미표시)에서 출력되는 제 1 및 제 4 클럭신호(GCLK1), (GCLK4) 및 게이트 오프 전압(VGL)을 입력받아 레벨 쉬프트되고 변조된 형태의 클럭신호(CLK1), (CLK4)를 생성하고, 상기 게이트 펄스 변조부(GPM)에서 출력되는 상기 제 2 게이트 온 전압 변조 신호(GHM2), 상기 타이밍 콘트롤러(도면에 미표시)에서 출력되는 제 2 및 제 5 클럭신호(GCLK1), (GCLK4) 및 게이트 오프 전압(VGL)을 입력받아 레벨 쉬프트되고 변조된 형태의 클럭신호(CLK2), (CLK5)를 생성하며, 상기 게이트 펄스 변조부(GPM)에서 출력되는 상기 제 3 게이트 온 전압 변조 신호(GHM3), 상기 타이밍 콘트롤러(도면에 미표시)에서 출력되는 제 3 및 제 6 클럭신호(GCLK3), (GCLK6) 및 게이트 오프 전압(VGL)을 입력받아 레벨 쉬프트되고 변조된 형태의 클럭신호(CLK3), (CLK6)를 생성한다(도 3 참조).
- [0049] 그리고, 도면에는 도시되지 않았지만, 패널에 형성된 게이트 드라이버(GIP)는 상기 레벨 쉬프터(L/S)에서 출력되는 상기 6상 클럭신호(CLK1, CLK2, CLK3, CLK4, CLK5, CLK6)를 입력받고, VGH, VGL 전압을 입력받아 변조된 형태의 게이트 출력 신호를 생성하여 액정패널의 게이트 라인에 출력한다 (도 2 참조).
- [0050] 이상 상술한 바와 같이, 본 발명에서는 게이트 펄스 변조부가 타이밍 콘트롤러로부터 하나의 플리커 방지 신호만을 수신하여 3개의 플리커 방지 신호를 생성하므로, 4상 또는 6상의 구동의 게이트 펄스 변조 방식으로 액정 표시장치를 구동할 수 있으므로, 상기 타이밍 콘트롤러 및 레벨 쉬프터(게이트 펄스 변조부)의 입출력 핀을 줄

도면

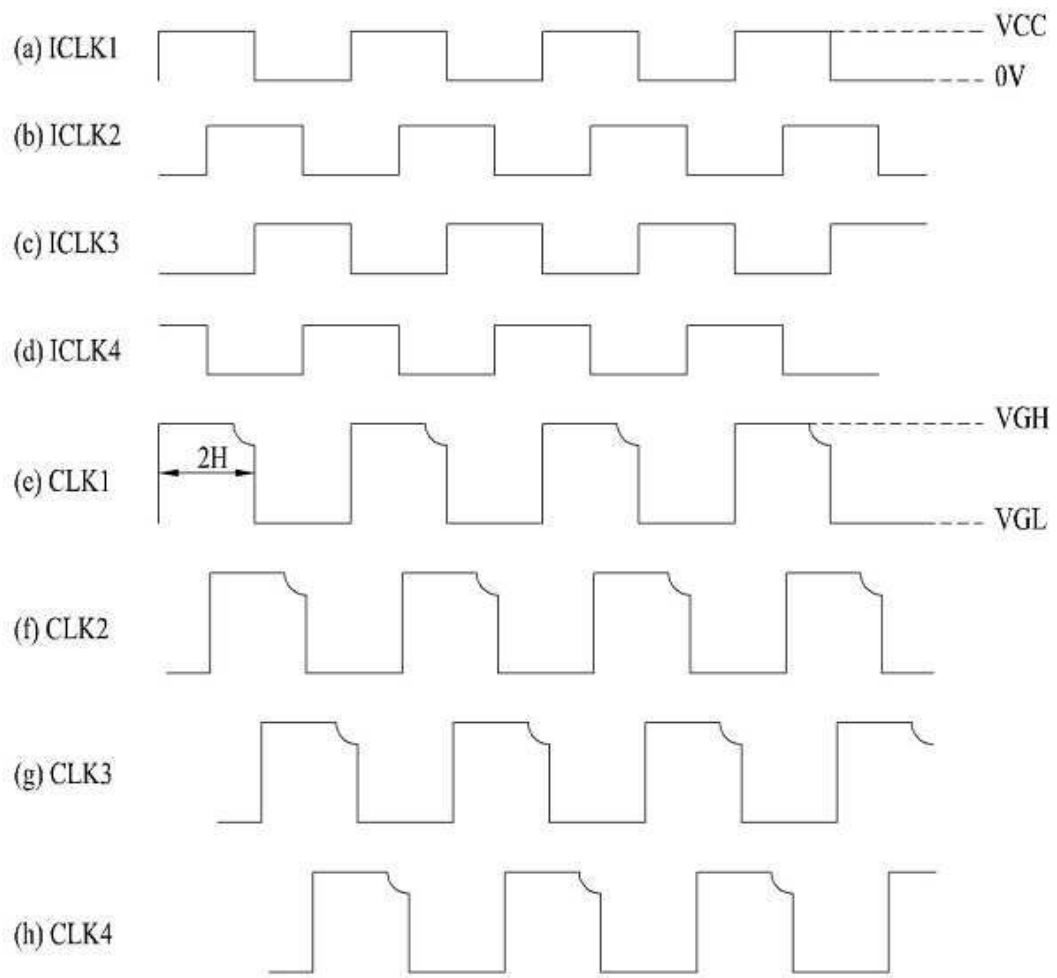
도면1



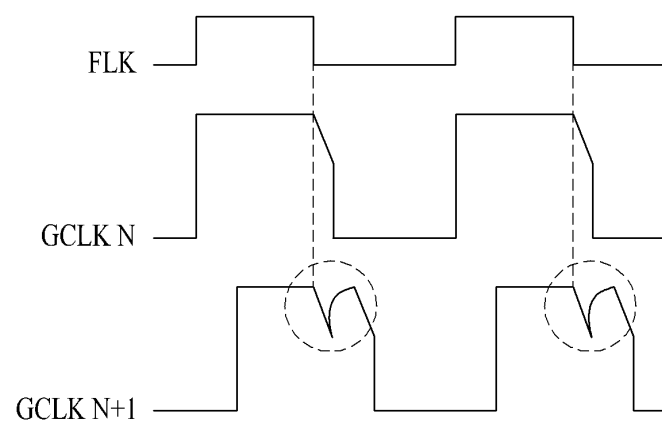
도면2



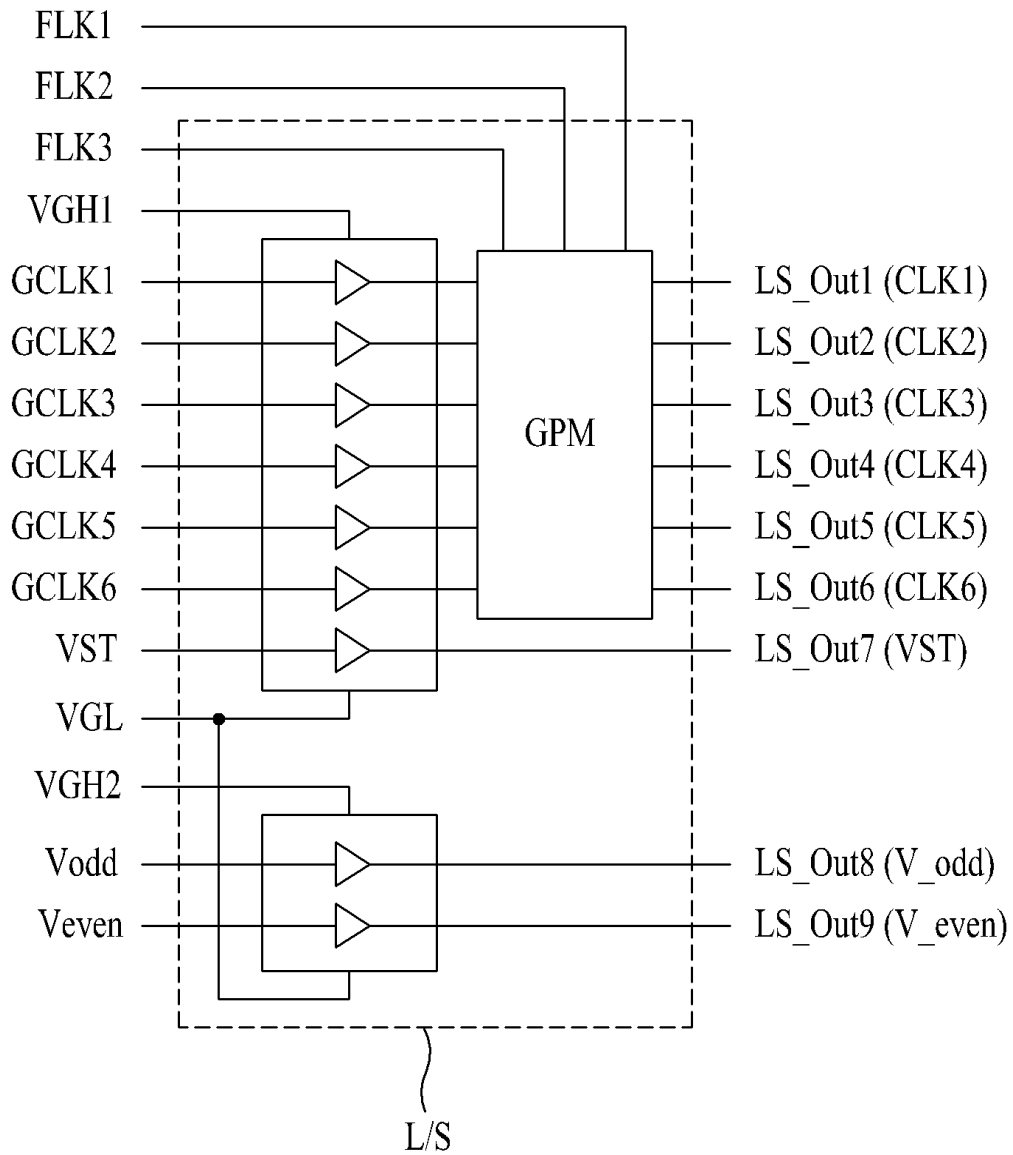
도면3



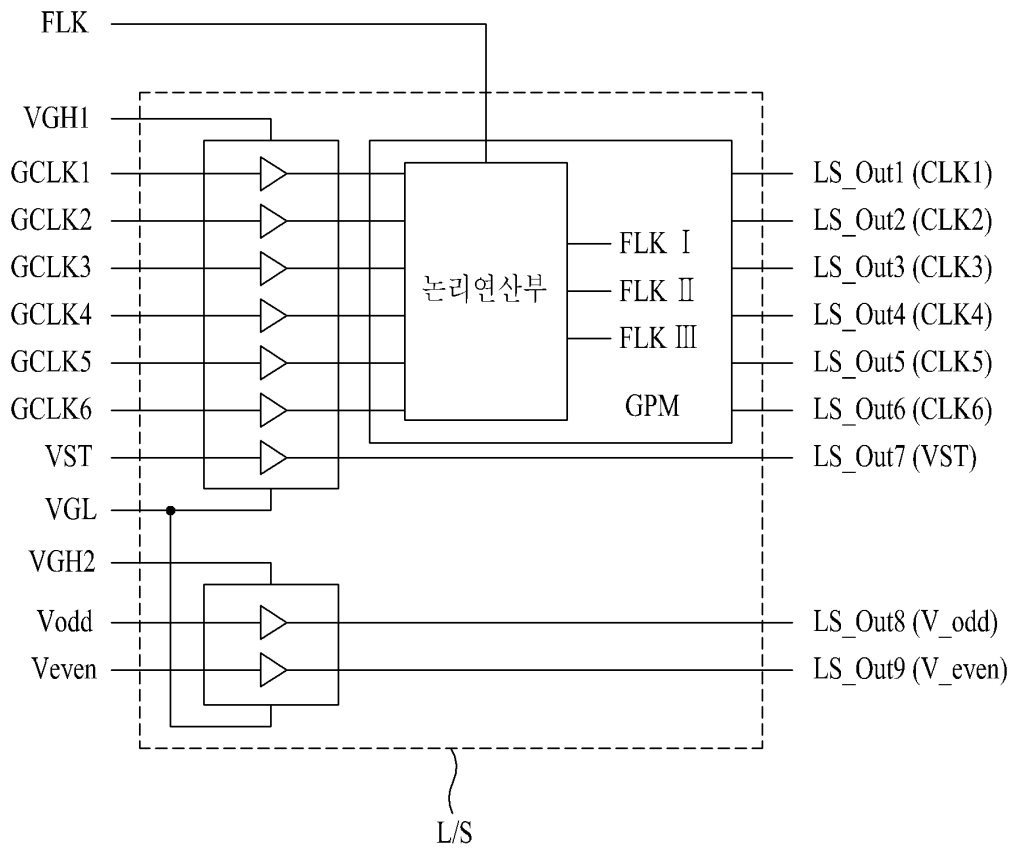
도면4



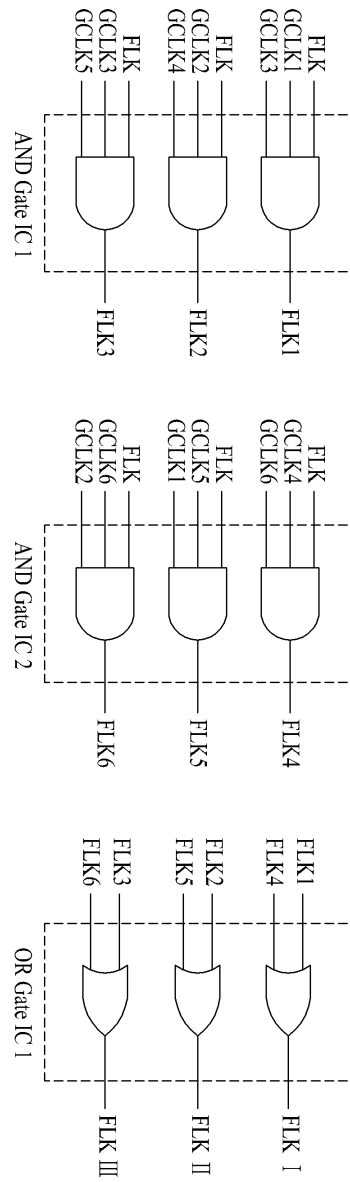
도면5



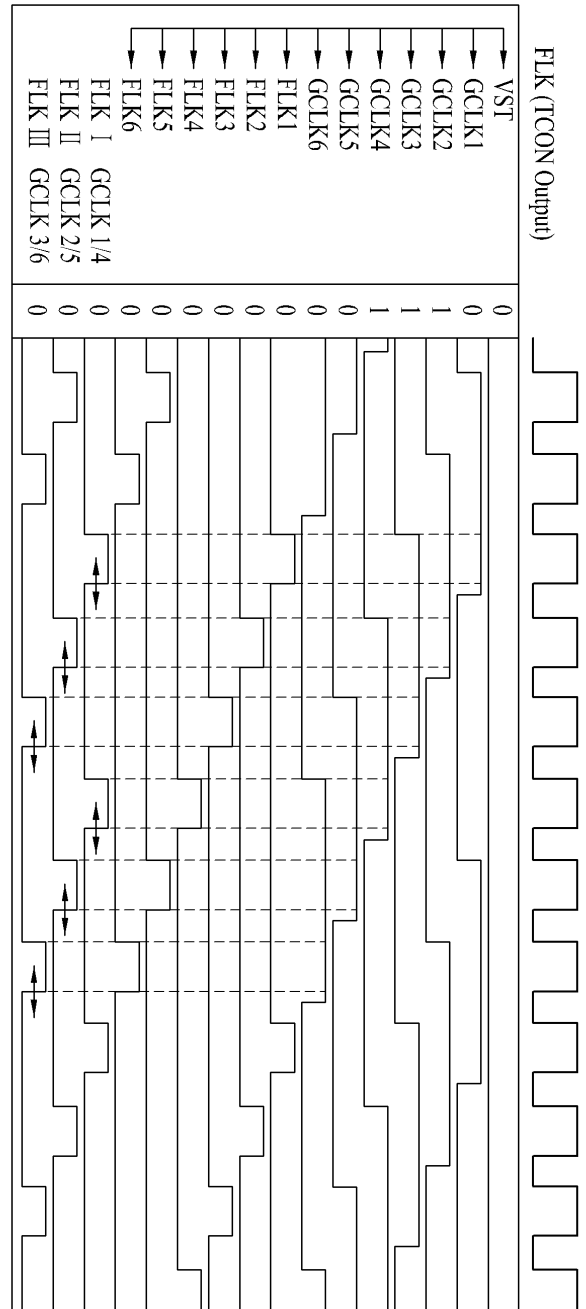
도면6



도면7



도면8



专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	KR1020110077868A	公开(公告)日	2011-07-07
申请号	KR1020090134539	申请日	2009-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SOO HO 장수호 KIM SEOK SU 김석수 JUNG TAE YOUNG 정태영		
发明人	장수호 김석수 정태영		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G2320/0247 G09G3/3677		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于液晶显示装置的驱动装置，以减少定时控制器和电平移位器的输入/输出引脚的数量。构成：液晶面板包括多个像素区域以显示图像。栅极驱动器驱动液晶面板的栅极线。时序控制器通过产生一个防闪烁信号，时钟信号和栅极控制信号来控制栅极驱动器的驱动时序。电平移位器单元将时钟信号转换为栅极导通电压电平和栅极截止电压电平，以将时钟信号提供给栅极驱动器。

