



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0098925
(43) 공개일자 2010년09월10일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G11C 19/28 (2006.01) H03K 19/00 (2006.01)

(21) 출원번호 10-2009-0017638

(22) 출원일자 2009년03월02일
심사청구일자 없음

(71) 출원인

삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자

방남석
충남 천안시 두정동 1077-5번지 유엔아이 506호
조현상
충남 천안시 불당동 동일하이빌 206동 1801호
(뒷면에 계속)

(74) 대리인

특허법인가산

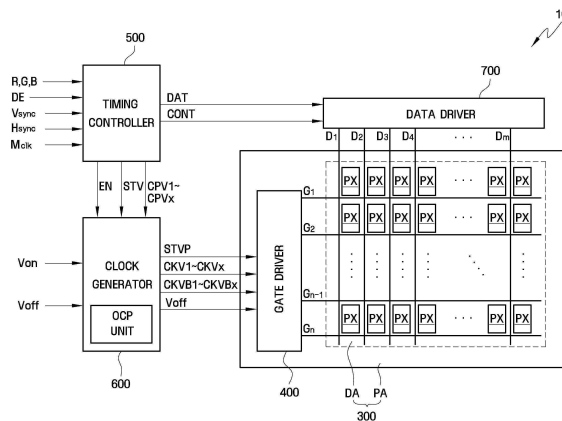
전체 청구항 수 : 총 20 항

(54) 액정 표시 장치

(57) 요약

액정 표시 장치를 제공한다. 액정 표시 장치는, 클럭 신호 및 클럭바 신호를 이용하여 게이트 신호 및 캐리 신호를 순차적으로 제공하는 복수의 스테이지를 포함하는 게이트 드라이버, 및 클럭 생성 제어 신호를 인가받고, 게이트 온 전압과 게이트 오프 전압을 이용하여 클럭 신호 및 클럭바 신호를 생성하여 게이트 드라이버에 출력하는 클럭 생성부를 포함하되, 클럭 생성부는 게이트 온 전압 또는 게이트 오프 전압의 전압 레벨이 기준 레벨 이상일 때, 클럭 신호 및 클럭바 신호의 출력을 차단하는 과전류 차단부를 포함한다.

대표도 - 도1



(72) 발명자

박주환

경기 수원시 영통구 망포동 동수원엘지빌리지3차
304동 305호

정재섭

서울특별시 동작구 사당동 1017-23호 101호

특허청구의 범위

청구항 1

클럭 신호 및 클럭바 신호를 이용하여 게이트 신호 및 캐리 신호를 순차적으로 제공하는 복수의 스테이지를 포함하는 게이트 드라이버; 및

클럭 생성 제어 신호를 인가받고, 게이트 온 전압과 게이트 오프 전압을 이용하여 상기 클럭 신호 및 클럭바 신호를 생성하여 상기 게이트 드라이버에 출력하는 클럭 생성부를 포함하되,

상기 클럭 생성부는 상기 게이트 온 전압 또는 상기 게이트 오프 전압의 전압 레벨이 기준 레벨이상일 때, 상기 클럭 신호 및 클럭바 신호의 출력을 차단하는 과전류 차단부를 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 과전류 차단부는 상기 기준 레벨을 생성하여, 상기 게이트 온 전압 또는 상기 게이트 오프 전압의 전압 레벨과 상기 기준 레벨을 비교하고, 상기 비교 결과에 따라 상기 클럭 신호 및 클럭바 신호의 출력을 차단하는 액정 표시 장치.

청구항 3

제2 항에 있어서, 상기 과전류 차단부는,

상기 게이트 온 전압의 전압 레벨과 상기 기준 레벨을 비교하여 상기 클럭 신호 및 클럭바 신호의 출력을 차단하는 제1 과전류 차단부와,

상기 게이트 오프 전압의 전압 레벨과 상기 기준 레벨을 비교하여 상기 클럭 신호 및 클럭바 신호의 출력을 차단하는 제2 과전류 차단부를 포함하는 액정 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 및 제2 과전류 차단부는 서로 물리적으로 분리되어 배치된 액정 표시 장치.

청구항 5

제2 항에 있어서,

상기 클럭 생성부는 클럭 신호 및 클럭바 신호 전송 라인을 통해 상기 게이트 드라이버와 연결되고,

상기 클럭 신호 및 클럭바 신호 전송 라인은 상기 과전류 차단부에 의해 제어되는 스위칭 소자를 각각 포함하되,

상기 스위칭 소자는 상기 비교 결과에 따라 상기 클럭 신호 및 클럭바 신호의 전송을 차단하는 액정 표시 장치.

청구항 6

클럭 신호 및 클럭바 신호를 이용하여 게이트 신호 및 캐리 신호를 순차적으로 제공하는 복수의 스테이지를 포함하는 게이트 드라이버; 및

하나의 게이트 클럭 신호를 이용하여 다수의 클럭 신호 및 클럭바 신호를 생성하여 상기 게이트 드라이버에 순차로 출력하는 클럭 생성부를 포함하되,

상기 다수의 클럭 신호 및 클럭바 신호 각각은, 시간 지연 신호에 의해 이전의 클럭 신호 및 클럭바 신호와 일정 간격으로 지연되어 상기 게이트 드라이버에 출력되는 액정 표시 장치.

청구항 7

제6 항에 있어서,

상기 다수의 클럭 신호 및 클럭바 신호는 순차로 출력되는 제1 내지 제3 클럭 신호 및 클럭바 신호를 포함하되, 상기 클럭 생성부는,

상기 하나의 게이트 클럭 신호를 인가받아, 제1 클럭 신호 및 클럭바 신호를 생성하고,

상기 제1 클럭 신호 및 클럭바 신호를 인가받고, 상기 시간 지연 신호에 의해 제1 시간만큼 지연된 제2 클럭 신호 및 클럭바 신호를 생성하고,

상기 제2 클럭 신호 및 클럭바 신호를 인가받고, 상기 시간 지연 신호에 의해 제2 시간만큼 지연된 제3 클럭 신호 및 클럭바 신호를 생성하는 것을 포함하는 액정 표시 장치.

청구항 8

제7 항에 있어서,

상기 제1 시간과 상기 제2 시간은 서로 동일한 액정 표시 장치.

청구항 9

제6 항에 있어서,

상기 다수의 클럭 신호 및 클럭바 신호는 순차로 출력되는 제1 내지 제3 클럭 신호 및 클럭바 신호를 포함하되, 상기 클럭 생성부는,

상기 하나의 게이트 클럭 신호를 인가받아, 제1 클럭 신호 및 클럭바 신호를 생성하고,

상기 제1 클럭 신호 및 클럭바 신호와, 시간 지연 신호를 이용하여, 제2 클럭 신호 및 클럭바 신호와, 제3 클럭 신호 및 클럭바 신호를 순차로 생성하는 액정 표시 장치.

청구항 10

제9 항에 있어서,

상기 제2 클럭 신호 및 클럭바 신호는 상기 시간 지연 신호에 의해 상기 제1 클럭 신호 및 클럭바 신호보다 제1 시간만큼 지연되어 출력되고,

상기 제3 클럭 신호 및 클럭바 신호는 상기 시간 지연 신호에 의해 상기 제1 클럭 신호 및 클럭바 신호보다 상기 제1 시간의 두 배만큼 지연되어 출력되는 액정 표시 장치.

청구항 11

표시 패널;

상기 표시 패널에 표시될 영상 신호, 데이터 제어 신호 및 클럭 생성 제어 신호들을 출력하는 타이밍 컨트롤러;

상기 영상 신호 및 상기 데이터 제어 신호들에 따라 상기 표시 패널의 다수의 데이터 라인을 구동하는 데이터 드라이버;

게이트 온 전압과 게이트 오프 전압을 인가받고, 상기 클럭 생성 제어 신호들에 따라 클럭 신호 및 클럭바 신호를 생성하여, 상기 표시 패널의 다수의 게이트 라인을 제어하는 게이트 드라이버에 제공하는 클럭 생성부; 및

외부로부터 전원 전압을 인가받아, 상기 타이밍 컨트롤러, 상기 클럭 생성부 및 상기 데이터 드라이버를 구동시키는 다수의 구동 전압을 생성하는 전압 생성 회로를 포함하되, 상기 전압 생성 회로는 단일 집적 회로로 집적되는 액정 표시 장치.

청구항 12

제11 항에 있어서,

상기 전압 생성 회로는 상기 클럭 생성부와 물리적으로 분리된 액정 표시 장치.

청구항 13

제12 항에 있어서, 상기 전압 생성 회로는,

상기 데이터 드라이버를 구동시키는 제1 구동 전압을 생성하는 부스트 블록과,
 상기 게이트 오프 전압을 생성하는 게이트 오프 블록과,
 상기 게이트 온 전압을 생성하는 게이트 온 블록과,
 상기 게이트 드라이버를 디스차지(discharge)시키는 감압 전압을 생성하는 감압 전압 생성 블록과,
 상기 전압 생성 회로를 제어하는 회로 제어 신호들을 인가받는 컨트롤 블록과,
 상기 타이밍 컨트롤러 및 주변 집적 회로에 제공하는 로직 전원을 생성하는 벡(buck) 블록과,
 상기 외부로부터 상기 전원 전압을 인가받는 전원 전압 블록이 집적된 액정 표시 장치.

청구항 14

제11 항에 있어서,
 상기 클럭 생성부는 상기 전압 생성 회로와 연결되어 상기 전압 생성 회로로부터 상기 다수의 구동 전압 중 일부를 인가받는 액정 표시 장치.

청구항 15

제11 항에 있어서,
 상기 전압 생성 회로는 상기 전원 전압을 이용하여 상기 게이트 온 전압과 상기 게이트 오프 전압을 생성하고, 상기 게이트 온 전압과 상기 게이트 오프 전압을 상기 클럭 생성부에 제공하는 액정 표시 장치.

청구항 16

클럭 신호 및 클럭바 신호를 이용하여 게이트 신호 및 캐리 신호를 순차적으로 제공하는 복수의 스테이지를 포함하는 게이트 드라이버;
 제1 내지 제3 클럭 생성 제어 신호들을 인가받고, 게이트 온 전압과 게이트 오프 전압을 이용하여 상기 클럭 신호 및 클럭바 신호를 생성하는 클럭 생성부를 포함하되,
 상기 클럭 생성부는 상기 게이트 온 전압이 제1 기준 레벨 이상이 되는 제1 시점과, 상기 제1 클럭 생성 제어 신호가 인가되는 제2 시점 중 늦은 시점부터 제3 클럭 생성 제어 신호를 인가받고,
 상기 제3 클럭 생성 제어 신호가 제2 기준 레벨 이상이 되는 제3 시점의 상기 제2 클럭 생성 신호에 따라 상기 클럭 신호 및 클럭바 신호를 출력하는 액정 표시 장치.

청구항 17

제16 항에 있어서,
 상기 제3 시점에서 상기 제2 클럭 생성 신호가 제1 레벨일 경우, 상기 클럭 신호 및 클럭바 신호를 정상 출력하고,
 상기 제3 시점에서 상기 제2 클럭 생성 신호가 상기 제1 레벨과 다른 제2 레벨일 경우, 상기 제2 클럭 생성 신호가 상기 제1 레벨이 될 때까지 상기 클럭 신호 및 클럭바 신호를 출력하지 않고 전하 공유(charge sharing)를 하는 액정 표시 장치.

청구항 18

제16 항에 있어서,
 외부로부터 전원 전압을 인가받아, 상기 게이트 온 전압과 상기 게이트 오프 전압을 생성하는 전압 생성 회로를 더 포함하되,
 상기 전압 생성 회로는 상기 게이트 온 전압과 상기 게이트 오프 전압의 정상 출력을 알리는 전압 정상 신호를 상기 클럭 생성부에 제공하는 액정 표시 장치.

청구항 19

제16 항에 있어서,

상기 클럭 생성부는 임의로 생성된 전압 정상 신호를 인가받고, 상기 전압 정상 신호에 응답하여 상기 제1 클럭 생성 제어 신호가 인가되되,

상기 제1 클럭 생성 제어 신호가 인가되는 제2 시점이 상기 제1 시점보다 빠른 액정 표시 장치.

청구항 20

제16 항에 있어서

상기 제1 클럭 생성 제어 신호는 인에이블 신호이고,

상기 제2 클럭 생성 제어 신호는 게이트 클럭 신호이고,

상기 제3 클럭 생성 제어 신호는 시간 지연 신호인 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 더욱 상세하게는 표시 품질이 향상된 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 게이트 구동 IC를 채택하지 않고, 비정질 실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 드라이버를 유리 기판에 실장하고 있다.

[0003] 이러한 게이트 드라이버를 포함하는 액정 표시 장치의 표시 품질을 향상시키기 위한 다양한 노력들이 시도되고 있다.

발명의 내용

해결하고자 하는 과제

[0004] 본 발명이 해결하고자 하는 과제는 표시 품질이 향상된 액정 표시 장치를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0006] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 클럭 신호 및 클럭바 신호를 이용하여 게이트 신호 및 캐리 신호를 순차적으로 제공하는 복수의 스테이지를 포함하는 게이트 드라이버, 및 클럭 생성 제어 신호를 인가받고, 게이트 온 전압과 게이트 오프 전압을 이용하여 상기 클럭 신호 및 클럭바 신호를 생성하여 상기 게이트 드라이버에 출력하는 클럭 생성부를 포함하되, 상기 클럭 생성부는 상기 게이트 온 전압 또는 상기 게이트 오프 전압의 전압 레벨이 기준 레벨이상일 때, 상기 클럭 신호 및 클럭바 신호의 출력을 차단하는 과전류 차단부를 포함한다.

[0007] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는 클럭 신호 및 클럭바 신호를 이용하여 게이트 신호 및 캐리 신호를 순차적으로 제공하는 복수의 스테이지를 포함하는 게이트 드라이버, 및 하나의 게이트 클럭 신호를 이용하여 다수의 클럭 신호 및 클럭바 신호를 생성하여 상기 게이트 드라이버에 순차로 출력하는 클럭 생성부를 포함하되, 상기 다수의 클럭 신호 및 클럭바 신호 각각은, 시간 지연 신호에 의해 이전의 클럭 신호 및 클럭바 신호와 일정 간격으로 지연되어 상기 게이트 드라이버에 출력되는 것을 포함한다.

[0008] 상기 과제를 해결하기 위한 본 발명의 또 다른 실시예에 따른 액정 표시 장치는 표시 패널, 상기 표시 패널에 표시될 영상 신호, 데이터 제어 신호 및 클럭 생성 제어 신호들을 출력하는 타이밍 컨트롤러, 상기 영상 신호

및 상기 데이터 제어 신호들에 따라 상기 표시 패널의 다수의 데이터 라인을 구동하는 데이터 드라이버, 게이트 온 전압과 게이트 오프 전압을 인가받고, 상기 클럭 생성 제어 신호들에 따라 클럭 신호 및 클럭바 신호를 생성하여, 상기 표시 패널의 다수의 게이트 라인을 제어하는 게이트 드라이버에 제공하는 클럭 생성부, 및 외부로부터 전원 전압을 인가받아, 상기 타이밍 컨트롤러, 상기 클럭 생성부 및 상기 데이터 드라이버를 구동시키는 다수의 구동 전압을 생성하는 전압 생성 회로를 포함하되, 상기 전압 생성 회로는 단일 집적 회로로 집적되는 것을 포함한다.

[0009] 상기 과제를 해결하기 위한 본 발명의 또 다른 실시예에 따른 액정 표시 장치는 클럭 신호 및 클럭바 신호를 이용하여 게이트 신호 및 캐리 신호를 순차적으로 제공하는 복수의 스테이지를 포함하는 게이트 드라이버, 제1 내지 제3 클럭 생성 제어 신호들을 인가받고, 게이트 온 전압과 게이트 오프 전압을 이용하여 상기 클럭 신호 및 클럭바 신호를 생성하는 클럭 생성부를 포함하되, 상기 클럭 생성부는 상기 게이트 온 전압이 제1 기준 레벨 이상이 되는 제1 시점과, 상기 제1 클럭 생성 제어 신호가 인가되는 제2 시점 중 늦은 시점부터 제3 클럭 생성 제어 신호를 인가받고, 상기 제3 클럭 생성 제어 신호가 제2 기준 레벨이상이 되는 제3 시점의 상기 제2 클럭 생성 신호에 따라 상기 클럭 신호 및 클럭바 신호를 출력하는 것을 포함한다.

[0010] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

[0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0012] 하나의 소자(elements)가 다른 소자와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0013] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0014] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0015] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0016] 먼저, 도 1 내지 도 5를 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치를 설명한다. 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다. 도 2는 도 1의 한 화소의 등가 회로도이다. 도 3은 도 1의 게이트 드라이버를 설명하기 위한 예시적인 블록도이다. 도 4는 도 1의 클럭 생성부를 설명하기 위한 블록도이다. 도 5는 도 4의 OCP를 설명하기 위한 블록도이다.

[0017] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는 표시 패널(300), 타이밍 컨트롤러(timing controller; 500), 클럭 생성부(clock generator; 600), 게이트 드라이버(gate driver; 400) 및 데이터 드라이버(data driver; 700)를 포함할 수 있다.

- [0018] 표시 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분될 수 있다.
- [0019] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 화소 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기관(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기관(미도시), 제1 기관(미도시)과 제2 기관(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.
- [0020] 도 2를 참조하여 도 1의 한 화소(PX)에 대해 설명하면, 제1 기관(100)의 화소 전극(PE)과 대향하도록 제2 기관(200)의 공통 전극(CE)의 일부 영역에 색필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~n) 게이트 라인(Gi)과 j번째(j=1~m) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 화소 스위칭 소자(Qp)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함할 수 있다. 유지 커패시터(Cst)의 일단 및 공통 전극(CE)에는 공통 전압이 인가될 수 있다.
- [0021] 비표시부(PA)는 제1 기관(도 2의 100 참조)이 제2 기관(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- [0022] 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 데이터 제어 신호(CONT)를 출력할 수 있다. 여기서 데이터 제어 신호(CONT)는 데이터 드라이버(700)의 동작을 제어하는 신호로써, 데이터 드라이버(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함할 수 있다.
- [0023] 데이터 드라이버(700)는 영상 신호(DAT), 데이터 제어 신호(CONT)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 드라이버(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 표시 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 표시 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.
- [0024] 또한, 타이밍 컨트롤러(500)는 클럭 생성 제어 신호를 클럭 생성부(600)에 제공할 수 있다. 클럭 생성부(600)는 클럭 생성 제어 신호를 입력 받고, 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 이용하여 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 생성하여, 게이트 드라이버(400)로 출력할 수 있다.
- [0025] 클럭 생성 제어 신호는 출력 인에이블 신호(EN), 제2 스캔 개시 신호(STV) 및 게이트 클럭 신호(CPV)를 포함할 수 있다. 이 때, 게이트 클럭 신호(CPV)는 다수의 게이트 클럭 신호(CPV1~CPVx)를 포함할 수 있다. 여기서 클럭 신호(CKV) 및 클럭바 신호(CKVB)는 각각 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)를 스윙(swing)하는 펄스 신호이고, 클럭 신호(CKV)는 클럭바 신호(CKVB)와 역위상인 신호일 수 있다.
- [0026] 게이트 드라이버(400)는 스캔 개시 신호(STVP)에 인에이블되어 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 이용하여 다수의 게이트 신호들을 생성하고, 각 게이트 라인(G1~Gn)에 각 게이트 신호를 순차적으로 제공한다. 이러한 게이트 드라이버(400)를 도 3을 참조하여 좀더 구체적으로 설명한다.
- [0027] 도 3을 참조하면 게이트 드라이버(400)는 다수의 스테이지(ST1~STj+1)를 포함하는데, 각 스테이지(ST1~STj+1)는 캐스캐이드(cascade)로 연결되어 있으며, 마지막 스테이지(STj+1)를 제외한 각 스테이지(ST1~STj)는 게이트 라인과 연결되어 각각 게이트 신호(Gout1~Gout(j))를 출력한다. 각 스테이지(ST1~STj+1)에는 게이트 오프 전압(Voff), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 초기화 신호(INT)가 입력된다. 여기서 초기화 신호(INT)는 클럭 생성부(600) 또는 타이밍 컨트롤러(500)로부터 제공될 수 있다.
- [0028] 각 스테이지(ST1~STj+1)는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 포함할 수 있다.
- [0029] 예를 들어 i번째(i≠1) 게이트 라인과 연결된 제i 스테이지(STi)의 셋 단자(S)에는 전단 스테이지(STi-1)의 캐리 신호(Cout(i-1))가, 리셋 단자(R)에는 후단 스테이지(STi+1)의 게이트 신호(Gout(i+1))가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT) 또는 마지막 스테이지(STj+1)의 캐리 신호(Cout(j+1))가 입력될 수 있다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout(i))를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout(i))를 출력할 수 있다.

- [0030] 단, 첫 번째 스테이지(ST₁)에는 전단 캐리 신호 대신 스캔 개시 신호(STVP)가 입력되며, 마지막 스테이지(ST_{j+1})에는 후단 게이트 신호 대신 스캔 개시 신호(STVP)가 입력될 수 있다.
- [0031] 다시, 도 1을 참조하면, 클럭 생성부(600)는 게이트 온 전압(Von) 또는 게이트 오프 전압(Voff)의 전압 레벨이 기준 레벨이상일 때, 클럭 신호(CKV1~CKVx) 및 클럭바 신호(CKVB1~CKVBx)의 출력을 차단하는 과전류 차단부(OCPU)를 포함한다. 이러한 과전류 차단부를 포함하는 클럭 생성부(600)를 도 4 및 도 5를 참조하여 좀더 구체적으로 설명한다.
- [0032] 도 4를 참조하면 클럭 생성부(600)는, 타이밍 컨트롤러(500)로부터 제2 스캔 개시 신호(STV) 및 다수의 클럭 생성 제어 신호(CPV1~CPV3)를 제공받고, 다수의 클럭 생성 제어 신호(CPV1~CPV3)를 각각 이용하여 다수의 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)를 생성할 수 있다. 도면에서는 3 개의 클럭 생성 제어 신호(CPV1~CPV3)를 이용하여 3 쌍의 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)를 생성하는 경우를 도시하였으나, 클럭 생성 제어 신호(CPV)와, 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 개수는 발명의 목적에 따라 달라질 수 있다.
- [0033] 클럭 생성부(600)는 제2 스캔 개시 신호(STV)를 제공받아, 증폭부(631)를 통해 제2 스캔 개시 신호(STV)를 증폭하여 제1 스캔 개시 신호(STVP)를 출력할 수 있다. 예컨대, 제2 스캔 개시 신호(STV)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 스윙(swing)하는 신호일 수 있다.
- [0034] 또한, 클럭 생성부(600)는 다수의 클럭 생성 제어 신호(CPV1~CPV3)를 이용하여 클럭 신호(CKV1~CKV3)와 클럭바 신호(CKVB1~CKVB3)를 생성한다. 더욱 구체적으로, 클럭 생성부(600)는 디플립플롭(610), 클럭 전압 생성부(620), 및 전하 공유부(640)를 포함할 수 있다. 다만, 이는 하나의 실시예에 불과하므로 클럭 생성부(600) 내부 회로가 이에 한정되는 것은 아니다.
- [0035] 디플립플롭(610)은 제1 출력 단자(Q)를 통해 제1 클럭 인에이블 신호(Q1~Q3)를 출력하고, 제2 출력 단자(/Q)를 통해 제2 클럭 인에이블 신호(QB1~QB3)를 출력한다. 더욱 구체적으로, 각 클럭 생성 제어 신호(CPV1~3)가 각각의 클럭 단자(CLK)를 통해 입력되고, 제2 출력 단자(/Q)와 입력 단자(D)가 연결되어, 제1 출력 단자(Q)를 통해 제1 클럭 인에이블 신호(Q1~Q3)가 출력되고, 제2 출력 단자(/Q)에서는 제1 클럭 인에이블 신호(Q1~Q3)와 위상이 반대인 제2 클럭 인에이블 신호(QB1~QB3)가 출력될 수 있다.
- [0036] 제1 클럭 인에이블 신호(Q1~Q3) 및 제2 클럭 인에이블 신호(QB1~QB3)는 클럭 전압 생성부(620)에 제공될 수 있다.
- [0037] 클럭 전압 생성부(620)는 제1 클럭 인에이블 신호(Q1~Q3)를 인가받아, 제1 클럭 인에이블 신호(Q1~Q3)가 하이 레벨인 경우 하이 레벨의 전압, 예를 들어 게이트 온 전압(Von)을 출력하고, 제1 클럭 인에이블 신호(Q1~Q3)가 로우 레벨인 경우 로우 레벨의 전압, 예를 들어 게이트 오프 전압(Voff)을 출력할 수 있다. 마찬가지로, 클럭 전압 생성부(620)는 제2 클럭 인에이블 신호(QB1~QB3)를 인가받아, 제2 클럭 인에이블 신호(QB1~QB3)가 로우 레벨인 경우 로우 레벨의 전압, 예를 들어 게이트 오프 전압(Voff)을 출력하고, 제2 클럭 인에이블 신호(QB1~QB3)가 하이 레벨인 경우 하이 레벨의 전압, 예를 들어 게이트 온 전압(Von)을 출력할 수 있다.
- [0038] 나아가, 클럭 전압 생성부(620)는 클럭 생성 제어 신호를 이용하여 차지 웨어링 제어 신호를 생성하여 전하 공유부(640)로 제공할 수 있으며, 전하 공유부는 차지 웨어링 제어 신호를 입력받아 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)의 출력단과 각각 연결된 커패시터(미도시)의 충전 및 방전 시에 전하를 공유시킬 수 있다.
- [0039] 도 4에 도시된 바와 같이, 클럭 생성 제어 신호(CPV1~CPV3)를 인가받은 디플립플롭(610)은 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)이 인가된 증폭부를 통해 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)를 생성할 수 있다.
- [0040] 이 때, 클럭 생성부(600)는 게이트 온 전압(Von) 또는 게이트 오프 전압(Voff)의 전압 레벨이 기준 레벨 이상일 때, 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)의 출력을 차단하는 과전류 차단부(650, 660)를 포함한다. 도면에 도시된 바와 같이, 과전류 차단부(650, 660)는 게이트 온 전압(Von) 또는 게이트 오프 전압(Voff)의 전압 레벨과 기준 레벨을 비교하여, 그 비교 결과에 따라 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)의 출력을 차단할 수 있다.
- [0041] 도면에 도시된 바와 같이, 과전류 차단부는 제1 과전류 차단부(650)와 제2 과전류 차단부(660)를 포함할 수 있

다. 이 때, 제1 과전류 차단부(650)와 제2 과전류 차단부(660)는 서로 물리적으로 분리되어 배치될 수 있다.

- [0042] 더욱 구체적으로, 제1 과전류 차단부(650)는 게이트 온 전압(Von)의 입력단과 연결되어 게이트 온 전압(Von)의 전압 레벨과 기준 레벨을 비교하고, 게이트 온 전압(Von)의 전압 레벨이 기준 레벨보다 클 경우 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)의 출력을 차단할 수 있다. 마찬가지로, 제2 과전류 차단부(660)는 게이트 오프 전압(Voff)의 입력단과 연결되어 게이트 오프 전압(Voff)의 전압 레벨과 기준 레벨을 비교하고, 게이트 오프 전압(Voff)의 전압 레벨이 기준 레벨보다 클 경우 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)의 출력을 차단할 수 있다.
- [0043] 예를 들어, 도 5를 참조하여 제2 과전류 차단부(660)를 더욱 구체적으로 설명한다. 도 5는 임의의 클럭 생성 제어 신호(CPV3)를 이용하여 클럭 신호(CKV3) 및 클럭바 신호(CKVB3)를 생성하는 클럭 생성부(600)의 일부를 나타낸 도면이다.
- [0044] 도면에 도시된 바와 같이, 제2 과전류 차단부(660)는 기준 전압 생성부(661)와, 과전류 판단부(662)와, 버퍼부(663, 664)와, 스위칭 소자(665, 666)를 포함할 수 있다.
- [0045] 더욱 구체적으로, 기준 전압 생성부(661)는 예를 들어 게이트 오프 전압(Voff)의 전압 레벨에 대응하는 기준 레벨을 생성하여 과전류 판단부(662)에 제공하고, 과전류 판단부(662)는 게이트 오프 전압(Voff)의 입력단으로부터 인가된 게이트 오프 전압(Voff)의 전압 레벨과 기준 전압 생성부(661)에서 제공된 기준 레벨을 비교하여 과전류 발생 여부를 판단할 수 있다. 이 때, 과전류 판단부(662)는 게이트 오프 전압(Voff)의 전압 레벨과 기준 레벨을 비교하는 비교기를 포함할 수 있다.
- [0046] 상기 비교 결과에 의해 회로 내에 과전류가 인가된 것으로 판단되면, 과전류 판단부(662)는 과전류 발생 신호를 발생하여 클럭 생성부(600)에서 게이트 드라이버(400)로 전송되는 클럭 신호(CKV3) 및 클럭바 신호(CKVB3)를 차단할 수 있다. 더욱 구체적으로, 클럭 생성부(600)는 게이트 드라이버(400)에 클럭 신호(CKV3) 및 클럭바 신호(CKVB3)를 전송하는 전송 라인을 포함할 수 있다. 각 전송 라인은 과전류 판단부(662)로부터 출력된 과전류 발생 신호에 의해 제어되는 제1 및 제2 스위칭 소자(665, 666)를 포함할 수 있다.
- [0047] 예를 들어, 도면에 도시된 바와 같이, 제1 및 제2 스위칭 소자(665, 666)는 MOSFET 소자를 포함할 수 있고, 과전류 판단부(662)에서 발생한 과전류 발생 신호는 제1 및 제2 스위칭 소자(665, 666)의 게이트에 인가되어 제1 및 제2 스위칭 소자(665, 666)를 제어할 수 있다.
- [0048] 요컨대, 제2 과전류 차단부(660)는 기준 전압 생성부(661)로부터 제공된 기준 레벨과, 게이트 오프 전압(Voff)의 전압 레벨을 과전류 판단부(662)에서 비교하여, 게이트 오프 전압(Voff)의 전압 레벨이 기준 레벨 이상인 경우, 과전류 발생 신호를 생성한다. 과전류 판단부(662)에서 생성된 과전류 발생 신호는 버퍼부(663, 664)를 통해 각각 증폭되어 제1 및 제2 스위칭 소자(665, 666)에 전달되며, 과전류 발생 신호에 의해 제1 및 제2 스위칭 소자(665, 666)를 턴-오프(turn-off)시켜 클럭 신호(CKV3) 및 클럭바 신호(CKVB3)의 출력을 차단시킬 수 있다.
- [0049] 이와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치에 따르면, 클럭 생성부 내에 과도 전류가 인가되는 경우, 클럭 생성부 자체적으로 클럭 신호 및 클럭바 신호의 출력을 차단할 수 있어 더욱 안정적으로 액정 표시 장치를 구동시킬 수 있는 장점이 있다.
- [0050] 이하, 도 6 내지 도 9를 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명한다. 도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다. 도 7은 도 6의 클럭 생성부를 설명하기 위한 블록도이다. 도 8은 도 6의 클럭 생성부에서 발생한 제1 내지 제3 클럭 신호의 관계를 설명하기 위한 개념도이다. 도 9는 도 6의 클럭 생성부를 설명하기 위한 또 다른 블록도이다.
- [0051] 본 발명의 다른 실시예에 따른 액정 표시 장치(11)는 시간 지연 신호를 이용하여 하나의 클럭 생성 제어 신호로 다수의 클럭 신호 및 클럭바 신호를 생성한다는 점에서 본 발명의 일 실시예에 따른 액정 표시 장치와 구별된다. 이하에서는, 본 발명의 다른 실시예에 따른 액정 표시 장치(11)가 가지는 차이점을 중심으로 설명하며, 본 발명의 일 실시예에 따른 액정 표시 장치와 실질적으로 동일한 구성 요소에 대한 구체적인 설명은 생략하거나 간략화한다.
- [0052] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(11)는 표시 패널(300), 타이밍 컨트롤러(501), 클럭 생성부(601), 게이트 드라이버(400), 및 데이터 드라이버(700)를 포함할 수 있다.
- [0053] 본 발명의 다른 실시예에 따른 액정 표시 장치(11)의 타이밍 컨트롤러(501)는 클럭 생성부(601)에 클럭 생성 제어 신호를 제공할 수 있다. 이 때, 클럭 생성 제어 신호는 출력 인에이블 신호(EN), 제2 스캔 개시 신호(STV)

및 게이트 클럭 신호(CPV)를 포함할 수 있다. 이 외에, 타이밍 컨트롤러(501)는 시간 지연 신호(T-DLY)를 출력하여, 클럭 생성부(601)에서 출력되는 다수의 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)를 일정 간격으로 지연시킨다.

- [0054] 즉, 본 발명의 다른 실시예에 따른 액정 표시 장치(11)는 하나의 게이트 클럭 신호(CPV1)를 이용하여 다수의 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)를 생성하여 게이트 드라이버(400)에 순차로 출력하되, 다수의 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3) 각각은 시간 지연 신호(T-DLY)에 의해 이전의 클럭 신호 및 클럭바 신호와 일정 간격으로 지연시켜 게이트 드라이버(400)에 출력한다.
- [0055] 도 6에서는 하나의 게이트 클럭 신호(CPV1)를 이용하여 3 쌍의 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)를 생성하는 것으로 도시하였으나, 3 쌍 이상의 클럭 신호 및 클럭바 신호를 생성할 수 있다. 나아가, 도면에 도시된 바와 달리, 타이밍 컨트롤러(501)로부터 다수의 게이트 클럭 신호를 제공받아, 게이트 클럭 신호 각각에 대하여 다수의 클럭 신호 및 클럭바 신호를 생성할 수도 있다.
- [0056] 도 7을 참조하여 클럭 생성부(601)에 대하여 더욱 자세히 살펴본다. 도 7에 도시된 바와 같이, 클럭 생성부(601)는 하나의 게이트 클럭 신호(CPV1) 및 시간 지연 신호(T-DLY)를 인가받아 다수의 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)를 순차로 출력할 수 있다. 이 때, 클럭 생성부(601)는 디플리플롭(610), 클럭 전압 생성부(620), 전하 공유부(640), 및 신호 지연부(670)를 포함할 수 있다.
- [0057] 더욱 구체적으로, 디플리플롭(610)은 하나의 게이트 클럭 신호(CPV1)를 인가받고, 제1 및 제2 클럭 인에이블 신호(Q1, QB1)를 각각 제1 및 제2 출력 단자(Q, /Q)를 통해 클럭 전압 생성부(620)로 출력하고, 클럭 전압 생성부(620)는 제1 및 제2 클럭 인에이블 신호(Q1, QB1)를 인가받아 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 출력할 수 있다.
- [0058] 신호 지연부(670)는 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 인가받고, 일정 간격의 시간 동안 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 지연하였다가 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)로 출력할 수 있다. 이 때, 도면에 도시된 바와 같이, 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)는 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)이 인가된 증폭부를 거쳐 증폭될 수 있다. 이어서, 신호 지연부(670)는 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)를 다시 인가받고, 시간 지연 신호(T-DLY)에 의해 일정 간격의 시간 동안 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)를 지연하였다가 제3 클럭 신호(CKV3) 및 제3 클럭바 신호(CKVB3)로 출력할 수 있다.
- [0059] 즉, 클럭 생성부(601)는 하나의 게이트 클럭 신호(CPV1)를 인가받아 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 생성하고, 신호 지연부(670)가 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)와, 시간 지연 신호(T-DLY)를 인가받고, 시간 지연 신호(T-DLY)에 의해 제1 시간만큼 지연된 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)를 출력하고, 신호 지연부(670)가 다시 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)를 인가받고, 시간 지연 신호(T-DLY)에 의해 제2 시간만큼 지연된 제3 클럭 신호(CKV3) 및 제3 클럭바 신호(CKVB3)를 출력할 수 있다. 이 때, 제1 시간과 제2 시간은 서로 동일할 수 있다. 즉, 제1 내지 제3 클럭 신호(CKV1~CKV3) 및 클럭바 신호(CKVB1~CKVB3)가 서로 동일한 시간 간격으로 게이트 드라이버(400)에 제공될 수 있다.
- [0060] 도 8에 도시된 바와 같이, 시간 지연 신호(T-DLY)는 일정한 진폭 및 주파수를 가지고 스윙하는 신호일 수 있다. 시간 지연 신호(T-DLY)가 하이 레벨에서 로우 레벨로, 또는 로우 레벨에서 하이 레벨로 천이함에 따라 제1 내지 제3 클럭 신호(CKV3) 및 제3 클럭바 신호(CKVB3)가 인가될 수 있다. 이는 하나의 예시적인 신호도이므로 다양한 방식으로 변형이 가능함은 물론이다. 예를 들어, 도면에서는 시간 지연 신호(T-DLY)의 반주기로 다수의 클럭 신호 및 클럭바 신호들의 간격을 설정하였으나, 한 주기의 간격으로 설정할 수도 있을 것이다.
- [0061] 도 9를 참조하면, 신호 지연부(671)는 제1 클럭 신호(CKV1) 및 제1 클럭바 신호만을 이용하여 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)와, 제3 클럭 신호(CKV3) 및 제3 클럭바 신호(CKVB3)를 생성할 수 있다. 더욱 구체적으로, 신호 지연부(671)는 하나의 게이트 클럭 신호(CPV1)를 인가받아 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 생성하고, 신호 지연부(671)가 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 인가받아 시간 지연 신호(T-DLY)에 의해 제1 시간만큼 지연된 제2 클럭 신호(CKV2)와 제2 클럭바 신호(CKVB2)를 출력하고, 다시 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 제1 시간의 두 배만큼 지연된 제3 클럭 신호(CKV3) 및 제3 클럭바 신호(CKVB3)를 출력할 수 있다. 이 경우, 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)를 신호 지연부(671)에 다시 입력하지 않아도 되는 장점이 있다.

- [0062] 본 발명의 다른 실시예에 따른 액정 표시 장치에 의하면, 하나의 게이트 클럭 신호 및 시간 지연 신호를 이용하여 다수의 클럭 신호 및 클럭바 신호를 인가함으로써, 게이트 클럭 신호를 인가하는 입력 핀의 수를 감소시킬 수 있는 장점이 있다. 따라서, 클럭 생성부를 포함하는 집적 회로의 입력 핀의 개수 및 집적 회로의 크기를 감소시킬 수 있다.
- [0063] 이하, 도 10 및 도 11을 참조하여 본 발명의 또 다른 실시예에 따른 액정 표시 장치(12)를 설명한다. 도 10은 본 발명의 또 다른 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다. 도 11은 도 10의 전압 생성 회로(DCDC-IC)의 예시적인 핀 배열을 나타낸 도면이다.
- [0064] 본 발명의 또 다른 실시예에 따른 액정 표시 장치(12)는 외부로부터 전원 전압을 인가받아 다수의 구동 전압을 생성하되, 단일 집적 회로에 집적되어 형성된 전압 생성 회로를 포함한다는 점에서 상술한 실시예들에 따른 액정 표시 장치(10, 11)와 구별된다. 이하에서는, 본 발명의 또 다른 실시예에 따른 액정 표시 장치(12)가 가지는 차이점을 중심으로 설명하며, 상술한 실시예들에 따른 액정 표시 장치와 실질적으로 동일한 구성 요소에 대한 구체적인 설명은 생략하거나 간략화한다.
- [0065] 도 10을 참조하면, 본 발명의 또 다른 실시예에 따른 액정 표시 장치(12)는 표시 패널(300), 타이밍 컨트롤러(502), 데이터 드라이버(700), 클럭 생성부(602), 및 전압 생성 회로(800)를 포함한다.
- [0066] 타이밍 컨트롤러(502)는 표시 패널(300)에 표시될 영상 신호(DAT), 데이터 제어 신호(CONT), 및 클럭 생성 제어 신호들(EN, STV, CPV1~CPVx)을 출력하고, 클럭 생성부(602)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 인가받아 클럭 신호(CKV1~CKVx) 및 클럭바 신호(CKVB1~CKVBx)를 생성하여 게이트 드라이버(400)에 제공한다. 전압 생성 회로(800)는 외부로부터 전원 전압을 인가받아, 타이밍 컨트롤러(502), 클럭 생성부(602), 및 데이터 드라이버(700)를 구동시키는 다수의 구동 전압을 생성하되, 단일 집적 회로에 집적되어 형성된다. 이 때, 전압 생성 회로(800)는 하나의 집적 회로로 클럭 생성부(602)와 물리적으로 분리되어 형성될 수 있다.
- [0067] 이 때, 전압 생성 회로(800)는 클럭 생성부(602)와 연결되어 전압 생성 회로(800)에서 생성된 다수의 구동 전압 중 일부를 인가받을 수 있다. 예를 들어, 전압 생성 회로(800)가 외부에서 인가된 전원 전압을 이용하여 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 생성하고, 생성된 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 클럭 생성부(602)에 제공할 수 있다.
- [0068] 도 11에 도시된 바와 같이, 전압 생성 회로(800)는 데이터 드라이버(700)를 구동시키기 위한 구동 전압을 생성하기 위한 핀들(VIN4, RHVS, COMP, NC 또는 VL, SUP, SW2, SW1, PGND2, PGND1, GD)을 포함하는 부스트 블록(811)과, 게이트 오프 전압(Voff)을 생성하기 위한 핀들(AGND, SET, TS, FB5, PGND5, NC, SW5)을 포함하는 게이트 오프 블록(812)과, 게이트 온 전압(Von)을 생성하기 위한 핀들(FB4, BASE2, NC, PGND4)을 포함하는 게이트 온 블록(813)과, 게이트 드라이버(400)를 디스차지(discharge)시키는 감압 전압을 생성하기 위한 핀들(FB3, SS, BASE1)을 포함하는 감압 전압 생성 블록(814)과, 전압 생성 회로를 제어하는 회로 제어 신호들을 인가받기 위한 핀들(PG, DLY1, EN1, EN2, HVS)을 포함하는 컨트롤 블록(815)과, 타이밍 컨트롤러(502) 및 주변 집적 회로(미도시)에 제공하는 로직 전원을 생성하기 위한 핀들(PGND3, SW3, SW4, NC, VSNS, FB2)을 포함하는 벅(buck) 블록(816)과, 외부로부터 전원 전압을 인가받기 위한 핀들(AVIN, VIN1, VIN2)을 포함하는 전원 전압 블록(817)이 집적될 수 있다.
- [0069] 이와 같이, 벅 블록(816)을 포함하는 전압 생성 회로(800)를 단일 집적 회로로 형성함으로써, 전압 생성 회로 및 클럭 생성부 등이 통합된 집적 회로의 경우보다 회로 구성이 더욱 용이(flexible)하며, 통합 집적 회로보다 발열 특성도 더욱 향상될 수 있다.
- [0070] 이하, 도 12 내지 도 15를 참조하여 본 발명의 또 다른 실시예에 따른 액정 표시 장치(13)를 설명한다. 도 12는 본 발명의 또 다른 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다. 도 13은 도 12의 클럭 생성부를 설명하기 위한 블록도이다. 도 14는 도 12의 클럭 생성부의 신호 관계를 설명하기 위한 신호도이다. 도 15는 도 12의 클럭 생성부의 다른 신호 관계를 설명하기 위한 신호도이다.
- [0071] 본 발명의 또 다른 실시예에 따른 액정 표시 장치(13)는 게이트 온 전압과 제1 내지 제3 클럭 생성 제어 신호의 입력 관계에 따라 클럭 신호 및 클럭바 신호를 출력한다는 점에서 상술한 실시예들에 따른 액정 표시 장치와 구별된다. 이하에서는, 본 발명의 또 다른 실시예에 따른 액정 표시 장치(13)가 가지는 차이점을 중심으로 설명하며, 실질적으로 동일한 구성 요소에 대한 구체적인 설명은 생략하거나 간략화한다.
- [0072] 도 12를 참조하면, 본 발명의 또 다른 실시예에 따른 액정 표시 장치(13)는 제1 내지 제3 클럭 생성 제어 신호

(EN, CPV, DLY)를 인가받고, 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 이용하여 클럭 신호(CPV1~CPVx) 및 클럭바 신호(CPVB1~CPVBx)를 생성하는 클럭 생성부(603)를 포함한다. 더욱 구체적으로, 클럭 생성부(603)는 게이트 온 전압(Von)이 제1 기준 레벨 이상이 되는 제1 시점과, 제1 클럭 생성 제어 신호(EN)가 인가되는 제2 시점 중 늦은 시점부터 제3 클럭 생성 제어 신호(DLY)를 인가받고, 제3 클럭 생성 제어 신호(DLY)가 제2 기준 레벨 이상이 되는 제3 시점의 제2 클럭 생성 제어 신호(CPV)에 따라 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력한다.

[0073] 도 13을 참조하면, 클럭 생성부(603)는 제1 클럭 생성 제어 신호(EN), 예를 들어 출력 인에이블 신호를 인가받고, 게이트 클럭 신호(CPV) 및 출력 인에이블 신호(EN)는 AND 게이트(680)를 거쳐 디플리플롭(610)에 제공될 수 있다. 도면에 도시된 바와 같이, 게이트 클럭 신호(CPV)는 복수 개일 수 있으며, 복수의 게이트 클럭 신호(CPV) 각각은 복수의 AND 게이트(680)에 각각 연결되고, 출력 인에이블 신호(EN)도 복수의 AND 게이트(680) 각각에 인가될 수 있다. 즉, 클럭 생성부(603) 내에 게이트 클럭 신호(CPV)와 출력 인에이블 신호(EN)를 AND 게이트(680)에 연결하여, 출력 인에이블 신호(EN)가 하이 레벨일 때, 게이트 클럭 신호(CPV)가 버퍼부를 통과하여 게이트 드라이버를 구동하기 위한 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력할 수 있다.

[0074] 도 14를 참조하여 클럭 생성부(603) 내의 신호 관계를 구체적으로 살펴본다. 도면에 도시된 바와 같이, 게이트 온 전압(Von)이 인가되기 시작하여 게이트 온 전압(Von)이 제1 기준 레벨(UVLO) 이상에 도달한 후, 게이트 온 전압(Von)의 라이징(rising) 및 게이트 오프 전압(Voff)의 폴링(falling)이 완료되어 전압이 안정화 상태에 도달하면 전압 정상 신호로서 출력 인에이블 신호(EN)가 인가될 수 있다. 즉, 게이트 온 전압(Von)이 제1 기준 레벨(UVLO) 이상이 되는 제1 시점이, 출력 인에이블 신호(EN)가 인가되는 제2 시점보다 선행하는 경우, 출력 인에이블 신호(EN)가 인가된 제2 시점에서 제3 클럭 생성 제어 신호, 예를 들어 시간 지연 신호(DLY)가 인가될 수 있다. 이 때, 시간 지연 신호(DLY)가 인가되면, 시간 지연 신호 핀에 연결된 커패시터(미도시)의 용량에 따라 지연 시간(TD)의 길이를 조절할 수 있다.

[0075] 이 때, 외부로부터 전원 전압을 인가받아, 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 생성하는 전압 생성 회로(미도시)가 더 포함되고, 게이트 온 전압(Von)과 게이트 오프 전압(Voff)이 안정화 상태에 도달하면 전압 정상 신호를 출력하여 클럭 생성부(603)에 제공할 수 있다.

[0076] 이어서, 시간 지연 신호(DLY)가 제2 기준 레벨(Vref) 이상이 되는 제3 시점에서, 제2 클럭 생성 신호, 예를 들어 게이트 클럭 신호(CPV)가 하이 레벨인지 로우 레벨인지에 따라 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 출력 여부를 결정할 수 있다. 도면에 도시된 바와 같이, 시간 지연 신호(DLY)가 제2 기준 레벨(Vref) 이상이 되는 제3 시점에서 게이트 클럭 신호(CPV)가 로우 레벨이면, 게이트 클럭 신호(CPV)가 하이 레벨로 천이될 때까지(CS1) 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력하지 않고 전하 공유를 할 수 있다. 반대로, 시간 지연 신호(DLY)가 제2 기준 레벨(Vref) 이상이 되는 제3 시점에서 게이트 클럭 신호(CPV)가 하이 레벨이면, 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 정상적으로 출력할 수 있다.

[0077] 도 15를 참조하여 클럭 생성부(603) 내의 또 다른 신호 관계를 살펴본다. 도 14의 경우와는 달리, 클럭 생성부(603)는 임의로 생성된 전압 정상 신호로 출력 인에이블 신호(EN)를 인가받을 수 있다. 출력 인에이블 신호(EN)를 먼저 인가받는 경우, 즉 출력 인에이블 신호(EN)가 인가되는 제2 시점이, 게이트 온 전압(Von)이 제1 기준 레벨(UVLO) 이상이 되는 제1 시점보다 선행하는 경우, 게이트 온 전압(Von)이 제1 기준 레벨(UVLO) 이상이 되는 제1 시점에 응답하여 시간 지연 신호(DLY)가 인가될 수 있다. 이어서, 상술한 바와 같이, 시간 지연 신호(DLY)가 제2 기준 레벨(Vref) 이상이 되는 제3 시점에서, 게이트 클럭 신호(CPV)가 하이 레벨인지 로우 레벨인지에 따라 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 출력 여부가 결정될 수 있다.

[0078] 본 발명의 또 다른 실시예에 따른 액정 표시 장치에 의하면, 클럭 신호 및 클럭바 신호를 생성하기 위한 신호 생성 과정이 더욱 단순화되는 장점이 있다.

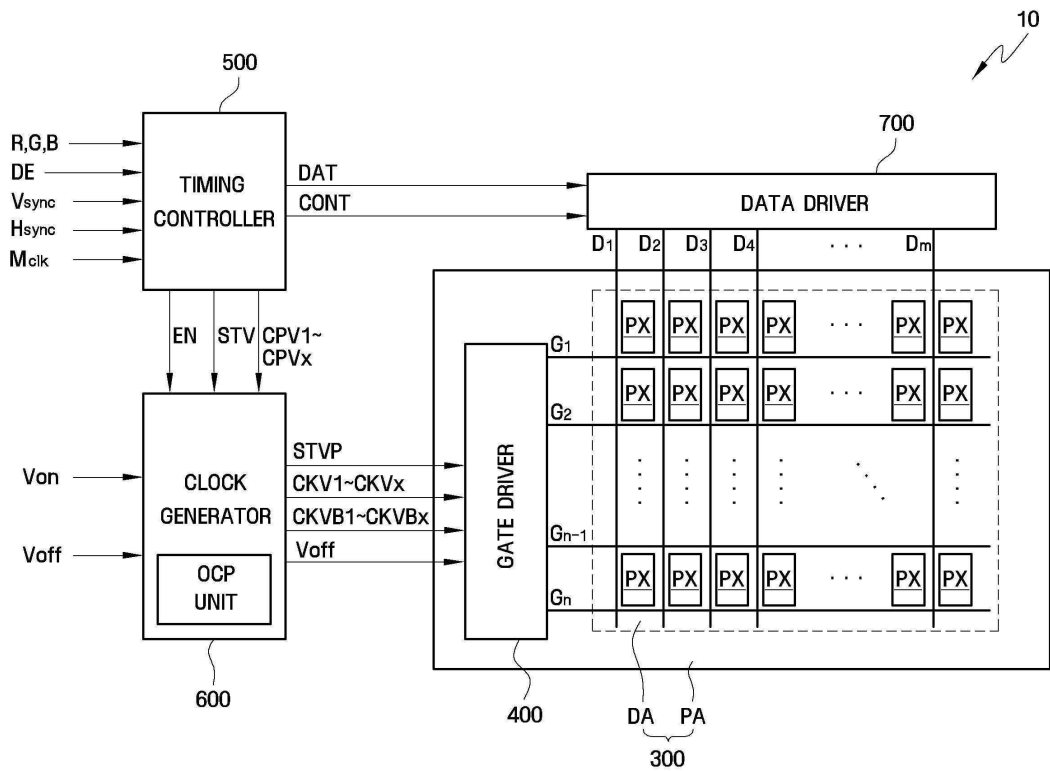
[0079] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

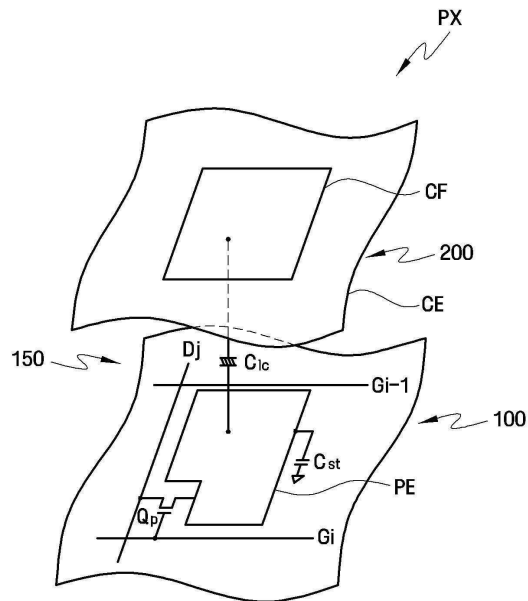
[0080] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다.

도면

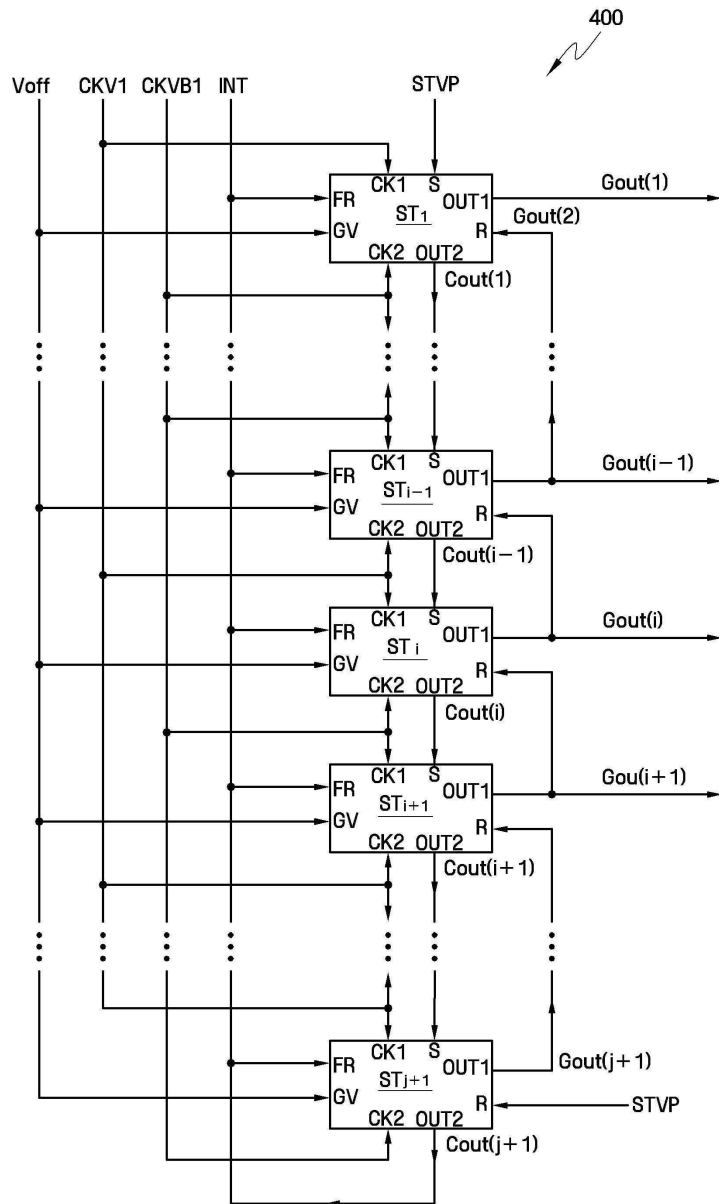
도면1



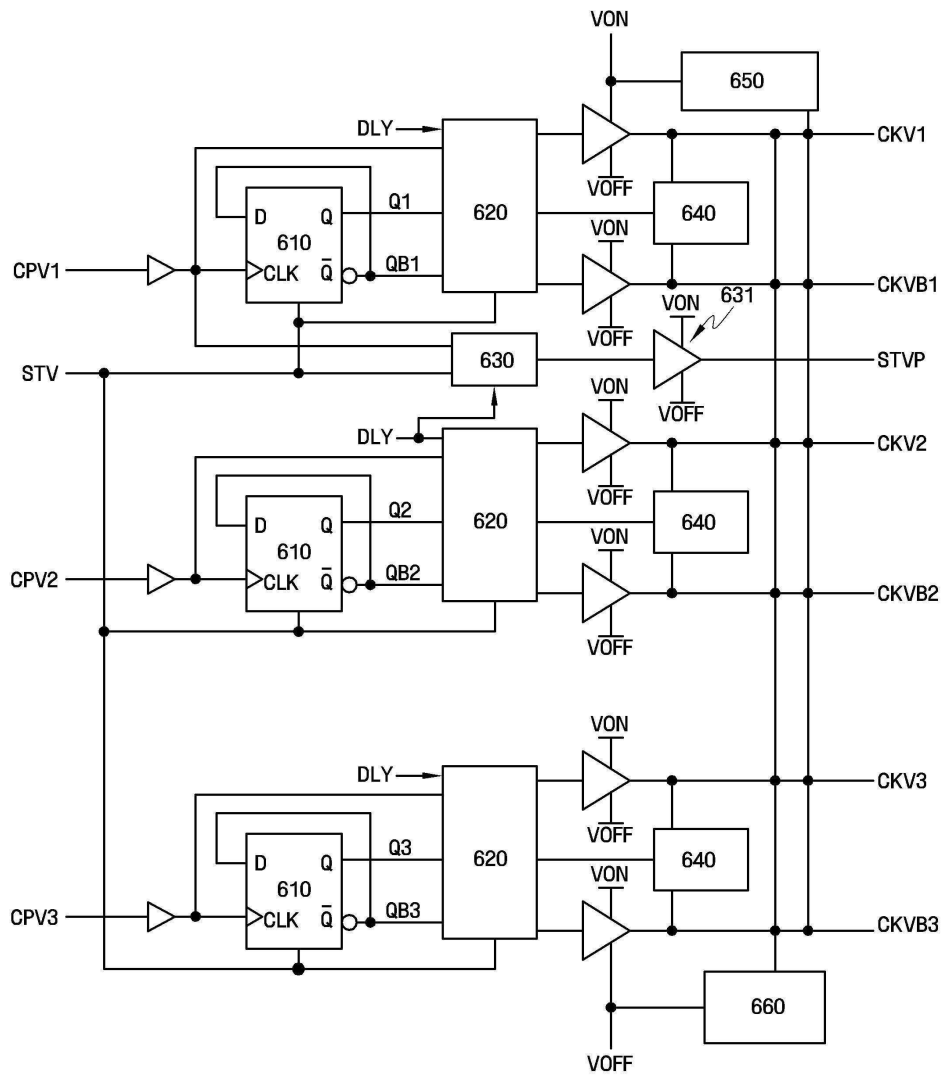
도면2



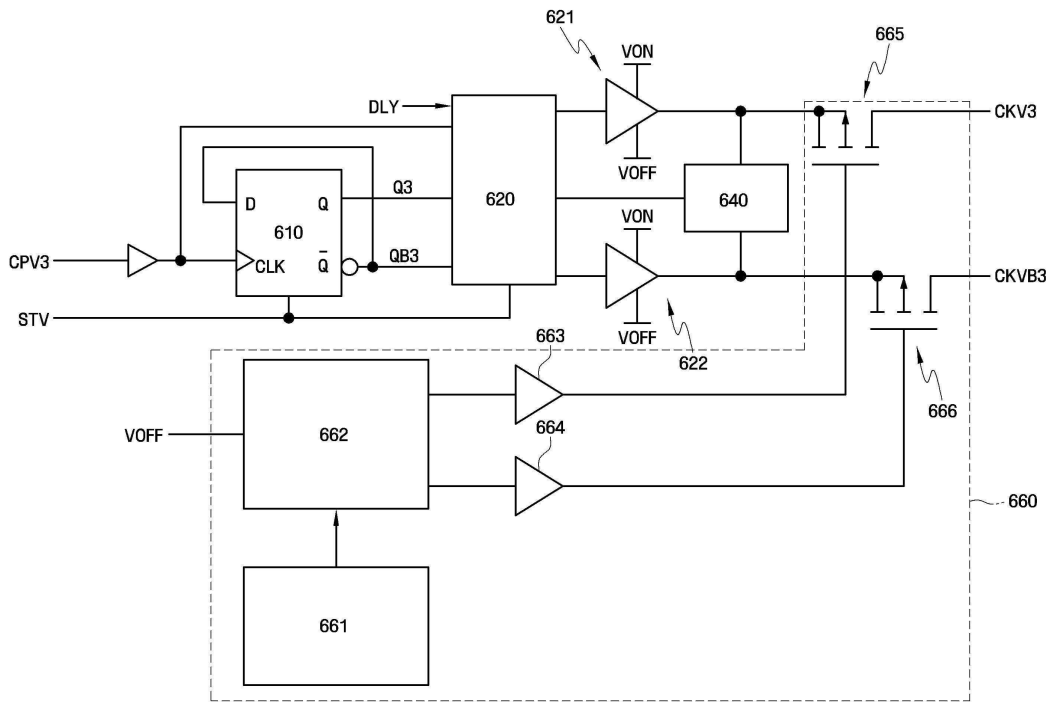
도면3



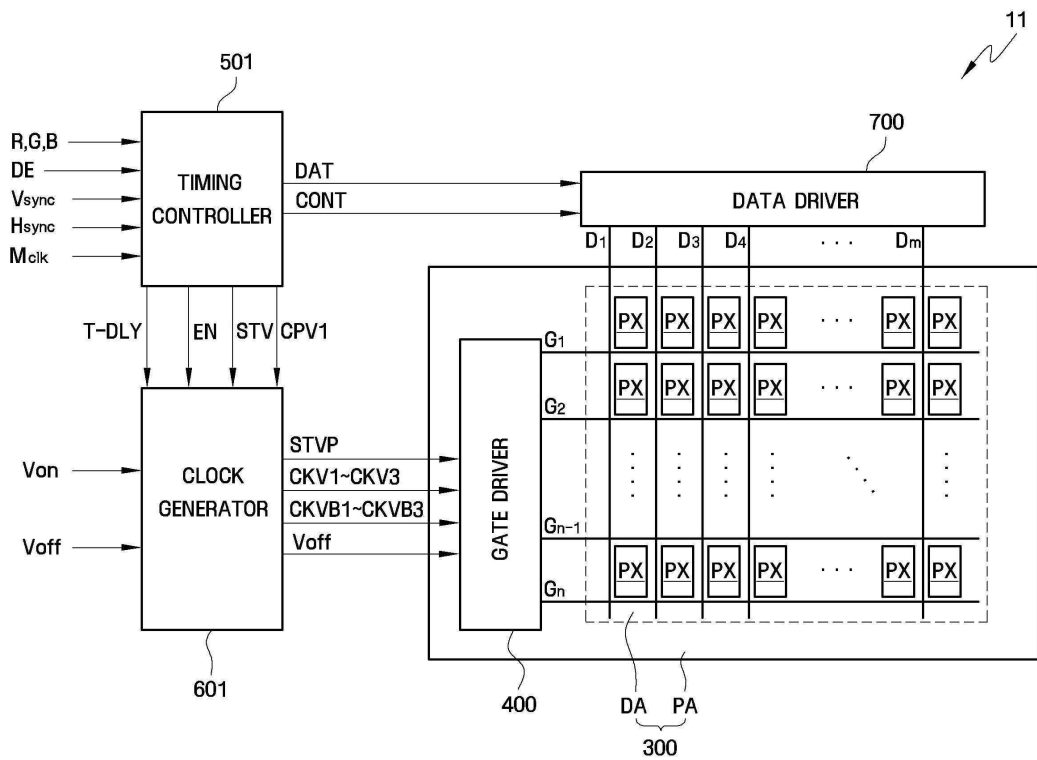
도면4



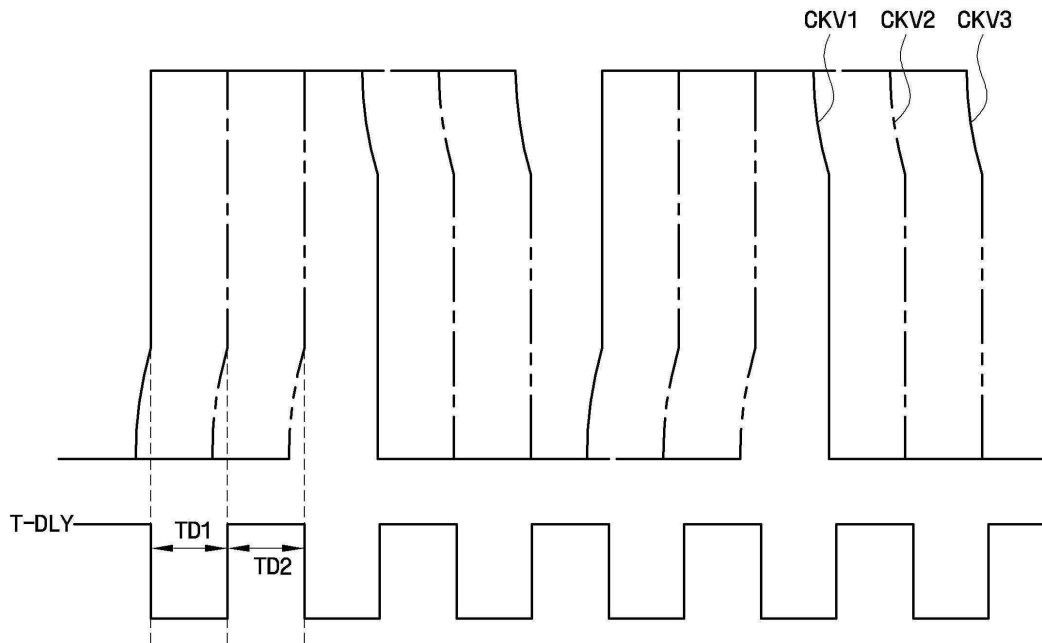
도면5



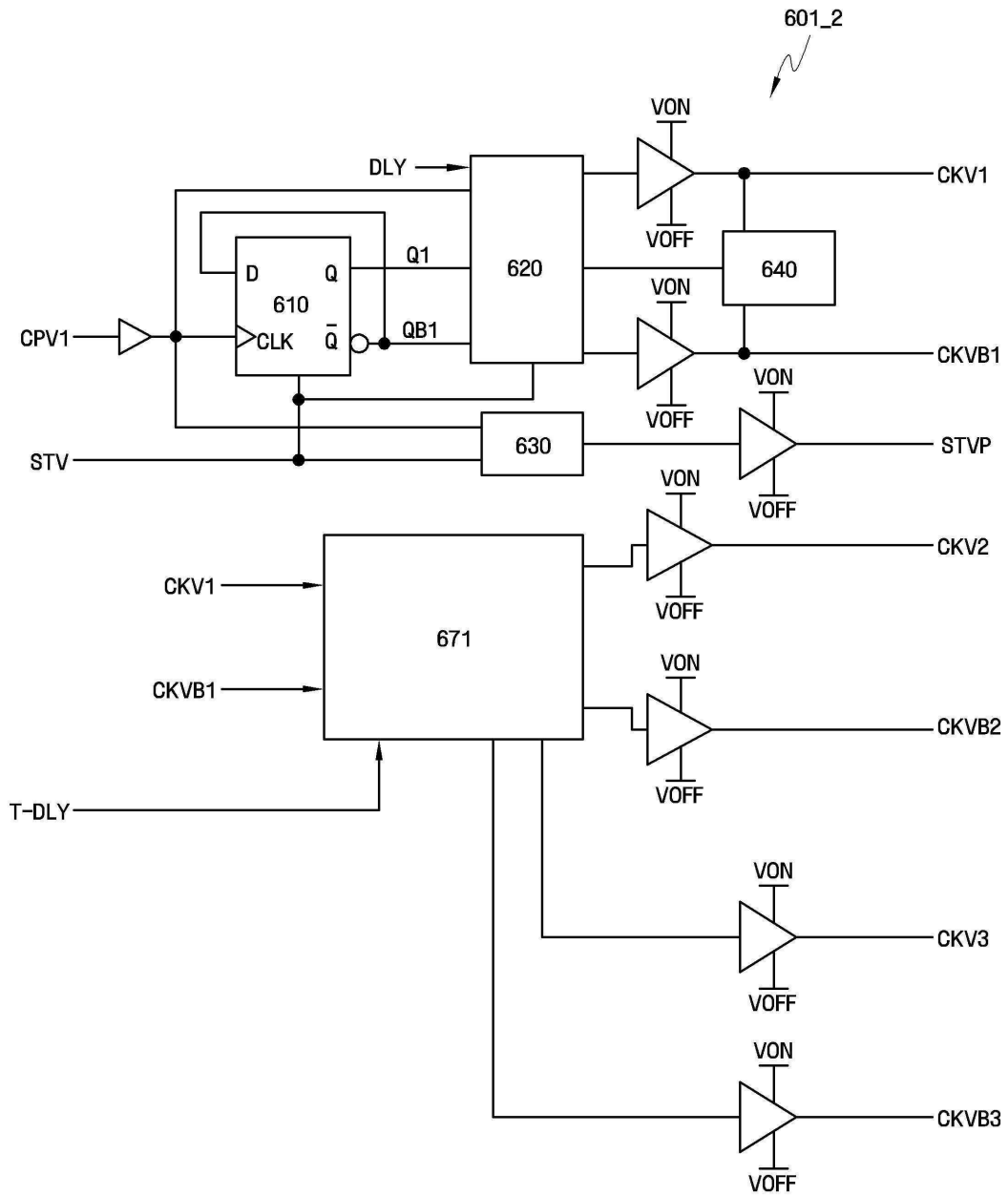
도면6



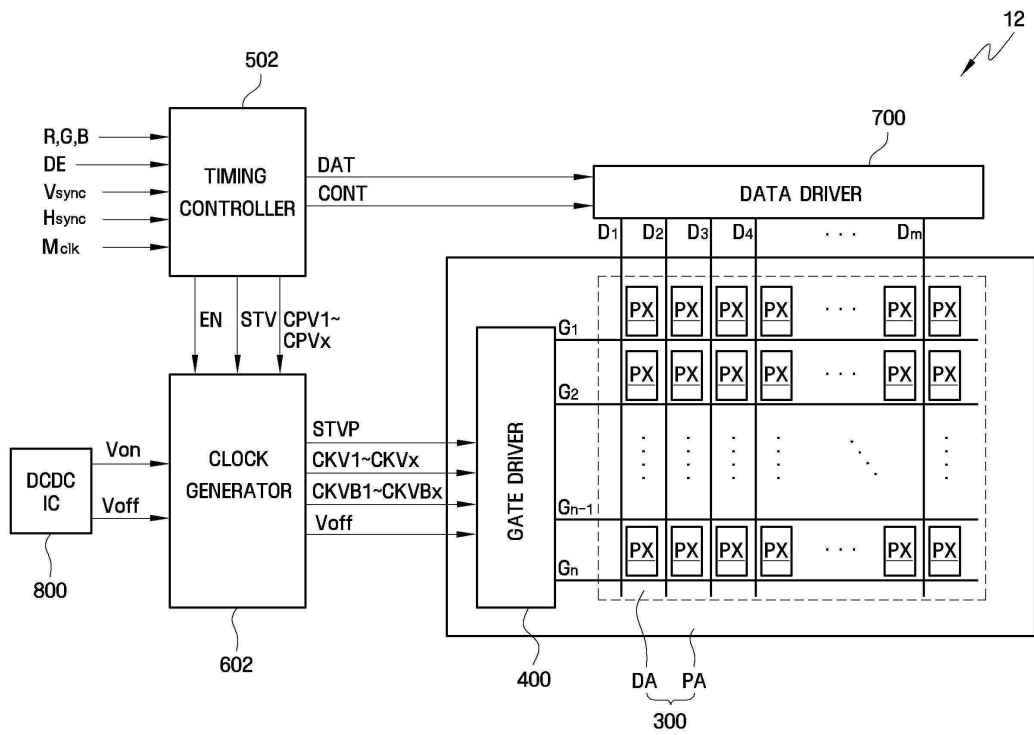
도면8



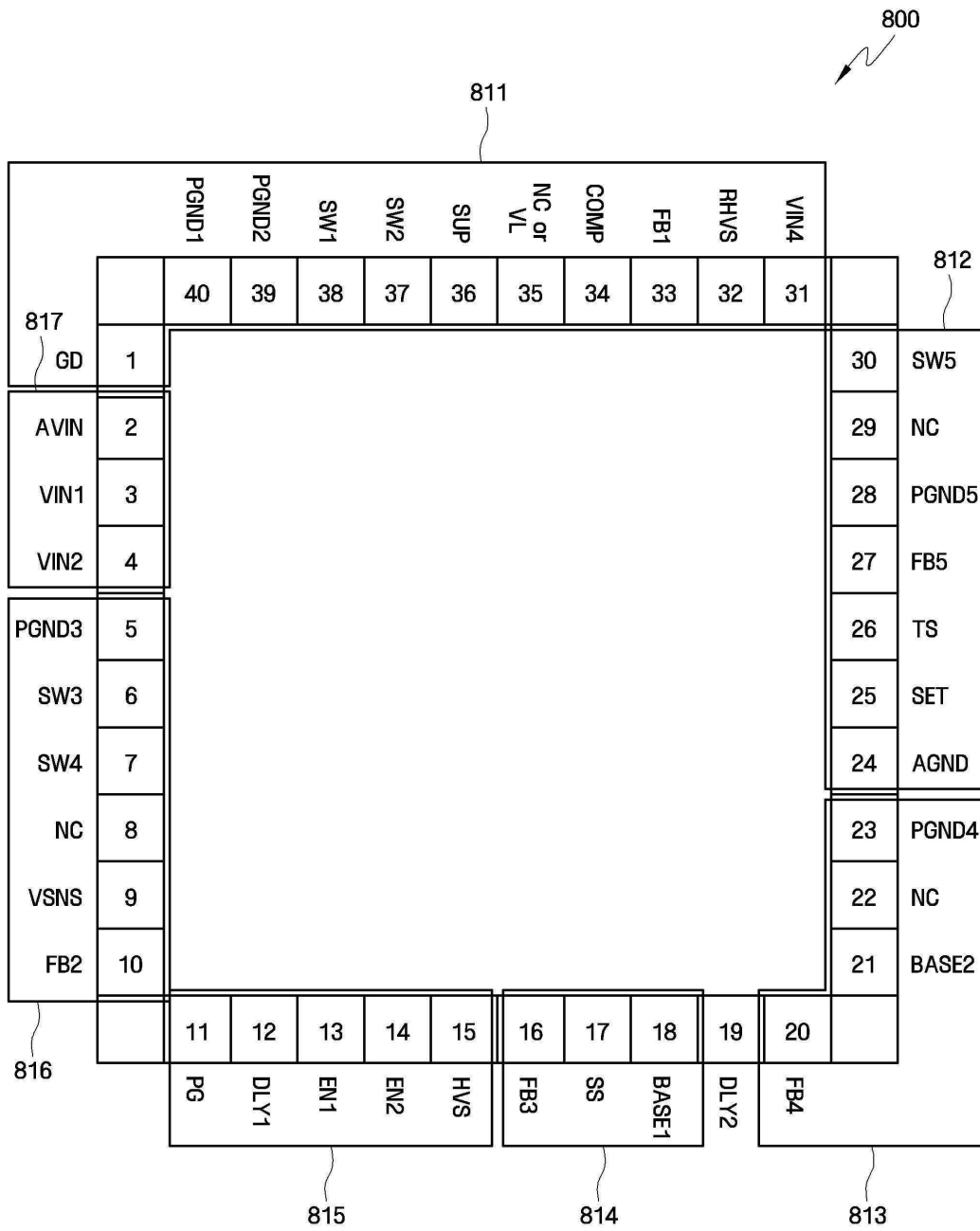
도면9



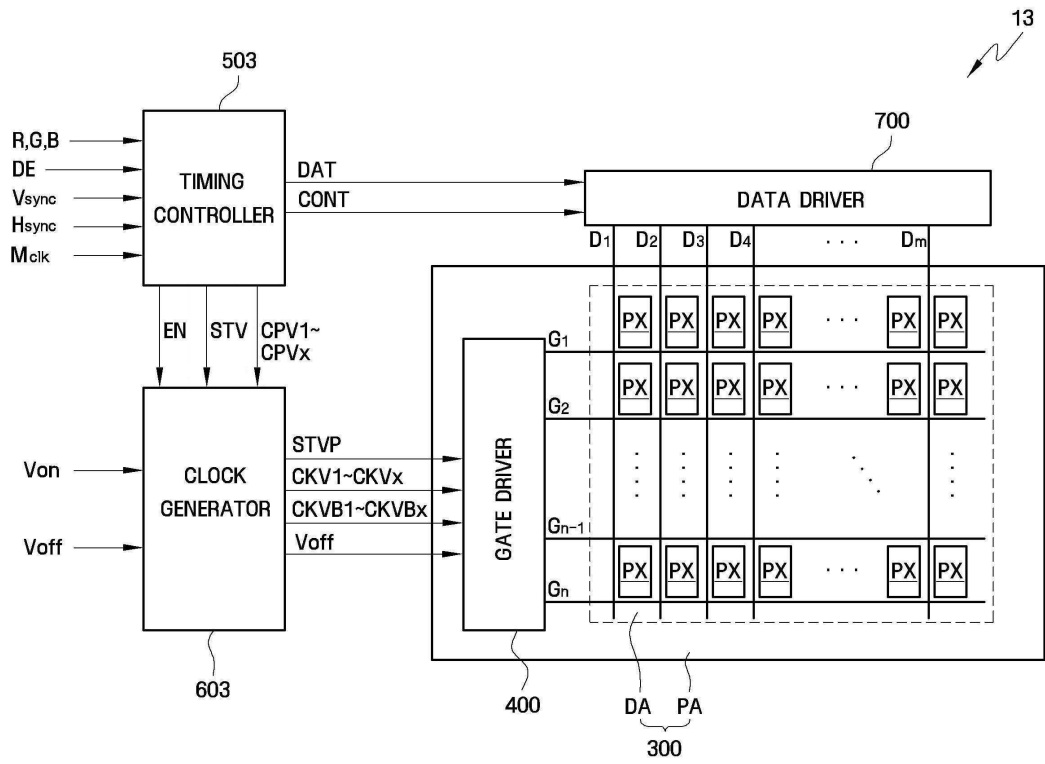
도면10



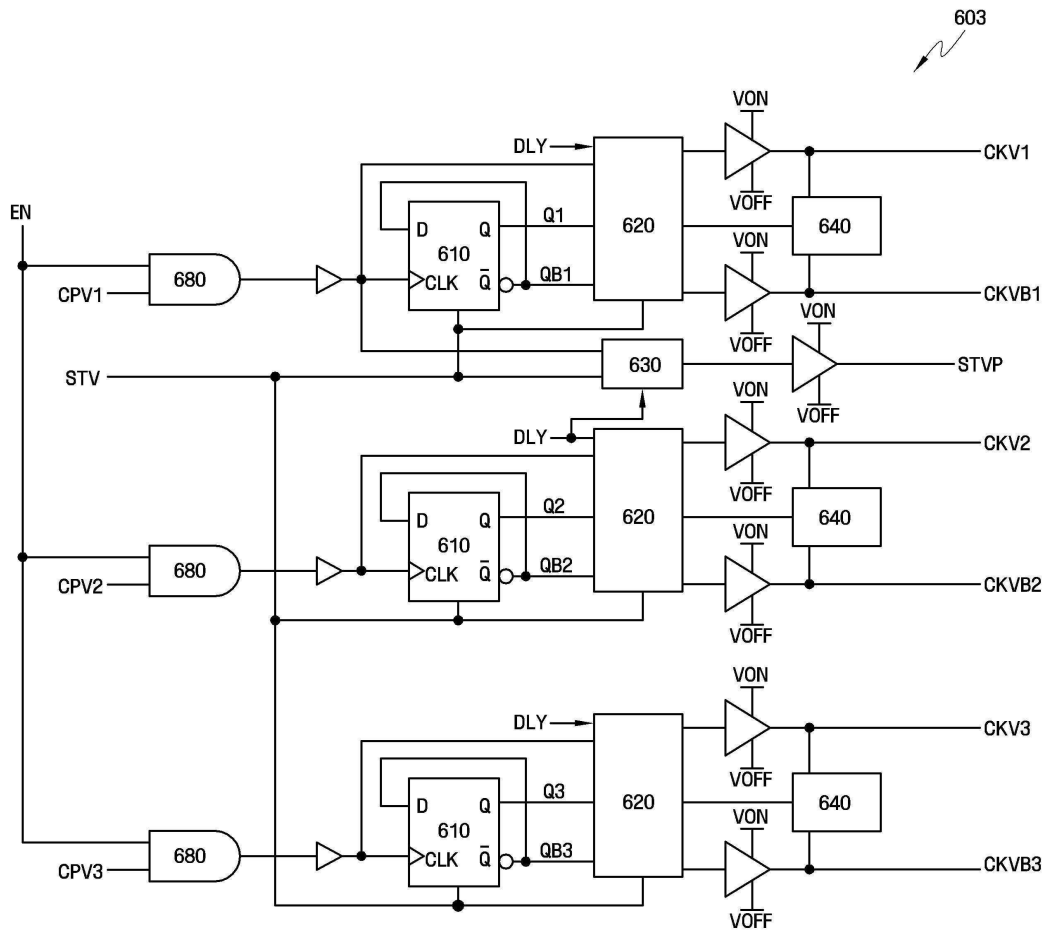
도면11



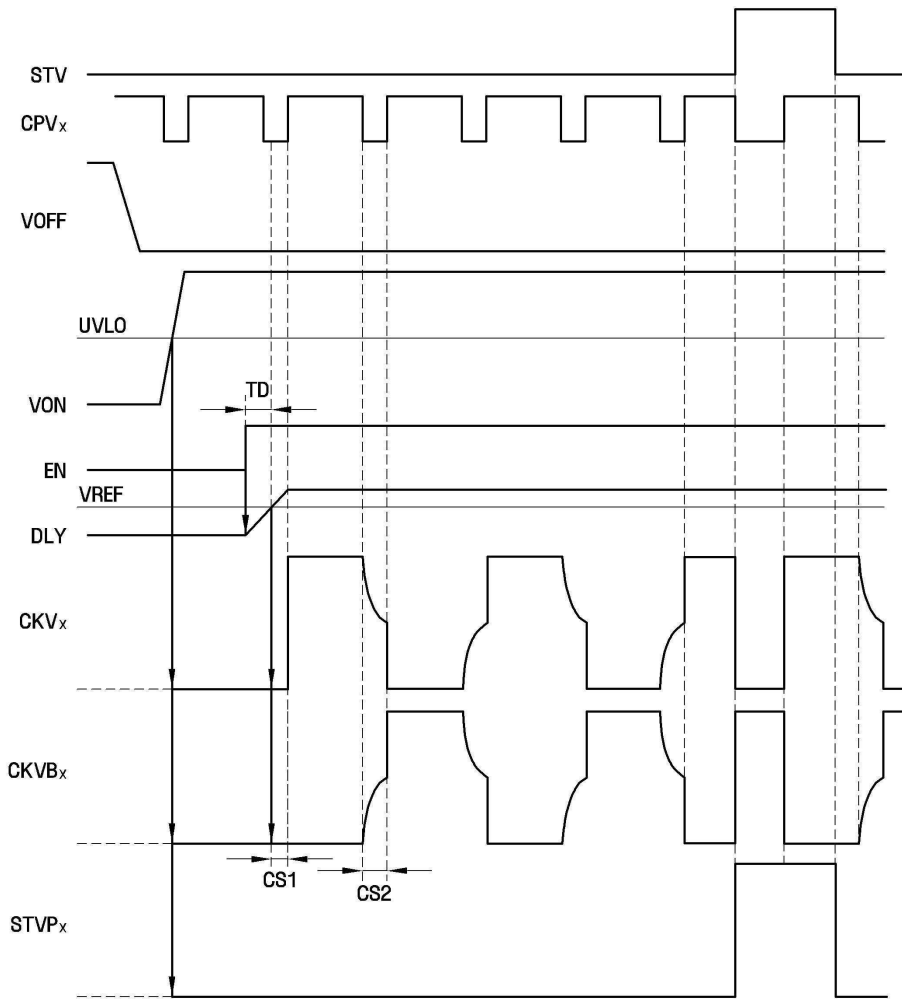
도면12



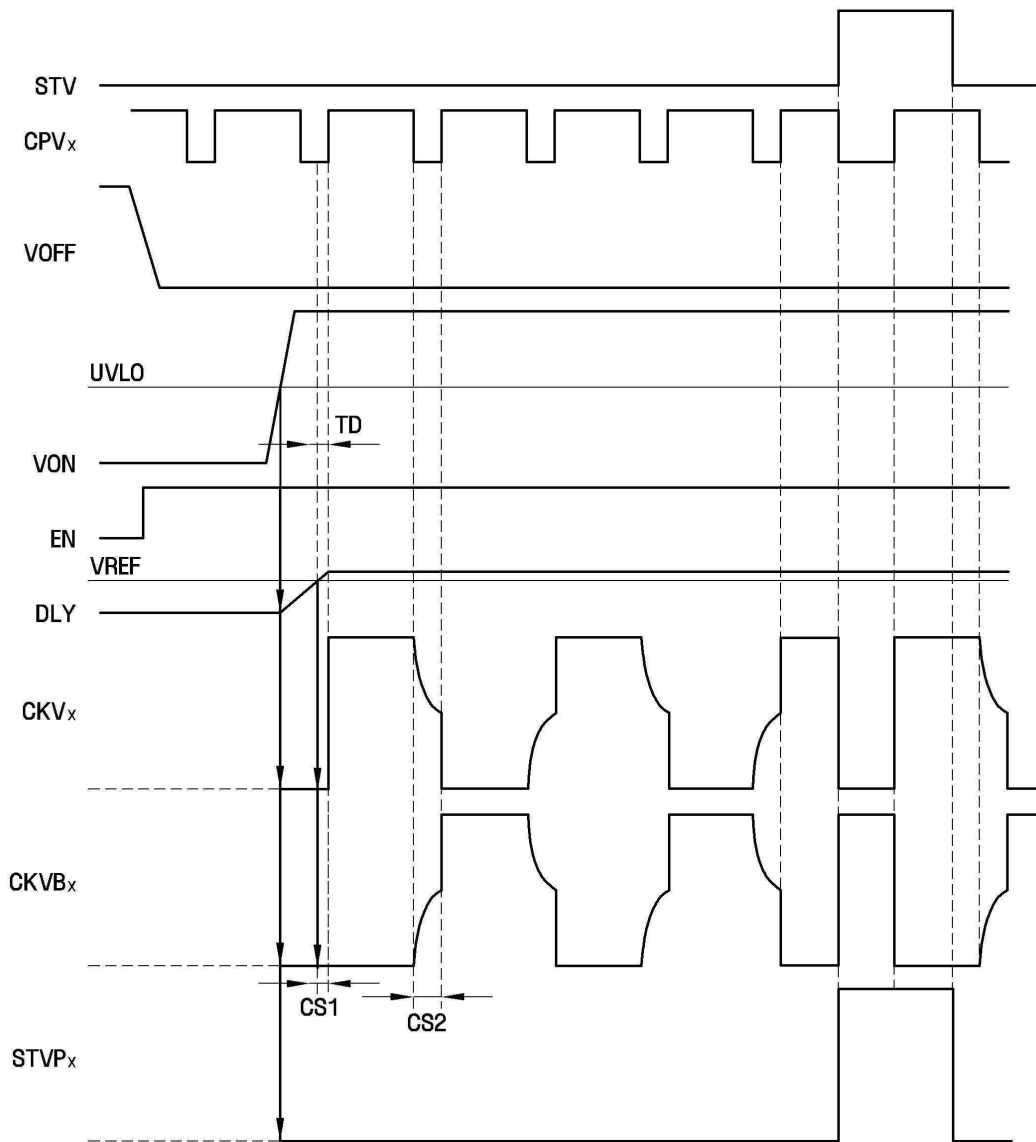
도면13



도면14



도면15



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100098925A	公开(公告)日	2010-09-10
申请号	KR1020090017638	申请日	2009-03-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	BANG NAM SUK 방남석 CHO HYUN SANG 조현상 PARK JOO HWAN 박주환 CHUNG JAE SEOB 정재섭		
发明人	방남석 조현상 박주환 정재섭		
IPC分类号	G09G3/36 G02F1/133 G11C19/28 H03K19/00		
CPC分类号	G09G2330/04 G09G3/3696 G09G3/3677 G09G3/3648		
其他公开文献	KR101542506B1		
外部链接	Espacenet		

摘要(译)

提供液晶显示器。液晶显示器包括时钟产生板，其是栅极导通电压或栅极截止电压的电压电平，它是围绕栅极驱动器施加的，时钟发生控制信号包括多级，它们连续提供栅极信号并进位信号使用时钟信号和时钟条信号，它是切断时钟信号和时钟条信号输出的过流切断部分，它是基准电平或更大。液晶显示器，和。

