



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0092558
(43) 공개일자 2010년08월23일

(51) Int. Cl.

G09G 3/36 (2006.01) H03M 1/66 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0011718

(22) 출원일자 2009년02월13일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

백종학

서울특별시 서초구 서초4동 롯데캐슬클래식아파트 110동 602호

최윤경

경기도 용인시 기흥구 보정동 현대아이파크1차아파트 210동 805호

권오경

서울특별시 송파구 신천동 7번지 장미아파트 14동 1102호

(74) 대리인

박영우

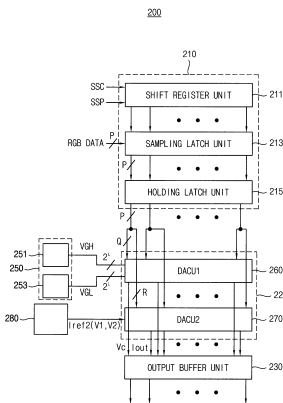
전체 청구항 수 : 총 10 항

(54) 하이브리드 디지털/아날로그 컨버터, 소스 드라이버 및 액정 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 하이브리드 디지털/아날로그 변환기는 제1 디지털/아날로그 변환부 및 제2 디지털/아날로그 변환부를 포함한다. 제1 디지털/아날로그 변환부는 복수의 계조 전압들을 기초로, P(P는 10이상의 자연수) 비트의 계조 데이터 중 Q(Q는 10 미만의 자연수) 비트의 상위 데이터에 상응하는 아날로그 전압을 출력한다. 제2 디지털/아날로그 변환부는 기준 전압으로부터 생성된 정격 전류를 기초로 하여 P 비트 계조 데이터 중 R 비트(R = P - Q 인 자연수)의 하위 데이터의 각각의 논리 레벨에 따른 크기를 갖는 아날로그 전류를 출력한다.

대표도 - 도2



특허청구의 범위

청구항 1

복수의 계조 전압들을 기초로, P(P는 10이상의 자연수) 비트의 계조 데이터 중 Q(Q는 10 미만의 자연수) 비트의 상위 데이터에 상응하는 아날로그 전압을 출력하는 제1 디지털/아날로그 변환부; 및

기준 전압으로부터 생성된 정격 전류를 기초로 하여 상기 P 비트 계조 데이터 중 R 비트($R = P - Q$ 인 자연수)의 하위 데이터의 각각의 논리 레벨에 따른 크기를 갖는 아날로그 전류를 출력하는 제2 디지털/아날로그 변환부를 포함하는 하이브리드 디지털/아날로그 변환기.

청구항 2

제1항에 있어서, 상기 제1 디지털/아날로그 변환부는 고전압 소자를 이용하는 저항-스트링 타입이고, 상기 제2 디지털/아날로그 변환부는 저전압 소자를 이용하는 이진-가중치 전류 타입인 것을 특징으로 하는 하이브리드 디지털/아날로그 변환기.

청구항 3

제1항에 있어서, 상기 제2 디지털/아날로그 변환부는,

상기 정격 전류에 기초한 제1 전압 및 제2 전압을 각각의 게이트에 인가받는 직렬 연결된 동일한 크기를 갖는 제1 및 제2 트랜지스터로 구성되는 각 쌍이 서로 병렬 연결된, 각 쌍별로 서로 다른 크기를 갖는 MOS 트랜지스터들로 구성된 가중치 전류 미러부; 및

상기 제1 MOS 트랜지스터를 각각에 연결되는 스위치들로 구성되는 스위칭부를 포함하고, 상기 스위칭부에 인가되는 상기 R 비트의 하위 데이터 각각의 논리 레벨에 따라 상기 스위치들이 온/오프 되어 서로 다른 크기의 상기 아날로그 전류를 제공하는 것을 특징으로 하는 하이브리드 디지털/아날로그 변환기.

청구항 4

클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장하는 입력부;

상기 저장된 디지털 데이터 신호를 P(P는 10이상의 자연수) 비트 계조 데이터로 제공받고, 상기 P 비트 계조 데이터 중 Q(Q는 10 미만의 자연수) 비트 상위 데이터에 상응하는 아날로그 전압과, 상기 P 비트 계조 데이터 중 R($R = P - Q$ 인 자연수) 비트 하위 데이터의 논리 레벨에 따른 크기를 갖는 아날로그 전류를 출력하는 하이브리드 디지털/아날로그 변환기; 및

상기 아날로그 전압과 상기 아날로그 전류를 전압으로 변환하고 변환된 전압을 상기 아날로그 전압과 연산하여 구동 전압으로서 패널에 출력하는 출력 버퍼부를 포함하는 소스 드라이버.

청구항 5

제4항에 있어서, 상기 하이브리드 디지털/아날로그 변환기는,

복수의 감마 전압들을 기초로 상기 Q 비트 상위 데이터에 응답하여 디지털/아날로그 변환을 수행하여 상기 아날로그 전압을 제공하는 제1 디지털/아날로그 변환부; 및

기준 전압으로부터 생성된 정격 전류를 기초로 하여 상기 R 비트 하위 데이터에 응답하여 상기 아날로그 전류를 출력하는 제2 디지털/아날로그 변환부를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 6

제5항에 있어서, 상기 기준 전압으로부터 상기 정격 전류를 생성하여 제공하는 전압/전류 변환부를 더 포함하고,

상기 전압/전류 변환부는,

제1 입력 단자에 상기 기준 전압을 인가받는 제1 연산 증폭기; 및

상기 제1 연산 증폭기의 제2 입력 단자에 연결되는 제1 저항을 구비하여 상기 기준 전압과 상기 제1 저항비에

따른 기준 전류를 생성하고 생성된 기준 전류를 미러링하여 상기 정격 전류로 제공하는 정격 전류 생성부를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 7

제6항에 있어서, 상기 복수의 계조 전압들이 양의 계조 전압들인 경우, 상기 출력 버퍼부는, 상기 아날로그 전압을 인가받는 제1 입력단자, 상기 제2 디지털/아날로그 변환부에 연결되어 상기 아날로그 전류를 수신하는 제2 입력단자 및 상기 구동 전압이 제공되는 출력단자를 구비하는 제2 연산 증폭기; 및 상기 제1 입력단자와 상기 출력단자에 연결되는 제2 저항을 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 8

제6항에 있어서, 상기 복수의 계조 전압들이 음의 계조 전압들인 경우, 상기 출력 버퍼부는, 상기 제2 디지털 아날로그 변환부에 연결되어 상기 아날로그 전류를 미러링하는 전류 미러부; 상기 아날로그 전압을 인가받는 제1 입력단자, 상기 전류 미러부에 연결되어 상기 미러링된 아날로그 전류를 수신하는 제2 입력단자 및 상기 구동 전압이 출력되는 출력단자를 구비하는 제2 연산 증폭기; 및 상기 제1 입력단자와 상기 출력단자에 연결되는 제2 저항을 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 9

복수의 게이트 라인들과 복수의 데이터 라인들을 구비하는 액정 디스플레이 패널;
 상기 게이트 라인들을 구동하기 위한 게이트 드라이버; 및
 상기 데이터 라인들을 구동하기 위한 소스 드라이버를 포함하고,
 상기 소스 드라이버는,
 클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장하는 입력부;
 상기 저장된 디지털 데이터 신호를 P(P는 10이상의 자연수) 비트 계조 데이터로 제공받고, 상기 P 비트 계조 데이터 중 상위 Q(Q는 10 미만의 자연수) 비트의 상위 데이터에 상응하는 아날로그 전압과, 상기 P 비트 계조 데이터 중 하위 R(R= P-Q인 자연수) 비트의 하위 데이터의 논리 레벨에 따른 크기를 갖는 아날로그 전류를 출력하는 하이브리드 디지털/아날로그 변환기; 및
 상기 아날로그 전압과 상기 아날로그 전류를 전압으로 변환하고 변환된 전압을 상기 아날로그 전압과 합산하여 구동 전압으로서 상기 액정 디스플레이 패널에 출력하는 출력 버퍼부를 포함하는 액정 표시 장치.

청구항 10

제9항에 있어서, 상기 디지털/아날로그 변환기는,
 복수의 계조 전압들을 기초로 상기 상위 Q 비트의 상위 데이터에 응답하여 디지털/아날로그 변환을 수행하여 상기 아날로그 전압을 제공하는, 고전압 소자를 이용하는 저항-스트링 타입의 제1 디지털/아날로그 변환부; 및
 기준 전압으로부터 생성된 정격 전류를 기초로 하여 상기 R 비트의 하위 데이터에 응답하여 상기 아날로그 전류를 출력하는, 저전압 소자를 이용하는 이진-가중치 전류 타입의 제2 디지털/아날로그 변환부를 포함하는 것을 특징으로 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 액정 표시 장치와 이에 포함되는 소스 드라이버 및 하이브리드 디지털/아날로그 컨버터에 관한 것이다.

배경 기술

- [0002] 평판 표시 장치의 하나인 액정 표시 장치는 경박단소 및 저전력 소모의 장점을 가져, 최근 노트북 컴퓨터, TV 및 휴대폰 등에 널리 사용되고 있다.
- [0003] 일반적으로 액정 표시 장치는 영상을 표시하는 액정 표시 패널, 액정 표시 패널을 구동하기 위한 소스 드라이버 및 게이트 드라이버를 포함한다. 액정 표시 패널에는 소스 드라이버로부터 데이터 전압을 입력받는 복수의 데이터 라인과 게이트 드라이버로부터 게이트 전압을 입력받는 복수의 게이트 라인이 구비된다. 액정 표시 패널에는 복수의 게이트 라인과 복수의 게이트 라인에 의해서 복수의 화소 영역이 정의되고, 각 화소 영역에는 박막 트랜지스터 및 화소 전극을 포함하는 화소가 구비된다. 소스 드라이버 및 게이트 드라이버는 각각 다수의 칩으로 이루어져 액정 표시 패널 또는 별도의 필름 상에 실장된다.
- [0004] 일반적으로 액정 표시 장치에서 색재현성을 높이기 위하여, R, G, B 영상 데이터의 디지털 비트 수를 증가시키면, 이를 디코딩하는 감마 디코더 회로를 위한 면적은 그 증가된 비트 수에 기하 급수적으로 증가한다.
- [0005] 종래의 저항열을 이용한 디지털/아날로그 변환기는 계조 전압을 공급하기 위한 저항열과 입력 데이터에 따라 계조 전압을 선택하기 위한 스위치들을 포함한다. 종래의 저항열을 이용한 디지털/아날로그 변환기는 화질을 높이기 위하여 데이터의 디지털 비트 수를 증가시키면 스위치들의 수가 기하급수적으로 증가하여 전체 회로의 면적이 증가하게 된다. 예를 들어 데이터가 N 비트씩 증가할 때마다 면적은 2^N 배 증가하게 된다.

발명의 내용

해결 하고자하는 과제

- [0006] 이에 따라, 본 발명의 목적은 작은 면적으로도 높은 화질을 구현할 수 있는 하이브리드 디지털/아날로그 변환기를 제공하는 데 있다.
- [0007] 본 발명의 다른 목적은 상기 하이브리드 디지털/아날로그 변환기를 포함하는 소스 드라이버를 제공하는데 있다.
- [0008] 본 발명의 또 다른 목적은 상기 소스 드라이버를 포함하는 액정 표시 장치를 제공하는데 있다.

과제 해결수단

- [0009] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 하이브리드 디지털/아날로그 변환기는 제1 디지털/아날로그 변환부 및 제2 디지털/아날로그 변환부를 포함한다. 상기 제1 디지털/아날로그 변환부는 복수의 계조 전압들을 기초로, P(P는 10이상의 자연수) 비트의 계조 데이터 중 Q(Q는 10 미만의 자연수) 비트의 상위 데이터에 상응하는 아날로그 전압을 출력한다. 상기 제2 디지털/아날로그 변환부는 기준 전압으로부터 생성된 정격 전류를 기초로 하여 상기 P 비트 계조 데이터 중 R 비트(R = P- Q 인 자연수)의 하위 데이터의 각각의 논리 레벨에 따른 크기를 갖는 아날로그 전류를 출력한다.
- [0010] 실시예에 있어서, 상기 제1 디지털/아날로그 변환부는 고전압 소자를 이용하는 저항-스트링 타입이고, 상기 제2 디지털/아날로그 변환부는 저전압 소자를 이용하는 이진-가중치 전류 타입일 수 있다.
- [0011] 실시예에 있어서, 상기 제2 디지털/아날로그 변환부는 상기 정격 전류에 기초한 제1 전압 및 제2 전압을 각각의 게이트에 인가받는 직렬 연결된 동일한 크기를 갖는 제1 및 제2 트랜지스터로 구성되는 각 쌍이 서로 병렬 연결된, 각 쌍별로 서로 다른 크기를 갖는 모스 트랜지스터들로 구성된 가중치 전류 미러부 및 상기 제1 모스 트랜지스터들 각각에 연결되는 스위치들로 구성되는 스위칭부를 포함하고, 상기 스위칭부에 인가되는 상기 R 비트의 하위 데이터 각각의 논리 레벨에 따라 상기 스위치들이 온/오프 되어 서로 다른 크기의 상기 아날로그 전류를 제공할 수 있다.
- [0012] 상술한 본 발명의 다른 목적을 달성하기 위하여 본 발명의 다른 실시예에 따른 소스 드라이버는 입력부, 하이브리드 디지털/아날로그 변환기 및 출력 버퍼부를 포함한다. 상기 입력부는 클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장한다. 상기 하이브리드 디지털/아날로그 변환기는 상기 저장된 디지털 데이터 신호를 P(P는 10이상의 자연수) 비트 계조 데이터로 제공받고, 상기 P 비트 계조 데이터 중 Q(Q는 10 미만의 자연수) 비트 상위 데이터에 상응하는 아날로그 전압과, 상기 P 비트 계조 데이터 중 R(R= P-Q인 자연수) 비트 하위 데이터의 논리 레벨에 따른 크기를 갖는 아날로그 전류를 출력한다. 상기 출력 버퍼부는 상기 아날로그 전압과 상기 아날로그 전류를 전압으로 변환하고 변환된 전압을 상기 아날로그 전압과 연산하여 구동 전압으로서 패

널에 출력한다.

- [0013] 실시예에 있어서, 상기 하이브리드 디지털/아날로그 변환기는 복수의 감마 전압들을 기초로 상기 Q 비트 상위 데이터에 응답하여 디지털/아날로그 변환을 수행하여 상기 아날로그 전압을 제공하는 제1 디지털/아날로그 변환부 및 기준 전압으로부터 생성된 정격 전류를 기초로 하여 상기 R 비트 하위 데이터에 응답하여 상기 아날로그 전류를 출력하는 제2 디지털/아날로그 변환부를 포함할 수 있다.
- [0014] 실시예에 있어서, 상기 소스 드라이버는 상기 기준 전압으로부터 상기 정격 전류를 생성하여 제공하는 전압/전류 변환부를 더 포함할 수 있다. 상기 전압/전류 변환부는 제1 입력 단자에 상기 기준 전압을 인가받는 제1 연산 증폭기 및 상기 제1 연산 증폭기의 제2 입력 단자에 연결되는 제1 저항을 구비하여 상기 기준 전압과 상기 제1 저항비에 따른 기준 전류를 생성하고 생성된 기준 전류를 미러링하여 상기 정격 전류로 제공하는 정격 전류 생성부를 포함할 수 있다.
- [0015] 실시예에 있어서, 상기 복수의 계조 전압들이 양의 계조 전압들이인 경우, 상기 출력 버퍼부는, 상기 아날로그 전압을 인가받는 제1 입력단자, 상기 제2 디지털/아날로그 변환부에 연결되어 상기 아날로그 전류를 수신하는 제2 입력단자 및 상기 구동 전압이 제공되는 출력단자를 구비하는 제2 연산 증폭기 및 상기 제1 입력단자와 상기 출력단자에 연결되는 제2 저항을 포함할 수 있다.
- [0016] 실시예에 있어서, 기 복수의 계조 전압들이 음의 계조 전압들이인 경우, 상기 출력 버퍼부는 상기 제2 디지털 아날로그 변환부에 연결되어 상기 아날로그 전류를 미러링하는 전류 미러부, 상기 아날로그 전압을 인가받는 제1 입력단자, 상기 전류 미러부에 연결되어 상기 미러링된 아날로그 전류를 수신하는 제2 입력단자 및 상기 구동 전압이 출력되는 출력단자를 구비하는 제2 연산 증폭기 및 상기 제1 입력단자와 상기 출력단자에 연결되는 제2 저항을 포함할 수 있다.
- [0017] 상술한 본 발명의 다른 목적을 달성하기 위하여 본 발명의 다른 실시예에 따른 액정 표시 장치는 복수의 게이트 라인들과 복수의 데이터 라인들을 구비하는 액정 디스플레이 패널, 상기 게이트 라인들을 구동하기 위한 게이트 드라이버 및 상기 데이터 라인들을 구동하기 위한 소스 드라이버를 포함한다. 상기 소스 드라이버는 입력부, 하이브리드 디지털/아날로그 변환기 및 출력 버퍼부를 포함한다. 상기 입력부는 클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장한다. 상기 하이브리드 디지털/아날로그 변환기는 상기 저장된 디지털 데이터 신호를 P (P 는 10이상의 자연수) 비트 계조 데이터로 제공받고, 상기 P 비트 계조 데이터 중 Q (Q 는 10 미만의 자연수) 비트 상위 데이터에 상응하는 아날로그 전압과, 상기 P 비트 계조 데이터 중 R ($R = P - Q$ 인 자연수) 비트 하위 데이터의 논리 레벨에 따른 크기를 갖는 아날로그 전류를 출력한다. 상기 출력 버퍼부는 상기 아날로그 전압과 상기 아날로그 전류를 전압으로 변환하고 변환된 전압을 상기 아날로그 전압과 연산하여 구동 전압으로서 상기 액정 디스플레이 패널에 출력한다.
- [0018] 실시예에 있어서, 상기 디지털/아날로그 변환기는 복수의 계조 전압들을 기초로 상기 상위 Q 비트의 상위 데이터에 응답하여 디지털/아날로그 변환을 수행하여 상기 아날로그 전압을 제공하는, 고전압 소자를 이용하는 저항-스트링 타입의 제1 디지털/아날로그 변환부 및 기준 전압으로부터 생성된 정격 전류를 기초로 하여 상기 R 비트의 하위 데이터에 응답하여 상기 아날로그 전류를 출력하는, 저전압 소자를 이용하는 이진-가중치 전류 타입의 제2 디지털/아날로그 변환부를 포함할 수 있다.

효 과

- [0019] 본 발명에 따르면, 디지털/아날로그 변환기를 저항열 타입의 제1 디지털/아날로그 변환부와 이진-가중치 전류 타입의 제2 디지털/아날로그 변환부로 구성하여 디지털/아날로그 변환기의 회로 면적을 크게 줄이면서도 고화질의 영상을 나타낼 수 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

- [0022] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0026] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치(Liquid crystal display apparatus)를 나타내는 블록도이다.
- [0028] 도 1을 참조하면, 액정 표시 장치(100)는 타이밍 컨트롤러(110), 소스 드라이버(200), 게이트 드라이버(120), 패널(130) 및 전원 공급부(140)를 포함한다.
- [0029] 타이밍 컨트롤러(110)는 그래픽 컨트롤러(미도시됨)로부터 프레임에 대한 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 데이터 인에이블 신호(DE), 클럭 신호(CLK) 및 RGB (Red, Green, Blue) 데이터를 입력받아 소스 드라이버(200) 및 게이트 드라이버(120)에 RGB 데이터 및 소스 드라이버 제어 신호 및 게이트 드라이버 제어 신호를 각각 전송한다.
- [0030] 소스 드라이버(200)는 타이밍 컨트롤러(110)로부터 출력된 RGB 데이터 및 소스 드라이버 제어 신호를 입력받아 수평 동기 신호(HSYNC)에 응답하여 라인 단위로 데이터를 패널(130)에 출력한다.
- [0031] 게이트 드라이버(120)는 복수의 게이트 라인들을 포함하며, 타이밍 컨트롤러(110)로부터 출력된 게이트 드라이버 제어 신호를 입력받는다. 게이트 드라이버(120)는 소스 드라이버(200)로부터 출력된 데이터를 패널(130)에 순차적으로 출력하기 위하여 상기 게이트 라인들을 제어한다.
- [0032] 전원 공급부(140)는 타이밍 컨트롤러(110), 소스 드라이버(200), 게이트 드라이버(120) 및 패널(130)에 전원을 공급한다.
- [0033] 이하 도 1에 나타난 액정 표시 장치의 동작을 설명하기로 한다.
- [0034] 우선, 타이밍 컨트롤러(110)는 그래픽 컨트롤러(미도시됨)로부터 영상을 나타내는 RGB 데이터 및 수직 및 수평 동기 신호(VSYNC, HSYNC)와 같은 제어신호를 입력받는다.
- [0035] 게이트 드라이버(120)는 수직 동기 신호(VSYNC)와 같은 게이트 라인 제어 신호를 입력받고, 상기 입력된 수직 동기 신호(VSYNC)를 순차적으로 쉬프팅하여 복수의 게이트 라인을 순차적으로 제어한다.
- [0036] 소스 드라이버(200)는 타이밍 컨트롤러(110)로부터 RGB 데이터 및 소스 드라이버 제어 신호를 입력받고, 게이트

드라이버(120)가 게이트 라인을 제어할 때 한 라인에 해당하는 영상 신호를 패널(240)에 출력한다.

- [0037] 도 2는 도 1의 소스 드라이버의 일 실시예를 나타내는 블록도이다.
- [0038] 이하의 설명에서는 소스 드라이버의 하나의 채널을 예로 들어 설명한다.
- [0039] 도 2를 참조하면, 본 발명의 일 실시예에 따른 소스 드라이버(200)는 입력부(210), 하이브리드 디지털/아날로그 변환기(220) 및 출력 버퍼부(230)를 포함한다. 입력부(210)는 쉬프트 레지스터(211), 샘플링 래치(213) 및 홀딩 래치(215)를 포함할 수 있다. 또한 소스 드라이버(200)는 후술될 전압/전류 변환부(240)를 더 포함할 수 있다.
- [0040] 쉬프트 레지스터(211)는 도 1의 타이밍 컨트롤러(110)로부터 소스 쉬프트 클럭(SSC)과 소스 스타트 펄스(SSP)를 공급받는다. 쉬프트 레지스터(211)는 소스 쉬프트 클럭(SSC)의 1 주기마다 소스 스타트 펄스(SSP)를 쉬프트 시키면서 순차적으로 복수의 샘플링 신호를 생성한다. 쉬프트 레지스터(211)는 복수의 단위 쉬프트 레지스터 회로들(미도시)을 포함할 수 있다.
- [0041] 샘플링 래치(213)는 쉬프트 레지스터(211)로부터 순차적으로 공급되는 샘플링 신호에 응답하여 P(여기서 P는 10 이상의 자연수) RGB 데이터를 순차적으로 샘플링하여 저장한다. 샘플링 래치(213)는 복수의 RGB 데이터를 저장하기 위하여 복수의 샘플링 래치 회로들(미도시)을 포함할 수 있다.
- [0042] 홀딩 래치(215)는 타이밍 제어기로부터 공급되는 데이터 인에이블 신호(DE)에 응답하여 샘플링 래치부(213)에 저장된 RGB 데이터를 입력받아 하이브리드 디지털/아날로그 변환기(220)에 제공한다.
- [0043] 디지털/아날로그 변환기(220)는 제1 디지털/아날로그 변환부(260) 및 제2 디지털/아날로그 변환부(270)를 포함할 수 있다.
- [0044] 제1 디지털/아날로그 변환부(260)는 양의 감마 전압(VGH) 또는 음의 감마 전압(VGL)을 이용하여 홀딩 래치(215)에서 제공되는 P 비트 RGB 데이터 중 Q 비트의 상위 데이터를 입력받고, 입력받은 Q 비트의 상위 데이터를 아날로그 전압으로 변환하여 변환된 아날로그 전압(Vc)을 출력 버퍼부(230)에 제공한다. 출력 버퍼부(230)의 구성은 감마 전압 생성부(250)에서 제1 디지털 아날로그 변환부(260)에 제공하는 양의 감마 전압(VGH) 또는 음의 감마 전압(VGL)에 따라 달라질 수 있다. 감마 전압 생성부(250)는 양의 감마 전압(VGH)을 제공하는 제1 생성부(251) 및 음의 감마 전압(VGL)을 제공하는 제2 생성부(253)를 포함할 수 있다.
- [0045] 도 3은 도 2의 제1 디지털/아날로그 변환부의 구성을 나타낸다.
- [0046] 도 3을 참조하면 제1 디지털/아날로그 변환부(260)는 감마 전압 생성부(261), 스위칭부(263), 디코더(265) 및 출력부(267)를 포함할 수 있다. 감마 전압 생성부(261)는 저항열을 이용하여 복수의 계조 전압들을 제공한다. 스위칭부(263)는 디코더(265)의 입력되는 Q 비트 상위 데이터(HD)에 따라서 선택적으로 스위칭부(263)의 스위치들(SW1, SW2, SW3, SW4, SW5, SW6)을 온/오프시킨다. 스위칭부(263)의 스위치들(SW1, SW2, SW3, SW4, SW5, SW6)의 스위칭 작용에 의하여 Q 비트 상위 데이터(HD)에 해당하는 계조 전압이 선택된다. 선택된 계조 전압은 출력부(267)에서 버퍼링되어 아날로그 전압(Vc)로 출력된다. 예를 들어 도 2에서 RGB 데이터가 12비트인 경우 Q 비트 상위 데이터(HD)는 6비트일 수 있다. 따라서 제1 디지털/아날로그 변환부(260)는 6비트의 Q 비트 상위 데이터(HD)에 의하여 64계조를 구현할 수 있다. 감마 전압 생성부(250)에서 제1 디지털/아날로그 변환부(260)로 제공되는 계조 전압들(VGH, VGL)은 높은 전압 레벨을 가지고 있다. 따라서 제1 디지털/아날로그 변환부(260)에 포함되는 감마 전압 생성부(261), 스위칭부(263), 디코더(265) 및 출력부(267)를 구성하는 소자들은 고전압 소자들이 사용될 수 있다.
- [0047] 도 4는 도 2에서 양의 감마 전압이 제1 디지털 아날로그 변환부에 인가되는 경우를 나타낸다.
- [0048] 도 4를 참조하면, 전압/전류 변환부(280)는 제1 연산 증폭기(281)와 정격 전류 생성부(283)를 포함한다. 제1 연산 증폭기(281)는 제1 입력단자(+ 단자)로 기준 전압(Vref)을 인가받는다. 제1 연산 증폭기(281)의 출력단자와 제2 입력단자(- 단자)는 정격 전류 생성부(283)에 연결된다. 제1 연산 증폭기(281)의 제2 입력 단자(- 단자)의 전압은 기준 전압(vref)이 된다. 정격 전류 생성부(283)는 피모스 트랜지스터들(P1, P2, P3, P4)과 엔모스 트랜지스터들(N1, N2, N3) 및 제1 저항(R1)을 포함하여 구성된다. 피모스 트랜지스터들(P1, P2)은 전원 전압(Vdd)에 연결되고, 피모스 트랜지스터들(P3, P4)은 각각 피모스 트랜지스터들(P1, P2)에 연결된다. 피모스 트랜지스터들(P1, P3)은 각각 게이트와 드레인이 서로 연결된다. 즉 피모스 트랜지스터들(P1, P2, P3, P4)은 전류 미러를 구성한다. 즉 정격 전류 생성부(283)는 기준 전류(Iref1)를 미러링하여 정격 전류(Iref2)로 제공한다. 연산 증폭기의 특성상 제1 노드(N1)의 전압이 기준 전압(Vref)이 된다. 따라서 기준 전압(Vref)과 제1 저항(R1)에 의한 기준 전류(Iref1)가 발생하게 된다. 즉 기준 전류(Iref1), 기준 전압(Vref) 및 제1 저항(R1) 사이에는 아래의

[수학식 1]의 관계가 성립한다.

[0049]

[수학식 1]

[0050]

$$I_{ref1} = V_{ref}/R1$$

[0051]

피모스 트랜지스터들(P1, P2, P3, P4)은 전류 미러 구조이므로 기준 전류(I_{ref1})와 동일한 크기의 정격 전류(I_{ref2})가 엔모스 트랜지스터들(N1, N2)을 통하여 흐르게 된다. 제2 정격 전류(I_{ref1})에 의하여 제1 전압($V1$) 및 제2 전압($V2$) 전압이 유지된다.

[0052]

제2 디지털/아날로그 변환부(270)는 제1 전압($V1$) 및 제2 전압($V2$)을 인가받고, 하위 R 비트 데이터를 수신하여 하위 R 비트 데이터에 따른 아날로그 전류(I_{out})를 출력 버퍼부(230)에 제공한다. 제2 디지털/아날로그 변환부(270)의 구성과 동작에 대하여는 도 6 및 도 7을 참조하여 후술한다.

[0053]

출력 버퍼부(230)는 제2 연산 증폭기(231) 및 제2 저항($R2$)을 포함하여 구성될 수 있다. 제2 연산 증폭기(231)의 제1 입력 단자(+ 단자)는 아날로그 전압(V_c)을 수신한다. 제2 연산 증폭기(231)의 제2 입력 단자(- 단자)는 아날로그 전류(I_{out})를 수신한다. 제2 연산 증폭기(231)의 제2 입력 단자(- 단자)와 출력 단자는 제2 저항($R2$)으로 연결된다. 따라서 아날로그 전압(V_c), 아날로그 전류(I_{out}), 제2 저항($R2$) 및 구동 전압(V_{out}) 사이에는 아래의 [수학식 2]와 같은 관계가 성립한다.

[0054]

[수학식 2]

[0055]

$$V_{out} = V_c + I_{out} * R2$$

[0056]

따라서, 출력 버퍼부(230)는 제2 디지털/아날로그 변환부(270)에서 제공되는 아날로그 전류(I_{out})를 전압으로 변환하고, 변환된 전압을 제1 디지털/아날로그 변환부(260)에서 제공되는 아날로그 전압(V_c)과 합산하여 구동 전압(V_{out})으로서 출력할 수 있다.

[0057]

도 5는 도 2에서 음의 감마 전압이 제1 디지털 아날로그 변환부에 인가되는 경우를 나타낸다.

[0058]

도 5를 참조하면, 도 4와 마찬가지로 전압/전류 변환부(280)는 제1 연산 증폭기(281)와 정격 전류 생성부(283)를 포함한다. 제1 연산 증폭기(281)는 제1 입력단자(+ 단자)로 기준 전압(V_{ref})을 인가받는다. 제1 연산 증폭기(281)의 출력단자와 제2 입력단자(- 단자)는 정격 전류 생성부(283)에 연결된다. 1 연산 증폭기(281)의 출력단자와 제2 입력단자(- 단자)는 정격 전류 생성부(283)에 연결된다. 제1 연산 증폭기(281)의 제2 입력 단자(- 단자)의 전압은 기준 전압(v_{ref})이 된다. 정격 전류 생성부(283)는 피모스 트랜지스터들(P1, P2, P3, P4)과 엔모스 트랜지스터들(N1, N2, N3) 및 제1 저항($R1$)을 포함하여 구성된다. 연산 증폭기의 특성상 제1 노드(N1)의 전압이 기준 전압(V_{ref})이 된다. 따라서 기준 전압(V_{ref})과 제1 저항($R1$)에 의한 기준 전류(I_{ref1})가 발생하게 된다. 피모스 트랜지스터들(P1, P2, P3, P4)은 전류 미러 구조이므로 기준 전류(I_{ref1})와 동일한 크기의 정격 전류(I_{ref2})가 엔모스 트랜지스터들(N1, N2)을 통하여 흐르게 된다. 제2 정격 전류(I_{ref1})에 의하여 제1 전압($V1$) 및 제2 전압($V2$) 전압이 유지된다.

[0059]

또한 도 4에서와 마찬가지로, 제2 디지털/아날로그 변환부(270)는 제1 전압($V1$) 및 제2 전압($V2$)을 인가받고, 하위 R 비트 데이터를 수신하여 하위 R 비트 데이터에 따른 아날로그 전류(I_{out})를 출력 버퍼부(230)에 제공한다. 제2 디지털/아날로그 변환부(270)의 구성과 동작에 대하여는 도 6 및 도 7을 참조하여 후술한다.

[0060]

도 5의 출력버퍼부(233)의 도 4의 출력버퍼부(230)와 다른 구성을 갖는다. 출력버퍼부(233)는 전류 미러부(235), 제2 연산 증폭기(234) 및 제2 저항($R2$)을 포함하여 구성된다. 전류 미러부(235)는 제2 디지털/아날로그 변환부(270)에 연결되고 아날로그 전류(I_{out})를 미러링하여 미러링된 전류(I_{outm})를 제2 연산 증폭기(234)에 제공한다. 제2 연산 증폭기(234)의 제2 입력 단자(- 단자)는 미러링된 전류(I_{outm})를 수신한다. 제2 연산 증폭기(234)의 제2 입력 단자(- 단자)와 출력 단자는 제2 저항($R2$)으로 연결된다. 따라서 아날로그 전압(V_c), 미러링된 전류(I_{outm}), 제2 저항($R2$) 및 구동 전압(V_{out}) 사이에는 아래의 [수학식 3]과 같은 관계가 성립한다.

[0061]

[수학식 3]

[0062]

$$V_{out} = V_c - I_{outm} * R2$$

[0063]

여기서 미러링된 전류(I_{outm})의 크기는 아날로그 전류(I_{out})의 크기와 같으므로 [수학식 3]은 아래의 [수학식 4]와 같아진다.

[0064]

[수학식 4]

[0065] $V_{out} = V_c - I_{out} * R_2$

[0066] 따라서, 출력 버퍼부(233)는 제2 디지털/아날로그 변환부(270)에서 제공되는 아날로그 전류(I_{out})를 전압으로 변환하고, 변환된 전압을 제1 디지털/아날로그 변환부(260)에서 제공되는 아날로그 전압(V_c)과 합산하여 구동 전압(V_{out})으로서 출력할 수 있다.

[0067] 도 6은 본 발명의 일 실시예에 따른 제2 디지털/아날로그 변환부의 구성을 나타내는 회로도이다.

[0068] 도 6의 제2 디지털/아날로그 변환부(270)에서는 R 비트 하위 데이터(LD)가 6비트인 경우이다.

[0069] 도 6을 참조하면, 본 발명의 일 실시예에 따른 제2 디지털/아날로그 변환부(270)는 스위칭부(273)와 가중치 전류 생성부(271)를 포함한다. 가중치 전류 생성부(271)는 한 쌍의 동일한 크기의 직렬 연결된 제1 및 제2 트랜지스터들(M11 및 M21, M12 및 M22, M13 및 M23, M14 및 M24, M15 및 M25, M16 및 M26)이 각 쌍별로 병렬 연결된다. 제1 트랜지스터들(M11, M12, M13, M14, M15, M16)의 게이트들에는 제1 전압(V_1)이 인가되고, 제2 트랜지스터들(M21, M22, M23, M24, M25, M26)의 게이트들에는 제2 전압(V_2)이 인가된다. 제1 전압(V_1) 및 제2 전압(V_2)은 정격 전류(I_{ref2})에 의하여 유기되는 전압들이다. 도 4 및 도 5에서 엔모스 트랜지스터들(N2, N3)의 크기를 각각 1이라고 하는 경우, 제1 트랜지스터들(M11, M12, M13, M14, M15, M16)의 크기는 각각 1, 2, 4, 8, 16, 32일 수 있고, 제2 트랜지스터들(M21, M22, M23, M24, M25, M26)의 크기도 각각 1, 2, 4, 8, 16, 32일 수 있다. 따라서, 제1 트랜지스터들(M11, M12, M13, M14, M15, M16) 및 제2 트랜지스터들(M21, M22, M23, M24, M25, M26)의 크기는 $2^0, 2^1, 2^2, 2^3, 2^4, 2^5$ 와 같이 나타낼 수 있다. 따라서 도 6과 같이 제1 및 제2 트랜지스터들(M11 및 M21, M12 및 M22, M13 및 M23, M14 및 M24, M15 및 M25, M16 및 M26)의 각 쌍을 통하여 흐르는 전류를 $I_1, I_2, I_3, I_4, I_5, I_6$ 라고 하면, $I_1 = I_{ref2}, I_2 = 2I_{ref2}, I_3 = 4I_{ref2}, I_4 = 8I_{ref2}, I_5 = 16I_{ref2}, I_6 = 32I_{ref2}$ 의 관계가 성립하게 된다.

[0070] 스위칭부(273)는 복수의 스위치들(SW1, SW2, SW3, SW4, SW5, SW6)을 포함한다. 스위치들(SW1, SW2, SW3, SW4, SW5, SW6) 각각은 제1 트랜지스터들(M11, M12, M13, M14, M15, M16)과 연결된다. 또한 스위치들(SW1, SW2, SW3, SW4, SW5, SW6) 각각에는 하위 R 비트 데이터(LDATA)가 한 비트씩 각각 인가되어 각 비트의 논리 레벨에 따라 스위치들(SW1, SW2, SW3, SW4, SW5, SW6)이 온 오프된다. 따라서 아날로그 전류(I_{out})와 전류들($I_1, I_2, I_3, I_4, I_5, I_6$) 사이에는 아래의 [수학식 5]와 같은 관계가 성립한다.

[0071] [수학식 5]

[0072]
$$I_{out} = I_{ref1} * (2^0 * LD_0 + 2^1 * LD_1 + 2^2 * LD_2 + 2^3 * LD_3 + 2^4 * LD_4 + 2^5 * LD_5) / 2^6$$

[0073] 아래의 [표 1]은 R 비트 하위 데이터(LD)가 6비트인 경우 하위 비트 데이터의 각 비트 값에 따른 아날로그 전류(I_{out})를 나타낸다.

[0074]

LD[5:0]	I_{out}
000001	$1/2^6 (2^0) * I_{ref1}$
000010	$1/2^6 (2^1) * I_{ref1}$
...	...
100101	$1/2^6 (2^0 + 2^2 + 2^5) * I_{ref1}$
...	...
111111	$1/2^6 (2^0 + 2^1 + 2^2 + 2^3 + 2^4 + 2^5) * I_{ref1}$

[0075] 따라서 [수학식 2]에 [수학식 5]를 대입하면, 하기의 [수학식 6]이 된다.

[0076] [수학식 6]

[0077]
$$V_{out} = V_c + (R_2/R_1) * V_{ref} * 1/2^6 (2^0 * LD_0 + 2^1 * LD_1 + 2^2 * LD_2 + 2^3 * LD_3 + 2^4 * LD_4 + 2^5 * LD_5)$$

[0078] 즉 [수학식 6]은 도 2에서 제1 디지털/아날로그 변환부(260)에 양의 감마 전압(VGH)이 인가되는 경우의 구동 전압(V_{out})을 나타낸다.

[0079] 이와 마찬가지로 [수학식 3]에 [수학식 5]를 대입하면, 하기의 [수학식 7]이 된다.

[0080] [수학식 7]

- [0081] $V_{out} = V_c - (R_2/R_1) \cdot V_{ref} \cdot 1/2^6 (2^0 \cdot LD_0 + 2^1 \cdot LD_1 + 2^2 \cdot LD_2 + 2^3 \cdot LD_3 + 2^4 \cdot LD_4 + 2^5 \cdot LD_5)$
- [0082] [수학적식 5] 내지 [수학적식 7]을 참조하면, 아날로그 전류(I_{out})의 크기는 하위 R 비트 데이터(LD), 즉 6비트 각각의 비트 값에 따라서 선택된다. 그러므로 구동 전압(V_{out})의 크기는 제1 디지털/아날로그 변환부(260)에 인가되는 상위 Q 비트 데이터(HD)의 각 비트에 따라 선택되는 아날로그 전압(V_c)에 제2 디지털 아날로그 변환부(270)에 인가되는 R 비트 하위 데이터(LD)의 각 비트에 따라 선택되는 아날로그 전류(I_{out})가 전압으로 변환되어 합산되거나 감산된다. RGB 데이터가 12 비트이고, 상위 Q 비트 데이터(HD)가 6비트이고, R 비트 하위 데이터(LD)가 6비트인 경우, 아날로그 전압(V_c)은 2^6 개의 감마 전압들 중 하나일 수 있고, 아날로그 전류(I_{out})도 전류들($I_1, I_2, I_3, I_4, I_5, I_6$)의 2^6 개의 조합들 중 하나로 선택된다. 따라서 구동 전압(V_{out})의 크기는 2^{12} 개의 조합 중 하나로 나타날 수 있다. 즉 구동 전압(V_{out})은 2^{12} 로 표현될 수 있다.
- [0083] 도시되지는 않았지만 제1 디지털/아날로그 변환부(260)는 다양한 레벨의 감마 전압을 공급해야 하기 때문에 고전원 전압(V_{GH}, V_{GL})을 공급받고, 제2 디지털/아날로그 변환부(270)는 기본적으로 MOS 트랜지스터들로 구성되는 저전원 전압(V_{DD})을 공급받아 동작한다. 따라서 입력 신호, 즉 R 비트 하위 데이터(LD)의 전압 레벨을 높이기 위한 고전압 로직 회로, 즉 레벨 쉬프터 또는 인버터 등이 필요없어 제2 디지털/아날로그 변환부(270)의 회로 면적이 감소할 수 있다.
- [0084] 도 7은 도 6의 제2 디지털/아날로그 변환부(270)의 다른 구성을 나타낸다.
- [0085] 도 7을 참조하면, 제2 디지털/아날로그 변환부(275)는 보호 회로(276), 스위칭 회로부(278) 및 가중치 전류 미러부(279)를 포함한다. 도 7의 가중치 전류 미러부(279)는 도 6의 가중치 전류 미러부(271)와 동일하게 구성되어 있으므로 이에 대한 상세한 설명은 생략한다.
- [0086] 보호 회로(276)는 엔모스 트랜지스터(277)로 구성된다. 엔모스 트랜지스터(277)는 드레인에서 아날로그 전류(I_{out})를 제공하고, 게이트는 전원전압(V_{DD}/2)에 연결된다. 스위칭부(278)의 스위치들(MS1, MS2, MS3, MS4, MS5, MS6)은 엔모스 트랜지스터로 구성된다. 도 7의 제2 디지털/아날로그 변환부(275)에서 가중치 전류 미러부(279)를 구성하는 제1 및 제2 트랜지스터들(M11 및 M21, M12 및 M22, M13 및 M23, M14 및 M24, M15 및 M25, M16 및 M26)은 각각 저전압 소자로 구성된다. 반면에, 보호 회로(276)를 구성하는 엔모스 트랜지스터(277)는 고전압 소자로 구성되어 고전압 소자와 연결되는 제1 트랜지스터들(M11, M12, M13, M14, M15, M16)에서 항복이 발생하는 것을 방지한다. 또한 하위 데이터(LD)를 인가받는, 엔모스 트랜지스터로 구성되는 스위치들(MS1, MS2, MS3, MS4, MS5, MS6)도 고전압 소자로 구성되어 가중치 전류 미러부(279)를 구성하는 제1 및 제2 트랜지스터들(M11 및 M21, M12 및 M22, M13 및 M23, M14 및 M24, M15 및 M25, M16 및 M26)의 드레인 전압이 저전원전압(V_{DD})보다 낮게 걸리게 된다.
- [0087] 도 8은 복수의 채널을 구비하는 구동 IC에 본 발명의 실시예가 적용된 것을 나타낸다.
- [0088] 도 8에서는 각 채널별로 6비트 상위 데이터와 6 비트 하위 데이터가 인가되는 경우를 나타낸다.
- [0089] 도 8을 참조하면, 복수의 채널들(CH1, CH2, CH3, CH4, CH5, CH6)은 각각 제1 디지털/아날로그 변환부(DACU1) 및 제2 디지털/아날로그 변환부(DACU2)를 구비한다. 제1, 제3 및 제5 채널(CH1, CH3, CH5)에는 각각 양의 감마를 구현하기 위한 연산 증폭기(AH)가 구비되고, 제2, 제4, 제6 채널(CH2, CH4, CH6)에는 각각 음의 감마를 구현하기 위한 연산 증폭기(AL)가 구비된다. 제1 내지 제6 채널(CH1~CH6)은 하나의 전압/전류 변환부(VIC)를 공유한다. 도 5 및 도 6의 전압/전류 변환부(280)가 도 8전압/전류 변환부(VIC)로 채용될 수 있다. 또한 양의 감마를 구현하기 위한 연산 증폭기(AH)와 제2 저항(R2)에는 도 4의 출력 버퍼부(231)가 채용될 수 있고, 음의 감마를 구현하기 위한 연산 증폭기(AL)와 제2 저항(R2)에는 도 5의 출력 버퍼부(233)가 채용될 수 있다. 제1 내지 제6 채널(CH1~CH6)이 전압/전류 변환부(VIC)를 공유함으로써 채널의 면적을 줄이고 출력의 정확도를 높일 수 있다. 또한 전압/전류 변환부(VIC)에 포함되는 제1 저항(R1)과 제2 저항(R2)의 거리를 가깝게 하여 두 저항 사이의 부정합을 감소시킬 수 있다. 또한 전압/전류 변환부(VIC)에 포함되는 제1 연산 증폭기(281)의 오프셋을 감소시키기 위하여 제1 저항(R1)과 제2 저항(R2)의 저항비를 6:1로 하면 제1 연산 증폭기(281)의 오프셋을 1/6로 감소시킬 수 있다. 각 채널을 구성하는 연산 증폭기(AH)와 연산 증폭기(AL)의 출력은 극성 제어 신호(POL)의 제어하에 각각 제1 내지 제6 구동 전압($V_{out1}, V_{out2}, V_{out3}, V_{out4}, V_{out5}, V_{out6}$)으로 출력되거나 극성이 바뀌어서 출력된다.

산업이용 가능성

[0090] 본 발명에 따르면 디지털/아날로그 변환기를 고전압 소자를 이용한 저항열 타입의 제1 디지털/아날로그 변환부와 저전압 소자를 이용한 이진-가중치 전류 타입의 제2 디지털/아날로그 변환부로 구성하여 디지털/아날로그 변환기의 회로 면적을 크게 줄이면서도 고화질의 영상을 나타낼 수 있어 대용량의 디스플레이 장치에 적용할 수 있다.

[0091] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0092] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치(Liquid crystal display apparatus)를 나타내는 블록도이다.

[0093] 도 2는 도 1의 소스 드라이버의 일 실시예를 나타내는 블록도이다.

[0094] 도 3은 도 2의 제1 디지털/아날로그 변환부의 구성을 나타낸다.

[0095] 도 4는 도 2에서 양의 감마 전압이 제1 디지털 아날로그 변환부에 인가되는 경우를 나타낸다.

[0096] 도 5는 도 2에서 음의 감마 전압이 제1 디지털 아날로그 변환부에 인가되는 경우를 나타낸다.

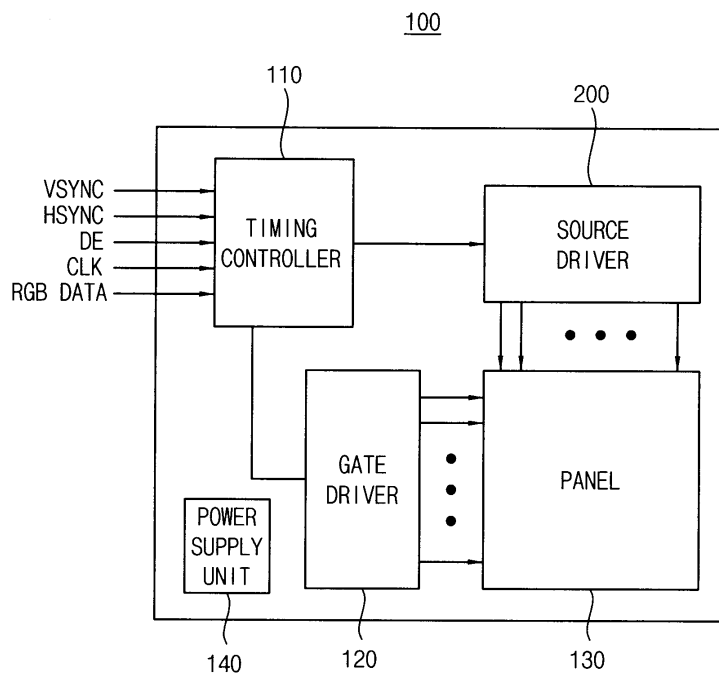
[0097] 도 6은 본 발명의 일 실시예에 따른 제2 디지털/아날로그 변환부의 구성을 나타내는 회로도이다.

[0098] 도 7은 도 6의 제2 디지털/아날로그 변환부의 다른 구성을 나타낸다.

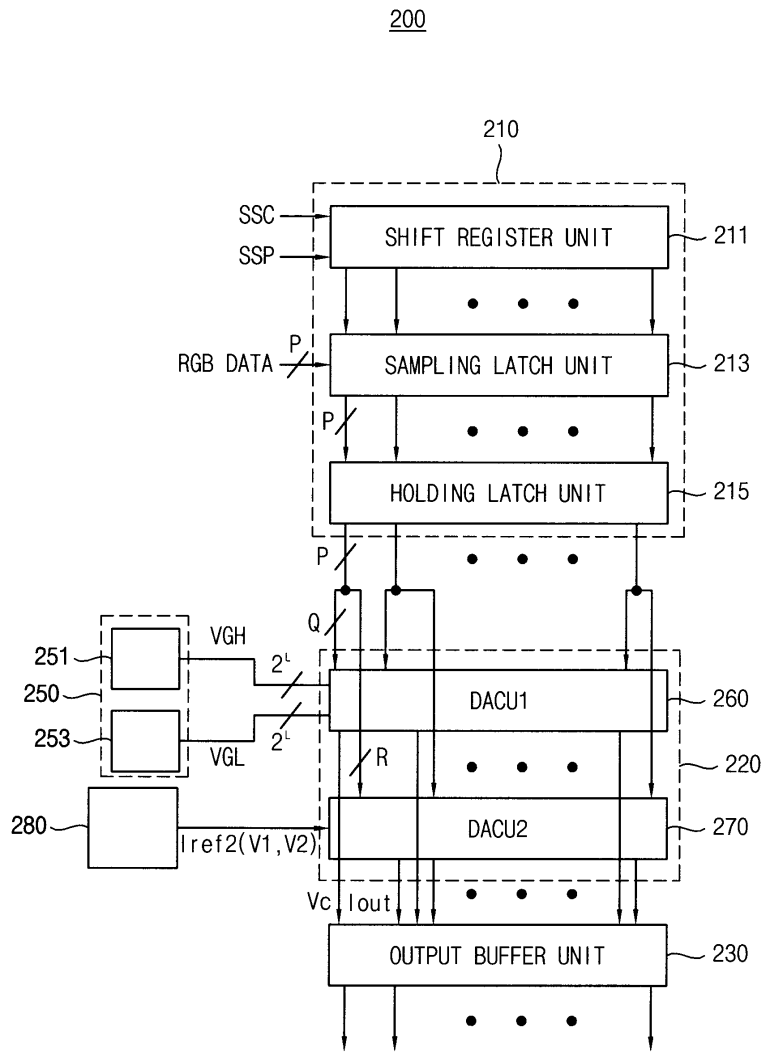
[0099] 도 8은 복수의 채널을 구비하는 구동 IC에 본 발명의 실시예가 적용된 것을 나타낸다.

도면

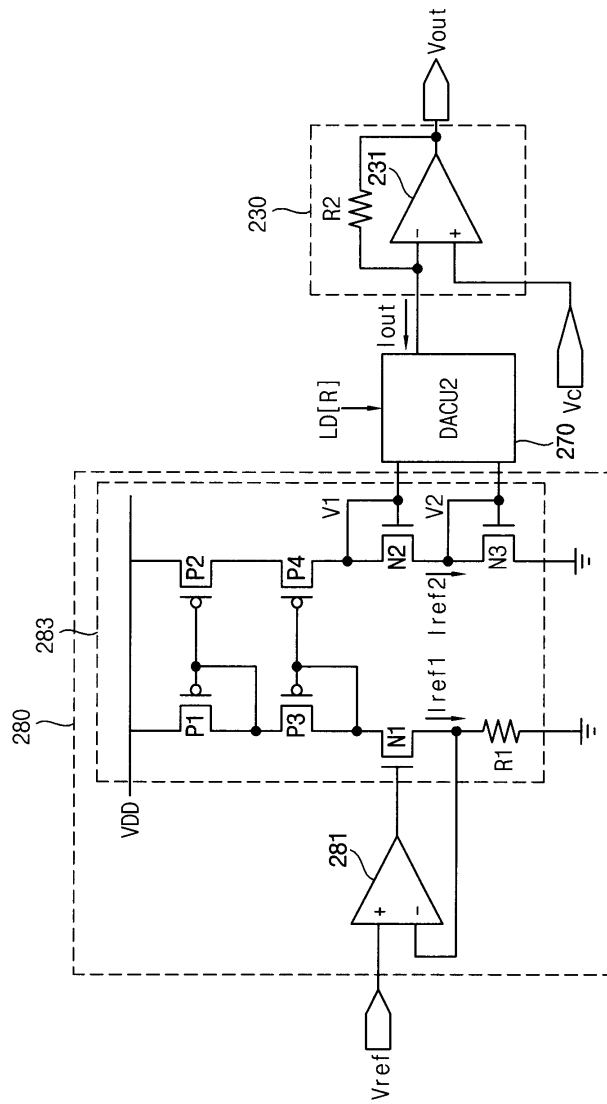
도면1



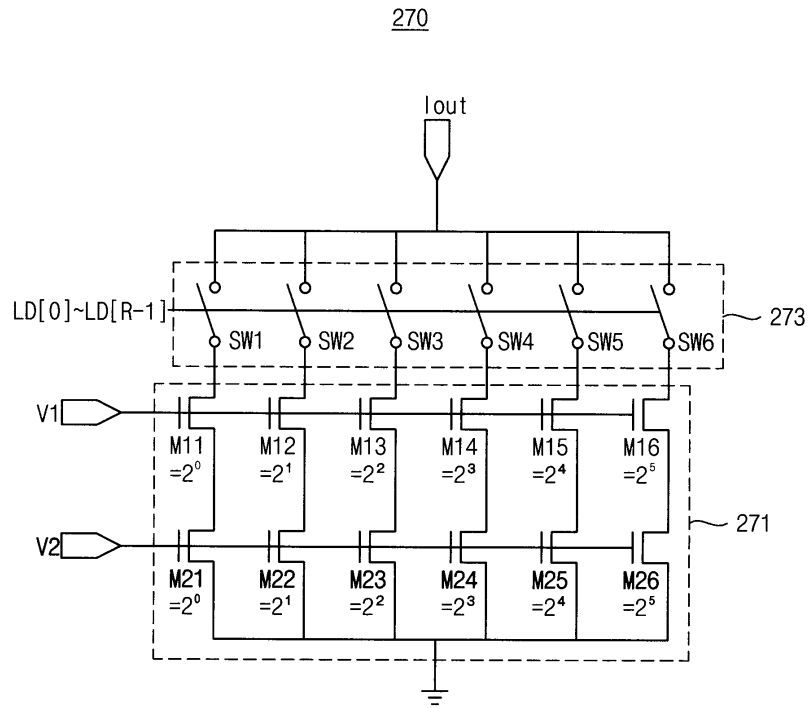
도면2



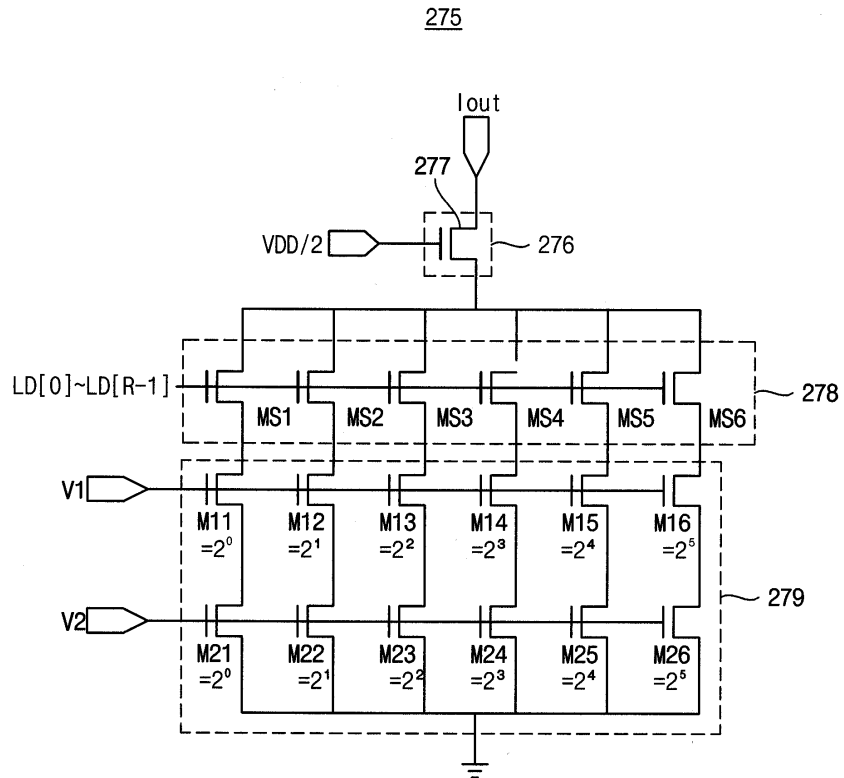
도면4



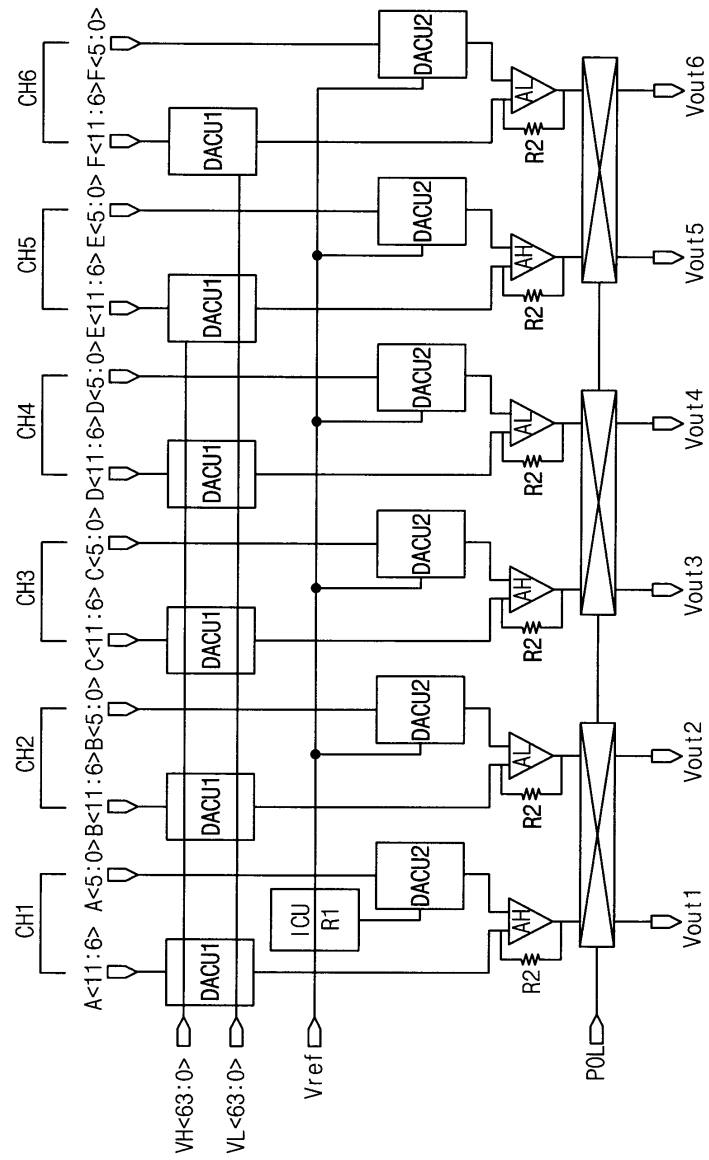
도면6



도면7



도면8



专利名称(译)	混合数模转换器，源驱动器和液晶显示器		
公开(公告)号	KR1020100092558A	公开(公告)日	2010-08-23
申请号	KR1020090011718	申请日	2009-02-13
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	BAEK JONG HAK 백중학 CHOI YOON KYUNG 최윤경 KWON OH KYONG 권오경		
发明人	백중학 최윤경 권오경		
IPC分类号	G09G3/36 H03M1/66 G09G3/20		
CPC分类号	H03M1/687 G09G3/3685 G09G3/3696 G09G2300/0426 G09G2310/027 G09G2330/028 H03M1/745 H03M1/765		
代理人(译)	英西湖公园		
其他公开文献	KR101534150B1		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例的混合数模转换器包括第一数字 - 模拟转换器和第二数字 - 模拟转换器。第一数字 - 模拟转换器基于多个灰度电压输出对应于P的灰度数据的Q的上部数据 (Q是小于10的自然数) 的模拟电压 (P是10或更大的自然数)。第二数模转换器基于从参考电压产生的额定电流，转换具有根据P位灰度数据的R位 (R = P-Q自然数) 的每个逻辑电平的幅度的模拟电流。输出。

